

DRV81325/A-Q1 双通道受保护低侧开关

1 特性

- 双通道受保护集成低侧开关
 - 25°C 时为 **110mΩ** $R_{DS(ON)}$
 - 输出级工作耐受电压高达 **40V**
- 通过 **AEC-Q100** 认证 (最高 1 级)
- 硬件控制接口
- 全面保护
 - 每个开关均具有**内部电流限制**
 - 每个开关的**独立过热保护**
 - 动态与绝对过热保护
 - 用于电感负载放电的**集成过压钳位**
- **诊断反馈 (DRV81325A)**
 - 每个通道提供 MCU 故障中断信号 (STATUS)
- **2.6V 至 5.5V 输入电压工作范围**
 - 支持 **3p3V、5V MCU I/O 控制**
- 非散热增强型表面贴装封装 (**D-SOIC8**)，散热增强型表面贴装封装 (**DDA8**)

2 应用

- 发动机和变速箱
- 照明
- 制动和悬架
- 车身电子装置和区域模块
- 电池管理系统

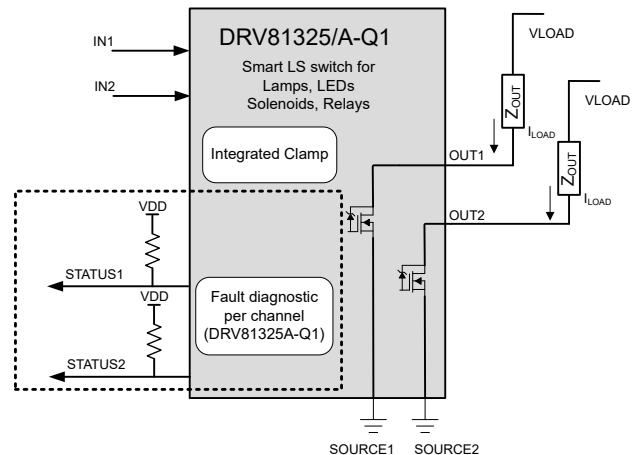
3 说明

DRV81325/A-Q1 集成两个受保护的低侧开关，具有 110mΩ 的低 $R_{DS(ON)}$ 。可以通过 GPIO 接口的方式控制该器件。每个通道通过内部固定阈值电流限制来实现过流保护。各通道通过集成的过热传感器进行过热保护。每个通道均集成输出过压保护，用于电感负载退磁。每个通道的保护功能独立工作，不受其他通道影响。每个通道的故障报告均以漏极开路 **STATUS** 输出形式提供 (A 版本)。DRV81325/A-Q1 采用 8 引脚 SOIC (D) 封装和 8 引脚 HSOIC (DDA) 散热增强型封装 (符合环保要求：RoHS，无铍/溴)。

器件信息 (1)

器件型号	封装	封装尺寸 (标称值)
DRV81325ADDA ⁽²⁾	HSOIC (8)	4.90mm × 3.90mm
DRV81325AD	SOIC (8)	4.90mm × 3.90mm
DRV81325D ⁽²⁾	SOIC (8)	4.90mm × 3.90mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 产品预发布



简化版原理图



内容

1 特性	1	5.5 电气特性	5
2 应用	1	5.6 瞬态热阻抗和电流能力	7
3 说明	1	6 详细说明	8
4 引脚配置和功能	3	6.1 概述.....	8
引脚功能.....	3	6.2 功能方框图.....	8
5 规格	4	6.3 保护电路.....	10
5.1 绝对最大额定值.....	4	7 器件和文档支持	22
5.2 ESD 等级.....	4	7.1 文档支持.....	22
5.3 建议运行条件.....	4	7.2 社区资源.....	22
5.4 热性能信息.....	4	7.3 商标.....	22

4 引脚配置和功能

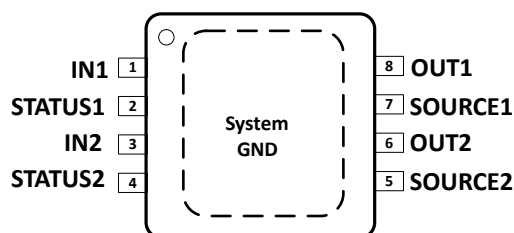


图 4-1. DRV81325A-Q1 DDA 封装 8 引脚 HSOIC 顶视图

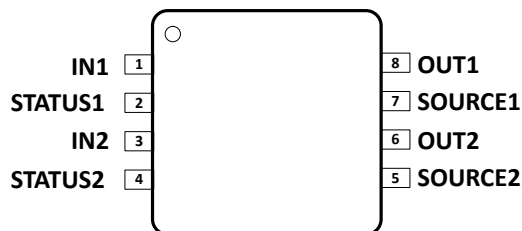


图 4-2. DRV81325A-Q1 D 封装，8 引脚 SOIC（顶视图）

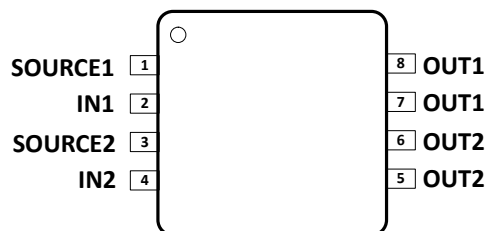


图 4-3. DRV81325-Q1 D 封装，8 引脚 SOIC（顶视图）

引脚功能

名称	引脚			类型	说明
	DRV81325A		DRV81325		
	DDA(8)	D(8)	D(8)		
IN1	1	1	2	P/I	输入通道 1
IN2	3	3	4	P/I	输入通道 2
STATUS1	2	2	-	O	诊断输出 1
STATUS2	4	4	-	O	诊断输出 2
OUT1	8	8	7.8	O	功率 FET 漏极 1
OUT2	6	6	5.6	O	功率 FET 漏极 2
SOURCE1	7	7	1	G	通道 1 的功率 FET 源极和接地基准
SOURCE2	5	5	3	G	通道 2 的功率 FET 源极和接地基准

5 规格

5.1 绝对最大额定值

		最小值	最大值	单位
I_{N_X}	输入电源/逻辑电源电压		5.75	V
V_{OUT}	输出容差	-0.3	受内部限制	V
V_{SRC1_SRC2}	SOURCE1 和 SOURCE2 之间的电位差	-0.5	0.5	V
V_{OUT_SC}	短路耐受输出电压		28	V
E_{AS_sp}	单脉冲能量耐受能力 $T_A = 125^\circ\text{C}$, $R_L = 17\Omega$, $L = 100\text{mH}$, $V_{LOAD} = 14\text{V}$		50	mJ
$E_{AS_Rep_p}$	电感钳位能量 200 万个周期, $T_A = 105^\circ\text{C}$, $R_L = 24\Omega$, $L = 100\text{mH}$, $V_{LOAD} = 14\text{V}$		20	mJ
状态	数字输出引脚电压	-0.5	5.75	V
I_{peak}	峰值驱动输出电流	受内部限制		A
P_{dis}	持续总功率耗散	请参阅 热性能信息		W
T_J	工作虚拟结温	-40	150	$^\circ\text{C}$
T_{stg}	贮存温度	-60	150	$^\circ\text{C}$

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	± 750	

(1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全地进行生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	标称值	最大值	单位
V_{INX}	电源电压	3		5.5	V
V_{LOAD}	正常运行期间的电池电压	6		18	V
T_{AMB}	运行环境温度	-40		125	$^\circ\text{C}$
T_J	工作结温	-40		150	$^\circ\text{C}$

5.4 热性能信息

热指标 ⁽¹⁾		DDA (HSOIC-8)	D (SOIC-8)	单位
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	45.4* ¹	118.4*	$^\circ\text{C/W}$
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	58.0*	54.0*	$^\circ\text{C/W}$
$R_{\theta JB}$	结至电路板热阻	20.3*	62.5*	$^\circ\text{C/W}$
ψ_{JT}	结至顶部特征参数	6.4*	13.0*	$^\circ\text{C/W}$
ψ_{JB}	结至电路板特征参数	20.3*	61.7*	$^\circ\text{C/W}$

¹ *值为初始估计值

热指标 ⁽¹⁾		DDA (HSOIC-8)	D (SOIC-8)	单位
		8 引脚	8 引脚	
R _{θJC(bot)}	结至外壳 (底部) 热阻	9.1*	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

5.5 电气特性

典型值在 T_A = 25°C、V_{IN} = 5V 的条件下测得, 除非另有说明。所有限值均在建议的运行条件下测得, 除非另有说明

参数		测试条件	最小值	典型值	最大值	单位
电源 (IN1、 IN2)						
I _{INx_norm}	正常运行时的控制输入电流消耗	INx = 1	25	40	65	μA
I _{INx_fault}	异常运行 (限流) 时的控制输入电流消耗	INx = 1			400	μA
V _{INx_uvlo_rise}	IN 欠压上升阈值		2.5		2.9	V
V _{INx_uvlo_fall}	IN 欠压下降阈值		2.3		2.6	V
状态输出 (STATUS1、 STATUS2) (DRV81325A)						
V _{STAT_L}	状态输出低电平电压	I _{STAT} = 1mA			0.4	V
I _{STAT_H}	状态高电平泄漏电流	V _{STAT} = 5V			1	μ A
输出级						
R _{DS(ON)}	FET 导通电阻	I _O = 1A , T _J = 25°C , V _{INx} = 3V , DRV81325A		125		mΩ
		I _O = 1A , T _J = 25°C , V _{INx} = 3V , DRV81325				
		I _O = 1A , T _J = 150°C , V _{INx} = 3V , DRV81325A				
		I _O = 1A , T _J = 150°C , V _{INx} = 3V , DRV81325				
R _{DS(ON)}	FET 导通电阻	I _O = 1A , T _J = 25°C , V _{INx} = 5V , DRV81325A		110		
		I _O = 1A , T _J = 25°C , V _{INx} = 5V , DRV81325				
		I _O = 1A , T _J = 150°C , V _{INx} = 5V , DRV81325A				
		I _O = 1A , T _J = 150°C , V _{INx} = 5V , DRV81325				
I _{OFF}	关断状态漏电流	V _{OUT} = 18V , T _J = 150°C			5	μ A
V _F	体二极管正向电压	I _O = -1A		0.8		V
V _{CLTH_LT}	漏源钳位电压阈值	I _{OUT} = 10mA , T _J = -40°C	40			V
V _{CLAMP}	漏源钳位电压	I _{OUT} = 1.5A , T _J = 150°C	41		45	V
SWITCHING						
t _R	上升时间	V _{LOAD} = 13V , R _L = 13 Ω , V _{INx} = 3V	20	30	40	μ s
		V _{LOAD} = 13V , R _L = 13 Ω , V _{INx} = 5V	20	30	40	
t _F	下降时间	V _{LOAD} = 13V , R _L = 13 Ω , V _{INx} = 3V	30	60	120	μ s
		V _{LOAD} = 13V , R _L = 13 Ω , V _{INx} = 5V	15	25	50	
SR _{rise}	上升压摆率	V _{LOAD} = 13V , R _L = 13 Ω , V _{OUT} = 30% V _{LOAD} 至 70% V _{LOAD} , V _{INx} = 3V	0.3	0.5	0.7	V/ μ s
		V _{LOAD} = 13V , R _L = 13 Ω , V _{OUT} = 30% V _{LOAD} 至 70% V _{LOAD} , V _{INx} = 5V	0.3	0.5	0.7	

典型值在 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ 的条件下测得，除非另有说明。所有限值均在建议的运行条件下测得，除非另有说明

参数		测试条件	最小值	典型值	最大值	单位
SR _{fall}	下降压摆率	V _{LOAD} = 13V, R _L = 13 Ω , V _{OUT} = 30% V _{LOAD} 至 70% V _{LOAD} , V _{INx} = 3V	0.1	0.25	0.4	V/ μ s
		V _{LOAD} = 13V, R _L = 13 Ω , V _{OUT} = 30% V _{LOAD} 至 70% V _{LOAD} , V _{INx} = 5V	0.3	0.5	0.7	
t _{PD_L_to_H}	传播延迟, 输入低电平至输出高电平	V _{LOAD} = 13V, R _L = 13 Ω , V _{INx} = 3V	20	33	40	μ s
		V _{LOAD} = 13V, R _L = 13 Ω , V _{INx} = 5V	20	33	40	
t _{PD_H_to_L}	传播延迟, 输入高电平至输出低电平	V _{LOAD} = 13V, R _L = 13 Ω , V _{INx} = 3V	18	25	45	μ s
		V _{LOAD} = 13V, R _L = 13 Ω , V _{INx} = 5V	18	25	45	
保护电路						
I _{LIM}	电流限制值	V _{INx} = 5, T _J = 25°C, DDA 封装		7.8	10	A
		V _{INx} = 5, T _J = 125°C, DDA 封装	5.5			A
		V _{INx} = 5, T _J = 25°C, D 封装		4.7	6	A
		V _{INx} = 5, T _J = 125°C, D 封装	3			A
T _{TSD}	热关断温度	裸片温度	150	175	200	°C
T _{TSD_hys}	热关断温度迟滞			7		°C
T _{STAT_res et}	状态热复位	DRV81325A	135			°C
Δ T _J	动态温度			40		°C
Δ T _{J_HYS}	动态温度磁滞			15		°C
t _{STATUS}	STATUS 引脚上的过热去抖	DRV81325A		20		μ s

输出计时示意图

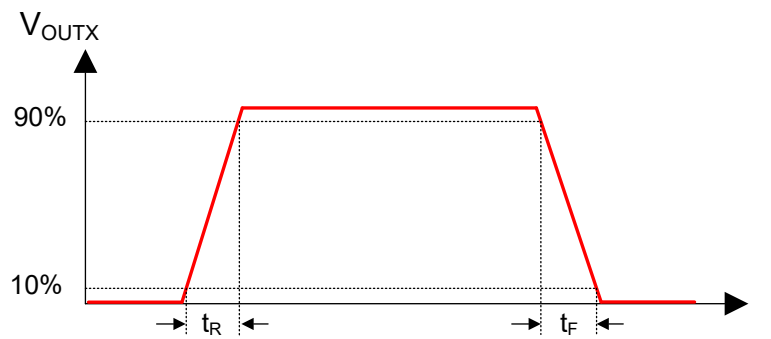


图 5-1. 输出上升/下降时间

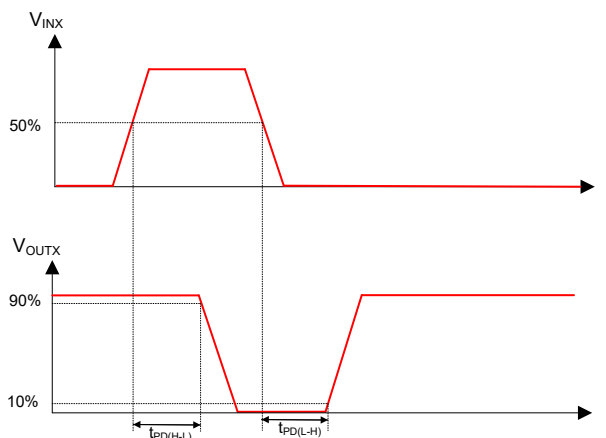


图 5-2. 传播延迟

5.6 瞬态热阻抗和电流能力

基于热模拟的信息。值为初始估计值**

表 5-1. 瞬态热阻抗 ($R_{\theta JA}$) 和电流能力

器件型号	封装	$R_{\theta JA}$ [°C/W](1)				电流 [A] ，仅单通道导通(2)				电流 [A]，两个通道导通 (报告每个 通道) (3)			
		10ms	0.1s	1s	DC	0.01s	0.1s	1s	DC	10ms	0.1s	1s	DC
DRV81325A-Q1	DDA (HSOIC 8)	5	12	23	47	8.5	5.5	4	2.8	6.0	3.9	2.8	2.0
	D (SOIC8)	8	15	40	114	6.7	4.9	3.0	1.8	4.8	3.5	2.1	1.3
DRV81325-Q1	D (SOIC8)	8	15	40	114	6.7	4.9	3.0	1.8	4.8	3.5	2.1	1.3

- 基于热模拟，采用 114.3 x 76.2 x 1.6mm 4 层 PCB 节 7.4.2 – 顶部/底部层使用 2 盎司铜，内部层使用 1 盎司铜，热过孔钻孔直径为 0.3mm，镀铜层为 0.025mm，最小过孔间距为 1mm。
- 在 85°C 环境温度下，估计结温升高至 150°C 的瞬态电流能力。
- 在并联模式下使用时，该负载电流能力值将有效翻倍。例如，如果两个通道各可导通 1A 电流，则通道并联后，并联输出可支持 2A。

6 详细说明

6.1 概述

DRV81325/A-Q1 是双通道低侧开关驱动器，每个集成开关的典型 $R_{DS(ON)}$ 为 $110\text{m}\Omega$ 。每个开关都集成了过压保护功能，用于实现电感负载的安全退磁。这些器件通过各通道的控制引脚 IN_x 供电。每个通道均通过固定的集成电流限制功能进行过流保护。每个通道还具有过热保护。DRV81325A 的每个通道可通过漏极开路输出 $STATUS_x$ 提供诊断反馈，以向用户发出输出端过热状况警报。DRV81325A 采用 8 引脚 HSOIC (DDA 封装) 和 8 引脚 SOIC (D 封装)。DRV81325 采用 8 引脚 SOIC (D 封装)。

属性	DRV81325A	DRV81325
封装	DDA(HSOIC8)、D(SOIC8)	D(SOIC8)
诊断输出 (STATUS)	Y	N

6.2 功能方框图

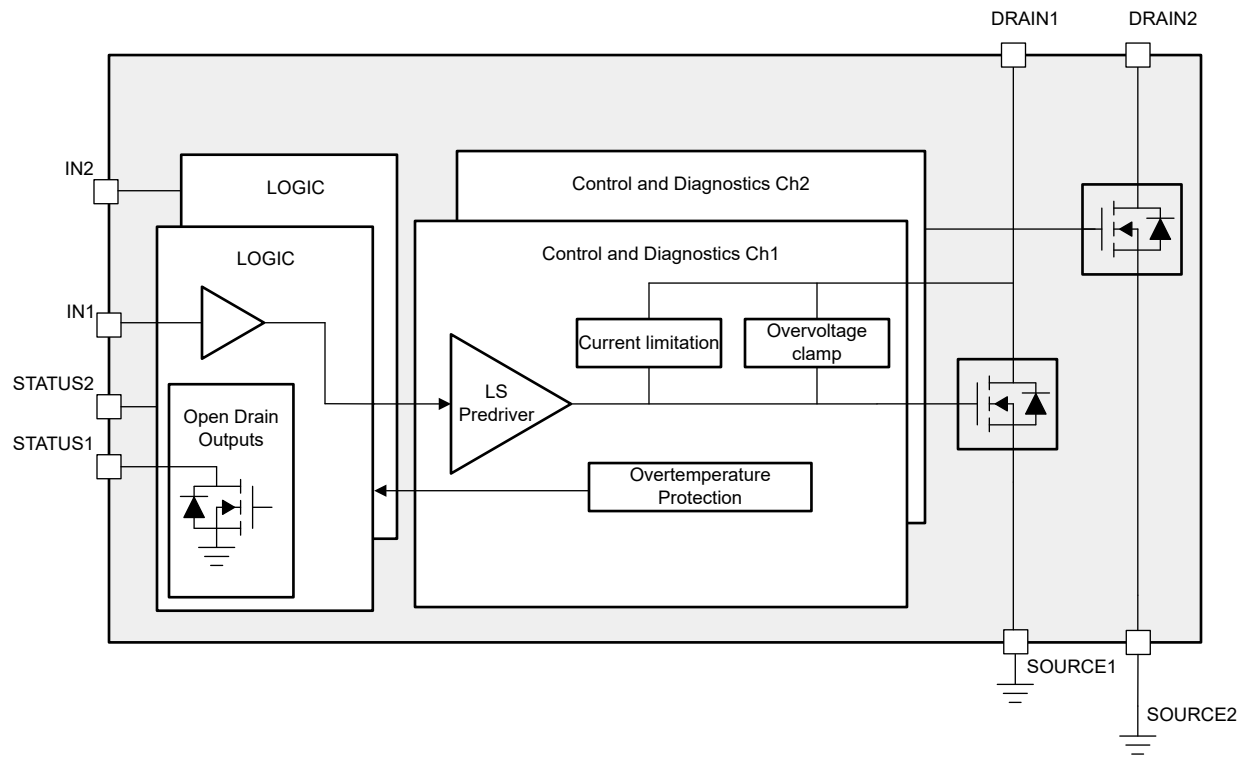


图 6-1. DRV81325A-Q1 功能框图

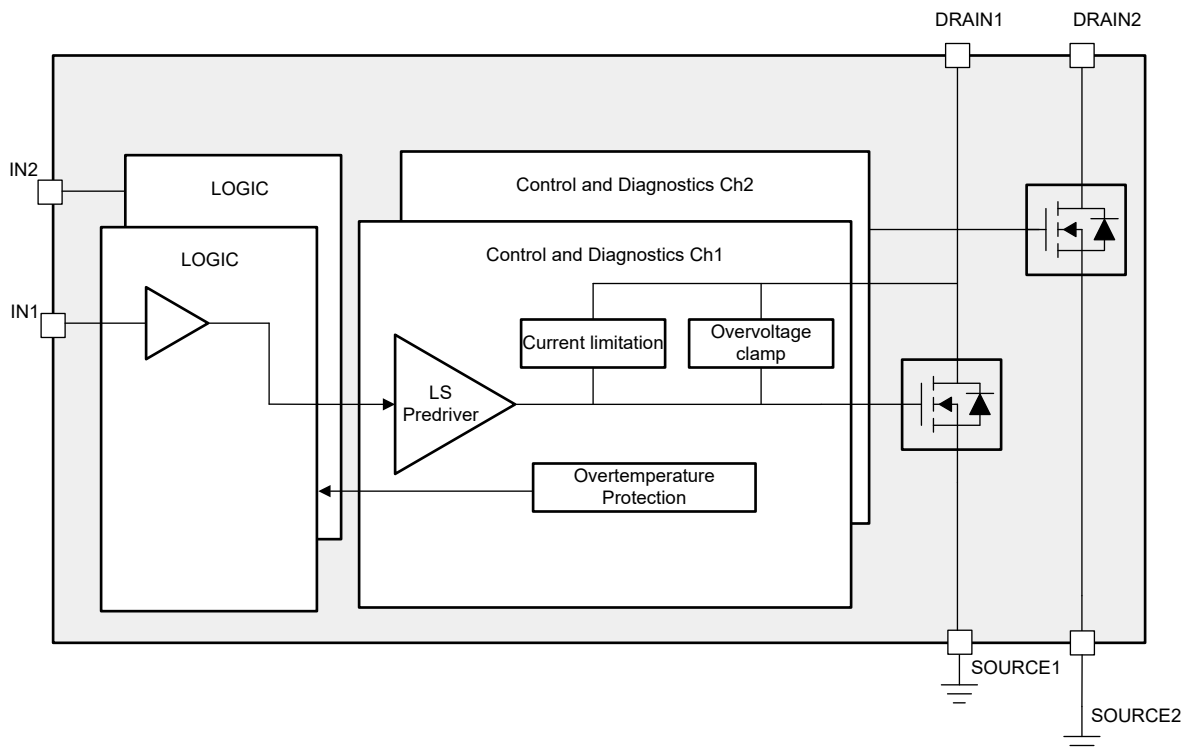


图 6-2. DRV81325-Q1 功能框图

6.2.1 控制接口/电源输入

DRV81325/A 器件没有专用电源引脚。每个通道的电路均通过相应的控制输入供电。该引脚兼具电源和控制输入的功能。

当在该引脚上施加逻辑高电平时，对应通道的输出低侧 FET 导通，输出被拉至低电平。

6.2.2 支持分流电阻检测

每个 MOSFET 的源极端子暴露在 SOURCE_x 引脚上。可以在 SOURCE 引脚和 GND 之间连接一个外部检测电阻器，以测量该通道上的电流，如下图所示

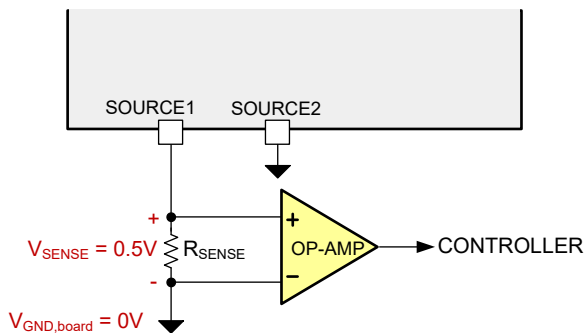


图 6-3. 使用电流感应电阻器时，SOURCE_x 引脚相对于电路板接地的电压

如果不使用外部电流检测功能，则必须将 SOURCE_x 引脚直接连接到系统 GND。

SOURCE_x 引脚的绝对最大额定值将分流电阻器上的最大电压设为 0.5V。分流电阻器的大小必须确保在最高负载电流下，检测电阻器上的电压不超过 0.5V。

6.2.3 通道并联

DRV81325/DRV81325A-Q1 通道可并联以支持更高的驱动电流。并联输出的导通电阻有效值约为 $0.5 \times R_{DS(ON)}$ 。并联必须在电路板层面通过将输出和输入短接来实现。对于 DRV81325A-Q1，TI 建议另外短接 STATUS1 和 STATUS2 引脚。

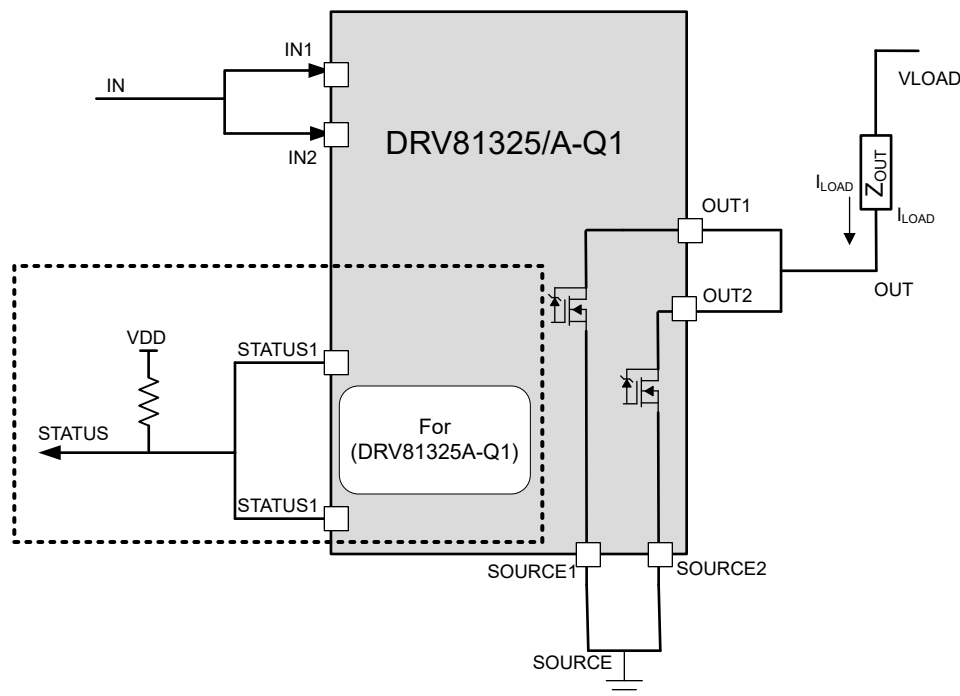


图 6-4. DRV81325/DRV81325A-Q1 通道并联

6.3 保护电路

DRV81325/A-Q1 在过流、过热、FET 过压和欠压等情况下均具备全面保护

6.3.1 过压钳位

关断电感负载时，需要电压钳位以防止器件损坏。有源钳位电路由连接在漏极和栅极之间的齐纳二极管堆栈构成。当反冲电压超过齐纳阈值时，反冲会将电流推入栅极，迫使 FET 在饱和区略微重新导通。这样便可以受控方式直接在 FET 内部耗散电感能量。

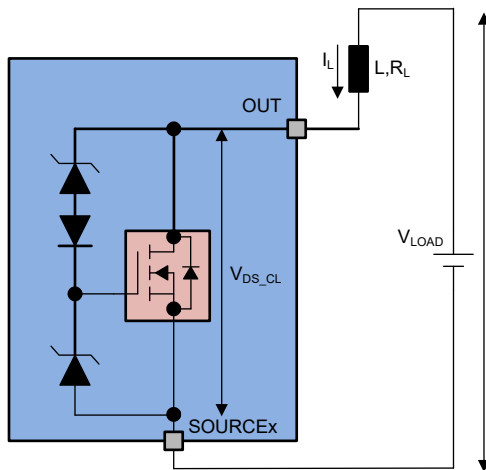


图 6-5. 有源过压钳位

6.3.1.1 退磁能量承受能力

在电感负载退磁期间，电能会在 DRV813xx-Q1 低侧开关中耗散。以下公式展示了当低侧 V_{DS} 钳位电压为 V_{DS_CL} 、负载 (L 、 R_L) 承载电流 I_L 且负载另一端连接到 V_{LOAD} 时，低侧开关耗散能量的计算方法：

$$E_{AS} = V_{DS_CL} \times \left[\frac{V_{LOAD} - V_{DS_CL}}{R_L} \times \ln \left(1 - \frac{R_L \times I_L}{V_{LOAD} - V_{DS_CL}} \right) + I_L \right] \times \frac{L}{R_L} \quad (1)$$

在 $R_L = 0$ 的假设下，可简化为

$$E_{AS} = \frac{1}{2} \times L \times I_L^2 \times \left(\frac{V_{DS_CL}}{V_{DS_CL} - V_{LOAD}} \right) \quad (2)$$

可转换为热量的最大能量受元件热设计的限制。节 5.1 中提供的 E_{AS_sp} 值表示每个通道的单脉冲能量处理能力，而节 5.1 中提供的 $E_{AS_Rep_p}$ 值表示每个通道的重复脉冲能量处理能力。

6.3.2 单脉冲钳位能力

此处显示了器件在 125°C 下对于单脉冲电感耗散所能承受的最大能量及其对应的负载电感和负载电流。对于重复频率低于 4Hz 的 100 万个电感重复脉冲，该器件可以承受该能量的 40%。如果应用参数超出该器件限制，请使用续流二极管等外部保护器件来耗散存储在电感器中的能量

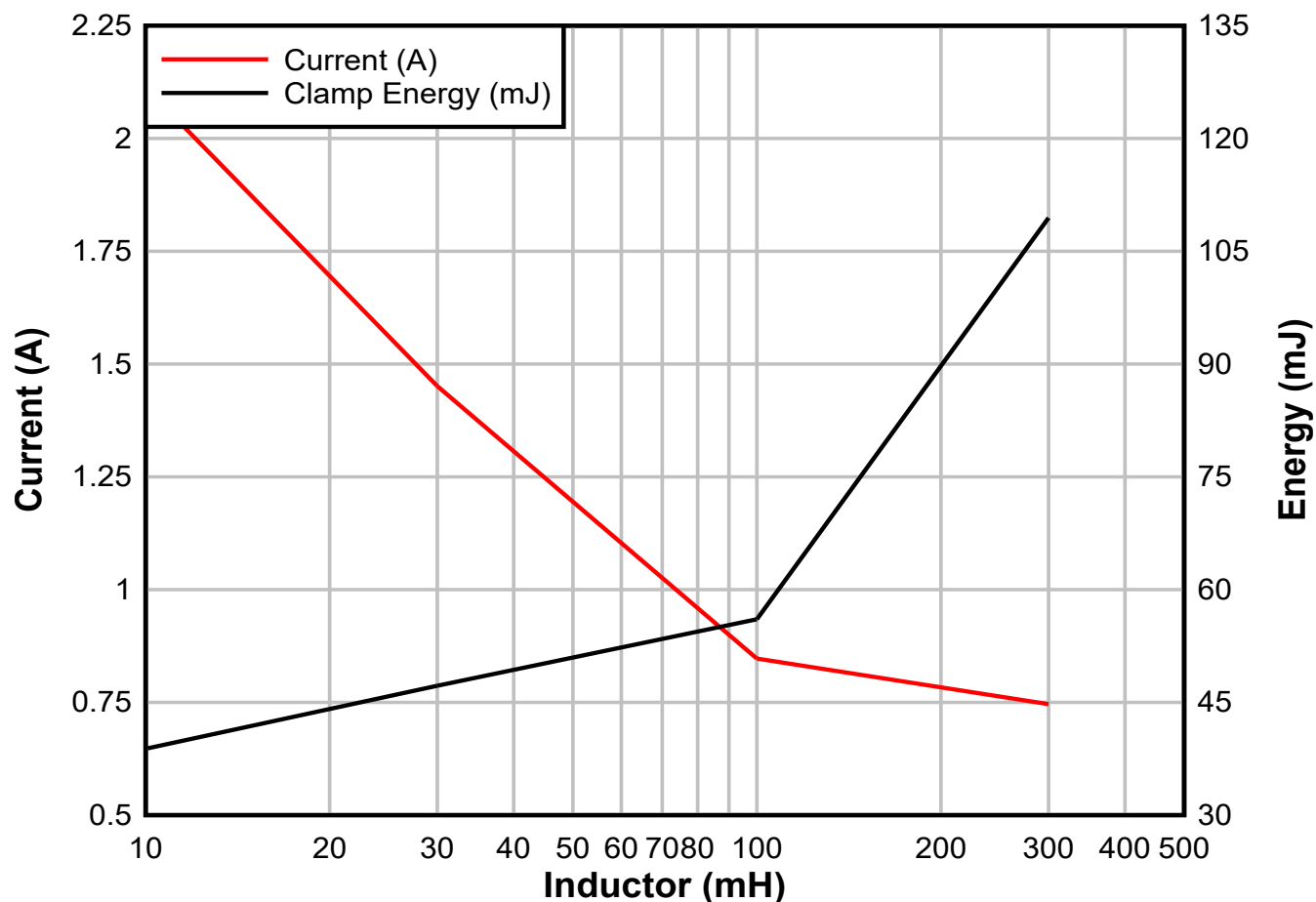


图 6-6. 125°C 下的单脉冲钳位能量 (每通道)。 $V_{LOAD} = 14V$ 且 $R_{LOAD} = V_{LOAD} / \text{电流 (A)}$

6.3.3 过流限值

过流限制旨在针对短路条件提供保护，同时允许灯、电机和电容负载等典型负载的浪涌电流通过。当检测到的负载电流超过限制电平 I_{LIM} 时，低侧 FET 的栅极驱动会以闭环方式不断调整，以保持输出电流受限。

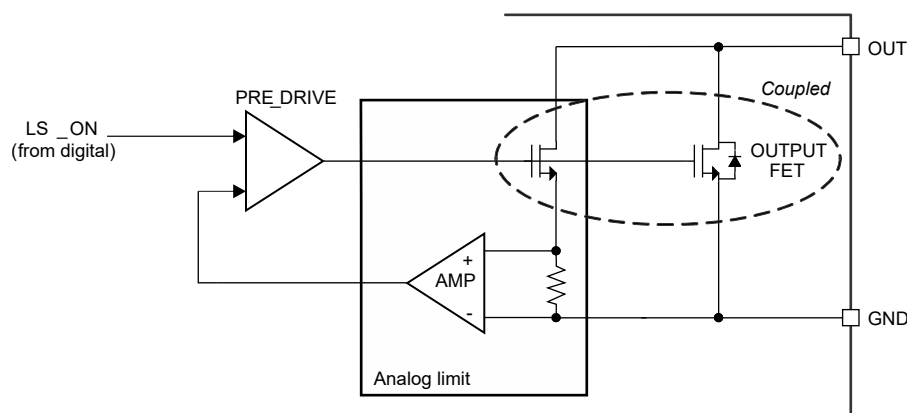


图 6-7. 电流限制电路的工作方式

其结果是 FET 漏源电压可能升高，从而导致功耗急剧增加。FET 会在 I_{LIM} 电流下持续升温，直至达到动态温度关断 (ΔT_{DYN}) 或绝对温度关断 (T_{TSD}) 阈值。这些热关断机制分别具有 ΔT_{DYN_HYS} 或 T_{TSD_HYS} 磁滞。两种热关断

事件具有相同的优先级，且两者都需要都清除后驱动器才会尝试重试。此后，该通道将按正常的自动重启、电流限制器件的方式运行。**STATUS** 引脚仅在达到绝对过热 T_{TSD} 时才被拉至低电平。当动态温度关断磁滞和绝对温度 **STATUS** 复位条件均已清除时，**STATUS** 引脚即被释放（参见 [STATUS 引脚处理](#)）

一个通道上的电流限制条件不会影响其他通道，除非发生诸如共通过热（芯片级）等事件

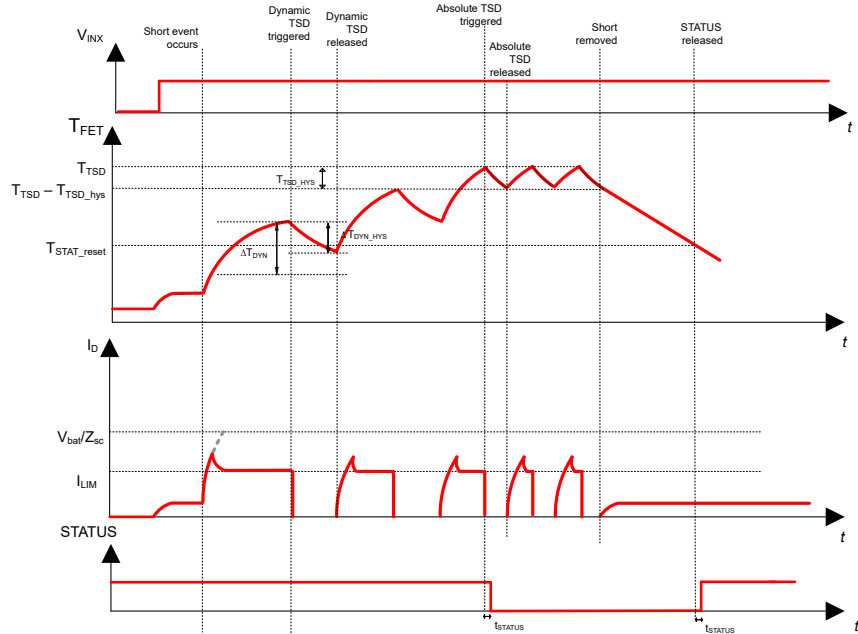


图 6-8. 发生短路事件时过流限制电路的运行情况

6.3.3.1 通道并联时的电流限制

当 DRV81325/DRV81325A-Q1 通道并联时，内部没有用于同步两个独立通道运行的电路。因此，当发生电流限制/浪涌等热应力事件时，两个通道可能会出现不对称的加热和冷却，其影响是热关断和重试行为在时间上逐渐发生偏移。因此，用户必须预料到有效稳定状态电流限制发生在 $1 \times I_{LIM}$ 水平。

然而，将两个通道并联确实会体现为一个优势，即电流限制行为的有效触发阈值更高。这是因为并联时电流在两个通道之间分流，这意味着需要总共 $2 \times I_{LIM}$ 才能触发任一通道的独立电流限制。

图 6-9 演示了由于各通道热关断和重试事件的时间偏移，并联输出有效电流可能呈现的情况

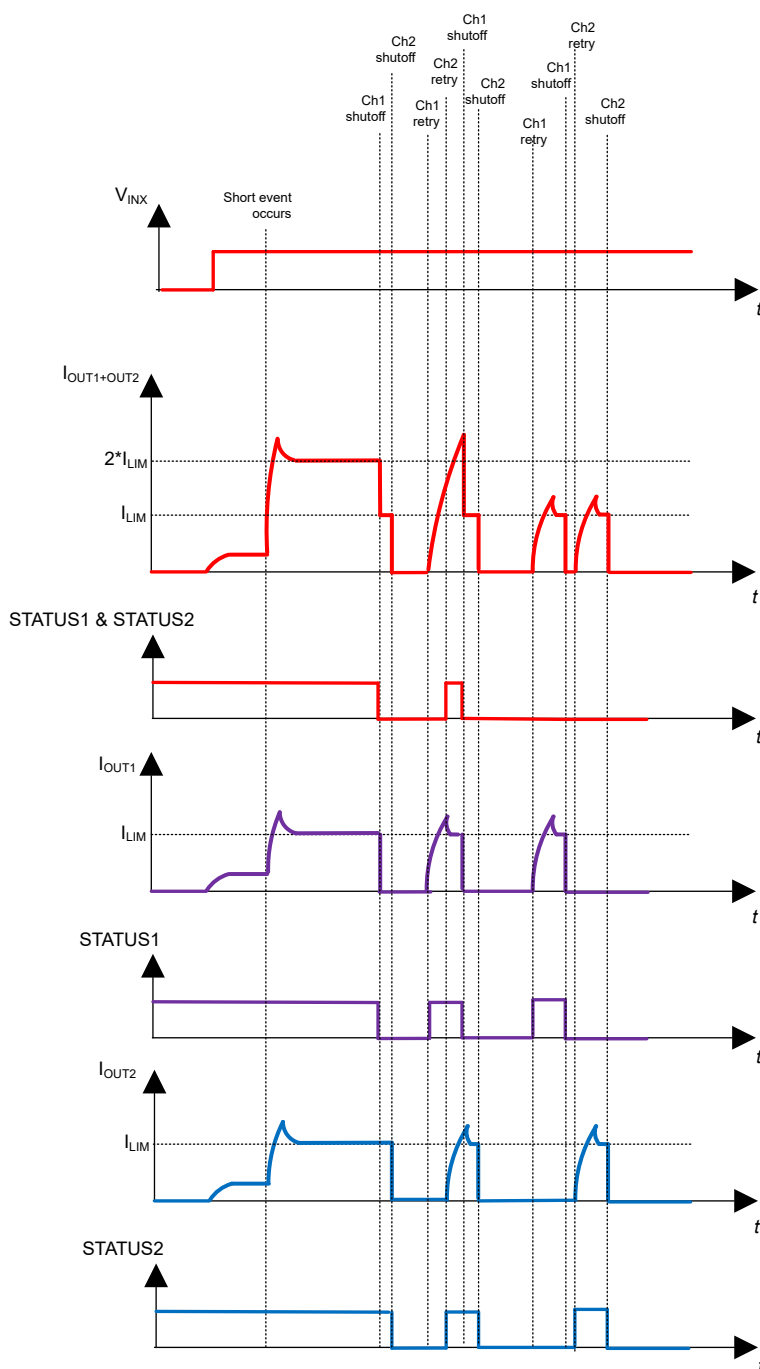


图 6-9. 并联输出电流随时间变化受到限制的情况

6.3.4 热关断 (TSD)

为防止功率级过热，该器件集成了绝对温度限制 (T_{TSD}) 和动态温度限制 (ΔT_{DYN}) 功能。触发其中任一保护功能都会导致输出关闭并尝试恢复。

两个输出功率级的热保护相互独立

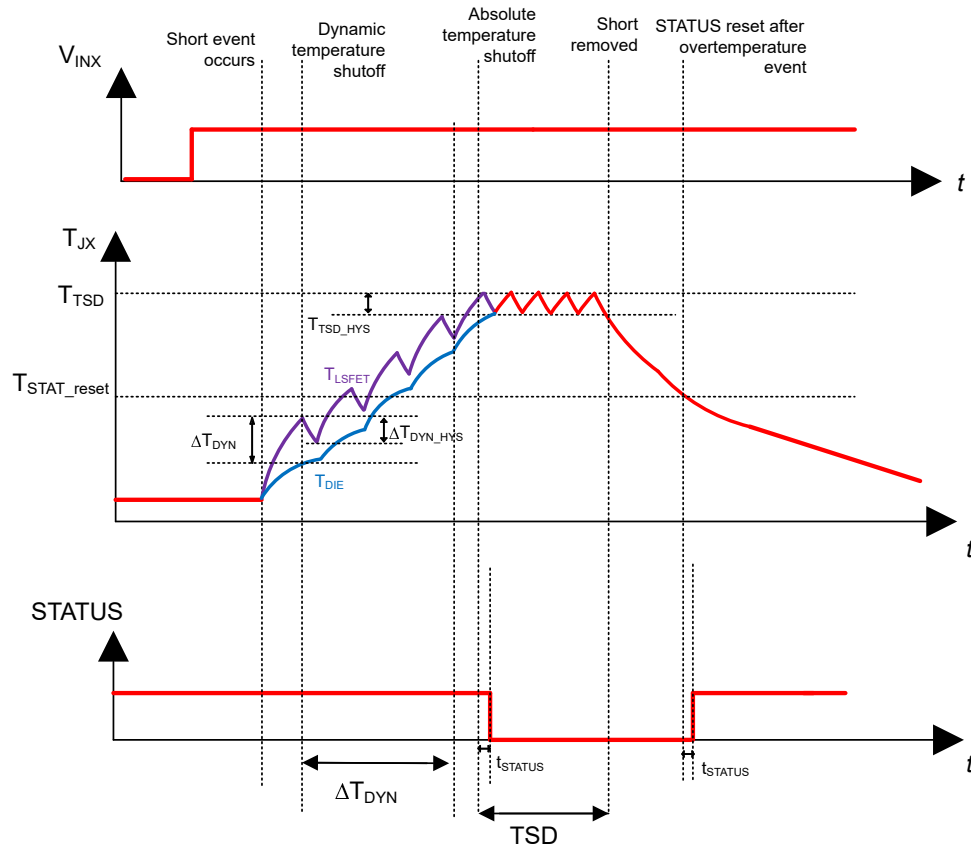


图 6-10. 过热保护

6.3.4.1 动态过热应力 (ΔT_{DYN})

当裸片上两点之间出现较大温度梯度时，可能会发生热过应力。动态温度限制通过比较 FET 与裸片较冷部分之间的相对温度差，在诸如电流限制等高功耗事件中实现更受控的 FET 温度上升。动态过热事件不会导致 STATUS 变为低电平。但是，持续存在的动态过热条件可能阻碍 STATUS 的恢复。

6.3.4.2 绝对过热 (TSD)

除了动态温度保护和监测外，该 FET 还具有一个绝对温度传感器。触发该传感器将导致通道关断，随后 STATUS 引脚被拉至低电平。一旦温度降至 T_{TSD_hys} 以下，通道就会尝试重新导通。

备注

只有绝对过热事件才能使 STATUS 变为低电平。然而，STATUS 引脚的恢复仅在动态过热传感器降至 $\Delta T_{DYN} - \Delta T_{DYN_hys}$ 以下且 FET 温度传感器降至 T_{TSD_reset} 以下时，STATUS 引脚才会发生

6.3.5 欠压锁定 (UVLO)

无论何时，只要 INx 引脚上的电压降至欠压锁定阈值电压以下时，器件中的所有电路均被禁用，且所有内部逻辑被复位。当 INx 上升到 UVLO 阈值以上时，会恢复正常运行。STATUS 引脚无指示信号。

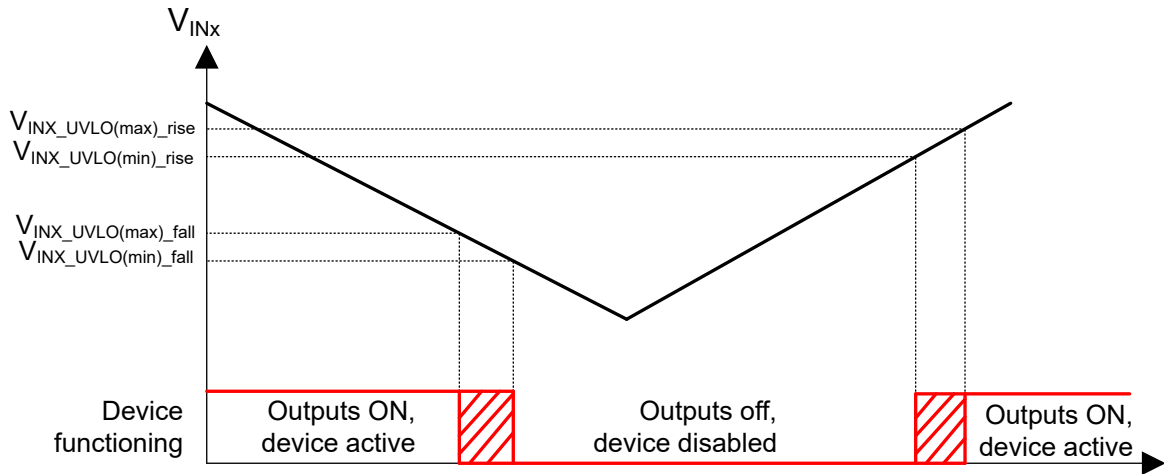


图 6-11. V_{INX} UVLO 器件响应

6.3.6 STATUS 引脚响应总结

$T_{FET(1)} > T_{TSD}$	$T_{STAT_reset} < T_{FET} < T_{TSD} - T_{TSD_hys}$	$T_{FET} < T_{STAT_reset}$	$\Delta T(2) > \Delta T_{DYN}$	$\Delta T < \Delta T_{DYN} - \Delta T_{DYN_hys}$	OUT 响应	状态
✓	✗	✗	✗	✓	关闭	低
✗	✓	✗	✗	✓	开启	低
✗	✗	✓	✗	✓	开启	高
✗	✗	✗	✗	✓	开启	高
✓	✗	✗	✓	✗	关闭	低
✗	✓	✗	✓	✗	关闭	低
✗	✗	✓	✓	✗	关闭	低
✗	✗	✗	✓	✗	关闭	高

1. T_{FET} 表示 FET 温度
2. $\Delta T = T_{FET} - T_{controller}$

应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

1 应用信息

DRV81325/A-Q1 可在以下配置中使用，可选择在 SOURCE 引脚上添加检测电阻器或进行电流检测。

2 典型应用

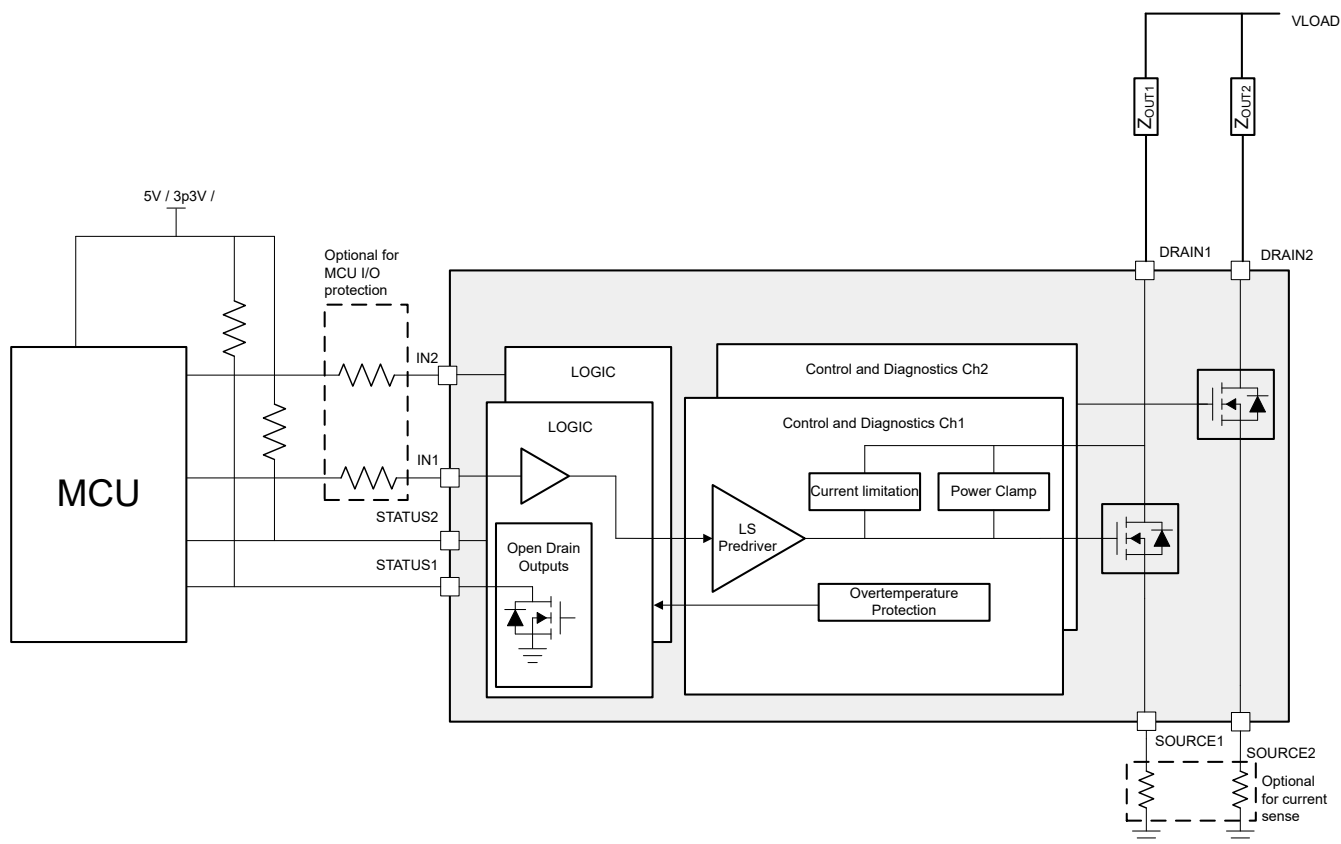


图 7-1. DRV81325A 的典型应用原理图

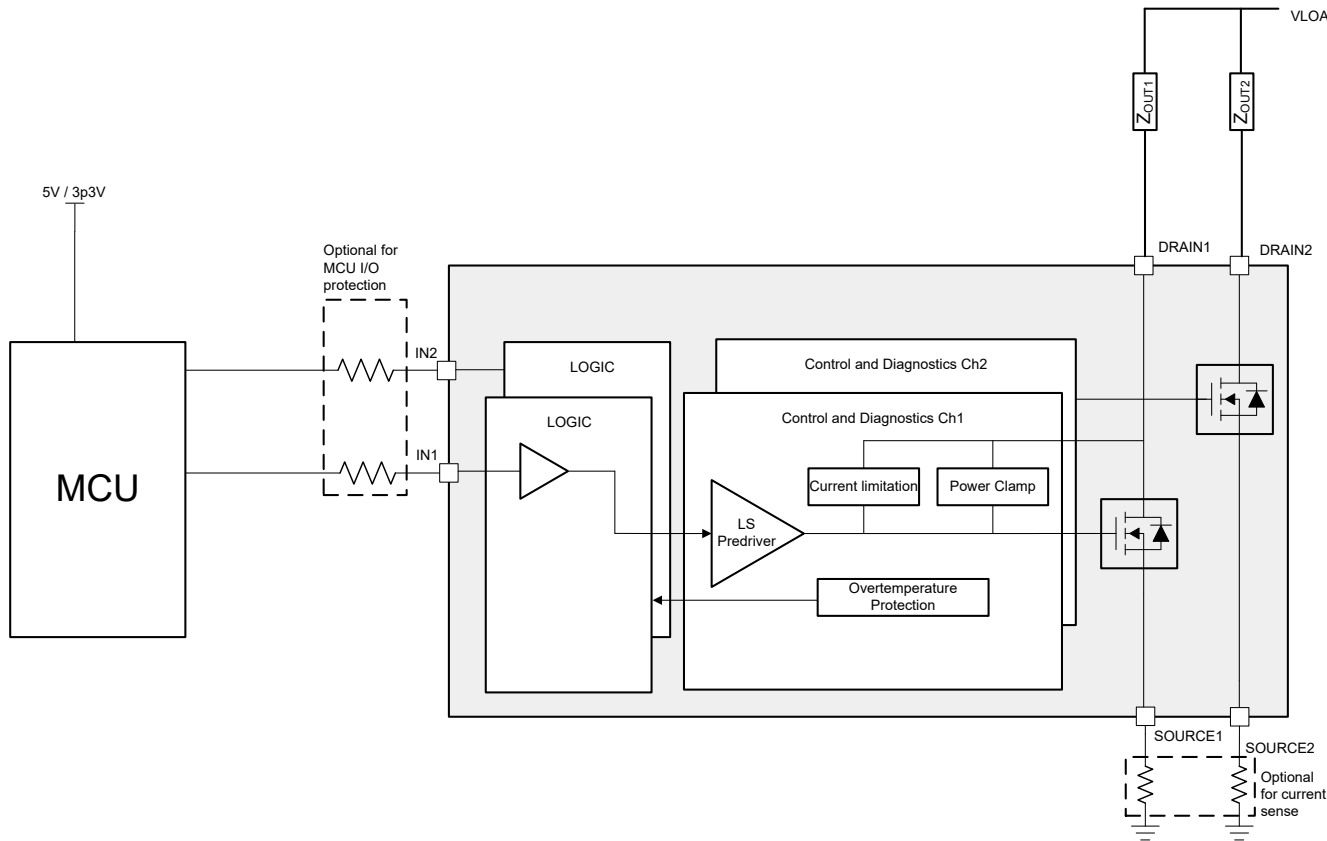


图 7-2. DRV81325 的典型应用原理图

2.1 外部组件

下表列出了 DRV81325/A-Q1 的推荐外部元件

表 7-1. 必需的外部元件

符号	说明	值	用途
R_{STATUS}	STATUS 上的上拉电阻器	10k Ω	当该引脚未被拉低时，将 STATUS 电压上拉至高电平。 对于 DRV81325A-Q1

表 7-2. 可选外部元件

符号	说明	值	用途
C_{OUT}	每个 OUTx 与 SOURCEx 之间的电容器	<10nF	系统级 ESD 直接过滤
R_{SNS}	SOURCEx 与 GND 之间的分流检测电阻器	<200m Ω	SOURCEx 引脚上的可选电阻器，用于检测负载电流
R_{series}	用于防止 MCU 闩锁的串联电阻器	<500 Ω	MCU I/O 保护

3 瞬态热性能

图 7-3. 1(1s0p) 层 PCB，铜面积增大 — D 封装

图 7-4. 1(1s0p) 层 PCB，铜面积增大 — DDA 封装

图 7-5. 4(2s2p) 层 PCB，铜面积增大 — D 封装

图 7-6. 4(2s2p) 层 PCB，铜面积增大 — D 封装

4 布局

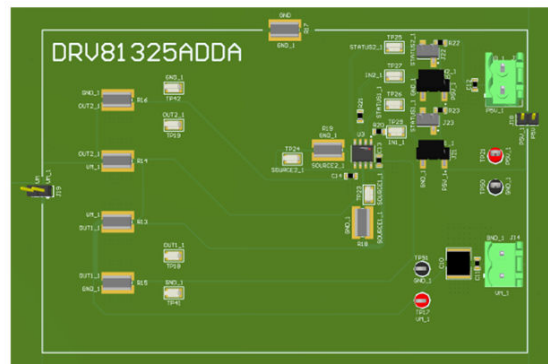
4.1 布局指南

小容值电容器必须采用陶瓷电容器，并紧靠器件引脚放置。

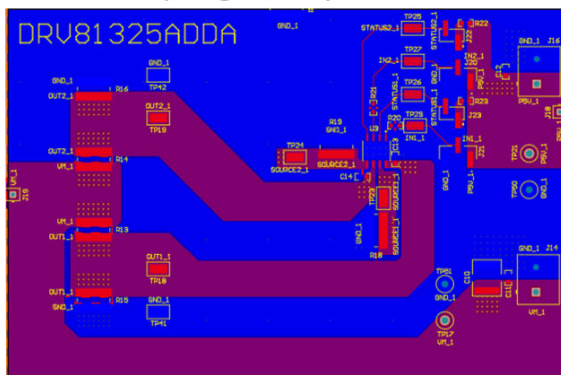
大电流器件输出必须使用宽金属走线。

器件散热焊盘必须焊接到 PCB 顶层接地平面。必须使用多个过孔连接到大型底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的 $I^2 \times R_{DS(on)}$ 热量。

4.2 布局示例



Top Signal Layer



Second Layer (GND)

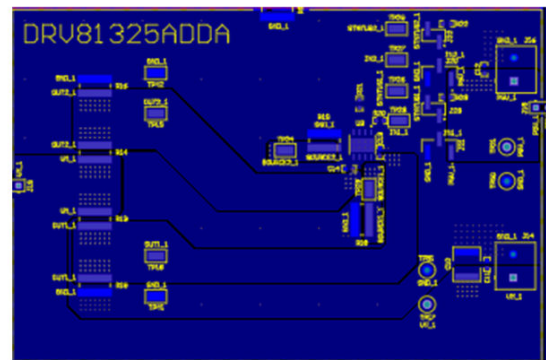


图 7-7. 2s2p 中的 DDA 封装 (Power Pad) (仅显示顶层和第二层)

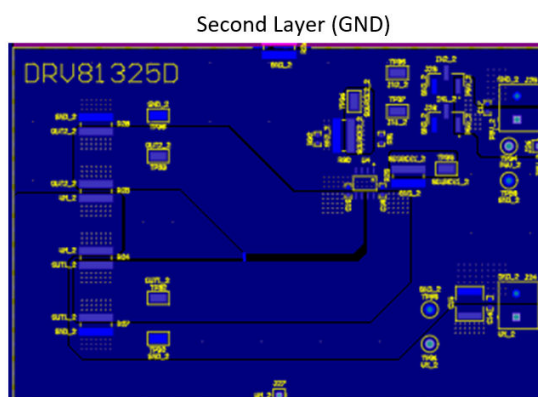
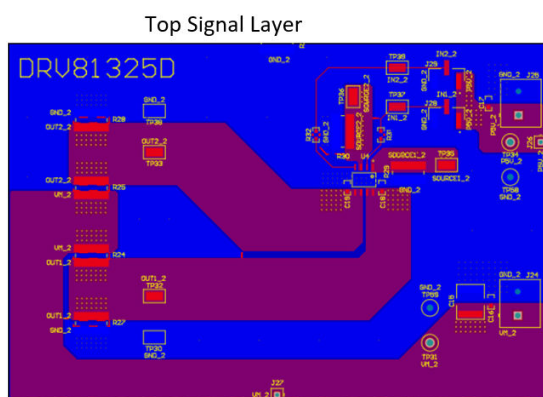
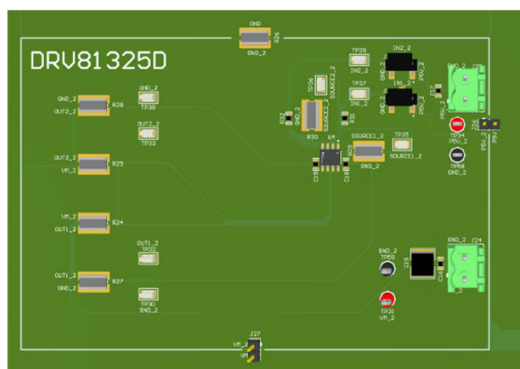


图 7-8. 2s2p 中的 D 封装 (仅显示顶层和第二层)

5 散热注意事项

5.1 功率耗散

DRV81325 器件的功率耗散由两部分组成

静态功率耗散： 在输出 FET 电阻或 $R_{DS(on)}$ 中耗散的功率。每个 FET 在运行静态负载时的平均功耗可以通过 [方程式 3](#) 大致估算：

$$P = R_{DS(on)} \cdot (I_{OUT})^2 \quad (3)$$

其中

- P 是一个 FET 的耗散功率
- $R_{DS(on)}$ 是每个 FET 的导通电阻
- I_{OUT} 等于负载的平均电流消耗。

在启动和故障情况下，此电流远大于正常运行电流；请将这些峰值电流及其持续时间考虑在内。

开关功率耗散： 在维持负载电流时（PWM 运行），输出 FET 导通和关断过程中 FET 中耗散的功率。功率耗散的计算公式如下：

$$P_{sw} = P_{sw_reg} + P_{sw_clamp}$$

$$P_{sw_reg} = 0.5 \times V_{load} \times I_{load} \times (tr + tf) \times F_{sw}$$

$$P_{sw_clamp} = E_{AS} * F_{sw}$$

其中：

- P_{sw} 是一个 FET 的开关功率耗散
- V_{load} 为负载电源电压
- I_{load} 为负载电流
- t_r 和 t_f 分别表示输出端的上升和下降时间
- F_{sw} 为开关频率
- E_{AS} 为电感退磁能量

备注

P_{sw_clamp} 分量仅当使用 DRV813XX 的集成输出钳位时才需考虑。如果存在外部续流路径（例如续流二极管），则无需考虑该分量。

当同时驱动多个负载时，必须将所有有源输出级的功率相加。

器件中可耗散的最大功率取决于环境温度和散热。

请注意， $R_{DS(on)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，必须考虑到这一点。

5.2 散热

DRV81325DDA 封装采用带外露 PowerPAD™ 的 HSOIC 封装。PowerPAD 封装通过外露焊盘去除器件的热量。为了确保正常运行，该焊盘必须热接至 PCB 上的覆铜区域以实现散热。在带有接地层的多层 PCB 上，可以通过增加多个过孔将散热垫连接到接地层来实现这一点。在没有内部平面的 PCB 上，可以在 PCB 的任一侧增加覆铜区域以实现散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

有关如何设计 PCB 的详细信息，请参阅 www.ti.com 上的 TI 应用报告《PowerPAD 耐热增强型封装》（文献编号：SLMA002）和 TI 应用简报《PowerPAD 速成》（文献编号：SLMA004）。

7 器件和文档支持

7.1 文档支持

7.1.1 相关文档

请参阅以下相关文档：

- *PowerPAD 散热增强型封装*，[SLMA002](#)。
- *PowerPAD 速成*，[SLMA004](#)。

7.2 社区资源

7.3 商标

PowerPAD™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV81325AQDRQ1	Active	Preproduction	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

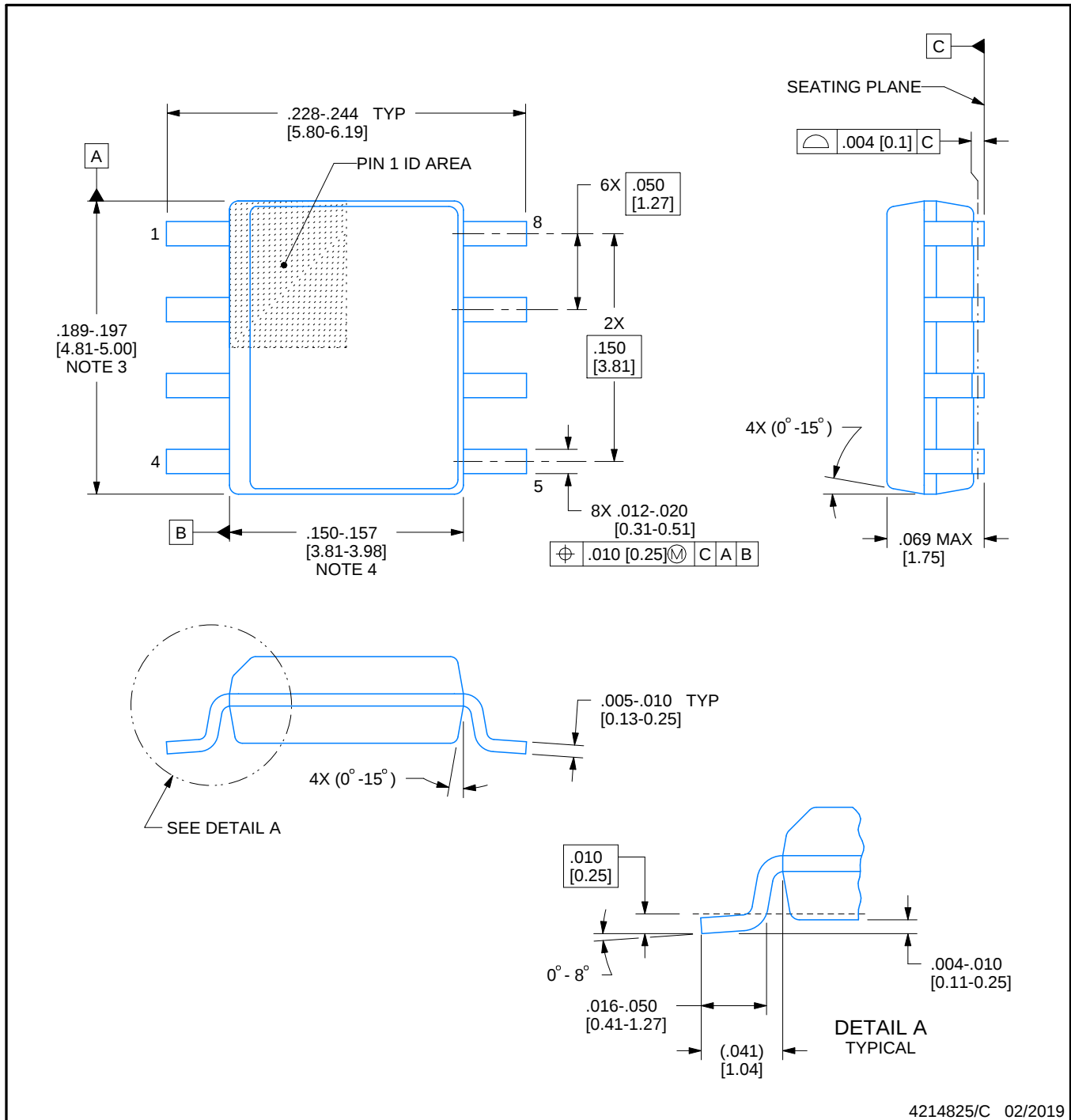


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月