DRV81315/A-Q1 受保护的低侧开关

1 特性

- 单通道受保护低侧开关
  - 25°C 时为 **100mΩ $R_{DS(ON)}$**
  - 输出级**工作耐受电压高达 40V**
- 通过 AEC-Q100 认证（高至 1 级）
- 全面保护
  - **内部电流限制**
  - **独立过热**保护
    - 动态与绝对过热保护
  - 用于电感负载放电的**集成过压钳位**
- **诊断反馈**
  - MCU 故障中断信号 (STATUS)
  - 关断状态**开路负载检测**（仅限 DRV81315A）
- **2.6V 至 5.5V 输入**电源电压范围
  - 支持 **3p3V、5V MCU** I/O 控制
- 散热增强型表面贴装封装**（DDA-8、DRL-6）**

2 应用

- 发动机和变速箱
- 照明
- 制动和悬架
- 车身电子装置和区域模块
- 电池管理系统

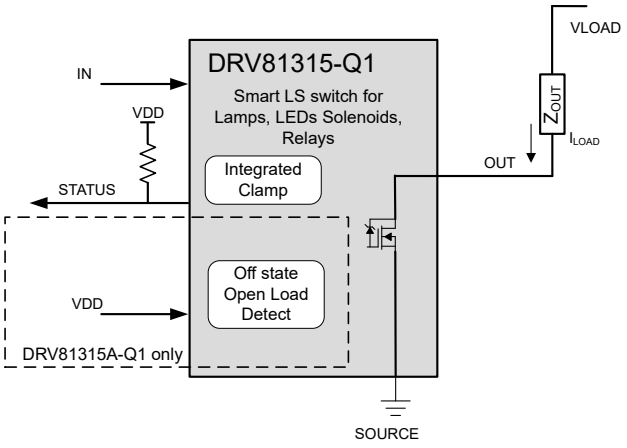
3 说明

DRV81315/A-Q1 集成单个受保护的低侧开关，具有 100mΩ 的低 $R_{DS(ON)}$。可以通过 GPIO 接口的方式控制该器件。该开关通过内部固定阈值电流限制来实现过流保护。该开关通过集成的过热传感器进行过热保护。该开关集成输出过压保护，用于电感负载退磁。故障报告以漏极开路 STATUS 输出形式提供。DRV81315A 还支持在关断状态下进行开路负载/GND 短路检测诊断，并在 STATUS 引脚上报告。DRV81315/A 采用 6 引脚 DRL (SOT-563) 封装和 8 引脚 HSOIC (DDA) 散热增强型封装（符合环保要求：RoHS，无锑/溴）。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
DRV81315DDA	HSOIC (8)	4.90mm × 3.90mm
DRV81315ADDA	HSOIC (8)	4.90mm × 3.90mm
DRV81315ADRL	SOT-563(6)	1.60mm × 1.20mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
引脚功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 瞬态热阻抗和电流能力.....8
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
6.3 特性说明.....9
6.4 保护电路.....11
7 应用和实施.....18
7.1 典型应用.....18
7.2 布局.....19
7.3 散热注意事项.....21
8 器件和文档支持.....23
8.1 文档支持.....23
8.2 社区资源.....23
8.3 商标.....23
9 机械、封装和可订购信息.....23

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

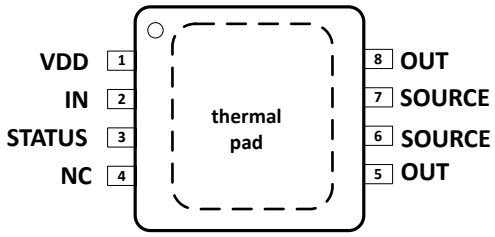


图 4-1. DRV81315A DDA 封装 8 引脚 HSOIC 顶视图

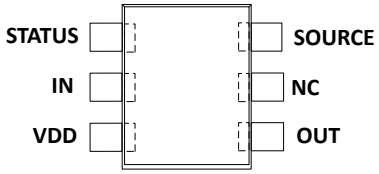


图 4-2. DRV81315A DRL 封装 6 引脚 SOT-563（浸锡）顶视图

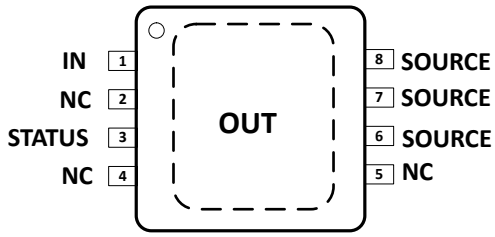


图 4-3. DRV81315 DDA 封装 8 引脚 HSOIC 顶视图

引脚功能

引脚				类型	说明
名称	DRV81315A		DRV81315		
	DDA8	DRL6	DDA8		
IN	2	2	1	I	用于控制的 GPIO 输入
VDD	1	3	-	P	电源引脚，连接到 3p3V、5V
状态	3	1	3	O	诊断输出
NC	4	5	2、4、5	-	
SOURCE	6.7	6	6、7、8	G	功率 FET 源极和接地基准
OUT	5.8	4	EP	O	功率 FET 漏极

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

		最小值	最大值	单位
IN	输入逻辑电压	-0.3	5.75	V
VDD	输入电源电压 (DRV81315A)		5.75	V
V_{OUT}	输出容差	-0.3	受内部限制	V
V_{OUT_SC}	输出电压故障短路耐受能力		28	V
$E_{AS_sp_DDA}$	DDA 的单脉冲能量能力 T_J = 150℃，R_L = 17Ω，L = 100mH，V_{LOAD} = 14V		50	mJ
$E_{AS_sp_DRL}$	DRL 的单脉冲能量能力 T_J = 150℃，R_L = 50Ω，L = 300mH，V_{LOAD} = 24V		50	mJ
$E_{AS_rep_p_DDA}$	200 万次循环的电感钳位能量，DDA 封装。T_J = 125℃，R_L = 24Ω，L = 100mH，V_{LOAD} = 14V		20	mJ
$E_{AS_rep_p_+DRL}$	200 万次循环的电感钳位能量，DRL 封装。T_J = 125℃，R_L = 50Ω，L = 300mH，V_{LOAD} = 14V		10	mJ
状态	数字输出引脚电压	-0.5	5.75	V
I_{peak}	峰值电机驱动输出电流	受内部限制		A
P_{dis}	持续总功率耗散	请参阅 节 5.4		
T_J	工作虚拟结温	-40	150	°C
T_{stg}	贮存温度	-60	150	°C

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全地进行生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

			最小值	标称值	最大值	单位
V_{IN}	输入电压 (DRV81315)		3		5.5	V
V_{VDD}	输入电源电压 (DRV81315A)					
V_{LOAD}	正常运行期间的电池电压		6		18	V
T_{AMB}	运行环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

5.4 热性能信息

热指标(1)		DDA (HSOIC-8)	DRL (SOT-563)	单位
		8 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	45.4*[1]	137.4*	°C/W

[1] *值为初始估计值

Copyright © 2026 Texas Instruments Incorporated

热指标(1)		DDA (HSOIC-8)	DRL (SOT-563)	单位
		8 引脚	6 引脚	
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	58.0*	58.8*	°C/W
$R_{\theta JB}$	结至电路板热阻	20.3*	29.8*	°C/W
ψ_{JT}	结至顶部特征参数	6.4*	1.3*	°C/W
ψ_{JB}	结至电路板特征参数	20.3*	29.4*	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	9.1*	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册，SPRA953。

5.5 电气特性

T_A = 25°C 时的典型值。所有限值均在建议的运行条件下测得，除非另有说明

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{q_off}	非活动状态下的电源电流	IN = 0，DRV81315A	4	10	25	μA
I_{q_on}	活动状态下的电源电流	IN = 1	25	40	65	μA
I_{q_fault}	故障状态下的电源电流	IN = 1			400	μA
V_{UVLO_rise}	VDD 欠压上升阈值	DRV81315A	2.5		2.9	V
	IN 欠压上升阈值	DRV81315				
V_{UVLO_fall}	VDD 欠压下降	DRV81315A	2.3		2.6	V
	IN 欠压下降阈值	DRV81315				
STATUS 输出						
V_{STAT_L}	状态输出低电平电压	I_{STAT} = 1mA			0.4	V
I_{STAT_H}	状态高电平泄漏电流	V_{STAT} = 5V			1	μA
两电平逻辑输入 (DRV81315A)						
V_{IL}	低电平逻辑输入				0.8	V
I_{IL}	低电平逻辑输入电流	V_{IN} = 0V	-1		1	μA
V_{IH}	高电平输入电压		2			V
I_{IH}	高电平输入电流	V_{IN} = 5.5			10	μA
V_{I_HYS}	输入电压迟滞		0.13			V
输出级						
$R_{DS(ON)}$	FET 导通电阻	I_O = 1A，T_J = 25°C，V_{VDD} = 3V，IN = 1，DRV81315A		125		mΩ
		I_O = 1A，T_J = 25°C，V_{IN} = 3V，DRV81315				
		I_O = 1A，T_J = 150°C，V_{VDD} = 3V，IN = 1，DRV81315A			250	
		I_O = 1A，T_J = 150°C，V_{IN} = 3V，DRV81315				
$R_{DS(ON)}$	FET 导通电阻	I_O = 1A，T_J = 25°C，V_{VDD} = 5V，IN = 1，DRV81315A		110		
		I_O = 1A，T_J = 25°C，V_{IN} = 5V，DRV81315				
		I_O = 1A，T_J = 150°C，V_{VDD} = 5V，IN = 1，DRV81315A			220	
		I_O = 1A，T_J = 150°C，V_{IN} = 5V，DRV81315				
I_{OFF}	关断状态漏电流	V_{OUT} = 18V，T_J = 150°C			5	μA

Copyright © 2026 Texas Instruments Incorporated

T_A = 25°C 时的典型值。所有限值均在建议的运行条件下测得，除非另有说明

参数		测试条件	最小值	典型值	最大值	单位
V_F	体二极管正向电压	I_O = -1A		0.8		V
V_{CLTH_LT}	漏源钳位电压阈值	I_{OUT} = 10mA，T_J = -40°C	40			V
V_{CLAMP}	漏源钳位电压	I_{OUT} = 1.5A，T_J = 150°C	41		45	V
关断状态诊断 (DRV81315A)						
V_{OL}	关断状态开路负载检测阈值	IN = 0	0.6	1.2	1.8	V
t_{OL_DG}	输出比较器抗尖峰脉冲			150		µs
SWITCHING						
t_R	上升时间	V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 5V，DRV81315	20	30	40	µs
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 5V，DRV81315A				
		V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 3V，DRV81315	20	30	40	
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 3V，DRV81315A				
t_F	下降时间	V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 5V，DRV81315	15	25	50	µs
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 5V，DRV81315A				
		V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 3V，DRV81315	30	60	120	
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 3V，DRV81315A				
SR_{rise}	上升压摆率	V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{IN} = 5V，DRV81315	0.3	0.5	0.7	V/µs
		V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{VDD} = 5V，DRV81315A				
		V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{IN} = 3V，DRV81315	0.3	0.5	0.7	
		V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{VDD} = 3V，DRV81315A				
SR_{fall}	下降压摆率	V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{IN} = 5V，DRV81315	0.3	0.5	0.7	V/µs
		V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{VDD} = 5V，DRV81315A				
		V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{IN} = 3V，DRV81315	0.1	0.25	0.4	
		V_{LOAD} = 13V，R_L = 13Ω，VOUT = 30% V_{LOAD} 至 70% V_{LOAD}，V_{VDD} = 3V，DRV81315A				
$t_{PD_L_to_H}$	传播延迟，输入低电平至输出高电平	V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 5V，DRV81315	20	33	40	µs
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 5V，DRV81315A				
		V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 3V，DRV81315	20	33	40	
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 3V，DRV81315A				
$t_{PD_H_to_L}$	传播延迟，输入高电平至输出低电平	V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 5V，DRV81315	18	25	45	µs
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 5V，DRV81315A				
		V_{LOAD} = 13V，R_L = 13Ω，V_{IN} = 3V，DRV81315	18	25	45	
		V_{LOAD} = 13V，R_L = 13Ω，V_{VDD} = 3V，DRV81315A				
保护电路						
I_{LIM}	电流限制值	V_{INX} = 5，T_J = 25°C，DDA 封装		7.8	10	A
		V_{INX} = 5，T_J = 150°C，DDA 封装	5.5			A
I_{LIM}	电流限制值	V_{INX} = 5，T_J = 25°C，DRL 封装		4.7	6	A
		V_{INX} = 5，T_J = 150°C，DRL 封装	3			A

Copyright © 2026 Texas Instruments Incorporated

T_A = 25°C 时的典型值。所有限值均在建议的运行条件下测得，除非另有说明

参数		测试条件	最小值	典型值	最大值	单位
T_{TSD}	热关断温度	裸片温度	150	175	200	°C
T_{TSD_hys}	热关断温度迟滞			7		°C
T_{STAT_reset}	状态热复位		135			°C
ΔT_J	动态温度			40		K
ΔT_{J_HYS}	动态温度磁滞			15		K
t_{STATUS}	STATUS 引脚上的过热去抖			20		µs

输出计时示意图

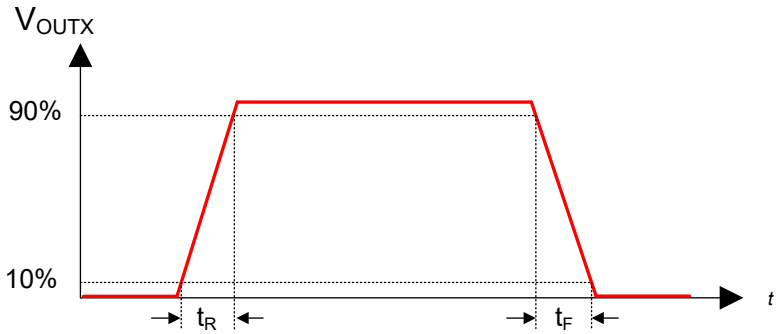


图 5-1. 输出上升/下降时间

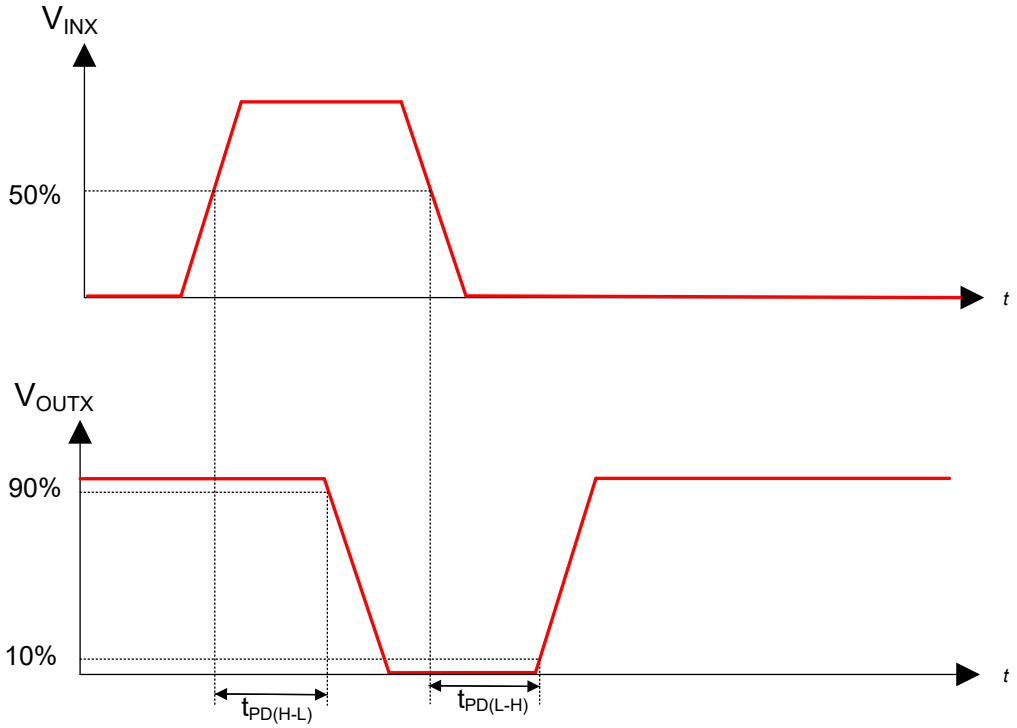


图 5-2. 传播延迟

Copyright © 2026 Texas Instruments Incorporated

5.6 瞬态热阻抗和电流能力

*基于热模拟的信息。值为初始估计值***

表 5-1. 瞬态热阻抗 ($R_{\theta JA}$) 和电流能力

器件型号	封装	$R_{\theta JA}$ [°C/W](1)				电流 [A] (2)			
		0.01s	0.1s	1s	DC	0.01s	0.1s	1s	DC
DRV81315A-Q1	DDA (HSOIC8)	5	12	23	47	8.5	5.5	4	2.8
	DRL (SOT-563)	待定	待定	待定	待定	待定	待定	待定	待定
DRV81315-Q1	DDA (HSOIC8)	5	12	23	47	8.5	5.5	4	2.8

(1) 基于热模拟，采用 114.3 × 76.2 × 1.6mm 4 层 PCB 节 7.2.2 – 顶层/底层使用 2 盎司铜，内部层使用 1 盎司铜，热过孔钻孔直径为 0.3mm，镀铜层为 0.025mm，最小过孔间距为 1mm。
(2) 在 85°C 环境温度下，估计结温升高至 150°C 的瞬态电流能力。

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

DRV81315/A 是单通道低侧开关驱动器，每个集成开关的典型 Rdson 为 100mΩ。该开关集成了过压保护功能，用于实现电感负载的安全退磁。DRV81315A 型号通过 VDD 引脚供电，IN 引脚用作控制输出的逻辑输入。DRV81315（非 A）型号将 IN 引脚同时用作电源和控制逻辑。该开关通过固定的集成电流限制功能进行过流保护。此外，该开关还具有过热保护功能。可通过 DRV81315 上的漏极开路输出 STATUS 引脚获得诊断反馈。DRV81315A 提供了关断状态诊断功能，可检测输出端的开路负载或 STG 状况。DRV81315/A 采用 8 引脚 HSOIC（DDA 封装）和 6 引脚 SOT-563（DRL 封装）。

属性	DRV81315A	DRV81315
封装	DDA (HSOIC8)、DRL (SOT-563)	DDA(HSOIC8)
关断状态开路负载/STG 诊断	Y	N
电源输入	VDD	IN
输出的逻辑控制	IN	IN

6.2 功能方框图

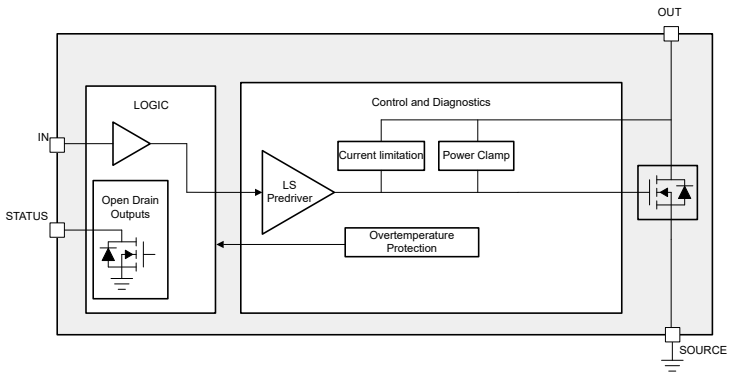


图 6-1. DRV81315-Q1

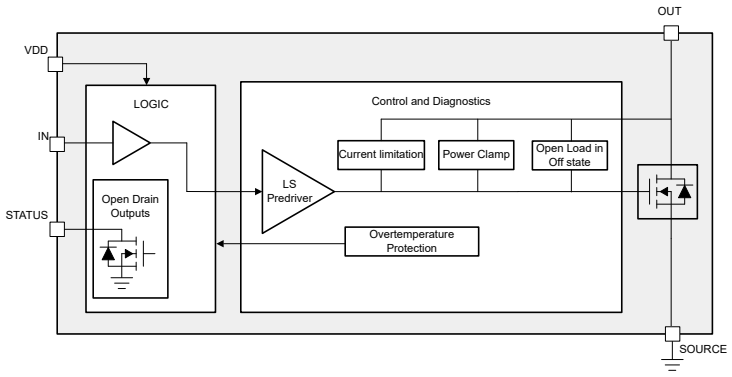


图 6-2. DRV81315A-Q1

6.3 特性说明

6.3.1 关断状态诊断（OL、STG）

DRV81315A 器件在 OUT 引脚上有一个比较器，可用于指示输出状态。当与外部下拉电阻器结合使用时，该比较器有助于检测开路负载状况 (OL)。电阻器的选择受负载泄漏容限、输出电容和负载 PWM 间隔的影响。

Copyright © 2026 Texas Instruments Incorporated

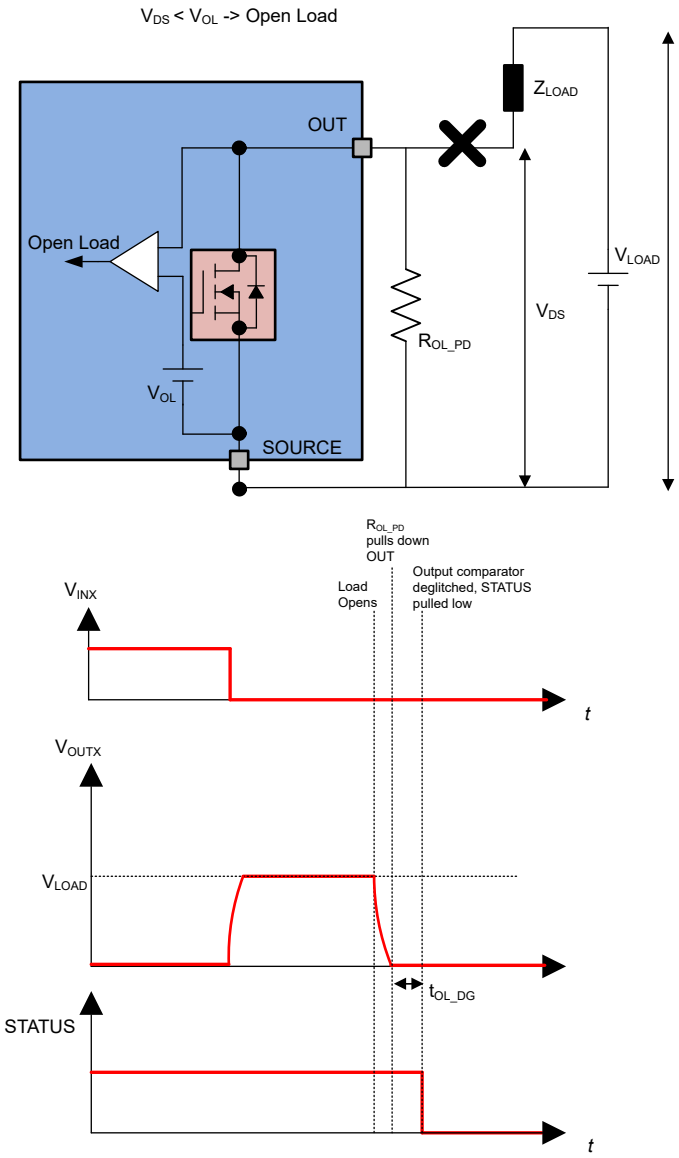


图 6-3. 开路负载检测

如果负载断开，可以连接一个外部电阻器 (R_{OL_PD}) 将输出下拉至接地。

比较器输出还有助于确定 OUT 引脚上是否存在接地短路状况 (STG)。以下是可以检测到的短路值。

$$R_{short} \leq \frac{V_{OL}(R_{load})}{(V_{load} - V_{OL})} \quad (1)$$

其中 R_{short}[2] 是可检测到的短路阻抗，R_{load} 是负载阻抗，V_{load} 是负载侧电源，V_{OL} 是输出比较器阈值。

[2] 此表达式忽略了推荐用于开路负载检测 R_{OL_PD} 的高阻抗下拉

Copyright © 2026 Texas Instruments Incorporated

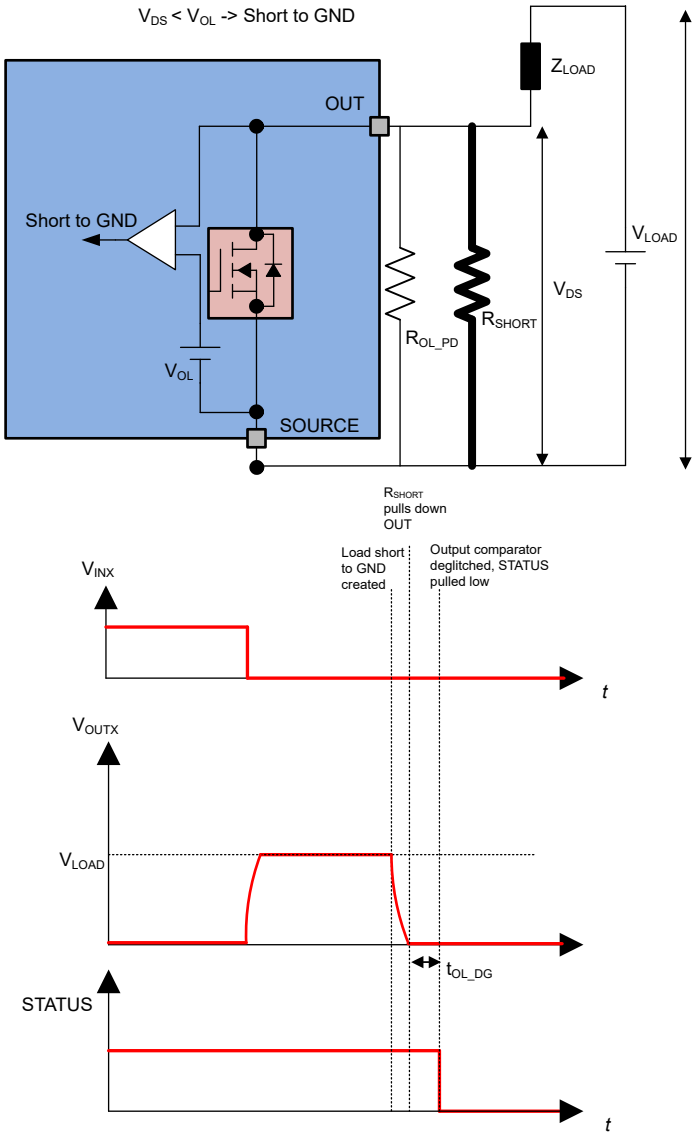


图 6-4. 短接至 GND

用户必须注意，由于开路负载和接地短路会导致相同的输出状态，因此无法区分两者。

6.3.2 控制接口/电源输入

DRV81315-Q1 器件没有专用电源引脚。电路通过 IN 引脚供电，该引脚还用作控制输入。DRV81315A-Q1 器件有一个独立于 IN 引脚的 VDD 引脚。在这里，VDD 引脚用作电源，IN 引脚用作输出低侧 FET 的纯逻辑控制

当向 IN 引脚施加逻辑高电平时，对应通道的输出低侧 FET 导通，输出被拉至低电平。

6.4 保护电路

DRV81315/A-Q1 在过流、过热、FET 过压和欠压等情况下均具备全面保护

6.4.1 过压钳位

关断电感负载时，需要电压钳位以防止器件损坏。有源钳位电路由连接在漏极和栅极之间的齐纳二极管堆栈构成。当反冲电压超过齐纳阈值时，反冲会将电流推入栅极，迫使 FET 在饱和区略微重新导通。这样便可以受控方式直接在 FET 内部耗散电感能量。

Copyright © 2026 Texas Instruments Incorporated

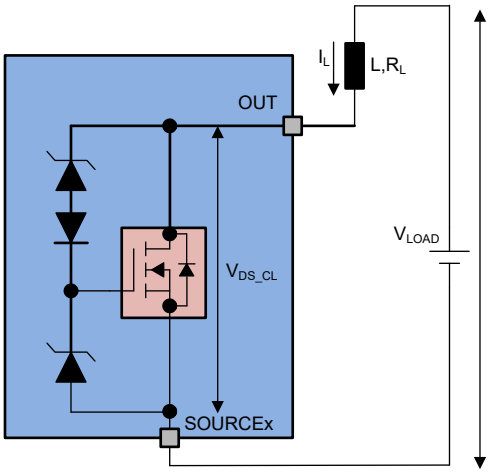


图 6-5. 有源过压钳位

6.4.1.1 退磁能量承受能力

在电感负载退磁期间，电能会在 DRV813xx-Q1 低侧开关中耗散。以下公式展示了当低侧 V_{DS} 钳位电压为 V_{DS_CL}、负载（L、R_L）承载电流 I_L 且负载另一端连接到 V_{LOAD} 时，低侧开关耗散能量的计算方法：

$$E_{AS} = V_{DS_CL} \times \left[\frac{V_{LOAD} - V_{DS_CL}}{R_L} \times \ln\left(1 - \frac{R_L \times I_L}{V_{LOAD} - V_{DS_CL}}\right) + I_L \right] \times \frac{L}{R_L} \quad (2)$$

在 R_L = 0 的假设下，可简化为

$$E_{AS} = \frac{1}{2} \times L \times {I_L}^2 \times \left(\frac{V_{DS_CL}}{V_{DS_CL} - V_{LOAD}} \right) \quad (3)$$

可转换为热量的最大能量受元件热设计的限制。绝对最大额定值中提供的 E_{AS_sp} 值表示每个通道的单脉冲能量处理能力，而绝对最大额定值中提供的 $E_{AS_Rep_p}$ 值表示每个通道的重复脉冲能量处理能力。

6.4.1.1.1 单脉冲钳位能力

此处显示了器件在 125°C 下对于单脉冲电感耗散所能承受的最大能量及其对应的负载电感和负载电流。对于具有高于 4Hz 重复脉冲的 100 万个电感重复脉冲，该器件可以承受该能量的 40%。如果应用参数超出该器件限制，请使用续流二极管之类的保护器件来耗散存储在电感器中的能量

Copyright © 2026 Texas Instruments Incorporated

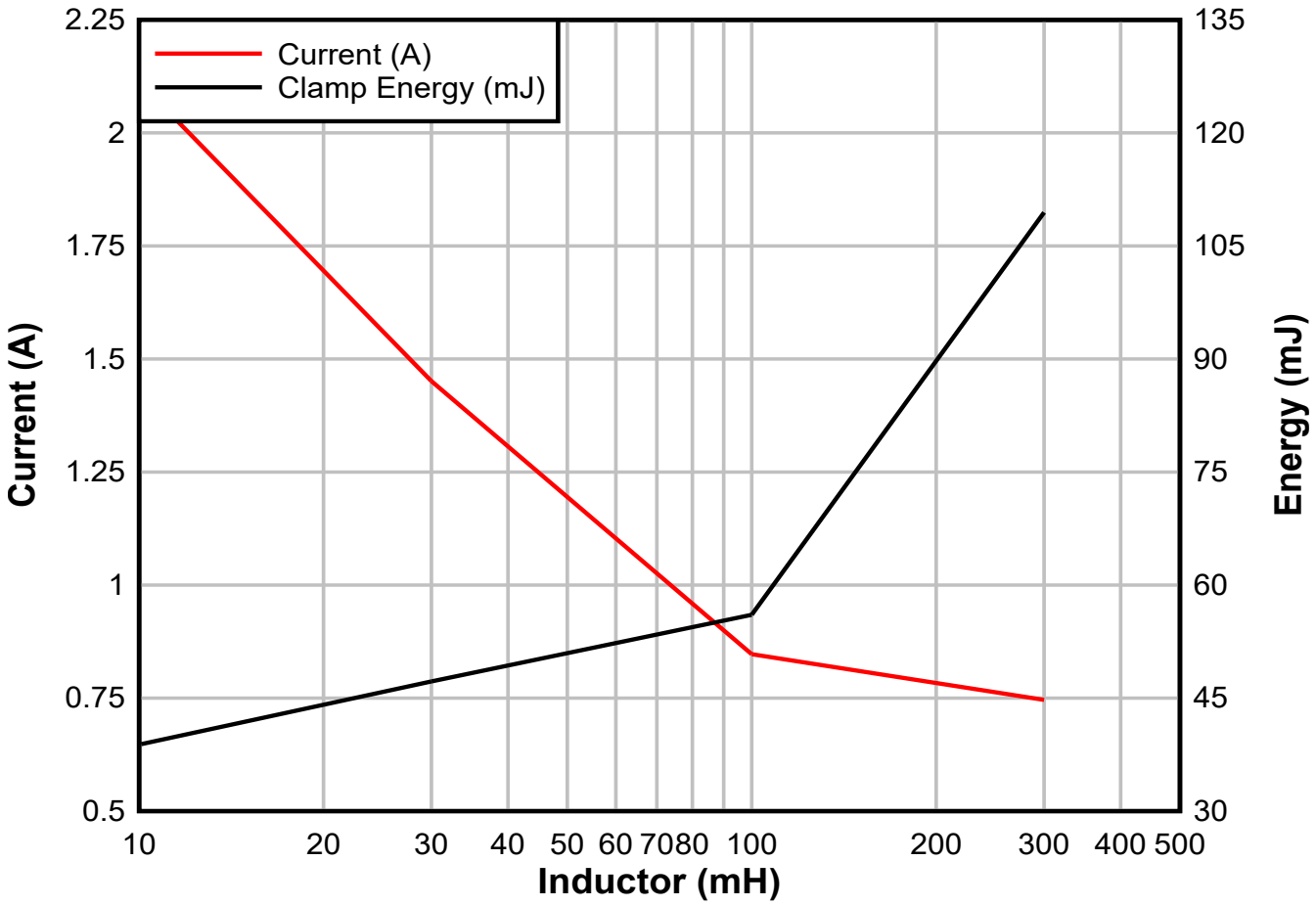


图 6-6. T_J = 150°C（DDA 封装）时的单脉冲钳位能量（每通道）

6.4.2 过流限值

过流限制旨在针对短路条件提供保护，同时允许灯、电机和电容负载等典型负载的浪涌电流通过。当检测到的负载电流超过限制电平 I_{LIM} 时，低侧 FET 的栅极驱动会以闭环方式不断调整，以保持输出电流受限。

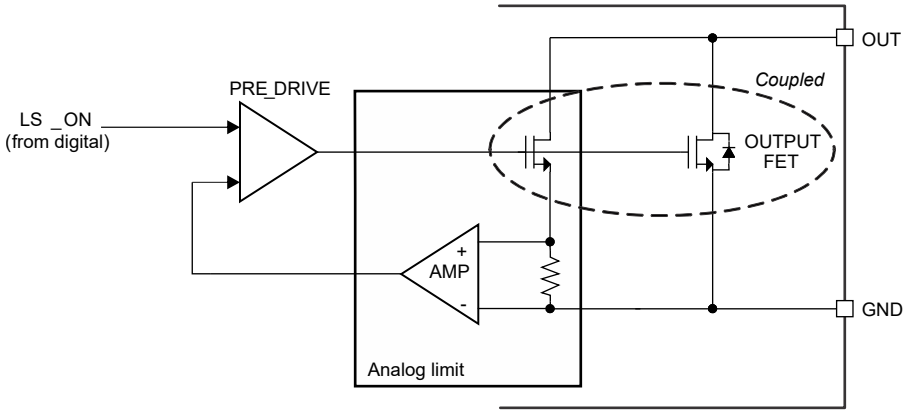


图 6-7. 电流限制电路的工作方式

其结果是 FET 漏源电压可能升高，从而导致功耗急剧增加。FET 会在 I_{LIM} 电流下持续升温，直至达到动态温度关断 (ΔT_{DYN}) 或绝对温度关断 (T_{TSD}) 阈值。这些热关断机制分别具有 ΔT_{DYN_HYS} 或 T_{TSD_HYS} 磁滞。两种热关断

Copyright © 2026 Texas Instruments Incorporated

事件具有相同的优先级，且两者都需要都清除后驱动器才会尝试重试。此后，该通道将按正常的自动重启、电流限制器件的方式运行。STATUS 引脚仅在达到绝对过热 T_{TSD} 时才被拉至低电平。当动态温度关断磁滞和绝对温度 STATUS 复位条件均已清除时，STATUS 引脚即被释放（参阅节 6.4.5）

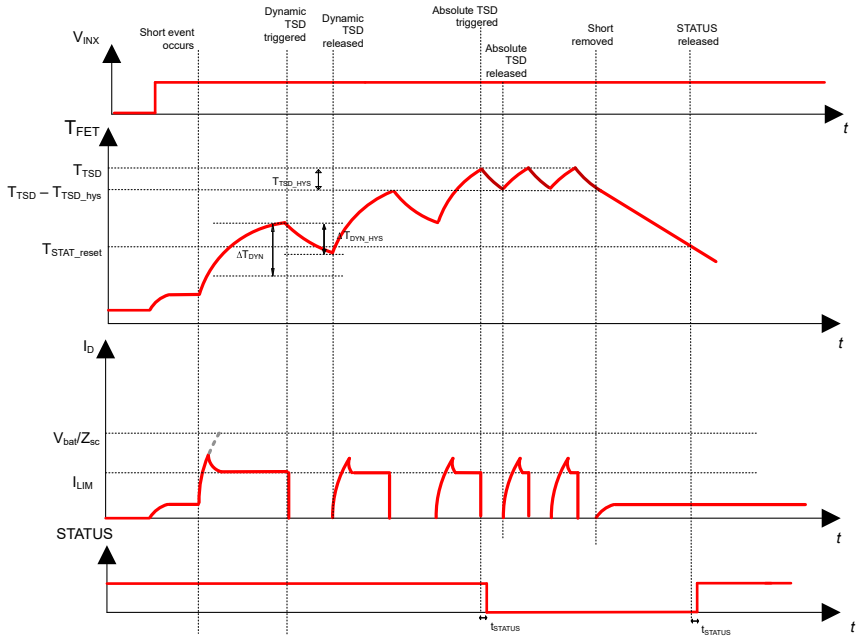


图 6-8. 发生短路事件时过流限制电路的运行情况

6.4.3 热关断 (TSD)

为防止功率级过热，该器件集成了绝对温度限制 (T_{TSD}) 和动态温度限制 (ΔT_{DYN}) 功能。触发其中任一保护功能都会导致输出关闭并尝试恢复。

6.4.3.1 动态过热应力 (ΔT_{DYN})

当裸片上两点之间出现较大温度梯度时，可能会发生热过应力。动态温度限制通过比较 FET 与裸片较冷部分之间的相对温度差，在诸如电流限制等高功耗事件中实现更受控的 FET 温度上升。动态过热事件不会导致 STATUS 变为低电平。但是，持续存在的动态过热条件可能阻碍 STATUS 的恢复。

6.4.3.2 绝对过热

除了动态温度保护和监测外，该 FET 还具有一个绝对温度传感器。触发该传感器也将导致通道关断，随后 STATUS 引脚被拉至低电平。一旦温度降至 T_{TSD_hys} 以下，通道就会尝试重新导通。

备注

只有绝对过热事件才能使 STATUS 变为低电平。然而，STATUS 引脚的恢复仅在动态过热传感器降至 ΔT_{DYN}- ΔT_{DYN_hys} 以下且 FET 温度传感器降至 T_{TSD_reset} 以下时，STATUS 引脚才会发生

STATUS 引脚会被拉低，以指示绝对过热事件。一旦温度降至 T_{TSD_reset} 以下，STATUS 引脚就会释放。在 DRV81315A 中，温度恢复到小于 T_{TSD_RESET} 后 STATUS 引脚释放，但在 DRV81315 中保持锁存为低电平，直到 IN 引脚被拉低。

Copyright © 2026 Texas Instruments Incorporated

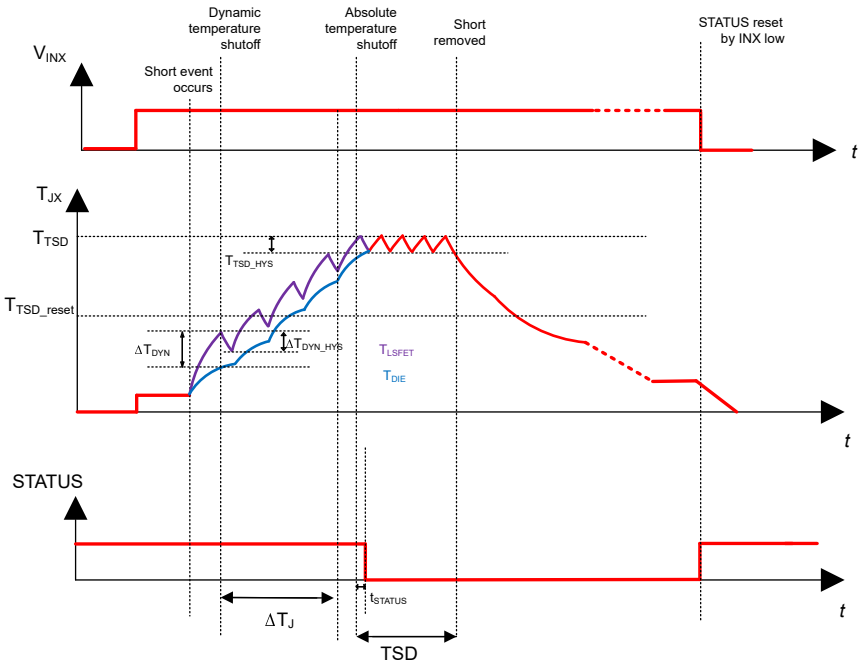


图 6-9. 过热保护 (DRV81315)

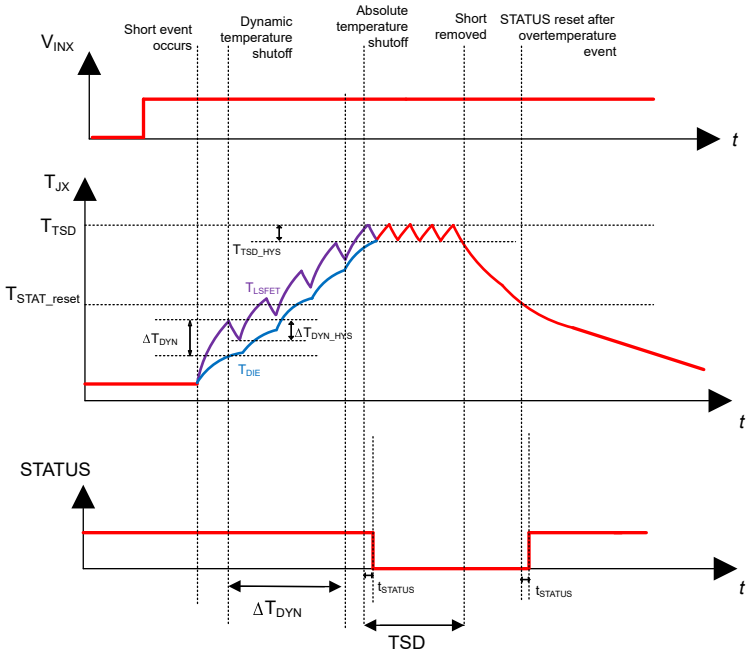


图 6-10. 过热保护 (DRV81315A)

6.4.4 欠压锁定 (UVLO)

无论何时，只要电源引脚 (DRV81315 的 INx、DRV81315A 的 VDD) 上的电压降至欠压锁定阈值电压以下，器件中的所有电路均被禁用，且所有内部逻辑被复位。当电源引脚上升到 UVLO 阈值以上时，会恢复正常运行。STATUS 引脚无指示信号。

Copyright © 2026 Texas Instruments Incorporated

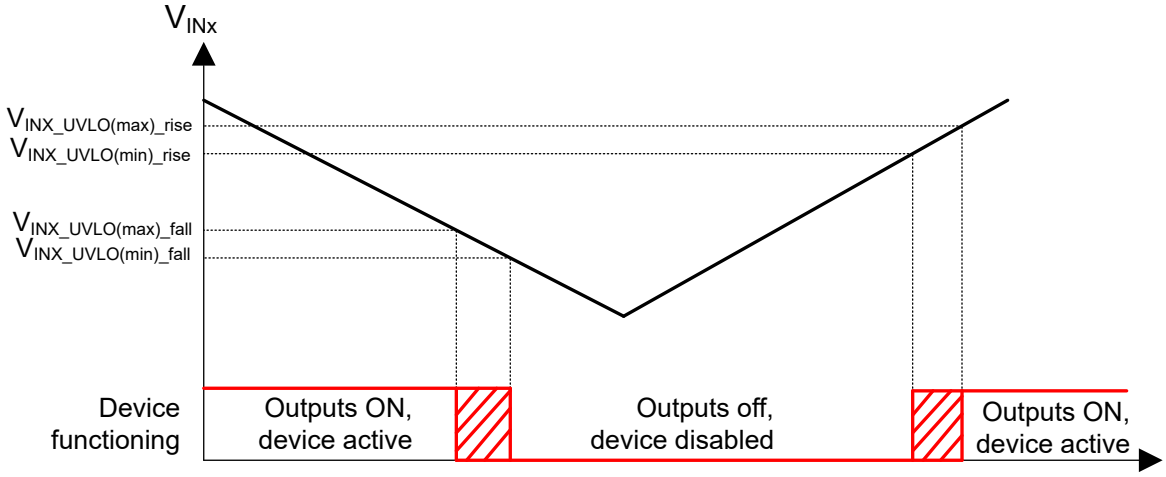


图 6-11. DRV81315 UVLO 器件响应

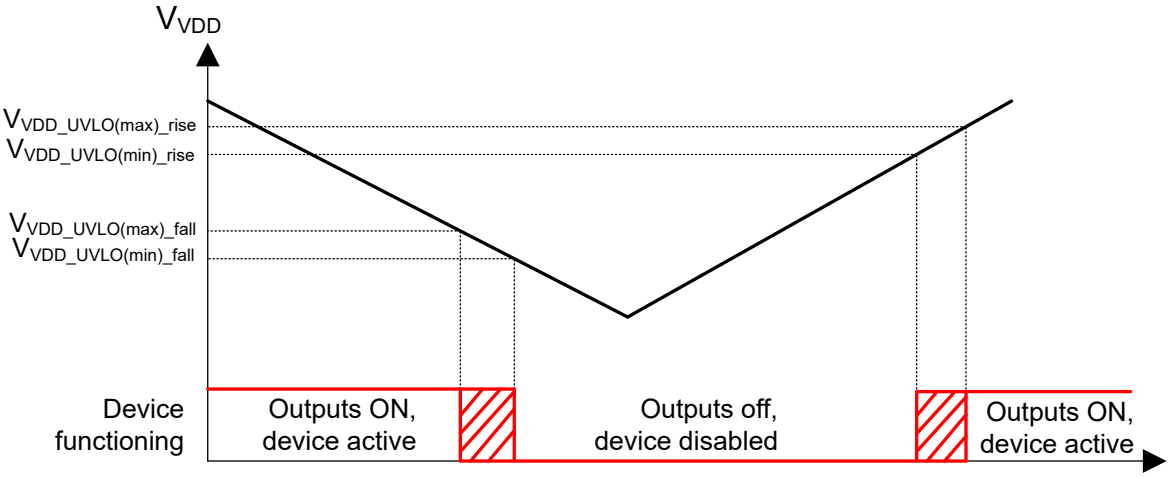


图 6-12. DRV81315A UVLO 器件响应

6.4.5 STATUS 引脚响应总结

表 6-1. DRV81315A 的 STATUS 引脚响应总结

T_{FET} (1) > T_{TSD}	T_{STAT_reset} < T_{FET} < T_{TSD} - T_{TSD_hys}	T_{FET} < T_{STAT_reset}	Δ T(2) > Δ T_{DYN}	Δ T < Δ T_{DYN} – Δ T_{DYN_hys}	OUT 响应	状态
✓	✖	✖	✖	✓	关闭	低
✖	✓	✖	✖	✓	开启	低
✖	✖	✓	✖	✓	开启	高
✖	✖	✖	✖	✓	开启	高
✓	✖	✖	✓	✖	关闭	低
✖	✓	✖	✓	✖	关闭	低
✖	✖	✓	✓	✖	关闭	低
✖	✖	✖	✓	✖	关闭	高

(1) T_{FET} 表示 FET 温度
(2) Δ T= T_{FET} - $T_{controller}$

Copyright © 2026 Texas Instruments Incorporated

表 6-2. DRV81315 的 STATUS 引脚响应总结

T_{FET} (1) > T_{TSD}	T_{STAT_reset} < T_{FET} < T_{TSD} - T_{TSD_hys}	T_{FET} < T_{STAT_reset}	Δ T(2) > Δ T_{DYN}	Δ T < Δ T_{DYN} – Δ T_{DYN_hys}	OUTresponse	状态
✓	✖	✖	✖	✓	关闭	低
✖	✓	✖	✖	✓	开启	低
✖	✖	✓	✖	✓	开启	低(3)
✖	✖	✖	✖	✓	开启	高
✓	✖	✖	✓	✖	关闭	低
✖	✓	✖	✓	✖	关闭	低
✖	✖	✓	✓	✖	关闭	低
✖	✖	✖	✓	✖	关闭	高

(1) T_{FET} 表示 FET 温度
(2) Δ T= T_{FET} - $T_{controller}$
(3) 锁存为低电平，直到 IN 被切换

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 典型应用

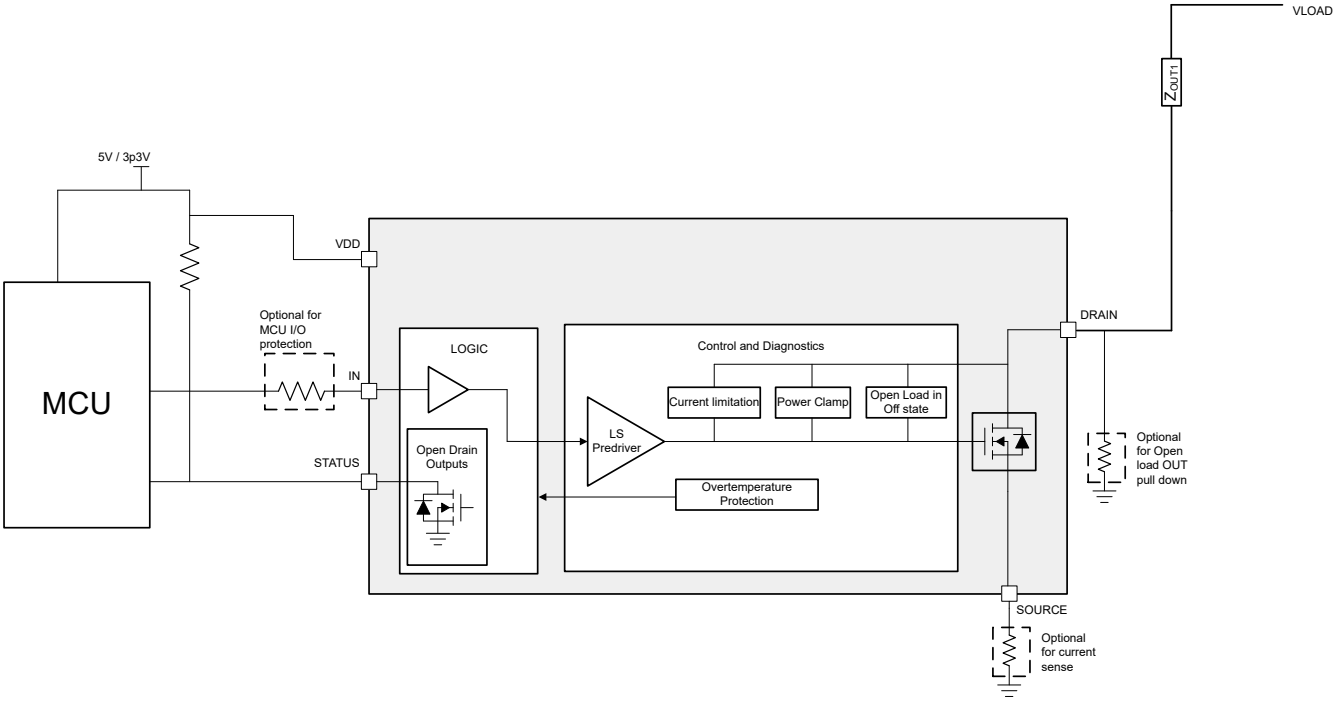


图 7-1. DRV81315A 的典型应用原理图

Copyright © 2026 Texas Instruments Incorporated

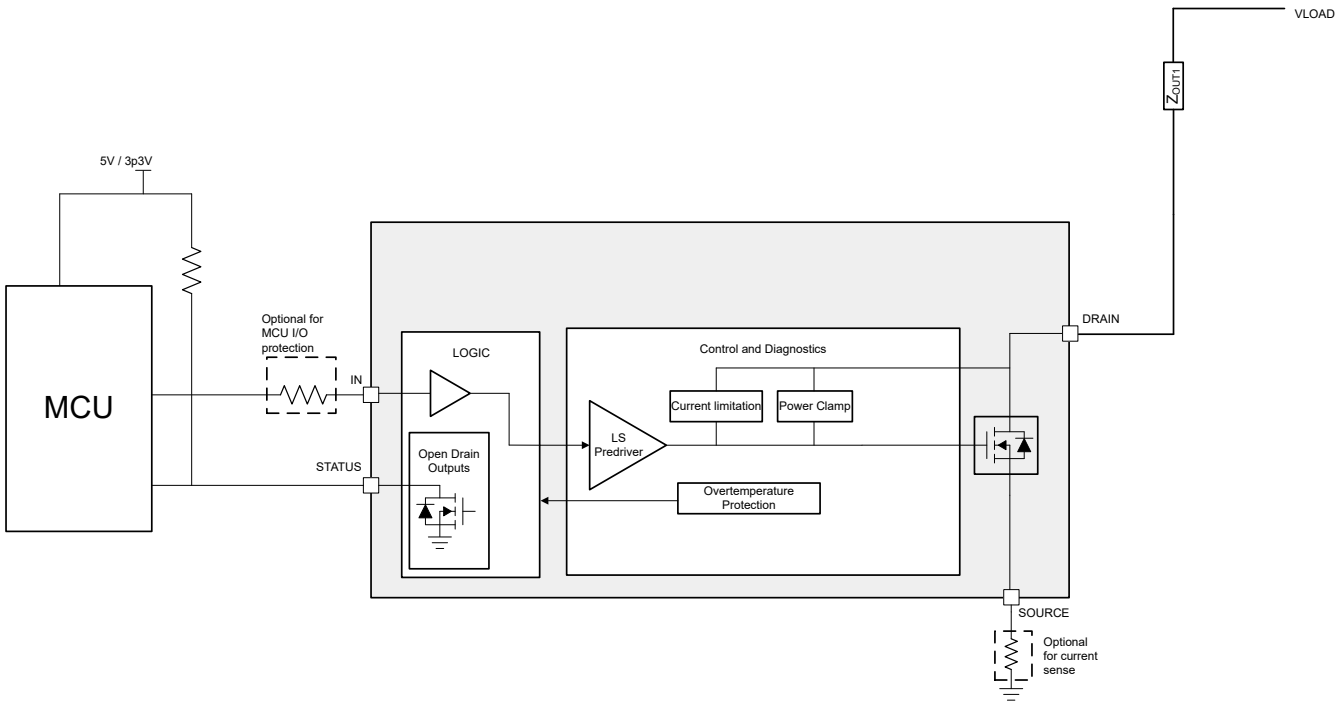


图 7-2. DRV81315 的典型应用原理图

7.1.1 外部元件

下表列出了 DRV81315/A-Q1 的推荐外部元件

表 7-1. 必需的外部元件

符号	说明	值	用途
R_{STATUS}	STATUS 上的上拉电阻器	10kΩ	当该引脚未被拉低时，将 STATUS 电压上拉至高电平。

表 7-2. 可选外部元件

符号	说明	值	用途
C_{OUT}	每个 OUTx 与 SOURCEx 之间的电容器	<10nF	系统级 ESD 直接过滤
R_{SNS}	SOURCEx 与 GND 之间的分流检测电阻器	<200mΩ	SOURCE 引脚上的可选电阻器，用于检测负载电流
R_{series}	用于防止 MCU 闩锁的串联电阻器	<500Ω	MCU I/O 保护

7.2 布局

7.2.1 布局指南

小容值电容器必须采用陶瓷电容器，并紧靠器件引脚放置。

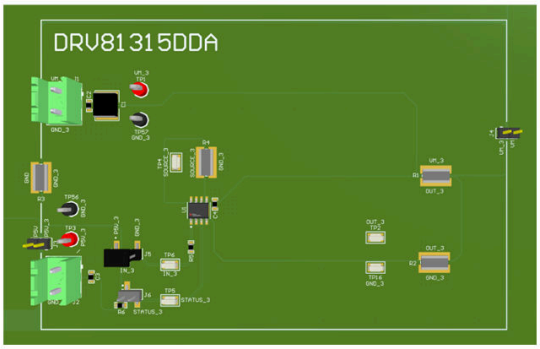
DRV81315/A DDA 封装采用带外露 PowerPAD™ 的 HSOIC 封装。PowerPAD 封装通过外露焊盘去除器件的热量。为了确保正常运行，该焊盘必须热接至 PCB 上的覆铜区域以实现散热。在带有接地层的多层 PCB 上，可以通过增加若干过孔将散热垫连接到接地层来实现这一点。在没有内部平面的 PCB 上，可以在 PCB 的任一侧增加覆铜区域以实现散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

Copyright © 2026 Texas Instruments Incorporated

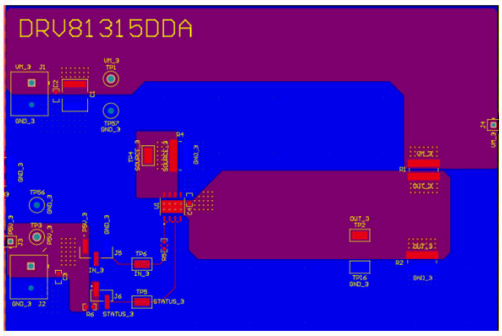
有关如何设计 PCB 的详细信息，请参阅 www.ti.com 上的 TI 应用手册 *《PowerPAD 耐热增强型封装》*（文献编号：SLMA002）和 TI 应用简报 *《PowerPAD 速成》*（文献编号：SLMA004）。

DRV81315ADRL 封装具有非常好的结至顶部、结至电路板热阻参数。为了获得良好的热性能，将 OUT 和 SOURCE 引脚连接到大面积覆铜会有所帮助。在 PCB 顶层，覆铜可以超出封装尺寸。除此之外，建议在一个或多个内部 PCB 层和/或底层上布置一个 OUT 平面。过孔必须将这些平面连接到顶部 OUT 覆铜。SOURCE 引脚可以电气方式连接到电路板 GND，到 GND 层的过孔也有助于提高性能

7.2.2 布局示例



Top Signal Layer



Second Layer (GND)

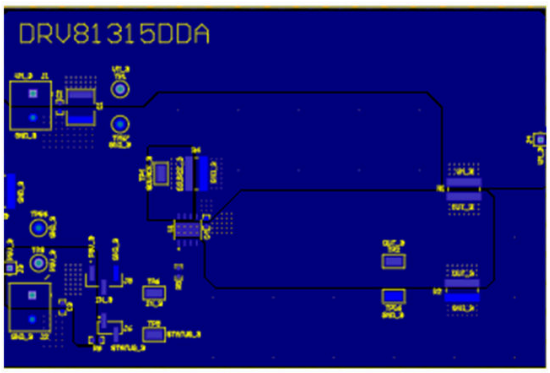
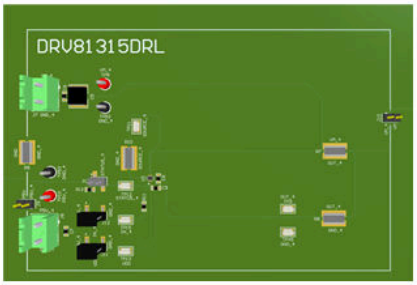
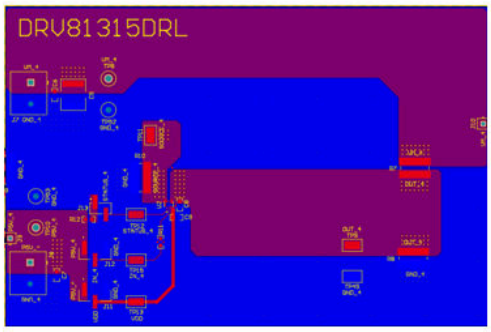


图 7-3. 2s2p 中的 DDA 封装 (Power Pad)（仅显示顶层和第二层）

Copyright © 2026 Texas Instruments Incorporated



Top Signal Layer



Second Layer (GND)

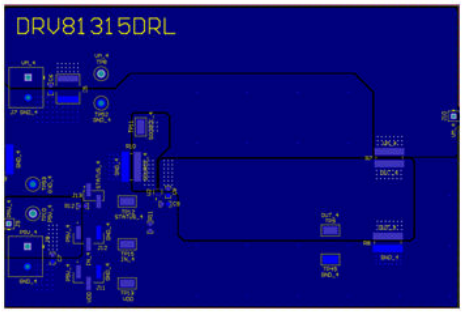


图 7-4. 2s2p 中的 DRL 封装（仅显示顶层和第二层）

7.3 散热注意事项

7.3.1 功率耗散

DRV81315 器件的功率耗散由两部分组成

静态功率耗散：在输出 FET 电阻或 $R_{DS(on)}$ 中耗散的功率。每个 FET 在运行静态负载时的平均功耗可以通过 方程式 4 大致估算：

$$P = R_{DS(ON)} \cdot (I_{OUT})^2 \quad (4)$$

其中：

- P 是一个 FET 的耗散功率
- $R_{DS(ON)}$ 是每个 FET 的导通电阻
- I_{OUT} 等于负载的平均电流消耗。

在启动和故障情况下，此电流远大于正常运行电流；请将这些峰值电流及其持续时间考虑在内。

开关功率耗散：在维持负载电流时（PWM 运行），输出 FET 导通和关断过程中 FET 中耗散的功率。功率耗散的计算公式如下：

$$P_{sw} = P_{sw_reg} + P_{sw_clamp}$$

$$P_{sw_reg} = 0.5 \times V_{load} \times I_{load} \times (tr + tf) \times F_{sw}$$

$$P_{sw_clamp} = E_{AS} * F_{sw}$$

Copyright © 2026 Texas Instruments Incorporated

其中：

- P_{sw} 是一个 FET 的开关功率耗散
- V_{load} 为负载电源电压
- I_{load} 为负载电流
- t_r 和 t_f 分别表示输出端的上升和下降时间
- F_{sw} 为开关频率
- E_{AS} 为电感退磁能量

备注

P_{sw_clamp} 分量仅当使用 DRV813XX 的集成输出钳位时才需考虑。如果存在外部续流路径（例如续流二极管），则无需考虑该分量。

当同时驱动多个负载时，必须将所有有源输出级的功率相加。

器件中可耗散的最大功率取决于环境温度和散热。

请注意，$R_{DS(on)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，必须考虑到这一点。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- *PowerPAD 散热增强型封装*，SLMA002。
- *PowerPAD 速成*，SLMA004。

8.2 社区资源

8.3 商标

PowerPAD™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV81315AQDRLRQ1	Active	Preproduction	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

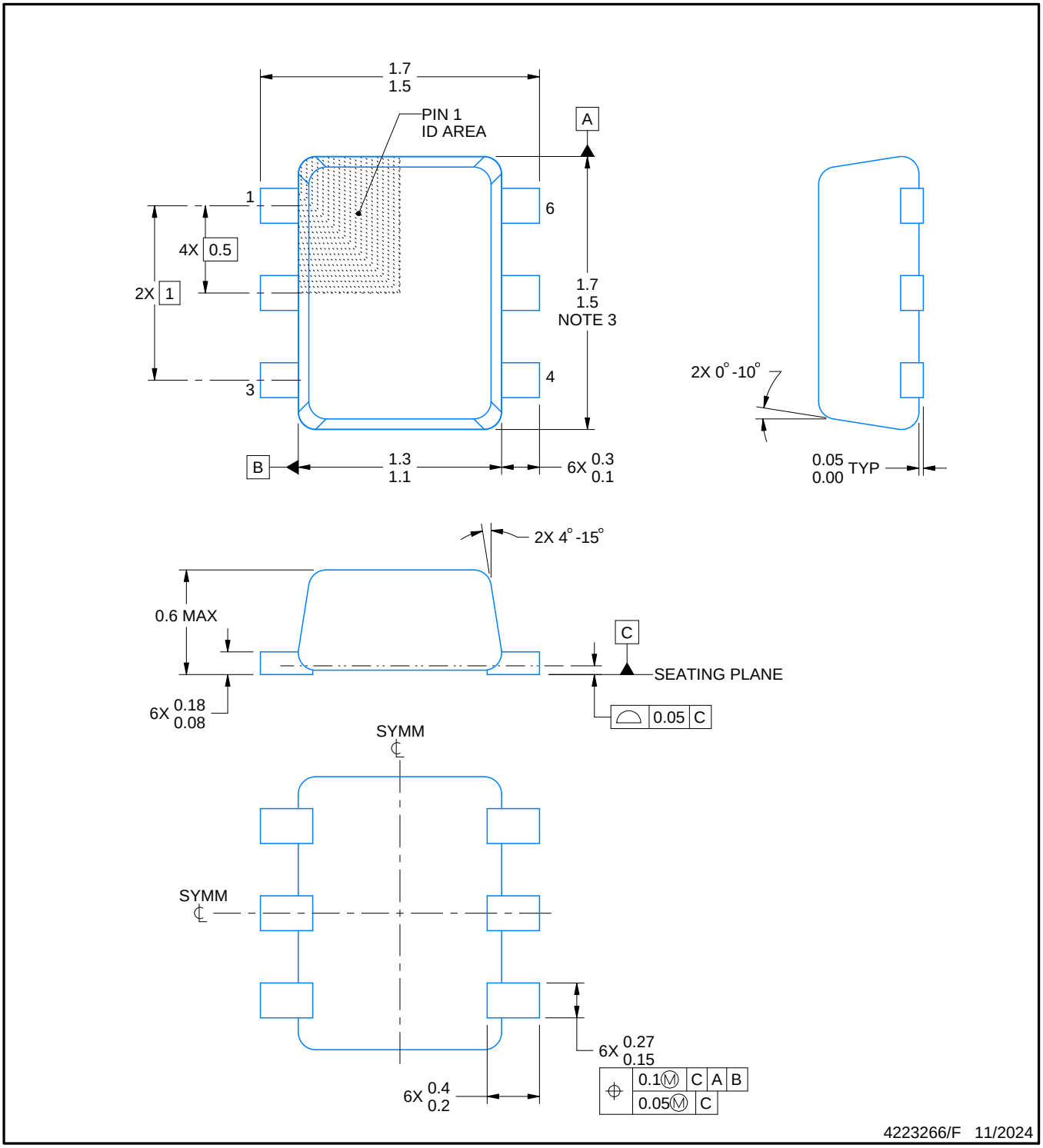


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

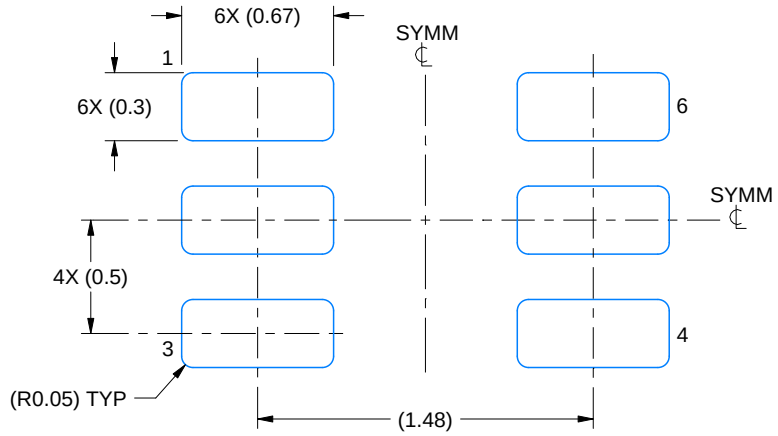
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

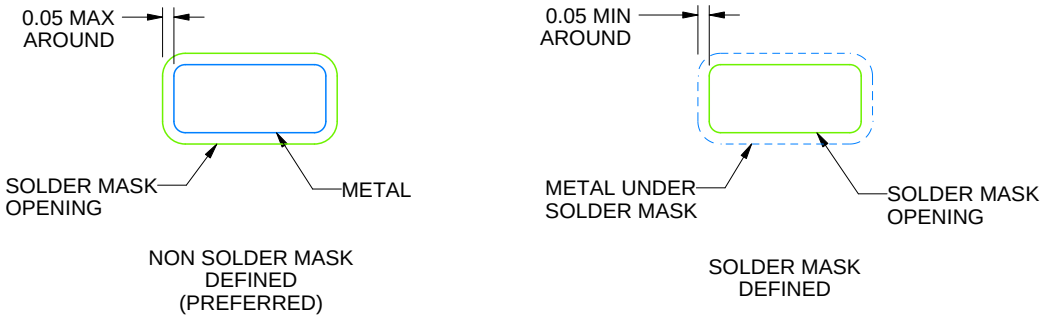
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

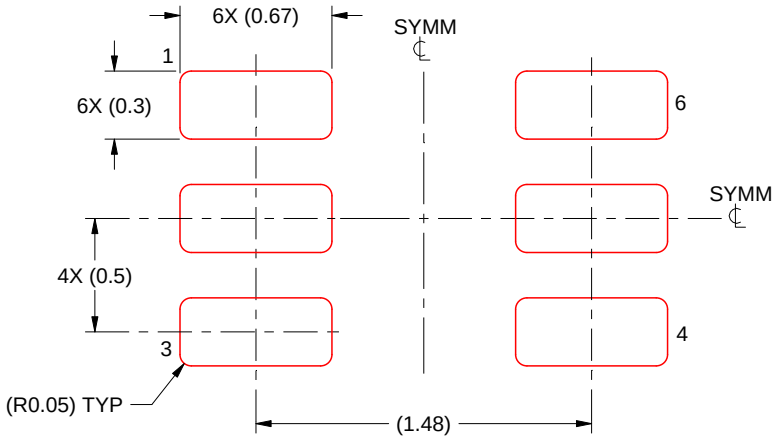
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月