DRV81004-Q1：4 通道、40V、700mΩ、受到全面保护的低侧驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C 至 +125°C，T_A
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- **3V 至 40V** 模拟电源电压
  - 启动时电压可低至 3V
  - 支持 LV124 汽车级标准
- **3V 至 5.5V** 数字电源电压
  - 与 3.3V 和 5V 微控制器兼容
- 最小漏源钳位电压为 **42V**
- $R_{DS(ON)}$：12V、25°C 时的典型值为 **700mΩ**
- 电流：85°C 时每个输出为 **470mA**（所有通道都开启）
- **两个并行输入**带有映射功能
- **跛行回家**模式下激活失效防护
  - 使用 nSLEEP 和 IN 引脚
- 低电流睡眠模式
  - 使用 nSLEEP 引脚，$T_J \leq 85°C$ 时 < 2.7 µA
- 用于控制和诊断的 16 位 SPI 接口
  - 菊花链功能
  - 与 8 位 SPI 器件兼容
- 支持各种**保护特性**：
  - 集成反向电池保护
  - 接地和电池短路保护
  - 欠压条件下具有稳定行为
  - 过流锁闭
  - 过热警告
  - 热关断锁闭
  - 过压保护
  - 电池欠压保护和接地故障保护
  - 静电放电 (ESD) 保护
- 支持多种**诊断特性** -
  - 通过 SPI 寄存器提供诊断信息
  - 打开状态下提供过载检测
  - 关闭状态下提供开路负载检测
  - 输入和输出电流监控

2 应用

- 区域控制模块 (ZCM)
- 汽车车身控制模块 (BCM)
- HVAC 控制
- 汽车照明
- 汽油和柴油发动机
- 车辆控制单元 (VCU)
- 可编程逻辑控制器 (PLC)
- 气动阀
- 通用继电器驱动器

3 说明

DRV81004-Q1 是一款四通道低侧驱动器，集成了保护和诊断特性。该器件专为控制汽车和工业应用中的继电器而设计。

具有菊花链功能的串行外设接口 (SPI) 可用于控制和诊断负载及器件。两个带有映射功能的输入引脚可用于对输出进行直接 PWM 控制。该器件支持使用跛行回家模式激活失效防护。

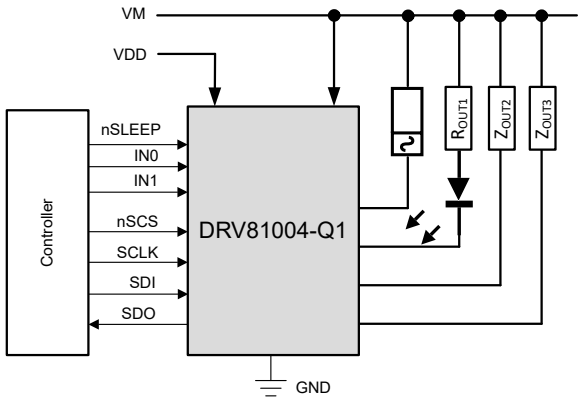
DRV81004-Q1 的每个低侧开关都具有 700mΩ 导通电阻。当四个通道全部同时打开时，该器件可以为每个输出提供 470mA 电流。每个输出上的集成钳位电路会在关断电感负载期间耗散所存储的能量。

DRV81004-Q1 支持各种保护特性，例如欠压、过压、短路和开路负载检测。DRV81004-Q1 具有高度集成以及嵌入式保护和诊断功能，因此非常适合汽车车身和动力总成应用，以及工业继电器控制应用。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸（标称值）
DRV81004QPWPRQ1	HTSSOP (14)	5.0mm × 6.4mm	4.9mm × 3.9mm

(1) 有关更多信息，请参阅节 10
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 典型特性.....10
6 详细说明.....13
6.1 概述.....13
6.2 功能方框图.....14
6.3 特性说明.....15
7 应用和实施.....35
7.1 应用信息.....35
7.2 布局.....37
8 器件和文档支持.....38
8.1 接收文档更新通知.....38
8.2 支持资源.....38
8.3 商标.....38
8.4 静电放电警告.....38
8.5 术语表.....38
9 修订历史记录.....38
10 机械、封装和可订购信息.....39

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

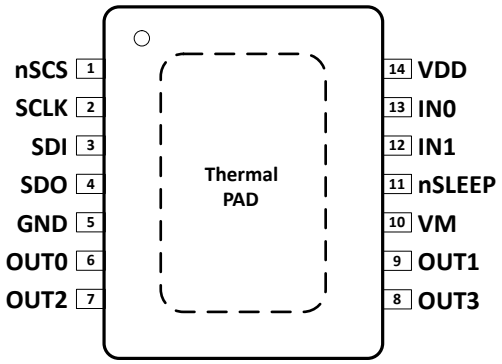


图 4-1. 14 引脚 HTSSOP (PWP) 顶视图

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
VM	10	P	功率级和保护电路的模拟电源电压
VDD	14	P	SPI 数字电源电压
GND	5	G	接地引脚
nSCS	1	I	串行芯片选择。此引脚上的低电平有效支持串行接口通信。集成上拉至 VDD。
SCLK	2	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。集成下拉至 GND。
SDI	3	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。集成下拉至 GND。
SDO	4	O	串行数据输出。在 SCLK 引脚的上升沿移出数据。
nSLEEP	11	I	逻辑高电平激活空闲模式。集成下拉至 GND。
IN0	13	I	默认连接到通道 2 且处于跛行回家模式。集成下拉至 GND。
IN1	12	I	默认连接到通道 3 且处于跛行回家模式。集成下拉至 GND .
OUT0	6	O	低侧 FET 漏极（通道 0）
OUT2	7	O	低侧 FET 漏极（通道 2）
OUT3	8	O	低侧 FET 漏极（通道 3）
OUT1	9	O	低侧 FET 漏极（通道 1）
PAD	-	-	外露焊盘。将外露焊盘连接至 PCB 接地以用于冷却和 EMC。

I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在 T_J = -40°C 至 +150°C 范围内，所有电压均以接地为基准，正电流流入引脚（除非另有说明）

		最小值	最大值	单位
V_M	模拟电源电压	-0.3	42	V
V_{DD}	数字电源电压	-0.3	5.75	V
V_{M_LD}	负载突降保护的电源电压		42	V
V_{M_SC}	短路保护的电源电压	0	28	V
$-V_{M_REV}$	反极性电压，所有通道上均为 $T_J(0)$= 25°C、t ≤ 2 分钟、R_L = 70 Ω	-	18	V
I_{VM}	流经 VM 引脚的电流，t ≤ 2 分钟	-10	10	mA
$\|I_L\|$	负载电流，单通道	-	I_{L_OCP0}	A
V_{DS}	功率 FET 处电压	-0.3	42	V
E_{AS}	最大能量耗散单脉冲，$T_J(0)$ = 25°C，$I_L(0)$ = 2*I_{L_EAR}	-	50	mJ
E_{AS}	最大能量耗散单脉冲，$T_J(0)$ = 150°C，$I_L(0)$ = 400mA	-	25	mJ
E_{AR}	重复脉冲的最大能量耗散 -I_{L_EAR}，2*10^6 个周期，$T_J(0)$ = 85°C，$I_L(0)$ = I_{L_EAR}	-	10	mJ
V_I	IN0、IN1、nSCS、SCLK、SDI 引脚处电压	-0.3	5.75	V
V_{nSLEEP}	nSLEEP 引脚处电压	-0.3	42	V
V_{SDO}	SDO 引脚的电压	-0.3	V_{DD} + 0.3	V
T_A	环境温度	-40	125	°C
T_J	结温	-40	150	°C
T_{stg}	贮存温度	-55	150	°C

- *过流保护功能不支持高于 28V 时短电感 < 1 µH*
- *负载突降的持续时间为 t_{on} = 400ms；t_{on}/t_{off} = 10%；限制为 100 个脉冲。*
- *对于反极性，所有通道上均为 $T_J(0)$ = 25°C、t ≤ 2 分钟、R_L = 70 Ω。器件根据 JEDEC JESD51-2、-5、-7，在自然对流条件下安装在 FR4 2s2p 电路板上；产品（芯片+封装）在具有 2 个内部铜层（2 µm*70 µm Cu、2 µm*35 µm Cu）的 76.2mm*114.3mm*1.5mm 电路板上进行仿真。在适用情况下，外露焊盘下方的散热过孔阵列接触第一个内部铜层。*
- *对于最大能量耗散，脉冲形状表示电感开关关闭：$I_L(t) = I_L(0) \times (1 - t/t_{pulse})$；$0 < t < t_{pulse}$。*
- *超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。*
- *故障条件被视为“超出”正常工作范围。*

Copyright © 2025 Texas Instruments Incorporated

5.2 ESD 等级

				值	单位
V_{ESD}	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) 标准	OUT 引脚与 VM 或 GND	±4000	V
			其他引脚	±2000	
		充电器件模型 (CDM)，符合 AECQ100-011 标准	转角引脚 (1、7、8、14)	±750	
			其他引脚	±500	

(1) *AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。*

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_{M_NOR}	可确保正常运行的电源电压范围	4	-	40	V
V_{M_LOW}	可延长运行时间的较低电源电压范围，可能存在参数偏差	3	-	4	V
V_{DD}	逻辑电源电压	3	-	5.5	V
V_I	控制和 SPI 输入 (nSLEEP、IN0、IN1、nSCS、SCLK、SDI)	0	-	5.5	V
T_A	环境温度	-40	-	125	°C
T_J	结温	-40	-	150	°C

5.4 热性能信息

热指标		PWP (HTSSOP)	单位
		14 引脚	
$R_{\theta JA}$	结至环境热阻	43	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	44.5	°C/W
$R_{\theta JB}$	结至电路板热阻	21	°C/W
ψ_{JT}	结至顶部特征参数	3.6	°C/W
ψ_{JB}	结至电路板特征参数	20.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	10.1	°C/W

- *有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。*
- *°C/W = 摄氏度/瓦。*
- *以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta JC 值除外)，将随环境和应用的变化而更改。假设功耗为 2W，环境温度为 70°C。有关更多信息，请参阅以下 EIA/JEDEC 标准：*
  - *JESD51-2，集成电路散热测试方法环境条件 - 自然对流 (静止空气)*
  - *JESD51-3，含引线的表面贴装封装对应的低效导热性测试板*
  - *JESD51-7，含引线的表面贴装封装对应的高效导热性测试板*
  - *JESD51-9，空间阵列表面贴装封装散热测量测试板*

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
电源（V_M、V_{DD}）							
V_{M_OP}	VM 最小工作电压	ENx = 1b，从 UVRVM = 1b 到 V_{DS} ⩽ 1V，R_L = 50Ω				4	V
V_{DD_OP}	VDD 工作电压	f_{SCLK} = 5MHz		3		5.5	V
V_{MDIFF}	V_M 与 V_{DD} 之间的电压差				200		mV
I_{VM_SLEEP}	睡眠模式下的模拟电源电流	nSLEEP，IN0，IN1 悬空，nSCS = VDD	T_J ⩽ 85°C		0.7	2	µA
			T_J = 150°C		1	4	
I_{VDD_SLEEP}	睡眠模式下的逻辑电源电流	nSLEEP，IN0，IN1 悬空，nSCS = VDD	T_J ⩽ 85°C		0.2	0.7	µA
			T_J = 150°C		0.4	3	
I_{SLEEP}	睡眠模式下的总体电流消耗	nSLEEP，IN0，IN1 悬空，nSCS = VDD	T_J ⩽ 85°C		0.9	2.7	µA
			T_J = 150°C		1.4	7	µA
I_{VM_IDLE}	空闲模式下的模拟电源电流	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 0b，ENx = 0b，IOLx = 0b，nSCS = VDD			0.9	1.5	mA
			COR 模式，V_M ⩽ V_{DD} - 1V		0.12	0.2	mA
I_{VDD_IDLE}	空闲模式下的逻辑电源电流	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 0b，ENx = 0b，nSCS = VDD			0.02	0.1	mA
			COR 模式，V_M ⩽ V_{DD} - 1V		0.8	1.4	
I_{IDLE}	空闲模式下的总体电流消耗	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 0b，ENx = 0b，IOLx = 0b，nSCS = VDD			0.92	1.6	mA
I_{VM_ACT}	工作模式下的模拟电源电流	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，IOLx = 0b，nSCS = VDD			1.3	2	mA
			COR 模式，V_M ⩽ V_{DD} - 1V		0.1	0.2	mA
I_{VDD_ACT}	工作模式下的逻辑电源电流	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，nSCS = VDD			0.05	0.2	mA
			COR 模式，V_M ⩽ V_{DD} - 1V		1.25	2	mA
I_{ACT}	工作模式下的总体电流消耗	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，IOLx = 0b，nSCS = VDD			1.35	2.2	mA
t_{S2I}	睡眠到空闲延迟				200	300	µs
t_{I2S}	空闲到睡眠延迟				100	150	µs
t_{I2A}	空闲到工作延迟				100	150	µs
t_{A2I}	工作到空闲延迟				100	150	µs
t_{S2LH}	睡眠到跛行回家延迟				300 + t_{ON}	450 + t_{ON}	µs
t_{LH2S}	跛行回家到睡眠延迟				200 + t_{OFF}	300 + t_{OFF}	µs

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
t_{LH2A}	跛行回家到工作延迟				50	100	µs
t_{A2LH}	工作到跛行回家延迟				60	100	µs
t_{A2S}	工作到睡眠延迟				50	100	µs
控制和 SPI 输入（nSLEEP、IN0、IN1、nSCS、SCLK、SDI）							
V_{IL}	输入逻辑低电平电压			0		0.8	V
V_{IH}	输入逻辑高电平电压（nSLEEP、IN0、IN1）			2		5.5	V
V_{IH_SPI}	输入逻辑高电平电压（nSCS、SCLK、SDI）			2		V_{DD}	V
I_{IL}	输入逻辑低电平电流（除 nSCS 外的所有引脚）	V_I = 0.8V		8	12	16	µA
I_{IH}	输入逻辑高电平电流（除 nSCS 外的所有引脚）	V_I = 2V		20	30	40	µA
I_{IL_nSCS}	nSCS 输入逻辑低电平电流	V_{nSCS} = 0.8V，V_{DD} = 5V		20	60	90	µA
I_{IH_nSCS}	nSCS 输入逻辑高电平电流	V_{nSCS} = 2V，V_{DD} = 5V		7	45	60	µA
推挽式输出 (SDO)							
V_{SDO_L}	输出逻辑低电平电压	I_{SDO} = -1.5mA		0		0.4	V
V_{SDO_H}	输出逻辑高电压	I_{SDO} = 1.5mA		V_{DD} - 0.4		V_{DD}	V
I_{SDO_OFF}	SDO 三态漏电流	V_{nSCS} = V_{DD}，V_{SDO} = 0V 或 V_{DD}		-0.5		0.5	µA
功率级							
$R_{DS(ON)}$	导通电阻	T_J = 25°C		0.4	0.7	0.9	Ω
		T_J = 150°C，I_L = I_{L_EAR} = 220mA		0.5	1	1.4	
I_{L_NOM}	标称负载电流（所有通道均处于工作状态）	T_A = 85°C，T_J ≤ 150°C			470	500	mA
		T_A = 105°C，T_J ≤ 150°C			370	500	mA
I_{L_EAR}	最大能量耗散的负载电流 - 重复（所有通道均处于工作状态）	T_A = 85°C，T_J ≤ 150°C			220		mA
E_{AR}	最大能量耗散重复脉冲 - 2*I_{L_EAR}（两个通道并联）	$T_{J(0)}$ = 85°C，$I_{L(0)}$ = 2*I_{L_EAR}，2*10^6 个周期，PAR = 1b（对于受影响通道）				15	mJ
V_{DS_OP}	电池电量低时的功率级压降	R_L = 50Ω（通过 V_M = 4V 供电）			0.05	0.25	V
V_{DS_CL}	漏源输出钳位电压	I_L = 20mA		42	46	50	V
I_{L_OFF}	输出漏电流（每个通道）	V_{IN} = 0V 或悬空，V_{DS} = 28V，ENx = 0b	T_J ≤ 85°C		0.15	0.3	µA
			T_J = 150°C		0.5	2	µA
t_{DLY_ON}	导通延迟（从 INx 引脚或位到 V_{OUT} = 90% V_M）	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式		2	5.5	9	µs
t_{DLY_OFF}	关断延迟（从 INx 引脚或位到 V_{OUT} = 10% V_M）	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式		3	6	11	µs
t_{ON}	导通时间（从 INx 引脚或位到 V_{OUT} = 10% V_M）	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式		10	16	22	µs

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
t_{OFF}	关断时间（从 INx 引脚或位到 V_{OUT} = 90% V_M）	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式		13	17	24	µs
t_{ON} - t_{OFF}	导通/关断匹配	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式		-10	0	10	µs
SR_{ON}	导通压摆率，V_{DS} = 70% 至 30% V_M	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式		0.8	1.2	1.6	V/µs
SR_{OFF}	关断压摆率，V_{DS} = 30% 至 70% V_M	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式		0.8	1.2	1.6	V/µs
t_{SYNC}	内部基准频率同步时间				7	10	µs
保护							
$V_{M_UVLO_F}$	VM 欠压关断（下降）	ENx = ON，从 V_{DS} ≤ 1V 到 UVRVM = 1b，R_L = 50Ω		2.64	2.73	2.82	V
$V_{M_UVLO_R}$	VM 欠压关断（上升）			2.77	2.86	2.95	V
V_{DD_UVLO}	VDD 欠压关断	V_{SDI} = V_{SCLK} = V_{nSCS} = 0V，SDO 从低电平至高阻态		2.5	2.6	2.7	V
V_{DD_HYS}	VDD 欠压关断迟滞			100	120	160	mV
I_{L_OCP0}	过流保护阈值，OCP = 0b	T_J = -40°C		1.4	1.65	2.1	A
		T_J = 25°C		1.3	1.55	1.9	A
		T_J = 150°C		1.1	1.35	1.7	A
I_{L_OCP1}	过流保护阈值，OCP = 0b	T_J = -40°C		0.7	0.9	1.2	A
		T_J = 25°C		0.65	0.85	1.05	A
		T_J = 150°C		0.6	0.75	0.9	A
I_{L_OCP0}	过流保护阈值，OCP = 1b	T_J = -40°C		1.9	2.25	3	A
		T_J = 25°C		1.8	2.1	2.7	A
		T_J = 150°C		1.4	1.8	2.3	A
I_{L_OCP1}	过流保护阈值，OCP = 1b	T_J = -40°C		1.3	1.55	2	A
		T_J = 25°C		1.2	1.45	1.8	A
		T_J = 150°C		1.1	1.3	1.6	A
t_{OCPIN}	过流阈值开关延迟时间			80	170	260	µs
t_{OFF_OCP}	过流关断延迟时间			1.5	3.5	6	µs
T_{OTW}	过热警告			120	140	160	°C
T_{HYS_OTW}	过热警告迟滞				12		°C
T_{TSD}	热关断温度			150	175	200	°C
V_{M_AZ}	过压保护	I_{VM} = 10mA，睡眠模式		44	48	50	V
V_{DS_REV}	反极性期间的漏源二极管	I_L = -10mA，睡眠模式	T_J = 25°C		670		mV
			T_J = 150°C		530		mV
t_{RETRY0_LH}	跛行回家模式下的重新启动时间			7	10	13	ms
t_{RETRY1_LH}	跛行回家模式下的重新启动时间			14	20	26	ms

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
t_{RETRY2_LH}	跛行回家模式下的重新启动时间		28	40	52	ms
t_{RETRY3_LH}	跛行回家模式下的重新启动时间		56	80	104	ms
t_{OSM}	输出状态监控比较器稳定时间				20	µs
V_{DS_OL}	输出状态监控阈值电压		3	3.3	3.6	V
I_{OL}	输出诊断电流	V_{DS} = 3.3V，V_M = 5V 至 18 V	20	75	110	µA
I_{OL}	输出诊断电流	V_{DS} = 3.3V，V_M = 13.5V	60	75	85	µA
R_{OL}	开路负载等效电阻	V_M = 5V 至 40V	45		190	kΩ

5.5.1 SPI 时序要求

- 未经生产测试，受设计保证

参数		测试条件	最小值	标称值	最大值	单位
t_{nSCS_lead}	使能超前时间（下降 nSCS 至上升 SCLK）		200			ns
t_{nSCS_lag}	使能滞后时间（下降 SCLK 至上升 nSCS）		200			ns
t_{nSCS_td}	传输延迟时间（上升 nSCS 至下降 nSCS）		250			ns
t_{SDO_en}	输出使能时间（下降 nSCS 至 SDO 有效）	SDO 引脚上 C_L = 20pF			200	ns
t_{SDO_dis}	输出禁用时间（上升 nSCS 至 SDO 高阻态）	SDO 引脚上 C_L = 20pF			200	ns
f_{SCLK}	串行时钟频率				5	MHz
t_{SCLK_P}	串行时钟周期		200			ns
t_{SCLK_H}	串行时钟逻辑高电平时间		75			ns
t_{SCLK_L}	串行时钟逻辑低电平时间		75			ns
t_{SDI_su}	数据设置时间（SDI 至下降 SCLK 所需的时间）		20			ns
t_{SDI_h}	数据保持时间（下降 SCLK 至 SDI）		20			ns
t_{SDO_v}	带容性负载的输出数据有效时间	SDO 引脚上 C_L = 20pF			100	ns

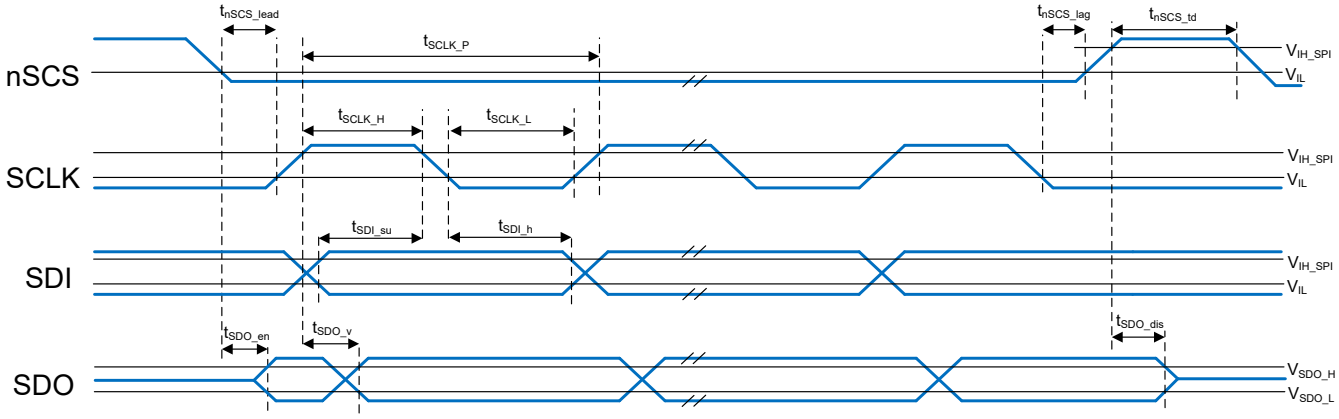


图 5-1. SPI 时序图

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性

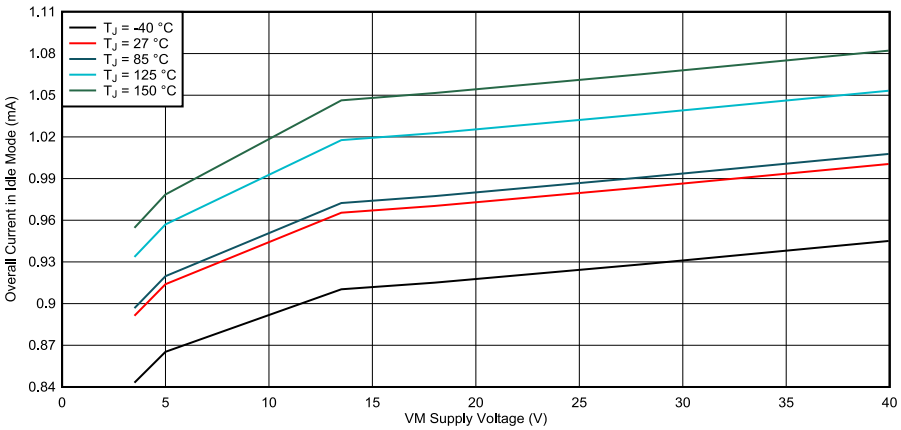


图 5-2. 空闲模式电源电流，VDD = 5.5V

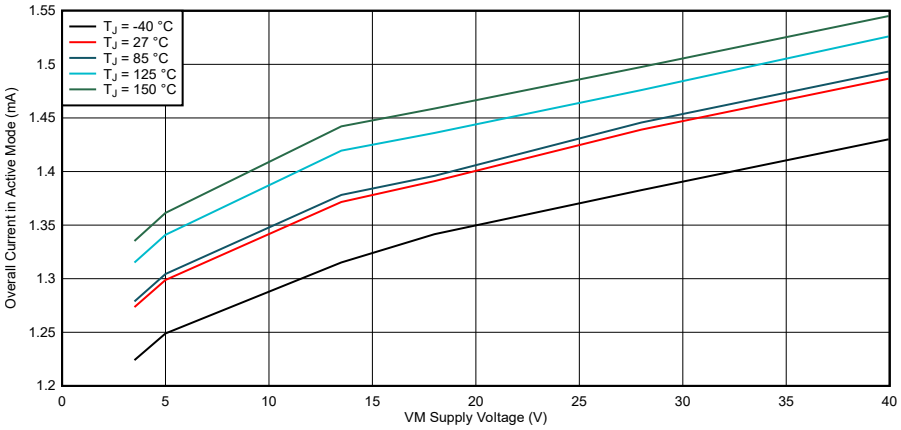


图 5-3. 工作模式电源电流，VDD = 5.5V

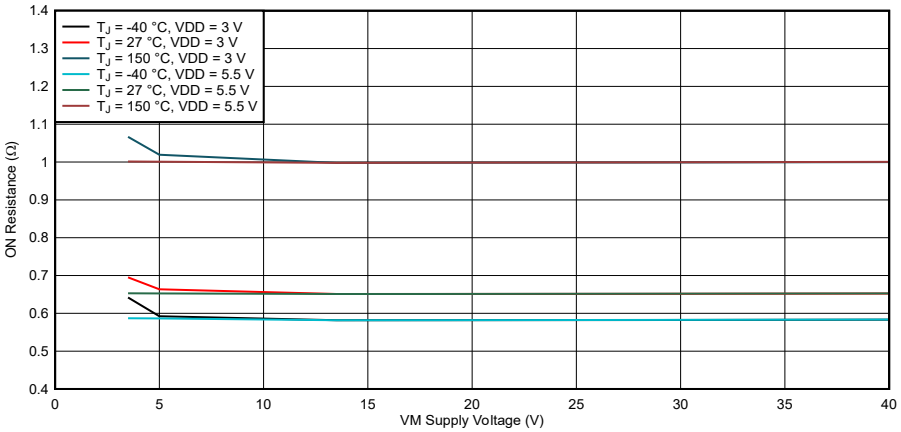


图 5-4. 开关导通电阻

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）

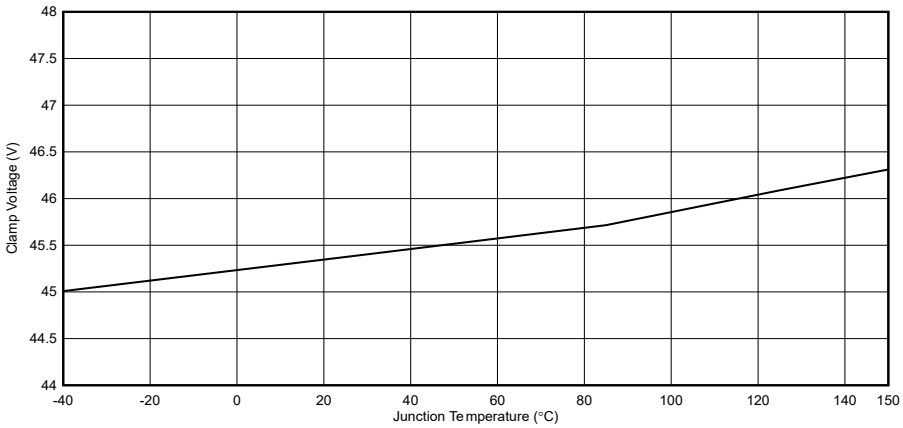


图 5-5. 漏源钳位电压，VM = 13.5V，VDD = 5V

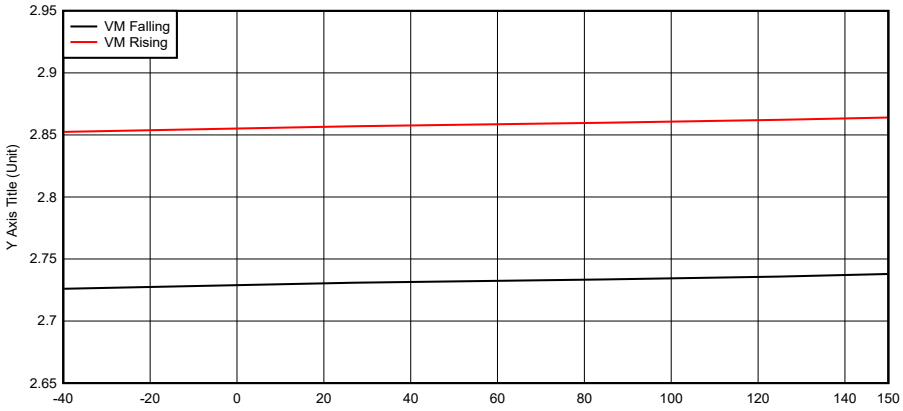


图 5-6. VM UVLO 阈值

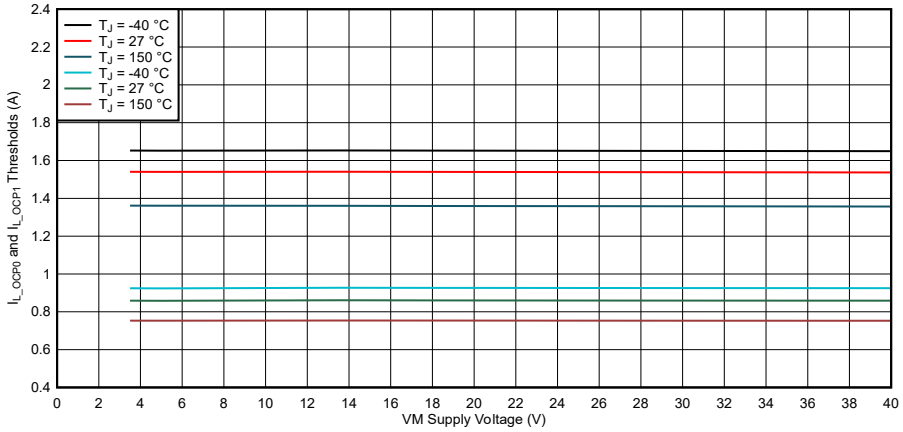


图 5-7. 过流保护阈值，VDD = 5.5V，OCP = 0b

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）

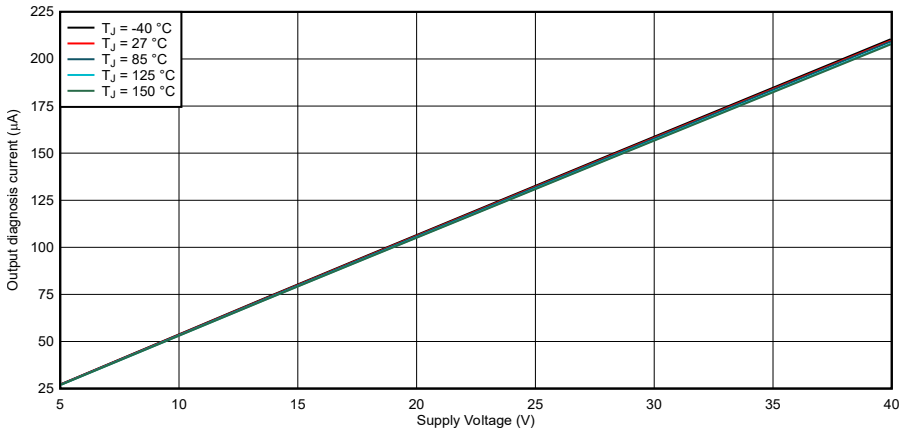


图 5-8. 输出诊断电流

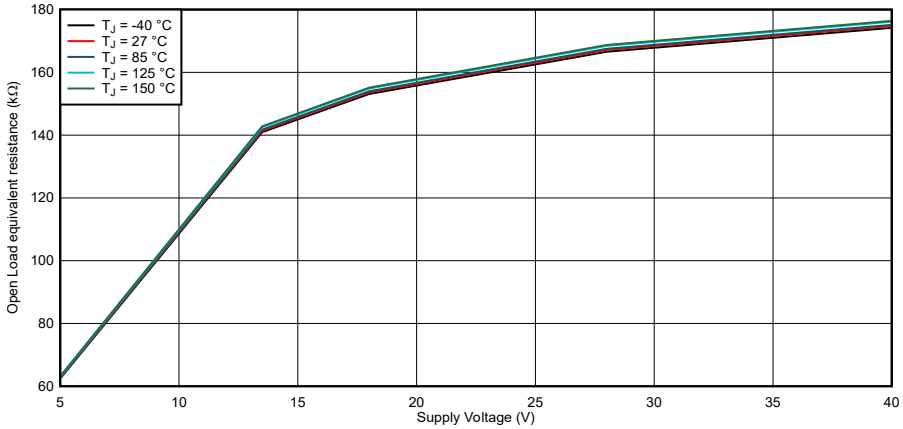


图 5-9. 开路负载等效电阻

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

DRV81004-Q1 是一款四通道低侧开关，集成了保护和诊断特性。输出级包含四个 N 沟道功率 MOSFET 低侧开关（T_J = 25°C 时，$R_{DS(ON)}$ 典型值为 700mΩ）。DRV81004-Q1 设计用于在低电源电压下运行。它可以在低电池电压 (V_M ≥ 3V) 下保持其状态。

16 位 SPI 接口用于控制和诊断器件与负载。SPI 接口支持菊花链，从而通过使用相同的微控制器引脚在一个 SPI 链中连接多个器件（以及具有 8 位 SPI 的器件）。SPI 功能仅在具有数字电源时可用。

DRV81004-Q1 具有连接到两个输出端的两个输入引脚。当 nSLEEP 引脚为逻辑低电平时，无论数字电源电压是否可用，均可使用输入引脚来激活通道 2 和 3。利用输入映射特性，可以将输入引脚连接到不同的输出端，或将更多输出端分配到同一的输入引脚。在这种情况下，可以使用一个输入信号控制更多通道。

在跛行回家模式下，输入引脚直接路由到通道 2 和 3。当 nSLEEP 引脚为逻辑低电平时，无论是否存在数字电源电压，均可使用输入引脚来激活两个通道。

该器件通过开路负载（关闭状态）和短路检测提供负载诊断。对于开路负载检测，可通过 SPI 激活内部电流源。每个输出级都具有短路保护。如果发生过流，受影响的通道会在达到过流检测阈值时关闭，并可通过 SPI 重新激活。

在跛行回家模式运行下，连接到设置为逻辑高电平的输入引脚的通道会在输出重新启动时间过后自动重新启动。每个通道都具有温度传感器，用于保护器件免受过热影响。

表 6-1. 产品概要

参数	符号	值
模拟电源电压	V_M	3.0V 至 40V
数字电源电压	V_{DD}	3.0V 至 5.5V
最小过压保护	V_{M_AZ}	42V
最大导通状态电阻 (T_J = 150°C)	$R_{DS(ON)}$	1.4Ω
标称负载电流（T_A = 85°C，所有通道）	I_{L_NOM}	470mA
最大能量耗散 - 重复	E_{AR}	10mJ @ I_{L_EAR} = 220mA
最小漏源钳位电压	V_{DS_CL}	42V
最大过载开关关闭阈值	I_{L_OVL0}	2.1A 或 3A
最大总静态电流 (T_J ≤ 85°C)	I_{SLEEP}	2.7μA
最大 SPI 时钟频率	f_{SCLK}	5MHz

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

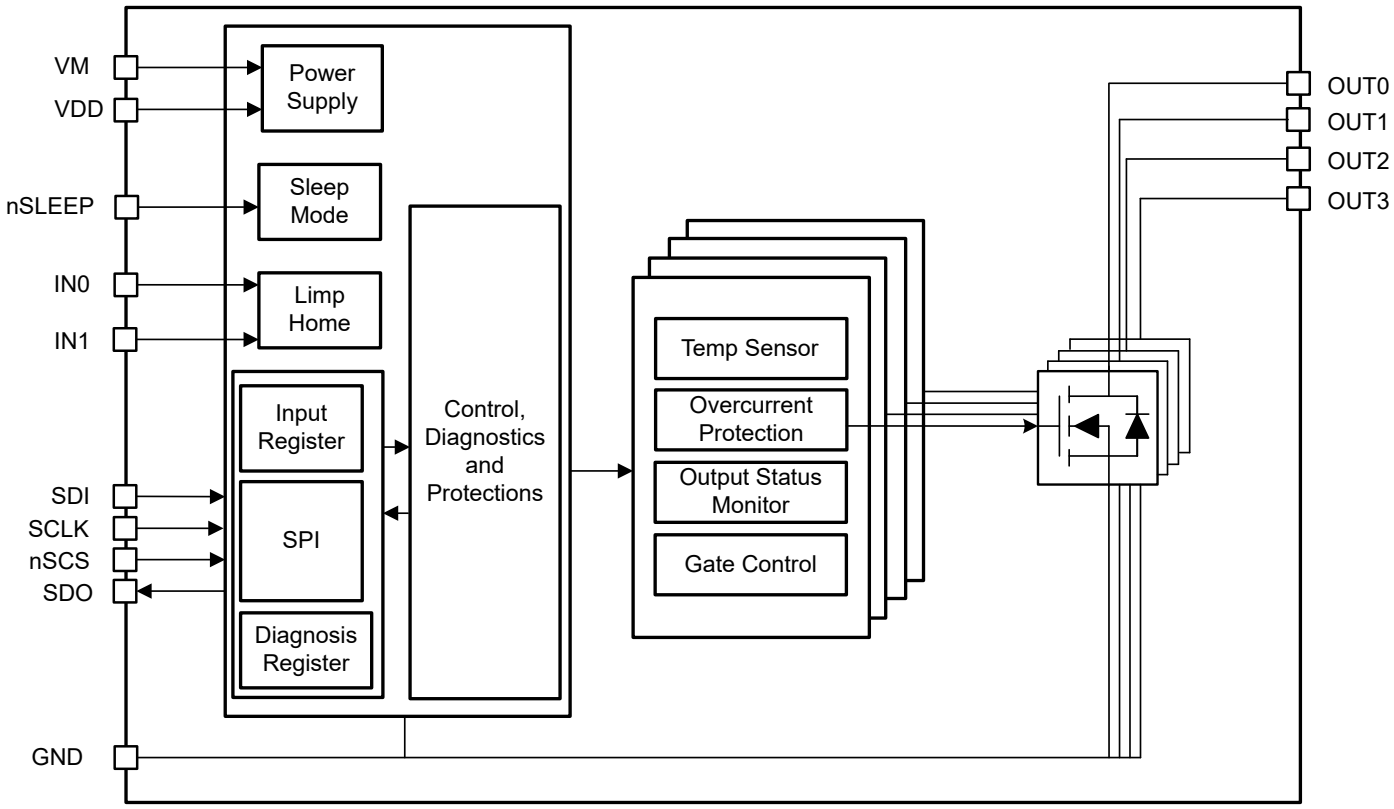


图 6-1. 功能方框图

Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 控制引脚

该器件具有三个引脚（IN0、IN1 和 nSLEEP）来直接控制器件，无需使用 SPI。

6.3.1.1 输入引脚

DRV81004-Q1 具有两个输入引脚。每个输入引脚默认连接一个通道（IN0 连接到通道 2，IN1 连接到通道 3）。输入映射寄存器 MAP0 和 MAP1 可编程为将更多或不同通道连接到每个输入引脚，如图 6-2 所示。驱动通道的信号是 EN 寄存器状态 IN0 和 IN1 之间的 OR 组合（根据输入映射寄存器状态）。

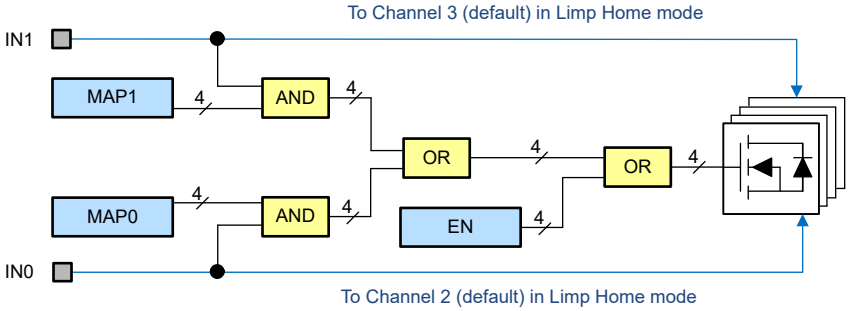


图 6-2. 输入映射

输入引脚的逻辑电平可使用输入状态监控寄存器 (INST) 进行监控。当 DRV81004-Q1 处于跛行回家模式时，输入状态监控也会运行。如果一个输入引脚设置为逻辑高电平且 nSLEEP 引脚设置为逻辑低电平，则器件会切换到跛行回家模式并激活默认映射到输入引脚的通道。

6.3.1.2 nSLEEP 引脚

当器件设置为逻辑低电平并且所有输入引脚也设置为逻辑低电平时，nSLEEP 引脚用于将器件置于睡眠模式。如果 nSLEEP 引脚设置为逻辑低电平，而一个输入引脚设置为逻辑高电平，器件将进入跛行回家模式。

为确保模式转换正确，nSLEEP 引脚必须设置为至少 t_{I2S}（从逻辑高电平转换到逻辑低电平）或 t_{S2I}（从逻辑低电平转换到逻辑高电平）。

将 nSLEEP 引脚设置为逻辑低电平会产生以下结果：

- SPI 中的所有寄存器均复位为默认值。
- 禁用 V_{DD} 和 V_M 欠压检测电路以减少电流消耗（如果两个输入均设置为逻辑低电平）。
- 如果两个输入引脚均设置为逻辑低电平，则不允许任何 SPI 通信（当 nSCS 引脚设置为逻辑低电平时，SDO 引脚将保持高阻抗）。

Copyright © 2025 Texas Instruments Incorporated

6.3.2 电源

DRV81004-Q1 由两种电源电压供电：

- V_M（模拟电源电压，也用于逻辑）
- V_{DD}（数字电源电压）

V_M 电源连接到电池馈电，并与 V_{DD} 电源一起用于功率级驱动电路。在 V_M 电压降至低于 V_{DD} 电压的情况下（例如启动事件降至 3V 期间），VDD 引脚的电流消耗可能会增加。V_M 和 V_{DD} 电源电压具有欠压检测电路。

- V_M 和 V_{DD} 电源电压同时欠压会阻止功率级激活和任何 SPI 通信（SPI 寄存器复位）
- V_{DD} 电源欠压会阻止任何 SPI 通信。SPI 读取/写入寄存器复位为默认值。
- V_M 电源欠压会强制 DRV81008-Q1 从 V_{DD} 电源消耗当前器件的电流。

图 6-3 显示了电源引脚 V_M 和 V_{DD}、输出级驱动器和 SDO 电源线之间相互作用的基本概念图。

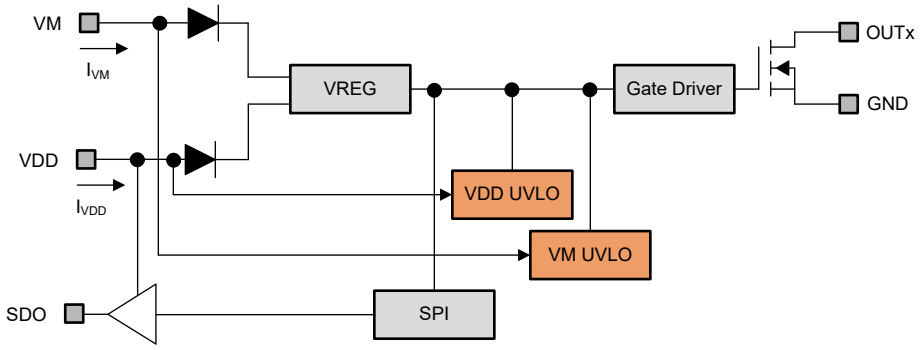


图 6-3. 内部电源架构

当 3V ≤ V_M ≤ V_{DD} - V_{MDIFF} 时，DRV81004-Q1 在启动工作范围 (COR) 内运行。在这种情况下，来自 VDD 引脚的电流消耗会增加，而来自 VM 引脚的电流消耗会减少。总电流消耗保持在指定限值范围内。

图 6-4 显示了 VM 引脚上器件进出 COR 的电压电平。在 COR 转换期间，I_{VM} 和 I_{VDD} 在为正常运行和 COR 运行定义的两个值之间变化。两个电流的总和保持在节 6.3.2 中指定的限值范围内。

Copyright © 2025 Texas Instruments Incorporated

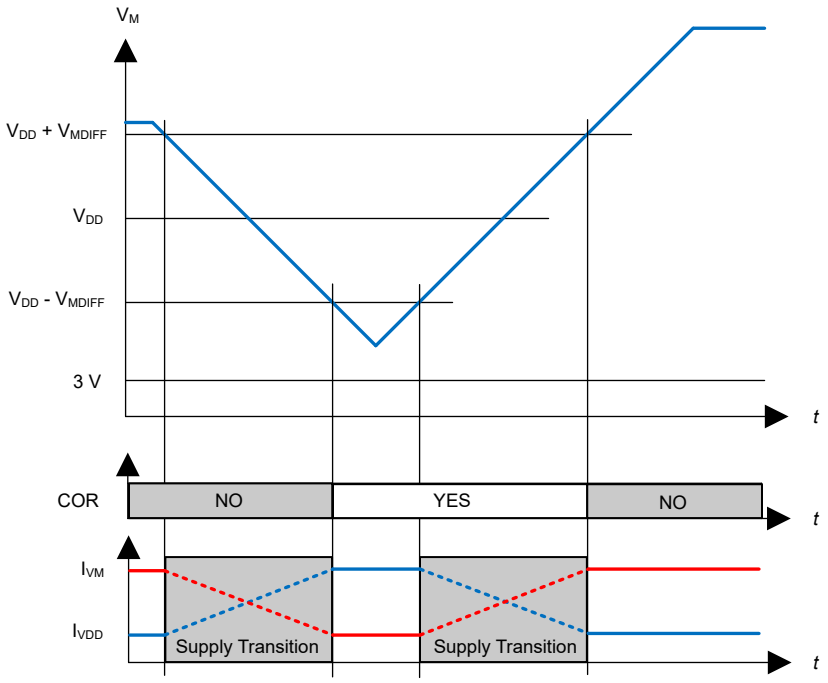


图 6-4. 启动工作范围

当 $V_{M_UVLO} \leqslant V_M \leqslant V_{M_OP}$ 时，可能无法开启先前关闭的通道。所有已开启的通道均保持其状态，除非通过 SPI 或 IN 引脚关闭。表 6-2、表 6-3 和表 6-4 概述了不同 V_M 和 V_{DD} 电源电压下的通道行为（这些表在成功上电后有效）。

表 6-2. 通道控制作为 V_M 和 V_{DD} 的函数

	$V_{DD} \leqslant V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \leqslant 3V$	通道无法控制	可打开和关闭通道（SPI 控制）（可能存在 $R_{DS(ON)}$ 偏差）
$3V < V_M \leqslant V_{M_OP}$	通道无法由 SPI 控制	可打开和关闭通道（SPI 控制）（可能存在 $R_{DS(ON)}$ 偏差）
$V_M > V_{M_OP}$	通道无法由 SPI 控制	可打开和关闭通道

表 6-3. 跛行回家模式作为 V_M 和 V_{DD} 的函数

	$V_{DD} \leqslant V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \leqslant 3V$	不可用	可用（可能存在 $R_{DS(ON)}$ 偏差）
$3V < V_M \leqslant V_{M_OP}$	可用（可能存在 $R_{DS(ON)}$ 偏差）	可用（可能存在 $R_{DS(ON)}$ 偏差）
$V_M > V_{M_OP}$	可用	可用

表 6-4. SPI 寄存器和 SPI 通信作为 V_M 和 V_{DD} 的函数

	$V_{DD} \leqslant V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
SPI 寄存器	复位	可用
SPI 通信	不可用 (f_{SCLK} = 0MHz)	可能 (f_{SCLK} = 5MHz)

Copyright © 2025 Texas Instruments Incorporated

6.3.2.1 运行模式

DRV81004-Q1 支持以下运行模式：

- 睡眠模式
- 空闲模式
- 工作模式
- 跛行回家模式

运行模式之间的转换取决于以下电平和状态：

- nSLEEP 引脚的逻辑电平
- INx 引脚的逻辑电平
- ENx 位状态
- ACT 位状态

图 6-5 展示了包括可能转换的状态图。DRV81004-Q1 的行为以及一些参数可能会根据器件的运行模式而改变。此外，由于存在欠压检测电路，因此在同一运行模式下可能会出现一些改变。

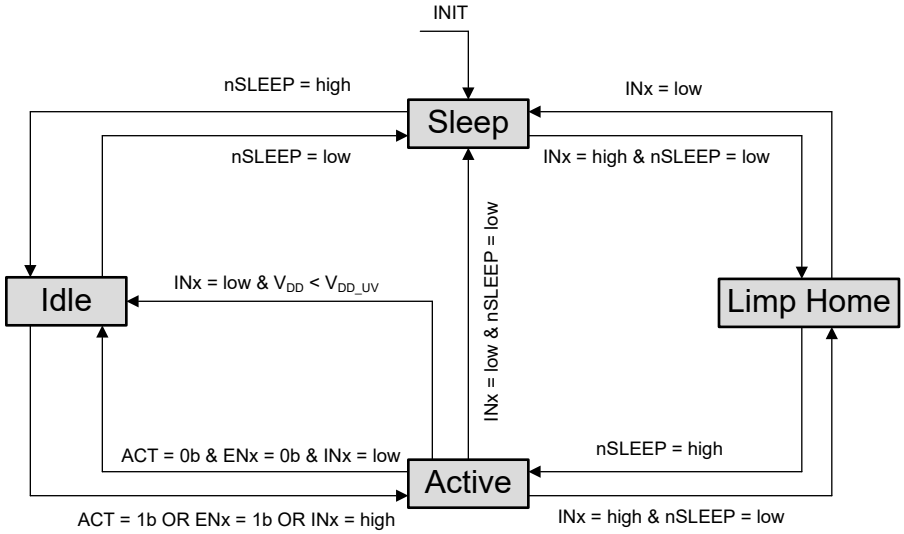


图 6-5. 运行模式状态图

DRV81004-Q1 的运行模式可通过以下各项确定：

- 输出通道的状态
- SPI 寄存器的状态
- VDD 引脚上的电流消耗 (I_{VDD})
- VM 引脚上的电流消耗 (I_{VM})

开启负载的默认运行模式为工作模式。如果器件未处于工作模式，并且接收到开启一个或多个输出的请求（通过 SPI 或通过输入引脚），它将根据 nSLEEP 引脚状态切换至活动或跛行回家模式。

当 DRV81004-Q1 处于工作模式或跛行回家模式时，通道开通时间由参数 t_{ON} 定义。在所有其他情况下，必须增加达到两种电源模式之一所需的转换时间（如图 6-6 所示）。

Copyright © 2025 Texas Instruments Incorporated

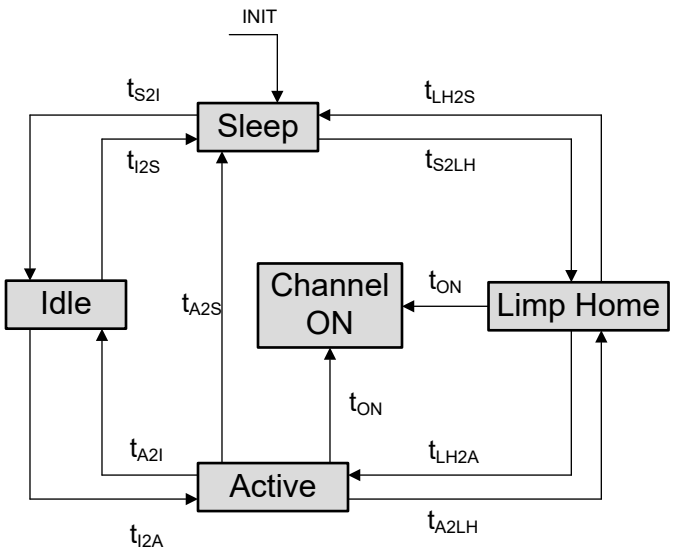


图 6-6. 模式转换时序

表 6-5 展示了器件运行模式、V_M 和 V_{DD} 电源电压与最重要功能（通道控制、SPI 通信和 SPI 寄存器）的状态之间的相关性。

表 6-5. 与运行模式、V_M 和 V_{DD} 电压相关的器件功能

运行模式	功能	V_M UVLO，$V_{DD} \leq V_{DD_UVLO}$	V_M UVLO，$V_{DD} > V_{DD_UVLO}$	V_M 不处于 UVLO 状态，$V_{DD} \leq V_{DD_UVLO}$	V_M 不处于 UVLO 状态，$V_{DD} > V_{DD_UVLO}$
睡眠	通道	不可用	不可用	不可用	不可用
	SPI 通信	不可用	不可用	不可用	不可用
	SPI 寄存器	复位	复位	复位	复位
空闲	通道	不可用	不可用	不可用	不可用
	SPI 通信	不可用	是	不可用	是
	SPI 寄存器	复位	是	复位	是
运行	通道	不可用	是	是，仅限 IN 引脚	是
	SPI 通信	不可用	是	不可用	是
	SPI 寄存器	复位	是	复位	是
跛行回家模式	通道	不可用	是，仅限 IN 引脚	是，仅限 IN 引脚	是，仅限 IN 引脚
	SPI 通信	不可用	是，只读	不可用	是，只读
	SPI 寄存器	复位	是，只读	复位	是，只读

6.3.2.1.1 上电

向器件施加一个电源电压（V_M 或 V_{DD}）并且 INx 或 nSLEEP 引脚设置为逻辑高电平时，满足上电条件。如果 V_M 高于阈值 V_{M_OP} 或 V_{DD} 高于 UVLO 阈值，则将设置内部上电信号。

6.3.2.1.2 睡眠模式

当 DRV81004-Q1 处于睡眠模式时，所有输出均关闭，SPI 寄存器复位，不受电源电压影响。电流消耗最小。

Copyright © 2025 Texas Instruments Incorporated

6.3.2.1.3 空闲模式

在空闲模式下，器件的电流消耗可以达到参数 I_{VDD_IDLE} 和 I_{VM_IDLE} 或整个器件的参数 I_{IDLE} 给出的限值。

- 内部稳压器在此模式下工作。
- 诊断功能不可用。
- 输出通道关闭，不受电源电压影响。
- 当 V_{DD} 可用时，SPI 寄存器正常工作，并且可进行 SPI 通信。

6.3.2.1.4 工作模式

在未设置跛行回家条件且需要驱动部分或全部负载时，工作模式是 DRV81004-Q1 的正常运行模式。V_{DD} 和 V_M 的电压电平会影响行为，如节 6.3.2 所述。器件电流消耗由 I_{VDD_ACT} 和 I_{VM_ACT} 指定（整个器件为 I_{ACT}）。

当 nSLEEP 引脚设置为逻辑高电平且一个输入引脚设置为逻辑高电平或一个 ENx 位设置为 1b 时，器件进入工作模式。

- 如果 ACT 位设置为 0b，则当所有输入引脚设置为逻辑低电平且 ENx 位设置为 0b 时，器件将返回空闲模式。
- 如果 ACT 设置为 1b，则无论输入引脚和 ENx 位的状态为何，器件均将保持在工作模式。
- 如果所有输入引脚均设置为逻辑低电平，则 V_{DD} 电源上的欠压情况会使器件进入空闲模式。

即使寄存器 MAP0 和 MAP1 均设置为 00H，但一个输入引脚 INx 设置为逻辑高电平，器件也将进入工作模式。

6.3.2.1.5 跛行回家模式

当 nSLEEP 引脚为逻辑低电平且一个输入引脚设置为逻辑高电平时，DRV81004-Q1 进入跛行回家模式，同时打开与其连接的通道。可以进行 SPI 通信，但仅限于只读模式（SPI 寄存器可以读取，但无法写入）。

- UVRVM 设置为 1b
- 模式位设置为 01b（跛行回家模式）
- 进入跛行回家模式后，在收到第一条 SPI 命令时，TER 位将设置为 1b。之后，它将正常工作。
- OLOFF 位设置为 0b
- ERRx 位正常工作
- OSMx 位可以读取并正常工作
- 所有其他寄存器均设置为其默认值，并且在器件处于跛行回家模式的情况下无法编程

有关在跛行回家模式期间打开通道 2 和 3 所需的电源电压条件的详细概述，请参阅表 6-3。所有其他通道均为关闭状态。

从工作模式转换到跛行回家模式或从跛行回家模式转换到工作模式期间传输 SPI 命令可能会导致 SPI 响应。

6.3.2.1.6 复位条件

以下 3 种情况之一会将 SPI 寄存器复位为默认值：

- V_{DD} 不存在或低于欠压阈值 V_{DD_UVLO}
- nSLEEP 引脚设置为逻辑低电平
- 执行复位命令（RST 设置为 1b）
  - ERRx 位不通过复位命令清除（出于功能安全目的）

尤其是，所有通道均将关闭（如果没有输入引脚设置为逻辑高电平），且输入映射配置将复位。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 功率级

DRV81004-Q1 是一款四通道低侧继电器开关。功率级由 N 沟道 MOSFET 构建。导通状态电阻 $R_{DS(on)}$ 取决于电源电压以及结温 T_J。

6.3.3.1 开关电阻性负载

在开关电阻性负载时，应考虑以下开关时间和压摆率。

默认转换率为 1.2V/μs。配置寄存器 2 中的 SR 位可用于将转换率增加到 3V/μs。

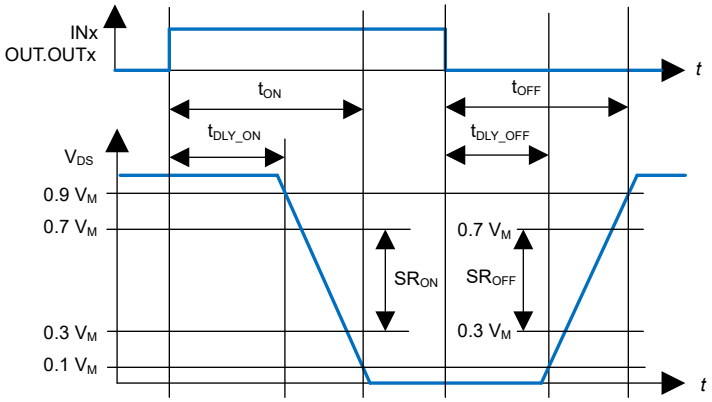


图 6-7. 开关电阻性负载

6.3.3.2 电感式输出钳位

关闭电感负载时，电源开关上的电压会上升到 V_{DS_CL}，这是因为电感会尝试继续驱动电流。需要电压钳位以防止器件受损。

图 6-8 显示了输出钳位图。允许的最大负载电感受限。钳位结构可在所有模式（睡眠、空闲、工作活动、跛行回家）下保护器件。

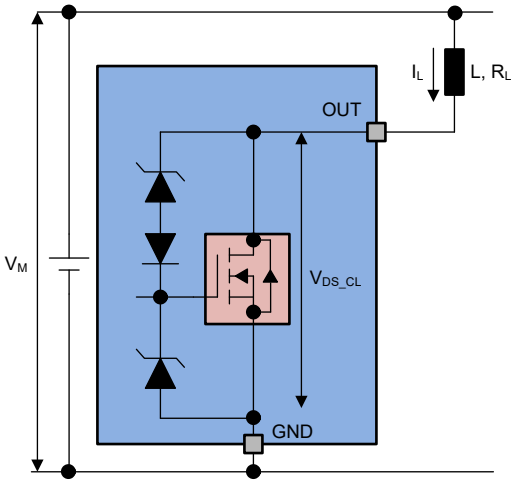


图 6-8. 输出钳位

6.3.3.3 最大负载电感

在电感负载退磁期间，磁能在 DRV81004-Q1 中耗散。方程式 1 显示了如何计算低侧开关的能量：

$$E = V_{DS_CL} \times \left[\frac{V_M - V_{DS_CL}}{R_L} \times \ln\left(1 - \frac{R_L \times I_L}{V_M - V_{DS_CL}}\right) + I_L \right] \times \frac{L}{R_L} \quad (1)$$

可转换为热量的最大能量受元件热设计的限制。节 5.1 中提供的 E_{AR} 值假设当连接到输出端的电感同时退磁时，所有通道可耗散相同能量。

6.3.3.4 并联开关通道

如果并联通道发生短路，则可能会发生两个通道异步关闭的情况，因此会为最后关闭的通道带来额外的热应力。为避免此情况，可以在 SPI 寄存器中将两个相邻通道配置为并联运行（使用 PAR 位）。在此模式下运行时，对过载或过热情况最快做出反应的通道也将停用另一通道。两个并联通道能够处理的电感能量低于单通道能量的两倍。可以一起同步以下几个通道：

- 通道 0 和通道 2 → PAR0 设置为 1b
- 通道 1 和通道 3 → PAR1 设置为 1b

同步位仅影响通道对于过流或过热条件的反应。同步通道必须由微控制器一起打开和关闭。

Copyright © 2025 Texas Instruments Incorporated

6.3.4 保护和诊断

DRV81004-Q1 支持多种保护特性，后续各节将对此进行详细讨论。SPI 接口提供有关器件和负载状态的诊断信息。每个通道的诊断信息独立于其他通道。一个通道上的错误条件不会影响器件中其他通道的诊断（除非配置为并联运行，有关更多详细信息，请参阅节 6.3.3.4）。

当一个通道发生过流或过热时，会相应地设置诊断位 ERRx。如节 6.3.4.2 和节 6.3.4.3 所述，通道会锁闭，必须重新激活才能将相应的 CLRx 位设置为 1b。

6.3.4.1 V_M 欠压

在 V_{M_UVLO} 和 V_{M_OP} 之间，会触发欠压机制。如果器件正在运行且电源电压降至欠压阈值 V_{M_UVLO} 以下，则逻辑会将 UVRVM 位设置为 1b。只要电源电压 V_M 高于最小电压工作阈值 V_{M_OP}，在第一次标准诊断读取后，位 UVRVM 将设置为 0b。VM 的欠压情况会影响通道的状态，如节 6.3.2 所述。图 6-9 显示了欠压行为。

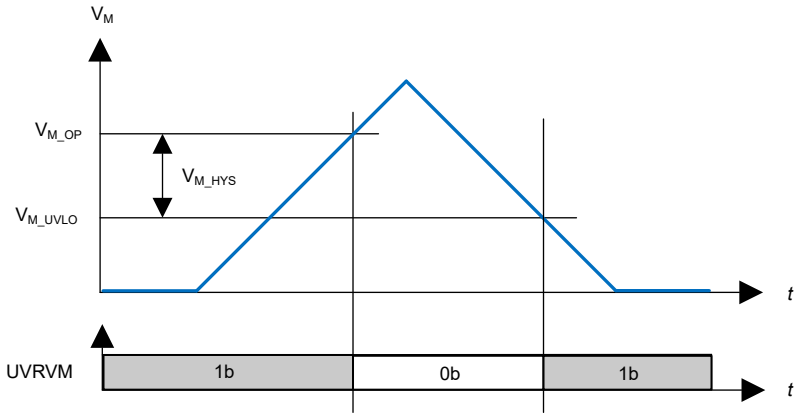


图 6-9. V_M 欠压

6.3.4.2 过流保护

DRV81004-Q1 在负载过流或短路时受到保护。有两个过流阈值（请参阅图 6-10）：

- 通道开关 ON 和 t_{OCPIN} 之间的 I_{L_OCP0}
- t_{OCPIN} 后面的 I_{L_OCP1}

I_{L_OCP0} 和 I_{L_OCP1} 的值取决于 OCP 位。每次通道关闭的时间超过 $2*t_{SYNC}$ 时，过载电流阈值将设置回 I_{L_OCP0}。

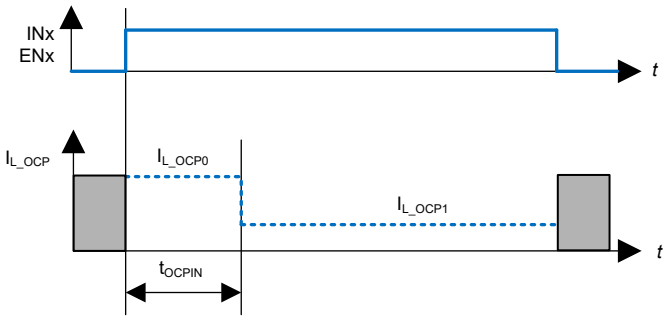


图 6-10. 过流阈值

如果负载电流高于 I_{L_OCP0} 或 I_{L_OCP1}，则在经过时间 t_{OFF_OCP} 后，过载通道将关闭，诊断位 ERRx 将置位。通过将相应的 CLRx 位设置为 1b，可以在清除保护锁存后打开通道。该位会在解锁通道后在内部设置回 0b。有关详细信息，请参阅图 6-11。

Copyright © 2025 Texas Instruments Incorporated

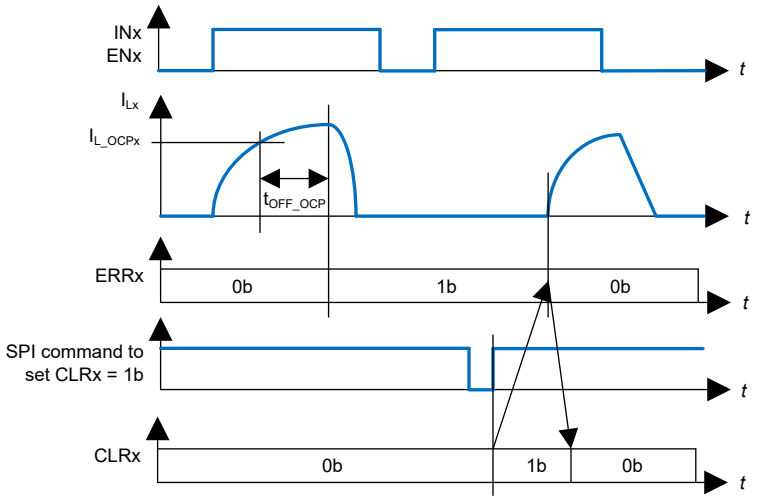


图 6-11. 过流锁闭

6.3.4.3 过热保护

为每个通道集成了一个温度传感器，这可使过热通道关闭以防止对器件造成损坏。设置了相应的诊断位 ERRx（与过载保护相结合）。通过将相应的 CLRx 位设置为 1b，可以在清除保护锁存后打开通道。该位会在解锁通道后在内部设置回 0b。

6.3.4.4 过热警告

如果内核温度超过过热警告 (T_{OTW}) 的跳闸点，则会在配置寄存器 2 中设置 OTW 位。器件不会执行任何其他操作，并且会继续运行。

当内核温度降至低于过热警告的迟滞点 (T_{HYS_OTW}) 时，会自动清除 OTW 位。

6.3.4.5 跛行回家模式下的过热和过流保护

当 DRV81004-Q1 处于跛行回家模式时，可以使用输入引脚来打开通道 2 和 3。如果发生过流、短路或过热，通道会关闭。如果输入引脚保持逻辑高电平，则通道将按以下时序重新启动：

- 10ms（前 8 次重试）
- 20ms（随后 8 次重试）
- 40ms（随后 8 次重试）
- 80ms（只要输入引脚保持逻辑高电平且错误仍然存在）

如果在任何时候输入引脚设置为逻辑低电平的时间超过 $2*t_{SYNC}$，则重新启动计时器将复位。在跛行回家模式下，当下一次通道激活时，计时器将再次从 10ms 启动。如需了解更多详细信息，可参阅 图 6-12。过流阈值的行为如节 6.3.4.2 所述。

Copyright © 2025 Texas Instruments Incorporated

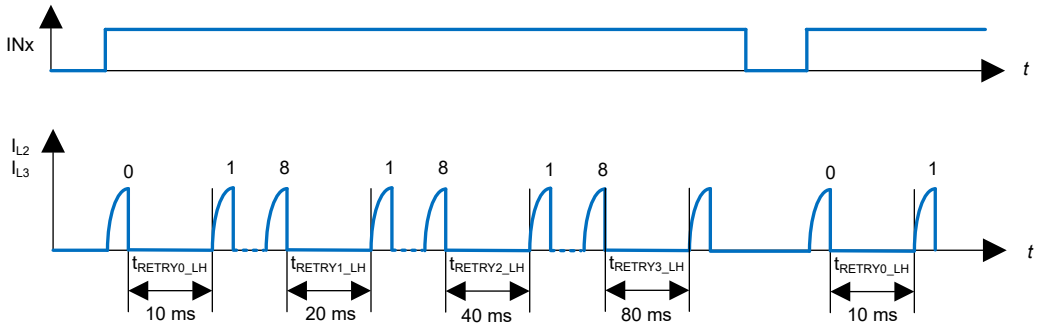


图 6-12. 在跛行回家模式下重新启动计时器

6.3.4.6 反极性保护

在反极性，或者称为反向电池条件下，功率耗散由每个 MOSFET 的体二极管引起。逻辑引脚和电源引脚的每个 ESD 二极管都会导致总功率耗散。必须通过连接的负载来限制流经通道的反向电流。还必须限制流经数字电源 VDD 和输入引脚的电流（请参阅节 5.1）。

备注

在反极性期间，没有温度保护或电流限制等保护机制处于活动状态。

6.3.4.7 过压保护

如果电源电压在 V_{M_SC} 和 V_{M_LD} 之间，输出 MOSFET 仍处于运行状态并跟随输入引脚或 EN 位。

除了节 6.3.3.2 中所述的电感负载输出钳位外，还有一个钳位机制可用于逻辑通道和所有通道的过压保护，对 VM 和 GND 引脚之间的电压 (V_{M_AZ}) 进行监控。

6.3.4.8 输出状态监控

该器件将每个通道的 V_{DS} 与 V_{DS_OL} 进行比较，并相应地设置对应 OSMx 位。每次读取 OSM 寄存器时，这些位将更新。

- $V_{DS} < V_{DS_OL}$ → OSMx = 1b

可通过编程 IOLx 位来启用与电源开关并联的诊断电流 I_{OL}，它可用于关闭状态下开路负载检测。每个通道都具有其专用的诊断电流源。如果启用了诊断电流 I_{OL}，或者通道更改了状态（打开 → 关闭或关闭 → 打开），则需要等待 t_{OSM} 时间后才能进行可靠诊断。启用 I_{OL} 电流源会增加器件的电流消耗。即使检测到开路负载，通道也不会锁闭。

请查看图 6-13 中的时序概览（IOLx 的值是指正常运行且正确连接到负载的通道）。

Copyright © 2025 Texas Instruments Incorporated

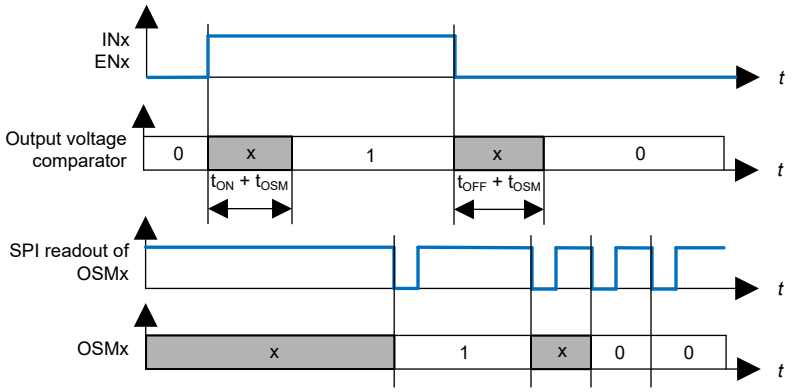


图 6-13. 输出状态监控时序

当 $V_M = V_{M_NOR}$ 且 $V_{DD} \geqslant V_{DD_UVLO}$ 时，输出状态监视诊断可用。

由于输出状态监控会实时检查输出端的电压电平，因此对于关闭状态下开路负载诊断，需要将 OSM 寄存器的读取与通道的关闭状态同步。

图 6-14 在概念级别展示了如何实现输出状态监控。

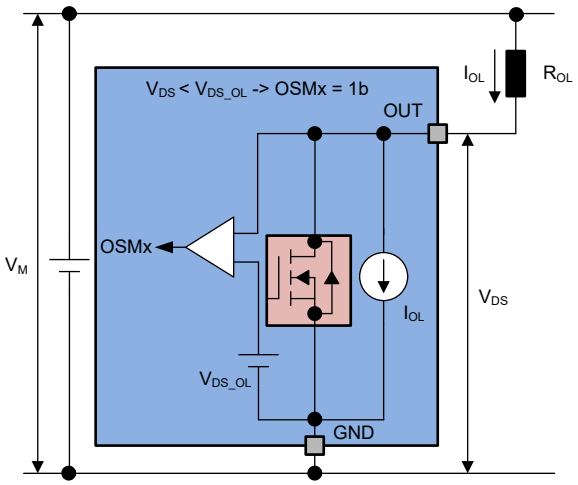


图 6-14. 输出状态监控

在标准诊断中，位 OLOFF 表示所有处于关闭状态且激活了相应电流源 I_{OL} 的通道的所有 OSMx 位的 OR 组合。

当 DISOL 位为 1b 时，可以通过禁用所有 I_{OL} 电流源来禁用开路负载检测。

Copyright © 2025 Texas Instruments Incorporated

6.3.5 SPI 通信

SPI 接口是全双工同步串行跟随器接口，使用四条线路：SDO、SDI、SCLK 和 nSCS。数据由 SDI 和 SDO 线路按照 SCLK 给定的速率传输。nSCS 的下降沿指示访问开始。数据在 SCLK 的下降沿在线路 SDI 中采样，并在 SCLK 的上升沿在线路 SDO 中移出。每次访问必须由 nSCS 的上升沿终止。

模数 8/16 计数器可确保仅在前 16 位之后传输 8 位的倍数时才会获取数据。否则，TER 位将置位。通过此方式，该接口可为 16 位和 8 位 SPI 器件提供菊花链功能。

6.3.5.1 SPI 信号说明

6.3.5.1.1 片选 (nSCS)

微控制器利用 nSCS 引脚选择 DRV81004-Q1。只要引脚处于逻辑低电平状态，就可以进行数据传输。当 nSCS 处于逻辑高电平状态时，将忽略 SCLK 和 SDI 引脚上的任意信号，并强制 SDO 进入高阻抗状态。

6.3.5.1.1.1 逻辑高电平到逻辑低电平转换

- 请求的信息将传输到移位寄存器中。
- SDO 从高阻抗状态变为逻辑高电平或逻辑低电平状态，具体取决于传输错误标志 (TER) 与引脚 SDI 处信号电平之间的逻辑 OR 组合。这样，即使在菊花链配置下，也能检测到故障传输。
- 如果器件处于睡眠模式，则 SDO 引脚保持高阻抗状态，并且不会发生 SPI 传输。

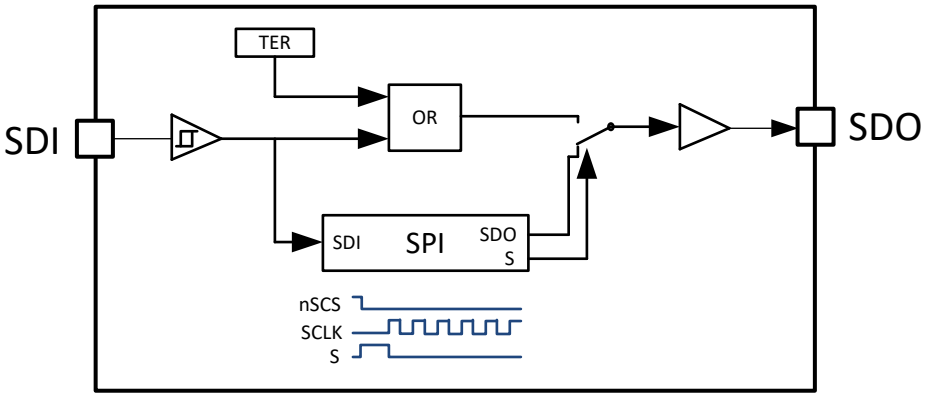


图 6-15. TER 位组合逻辑

6.3.5.1.1.2 逻辑低电平到逻辑高电平转换

- 只有在 nSCS 的下降沿之后，在前 16 个 SCLK 脉冲之后确切检测到 8 个 SCLK 信号的倍数（1、2、3...）时，才会完成命令解码。如果传输故障，传输错误位 (TER) 将置位并忽略该命令。
- 移位寄存器中的数据将传输到寻址的寄存器。

6.3.5.1.2 串行时钟 (SCLK)

该输入引脚为内部移位寄存器计时。串行输入 (SDI) 在 SCLK 的下降沿将数据传输到移位寄存器，而串行输出 (SDO) 在串行时钟的上升沿将诊断信息移出。每当芯片选择 nSCS 进行任何转换时，SCLK 引脚都必须处于逻辑低电平状态，否则可能无法接受命令。

6.3.5.1.3 串行数据输入 (SDI)

串行输入数据位在此引脚移入，最高有效位优先。SDI 信息在 SCLK 下降沿上读取。输入数据包括两部分：控制位及其后的数据位。

6.3.5.1.4 串行数据输出 (SDO)

数据在此引脚串行移出，最高有效位优先。SDO 处于高阻抗状态，直到 nSCS 引脚进入逻辑低电平状态。SCLK 上升沿之后，SDO 引脚上将显示新数据。

Copyright © 2025 Texas Instruments Incorporated

6.3.5.2 菊花链功能

DRV81004-Q1 的 SPI 提供菊花链功能。在此配置中，多个器件由同一 nSCS 信号 MCSN 激活。一个器件的 SDI 线路连接到另一器件的 SDO 线路以构建一个链。链的末端分别连接到主器件的输出端和输入端（M-SDO 和 M-SDI）。命令器件提供时钟 M-SCLK，该时钟连接到链中每个器件的 SCLK 线路。

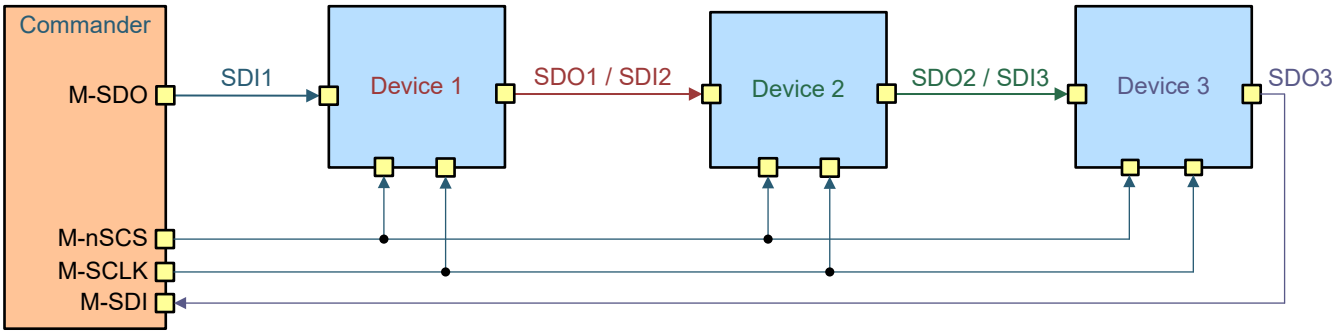


图 6-16. 菊花链配置

在每个器件的 SPI 块中，有一个移位寄存器，其中 SDI 线路的每个位在每个 SCLK 中移位。位的移出发生在 SDO 引脚上。16 个 SCLK 周期后，一个器件的数据传输完成。

在单芯片配置中，nSCS 线路必须变为逻辑高电平才能使器件确认传输的数据。在菊花链配置中，在器件 1 移出的数据已移入器件 2。在菊花链中使用三个器件时，必须在这些器件中移位 8 位的若干倍（具体取决于多少器件具有 8 位 SPI，多少器件具有 16 位 SPI）。之后，M-nSCS 线路必须变为逻辑高电平。

6.3.5.3 SPI 协议

图 6-17 显示了 SPI 通信期间 SDI 和 SDO 内容之间的关系。SDI 线路表示从微控制器发送的帧，SDO 线路是 DRV81004-Q1 提供的应答。

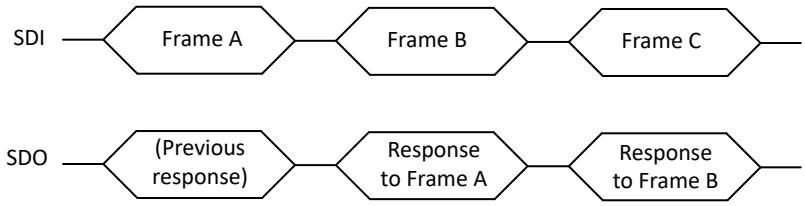


图 6-17. SPI 通信期间 SDI 和 SDO 之间的关系

SPI 协议仅在微控制器触发下一次传输时提供对命令帧的应答。尽管 DRV81004-Q1 中实现的绝大多数命令和帧都可以进行解码而无需知道之前所发生的情况，但建议考虑微控制器在之前传输中发送的内容，以完全解码 DRV81004-Q1 响应帧。读取和写入寄存器内容的命令序列如下所示：

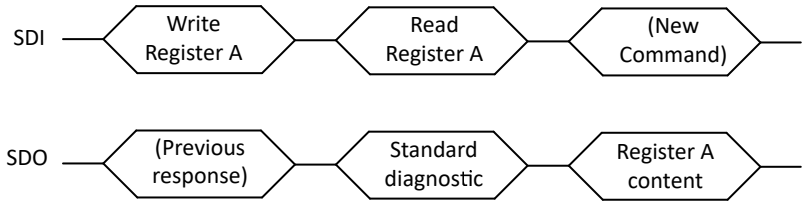


图 6-18. 寄存器内容发送回微控制器

在 3 种特殊情况下，发送回微控制器的帧与前一个接收的帧不直接相关：

- 在前一个帧期间发生传输错误（例如，时钟脉冲不是 8 的倍数且至少为 16 位），如下所示。
- DRV81004-Q1 逻辑电源退出上电复位条件或在软件复位之后，如下所示。

Copyright © 2025 Texas Instruments Incorporated

- 出现命令语法错误
  - 写入命令从 11b 而非 10b 开始
  - 读取命令从 00b 而非 01b 开始
  - 寄存器上的读取或写入命令未保留或未使用

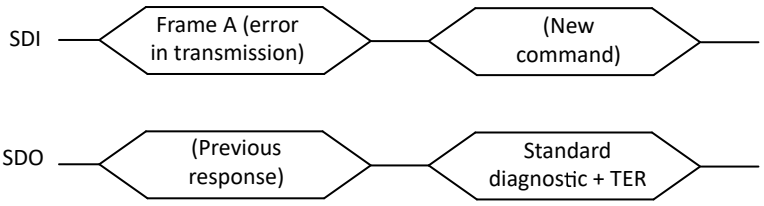


图 6-19. 传输出错之后的响应

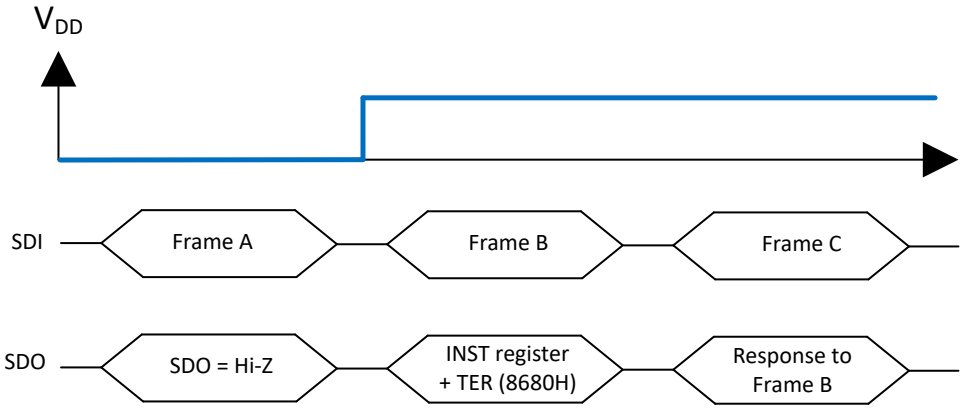


图 6-20. 退出 V_{DD} 上电复位后的响应

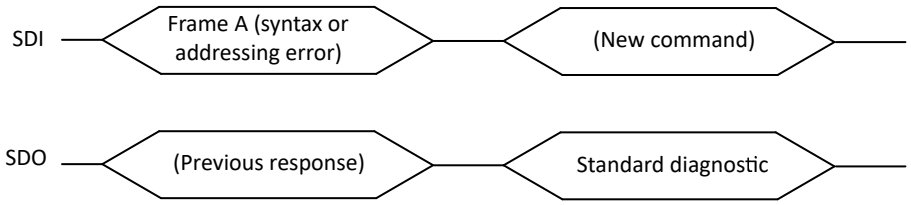


图 6-21. 命令语法错误后的响应

下面汇总了所有可能的 SPI 命令，包括 DRV81004-Q1 在下一次传输时发送回的应答。

表 6-6. SPI 命令汇总

请求的操作	发送到 SDI 引脚的帧	使用下一条命令从 SDO 引脚接收的帧
读取标准诊断	0xxxxxxxxxxxxx01b（xxxxxxxxxxxxb = 无关）	0ddddddddddddddddb（标准诊断）
写入 8 位寄存器	10ppppqqrrrrrrrrb，其中：ppppb = 寄存器地址 ADDR0，qqb = 寄存器地址 ADDR1，rrrrrrrrb = 新寄存器内容	0ddddddddddddddddb（标准诊断）
读取 8 位寄存器	01ppppqqxxxxxx10b，其中：ppppb = 寄存器地址 ADDR0，qqb = 寄存器地址 ADDR1，xxxxxxb = 无关	10ppppqqrrrrrrrrb，其中：ppppb = 寄存器地址 ADDR0c，qqb = 寄存器地址 ADDR1，rrrrrrrrb = 寄存器内容

“p”= ADDR0 字段的地址位，“q”= ADDR1 字段的地址位，“r”= 寄存器内容，“d”= 诊断位

Copyright © 2025 Texas Instruments Incorporated

6.3.5.4 SPI 寄存器

寄存器组有以下结构 -

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	ADDR0				ADDR1		DATA								XXXXH

在后续章节中未提及地址的所有寄存器必须视为保留。对这些寄存器执行的读取操作将返回标准诊断。“默认”列指示寄存器（8 位）在复位后的内容。

配置寄存器 2 中的锁定位可用于锁定寄存器设置，防止意外的 SPI 写入。

- 写入 110b 以锁定设置，除了 LOCK 位和 CLRx 位，忽略后续寄存器写入。写入除 110b 之外的任何序列在解锁时都没有任何影响。
- 写入 011b 以解锁所有寄存器。写入除 011b 之外的任何序列在锁定时都没有任何影响。

6.3.5.4.1 标准诊断寄存器

表 6-7. 标准诊断寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
0	UVRVM	0	MODE		TER	0	OLOFF	0	0	0	0	ERR3	ERR2	ERR1	ERR0	5800h

表 6-8. 标准诊断寄存器说明

字段	位	类型	说明
UVRVM	14	R	VM 欠压监控 • 0b：未检测到 VM 欠压情况 • 1b（默认值）：自上次标准诊断读数以来至少有一个 VM 欠压情况
MODE	12-11	R	运行模式监控 • 00b：保留 • 01b：跛行回家模式 • 10b：工作模式 • 11b（默认值）：空闲模式
TER	10	R	传输错误 0b：上次传输成功（接收到模数 16 + n*8 个时钟，其中 n = 0、1、2...） 1b（默认值）：上次传输失败。复位后的第一个帧将 TER 设置为 1b 和 INST 寄存器。第二个帧是标准诊断，TER 设置为 0b（如果在上次传输中没有故障）。
OLOFF	8	R	关闭状态下开路负载诊断 0b（默认值）：关闭状态下所有通道（IOLx 位设置为 1b）的 $V_{DS} > V_{DS_OL}$ 1b：关闭状态下至少一个通道（IOLx 位设置为 1b）的 $V_{DS} < V_{DS_OL}$。不考虑处于打开状态的通道。
ERRx	3-0	R	通道 x 的过载/过热诊断 0b（默认值）：未检测到故障 1b：过热或过载

Copyright © 2025 Texas Instruments Incorporated

6.3.5.4.2 输出控制寄存器

表 6-9. 输出控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0000				00		RSVD				EN3	EN2	EN1	EN0	00h

表 6-10. 输出控制寄存器说明

字段	位	类型	说明
RSVD	7-4	RW	保留。读取默认值：0b，忽略写入。
ENx	3-0	RW	输出 x 控制寄存器 0b（默认值）：输出 x 关闭 1b：输出开启

6.3.5.4.3 输入 0 映射寄存器

表 6-11. 输入 0 映射寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0001				00		RSVD				MAP03	MAP02	MAP01	MAP00	04h

表 6-12. 输入 0 映射寄存器说明

字段	位	类型	说明
RSVD	7-4	RW	保留。读取默认值：0b，忽略写入。
MAP0x	3-0	RW	输入引脚 0 映射寄存器 0b（默认值）：输出 x 未连接到输入引脚 0 1b：输出已连接到输入引脚 注意：通道 2 的相应位默认设置为 1b

6.3.5.4.4 输入 1 映射寄存器

表 6-13. 输入 1 映射寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0001				01		RSVD				MAP13	MAP12	MAP11	MAP10	08h

表 6-14. 输入 1 映射寄存器说明

字段	位	类型	说明
MAP1x	7-4	RW	保留。读取默认值：0b，忽略写入。
MAP1x	3-0	RW	输入引脚 1 映射寄存器 0b（默认值）：输出 x 未连接到输入引脚 1 1b：输出已连接到输入引脚 注意：通道 3 的相应位默认设置为 1b

Copyright © 2025 Texas Instruments Incorporated

6.3.5.4.5 输入状态监控寄存器

这是逻辑复位后传输的第一个寄存器

.

表 6-15. 输入状态监控寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
0	1	0001				10		TER	RSVD					INST1	INST0	00h

表 6-16. 输入 1 映射寄存器说明

字段	位	类型	说明
TER	7	R	0b：上次传输成功（接收到模数 16 + n*8 个时钟，其中 n = 0、1、2...） 1b（默认值）：上次传输失败
RSVD	6-2	R	保留
INST1	1	R	0b（默认值）：输入引脚设置为逻辑低电平 1b：输入引脚设置为逻辑高电平
INST0	0	R	0b（默认值）：输入引脚设置为逻辑低电平 1b：输入引脚设置为逻辑高电平

6.3.5.4.6 开路负载电流控制寄存器

表 6-17. 开路负载电流控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0010				00		RSVD				IOL3	IOL2	IOL1	IOL0	00h

表 6-18. 开路负载电流控制寄存器说明

字段	位	类型	说明
RSVD	7-4	RW	保留。读取默认值：0b，忽略写入。
IOLx	3-0	RW	0b（默认值）：IOL 电流源未启用 1b：IOL 电流源已启用

6.3.5.4.7 输出状态监控寄存器

表 6-19. 输出状态监控寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
0	1	0010				01		RSVD				OSM3	OSM2	OSM1	OSM0	00h

表 6-20. 输出状态监控寄存器说明

字段	位	类型	说明
RSVD	7-4	R	保留。读取默认值：0b，忽略写入。
OSMx	3-0	R	0b（默认值）：$V_{DS} > V_{DS_OL}$ 1b：$V_{DS} < V_{DS_OL}$

Copyright © 2025 Texas Instruments Incorporated

6.3.5.4.8 配置寄存器

表 6-21. 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0011				00		ACT	RST	DISOL	OCP	RSVD		PAR1	PAR0	00h

表 6-22. 配置寄存器说明

字段	位	类型	说明
ACT	7	RW	0b（默认值）：正常运行或器件退出工作模式 1b：器件进入工作模式
RST	6	RW	0b（默认值）：正常运行 1b：执行复位命令（自行清除）
DISOL	5	RW	0b（默认值）：开路负载检测已启用 1b：开路负载检测已禁用
OCP	4	RW	0b（默认值）：过流保护电流曲线 1 1b：过流保护电流曲线 2
RSVD	3-2	RW	保留。读取默认值：0b，忽略写入。
PAR1	1	RW	0b（默认值）：正常运行 1b：通道 1 和 3 的过载和过热同步
PAR0	0	RW	0b（默认值）：正常运行 1b：通道 0 和 2 的过载和过热同步

6.3.5.4.9 输出清除锁存寄存器

表 6-23. 输出清除锁存寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0011				01		RSVD				CLR3	CLR2	CLR1	CLR0	00h

表 6-24. 输出清除锁存寄存器说明

字段	位	类型	说明
RSVD	7-4	RW	保留。读取默认值：0b，忽略写入。
CLRx	3-0	RW	0b（默认值）：正常运行 1b：清除选定输出的错误锁存

Copyright © 2025 Texas Instruments Incorporated

6.3.5.4.10 配置寄存器 2

表 6-25. 配置寄存器 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	1010				00		LOCK[2:0]			RSVD		OTW	RSVD	SR	60h

表 6-26. 配置寄存器说明

字段	位	类型	说明
LOCK[2:0]	7-5	RW	写入 110b 以锁定设置，除了 LOCK 位和 CLRx 位，忽略后续寄存器写入。写入除 110b 之外的任何序列在解锁时都没有任何影响。向此寄存器写入 011b 以解锁所有寄存器。写入除 011b 之外的任何序列在锁定时都没有任何影响。
RSVD	4-3、1	R	保留。
OTW	2	R	过热警告 • 0b（默认值）：无过热事件 • 1b：过热事件
SR	0	RW	设置输出压摆率 • 0b（默认值）：1.2V/μs 压摆率 • 1b：3V/μs 压摆率

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

DRV81004-Q1 主要用于驱动汽车和工业应用中的继电器。

7.1.1 典型应用

图 7-1 显示了 DRV81004-Q1 的应用原理图。

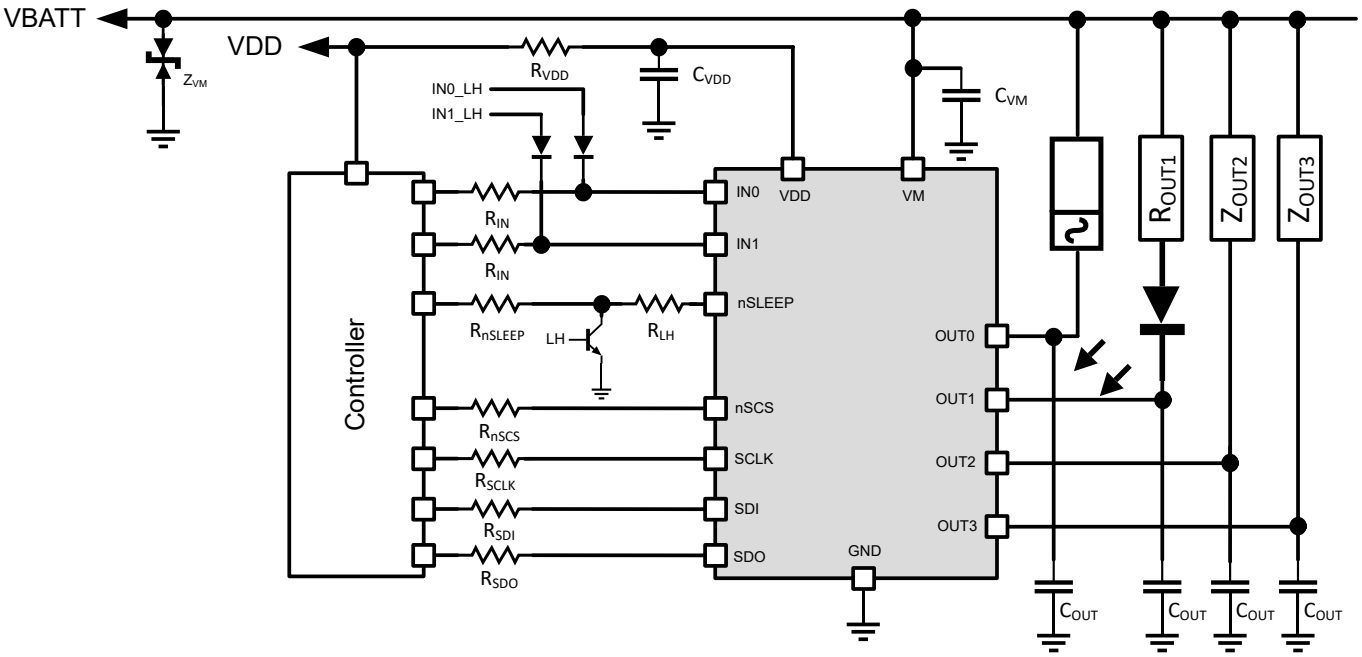


图 7-1. 应用原理图

7.1.2 建议的外部元件

表 7-1 列出了 DRV81004-Q1 的推荐外部组件。

表 7-1. 建议的外部元件

说明	值	用途
与 IN0、IN1 和 nSLEEP 引脚串联的电阻器	4.7kΩ	在过压和反极性期间为微控制器提供保护。也能够保证在接地失效期间关闭输出通道。
与 nSCS、SCLK、SDI 和 SDO 引脚串联的电阻器	470Ω	在过压和反极性期间为微控制器提供保护
与 VDD 引脚串联的电阻器	100Ω	逻辑电源电压滤波
VDD 引脚上的旁路电容器	100nF	逻辑电源电压滤波
VM 引脚上的旁路电容器	68nF	电池电压滤波
VM 引脚上的 TVS 二极管	TVS3300	在过压期间提供器件保护
每个 OUT 引脚上的电容器（可选）	10nF	保护器件免受 ESD 和 BCI 影响

7.1.3 应用曲线图

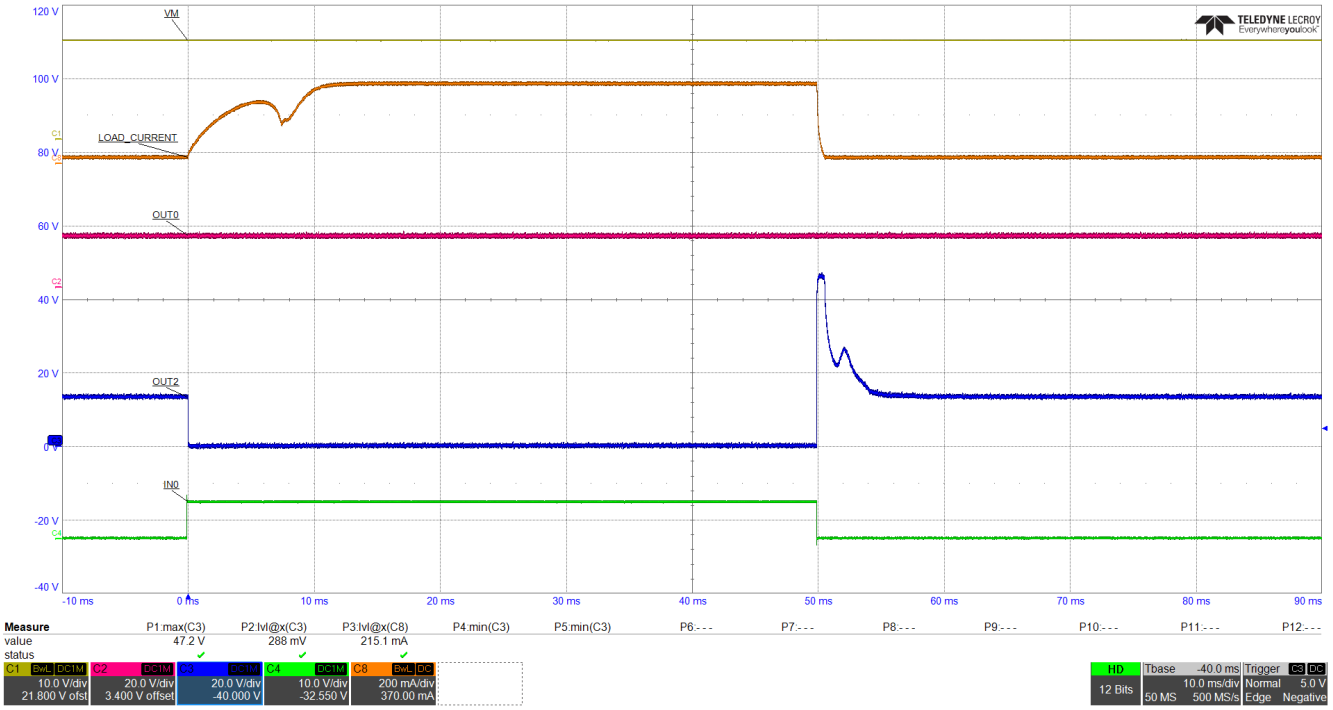


图 7-2. 来自 IN0 引脚的输出导通/关断

Copyright © 2025 Texas Instruments Incorporated

7.2 布局

7.2.1 布局指南

- 应使用额定电压为 VM 的低 ESR 陶瓷 68nF 电容器将 VM 引脚旁路至 GND。
- 此类电容器应靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 GND 引脚连接。
- 使用低 ESR 陶瓷电容器将 VDD 引脚旁路至接地。建议使用一个电容值为 100nF、额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。
- 通常，必须避免电源引脚和去耦电容器之间的电感。
- IN0、IN1、nSLEEP、nSCS、SCLK、SDI、SDO 和 VDD 引脚与微控制器的相应引脚之间连接串联电阻器。节 6.3 显示了电阻器建议值。
- 封装的散热焊盘必须连接至系统接地端。
  - 建议整个系统/电路板使用一个大的不间断单一接地平面。接地平面可在 PCB 底层制成。
  - 为了尽可能地减小阻抗和电感，在通过通孔连接至底层接地平面之前，接地引脚的布线应尽可能短且宽。
  - 建议使用多个通孔来降低阻抗。
  - 尝试清理器件周围的空间（尤其是底层），从而改善散热。
  - 连接至散热焊盘的单个或多个内部接地平面也有助于散热并降低热阻。

7.2.2 封装尺寸兼容性

DRV81004-Q1 的 PWP0014L 封装与业内使用的其他 SO-14 封装的尺寸兼容，如图 7-3 和图 7-4 所示。

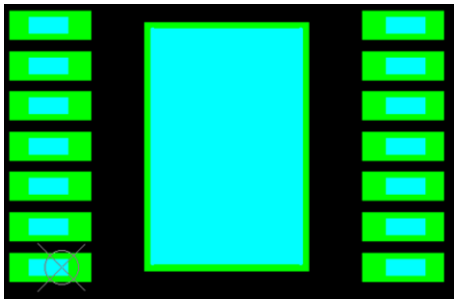


图 7-3. SO-14 PCB 焊盘上的 PWP0014L，浅蓝色：PWP0014L 引线，绿色：其他 SO-14 PCB 焊盘

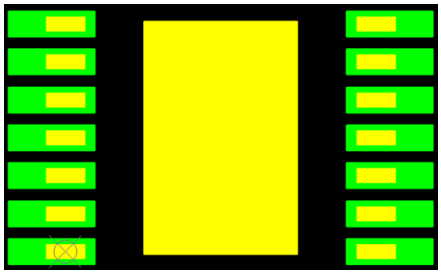


图 7-4. PWP0014L PCB 焊盘上的 SO-14，黄色：其他 SO-14 引线，绿色：TI PWP0014L PCB 焊盘

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2024) to Revision B (January 2025)	Page
• 添加了 AECQ100 合规性和功能安全特性的注释。	1
• EC 表中的 VDS_OL 最小限值和最大限值从之前的 2.9V/3.7V 更新成了 3V 和 3.6V。	6
• 添加了 ROL 与 VM 以及 IOL 与 VM 的典型运行图。	10

Changes from Revision * (November 2024) to Revision A (December 2024)	Page
• 将器件状态更新为量产数据。	1

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV81004QPWPRQ1	Active	Production	HTSSOP (PWP) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	81004Q1
DRV81004QPWPRQ1.A	Active	Production	HTSSOP (PWP) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	81004Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

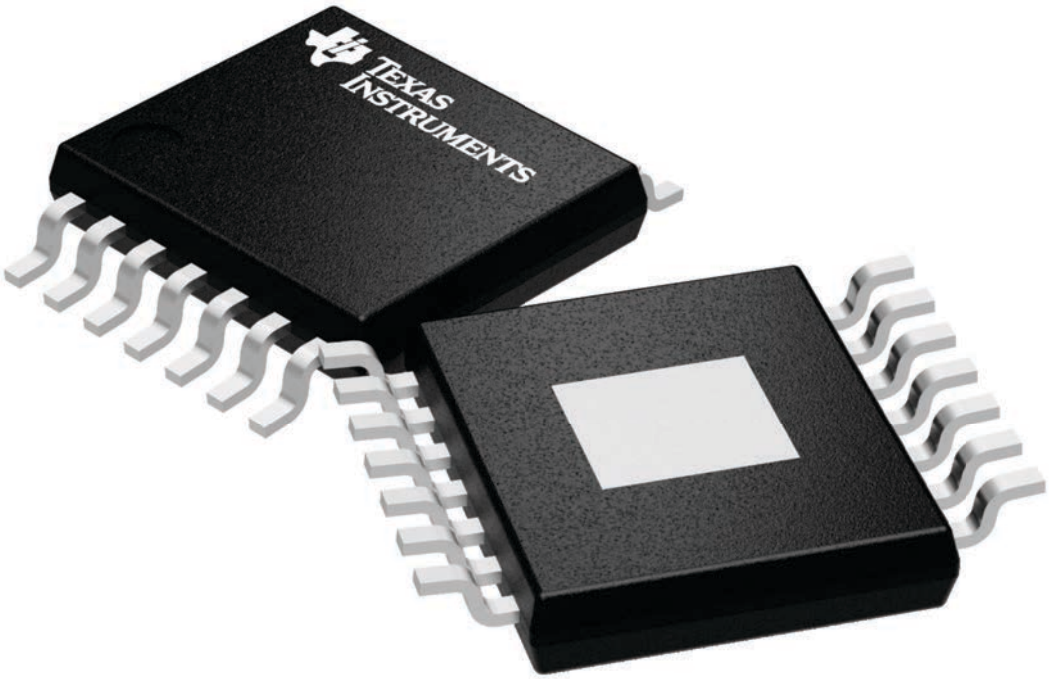
PWP 14

PowerPAD TSSOP - 1.2 mm max height

4.4 x 5.0, 0.65 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



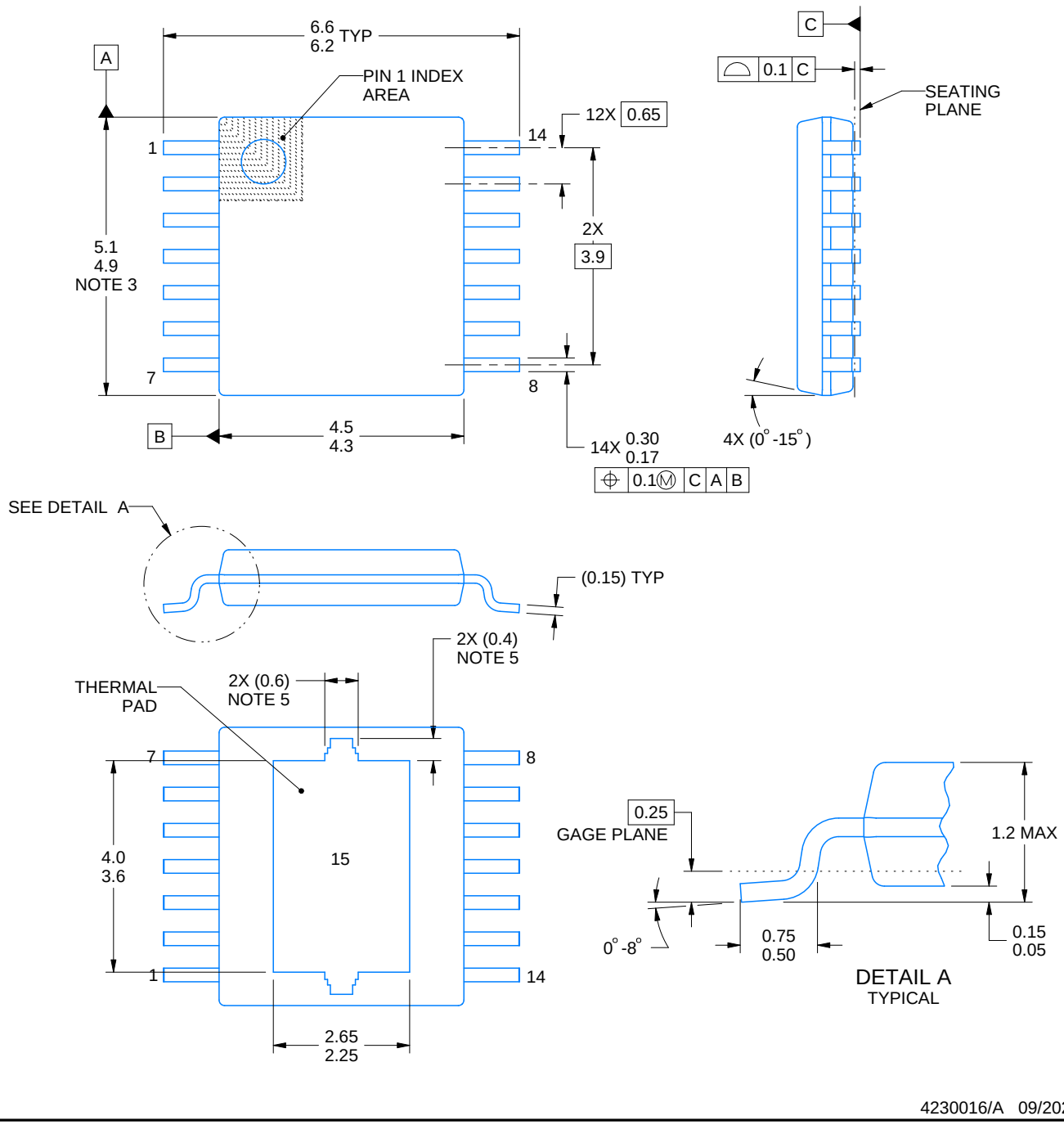
4224995/A

PACKAGE OUTLINE

PWP0014L

PowerPAD™ TSSOP - 1.2 mm max height

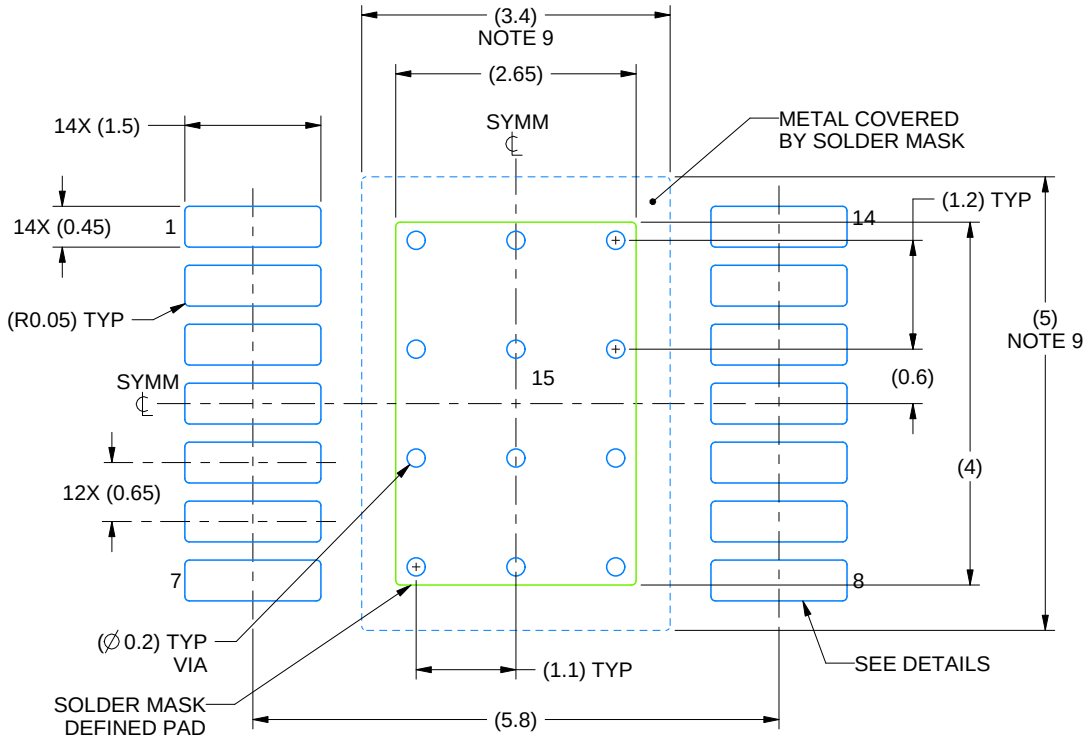
SMALL OUTLINE PACKAGE



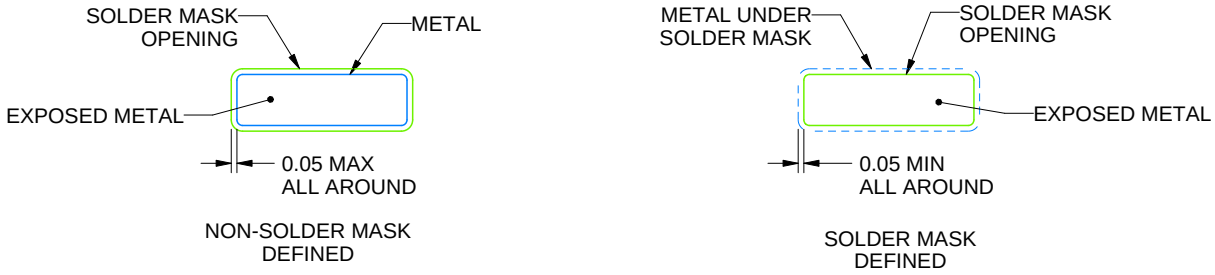
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

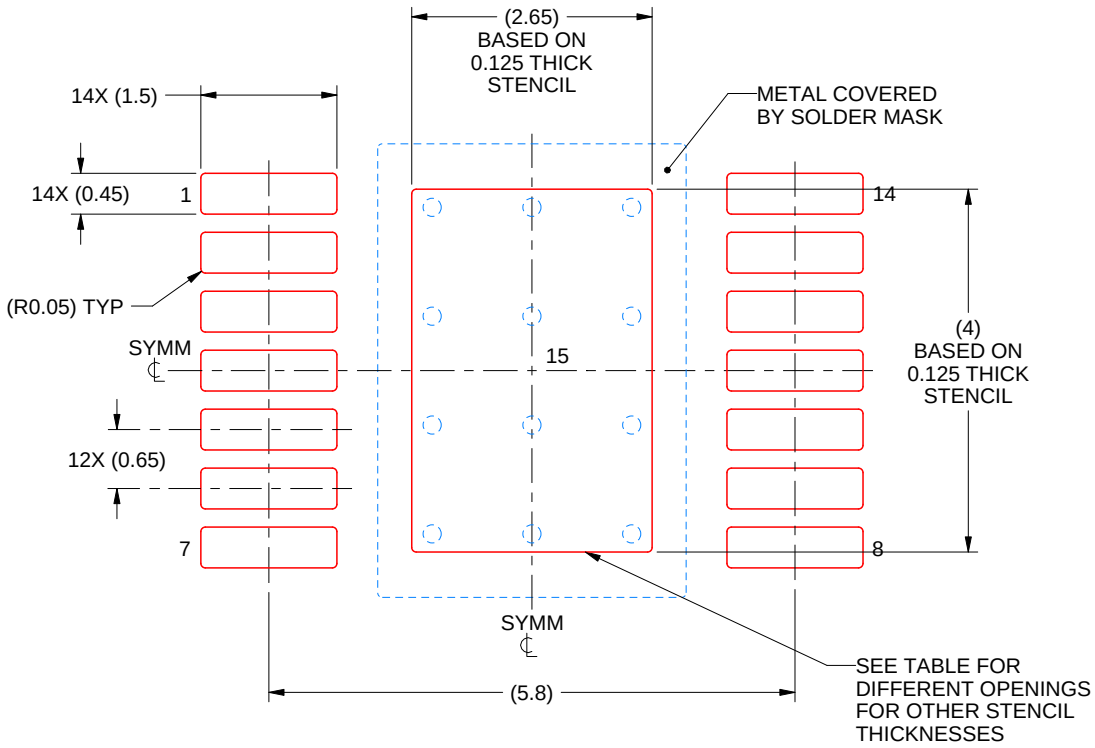


SOLDER MASK DETAILS

4230016/A 09/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.96 X 4.47
0.125	2.65 X 4.00 (SHOWN)
0.15	2.42 X 3.65
0.175	2.24 X 3.38

4230016/A 09/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月