DRV7308 三相 650V、5A、GaN 智能电源模块

1 特性

- 具有集成 650V 增强模式 GaNFET 的三相 PWM 电机驱动器
- 高达 450V 的工作电压
  - 650V 绝对最大电压
- 高输出电流能力：5A 峰值电流
- 低导通损耗：每个 GaN FET 具有低导通状态电阻：T_A = 25°C 时，$R_{DS(ON)}$ 为 205mΩ
- 低开关损耗：零反向恢复、低输出电容、压摆率控制
- 低失真：< 135ns 的超低传播延迟，< 200ns 的超低自适应死区时间
- 具有相位节点电压压摆率控制功能的集成式栅极驱动器
  - 5V/ns 至 40V/ns 压摆率选项
- 集成式快速自举 GaN 整流器
- 低侧 GaN FET 开源引脚，支持 1、2 或 3 分流器电流检测
- 支持高达 100kHz 硬开关
- 集成用于电流检测的放大器
- 支持 3.3V 和 5V 逻辑输入（高达 20V）
- BRAKE 引脚，可一起导通所有低侧 GaNFET
- 集成温度传感器
- 电机相位 (OUTx) 与相邻引脚的间隙大于 1.6mm。
- VM 和 GND 之间的间隙为 2mm
- 集成式保护功能
  - GVDD 和自举欠压锁定
  - 低侧 GaNFET 的过流保护
  - 过热保护
  - PWM 自适应死区时间插入
  - 对全部三个相位进行电流限制保护
  - 故障条件指示引脚 (nFAULT)

2 应用

- 冰箱和冷冻柜
- 电器、HVAC 泵和风扇
- 洗碗机
- 小型家用电器
- 家用空调
- 油烟机
- 无刷直流电机模块

3 说明

DRV7308 是一款三相智能电源模块 (IPM)，其中包含 205mΩ、650V 增强型氮化镓 (GaN)，用于驱动高达 450V 直流电源轨的三相 BLDC/PMSM 电机。这类应用包括 BLDC 电机的场定向控制 (FOC)、正弦电流控制和梯形电流控制（六步）。该器件有助于为采用 QFN 12mm x 12mm 封装、在 20kHz 开关频率下运行的三相调制 FOC 驱动型 250W 电机驱动应用实现 99% 以上的效率，无需散热器。该器件有助于实现超静音运行和超短的死区时间。使用具有自举电流限制功能的集成自举整流器，无需使用外部自举二极管。

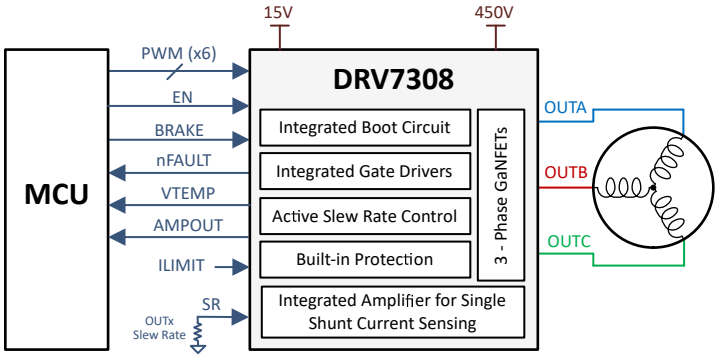
备注

为安全起见，TI 建议使用具有过压和过流保护功能的隔离式测试设备。TI 建议在操作器件时使用安全外壳。

封装信息

器件型号	封装 (1)	封装尺寸 (2)
DRV7308	REN（VQFN，65）	12.00mm x 12.00mm

(1) 如需更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 绝对最大额定值 5
6 ESD 等级 5
7 建议运行条件 5
8 热性能信息 6
9 电气特性 6
10 时序图 10
11 典型特性 10
12 详细说明 11
12.1 概述 11
12.2 功能方框图 12
12.3 特性说明 12
12.4 保护功能 15
13 应用和实施 18
13.1 应用信息 18
13.2 典型应用 18
14 布局 24
14.1 布局指南 24
14.2 布局示例 24
15 修订历史记录 24
16 器件和文档支持 26
16.1 文档支持 26
16.2 接收文档更新通知 26
16.3 支持资源 26
16.4 商标 26
16.5 静电放电警告 26
16.6 术语表 26
17 机械、封装和可订购信息 26
17.1 卷带包装信息 27

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

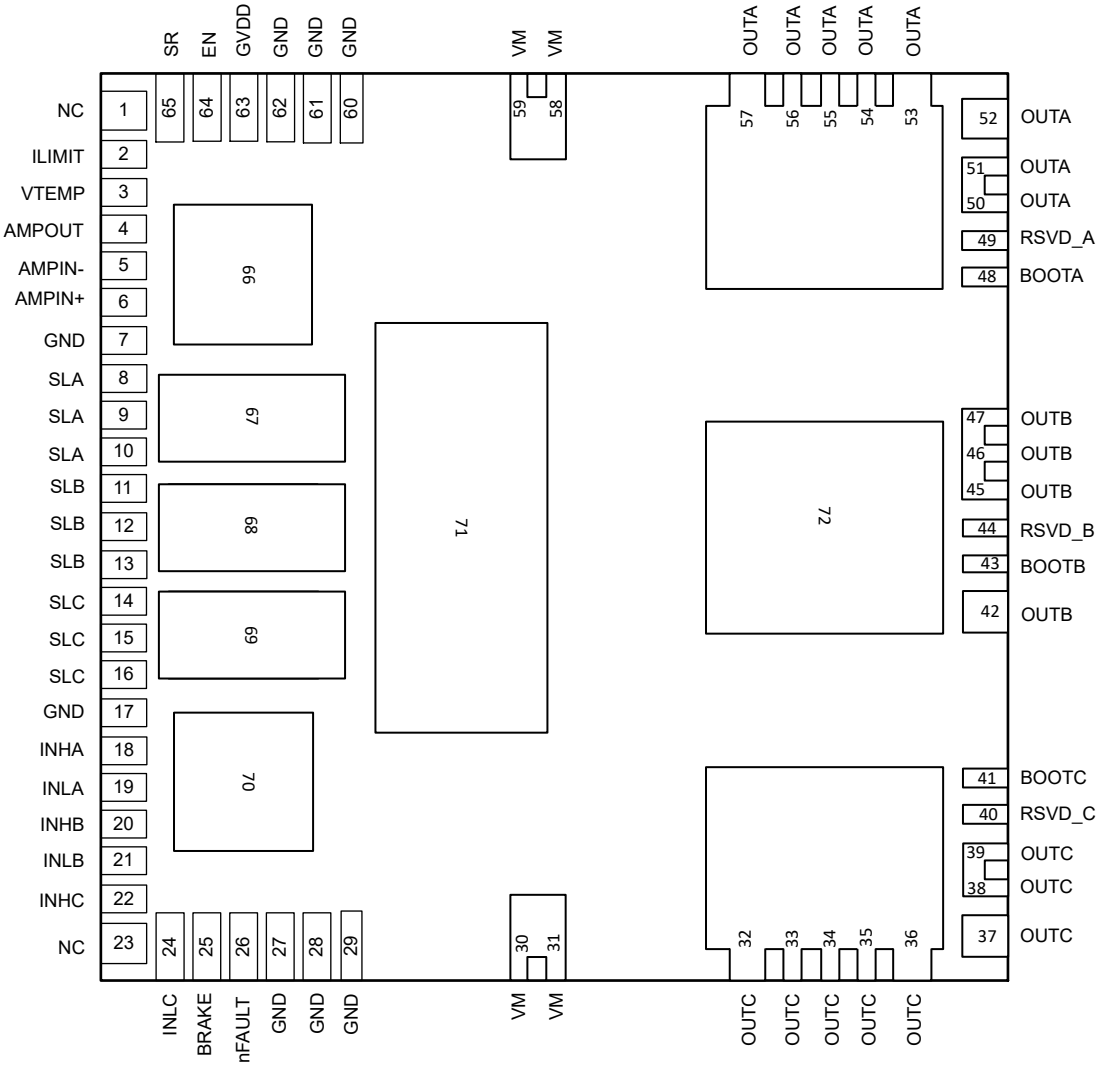


图 4-1. DRV7308 带有外露散热焊盘的 VQFN 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
AMPIN-	5	I	运算放大器的反相输入
AMPIN+	6	I	运算放大器的同相输入
AMPOUT	4	O	运算放大器的输出端子
BOOTA	48	P	A 相自举电源；必须在 BOOTA 和 OUTA 之间放置一个 GVDD 额定电容器。
BOOTB	43	P	B 相自举电源；必须在 BOOTB 和 OUTB 之间放置一个 GVDD 额定电容器。
BOOTC	41	P	C 相自举电源；必须在 BOOTC 和 OUTC 之间放置一个 GVDD 额定电容器。
BRAKE	25	I	电机制动信号。该引脚的逻辑高电平会导通所有低侧 GaNFET 并关断所有高侧 GaNFET
EN	64	I	驱动器使能引脚。当此引脚为逻辑低电平时，器件进入关断模式，关断所有 GaN FET。可以使用一个 20μs 至 40μs 的低电平脉冲来复位故障条件
nFAULT	26	O	故障指示引脚。故障状态下拉至逻辑低电平；开漏输出需要外部上拉电阻
ILIMIT	2	I	内部过流限制比较器的参考电压
INHA	18	I	OUTA 的高侧驱动器控制输入。该引脚控制高侧 GaNFET 的输出
INHB	20	I	OUTB 的高侧驱动器控制输入。该引脚控制高侧 GaNFET 的输出
INHC	22	I	OUTC 的高侧驱动器控制输入。该引脚控制高侧 GaNFET 的输出
INLA	19	I	OUTA 的低侧驱动器控制输入。该引脚控制低侧 GaNFET 的输出
INLB	21	I	OUTB 的低侧驱动器控制输入。该引脚控制低侧 GaNFET 的输出
INLC	24	I	OUTC 的低侧驱动器控制输入。该引脚控制低侧 GaNFET 的输出
NC	1、23		无连接，可连接至 GND
RSVD_A	49	I	保留的引脚。将该引脚连接到 OUTA
RSVD_B	44	I	保留的引脚。将该引脚连接到 OUTB
RSVD_C	40	I	保留的引脚。将该引脚连接到 OUTC
OUTA	50-57	P	半桥输出 A
OUTB	42、45-47、72	P	半桥输出 B
OUTC	32-39	P	半桥输出 C
GND	7、17、27、28、29、60、61、62、66、70、71	G	器件电源和信号接地。连接到系统地
SLA	8、9、10、67	P	A 相半桥低侧源
SLB	11、12、13、68	P	B 相半桥低侧源
SLC	14、15、16、69	P	C 相半桥低侧源
SR	65	I	OUTx 电压压摆率控制。在 SR 引脚与 GND 之间或 SR 引脚至 GVDD 连接一个电阻器来配置压摆率
GVDD	63	P	低压电源通过一个 1μF GVDD 额定陶瓷电容器和一个额定电压为 GVDD 的大容量电容器旁路至 GND
VM	30、31、58、59	P	电源。连接到电机电源电压；通过一个 0.1 μ F 电容器和一个额定电压为 VM 的大容量电容器旁路到 GND。引脚 30 和 31 在内部连接到引脚 58 和 59。
VTEMP	3	O	温度传感器输出

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

5 绝对最大额定值

在工作温度范围内（除非另有说明）(2)

	最小值	最大值	单位
漏源阻断电压（FET 关断）(V_{DS})		650(1)	V
VM 和 GND 之间施加的直流电压		450	V
在 TJ = 150°C 时的漏极直流电流 (I_{DC})		4	A
以 GND 为基准的相位节点引脚电压（FET 关断）(OUTA、OUTB、OUTC)，SL = GND	$-V_{SD}$	650	V
以 OUTx 为基准的 BOOTx 引脚电压（BOOTA、BOOTB、BOOTC）	-0.5	20	V
引脚电压 - GVDD 至 GND	-0.5	20	V
引脚电压 - INx、EN、BRAKE、nFAULT 至 GND	-0.5	20	V
引脚电压 - SLx 至 GND（直流）	-2.5	+2.5	V
引脚电压 - AMPIN+、AMPIN-、AMPOUT、ILIMIT、SR 至 GND	-0.5	V_{GVDD}+0.3	V
运算放大器输出电流 (AMPOUT)		20	mA
工作环境温度	-40	125	°C
工作结温 (T_J)	-40	150	°C
贮存温度 (T_{stg})	-55	150	°C

(1) 产品寿命取决于 V_{DS} 电压。
(2) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

7 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{VM}	直流电源电压	VM	0		450	V
V_{GVDD}	栅极驱动器电源电压	GVDD	10.8		18	V
f_{PWM}	PWM 频率	OUTA, OUTB, OUTC		20	100	kHz
V_{IN}	逻辑输入电压	INHx、INLx、EN、BRAKE	-0.1		20	V
V_{OD}	开漏上拉电压	nFAULT	-0.1		20	V
I_{OD}	开漏输出灌电流	nFAULT	0		5	mA
V_{SR}	压摆率引脚电压	SR			GVDD	V
V_{SLx}	SLx 引脚电压	SLA、SLB、SLC	-1		1	V
V_{AMPINx}	放大器输入引脚电压	AMPIN+、AMPIN-	-0.1		5	V
V_{ILIMIT}	过流保护基准	ILIMIT	0.2		2	V

Copyright © 2025 Texas Instruments Incorporated

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
T_{PWIN_ON}	最小输入脉冲宽度	INH、INL (1)	0.5			µs
T_A			-40		100	°C
T_J			-40		125	°C

(1) 如果输入脉冲宽度小于建议值，该器件可能不会对输入做出响应。

8 热性能信息

热指标(1)		器件 REN (VQFN) 40 引脚	单位
$R_{\theta JA}$	结至环境热阻	21.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	5.5	°C/W
$R_{\theta JB}$	结至电路板热阻	6.0	°C/W
Ψ_{JT}	结至顶部特征参数	4.0	°C/W
Ψ_{JB}	结至电路板特征参数	5.8	°C/W
$R_{\theta JC(bot)}$	每个 GaNFET 的结至外壳（底部）热阻	1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

9 电气特性

T_J = –40°C 至 150°C，V_{GVDD} = 15V，EN = 高电平（除非另有说明）。在 T_A = 25°C、V_{GVDD} = 15V 时适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
GaN 功率晶体管						
$R_{DS(ON)}$	GaN 晶体管导通电阻	V_{GVDD} = 15V、I_{OUTx} = 1A、T_J = 25°C、		205	320	mΩ
$R_{DS(ON)}$	GaN 晶体管导通电阻	V_{GVDD} = 15V，I_{OUTx} = 1A，T_J = 150°C，		370		mΩ
V_{SD}	第三象限模式源漏电压	INx = 0V，ISD = 0.1A，T_J = 25°C		1.5	2.5	V
V_{SD}	第三象限模式源漏电压	INx = 0V，ISD = 4A，T_J = 25°C		2.8		V
Q_{RR}	反向恢复电荷	V_R = 300V，I_{SD} = 4A，dI_{SD}/dt = 0.2 A/ns			0	nC
开关特性						
SR	相位引脚压摆率从低切换到高（从 20% 上升到 80%）	VVM = 300V，SR 设置 = 0		4		V/ns
SR	相位引脚压摆率从高切换到低（从 80% 下降到 20%）	VVM = 300V，SR 设置 = 0		4		V/ns
SR	相位引脚压摆率从低切换到高（从 20% 上升到 80%）	VVM = 300V，SR 设置 = 1		10		V/ns
SR	相位引脚压摆率从高切换到低（从 80% 下降到 20%）	VVM = 300V，SR 设置 = 1		10		V/ns
SR	相位引脚压摆率从低切换到高（从 20% 上升到 80%）	VVM = 300V，SR 设置 = 2		20		V/ns
SR	相位引脚压摆率从高切换到低（从 80% 下降到 20%）	VVM = 300V，SR 设置 = 2		20		V/ns
SR	相位引脚压摆率从低切换到高（从 20% 上升到 80%）	VVM = 300V，SR 设置 = 3		40		V/ns
SR	相位引脚压摆率从高切换到低（从 80% 下降到 20%）	VVM = 300V，SR 设置 = 3		40		V/ns

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 150°C，V_{GVDD} = 15V，EN = 高电平（除非另有说明）。在 T_A = 25°C、V_{GVDD} = 15V 时适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
$t_{pd,on}$	导通传播延迟	V_{INHx}、V_{INLx} = 逻辑低电平至高电平、V_{VM} = 300V、I_D = 4A、SR = 0			125	ns
$t_{delay,on}$	导通延时时间	V_{INHx}、V_{INLx} = 逻辑低电平至高电平，VVM = 300V，I_D = 4A，SR = 0		75		ns
$t_{pd,off}$	关断传播延迟	V_{INHx}、V_{INLx} = 逻辑高电平至低电平、V_{VM} = 300V、I_D = 4A、SR = 0			135	ns
$t_{delay,off}$	关闭延时时间	V_{INHx}、V_{INLx} = 逻辑高电平至低电平，V_{VM} = 300V，I_D = 4A，SR = 0		75		ns
t_{DEAD}	输出死区时间（高电平到低电平）	V_{VM} = 300V、I_{OUTx} = 4A、流出相位节点的电流 (OUTx) SR = 0、1		40		ns
t_{DEAD}	输出死区时间（高电平到低电平）	V_{VM} = 300V、I_{OUTx} = 4A、流入相位节点的电流 (OUTx)、SR = 0		100		ns
t_{DEAD}	输出死区时间（高电平到低电平）	V_{VM} = 300V、I_{OUTx} = 4A、流入相位节点的电流 (OUTx)、SR = 1 或 2 或 3		100		ns
t_{DEAD}	输出死区时间（低电平到高电平）	V_{VM} = 300V、I_{OUTx} = 4A、流入相位节点的电流 (OUTx)		40		ns
t_{start}	启动时间	V_{GVDD} > $V_{GVDD_UV_ON}$。EN = 低电平到高电平，INLx = 1，低侧 GaNFET 导通			2	ms
t_{off}	器件关断时间 - 进入睡眠模式	V_{GVDD} > $V_{GVDD_UV_ON}$。EN = 从高电平到低电平	40		80	us
t_{clr_flt}	使用 EN 清除任何锁存故障的时间	EN = 低脉冲宽度	15		40	us
t_{off}	器件关断时间 - 栅极驱动器关断	V_{GVDD} > $V_{GVDD_UV_ON}$。EN = 高电平至低电平，INLx = 1，低侧 GaNFET 关断		80		µs
GVDD 电源						
$I_{GVDD,Q}$	GVDD 工作电流，驱动器启用，无开关	EN =高电平、V_{VM} = 300V、INx = 0		2.3		mA
$I_{GVDD,3SW}$	GVDD 平均工作电流，驱动器启用，GaN 开关，OUTx 引脚上无负载	EN = 高电平，Fsw = 20kHz，50% 互补 PWM 时的 3 半桥开关，V_{VM} = 300V，VGVDD = 15V，SR = 0		3.7		mA
$V_{GVDD_UV_R}$	GVDD 欠压阈值 - 上升	GVDD 上升			10	V
$V_{GVDD_UV_F}$	GVDD 欠压阈值 - 下降。	GVDD 下降	9			V
$V_{GVDD_UV_HYS}$	GVDD 欠压检测磁滞	GVDD 上升至下降阈值		500		mV
t_{UVLO_GVDD}	GVDD 欠压抗尖峰脉冲时间				20	µs
自举电源						
R_{DS_BST}	自举整流器导通电阻	V_{GVDD} = 15V，V_{VM} = 300V			30	Ω
I_{LMT_BST}	自举整流器电流限制	EN = 高电平，V_{GVDD} = 15V，V_{VM} = 300V，INLx = 高电平，INHx = 低电平，V_{BOOTx} - V_{OUTx} = 12V	150		250	mA
I_{BST_PK}	自举整流器峰值瞬态电流	EN = 高电平，V_{GVDD} = 15V，V_{VM} = 300V，INLx = 高电平，INHx = 低电平，V_{BOOTx} - V_{OUTx} = 0V		350		mA
I_{BST_Q}	自举静态电流	EN =高电平、INHx =低电平、INLx =低电平、V_{GVDD} = 15V、V_{BOOTx} - V_{OUTx} = 12V		100	145	µA
I_{BST_Q}	自举静态电流	EN = 高电平、INHx = 高电平、INLx = 低电平、V_{GVDD} = 15V、V_{BOOTx} - V_{OUTx} = 12V		350		µA
V_{BST_UV}	自举电源欠压	BOOTx 上升			9	V
V_{BST_UV}	自举电源欠压	BOOTx 下降	8			V

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 150°C，V_{GVDD} = 15V，EN = 高电平（除非另有说明）。在 T_A = 25°C、V_{GVDD} = 15V 时适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
$V_{BST_UV_HYS}$	自举电源欠压迟滞			500		mV
t_{BST_UV}	自举电源欠压抗尖峰脉冲时间				20	µs
逻辑电平输入（EN、INHx、INLx、BRAKE）						
V_{IL}	输入逻辑低电平电压	INHx、INLx、BRAKE、EN			0.8	V
V_{IH}	输入逻辑高电平电压	INHx、INLx、BRAKE、EN	2.2			V
V_{HYS}	输入逻辑迟滞	INHx、INLx、BRAKE、EN	300	450	650	mV
I_{IL}	输入逻辑低电平电流（INHx、INLx、BRAKE、EN）	V_I = 0V	-1		1	µA
I_{IL}	输入逻辑低电平电流（BRAKE、EN）	V_I = 0V	-1		1	µA
R_{PD}	输入下拉电阻	INHx、INLx、EN	70	100	130	kΩ
R_{PD}	输入下拉电阻	BRAKE	15	20	25	kΩ
t_{deg}	输入逻辑抗尖峰脉冲时间	INHx、INLx	25		50	ns
t_{deg}	输入逻辑抗尖峰脉冲时间	EN		80		µs
t_{deg}	输入逻辑抗尖峰脉冲时间	BRAKE	1200		2000	ns
多电平输入 (SR)						
R_{L1}	SR 设置 = 0	连接至 GND	0		1	kΩ
R_{L2}	SR 设置 = 1	连接至 GVDD	0		1	kΩ
R_{L3}	SR 设置 = 2	R 连接至 GND（R = 5kΩ 至 15kΩ）	5		15	kΩ
R_{L4}	SR 设置 = 3	R 连接至 GND（R = 40kΩ 至 100kΩ）	40		100	kΩ
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	I_{OD} = 5mA			0.4	V
I_{OH}	输出逻辑高电平电流	V_{OD} = 5V	-1		1	µA
C_{OD}	输出电容				30	pF
GaN 前置驱动器保护						
I_{OCP_GaN}	低侧 GaNFET 过流检测阈值	V_{GVDD} = 15V，V_{VM} = 300V，T_J = 25ºC	7.5		24	A
I_{OCP_GaN}	低侧 GaNFET 过流检测阈值	V_{GVDD} = 15V，V_{VM} = 300V，T_J = 125ºC	5			A
$t_{OCP_GaN_BT}$	消隐时间（包括抗尖峰脉冲）	V_{GVDD} = 15V，V_{VM} = 300V		150		ns
$t_{OCP_GaN_PD}$	（FET 关断的）传播延迟	V_{GVDD} = 15V，V_{VM} = 300V		50		ns
T_{SD_RISE}	热关断上升	芯片温度 (T_J)	145	165	185	ºC
T_{SD_FALL}	热关断下降	芯片温度 (T_J)	125	145	165	ºC
T_{SD_HYST}	热关断迟滞	芯片温度 (T_J)	13	20		ºC
电流限制比较器 (ILIMIT)						
I_b	输入偏置电流 (ILIMIT)	V_{ILIMIT} = 0.5V			1	µA
V_{off}	ILIMIT 比较器输入电压偏移	V_{ILIMIT} = 1.0V		±2.5		mV
V_{ILIMIT_DIS}	禁用 ILIMIT OCP 的最小 ILIMIT 电压		2.2		2.6	V
V_{ILIMIT}	ILIMIT 上的操作电压范围				2	V
t_{blank}	过电流检测在所有 SLx 输入端消隐，从任何 INHx/INLx 导通/关断		400		620	ns
$t_{deglitch}$	过流检测抗尖峰脉冲时间		190		330	ns
t_{filter}	ILIMIT 比较器输入 RC 滤波器时间 (SLx)	V_{SLx} = 0V 至 1V 阶跃、VILIMIT = 0.63V	250		450	ns
t_{filter}	ILIMIT 基准电压输入 RC 滤波时间 (ILIMIT)	V_{ILIMIT} = 1V 至 0V 阶跃，V_{SLx}= 0.37V	600	1000		ns
t_{pd_OFF}	从 ILIMIT 过流检测到所有 GaNFET 关断的传播延迟时间	V_{ILIMIT} = 0.63V，V_{SLx} = 0V 至 1V 阶跃，INx = 恒定			1.2	µs

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 150°C，V_{GVDD} = 15V，EN = 高电平（除非另有说明）。在 T_A = 25°C、V_{GVDD} = 15V 时适用典型限值

参数		测试条件	最小值	典型值	最大值	单位
t_{pd_FAULT}	从 ILIMIT 过流检测到 nFAULT 引脚报告的传播延迟时间	V_{ILIMIT} = 0.63V，V_{SLx} = 0V 至 1V 阶跃，INx =恒定			1	µs
运算放大器						
V_{LINEAR}	输出电压摆幅	R_L = 10k 至 GND	0.02		4.9	V
GBW	增益带宽积	RL = 10k，G = +1，		11		MHz
V_{SR_opamp}	输出电压压摆率	RL = 10k，G=+1，		26		V/µs
t_{set}	精度达 ±1% 的稳定时间	2V 阶跃，G = +1，CL = 130pF，RL = 10k		0.4		µs
A_{OL}	开环电压增益	0.04V < VAMPOUT < 4.8V、RL = 10kΩ 至 GND		106		dB
Φ_m	相位裕度	G =+1、RL = 10k		60		°
V_{COM}	共模输入范围		0		5	V
V_{OFF}	输入失调电压误差	TA = -40°C 至 125°C		±1		mV
V_{DRIFT}	漂移失调电压	TA = –40°C 至 125°C		±2		µV/°C
I_{bias}	输入偏置电流	V_{AMPIN-} = V_{AMPIN+} = 2.5V		±100		nA
I_{bias_off}	输入偏置失调电流	V_{AMPIN-} = V_{AMPIN+} = 2.5V		±10		nA
CMRR	共模抑制比	– 0.1V < VCM < 5V，TA = –40°C 至 125°C		96		dB
I_{SC_opamp}	短路电流			±20		mA
Z_o	开环输出阻抗	f = 5MHz		250		Ω
C_L	容性负载驱动				130	pF
温度传感器						
V_T	温度检测元件输出 (VTEMP) 电压	TA = 25°C		1.98		V
R_T	VTEMP 引脚上的最小负载电阻	V_T 的测试条件	90			kΩ
C_T	VTEMP 引脚上的最大负载电容	V_T 的测试条件			130	pF

Copyright © 2025 Texas Instruments Incorporated

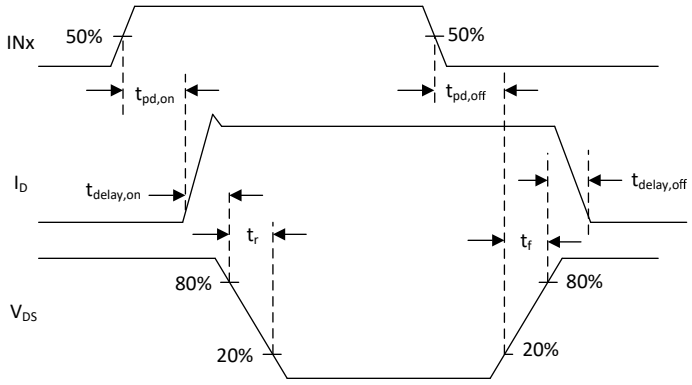


图 10-1. DRV7308 导通和关断开关特性

11 典型特性

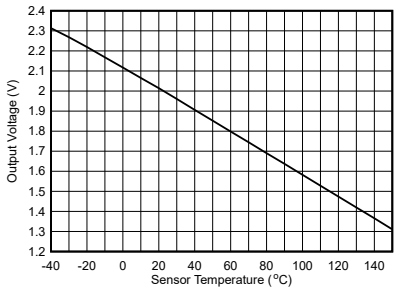


图 11-1. 不同传感器温度下的温度传感器输出

Copyright © 2025 Texas Instruments Incorporated

12 详细说明

12.1 概述

DRV7308 是一款三相 IPM，采用三个集成式半 H 桥 205mΩ、650V 增强型氮化镓 (GaN)，用于驱动高达 450V 直流电源轨的三相 BLDC/PMSM 电机。这类器件应用包括 BLDC 电机的场定向控制 (FOC)、正弦电流控制和梯形电流控制。该器件为所有 GaNFET 集成了前置驱动器，并对相位节点电压进行了压摆率控制。低 R_{DS_ON}、压摆率控制、零反向恢复和低输出电容有助于在三相调制、FOC 驱动、250W 电机驱动应用中实现 99% 以上的效率，而无需散热器。

该器件集成了一套保护功能，包括过流限制、过热保护、针对低侧 GaNFET 的过流保护、针对 GVDD 和自举电源的欠压保护，以及用于避免击穿的自适应死区时间插入。

该器件集成了自举整流器，该整流器集成了 GaNFET 且具有瞬态电流限制，无需使用外部自举二极管。DRV7308 提供 GaN FET 的全部三个低侧源极引脚，用于支持 3 分流器、2 分流器或 1 分流器电流检测。该器件集成了一个 11MHz、15V/μs 运算放大器，用于实现 BLDC 电机 FOC 和梯形控制中的单分流器电流检测。

低死区时间有助于在 BLDC/PMSM 电机中实现超静音运行。低传播延迟有助于实现更低的失真和准确的平均电流检测。

DRV7308 采用 VQFN 12mm x 12mm 封装。

Copyright © 2025 Texas Instruments Incorporated

12.2 功能方框图

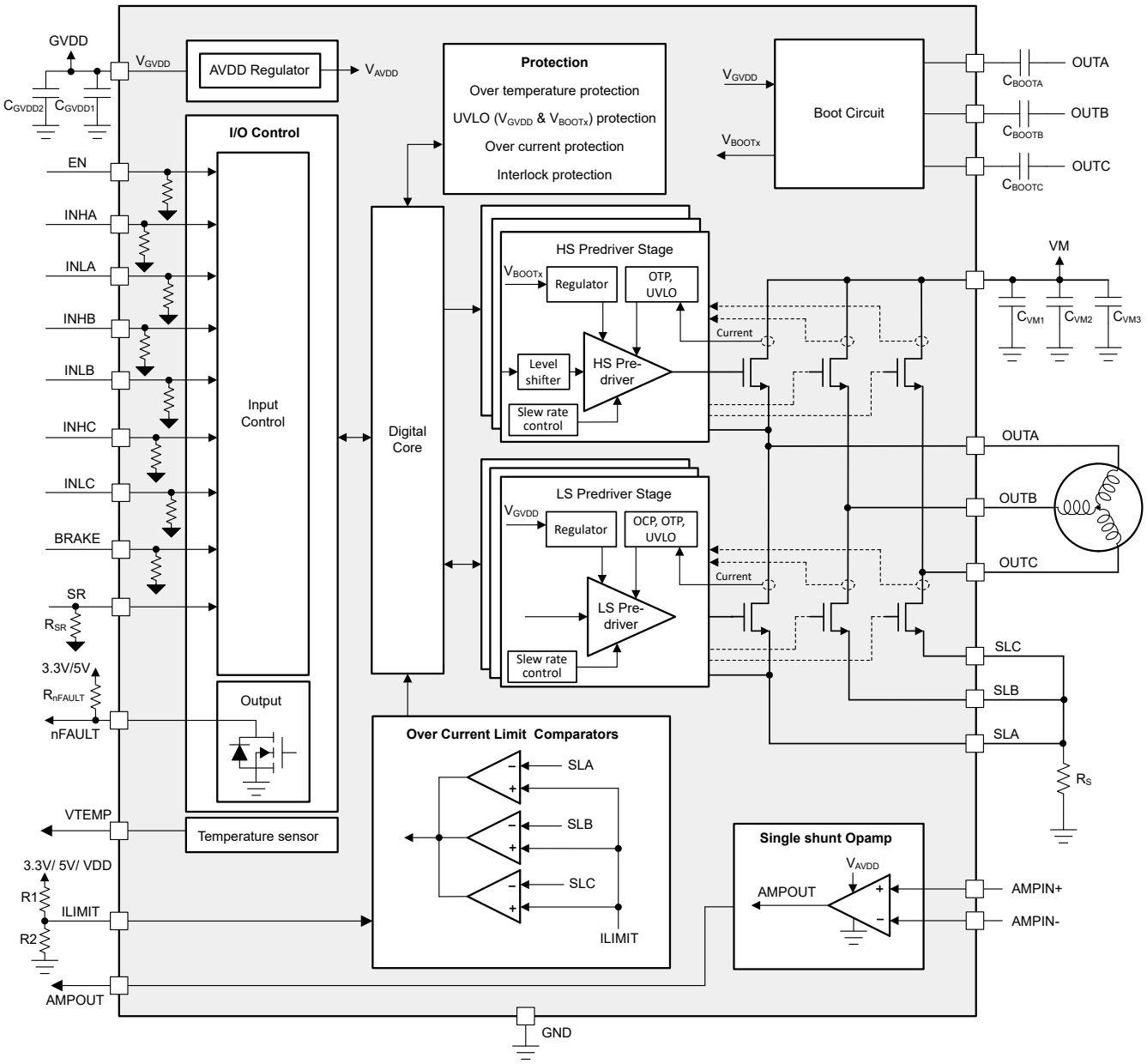


图 12-1. DRV7308 方框图

12.3 特性说明

12.3.1 输出级

DRV7308 器件包含以三相桥接配置连接的集成式 205mΩ（一个 GaN FET 导通状态电阻）增强模式 GaN (eGaN) FET。该器件使用集成自举控制器和使用 GVDD 引脚上的低压外部电源的整流器，为低侧和高侧 GaN FET 集成了一个前置驱动器。正确使用外部自举电容，可以在一定时间内支持实现 100% 占空比。

12.3.2 输入控制逻辑

DRV7308 根据 INHx 和 INLx 引脚上的 PWM 输入信号来控制 GaN FET 的状态。该器件使用 BRAKE 信号对电机驱动器执行制动操作。BRAKE 信号上的逻辑高电平会取代 INHx 和 INLx 引脚上的电平，并导通所有低侧 GaN 晶

Copyright © 2025 Texas Instruments Incorporated

体管。器件进入关断模式（所有栅极驱动器和 GaN FET 均处于关断状态），并在 EN 引脚上出现逻辑低电平时忽略 INHx、INLx 和 BRAKE 引脚的状态。EN 引脚上的 20 µs 至 40 µs 逻辑低电平脉冲将器件从 OCP 和 OTP 故障中复位。表 12-1 展示了输入控制逻辑的真值表。

表 12-1. 输入控制逻辑

EN	BRAKE	INHx	INLx	高侧 GaN FET	低侧 GaN FET	说明
0	X	X	X	关断	关断	器件处于关断状态且所有输出均处于高阻态
1	1	X	X	关断	导通	BRAKE。所有低侧 GaN FET 均导通，所有高侧 GaN FET 均关断
1	0	1	1	关断	关断	OUTx 处于高阻态
1	0	0	0	关断	关断	OUTx 处于高阻态
1	0	1	0	导通	关断	OUTx 连接至 VM
1	0	0	1	关断	导通	OUTx 连接至 SLx 节点

12.3.3 使能 (EN) 引脚功能

当 EN 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，所有 GaNFET 均关断 – GaN 前置驱动器、集成运算放大器、温度传感器、GaN OCP、数字内核 LDO 和振荡器均关断。必须在 EN 引脚触发下降沿之后再过去 t_{off} 时间后，器件才能进入睡眠模式。如果 EN 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{start} 时间之后，器件才准备好接受输入。

备注

在器件通过 EN 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器被启用或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。

12.3.4 温度传感器输出 (VTEMP)

DRV7308 包含一个用于检测器件温度的温度传感器。温度传感器的输出是随温度变化的模拟电压。

12.3.5 制动功能

通过 BRAKE 引脚，可以导通所有低侧 GaNFET，而不管 INHx 和 INLx 引脚的当前状态如何。BRAKE 引脚具有内部下拉电阻。如果未使用，请在外部将 BRAKE 引脚连接到 GND。BRAKE 引脚上的逻辑高电平通过导通所有低侧 GaNFET 来将器件置于制动状态。

备注

在应用 BRAKE 高电平命令时要小心，因为这会导致电机反电动势驱动的电流非常高。在执行 BRAKE 操作期间，通过 GaNFET 的最大电流值必须在 GaNFET 电流和结温的工作限制范围内。

12.3.6 压摆率控制 (SR)

DRV7308 可以通过 SR 引脚的配置来有选择地控制 OUTx 引脚上的电压上升和下降的压摆率。用户可以通过配置 SR 引脚来设置 5V/ns、10V/ns、20V/ns 或 40V/ns 的压摆率。通过调整 GaNFET 的栅极电流来控制压摆率。

Copyright © 2025 Texas Instruments Incorporated

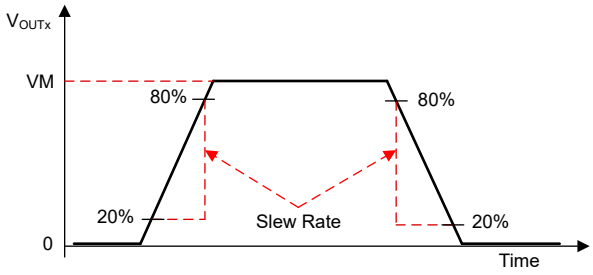


图 12-2. DRV7308 压摆率控制

备注

在 20V/ns 和 40V/ns 的更高压摆率下，TI 建议在分流电阻器之间添加一个具有 50ns RC 时间常数的电容器。

12.3.7 死区时间

该器件针对 GaNFET 的任何跨导提供全面保护。在半桥配置中，通过插入死区时间 (t_{DEAD}) 来控制高侧和低侧 GaNFET 的运行，从而避免任何击穿电流。使用自适应死区时间电路来实施此过程，该电路检测低侧 GaNFET 的栅源电压 (VGS) 和同一半桥的相位节点 (OUTx) 电压。

12.3.8 电流限制功能 (ILIMIT)

DRV7308 包括一项电流限制功能，可监控 SLx 电压。DRV7308 有三个集成比较器，各个比较器分别监控 SLA、SLB 和 SLC 引脚的电压。所有三个比较器的基准电压都通过 ILIMIT 引脚从外部馈送。ILIMIT 引脚上的电压低于 2V 时会启用电流限制电路，并且当 SLx 电压超过 ILIMIT 引脚电压时，该器件会关断所有 GaNFET，关断时长为 t_{FCLR}。根据输入控制信号的状态，在 t_{F_CLR} 时间过后 GaNFET 将再次导通。可以通过将 ILIMIT 引脚电压上拉至高于 V_{ILIMIT_DIS} 来禁用 ILIMIT 功能。

过流比较器在 INHx 和 INLx 的每个边沿上都有一个消隐时间 t_{blank}。当比较器输出从低电平切换到高电平时，比较器还有一个抗尖峰脉冲时间 $t_{deglitch}$。

备注

TI 建议 ILIMIT 电压大于 0.2V，以便消除因噪声引起的误跳变。遵照系统级设计注意事项，在 ILIMIT 上选择合适的电压来消除任何噪声影响，并在 SLx 引脚相应地选择分流电阻值。

12.3.9 引脚图

本节介绍所有数字输入和输出引脚的 I/O 结构。

12.3.9.1 四电平输入引脚

图 12-3 展示了四电平 SR 引脚的结构。

STATE	STATUS
V_{L0}	Tied to GND
V_{L1}	Tied to GVDD
V_{L2}	Tied to GND using 5 kΩ to 15 kΩ
V_{L3}	Tied to GND using 40 kΩ to 100 kΩ

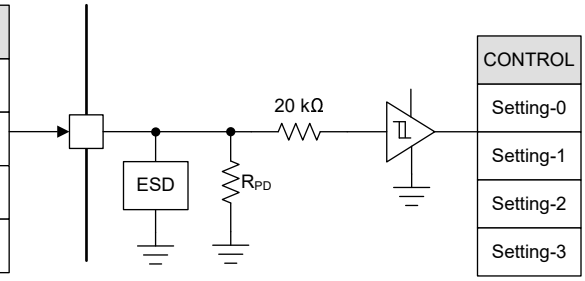


图 12-3. 四电平输入引脚

Copyright © 2025 Texas Instruments Incorporated

12.3.9.2 开漏引脚

图 12-4 展示了开漏模式下开漏输出引脚 nFAULT 的结构。开漏输出需要外部上拉电阻器正常运行。

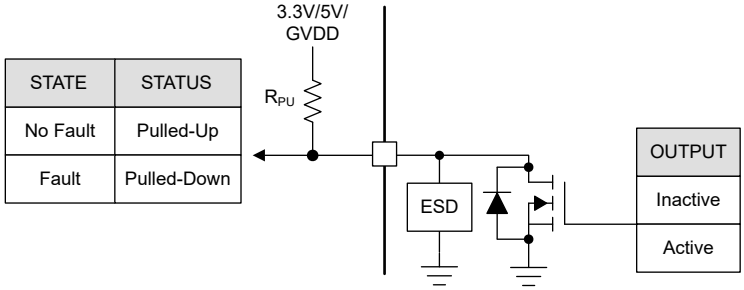


图 12-4. 开漏引脚结构

12.3.9.3 逻辑电平输入引脚（内部下拉）

图 12-5 展示了逻辑电平引脚 EN、INHx、INLx、ILIMIT、BRAKE 的输入结构。输入可以由电压或外部电阻器驱动。

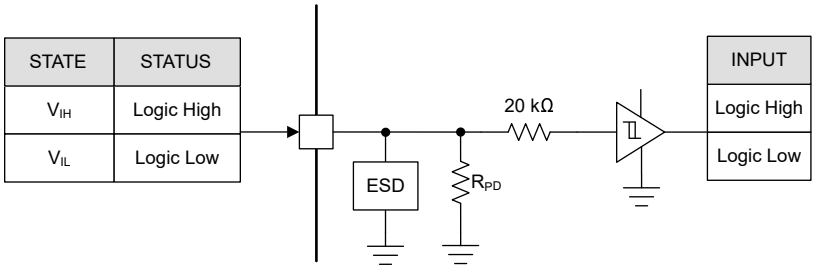


图 12-5. 逻辑电平输入引脚结构

12.4 保护功能

DRV7308 集成了 GaN FET 过流保护 (GaN_OCP)、过热关断 (OTSD)、GVDD 和自举电源欠压保护（GVDD_UVLO 和 VBOOT_UVLO）以及电流限制 (ILIMIT)。表 12-2 总结了各种故障详细信息。

表 12-2. 故障操作和响应

故障	条件	报告	GaN 桥	恢复
GaN 过流保护 (GaN_OCP)(1)	低侧 GaNFET 电流 > I_{OCP_GaN}	nFAULT	所有 GaN 前置驱动器关断，从而出现高阻态（全部三个相位）	锁存。EN 引脚上的 20 µs 至 40 µs 开关脉冲或 GVDD 电源上电下电
SLx 过流限制 (ILIMIT)	$V_{SLx} > V_{ILIMIT}$	nFAULT	所有 GaN 前置驱动器关断，从而出现高阻态（全部三个相位）	重试(2)。在故障清除时间 > tF_CLR 后
GVDD 欠压	$V_{GVDD} < V_{GVDD_UV}$	nFAULT	所有 GaN 前置驱动器关断，从而出现高阻态（全部三个相位）	自动：$V_{GVDD} > V_{GVDD_UVLO}$
BOOT 电源欠压（BOOTx 和 OUTx 引脚之间的电压）	$V_{BOOTx} < V_{BST_UV}$	-	受影响的高侧 GaN 前置驱动器关断。所有其他 GaNFET 继续运行。	自动：$V_{BOOTx} > V_{BST_UV}$
热关断 (OTSD)	$T_J > T_{SD}$，适用于任何低侧 GaNFET	nFAULT	所有 GaN 前置驱动器关断，从而出现高阻态（全部三个相位）	自动 $T_J < T_{SD}$
	$T_J > T_{SD}$，适用于任何高侧 GaNFET			锁存。EN 引脚上的 20 µs 至 40 µs 开关脉冲或 GVDD 电源上电下电

(1) 仅对低侧 GaNFET 进行过流检测。
(2) PWM 输入（INHx、INLx）必须在 nFAULT 出现下降沿之前为低电平。

Copyright © 2025 Texas Instruments Incorporated

备注

GaN 过流保护（GaN OCP）适用于低侧 GaNFET。

警告

如果在 nFAULT 出现下降沿之前 PWM 输入（INHx、INLx）为低电平，则 SL 过流限制 (ILIMIT) 的恢复条件有效。

12.4.1 GVDD 欠压锁定

在任何时候，如果 GVDD 引脚上的电压降至 V_{GVDD_UV} 阈值以下，可通过关闭 GaNFET 前置驱动器来关断所有集成式 GaNFET。-GVDD_UV 条件清除后，即可重新开始正常运行。通过将 nFAULT 引脚驱动至低电平来报告 GVDD_UV。

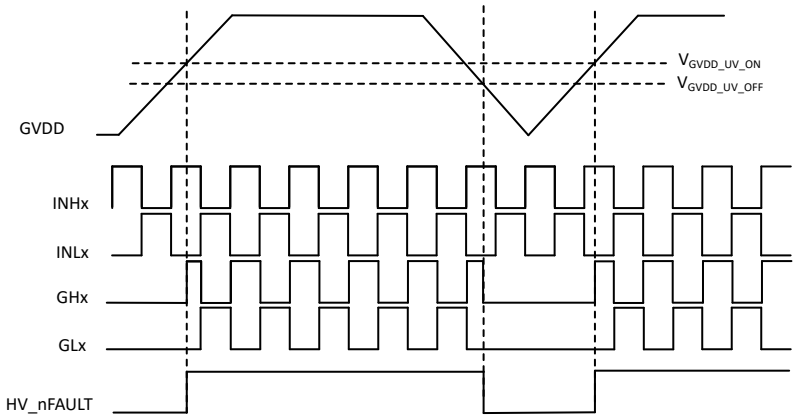


图 12-6. GVDD 欠压锁定

12.4.2 自举欠压锁定

在任何时候，如果自举电容器（BOOTx 至 OUTx 电压）引脚上的电压降至 V_{BST_UV} 阈值以下，可通过关闭高侧前置驱动器来关断相应的高侧 GaNFET。所有其他 GaNFET 继续按照 INx 引脚的指令运行。BST_UV 条件清除后，在 INHx 脉冲的下一个上升沿再次开始正常运行。nFAULT 引脚上不会报告 BOOTx 欠压。

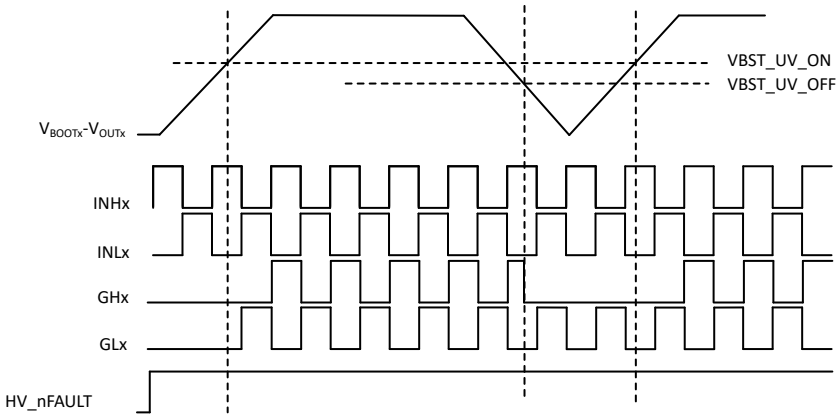


图 12-7. 自举欠压锁定

12.4.3 电流限制保护

DRV7308 集成了三个比较器来保护器件，可在过载情况下保护器件和外部电机负载。DRV7308 有三个集成比较器，各个比较器分别监控 SLA、SLB 和 SLC 引脚的电压。ILIMIT 引脚上的电压低于 2V 时会启用电流限制电路，

Copyright © 2025 Texas Instruments Incorporated

并且当 SLx 电压超过 ILIMIT 引脚电压时，该器件会关断所有 GaNFET，关断时长为 t_{F_CLR}。根据输入控制信号的状态，在 t_{F_CLR} 时间过后 GaNFET 将再次导通。通过将 nFAULT 引脚驱动至低电平来报告电流限制。

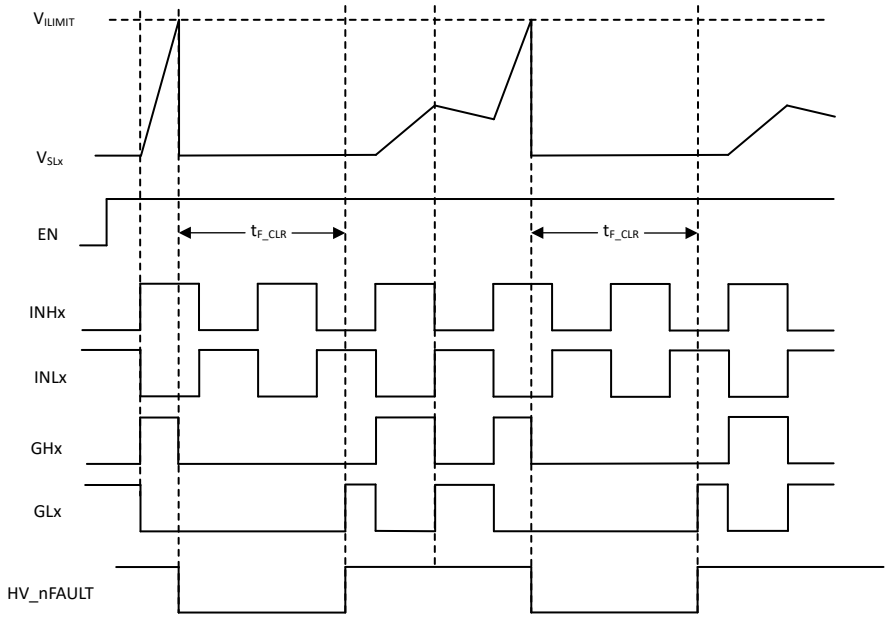


图 12-8. 电流限值运行

12.4.4 GaNFET 过流保护

DRV7308 通过监控 GaNFET 的 VDS，为每个和低侧 GaNFET 集成了过流保护。在任何时候，如果 GaNFET 电流超过 I_{OCP_GaN}，则通过关闭 GaNFET 前置驱动器，可关闭所有集成 GaNFET 并锁存，直至通过 EN 引脚上的 20 µs 至 40 µs 开关脉冲或通过 GVDD 上电下电来清除。通过将 nFAULT 引脚驱动至低电平可报告过流事件。

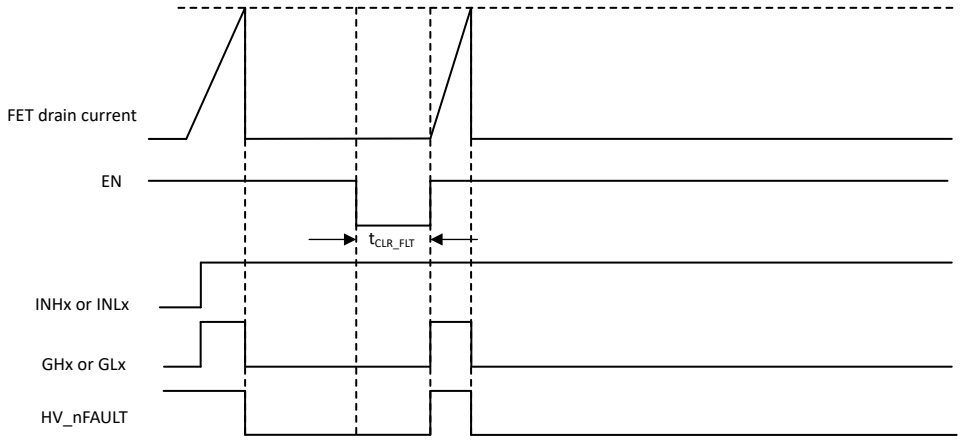


图 12-9. GaNFET 过流保护

12.4.5 热关断 (OTS)

如果 GaNFET 附近的芯片温度超过热关断限值 (T_{OTSD}) 的触发点，则会禁用所有 GaNFET 并将 nFAULT 引脚驱动至低电平。如果因高侧 GaNFET 温度上升而检测到 OTSD 事件，那么当清除过热条件并通过 EN 引脚上的 20 µs 至 40 µs 开关脉冲或通过 GVDD 电源上电下电来清除故障后，器件将再次开始正常运行（驱动器运行且释放 nFAULT 引脚）。如果因低侧 GaNFET 温度上升而检测到 OTSD 事件，则会在过热条件清除后重新开始正常运行。

Copyright © 2025 Texas Instruments Incorporated

13 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

13.1 应用信息

DRV7308 主要用于三相无刷直流电机控制应用。设计过程重点介绍了如何使用和配置 DRV7308 器件。

13.2 典型应用

13.2.1 应用

图 13-1 展示了 DRV7308 的典型三相电机驱动应用图。

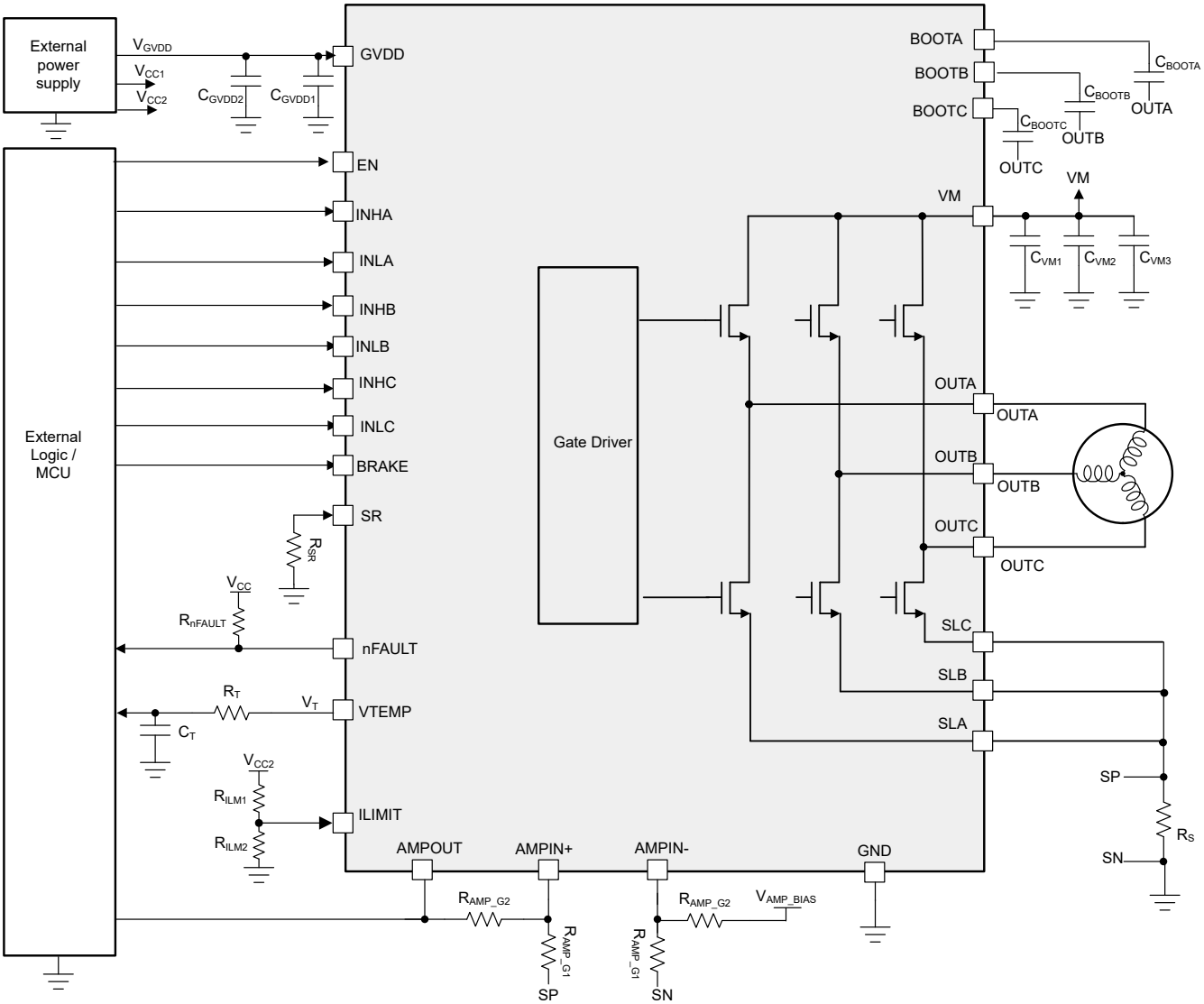


图 13-1. DRV7308 典型应用原理图

Copyright © 2025 Texas Instruments Incorporated

13.2.1.1 应用信息

表 13-1 列出了驱动器的外部元件的建议值。

表 13-1. DRV7308 外部元件

元件	PIN1	PIN2	推荐
C_{VM1}	VM	GND	X5R 或 X7R，0.1μF，VM 额定电容器
C_{VM2}	VM	GND	X5R 或 X7R，0.1μF，VM 额定电容器（可选）
C_{VM3}	VM	GND	≥ 10μF，VM 额定电容器
C_{GVDD1}	GVDD	GND	X5R 或 X7R，0.1μF，GVDD 额定电容器
C_{GVDD2}	GVDD	GND	≥ 10μF，GVDD 额定电容器
C_{BOOTA}	BOOTA	OUTA	X5R 或 X7R，1μF 至 220μF，GVDD 额定电容器
C_{BOOTB}	BOOTB	OUTB	X5R 或 X7R，1μF 至 220μF，GVDD 额定电容器
C_{BOOTC}	BOOTC	OUTC	X5R 或 X7R，1μF 至 220μF，GVDD 额定电容器
R_{SR}	SR	GND	可确定压摆率设置的电阻器
R_{nFAULT}	nFAULT	3.3V/5.5V/GVDD	5.1kΩ 上拉电阻器
R_{ILM1}	ILIMIT	3.3V/5.5V/GVDD	基于所需的 ILIMIT 阈值
R_{ILM2}	ILIMIT	GND	基于所需的 ILIMIT 阈值
R_{VTEMP}	VTEMP	系统	可选。VTEMP 输出滤波电阻器。100Ω，取决于应用。
C_{VTEMP}	VTEMP	GND	可选。VTEMP 输出滤波电容器 < 130pF。
R_{AMP_G2}	AMPOUT	AMPIN+	放大器增益电阻器 2。取决于应用。
R_{AMP_G1}	AMPIN+	V_{AMP_REF}	放大器增益电阻器 1。取决于应用。
R_S	SLx (SP)	GND(SN)	低侧 Rshunt 电阻器，用于测量电机相位电流 (I_{LS_PHASE})。预计电流检测输出电压 = R_S x I_{LS_PHASE} x R_{AMP_G2}/R_{AMP_G1} + V_{AMP_REF}
V_{CC1}	系统	GND	系统 I/O 参考电压。3.3V、5V 或 GVDD
V_{CC2}	系统	GND	系统 I/O 参考电压。3.3V、5V。仅当 VCC1 高于 5V 时、才需要将 VCC2 与 VCC1 分离。
V_{AMP_bias}	R_{AMP_G2}	系统	可选。系统电流检测测量偏置电压

备注

即使未使用，TI 也建议在 nFAULT 引脚上连接上拉电阻。

13.2.2 应用曲线

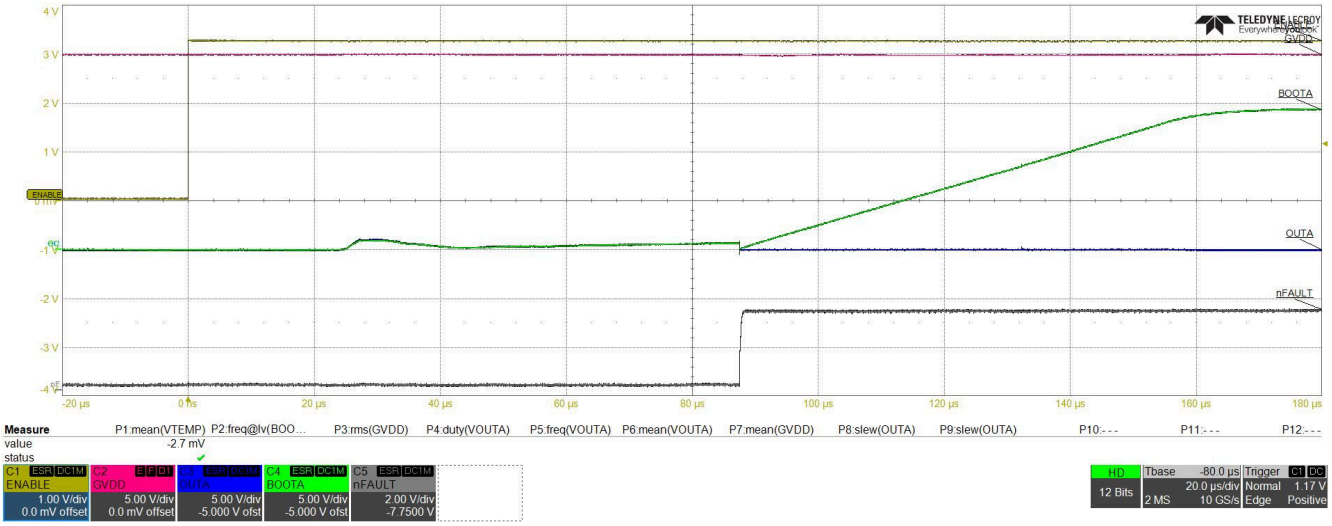


图 13-2. 器件上电（EN 引脚从低电平变为高电平）

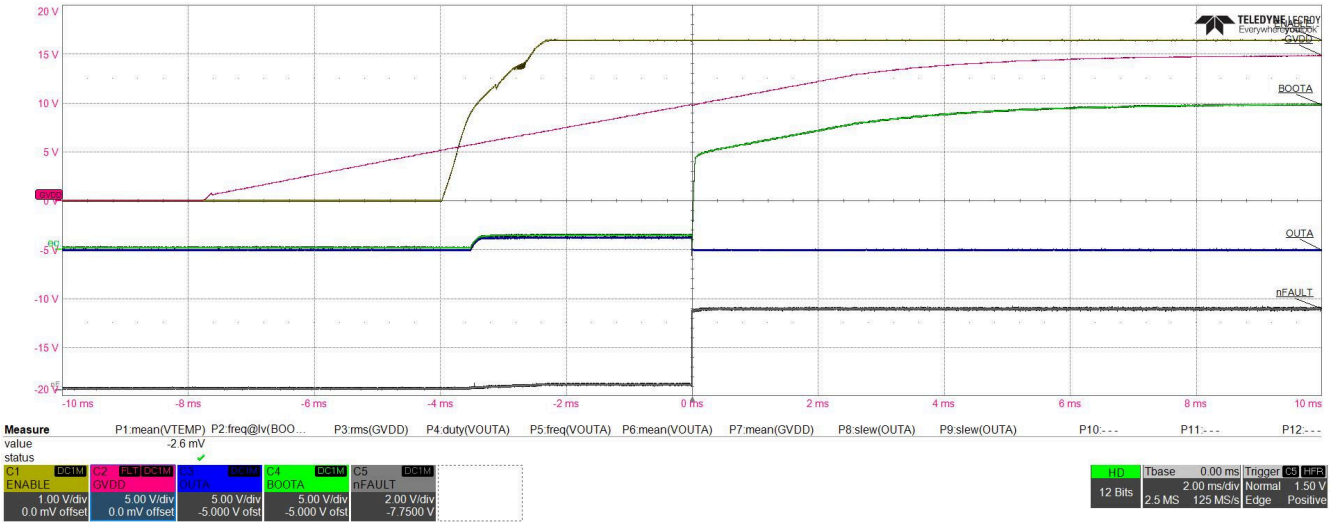


图 13-3. 器件上电（GVDD 启动）

Copyright © 2025 Texas Instruments Incorporated

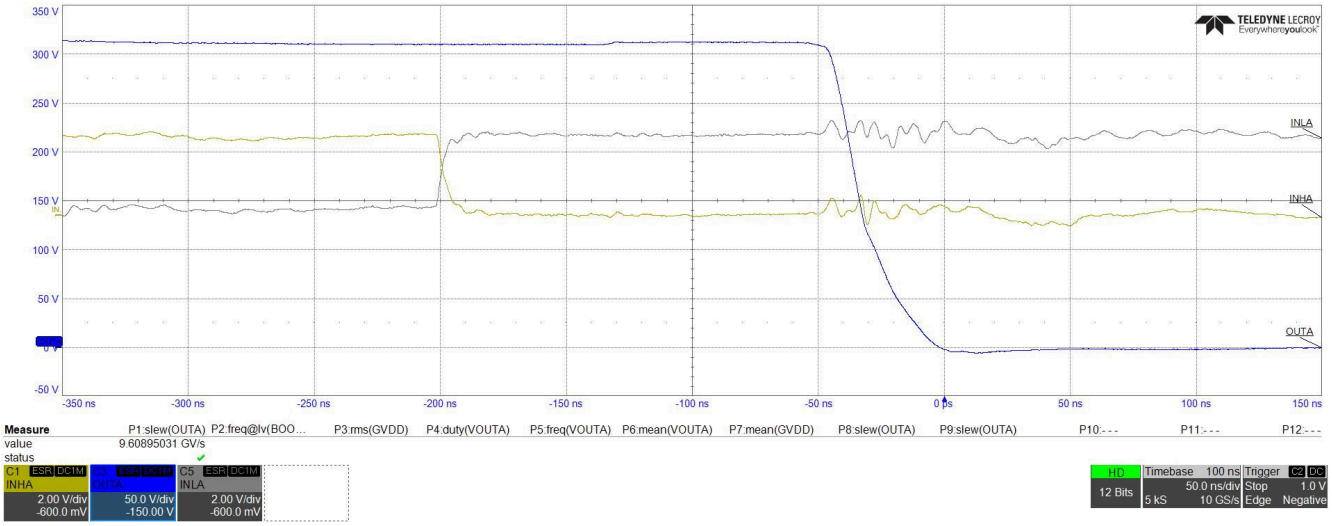


图 13-4. 电机相位节点 OUTA 开关 - 下降沿（从电机负载到器件的相电流）

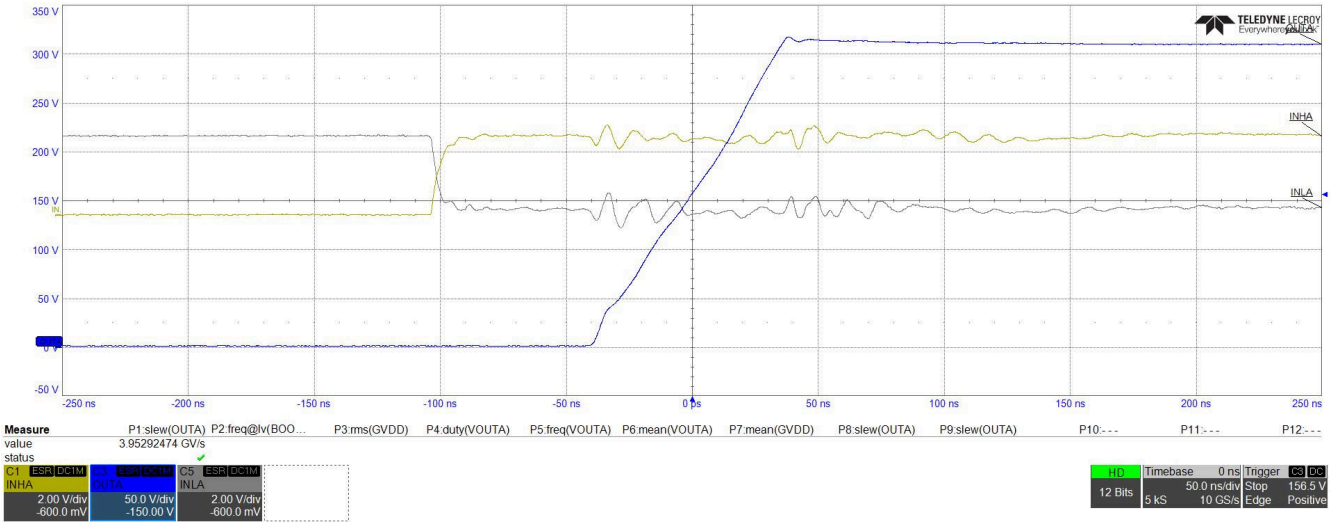


图 13-5. 电机相位节点 OUTA 开关 - 上升沿（从电机负载到器件的相电流）

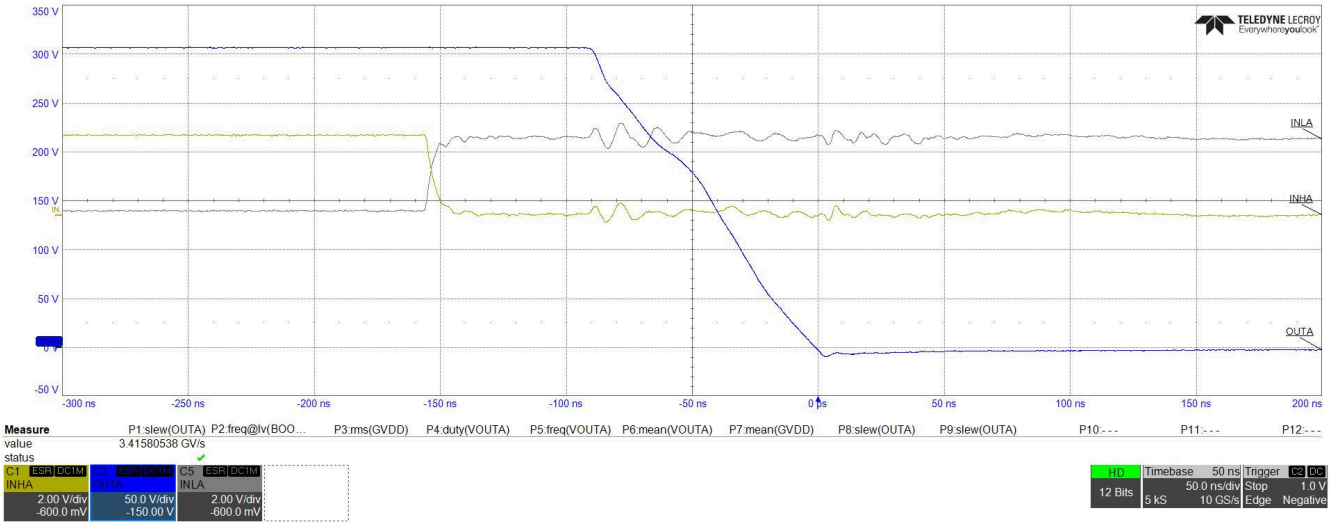


图 13-6. 电机相位节点 OUTA 开关 - 下降沿（从器件到电机负载的相电流）

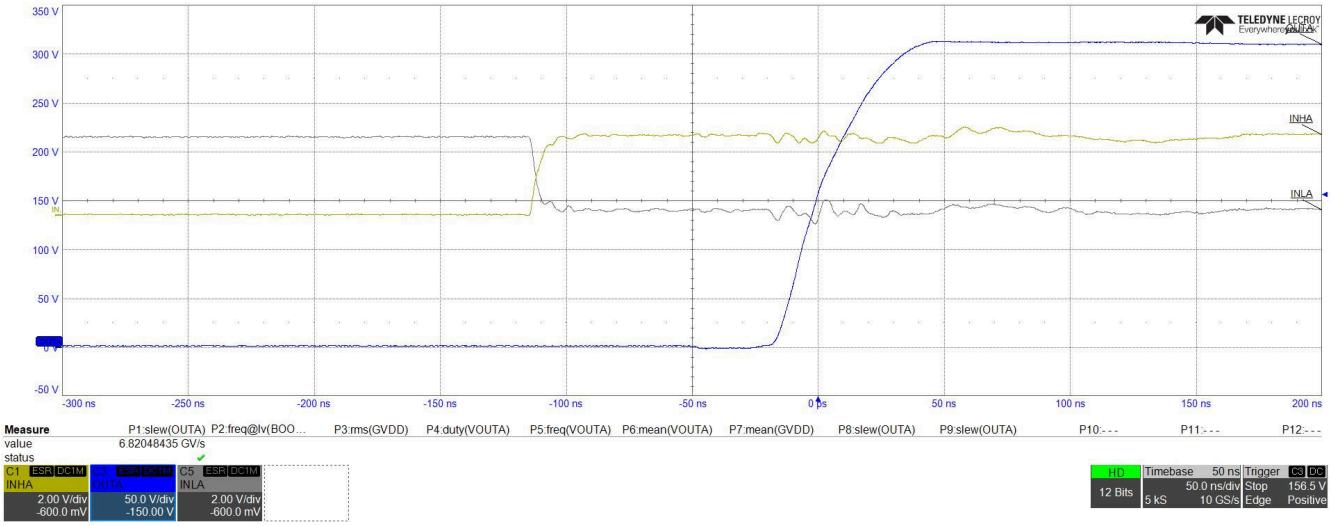


图 13-7. 电机相位节点 OUTA 开关 - 上升沿（从器件到电机负载的相电流）

Copyright © 2025 Texas Instruments Incorporated

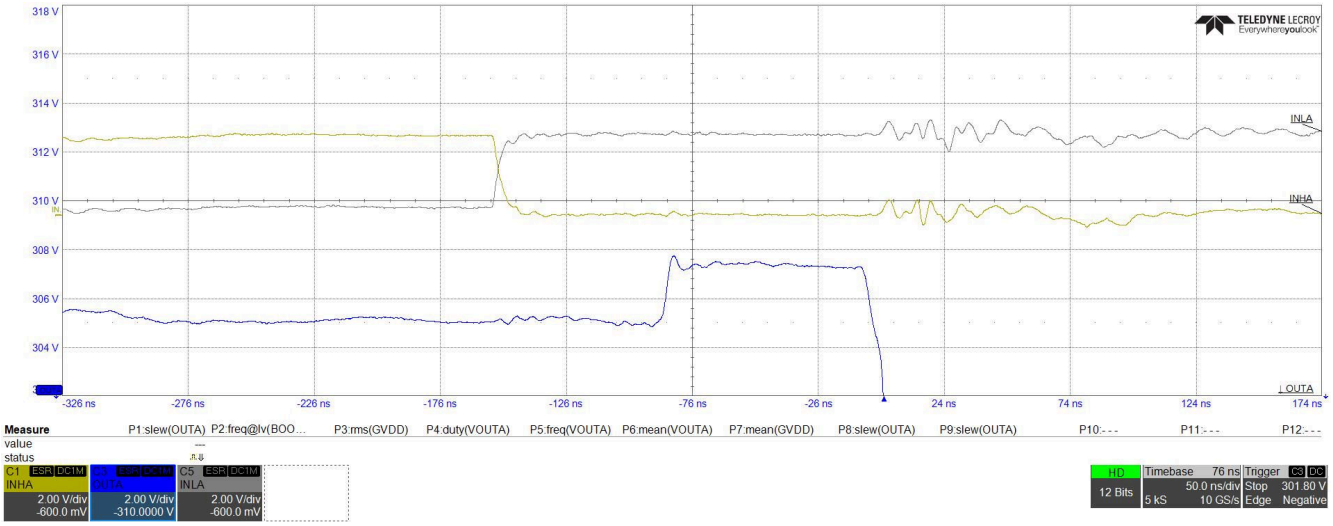


图 13-8. 电机相位节点 OUTA 开关 - 高侧 GaNFET 第三象限运行（从电机负载到器件的相电流）

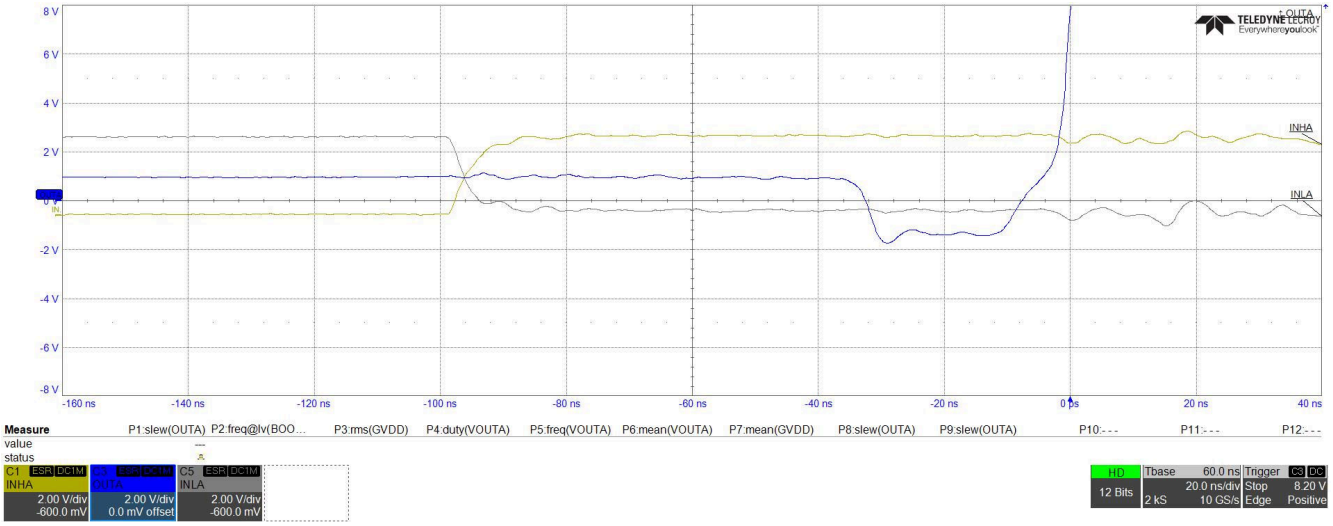


图 13-9. 电机相位节点 OUTA 开关 - 低侧 GaNFET 第三象限运行（从器件到电机负载的相电流）

Copyright © 2025 Texas Instruments Incorporated

14 布局

14.1 布局指南

放置大容量电容器时，必须尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度必须尽可能宽，并且在连接 PCB 层时必须使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。

GVDD 去耦电容、VM 引脚至 GND 的高频电容以及自举电容等小容值电容必须靠近器件引脚放置。

为了更大限度地减小电源回路面积，请将分流电阻放置在靠近器件 SLx 引脚的位置，在分流电阻的末端使用铜多边形，并在顶层使用更宽的布线，或通过具有足够数量拼接过孔的底层上的铜多边形，将电流返回到 VM 引脚上的去耦电容器。

为了提高热性能，应更大限度地增大 OUTx 和 GND 网络上的铜平面。为了更大限度地提高热性能，请在 OUTx 焊盘和 GND 焊盘上使用多个拼接过孔，并在顶层和底层使用更大的铜平面，如图 14-1 所示。

VM 引脚上的去耦电容器可以连接到任意一侧的 VM 引脚或连接到两个引脚。VM 引脚在器件内部短接，无需在 PCB 上进行外部短接。

14.2 布局示例

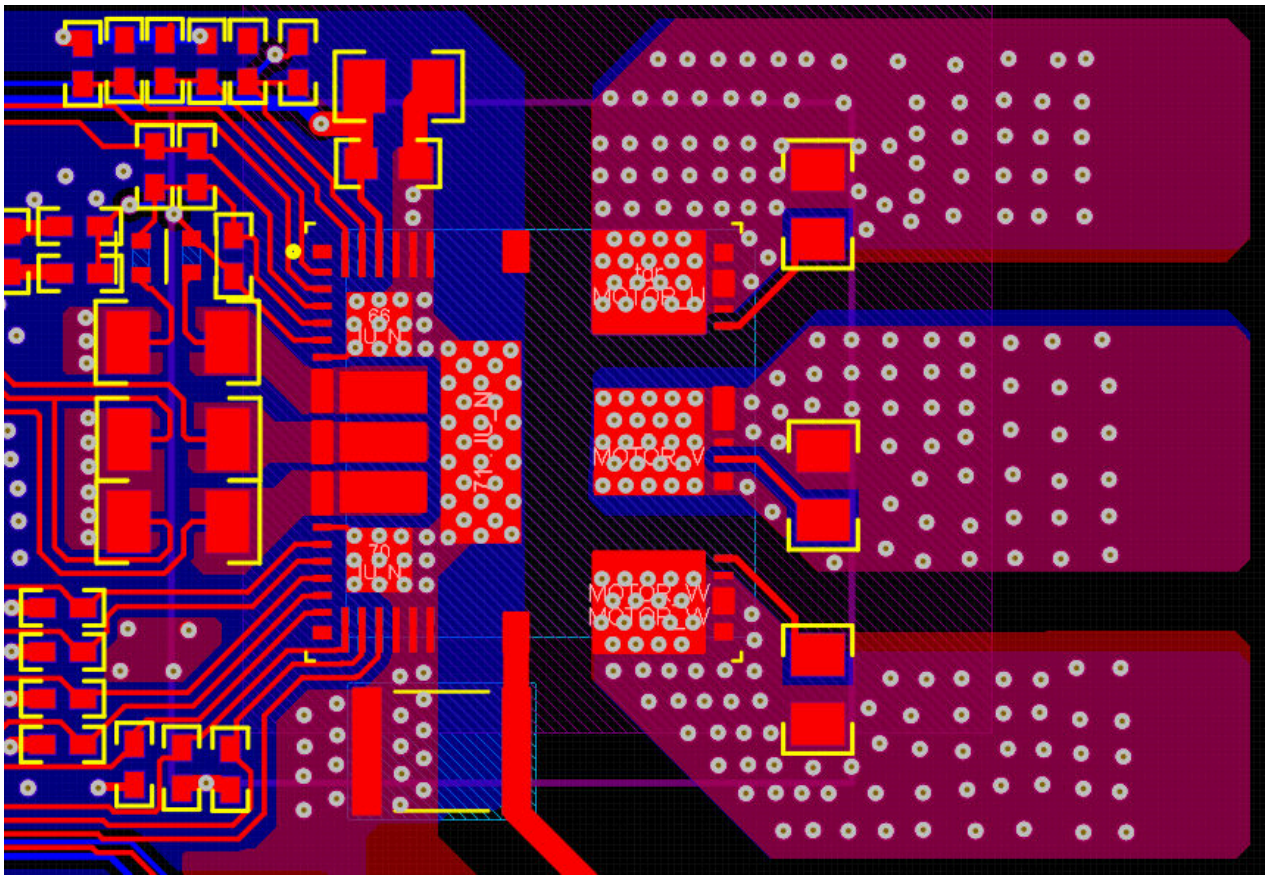


图 14-1. VQFN 封装的建议布局

15 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (May 2024) to Revision A (October 2025) **Page**

- 将器件状态更新为量产数据。 1

Copyright © 2025 Texas Instruments Incorporated

16 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

16.1 文档支持

16.1.1 相关文档

- 德州仪器 (TI)，DRV7308 旨在改善热性能的布局设计指南应用手册
- 德州仪器 (TI)，三相集成 GaN 技术如何显著提升电机驱动器的性能白皮书
- 德州仪器 (TI)，DRV7308 评估模块用户指南
- 德州仪器 (TI)，通过基于 GaN 的电机系统设计提高家电能效并节省成本技术文章
- 德州仪器 (TI)，DRV7308 用于估算功耗和器件温度的热量计算器设计工具和仿真

16.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

16.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

16.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

16.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

16.6 术语表

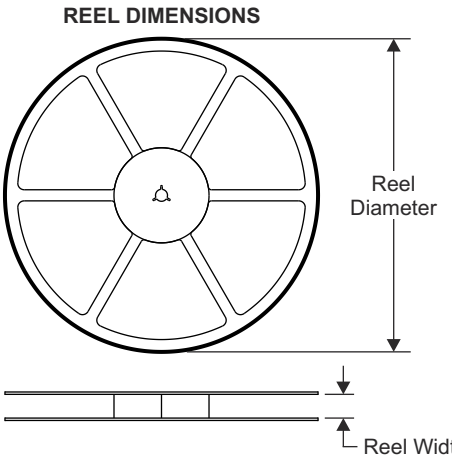
TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

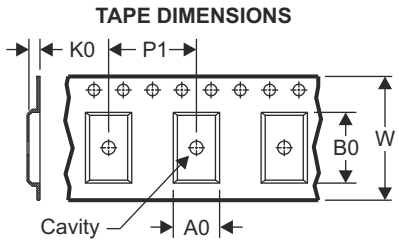
17 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

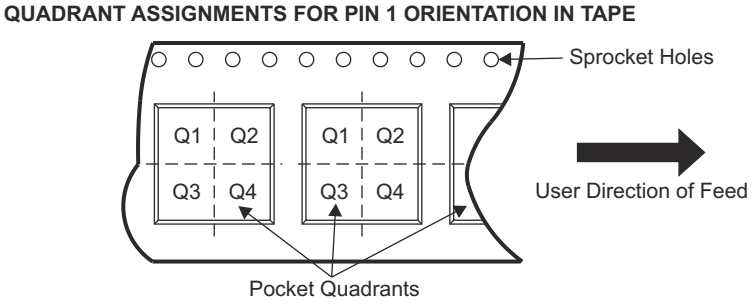
Copyright © 2025 Texas Instruments Incorporated

17.1 卷带包装信息





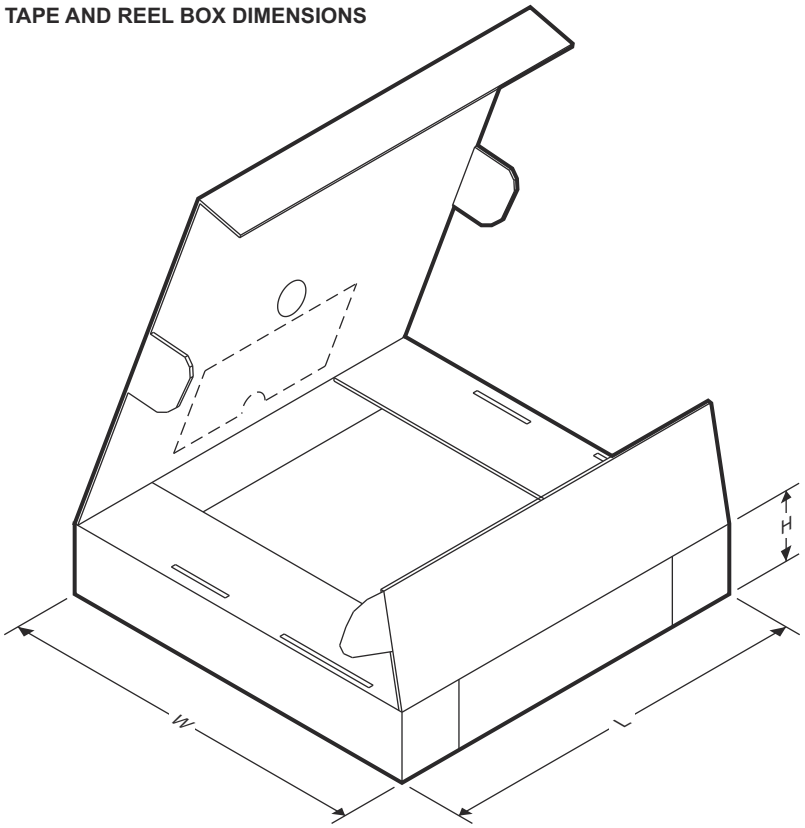
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
DRV7308HRENR	VQFN	REN	65	2000	330.0	24.4	12.4	12.4	1.5	1.5	24.4	Q1

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
DRV7308HRENR	VQFN	REN	65	2000	12.4	12.4	1.5

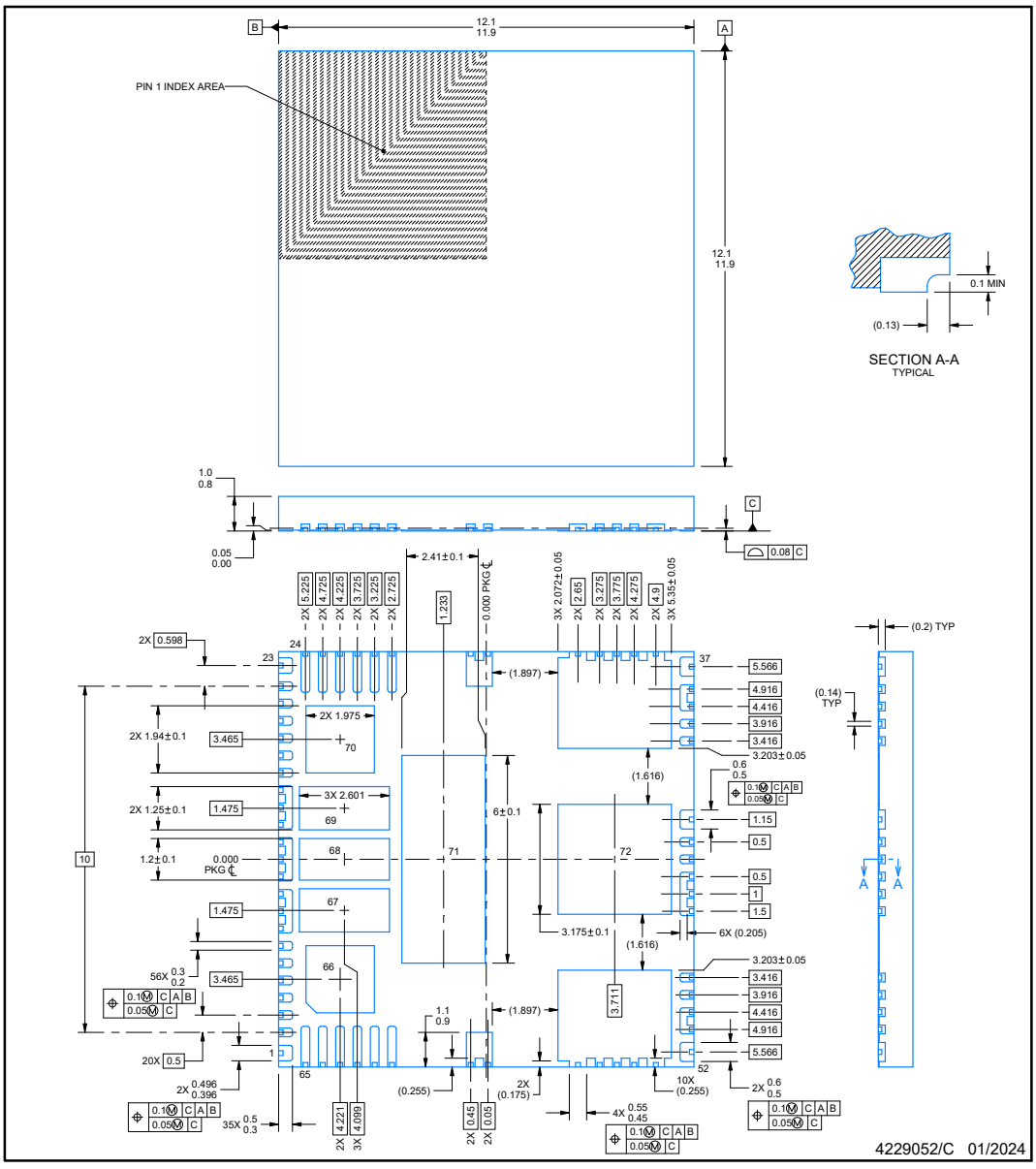
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

REN0065A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

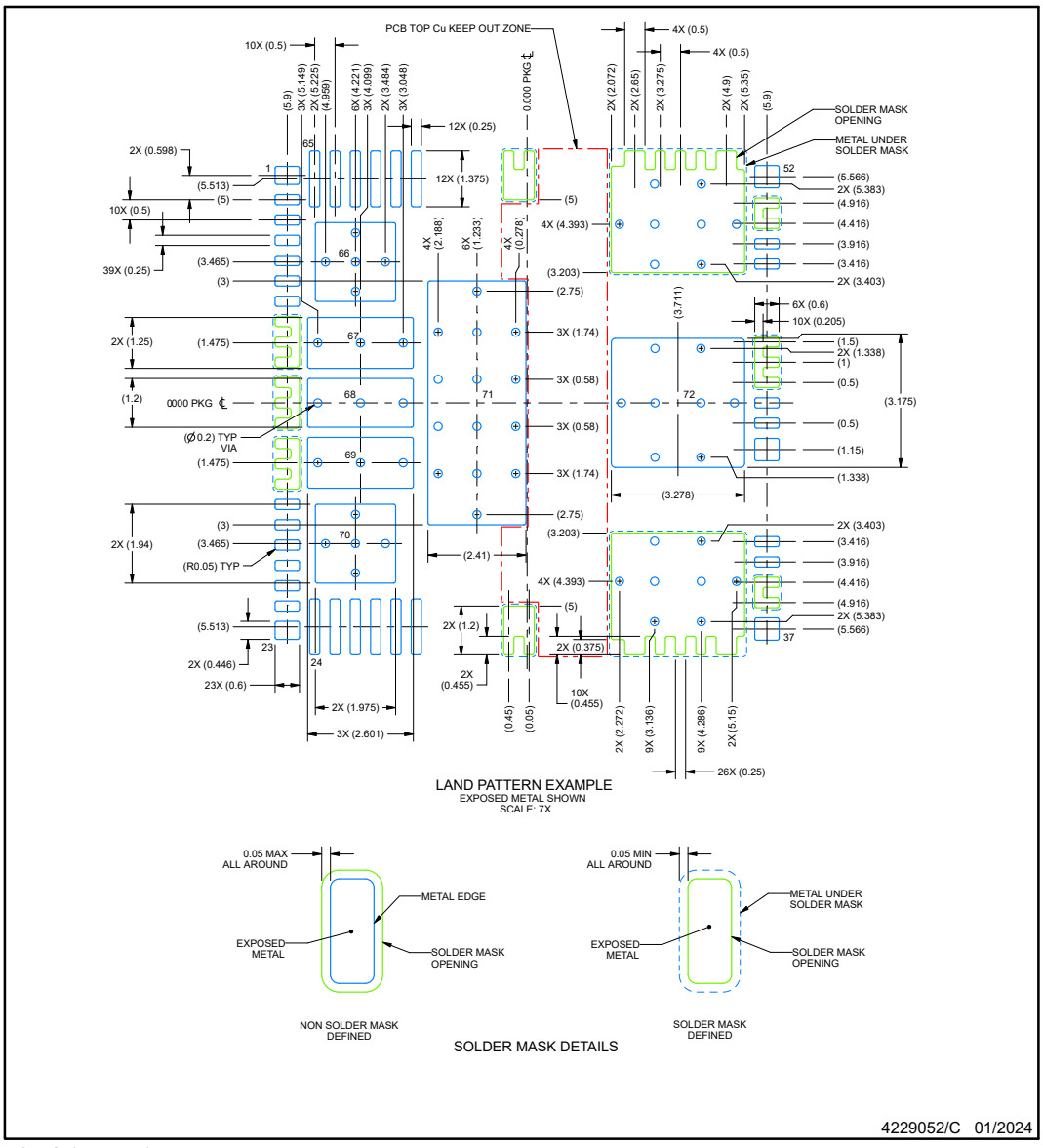
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad(s) must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

REN0065A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



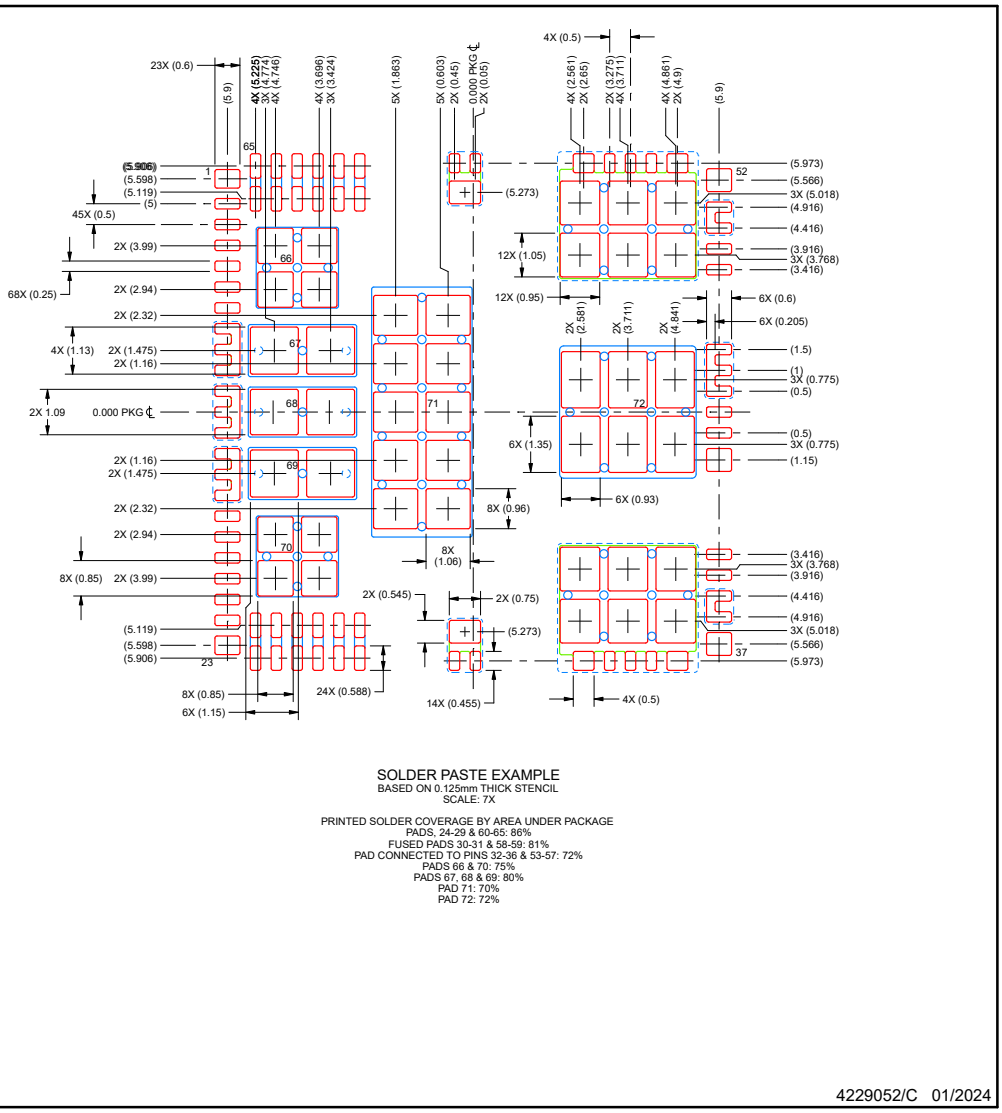
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

REN0065A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV7308RENR	Active	Production	VQFN (REN) | 65	3000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168HRS	-40 to 125	7308 NNNNC
PDRV7308HRENR.A	Active	Preproduction	VQFN (REN) | 68	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

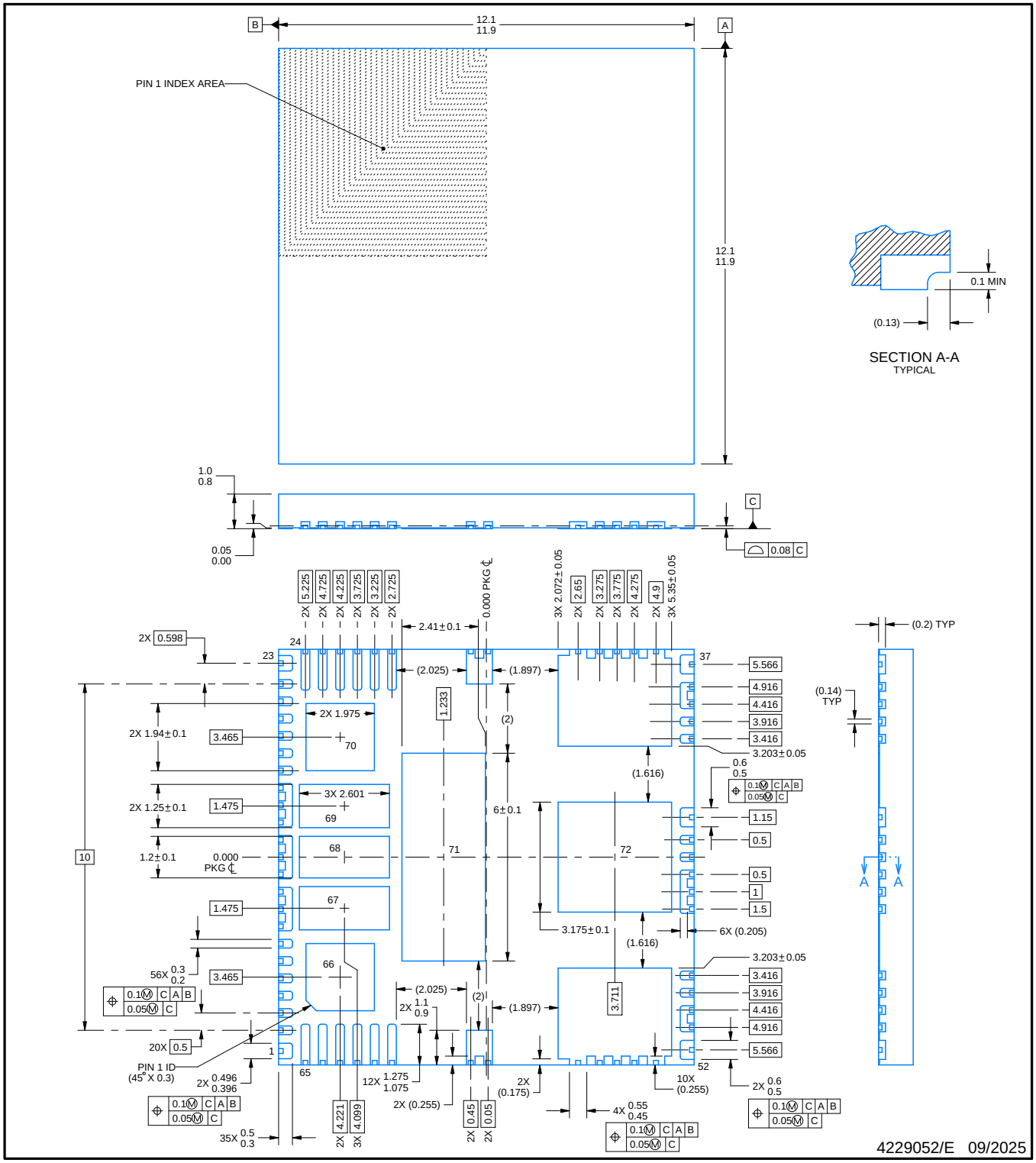
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

REN0065A

PACKAGE OUTLINE

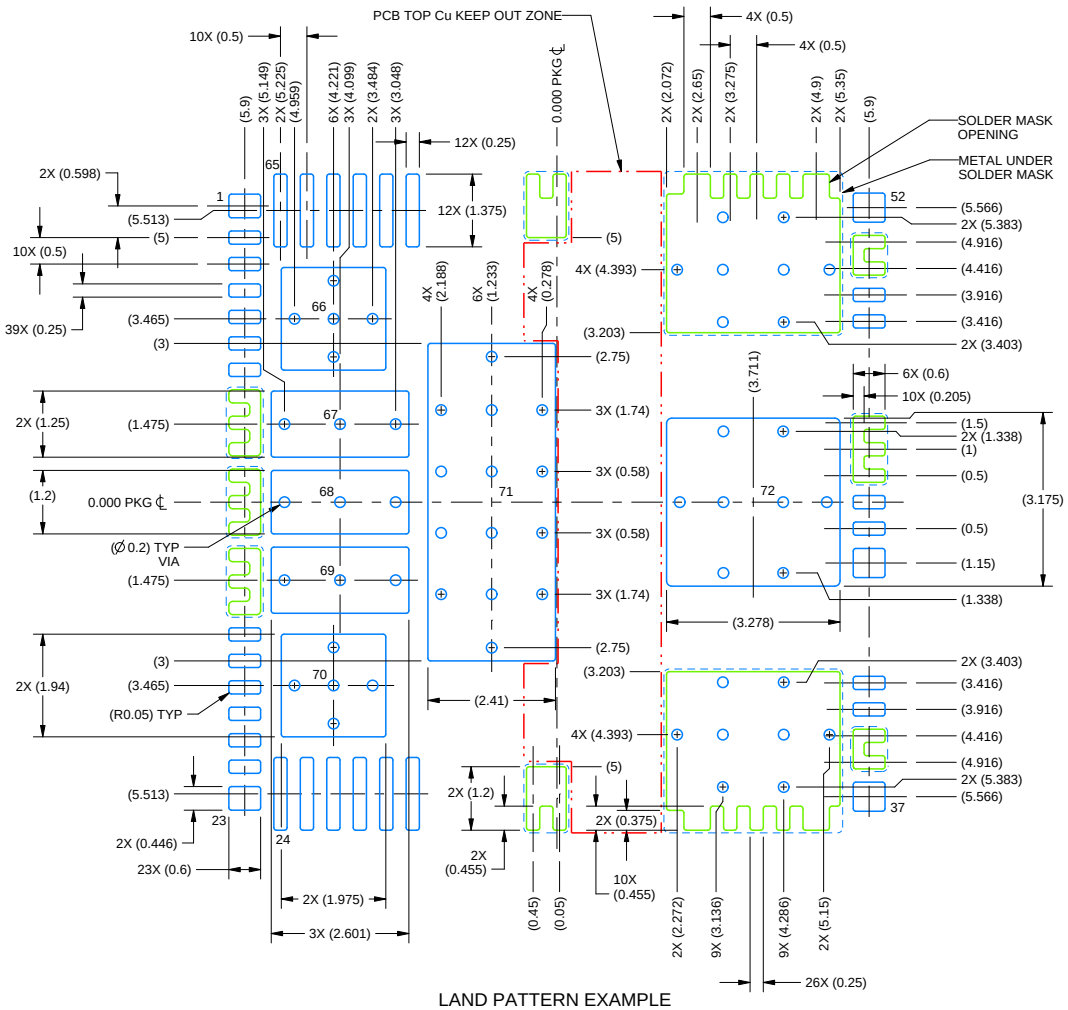
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

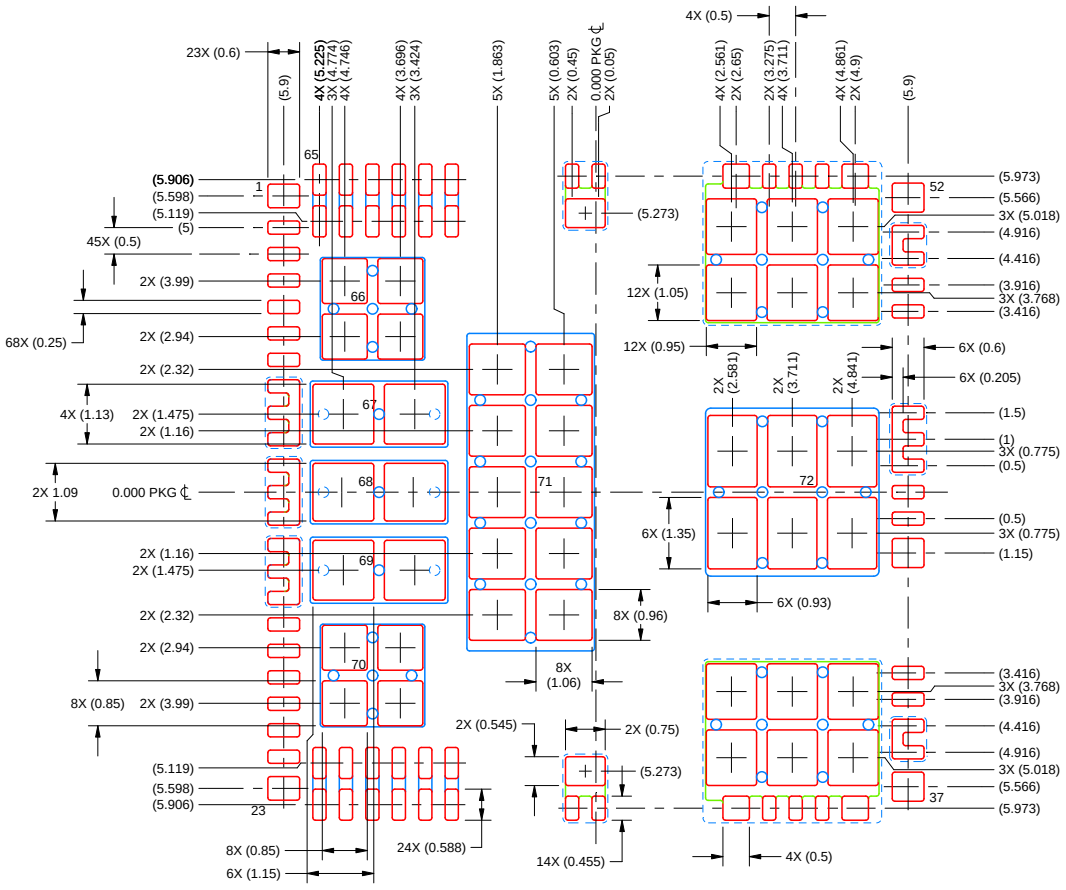
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad(s) must be soldered to the printed circuit board for thermal and mechanical performance.



4229052/E 09/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE: 7X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS, 24-29 & 60-65: 86%
FUSED PADS 30-31 & 58-59: 81%
PAD CONNECTED TO PINS 32-36 & 53-57: 72%
PADS 66 & 70: 75%
PADS 67, 68 & 69: 80%
PAD 71: 70%
PAD 72: 72%

4229052/E 09/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月