DRV7167A 100V、60A 半桥 GaN 电机驱动器功率级

1 特性

- 具有集成驱动器、支持 48V 系统的 100V 半桥 GaN 电机驱动器功率级
- 低 GaN 导通状态电阻
  - T_A=25°C 时，$R_{DS(ON)}$ 为 2.2mΩ（每个 FET）
- 实现高效、高密度的功率转换
  - 高输出电流能力： $60A_{rms}$
  - 支持高达 500kHz 的 PWM 开关频率
  - 超低传播延迟（典型值 20ns）和失配（典型值 2ns）
  - GaN FET 的可配置压摆率
  - 用于优化死区时间的零电压检测 (ZVD) 报告。
  - 独立输入模式 (IIM) 控制
  - 单路 PWM 输入，电阻可编程死区时间，适配 IO 受限的控制器
- 5V 外部辅助电源
  - 支持 3.3V 和 5V 输入逻辑电平
- 强大的保护
  - 独立输入模式 (IIM) 下的互锁保护
  - 内部自举电源电压调节，可防止 GaN FET 过驱动
  - 基于 V_{DS} 监测的逐周期短路保护
  - 过热、欠压和短路事件的故障指示
- 寄生优化 QFN 封装，顶部设有外露焊盘，支持顶面散热。

2 应用

- 人形机器人
- 协作机器人
- 移动机器人 (AGV/AMR)
- 48V 伺服驱动器
- 无人机
- 电动自行车、电动踏板车和电动汽车
- 电动工具

3 说明

DRV7167A 器件是一个 100V 半桥功率级系列，具有集成栅极驱动器和增强模式氮化镓 (GaN) FET。该器件由采用半桥配置的高频 GaN FET 驱动器构成，可驱动两个 100V GaN FET。

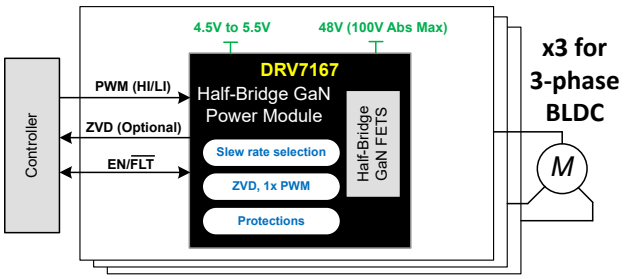
由于 GaN FET 的反向恢复为零，而且输入电容 (C_{ISS}) 和输出电容 (C_{OSS}) 都极小，所以 GaN FET 在功率转换方面优势极为显著。所有器件均安装在一个完全无键合线的封装平台上，最大限度减少封装寄生元件，便于在 PCB 板上安装使用。

无论 GVDD 电压如何，TTL 逻辑兼容输入均可支持 3.3V 和 5V 逻辑电平。专有自举电压调节技术可将增强模式 GaN FET 的栅极电压调控至安全工作范围内。该器件配有用户友好型接口且更为出色，进一步提升了分立式 GaN FET 的优势。对于需要小尺寸、高频率、高效率运行的应用，该器件是理想之选。

封装信息

器件型号	封装(1)	封装尺寸(3)（标称值）
DRV7167A(2)	VBN（VQFN、18）	7.00mm × 4.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 预告信息。产品处于样片和预量产阶段。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



DRV7167 简化原理图

ADVANCE INFORMATION

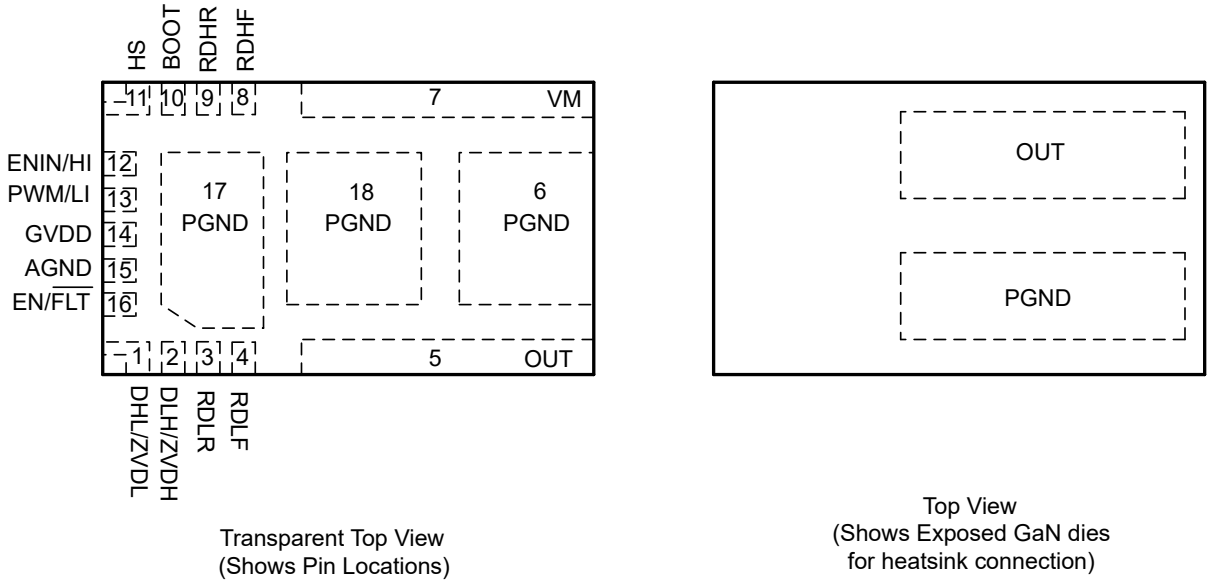
ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 6
5.4 热性能信息_DRV7167A 7
5.5 电气特性 7
6 典型特性 11
7 参数测量信息 13
7.1 传播延迟和失配测量 13
7.2 压摆率测量 13
8 详细说明 15
8.1 概述 15
8.2 功能方框图 15
8.3 特性说明 16
8.4 器件功能模式 23
9 应用和实施 24
9.1 应用信息 24
9.2 典型应用 24
9.3 电源相关建议 27
9.4 布局 27
10 器件和文档支持 29
10.1 文档支持 29
10.2 接收文档更新通知 29
10.3 支持资源 29
10.4 商标 29
10.5 静电放电警告 29
10.6 术语表 29
11 修订历史记录 29
12 机械、封装和可订购信息 30
12.1 封装信息 31

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能



Transparent Top View
(Shows Pin Locations)

Top View
(Shows Exposed GaN dies
for heatsink connection)

图 4-1. VBN 封装， 18 引脚 VQFN （顶视图）

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

引脚功能

引脚		I/O(1)	说明
名称	编号		
DHL/ZVDL	1	IO	在 PWM 模式下，通过将一个电阻器连接到 AGND 来设置高电平到低电平转换的死区时间。 在 IIM 模式下，零电压检测输出信号用于指示低侧 FET 在当前开关周期中是否实现了零电压开关。注意：请勿将 ZVDL 连接到 GVDD。
DLH/ZVDH	2	IO	在 PWM 模式下，通过将一个电阻器连接到 AGND 来设置低电平到高电平转换的死区时间。 在 IIM 模式下，零电压检测输出信号用于指示高侧 FET 在当前开关周期中是否实现了零电压开关。
RDLR	3	I	通过连接到 AGND 的电阻器设置低侧 FET 导通的压摆率控制。
RDLF	4	I	通过连接到 AGND 的电阻器设置低侧 FET 关断的压摆率控制。 将该引脚悬空以启用 PWM 模式。
OUT	5	P	开关节点。在内部连接到 HS 引脚。
PGND	6、17、18	G	电源地。低侧 GaN FET 源极。内部连接到低侧 GaN FET 源极。
VM	7	P	输入电压引脚。内部连接到高侧 GaN FET 漏极。
RDHF	8	I	通过连接到 HS 的电阻器设置高侧 FET 关断的压摆率控制。
RDHR	9	I	通过连接到 HS 的电阻器设置高侧 FET 导通的压摆率控制。注意：请勿将 RDHR 引脚悬空。
BOOT	10	P	高侧栅极驱动器自举电源轨。将旁路电容器连接到 HS。
HS	11	P	高侧 GaN FET 源极连接。
ENIN/HI	12	I	在 PWM 模式下，为高侧和低侧 FET 启用栅极驱动。 在 IIM 模式下，启用高侧栅极驱动器控制输入。
PWM/LI	13	I	在 PWM 模式下，启用 PWM 输入。 在 IIM 模式下，启用低侧栅极驱动器控制输入。
GVDD	14	P	5V 器件电源。
AGND	15	G	模拟地。内部连接到低侧 GaN FET 源极。
EN/$\overline{\text{FLT}}$	16	IO	芯片使能和故障输出引脚。通过 4.7kΩ 电阻器连接到微控制器输出或 GVDD。

(1) I = 输入，O = 输出，IO = 输入/输出，G = 接地，P = 电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

请参阅(1)

参数	最小值	最大值	单位
VM 至 PGND (2)	0	100	V
VM 至 PGND（T_J = 125°C，重复瞬态）(2) (3)		120	V
BOOT 至 AGND (2)		106	V
HS 至 AGND (2)		100	V
HS 至 PGND（T_J = 125°C，重复瞬态）(2) (3)		120	V
HI 至 AGND	-0.3	6	V
LI 至 AGND	-0.3	6	V
HI 至 AGND，20ns 瞬态，频率 < 1MHz	-2	6	V
LI 至 AGND，20ns 瞬态，频率 < 1MHz	-2	6	V
GVDD 至 AGND	-0.3	6	V
BOOT 至 GVDD (2)	0	100	V
BOOT 至 HS	-0.3	6	V
OUT 至 PGND (2)		100	V
来自 OUT 引脚的 IOUT（连续），T_J = 125℃		60	A
结温 T_J	-40	150	°C
贮存温度，T_{stg}	-40	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 这是仅适用于非开关条件下的直流电压额定值。
(3) 占空比 ≤ 1% 的重复脉冲模式。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全地进行生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

电压以 AGND 为基准（除非另有说明）

		最小值	标称值	最大值	单位
VM 至 PGND(1)				80	V
GVDD 至 AGND		4.5	5	5.5	V
GVDD 至 AGND，20ns 瞬态，频率 < 1MHz				5.8	V
PWM/LI、ENIN/HI、EN/$\overline{FLT}$ 低电平输入		0		1.2	V
PWM/LI、ENIN/HI、EN/$\overline{FLT}$ 高电平输入	PWM/LI、ENIN/HI、EN/$\overline{FLT}$ 高电平输入	2.1		GVDD	V
BOOT 至 HS	BOOT 至 HS	V_{HS} + 4.5		V_{HS} + 5.5	V
f_{MAX}				500	kHz
t_{PW}	支持的最小输入脉冲宽度	10			ns
死区时间控制电阻器	RDLH、RDLH	0		100	kΩ
压摆率控制电阻器	RDHR、RDHF、RDLR、RDLF	4		32	kΩ
来自 OUT 引脚的 IOUT（连续），T_J = 125°C				60 (2)	A
HS、OUT 压摆率 (3)	HS、OUT 压摆率 (3)			50	V/ns
结温 T_J	结温 T_J			150	℃

(1) 在软开关运行期间，建议的工作输入电压为 80V。在硬开关运行期间，建议的输入电压为 60V。
(2) 终端应用中的输出电流取决于热设计。
(3) 通过设计和表征确定。未经量产测试。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息_DRV7167A

热指标 (1)		DRV7167 QFN 18 引脚	单位
$R_{\theta JA}$	结至环境热阻 (1)	26.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	0.3	°C/W
$R_{\theta JC(Bot)}$	结至外壳（底部）热阻，低侧 FET 至 PGND	3.5	°C/W
	结至外壳（底部）热阻，高侧 FET 至 VM	6.5	°C/W
$R_{\theta JB}$	结至电路板热阻	3.6	°C/W
Ψ_{JT}	结至顶部特征参数	1.5	°C/W
Ψ_{JB}	结至电路板特征参数	3.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

GVDD = 5V，C_{GVDD} = 1uF + 220nF，$C_{BOOT-HS}$ = 200nF，EN/$\overline{FLT}$ 通过 4.7kΩ 电阻器上拉至 GVDD，电压以 AGND 为基准，典型规格在 25°C (1)时测得；–40°C ≤ T_J≤125°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
POWER STAGE_DRV7167A						
$R_{DS(ON)HS}$	高侧 GaN FET 导通电阻	LI = 0V，HI = GVDD = 5V，BOOT-HS = 5V，$I_{(VM-OUT)}$ = 16A，T_J = 25°C		2.2	3.1	mΩ
$R_{DS(ON)LS}$	低侧 GaN FET 导通电阻	LI = GVDD = 5V，HI = 0V，BOOT-HS = 5V，$I_{(OUT-PGND)}$ = 16A，T_J = 25°C		2.1	3	mΩ
V_{SD}	GaN 源极到漏极第三象限导通压降	I_{SD} = 500mA，V_M 悬空，V_{GVDD} = 5V，HI = LI = 0V		1.2		V
$I_{L-VM-OUT}$	高侧 GaN FET 和低侧 GaN FET 关断时从 VM 到 OUT 的漏电流	VM = 80V，OUT=0V，HI = LI = 0V，V_{GVDD} = 5V，T_J=25℃		8	300	μA
$I_{L-OUT-GND}$	高侧 GaN FET 和低侧 GaN FET 关断时从 OUT 到 GND 的漏电流	OUT = 80V，HI = LI = 0V，V_{GVDD} = 5V，T_J=25℃		37	300	μA
C_{ISS}	高侧或低侧 GaN FET 的输入电容	V_{DS} = 50V，V_{GS} = 0V，T_J = 25°C		1800		pF
C_{OSS}	高侧或低侧 GaN FET 的输出电容			400		pF
$C_{OSS(ER)}$	高侧或低侧 GaN FET 的能量相关输出电容			496		pF
$C_{OSS(TR)}$	高侧 GaN FET 或低侧 GaN FET 的时间相关输出电容			618		pF
C_{RSS}	高侧或低侧 GaN FET 的反向传输电容			26		pF
Q_G	高侧或低侧 GaN FET 的总栅极电荷	V_{DS} = 50V，I_D = 16A，V_{GS} = 5V，T_J = 25°C		18		nC
Q_{OSS}	高侧或低侧 GaN FET 的输出电荷	V_{DS} = 50V，V_{GS} = 0V，T_J = 25°C		30		nC
Q_{RR}	高侧或低侧 GaN FET 的源极到漏极反向恢复电荷			0		nC
E_{ON_LS}	低侧 GaN FET 的导通开关能量	LI = 0 至 5V，V_{SW} = 48V 至 0V，RDLR = 2k，I_D= 20A		2.8		μJ
E_{OFF_LS}	低侧 GaN FET 的关断开关能量	LI = 5 至 0V，V_{SW} = 0V 至 48V，RDLF = 2k，I_D = 20A		0.78		μJ
E_{ON_HS}	高侧 GaN FET 的导通开关能量	HI = 0 至 5V，V_{SW} = 0V 至 48V，RDHR = 2k，I_D = 20A		2.8		μJ
E_{OFF_HS}	高侧 GaN FET 的关断开关能量	HI = 5 至 0V，V_{SW} = 48V 至 0V，RDHF = 2k，I_D = 20A		0.78		μJ
t_{HIPLH} (2) (3)	传播延迟：HI 上升	LI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		20	36	ns
t_{HIPHL} (2) (3)	传播延迟：HI 下降	LI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		20	35	ns
t_{LIPLH} (2) (3)	传播延迟：LI 上升	HI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		20	32	ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

GVDD = 5V，C_{GVDD} = 1uF + 220nF，$C_{BOOT-HS}$ = 200nF，EN/$\overline{FLT}$ 通过 4.7kΩ 电阻器上拉至 GVDD，电压以 AGND 为基准，典型规格在 25°C (1)时测得；–40°C ≤ T_J≤125°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{LIPHL} (2) (3)	传播延迟：LI 下降	HI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		20	32	ns
t_{MON} (2) (3)	延迟匹配：LI 高且 HI 低			1	5	ns
t_{MOFF} (2) (3)	延迟匹配：LI 低且 HI 高			1	5	ns
$t_{MHIR(P-P)}$ (2) (3)	器件间延迟匹配：HI 上升	LI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		7	14	ns
$t_{MHIF(P-P)}$ (2) (3)	器件间延迟匹配：HI 下降	LI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		7	14	ns
$t_{MLIR(P-P)}$ (2) (3)	器件间延迟匹配：LI 上升	HI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		9	14	ns
$t_{MLIF(P-P)}$ (2) (3)	器件间延迟匹配：LI 下降	HI = 0V，GVDD = 5V，BOOT-HS = 5V，VM = 48V		9	14	ns
t_{PW}	可改变输出的最小输入脉冲宽度			8		ns
输入引脚（ENIN/HI、PWM/LI、EN）						
V_{IH}	高电平输入电压阈值	上升沿			2.1	V
V_{IL}	低电平输入电压阈值	下降沿	1.2			V
V_{HYS}	上升和下降阈值之间的迟滞			300		mV
R_I	输入下拉电阻		200	300	500	kΩ
输出引脚 (ZVDx)						
V_{OL}	低电平输出电压	I_{OL} = 3mA			0.25	V
V_{OH}	高电平输出电压	I_{OL} = -1.5mA 至 0mA	2.6		3.5	V
欠压/过压保护						
V_{GVDDR}	V_{GVDD} UVLO 上升沿阈值	上升	3.3	3.7	4.0	V
V_{GVDDF}	V_{GVDD} UVLO 下降沿阈值		3.1	3.5	3.8	V
$V_{GVDD(hyst)}$	V_{GVDD} UVLO 阈值迟滞			200		mV
$V_{GVDD(Deglitch)}$	V_{GVDD} UVLO 毛刺抗扰度			1		µs
V_{BOOTR}	BOOT UVLO 上升沿阈值	上升	3.3	3.7	4.0	V
V_{BOOTF}	BOOT UVLO 下降沿阈值		3.1	3.5	3.8	V
$V_{BOOT(hyst)}$	BOOT UVLO 阈值迟滞			200		mV
$V_{BOOT(Deglitch)}$	BOOT UVLO 毛刺抗扰度			1		µs
$t_{start-up}$	从 VGVDD > V_{GVDDR} 到器件准备好接收 PWM 输入的时间				180	µs
同步自举						
V_{DH}	正向压降	$I_{VDD-BOOT}$ = 5mA		25		mV
		$I_{VDD-BOOT}$ = 50mA		250		mV
t_{SS}	BOOT 上电时间（LI=高电平）	C_{BOOT} = 220nF		2.2		µs
t_{SS}	BOOT 上电时间（LI=高电平）	C_{BOOT} = 1µF		12		µs
Q_{RR}	自举反向恢复电荷	VM = 50V		0		nC
V_{BOOTth_U}	自举电容器充电停止时的上升阈值。	VM = 5V，LI = 5V	4.8	5	5.2	V
V_{BOOTth_L}	自举电容器重新开始充电时的下降阈值	VM = 5V，LI = 5V	4.6	4.8	5	V
电源电流						
I_{GVDD}	GVDD 静态电流	LI = HI = 0V，GVDD = 5V，EN=0		0.4		mA
I_{GVDD}	GVDD 静态电流	LI = HI = 0V，GVDD = 5V		1	1.5	mA
I_{GVDD}	GVDD 静态电流	LI=GVDD=5V，HI=0V		1.8	4.5	mA
I_{GVDDO}	总 GVDD 工作电流	f = 500kHz，50% 占空比，V_M = 48V		18	24	mA
I_{BOOT}	BOOT 静态电流	LI = HI = 0V，GVDD = 5V，BOOT-HS = 5V		0.5	1	mA

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

GVDD = 5V，C_{GVDD} = 1uF + 220nF，$C_{BOOT-HS}$ = 200nF，EN/$\overline{FLT}$ 通过 4.7kΩ 电阻器上拉至 GVDD，电压以 AGND 为基准，典型规格在 25°C [(1)]时测得；–40°C ≤ T_J≤125°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{BOOT}	BOOT 静态电流	LI=0V，HI=GVDD=5V，BOOT-HS=5V，VM=48V		1.8	4.5	mA
I_{BOOTO}	BOOT 工作电流	f = 500kHz，50% 占空比，GVDD = 5V，BOOT-HS = 5V，V_M = 48V		12	15	mA
压摆率控制（有效栅极电阻）						
Rgfh	RDHF = 0Ω	驱动器 FET 上的电压 = 1.2V		0.3		Ω
	RDHF = 4kΩ			1.3		
	RDHF = 8kΩ			2.6		
	RDHF =16kΩ			5.3		
Rgfl	RDLF = 0Ω	驱动器 FET 上的电压 = 1.2V		0.3		Ω
	RDLF = 4kΩ			1.3		
	RDLF = 8kΩ			2.6		
	RDLF =16kΩ			5.3		
Rgrh	RDHR = 0Ω	驱动器 FET 上的电压 = 1.2V		0.8		Ω
	RDHR = 4kΩ			3.6		
	RDHR = 8kΩ			7		
	RDHR = 16kΩ			14		
Rgrl	RDLR = 0Ω	驱动器 FET 上的电压 = 1.2V		0.8		Ω
	RDLR = 4kΩ			3.6		
	RDLR = 8kΩ			7		
	RDLR = 16kΩ			14		
死区时间控制						
t_{DEAD_MIN}	最小死区时间	DLH、DHL = 0Ω；最小压摆率设置。	5	7.5	10	ns
t_{DEAD_MAX}	最大死区时间	DLH、DHL = 100kΩ；最大压摆率设置。	32	40	48	ns
OCP						
V_{DSAT}	饱和保护电压阈值			0.75		V
t_{BLANK}	V_{DSAT} 检测的消隐时间		38	60	88	ns
t_{SATFLT}	在消隐时间结束后检测到 V_{DS} 过压时，触发 FLT 指示的时间			30		ns
ZVD 输出（低电平有效）						
V_{THRESH_ZVD}	ZVD 检测器阈值		0.32		0.85	V
t_{3RD_ZVD}	可由 ZVD 检测器检测到的最小第三象限时间（低侧）	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps	6	10	14	ns
t_{3RD_ZVD}	可由 ZVD 检测器检测到的最小第三象限时间（高侧）	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps	6	10	14	ns
$t_{DLY_ZVD_L}$	V_{THRESH_ZVD} 突破阈值与 ZVD 输出变为低电平之间的延迟	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps		15	30	ns
$t_{DLY_ZVD_H}$	V_{THRESH_ZVD} 突破阈值与 ZVD 输出变为低电平之间的延迟	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps		20	30	ns
t_{WD_ZVD}	ZVD 脉冲宽度	对于一个 0 到 -1.5V 再到 0 的脉冲，上升/下降时间为 100ps	40	65	110	ns
OTD						
OTD+	过热检测高阈值			170		℃
OTD-	过热检测高阈值			154		℃
OTD_{HYS}	过热检测高阈值			16		℃
故障						
I_{FLT}	故障引脚下拉电流	V_{FLT} = 0.4V	3			mA

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

GVDD = 5V，C_{GVDD} = 1uF + 220nF，$C_{BOOT-HS}$ = 200nF，EN/$\overline{FLT}$ 通过 4.7kΩ 电阻器上拉至 GVDD，电压以 AGND 为基准，典型规格在 25°C (1)时测得；–40°C ≤ T_J≤125°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{FLTDLY_1}	OCP 和 OTD 故障发生后触发 FLT 指示的时间			20		ns
t_{FLTDLY_2}	GVDD UVLO 故障发生后触发 FLT 指示的时间			1		µs
t_{FLT}	最小故障指示时间		6	14	24	µs
t_{ENBLK}	FLT 释放后的时间，在该时间后 EN=0 生效			1		µs

(1) 仅显示典型值的参数通过设计确定，且无法在生产中进行测试。
(2) 请参阅*传播延迟和失配测量*部分。
(3) 在最快压摆率下测得。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 典型特性

T_A = 25°C，GVDD = 5V，C_{GVDD} = 1µF，$C_{BOOT-HS}$ = 220nF（除非另有说明）

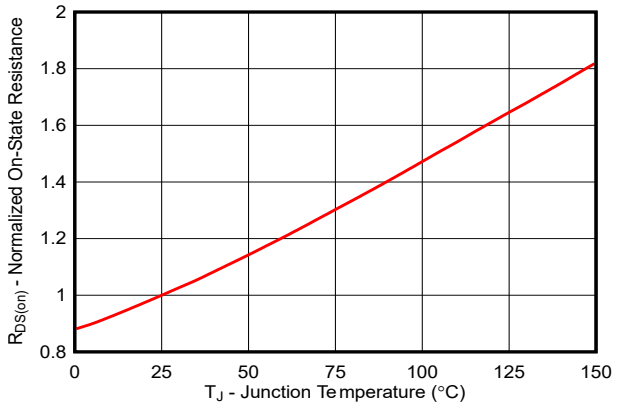


图 6-1. DRV7167 归一化导通状态电阻与温度间的关系

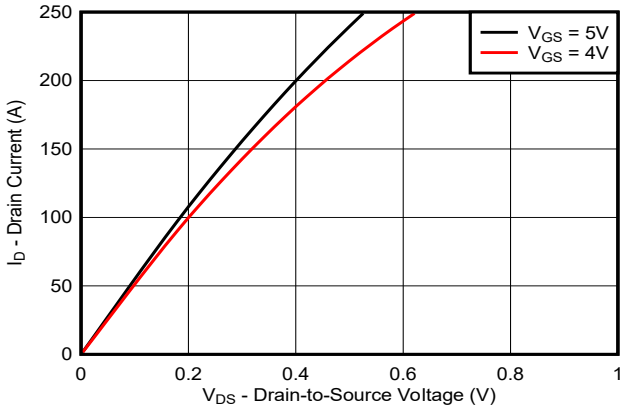


图 6-2. DRV7167 典型输出特性

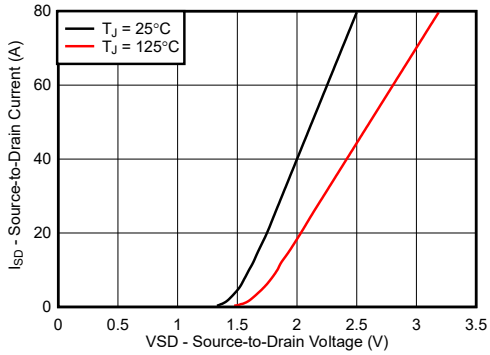


图 6-3. DRV7167 反向漏源特性

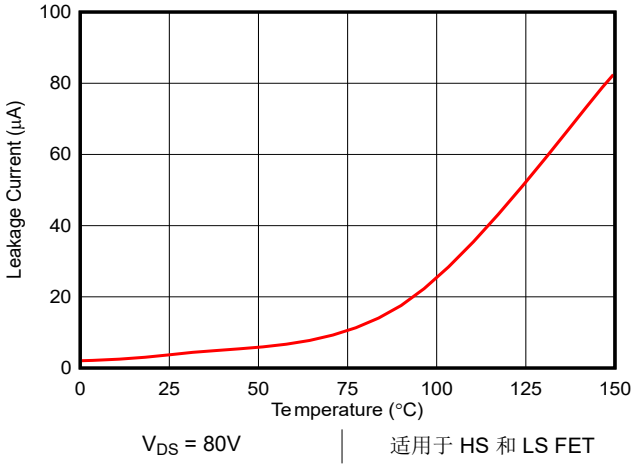


图 6-4. DRV7167：漏极泄漏电流

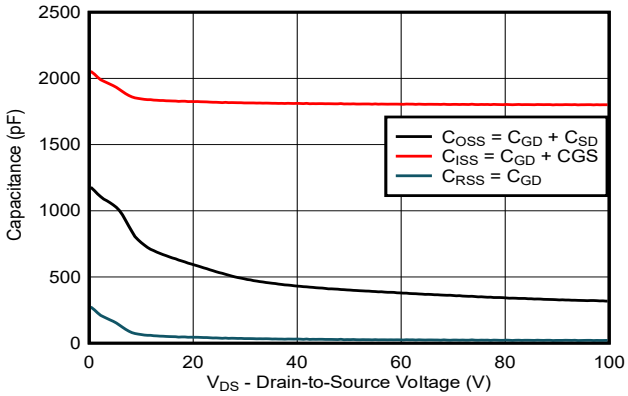


图 6-5. DRV7167：典型电容

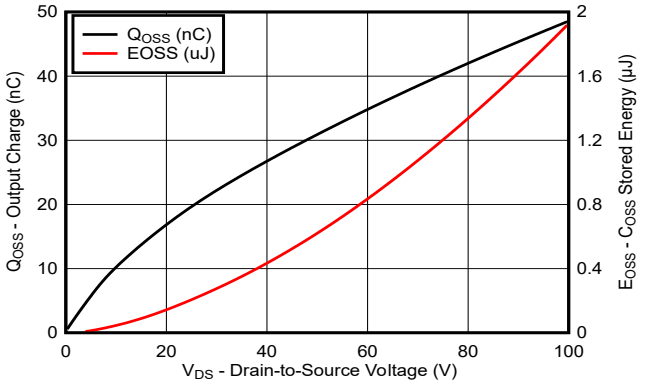


图 6-6. DRV7167 典型输出电荷和存储能量

ADVANCE INFORMATION

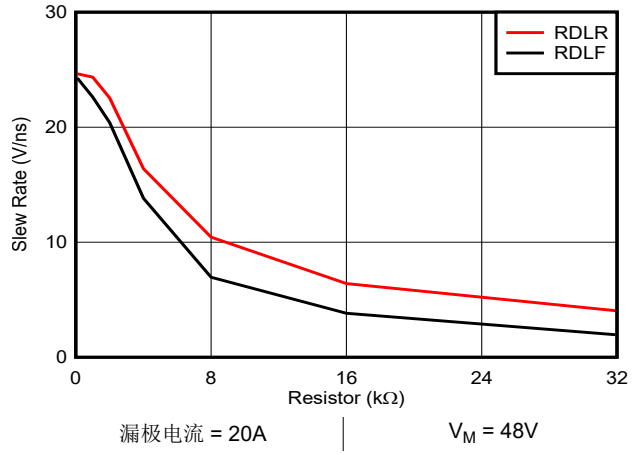


图 6-7. DRV7167：压摆率控制 — 进入 OUT 引脚的电流

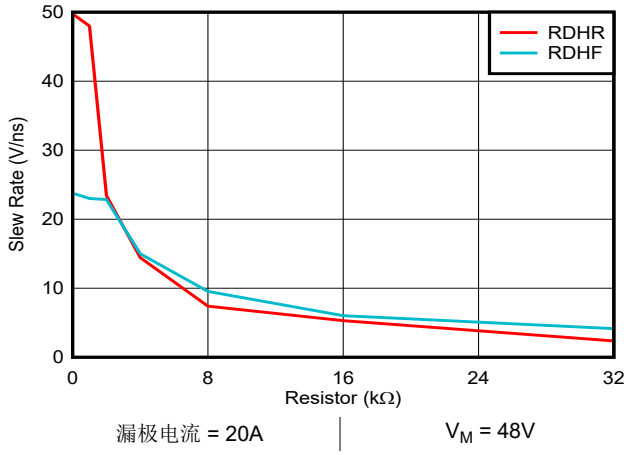


图 6-8. DRV7167：压摆率控制 — 流出 OUT 引脚的电流

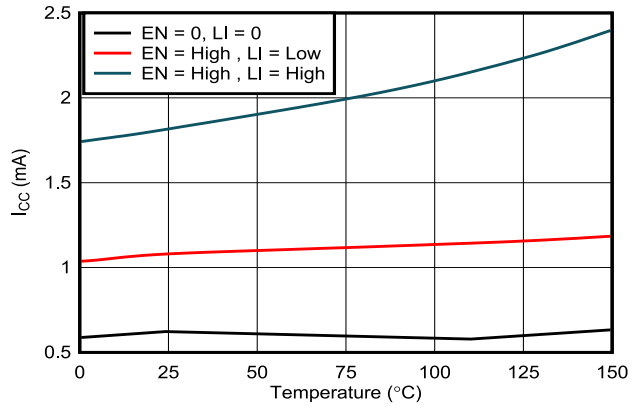


图 6-9. GVDD-AGND 电流

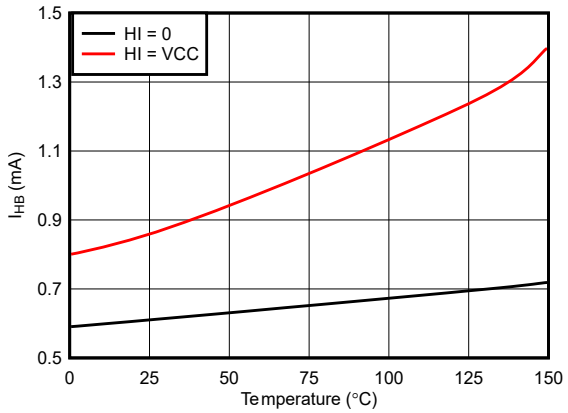


图 6-10. BOOT-HS 电流

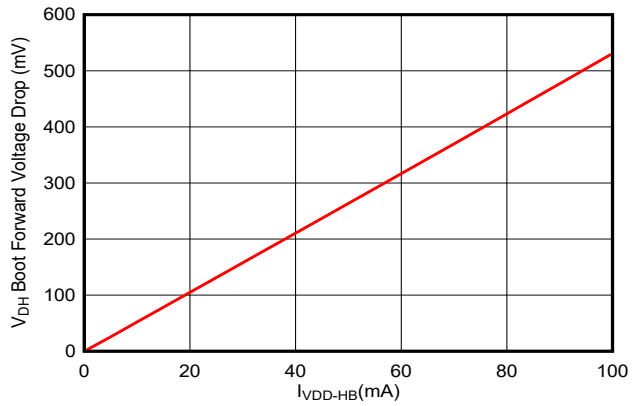


图 6-11. 自举正向电压与电流间的关系

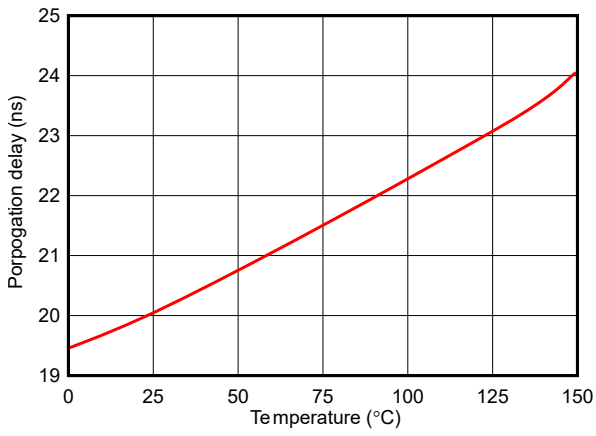


图 6-12. HI/LI 传播延迟

Copyright © 2026 Texas Instruments Incorporated

7 参数测量信息

7.1 传播延迟和失配测量

图 7-1 和 图 7-2 用于测量从驱动器输入到 OUT 节点输出的传播延迟和延迟失配。在“流出 OUT 引脚的电流”模式下，使用 0Ω RDHR 和 RDHF 电阻器测量 HI 信号传播延迟，t_{HIPLH} 和 t_{HIPHL}，如 图 7-3 中所示。在“流入 OUT 引脚的电流”模式下，使用 0Ω RDLR 和 RDLF 电阻器测量 LI 信号传播延迟，t_{LIPLH} 和 t_{LIPHL}，如 图 7-4 中所示。传播延迟不匹配参数定义为

$$t_{MON} = |t_{HIPLH} - t_{LIPHL}| \quad (1)$$

$$t_{MOFF} = |t_{LIPLH} - t_{HIPHL}| \quad (2)$$

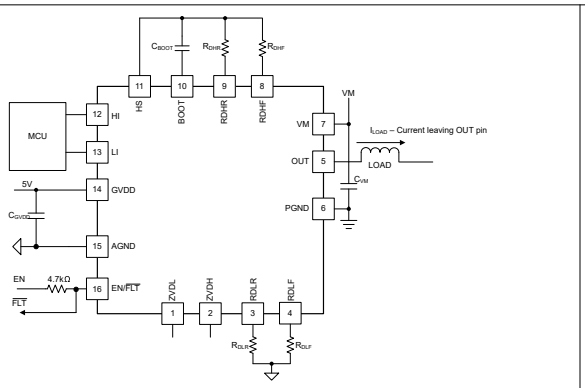


图 7-1. 传播延迟 — 流出 OUT 引脚的电流

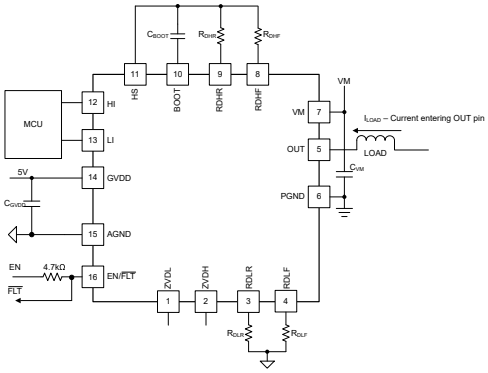


图 7-2. 传播延迟 — 流入 OUT 引脚的电流

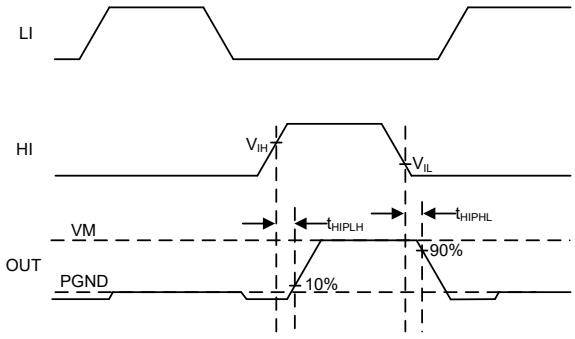


图 7-3. t_{PHILH} 和 t_{PHIHL} 测量

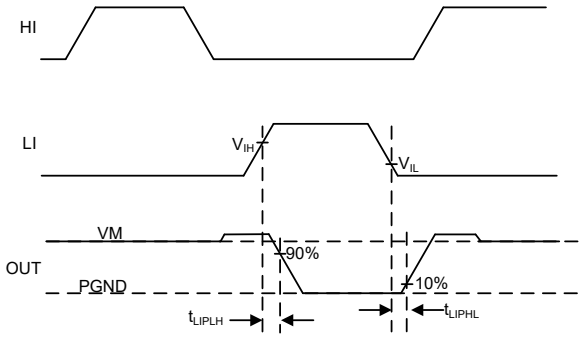


图 7-4. t_{PLILH} 和 t_{PLIHL} 测量

7.2 压摆率测量

图 7-1 测量与所选 RDHR 和 RDHF 电阻器的 HI 脉冲相对应的 OUT 节点上升和下降压摆率，如 图 7-5 中所示。根据 方程式 3，压摆率按 OUT 节点上升或下降时间的 20% 至 80% 计算。

$$Slew_{RDXX}=(0.6 \times VM) / t_{RDXX} \quad (3)$$

ADVANCE INFORMATION

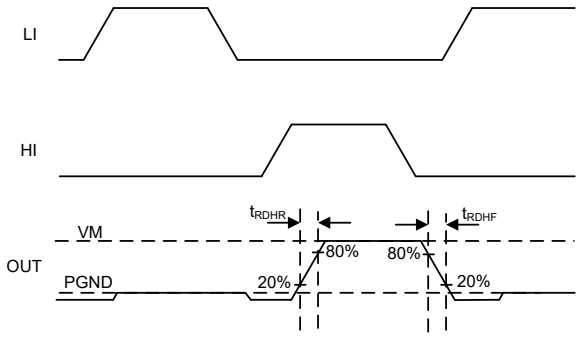


图 7-5. RDHR 和 RDHF 的压摆率测量

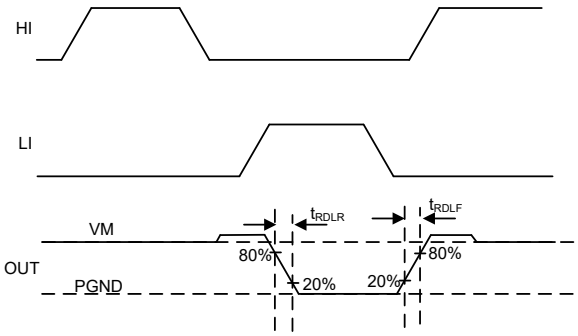


图 7-6. RDLR 和 RDLF 的压摆率测量

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 详细说明

8.1 概述

DRV7167A 是一款高度集成的半桥 GaN 功率级，集成了高侧和低侧栅极驱动器，采用半桥配置的两个 GaN FET。该器件支持用于隔离式和非隔离式电源架构，通过驱动器和功率级集成简化设计。优化的封装布局可最大限度地减小寄生电感并简化 PCB 设计。该驱动器支持可编程导通和关断控制功能，可优化 EMI 性能。该器件集成多项特性，可提升系统性能、效率和保护能力，是高功率密度 BLDC 应用的理想之选。

8.2 功能方框图

图 8-1 展示了集成高侧和低侧 GaN FET 的 DRV7167A 器件的功能方框图。

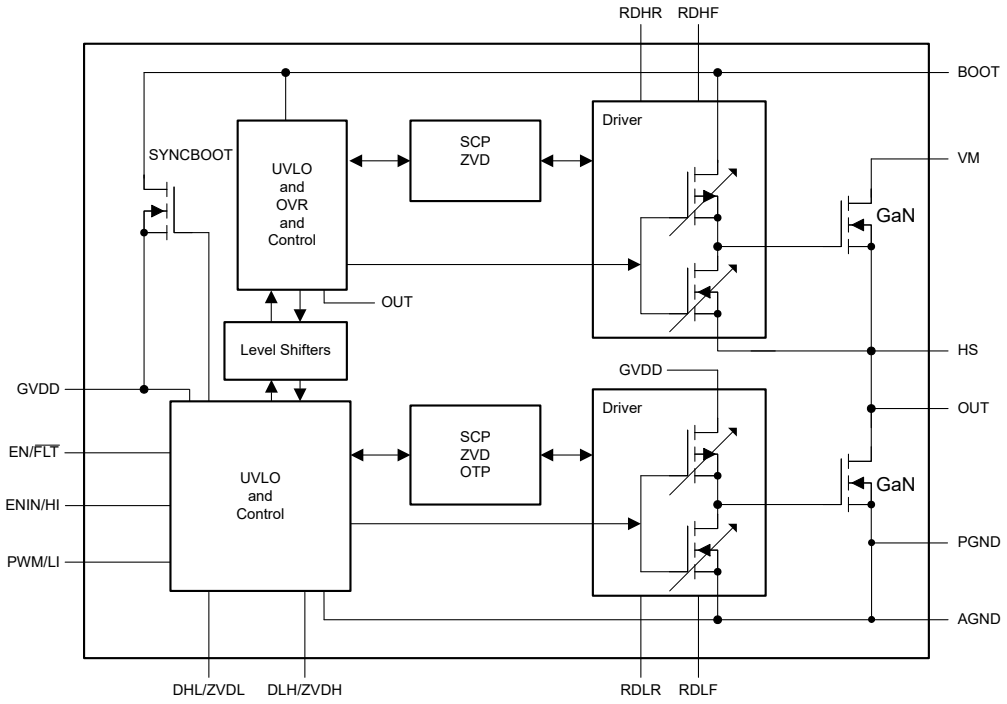


图 8-1. 功能方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

8.3 特性说明

DRV7167A 器件可简化高功率密度 PCB 设计，无需底部填充，同时保持所需爬电距离和电气间隙。该器件在高侧和低侧栅极驱动器之间提供紧密匹配的传播延迟，可实现精确的死区时间控制，这一因素对于在基于 GaN FET 的应用中实现高效率至关重要。HI 和 LI 输入均可独立控制，从而最大限度地缩短第三象限导通时间。对于上升沿和下降沿，HI 和 LI 通道之间的传播延迟失配通常为 2ns，从而实现极其严格的死区时间优化。该器件还支持具有电阻器可编程死区时间调节功能的单路 PWM 输入模式，以便与具有受限 I/O 功能的控制器配合使用。通过将 GaN FET 半桥与驱动器共同封装，DRV7167A 可实现优化的栅极环路电感，显著提高硬开关拓扑的性能。

具有过压调节功能的集成自举电路可确保高侧栅源电压 (V_{GS}) 保持在 GaN FET 的安全工作限值范围内，无需外部保护元件。内置驱动器在 GVDD 和 BOOT-HS 电源轨上具有欠压锁定 (UVLO) 保护功能。当任一电源轨电压降至 UVLO 阈值以下时，该器件会忽略 HI 和 LI 命令以防止 FET 部分导通。如果 GVDD 保持在 2.5V 以上并低于 UVLO 阈值，驱动器会主动将两个栅极驱动器输出拉至低电平。UVLO 阈值上的迟滞可防止由于电源噪声或瞬态而导致的抖动和误触发

DRV7167A 集成了用于两个 FET 且基于 V_{DS} 的短路保护以及过热报告功能。其他特性包括零电压检测 (ZVD)，可优化死区时间并更大限度地降低第三象限导通损耗。

8.3.1 控制输入

DRV7167A 支持 IIM 模式和单路 PWM 模式。在独立输入模式 (IIM) 下，DRV7167A 输入引脚由 TTL 输入阈值独立控制，支持 3.3V 和 5V 逻辑电平。表 8-1 介绍了单路 PWM 模式和 IIM 模式的配置。

表 8-1. 控制输入配置

模式	配置
IIM 模式	• 将 RDLF 引脚（引脚 4）上的电阻器连接到 AGND 引脚（引脚 15）。 • ENIN/HI（引脚 12）是高侧栅极驱动的控制输入，而 PWM/LI（引脚 13）是低侧栅极驱动的控制输入。
单路 PWM 模式	• 将 RDLF 引脚（引脚 4） 以启用单路 PWM 模式。要确认悬空检测，请确保 RDLF 引脚的寄生电容是否小于 10pF。 • 将 ENIN/HI（引脚 12）保持为高电平，以启用高侧和低侧 FET 的栅极驱动。 • PWM/LI（引脚 13）是 PWM 的控制输入。当 PWM 为高电平时，低侧 FET 导通；当 PWM 为低电平时，高侧 FET 导通。

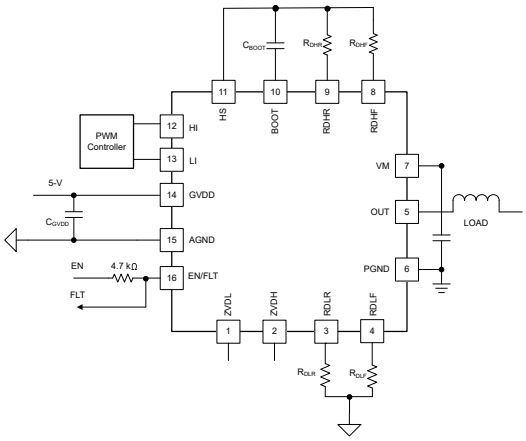


图 8-2. IIM 模式

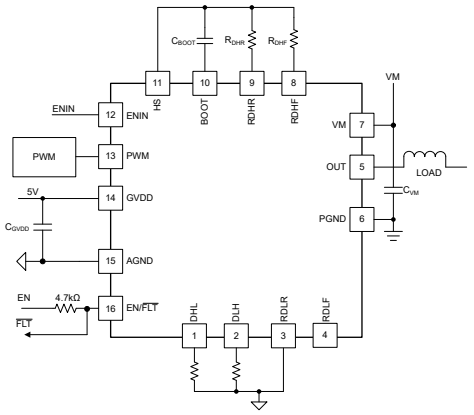


图 8-3. 单路 PWM 模式

DRV7167A 实现了重叠保护功能（互锁），可防止在 HI 和 LI 均置为高电平时出现直通现象。如果 HI 和 LI 均置为高电平，则高侧和低侧 GaN FET 都会关断。

Copyright © 2026 Texas Instruments Incorporated

在单路 PWM 模式下使用时，DRV7167A 由单路 PWM 输入控制，其中低电平到高电平转换的死区时间由 DLH 引脚上的外部电阻器设置，高电平到低电平转换的死区时间由 DHL 引脚上的外部电阻器设置，如 节 8.3.2 中规定。

8.3.1.1 EN/$\overline{\text{FLT}}$ 控制

EN/FLT 是一个多路复用的器件使能和故障指示灯引脚。将 EN/$\overline{\text{FLT}}$ 引脚保持在高电平可使器件功能保持启用。如果出现故障，该器件会在开漏配置中将 EN/$\overline{\text{FLT}}$ 引脚拉至低电平，持续时间为 t_{FLT}，如 节 8.3.8 中所述。在此期间，需要一个使能电阻器来限制流入 EN/$\overline{\text{FLT}}$ 引脚的电流。使能功能被屏蔽，器件在故障情况下保持启用状态，如 图 8-4 中所述。将去耦电容器靠近器件放置，以免噪声耦合到 EN/$\overline{\text{FLT}}$ 引脚。故障释放后，使能信号被屏蔽 t_{ENBLK} 时间。确保 EN/$\overline{\text{FLT}}$ 引脚具有低寄生电容，以便在故障后支持更快上升。将 EN/$\overline{\text{FLT}}$ 从外部拉至低电平以禁用器件。

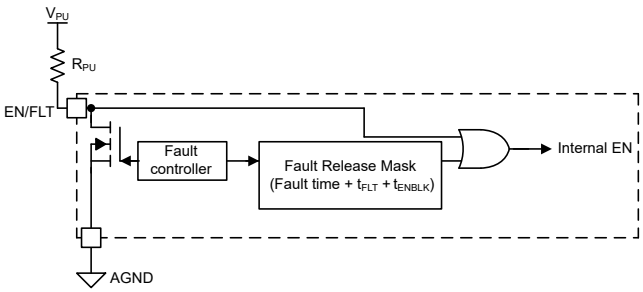


图 8-4. EN/$\overline{\text{FLT}}$ 引脚方框图

8.3.2 单路 PWM 模式下的死区时间设置

DRV7167A 支持 IO 受限控制器的单路 PWM 模式。将 RDLF 引脚悬空以启用单路 PWM 模式。将 ENIN/HI 引脚保持为高电平以启用驱动器。根据 方程式 4 和 方程式 5，DHL 和 DLH 上的电阻器（0Ω 至 100kΩ）设置开关节点处高电平到低电平转换和低电平到高电平转换的死区时间。图 8-5 说明了如何从单路 PWM 输入中获取高侧 (HS) 和低侧 (LS) GaN FET 的 PWM 输入。DRV7167A 生成互补 PWM，即 PWM 输入移相 180° 的信号。该器件通过将 PWM 输入的上升沿延迟 t_{DHL} 时间来生成 LS FET PWM 输入以便提供死区时间，并通过将互补 PWM 输入的上升沿延迟 t_{DLH} 时间来生成 HS FET PWM 输入以便提供死区时间。TI 建议为所选的压摆率设置选择足够的死区时间，以免发生任何直通。

$$t_{DHL}(ns) = 1/3 \times R_{DHL}(k\Omega) + 7.5 \quad (4)$$

$$t_{DLH}(ns) = 1/3 \times R_{DLH}(k\Omega) + 7.5 \quad (5)$$

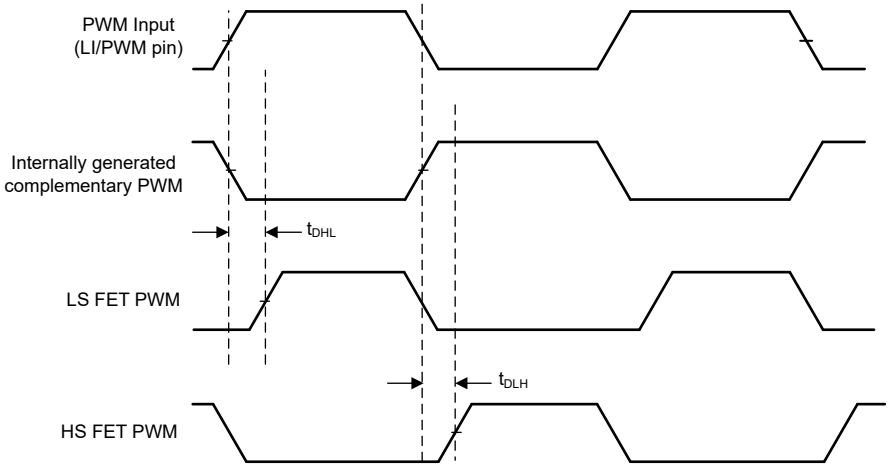


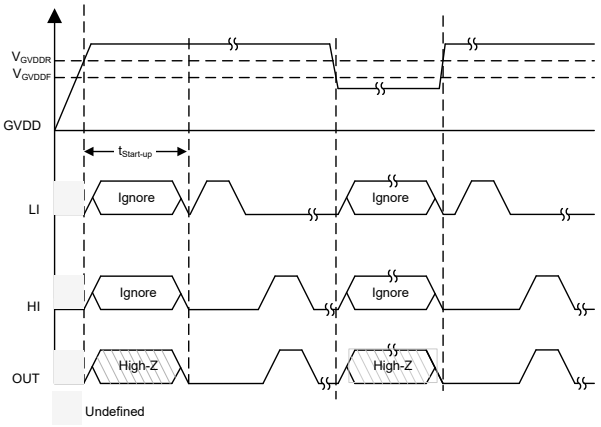
图 8-5. PWM 模式运行

ADVANCE INFORMATION

ADVANCE INFORMATION

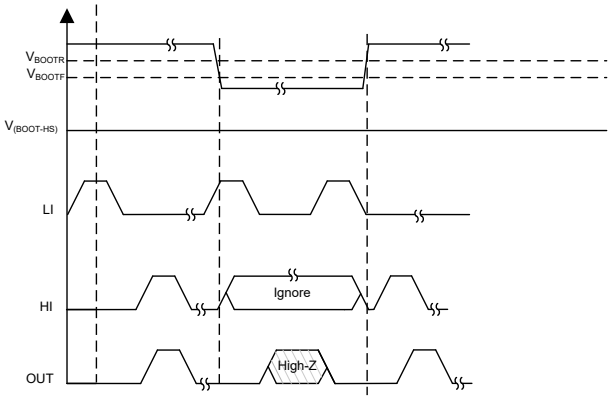
8.3.3 启动和 UVLO

DRV7167A 在启动时的 $t_{start-up}$ 持续时间内会忽略 HI 和 LI 输入。该器件在 GVDD 和 BOOT（自举）电源上均具有 UVLO 保护功能。启动后，当 GVDD 电压降至 GVDD 下降沿阈值 (V_{GVDDF}) 以下时，HI 和 LI 输入均被忽略，高侧和低侧 GaN FET 的栅极被主动拉至低电平，以防 GaN FET 部分导通。当 BOOT 至 HS 自举电压低于 UVLO 阈值 V_{BOOTF} 时，仅高侧 GaN FET 栅极被拉低。两个 UVLO 阈值电压均具有 200mV 迟滞以避免抖动。在 UVLO 检测电路上实施 1 µ s 的去毛刺滤波器，以免由于噪声而误触发。该器件报告 GVDD UVLO 的故障，如 图 8-14 中所示。



GVDD > V_{GVDDR}

图 8-6. GVDD UVLO



V_{BOOT} – V_{HS} > V_{BOOTR}

图 8-7. 启动 UVLO

8.3.4 同步自举

DRV7167A 集成了一个从 GVDD 至 BOOT 的同步自举电路，为高侧驱动器提供偏置 ($V_{BOOT-HS}$)。由于第三象限导通，稳压电源可确保栅极电压不超过增强模式 GaN FET 的最大栅源电压 (V_{BOOTth_R}) 额定值。集成自举 FET 可实现快速恢复，提供 5Ω 低导通电阻和足够的电压裕度，从而实现高效可靠的自举运行。图 8-8 介绍了自举的控制机制。当 LI 输入变为高电平时，BOOT 和 HS 引脚之间连接的外部电容器会在每个开关周期内充电。自举稳压器确认自举电容器在 V_{BOOTth_U} 和 V_{BOOTth_L} 之间充电，如 图 8-9 中所述。TI 建议在启动期间根据 t_{ss} 时间提供足够的 LI 脉冲，以便为自举电容器充电。DRV7167A 具有浪涌电流控制功能，同时在启动时为自举充电，以免 GVDD 引脚上出现压降。自举控制机制可避免同步自举 FET 体二极管在 GVDD 和 BOOT 引脚上耦合时的反向恢复。因此，对于同步自举，有效 Q_{RR} 为 0。自举控制机制可减少 GVDD 和 HS 电容器上的纹波，并简化 GVDD-AGND 和 BOOT-HS 电容器的尺寸限制。对于无法通过足够的 LI 脉冲为自举电容器充电的应用，TI 建议采用相对于 HS 节点的隔离式电源。请注意，高侧 GaN FET 的栅极电压未在内部钳位。因此，为防止超过高侧 GaN 晶体管栅极击穿电压，应将外部隔离式偏置电源保持在建议的工作条件范围内。有关自举电容器值建议，请参阅 节 9.2.2.1。

Copyright © 2026 Texas Instruments Incorporated

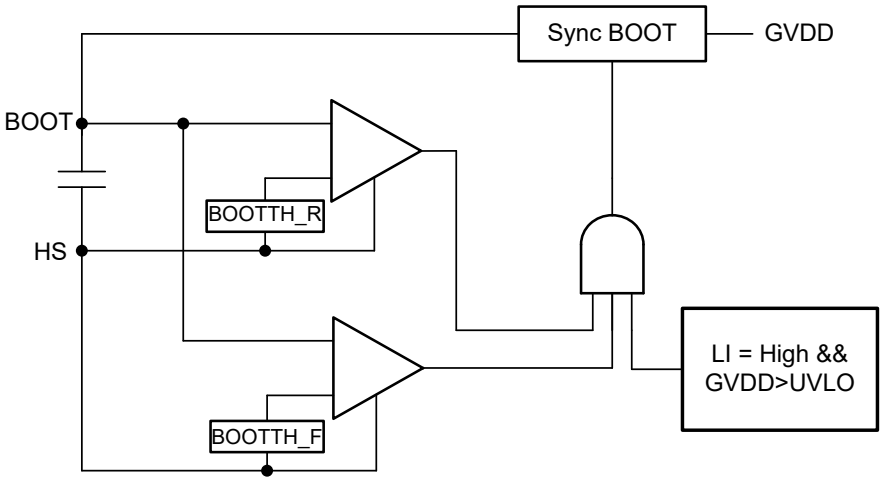


图 8-8. 同步自举控制逻辑

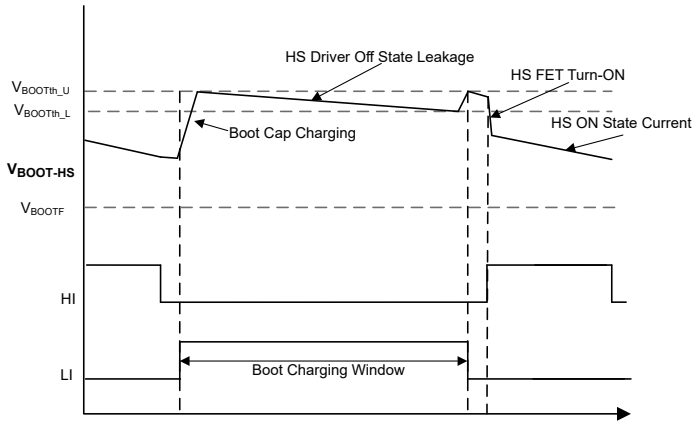


图 8-9. 自举电容器充电曲线

8.3.5 电平转换

电平转换电路是从高侧输入 HI 到高侧驱动器级的接口，以开关节点 (HS) 为基准。电平转换允许控制高侧 GaN FET 栅极驱动器输出，以 HS 引脚为基准，并提供与低侧驱动器的出色延迟匹配。

8.3.6 零电压检测 (ZVD) 报告

DRV7167A 支持零电压检测 (ZVD)，可指示高侧和低侧 FET 是否在任何开关周期中进入第三象限超过 t_{3RD_ZVD} 时间。ZVD 信息在 ZVDH (高侧 FET) 和 ZVDL (低侧 FET) 引脚上报告。ZVD 功能仅适用于 IIM 模式。

对于低侧 FET，如果在特定转换中开关节点降至 AGND 以下 V_{THRESH_ZVD} 且持续时间大于 t_{3RD_ZVD}，则会生成一个持续时间为 t_{WD_ZVD} 的低电平脉冲，延迟为 $t_{DLY_ZVD_L}$。

对于高侧 FET，如果在特定转换中开关节点升至 VM 以上 V_{THRESH_ZVD} 且持续时间大于 t_{3RD_ZVD}，则会在一个单 PWM 周期后生成一个持续时间为 t_{WD_ZVD} 的低电平脉冲，与相应 LI 转换之间的延迟为 $t_{DLY_ZVD_H}$。

连接 DRV7167A 的控制器可以使用 ZVD 信息来调整死区时间，并尽可能缩短高侧和低侧 FET 的第三象限导通时间。

图 8-10 展示了 DRV7167A 主动向电机绕组提供电流 (相电流从 OUT 引脚流向电机) 时的 ZVDL 信号。在死区时间内，当两个 FET 均关断时，开关节点会转换至 AGND 以下，低侧 FET 会进入第三象限导通模式。该信息在 ZVDL 上报告。仅当低侧 GaN 进行软开关时，才忽略 ZVDH 信号。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

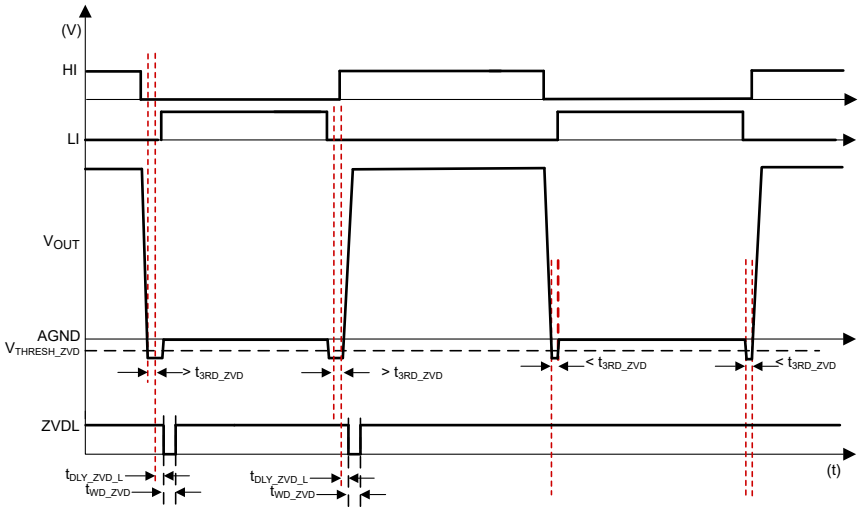


图 8-10. ZVD 报告 — 电流从 OUT 引脚流出

图 8-11 展示了 DRV7167A 从电机绕组灌入电流（相电流流入 OUT 引脚）时的 ZVDH 信号。在死区时间内，当两个 FET 均关断时，开关节点会转换至 VM 以上，高侧 FET 会进入第三象限导通模式。该信息在一个单 PWM 周期延迟后在 ZVDH 上报告。仅当高侧 GaN 进行软开关时，才忽略 ZVDL 信号。

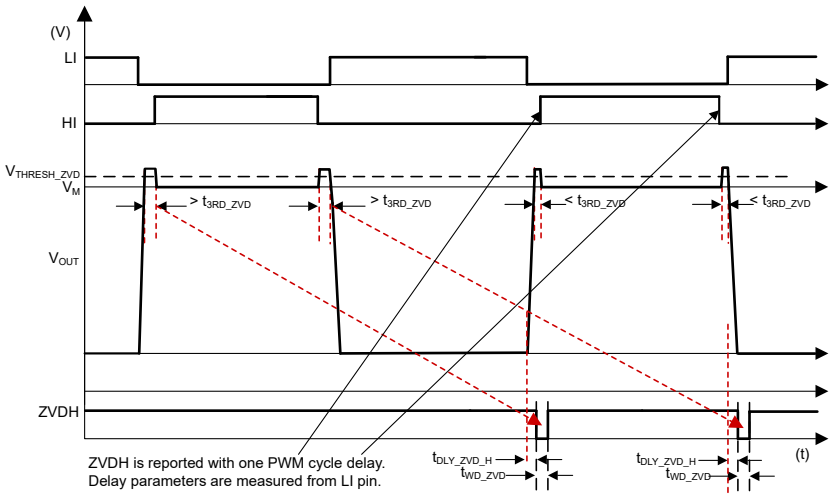


图 8-11. ZVD 报告 — 流入 OUT 引脚的电流

8.3.7 压摆率控制

如 引脚功能 中所述，HS 和 LS FET 的导通和关断驱动强度通过以下方式独立控制：

- RDHF 引脚控制高侧 FET 的下降沿栅极驱动强度。
- RDHR 引脚控制高侧 FET 的上升沿栅极驱动强度。
- RDLF 引脚控制低侧 FET 的下降沿栅极驱动强度。
- RDLR 引脚控制低侧 FET 的上升沿栅极驱动强度。

使用以上列出的电阻器，用户可以在更高的效率（更快的压摆率）和更低的振铃（更慢的压摆率）之间进行更好的权衡。图 8-12 和 图 8-13 展示了压摆率随电阻器的典型变化。器件中的电路可根据温度调节驱动强度，从而在整个温度范围内保持恒定的压摆率。因此，整个栅极环路较小，因为 RDxx 不在主栅极驱动环路中，从而实现比带有外部栅极电阻器的分立式栅极驱动器更好的性能。

Copyright © 2026 Texas Instruments Incorporated

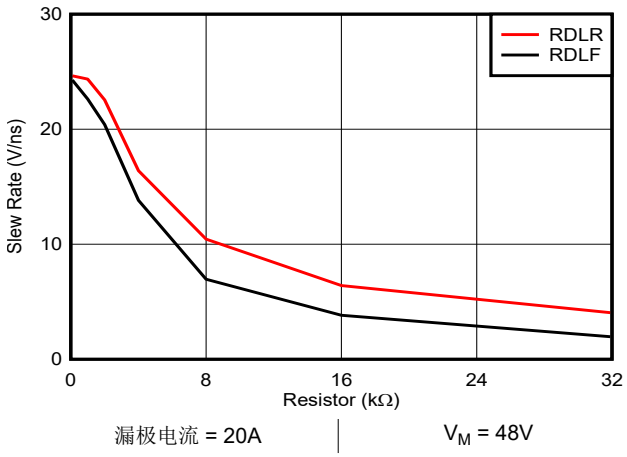


图 8-12. DRV7167：压摆率控制 — 进入 OUT 引脚的电流

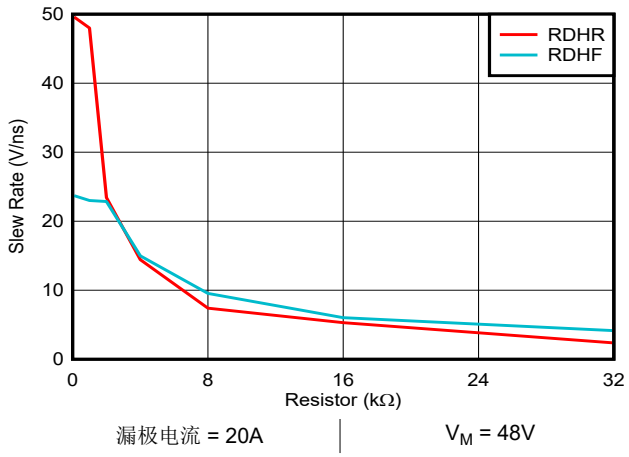


图 8-13. DRV7167：压摆率控制 — 流出 OUT 引脚的电流

8.3.8 故障指示

DRV7167A 通过 EN/$\overline{FLT}$ 引脚指示三种类型的故障：

- GVDD 电源的 UVLO 事件
- 低侧 GaN FET 上的短路事件
- 驱动器的过热事件

置为有效后，只要三个故障中的任何一个存在，低电平有效故障信号就会保持有效；在所有故障消失后，该信号还会持续 t_{FLT} 时间。

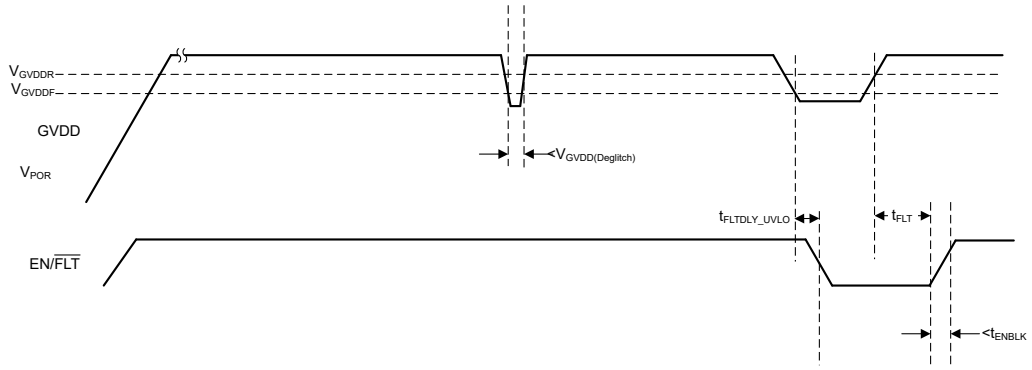


图 8-14. UVLO 故障报告

8.3.9 过流保护 (OCP)

DRV7167A 在两个 FET 上均实现了基于漏源电压 V_{DS} 监测的过流/短路保护。当任一 FET 通过 HI/LI = 高电平导通后，该器件会等待 t_{BLANK} 时间。等待后，检测 FET 的 V_{DS} 电压，如果电压大于 V_{DSAT}，则判定为短路。此后，FET 会在约 10ns 内关断以防止损坏。过流保护逐周期运行，每个 HI/LI 逻辑低电平到高电平转换周期都会导通 FET。如果 V_{DS} 超过设定的阈值，OCP 会在 HI/LI 逻辑高电平持续时间的剩余时间内关断 FET。OCP 保护仅适用于从漏极流向源极的电流。DRV7167A 仅针对低侧 FET OCP 事件触发故障，如 图 8-15 中所示。HS FET OCP 事件在给定周期内关断 FET，并且不会更改 EN/$\overline{FLT}$ 状态，如 图 8-16 中所示。

ADVANCE INFORMATION

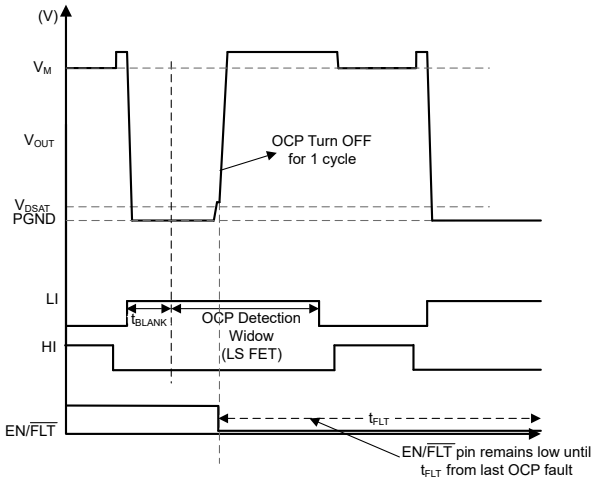


图 8-15. LS FET OCP 事件 — 流入 OUT 引脚的电流

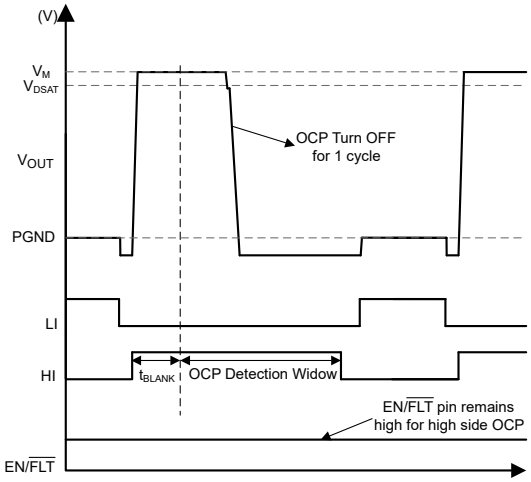


图 8-16. HS FET OCP 事件 — 流出 OUT 引脚的电流

8.3.10 过热检测 (OTD)

DRV7167A 会监测集成栅极驱动器的裸片温度，并在超过 OTD+ 阈值时指示故障。该器件不会采取任何其他操作。例如，该器件不会在检测到过热时关断 GaN FET，任何此类保护操作将留给外部 PWM 控制器执行。

根据工作条件和系统热设计，GaN FET 和集成式驱动器之间可能存在温差。

Copyright © 2026 Texas Instruments Incorporated

8.4 器件功能模式

当 GVDD-AGND 和 BOOT-HS 高于 UVLO 阈值时，DRV7167A 在正常模式下运行。有关 UVLO 工作模式的信息，请参阅 *节 8.3.3*。在正常模式下，输出状态取决于 HI 和 LI 引脚的状态。

表 8-2 列出了 DRV7167A 在 IIM 模式下不同输入引脚组合的输出状态。此器件支持重叠保护/互锁功能。当 HI 和 LI 均置为有效时，功率级中的两个 GaN FET 都会关断。

表 8-2. 真值表 (DRV7167A)

HI	LI	高侧 GaN FET	低侧 GaN FET	OUT
L	L	关断	关断	高阻态
L	H	关断	导通	PGND
H	L	导通	关断	VM
H	H	关断	关断	高阻态

表 8-3 列出了 DRV7167A 在单路 PWM 模式下不同输入引脚组合的输出状态。

表 8-3. 单路 PWM 模式真值表

ENIN	PWM	高侧 GaN FET	低侧 GaN FET	OUT
L	L	关断	关断	高阻态
L	H	关断	关断	高阻态
H	L	导通	关断	VM
H	H	关断	导通	PGND

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

DRV7167A GaN 功率级是电机驱动器应用的一个多功能组成部分。集成了 GaN FET 的高性能栅极驱动器可最大限度地减少寄生效应，实现 GaN FET 的极快速高效开关。

9.2 典型应用

图 9-1 展示了 GVDD 连接到 5V 电源的 BLDC 电机驱动器应用。优化电源环路（从 VM 电容器到 PGND 的环路阻抗）至关重要。具有高功率环路电感会在 OUT 节点中引起显著振铃，并且还会引起相关的功率损耗。DRV7167A 的 VM 和 PGND 引脚彼此相邻。因此，VM 电容器能够非常靠近 PCB 顶层的 DRV7167A 放置，从而最大限度减少电源环路电感。

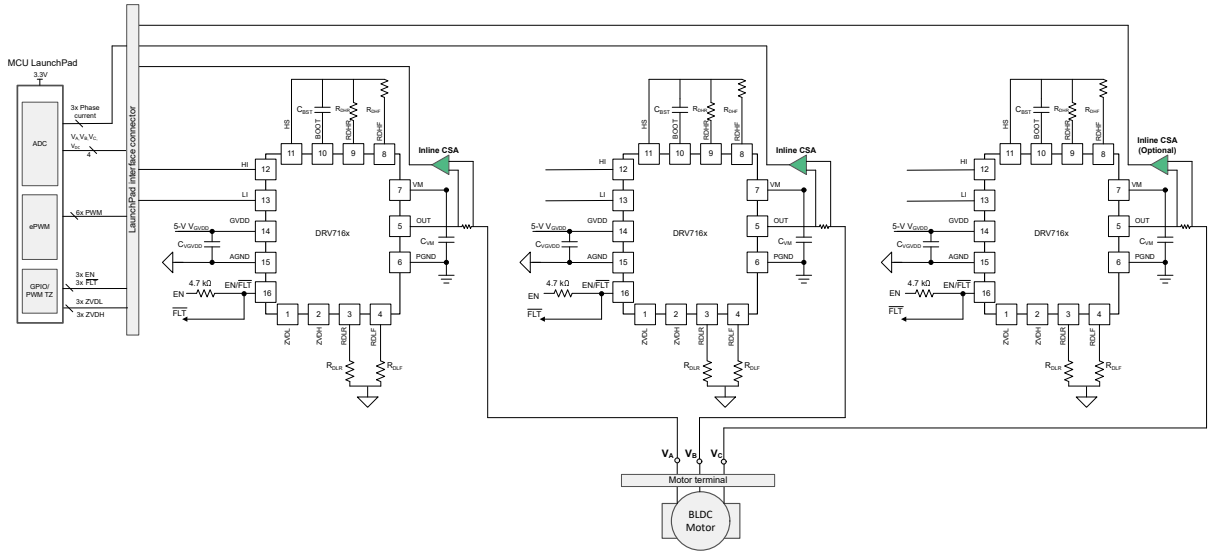


图 9-1. IIM 模式下 BLDC 电机的典型连接图

9.2.1 设计要求

表 9-1 列出了系统设计的输入参数示例。

表 9-1. 设计参数

参数	示例值
半桥输入电源电压 V_M	48V
电机 RMS 电流	20A
电机峰值电流	60A
V_{BOOT}-V_{HS} 自举电容器	0.22uF，X5R
开关频率	100kHz
死区时间	15ns
压摆率设置	10V/ns

Copyright © 2026 Texas Instruments Incorporated

9.2.2 详细设计过程

此过程概述了 BLDC 电机应用中 DRV7167A 的设计注意事项。要获得更多的设计帮助，请参阅 节 10.1.1。

9.2.2.1 自举电容器

自举电容器为高侧栅极驱动器提供栅极电荷，为 BOOT UVLO 电路提供直流偏置电源，并为自举二极管提供反向恢复电荷。可使用方程式 6 计算所需的旁路电容。

$$C_{BST} = (Q_G + Q_{RR} + I_{BOOT} * t_{ON(max)}) / \Delta V \quad (6)$$

其中

- I_{BOOT} 是高侧栅极驱动器的静态电流
- t_{ON}(maximum) 是高侧栅极驱动器的最大导通时间
- Q_{RR} 是自举二极管的反向恢复电荷
- Q_G 是高侧 GaN FET 的栅极电荷
- ΔV 是自举电容器中允许的纹波（< 100mV，典型值）

0.22 µF、16V、0402 陶瓷电容器适用于大多数应用。请将自举电容器尽可能靠近 BOOT 和 HS 引脚放置。

9.2.2.2 GVDD 旁路电容器

GVDD 旁路电容器为低侧和高侧 GaN FET 提供栅极电荷。使用 方程式 7 计算所需的旁路电容。

$$C_{GVDD} = (2 \times Q_G) / \Delta V \quad (7)$$

其中

- Q_G = 高侧和低侧 GaN FET 各自的栅极电荷（假定相等）
- ΔV = 旁路电容器上的最大允许电压降

建议使用 1µF 或更大容值的电容器，以及 100nF 的高频、优质、小型封装陶瓷电容器。为尽可能减少低侧栅极驱动环路中的寄生电感，应将高频旁路电容器尽可能靠近器件的 GVDD 和 AGND 引脚放置。

9.2.2.3 功率耗散

DRV7167A 器件的总功率耗散是高侧和低侧栅极驱动器损耗、自举功率损耗以及 GaN FET 开关和导通损耗的总和。

栅极驱动器损耗是由 GaN FET 寄生电容的充电和放电引起的。使用 方程式 8 估算损耗。

$$P = Q_G \times f_{SW} \times (GVDD + V_{BOOT}) \quad (8)$$

其中

- Q_G = 栅极电荷
- f_{SW} = 开关频率
- GVDD 引脚上的 GVDD = 偏置电源
- V_{BOOT} = BOOT-HS 引脚上的电压

自举电路通过自举 FET 导通电阻器为自举电容器充电时会耗散功率。此损耗与频率成正比。栅极驱动器中存在一些由内部驱动器级引起的额外损耗。

GaN FET 引起的功率损耗可分为导通损耗和开关损耗。导通损耗是阻性损耗，使用 方程式 9 计算得出。

$$P_{COND} = \left[\left(I_{RMS(HS)}\right)^2 \times RDS_{(on)HS}\right] + \left[\left(I_{RMS(LS)}\right)^2 \times RDS_{(on)LS}\right] \quad (9)$$

其中

ADVANCE INFORMATION

- $R_{DS(on)HS}$ = 工作 T_J 时的高侧 GaN FET 导通电阻。
- $R_{DS(on)LS}$ = 工作 T_J 时的低侧 GaN FET 导通电阻。
- $I_{RMS(HS)}$ = 高侧 GaN FET RMS 电流。
- $I_{RMS(LS)}$ = 低侧 GaN FET RMS 电流。

使用 方程式 10 计算一阶开关损耗，其中可通过将 V_M 除以硬开关 FET 的 RDXX 电阻器设置的压摆率 (V/ns) 来估算出 t_{TR}。

$$P_{SW} = 0.5 \times V_M \times I_{OUT} \times (t_{TR_R} + t_{TR_F}) \times f_{SW} + (V_M \times V_M \times C_{OSS(TR)} \times f_{SW}) \quad (10)$$

其中

- t_{TR_R} = 从开到关以及从关到开的开关节点切换时间之和。
- $C_{OSS(TR)}$ = 每个 GaN FET 的输出电容。

有关开关损耗的详细计算，请参阅 E_{ON} 和 E_{OFF} 值。软开关 GaN FET 会在死区时间内进入第三象限。使用 方程式 11 计算第三象限损耗。

$$P = 2 \times V_{SD} \times I_{LOAD} \times f_{SW} \times t_{3rd} \quad (11)$$

其中

- V_{SD} = 第三象限电压。
- I_{LOAD} = 软开关 FET 中的电流。
- f_{SW} = 开关频率。
- t_{3rd} = GaN FET 保持在第三象限内的时间。此公式假设 LS FET 导通之前和 LS FET 关断之后的第三象限时间相同。

开关频率直接影响器件功率耗散。尽管 DRV7167A 器件的栅极驱动器能够以高达 500kHz 的频率驱动 GaN FET，但仍需仔细考虑该器件的运行条件，以确认条件符合建议的工作温度规格。BLDC 电机驱动器等硬开关拓扑往往比软开关应用产生更多损耗和自发热量。

驱动器损耗、自举损耗以及 GaN FET 开关和导通损耗之和就是器件的总功率损耗。精心设计电路板布局布线，在电源焊盘（VM 和 PGND）附近设置足够数量的散热过孔，可实现封装的理想功率耗散。带气流的顶面安装散热器也可以改善封装的功率耗散。确认驱动动器和 GaN FET 中的功率损耗保持低于封装在工作温度下的最大功率耗散限值。

9.2.3 应用曲线

9.2.3.1 压摆率图

图 9-2 到图 9-5 概述了输出相电流为 $10A_{RMS}$，频率为 80kHz PWM 时，上升沿和下降沿的开关瞬态电压、传播延迟和可配置的转换率（20% 至 80%）。实施 0Ω 控制电阻时，过冲电压约为 14V。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

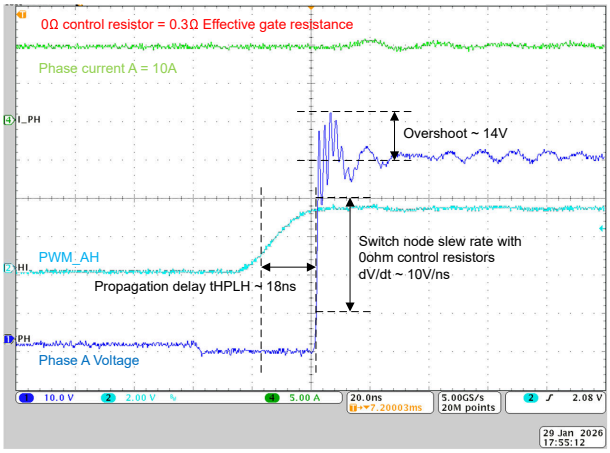


图 9-2. 使用 0Ω 控制电阻时的上升沿转换率

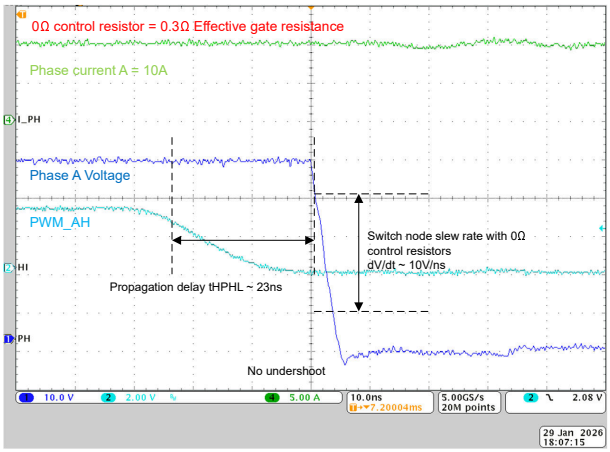


图 9-3. 使用 0Ω 控制电阻时的下降沿转换率

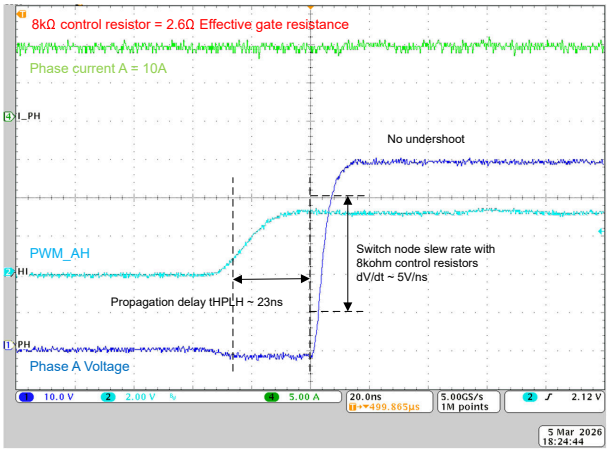


图 9-4. 使用 8kΩ 控制电阻时的上升沿转换率

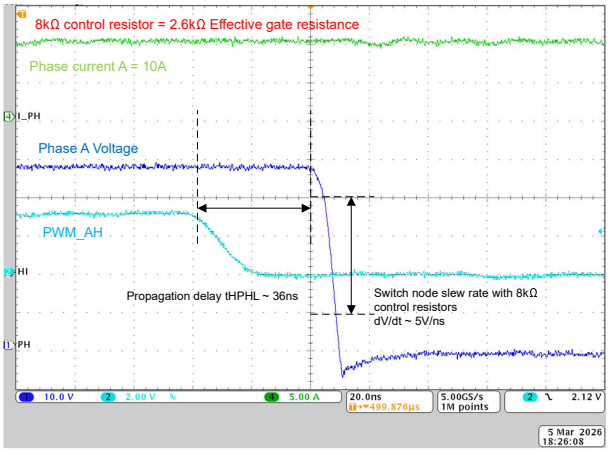


图 9-5. 使用 8kΩ 控制电阻时的下降沿转换率

ADVANCE INFORMATION

9.3 电源相关建议

DRV7167A 的建议偏置电源电压范围为 4.5V 至 5.5V。请注意，低侧 GaN FET 的栅极电压未在内部钳位。因此，务必要将 GVDD 辅助电源保持在建议的工作范围内，以防超过低侧 GaN 晶体管栅极击穿电压。

UVLO 保护功能还涉及迟滞功能。这意味着，如果器件在正常模式下运行，即使 GVDD 电压下降，只要压降不超过迟滞规格 $V_{GVDD(hyst)}$，器件就会继续在正常模式下运行。如果压降超过迟滞规格，器件将关断。因此，在 4.5V 或接近 4.5V 范围内运行时，辅助电源输出端的电压纹波必须小于 DRV7167A 的迟滞规格，以免触发器件关断。

在 GVDD 和 AGND 引脚之间放置本地旁路电容器。该电容器必须尽可能靠近器件。建议使用低 ESR 的陶瓷表面贴装电容器。TI 建议在 GVDD 和 AGND 之间使用 2 个电容器：一个是用于高频滤波的 100nF 陶瓷表面贴装电容器，放置在非常靠近 GVDD 和 AGND 引脚的位置，另一个是用于满足 IC 偏置要求的 1μF 至 10μF 表面贴装电容器。

9.4 布局

9.4.1 布局指南

为了更大限度地发挥快速开关的效率优势，极为重要的一点是优化电路板布局布线以尽可能减小电源环路阻抗。如果使用多层电路板（2 层以上），可通过减小到达输入电容器的返回路径（VM 与 PGND 之间）并使其位于第一层正下方来尽可能降低电源环路寄生阻抗，如图 9-6 和图 9-7 所示。由于返回电流直接位于下方并沿相反方向流动，因此降低了环路电感（磁通抵消的原因）。

Copyright © 2026 Texas Instruments Incorporated

如果对上述电源环路布局指导原则不够重视，可能会导致开关节点上出现过度过冲和下冲。

同样重要的是，GVDD 电容器和自举电容器应尽可能靠近器件并位于第一层。应仔细考虑 DRV7167A 器件的 AGND 连接。该连接不能直接连接到 PGND，否则 PGND 噪声会直接使 AGND 移位，进而导致杂散开关事件（由于 HI 和 LI 信号中注入了噪声）。

有关基于这些建议的实际布局，请参阅 DRV7167A EVM。

9.4.2 布局示例

图 9-6 和图 9-7 的横截面中所示的布局显示了器件相对于敏感无源器件（如 VM、自举电容器（HS 和 BOOT）以及 GVDD 电容器）的建议布局。在布局中应留出适当的间距，以减小爬电距离，并根据应用污染级别满足间隙要求。由于污染可忽略，内层（如果存在）的间隔可以更紧密。

布局的设计必须尽可能减小 OUT 节点的电容。使用尽可能小的覆铜面积将器件 OUT 引脚连接到电感器、变压器或其他输出负载。此外，还要确保接地平面或任何其他铜平面具有切口，以免与 OUT 节点重叠，因为这将有效地在印刷电路板上形成电容器。该节点上的额外电容会降低 DRV7167A 先进封装技术的优势，并可能导致性能下降。

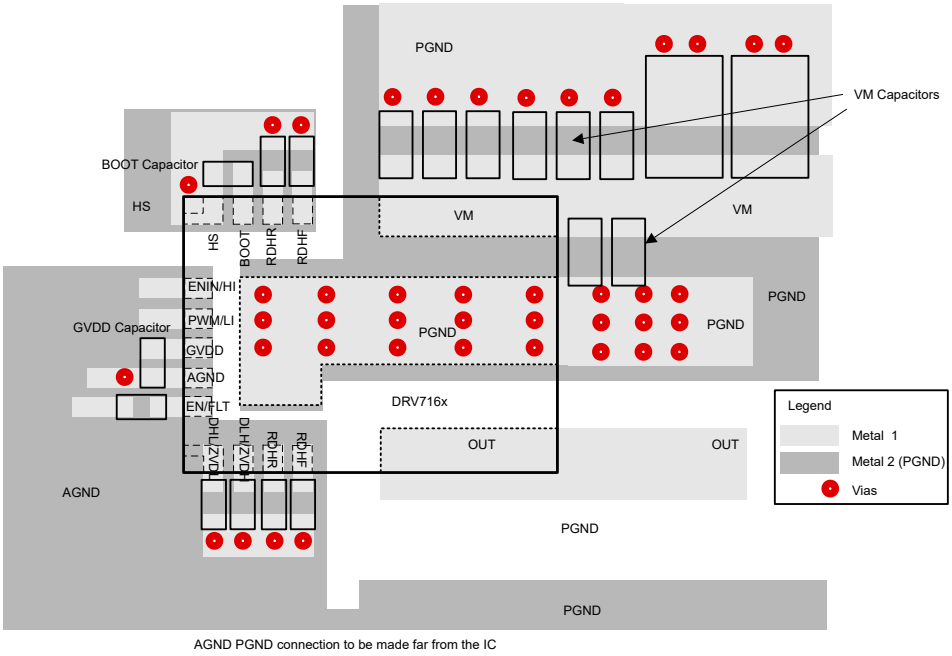


图 9-6. 外部元件放置方式（多层 PCB）

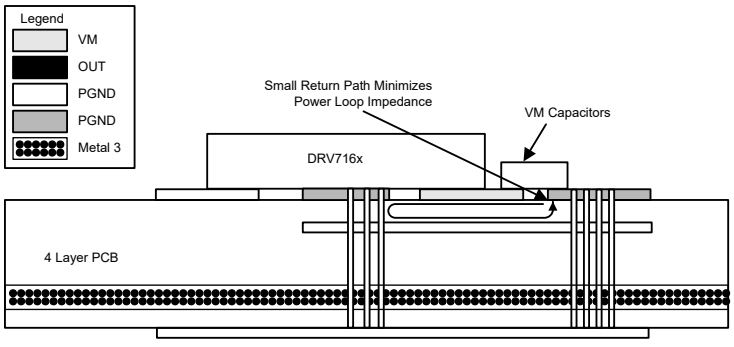


图 9-7. 四层电路板横截面，返回路径位于电源环路正下方

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

- 德州仪器 (TI)，*人形机器人中的电机控制*
- 德州仪器 (TI)，*具有工业通信功能的 48V 1kW 机器人关节电机控制参考设计*
- 德州仪器 (TI)，*LMG2100R044 GaN 功率级模块布局指南*
- 德州仪器 (TI)，*LMG2100 评估模块*

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (October 2025) to Revision A (July 2026)	Page
• 更正了“*说明*”中的印刷错误	1
• 更正了以下内容中的印刷错误：	13
• 更正了图 8-1 中的印刷错误	15
• 更正了图 9-1 中的印刷错误	24

ADVANCE INFORMATION

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

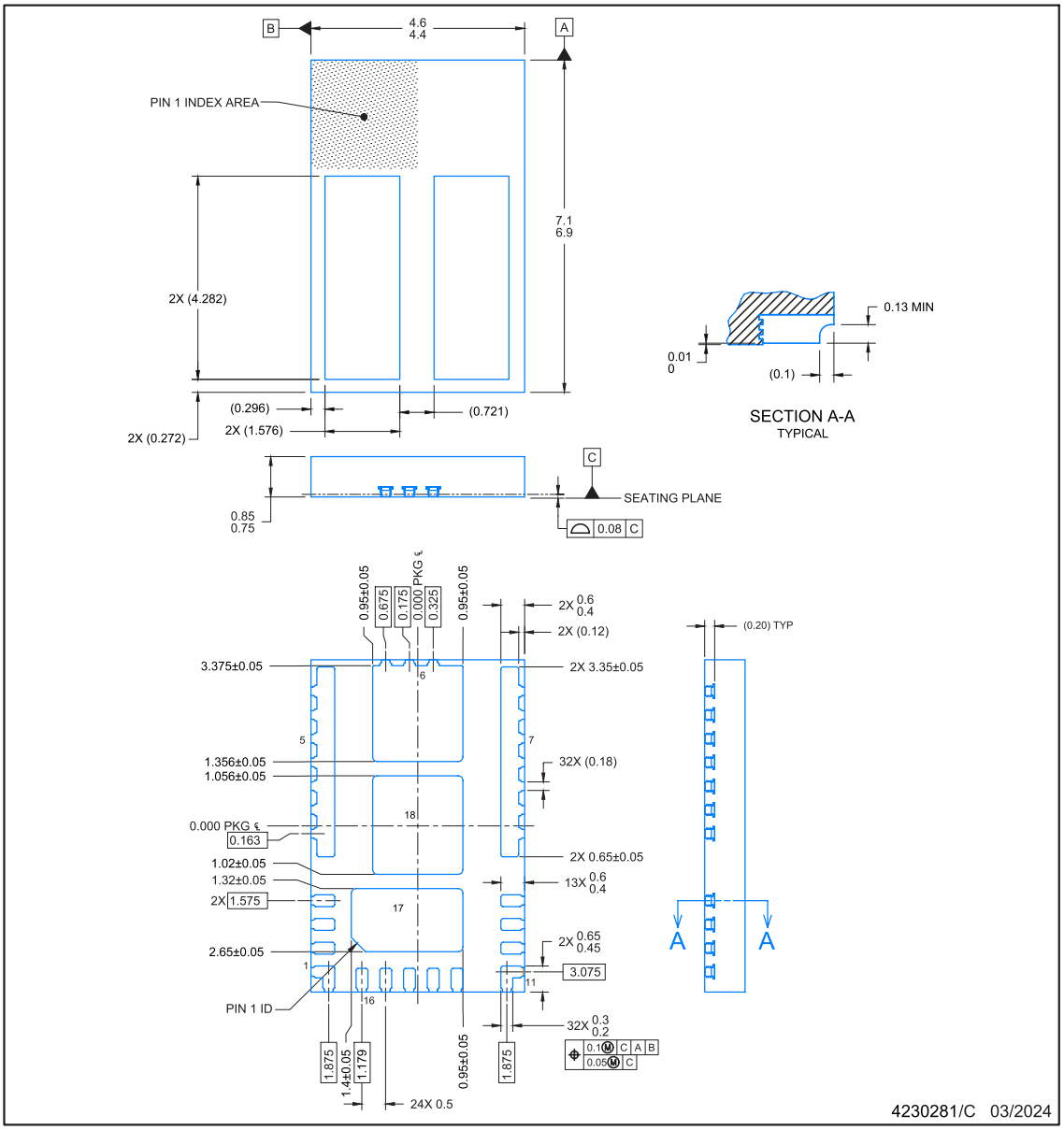
12.1 封装信息

12.1.1 机械数据

PACKAGE OUTLINE

VBN0018A — **VQFN-FCRLF - 0.85 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

ADVANCE INFORMATION

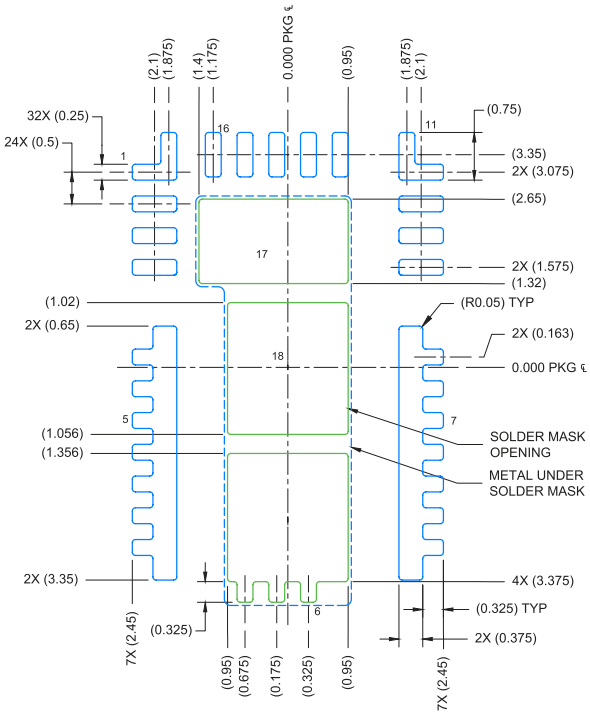
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

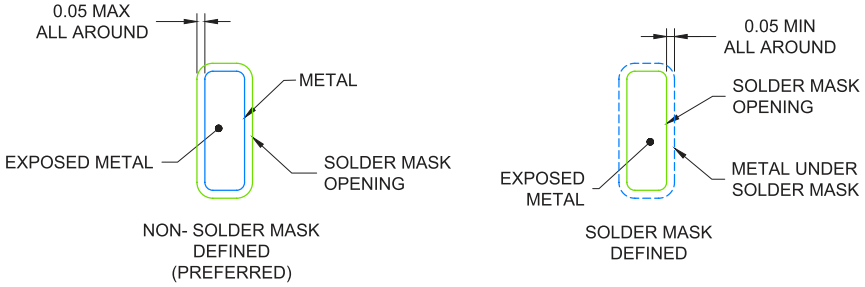
EXAMPLE BOARD LAYOUT

VBN0018A — **VQFN-FCRLF - 0.85 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4230281/C 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

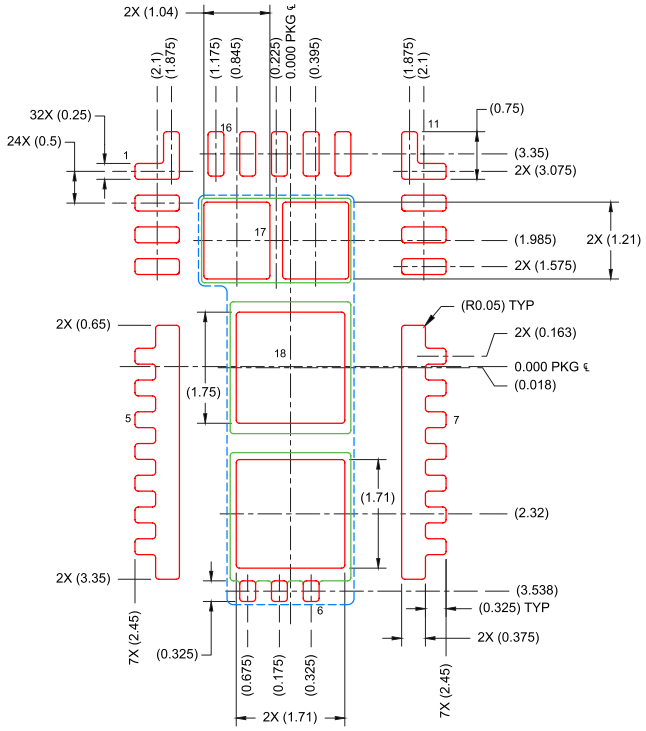
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

VBN0018A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 6: 78%
PAD 17: 81%
PAD 18: 76%

4230281/C 03/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV7167AVBNR	Active	Preproduction	VQFN-FCRLF (VBN) | 18	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

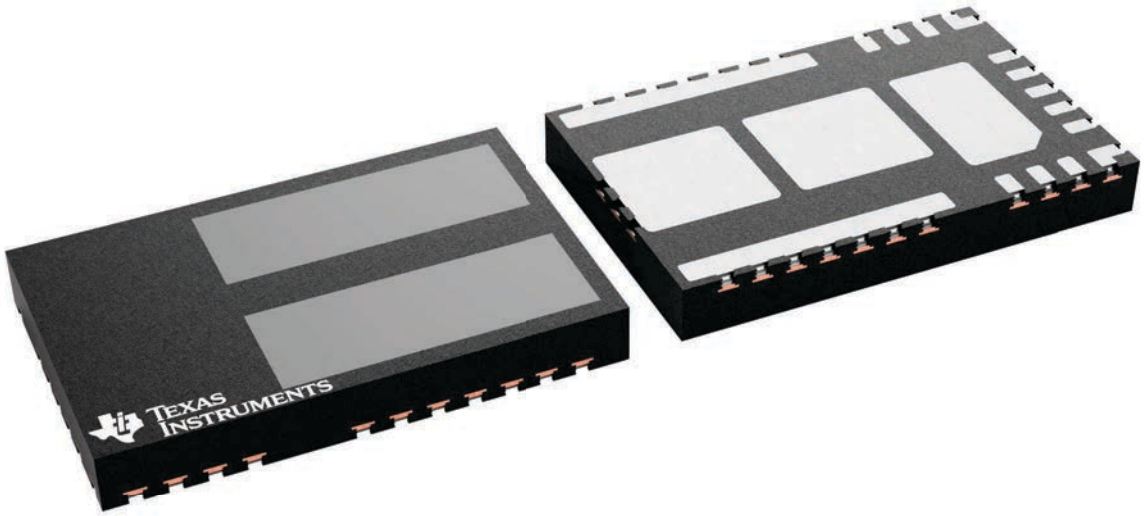
VBN 18

VQFN-FCRLF - 0.85 mm max height

4.5 x 7, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230977/A

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月