DRV3901-Q1 适用于电动汽车热熔丝的单通道爆管驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：-40°C 至 +125°C，T_A
- 符合功能安全标准
  - 专为功能安全应用开发
  - 辅助 ISO26262 系统设计、最高支持 ASIL D 的文档
- 针对电动汽车热熔丝应用的高集成度爆管驱动器解决方案
  - 集成电源、电流调节、诊断和安全功能
  - 基于 SPI 或 HW 引脚的触发，可实现灵活的接口选项和快速的触发反应
  - 用于系统储能电容器和爆管健康监测的诊断功能
  - 适用于电源、接口、驱动器和监测器的内置自检和诊断功能
  - 通过冗余电源、低侧和高侧驱动器以及辅助监测逻辑实现可靠运行的架构
- 最高 28V（40V 绝对最大电压）工作电压
- 紧凑型 HVSSOP-28 (DGQ) 引线式封装
- 双线负载接口，包括受保护的电流控制高侧和受保护的辅助低侧开关
- 集成电荷泵可实现最小 MOSFET 压降电压
- 4 线可寻址 24 位 SPI，带 CRC 保护
  - 允许多个器件在同一 SPI 上运行
  - 允许向多个器件发送广播命令。
- 可配置的部署电流（1.2A/2ms、1.75A/0.5ms、最高 3.4A/0.5ms）
- 可配置的部署接口选项
  - 2 引脚硬件触发器，带 PWM 或电平信令
  - 具有 CRC 的受保护 SPI 命令
- 全面关断状态诊断
  - 器件内置自检
  - 驱动器输出和开关测试
  - 接口测试
  - 储能电容器测试
  - 爆管电阻测试
- 可配置故障指示器 (nFAULT)

2 应用

- 爆管驱动器
- 电动汽车热熔保险丝
- 电池断连单元
- 电池接线盒

封装信息

器件型号(1)	封装	封装尺寸（标称值）(2)
DRV3901-Q1	HVSSOP (28)	7.3mm x 4.9mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件信息

主要特性
受保护的高侧和低侧架构
可配置的部署电流选项
直接硬件引脚触发接口
储能电容器诊断
全面关断状态诊断
可寻址 24 位 SPI

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

3 说明

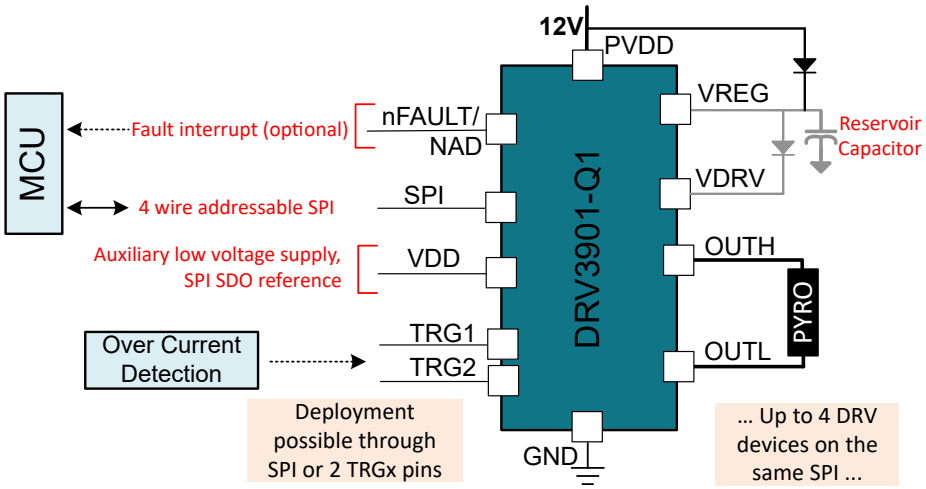
DRV3901-Q1 是一款专为电动汽车热熔丝应用而设计的高集成度爆管驱动器。该器件包括驱动爆管负载所需的电源、电流检测和调节以及诊断和保护功能。该器件整合了特有的多种关键功能，这些功能不同于传统爆管驱动器。这些功能包括硬件引脚触发接口、储能电容器诊断、可寻址 SPI 以及集成电荷泵和额外部署电流选项的优化驱动器级。

硬件引脚触发 (TRGx) 接口允许在硬件中直接向 DRV3901-Q1 发出部署命令。这样便可以通过以下方式灵活触发部署：使用 MCU 硬件引脚，直接使用过流传感器，或者通过其他外部硬件电路监测器。硬件触发器引脚支持具有阈值选项或基于 PWM 的选项的 2 引脚接口，以确保针对部署缺失问题提供稳健性，同时仍提供灵活性以支持各种接口选项。此外，还有一种辅助方法是可以通过 SPI 总线发送受 CRC 保护的部署命令。

为了支持对系统储能电容器进行诊断，DRV3901-Q1 集成了一个开关和监控电路，可对储能电容器的放电电压进行偏置和监控。这使得器件和外部 MCU 能够在正常运行时检测储能电容器的缺失/故障或其近似值。

可寻址 SPI 允许在共享的 SPI 总线上控制多个器件。除了减少所需的 MCU 资源外，可寻址 SPI 还集成了广播命令结构，允许协调多个驱动器同时触发或交错延迟触发。该 SPI 具有多种稳健性功能，其中包括 CRC、地址回读能力和各种总线故障检测机制。

功率级采用受保护的高侧和低侧开关来确保稳健性，防止各种故障情况导致的意外驱动。集成电荷泵可确保在部署期间将开关上的压降电压降至最低，从而支持器件在低电源电压下运行。多种部署选项可以针对不同类型的爆管负载或特定应用要求进行优化。



简化版原理图

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 2
4 引脚配置和功能 4
5 规格 6
5.1 绝对最大额定值 6
5.2 建议运行条件 6
5.3 ESD 等级 6
5.4 热性能信息 7
5.5 电气特性 7
5.6 SPI 时序要求 15
5.7 时序图 15
5.8 典型特性 16
6 详细说明 17
6.1 概述 17
6.2 功能方框图 18
6.3 特性说明 19
6.4 器件功能模式 46
6.5 编程 48
7 寄存器映射 52
7.1 状态寄存器 54
7.2 MEAS 寄存器 59
7.3 CONFIG 寄存器 63
7.4 CMD 寄存器 70
8 应用和实施 74
8.1 应用信息 74
8.2 典型应用 74
8.3 电源相关建议 80
8.4 布局 80
9 器件和文档支持 82
9.1 接收文档更新通知 82
9.2 支持资源 82
9.3 静电放电警告 82
9.4 术语表 82
10 修订历史记录 82
11 机械封装和可订购信息 83

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

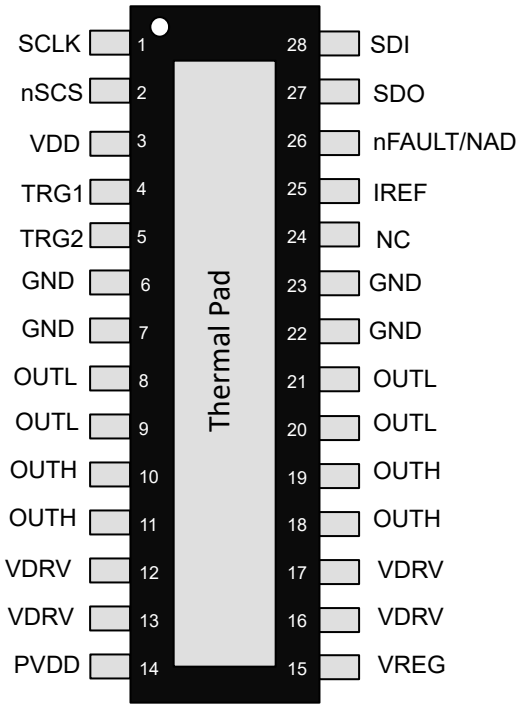


Figure not drawn to scale

图 4-1. DRV3901-Q1 HVSSOP 28 引脚 (DGQ) 封装引脚图

Copyright © 2026 Texas Instruments Incorporated

表 4-1. DRV3901-Q1 HVSSOP 28 引脚 (DGQ) 封装引脚功能

引脚		I/O	类型	说明
编号	名称			
1	SCLK	I	数字	串行时钟输入。在下降沿捕获串行数据，在上升沿移出串行数据。连接至 GND 的内部下拉电阻。
2	nSCS	I	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。连接至 V5_S 的内部上拉电阻。
3	VDD	I	电源	器件低电压和辅助电源。有关更多详细信息，请参阅节 6.3.2 部分。
4	TRG1	I	数字	直接硬件触发器接口引脚。有关更多详细信息，请参阅节 6.3.4 部分。
5	TRG2	I	数字	直接硬件触发器接口引脚。有关更多详细信息，请参阅节 6.3.4 部分。
6、7、22、23	GND	I	电源	器件接地。连接到系统接地端。
8、9、20、21	OUTL	O	电源	驱动器低侧输出。连接到负载的负极侧。
10、11、18、19	OUTH	O	电源	驱动器高侧输出。连接到负载的正极侧。
12、13、16、17	VDRV	I	电源	器件主电源。有关更多详细信息，请参阅节 6.3.2 部分。
14	PVDD	I	模拟	用于可选储能电容器诊断的器件连接。有关更多详细信息，请参阅节 6.3.2 部分。
15	VREG	O	模拟	用于可选储能电容器诊断的器件连接。有关更多详细信息，请参阅节 6.3.2 部分。
24	NC	NC	NC	内部无连接。连接到 GND。
25	IREF	O	模拟	用于内部电流诊断的基准电阻。
26	nFAULT/NAD	O	数字	通过外部电阻设置器件地址。用于在正常运行期间指示故障的开漏输出。有关更多详细信息，请参阅节 6.3.8 部分。
27	SDO	O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
28	SDI	I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。连接至 GND 的内部下拉电阻。
不适用	TPAD	不适用	不适用	器件散热焊盘。连接到 GND。

备注

有关必需和可选外部元件连接的详细信息，请参阅节 6.3.1 部分。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

		最小值	最大值	单位
电源引脚电压	VDRV、VREG、PVDD	-0.3	40	V
电源瞬态电压斜坡	VDRV、VREG、PVDD		1	V/µs
低电压电源引脚	VDD	-0.3	40	V
电源瞬态电压斜坡	VDD		2	V/µs
输出引脚电压（相对于 GND）	OUTH、OUTL(3)	-0.9	40	V
输出引脚电流	OUTH、OUTL	受内部限制(2)		A
触发器引脚电压	TRG1、TRG2	-0.3	40	V
nFAULT/NAD 引脚电压	nFAULT/NAD	-0.3	40	V
SPI 输入引脚电压	SDI、nSCS、SCLK	-0.3	40	V
SPI 输出引脚电压	SDO	-0.3	40	V
IREF 引脚电压	IREF	-0.3	5.5	V
环境温度，T_A		-40	125	°C
结温，T_J		-40	150	°C
存储温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*规定范围的应力可能会对器件造成永久性损坏。这些仅为应力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 受器件过流和过热保护功能的限制
(3) OUTL 引脚电压假定 OUTH 和 OUTL 之间存在电阻负载（爆管负载）。

5.2 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{SUPPLY}	电源电压(2)	PVDD、VREG、VDRV	5		28(1)	V
V_{VDD}	逻辑电源电压(2)	VDD	4.5		5.5	V
V_{LOGIC}	控制器引脚电压	TRG1、TRG2、nFAULT/NAD	0		5.5	V
V_{SPI_IOS}	SPI 引脚电压	SDI、SDO、nSCS、SCLK	0		5.5	V
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 受器件过流和过热保护功能的限制。
(2) 有关电源电压范围的具体信息，请参阅“电源和监测”部分。

5.3 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) HBM ESD 分类等级 2	PVDD、VDRV、VREG、OUTH、OUTL、GND	±4000	V
			所有其他引脚	±2000	
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		HVSSOP (28)	单位
$R_{\theta JA}$	结至环境热阻	31	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	29.1	°C/W
$R_{\theta JB}$	结至电路板热阻	9.3	°C/W
Ψ_{JT}	结至顶部特征参数	1.4	°C/W
Ψ_{JB}	结至电路板特征参数	9.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
VDRV 和 VDD 电源						
V_{VDRV_REV}	反向电流期间的电源引脚电压	I(VDRV) = -1A，器件处于未通电状态		-2		V
I_{VDRV_STBY}	待机状态下的 VDRV 电流	驱动器高阻态，关断状态诊断已禁用			2.5	mA
I_{VDD_STBY}	待机状态下的 VDD 电流	驱动器高阻态，VDRV = 0V（无 SPI 活动）			2.5	mA
I_{VDD_PEAK}	一个 SCLK 周期内发生 SDO 总线争用（数据冲突）时的 VDD 峰值电流				40	mA
t_{READY}	从 POR 到器件准备好接受命令的上电时间	VDRV 电源上电斜升			1	ms
I_{VDRV_VDD}	VDRV 至 VDD 的漏电流	VDRV = 13.5V，VDD = 0V			25	µA
I_{VDRV_VDD}	VDRV 至 VDD 的漏电流	VDRV = 0V，VDD = 5V	-3			µA
复位 (nPOR)						
$V_{VDRV_RST_FALL}$	发生复位时的 VDRV 下降电平，VDD 处于高阻态	VDD = 0V	2.5		3.5	V
$V_{VDRV_RST_RISE}$	释放复位时的 VDRV 上升电平，VDD 处于高阻态	VDD = 0V	3		4	V
$V_{VDD_RST_FALL}$	发生复位时的 VDD 下降电平，VDRV 处于高阻态	VDRV = 0V	2.5		3.5	V
$V_{VDD_RST_RISE}$	释放复位时的 VDD 上升电平，VDRV 处于高阻态	VDRV = 0V	3		4	V
t_{RST}	复位时的模拟滤波器时间	在上电期间有效		13		µs
VDRV 监测器						
$V_{VDRV_UV_BIAS_FALL}$	下降时的 VDRV 偏置欠压阈值	VDD > 4.5V	2.5		3.4	V
$V_{VDRV_UV_BIAS_RISE}$	上升时的 VDRV 偏置欠压阈值	VDD > 4.5V	2.7		3.6	V
$V_{VDRV_UV_BIAS_HYST}$	VDRV 偏置欠压迟滞	VDD > 4.5V		0.2		V
$t_{VDRV_UV_BIAS}$	VDRV 偏置 UV 抗尖峰脉冲时间		14.1		18.9	µs
$V_{VDRV_UV_FALL}$	下降时的 VDRV 欠压触发阈值		4.3	4.55	4.8	V
$V_{VDRV_UV_RISE}$	上升时的 VDRV 欠压恢复阈值		4.5	4.75	5	V
$V_{VDRV_UV_HYST}$	VDRV UV 迟滞			0.2		V

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
$t_{VDRV_UV_W}$	用于警告的 VDRV UV 抗尖峰脉冲时间		14.1		18.9	µs
t_{VDRV_UV}	VDRV UV 抗尖峰脉冲时间	VDRV_UV_FLTR = 0x0	233.1		294.5	µs
t_{VDRV_UV}	VDRV UV 抗尖峰脉冲时间	VDRV_UV_FLTR = 0x1	465.9		578.9	µs
t_{VDRV_UV}	VDRV UV 抗尖峰脉冲时间	VDRV_UV_FLTR = 0x2	698.6		863.4	µs
t_{VDRV_UV}	VDRV UV 抗尖峰脉冲时间	VDRV_UV_FLTR = 0x3	931.3		1147.8	µs
$V_{VDRV_OV_RISE}$	上升时的 VDRV 过压触发阈值		26	27	28	V
$V_{VDRV_OV_FALL}$	下降时的 VDRV 过压恢复阈值		25.5	26.5	27.5	V
$V_{VDRV_OV_HYST}$	VDRV 过压迟滞			0.55		V
t_{VDRV_OV}	VDRV OV 抗尖峰脉冲时间	VDRV_OV_FLTR = 0x0	233.1		294.5	µs
t_{VDRV_OV}	VDRV OV 抗尖峰脉冲时间	VDRV_OV_FLTR = 0x1	465.9		578.9	µs
t_{VDRV_OV}	VDRV OV 抗尖峰脉冲时间	VDRV_OV_FLTR = 0x2	698.6		863.4	µs
t_{VDRV_OV}	VDRV OV 抗尖峰脉冲时间	VDRV_OV_FLTR = 0x3	931.3		1147.8	µs
$V_{VDRV_OV_W_RISE}$	上升时的 VDRV 过压警告阈值		26	27	28	V
$V_{VDRV_OV_W_FALL}$	下降时的 VDRV 过压警告阈值		25.5	26.5	27.5	V
$V_{VDRV_OV_W_HYST}$	VDRV 过压迟滞			0.55		V
$t_{VDRV_OV_W}$	用于警告的 VDRV OV 抗尖峰脉冲时间		14.1		18.9	µs
VDD 监测器						
$V_{VDD_UV_FALL}$	下降时的 VDD 欠压触发阈值		4	4.2	4.4	V
$V_{VDD_UV_RISE}$	上升时的 VDD 欠压恢复阈值		4.1	4.3	4.5	V
$V_{VDD_UV_HYST}$	VDD UV 迟滞			0.1		V
$t_{VDD_UV_W}$	用于警告的 VDD UV 抗尖峰脉冲时间		14.1		18.9	µs
t_{VDD_UV}	VDD UV 抗尖峰脉冲时间	VDD_UV_FLTR = 0x0	233.1		294.5	µs
t_{VDD_UV}	VDD UV 抗尖峰脉冲时间	VDD_UV_FLTR = 0x1	465.9		578.9	µs
t_{VDD_UV}	VDD UV 抗尖峰脉冲时间	VDD_UV_FLTR = 0x2	698.6		863.4	µs
t_{VDD_UV}	VDD UV 抗尖峰脉冲时间	VDD_UV_FLTR = 0x3	931.3		1147.8	µs
$V_{VDD_OV_RISE}$	上升时的 VDD 过压触发阈值		5.9	6.2	6.5	V
$V_{VDD_OV_FALL}$	下降时的 VDD 过压恢复阈值		5.5	5.8	6.1	V
$V_{VDD_OV_HYST}$	VDD 过压迟滞			0.4		V
t_{VDD_OV}	VDD OV 抗尖峰脉冲时间	VDD_OV_FLTR = 0x0	233.1		294.5	µs
t_{VDD_OV}	VDD OV 抗尖峰脉冲时间	VDD_OV_FLTR = 0x1	465.9		578.9	µs
t_{VDD_OV}	VDD OV 抗尖峰脉冲时间	VDD_OV_FLTR = 0x2	698.6		863.4	µs
t_{VDD_OV}	VDD OV 抗尖峰脉冲时间	VDD_OV_FLTR = 0x3	931.3		1147.8	µs
VREG 开关						
V_{PVDD_REV}	反向电流期间的电源引脚电压	I(PVDD) = -0.1A，器件处于未通电状态		-1.1		V

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
V_{VREG_THRS1}	禁用 VREG 开关时低于 PVDD 的欠压阈值		1.7		2.3	V
V_{VREG_THRS1R}	重新启用 VREG 开关时低于 PVDD 的欠压恢复阈值			1.9		V
V_{VREG_THRS2}	禁用 VREG 开关时高于 PVDD 的过压阈值		12		32	mV
V_{VREG_THRS2R}	当恢复时重新启用 VREG 开关时高于 PVDD 的过压阈值			-100		mV
$R_{VREG_SW_ON}$	启用开关时 PVDD 和 VREG 之间的电阻		10		35	Ω
$R_{VREG_SW_OFF}$	禁用开关时 PVDD 和 VREG 之间的电阻		800			kΩ
$t_{VREG_SW_W}$	用于 VREG_SW 警告的抗尖峰脉冲时间		204.8	256	307.2	µs
TRG1、TRG2 引脚						
V_{IL}	输入逻辑低电平电压				0.7	V
V_{IH}	输入逻辑高电平电压		1.5			V
V_{IHYS}	输入迟滞			0.5		V
R_{PD_TRG}	连接至 GND 的 ENABLE 引脚上的输入下拉电阻	在最低 VIH 电平下测得	100		200	kΩ
t_{FLTR_TRG}	引脚输入端的滤波时间		1		3	µs
t_{PWM_TRG}	TRGx 引脚上可接受的 PWM 频率容差，可接受为部署信号 (TRGx_STAT=0x2)，仅对基于 PWM 的触发器有效	PWM_FLTR_SEL = 0，16KHz，75%	-18		32	%
t_{PWM_TRG}	TRGx 引脚上可接受的 PWM 频率容差，可接受为部署信号 (TRGx_STAT=0x2)，仅对基于 PWM 的触发器有效	PWM_FLTR_SEL = 1，16KHz，75%	-15		24	%
t_{PWM_TRG}	TRGx 引脚上可接受的 PWM 频率容差，可接受为部署信号 (TRGx_STAT=0x2)，仅对基于 PWM 的触发器有效	PWM_FLTR_SEL = 2，16KHz，75%	-12		16	%
t_{PWM_TRG}	TRGx 引脚上可接受的 PWM 频率容差，可接受为部署信号 (TRGx_STAT=0x2)，仅对基于 PWM 的触发器有效	PWM_FLTR_SEL = 3，16KHz，75%	-9		12	%
$t_{PWM_TRG_TO}$	检测 TRGx 引脚卡在低电平或高电平的超时 (TRGx_STAT=0x3)，仅对基于 PWM 的触发器有效		85		170	µs
t_{LVL_TRG}	电平触发器的 TRGx 引脚的抗尖峰脉冲时间		14.1		18.9	µs
SPI I/O						
R_{PU_nSCS}	nSCS 上连接至 VDD 的输入上拉电阻	在最低 VIH 电平下测得	100		200	kΩ
R_{PD_SDI}	SDI 上连接至 GND 的输入下拉电阻	在最高 VIL 电平下测得	200		400	kΩ
R_{PD_SCLK}	SCLK 上连接至 GND 的输入下拉电阻	在最低 VIH 电平下测得	200		400	kΩ
V_{IL_SPI}	输入逻辑低电平电压	SDI、nSCS、SCLK 引脚			0.7	V
V_{IH_SPI}	输入逻辑高电平电压	SDI、nSCS、SCLK 引脚	1.5			V
V_{IHYS_SPI}	输入迟滞	SDI、nSCS、SCLK 引脚		0.1		V
R_{PU_SDO}	SDO 上连接至 VDD 的输入上拉电阻	在最高 VIL 电平下测得	500		1000	kΩ
V_{OL_SDO}	SDO 输出逻辑低电平电压	流入引脚的 0.5mA 灌电流			0.35	V
V_{OH_SDO}	SDO 输出逻辑高电平电压	从引脚流出的 0.5mA 拉电流	VDD - 0.35			V
I_{OH_SDO}	SDO 输出逻辑高电平电流	1V 时在 SDO 上测得			30	mA

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
nFAULT/NAD 引脚						
R_{LVL_OORL}	电阻值超出范围 – 下限阈值				2.6	kΩ
R_{LVL1}	NAD = 00b 时可接受的电阻		5.04	5.6	6.16	kΩ
R_{LVL2}	NAD = 01b 时可接受的电阻		10.8	12	13.2	kΩ
R_{LVL3}	NAD = 10b 时可接受的电阻		24.3	27	29.7	kΩ
R_{LVL4}	NAD = 11b 时可接受的电阻		50.4	56	61.6	kΩ
R_{LVL_OORH}	电阻值超出范围 – 上限阈值		100			kΩ
I_{nFAULT_PD}	nFAULT 引脚上用于指示故障的下拉电流	V(nFAULT) = 0.3V	5			mA
V_{IL_nFAULT}	nFAULT 反馈缓冲器的输入逻辑低电平电压	nFAULT 引脚			0.5	V
V_{IH_nFAULT}	nFAULT 反馈缓冲器的输入逻辑高电平电压	nFAULT 引脚	1.3			V
V_{IHYS_nFAULT}	nFAULT 反馈缓冲器的输入迟滞	nFAULT 引脚		0.1		V
t_{nFAULT_FB}	nFAULT 反馈的抗尖峰脉冲时间		14.1		18.9	µs
输出驱动器						
R_{ON_LS}	低侧 MOSFET 导通电阻	V_{VM} = 13.5V，I_O = 3A，T_J = 25°C		55		mΩ
R_{ON_LS}	低侧 MOSFET 导通电阻	V_{VM} = 13.5V，I_O = 3A，T_J = 150°C			110	mΩ
R_{ON_HS}	高侧 MOSFET 导通电阻	V_{VM} = 13.5V，I_O = 3A，T_J = 25°C		55		mΩ
R_{ON_HS}	高侧 MOSFET 导通电阻	V_{VM} = 13.5V，I_O = 3A，T_J = 150°C			110	mΩ
E_{CLAMP}	电感能量反冲	ILOAD = 3.5A，L = 100µH			1	mJ
I_{OCP_HS}	HS FET 的过流保护阈值		12		20	A
I_{OCP_LS}	HS FET 的过流保护阈值		11.75		20	A
$I_{OCP_HS_RDSON}$	HS RDSON 测试期间 HS FET 的过流保护阈值				0.45	A
$I_{OCP_HS_MEAS}$	负载电阻测量测试期间 HS FET 的过流保护阈值				0.45	A
$I_{OCP_LS_RDSON}$	LS RDSON 测试期间 LS FET 的过流保护阈值				0.4	A
$I_{OCP_LS_MEAS}$	IREF 电阻和负载电阻测量测试期间 LS FET 的过流保护阈值				0.4	A
t_{HS_OCP}	HS FET 的过流保护抗尖峰脉冲时间		3.2		5	µs
t_{LS_OCP}	LS FET 的过流保护抗尖峰脉冲时间		3.2		5	µs
R_{HIZ_OUTL}	待机状态下 OUTL 上连接至 GND 的电阻	V_{OUTL} = 1V	2		6.5	kΩ
I_{HIZ_OUTH}	待机状态下 OUTH 上连接至 GND 的下拉电流	V_{OUTH} = 3V	0.4		1.5	mA
I_{HIZ_LOAD}	待机状态下的负载电流	V_{VDRV} = 40V，负载 = 2Ω			0.1	mA
I_{HIZ_LOAD}	OUTH 短接至 VDRV 期间待机状态下的负载电流	V_{VDRV} = 28V，负载 = 2Ω			10	mA
I_{HIZ_LOAD}	OUTL 短接至 GND 期间待机状态下的负载电流	V_{VDRV} = 28V，负载 = 2Ω			0.11	mA
I_{HIZ_LOAD}	OUTL 短接至 VDRV 期间待机状态下的负载电流	V_{VDRV} = 28V，负载 = 2Ω			7	mA
部署参数						

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
t_{DLY_SPI}	执行有效的 SPI 命令后开始部署所需的时间	DEPLOY_IRATE = 0x0			50	µs
t_{DLY_SPI}	执行有效的 SPI 命令后开始部署所需的时间	DEPLOY_IRATE = 0x1			60	µs
t_{DLY_TRG}	执行有效的 TRGx 引脚命令后开始部署所需的时间	DEPLOY_IRATE = 0x0			50	µs
t_{DLY_TRG}	执行有效的 TRGx 引脚命令后开始部署所需的时间	DEPLOY_IRATE = 0x1			60	µs
I_{DEPLOY}	部署电流	负载 = 2Ω，DEPLOY_ISEL = 0x0	1.2	1.3	1.41	A
I_{DEPLOY}	部署电流	负载 = 2Ω，DEPLOY_ISEL = 0x1 或 0x2	1.65	1.85	2.01	A
I_{DEPLOY}	部署电流	负载 = 0Ω，DEPLOY_ISEL = 0x3	1.75	1.93	2.09	A
I_{DEPLOY}	部署电流	负载 = 2Ω，DEPLOY_ISEL = 0x3	1.75	1.93	2.09	A
I_{DEPLOY}	部署电流	负载 = 2Ω，DEPLOY_ISEL = 0x4 或 0x6	2.19	2.39	2.59	A
I_{DEPLOY}	部署电流	负载 = 2Ω，DEPLOY_ISEL = 0x5 或 0x7	3.40	3.72	4.04	A
I_{SNS_THRS}	部署电流检测阈值	相对于典型值	60		90	%
t_{DEPLOY}	部署时间	负载 = 2Ω，DEPLOY_ISEL ≤ 0x2	2.09		2.56	ms
t_{DEPLOY}	部署时间	负载 = 2Ω，DEPLOY_ISEL > 0x2	0.52		0.64	ms
I_{RISE0}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_IRATE = 0x0		1.6		µs/A
I_{RISE0}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x1 或 0x2，DEPLOY_IRATE = 0x0		1.3		µs/A
I_{RISE0}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x3，DEPLOY_IRATE = 0x0		1		µs/A
I_{RISE0}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x4 或 0x6，DEPLOY_IRATE = 0x0		1		µs/A
I_{RISE0}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x5 或 0x7，DEPLOY_IRATE = 0x0		1		µs/A
I_{RISE1}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x0，DEPLOY_IRATE = 0x1		16		µs/A
I_{RISE1}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x1 或 0x2，DEPLOY_IRATE = 0x1		12		µs/A
I_{RISE1}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x3，DEPLOY_IRATE = 0x1		11		µs/A
I_{RISE1}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x4 或 0x6，DEPLOY_IRATE = 0x1		9		µs/A
I_{RISE1}	上升电流斜率 (20% - 80%)	负载 = 2Ω，DEPLOY_ISEL = 0x5 或 0x7，DEPLOY_IRATE = 0x1		6		µs/A
t_{START_TO}	TMEAS_START 计时器的超时值	TMEAS_START_TO = 0x0	71.36		87.78	µs
t_{START_TO}	TMEAS_START 计时器的超时值	TMEAS_START_TO = 0x1	129.55		158.89	µs
t_{START_TO}	TMEAS_START 计时器的超时值	TMEAS_START_TO = 0x2	187.73		230	µs
t_{START_TO}	TMEAS_START 计时器的超时值	TMEAS_START_TO = 0x3	245.45		300.56	µs
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x0	0.09		0.111	ms
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x1	0.181		0.222	ms
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x2	0.363		0.444	ms
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x3	0.726		0.888	ms
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x4	1.454		1.777	ms

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x5	2.181		2.666	ms
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x6	2.908		3.555	ms
t_{DEPLOY_DLY}	开始部署的已编程延迟	DEPLOY_DLY = 0x7	3.635		4.444	ms
关断状态诊断						
t_{BIST}	器件 BIST 时间		0.13		0.17	ms
$t_{CMP_FLTR_WK_PU}$	弱上拉测试的比较器抗尖峰脉冲时间		14.1		18.9	µs
$V_{REF_WK_PU}$	OUTL 上用于弱上拉测试的比较器电压基准	OFF_DIAG_WK_PU_VSEL = 0	1.89	2.1	2.31	V
$V_{REF_WK_PU}$	OUTL 上用于弱上拉测试的比较器电压基准	OFF_DIAG_WK_PU_VSEL = 1	2.16	2.4	2.64	V
$I_{REF_WK_PU}$	OUTL 上用于弱上拉测试的上拉电流	OFF_DIAG_WK_PU_ISEL = 0，V_{OUTL} = 2.4V	0.75	1	1.25	mA
$I_{REF_WK_PU}$	OUTL 上用于弱上拉测试的上拉电流	OFF_DIAG_WK_PU_ISEL = 1，V_{OUTL} = 2.4V	1.5	2	2.5	mA
t_{WK_PU}	弱上拉测试的超时值	OFF_DIAG_WK_PU_TSEL = 0	0.22		0.29	ms
t_{WK_PU}	弱上拉测试的超时值	OFF_DIAG_WK_PU_TSEL = 1	0.45		0.56	ms
t_{WK_PU}	弱上拉测试的超时值	OFF_DIAG_WK_PU_TSEL = 2	0.9		1.12	ms
t_{WK_PU}	弱上拉测试的超时值	OFF_DIAG_WK_PU_TSEL = 3	1.81		2.24	ms
$t_{CMP_FLTR_WK_PD}$	弱下拉测试的比较器抗尖峰脉冲时间		14.1		18.9	µs
$V_{REF_WK_PD}$	OUTL 上用于弱下拉测试的比较器电压基准	OFF_DIAG_WK_PD_VSEL = 0	1.35	1.5	1.65	V
$V_{REF_WK_PD}$	OUTL 上用于弱下拉测试的比较器电压基准	OFF_DIAG_WK_PD_VSEL = 1	1.62	1.8	1.98	V
$I_{REF_WK_PD}$	OUTH 上用于弱下拉测试的下拉电流	OFF_DIAG_WK_PD_ISEL = 0，V_{OUTH} = 1.5V	0.7	1	1.3	mA
$I_{REF_WK_PD}$	OUTH 上用于弱下拉测试的下拉电流	OFF_DIAG_WK_PD_ISEL = 1，V_{OUTH} = 1.5V	1.4	2	2.6	mA
t_{WK_PD}	弱下拉测试的超时值	OFF_DIAG_WK_PD_TSEL = 0	0.22		0.29	ms
t_{WK_PD}	弱下拉测试的超时值	OFF_DIAG_WK_PD_TSEL = 1	0.45		0.56	ms
t_{WK_PD}	弱下拉测试的超时值	OFF_DIAG_WK_PD_TSEL = 2	0.9		1.12	ms
t_{WK_PD}	弱下拉测试的超时值	OFF_DIAG_WK_PD_TSEL = 3	1.81		2.24	ms
$t_{CMP_FLTR_HSRDSON}$	HS RDSON 测试的比较器抗尖峰脉冲时间		14.1		18.9	µs
$V_{REF_PC_HSRDSON}$	OUTH 上用于 HS RDSON 测试的相对于 VDRV 的比较器预充电电压基准		-1.65	-1.5	-1.35	V
$V_{REF_HSRDSON}$	OUTH 上用于 HS RDSON 测试的相对于 VDRV 的比较器电压基准	OFF_DIAG_HSRDSON_VSEL = 0	-90	-75	-60	mV
$V_{REF_HSRDSON}$	OUTH 上用于 HS RDSON 测试的相对于 VDRV 的比较器电压基准	OFF_DIAG_HSRDSON_VSEL = 1	-180	-150	-120	mV
$I_{REF_PC_HSRDSON}$	OUTH 上用于 HS RDSON 测试的预充电上拉电流	V_{OUTH} = V_{VDRV} - 3.5V	32	40	48	mA
$I_{REF_HSRDSON}$	OUTH 上用于 HS RDSON 测试的下拉电流	OFF_DIAG_HS_RDSON_ISEL = 0，V_{OUTH} = V_{VDRV} - 0.75V	16	20	24	mA
$I_{REF_HSRDSON}$	OUTH 上用于 HS RDSON 测试的下拉电流	OFF_DIAG_HS_RDSON_ISEL = 1，V_{OUTH} = V_{VDRV} - 0.75V	32	40	48	mA
$t_{HSRDSON}$	HS RDSON 测试的超时值	OFF_DIAG_HS_RDSON_TSEL = 0	0.22		0.29	ms
$t_{HSRDSON}$	HS RDSON 测试的超时值	OFF_DIAG_HS_RDSON_TSEL = 1	0.45		0.56	ms

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
$t_{HSRDSON}$	HS RDSON 测试的超时值	OFF_DIAG_HS_RDSON_TSEL = 2	0.9		1.12	ms
$t_{HSRDSON}$	HS RDSON 测试的超时值	OFF_DIAG_HS_RDSON_TSEL = 3	1.81		2.24	ms
$t_{CMP_FLTR_LSRDSON}$	LS RDSON 测试的比较器抗尖峰脉冲时间		14.1		18.9	µs
$V_{REF_PC_LSRDSON}$	OUTL 上用于 LS RDSON 测试的比较器预充电电压基准		1.350	1.500	1.650	V
$V_{REF_LSRDSON}$	OUTL 上用于 LS RDSON 测试的比较器电压基准	OFF_DIAG_LSRDSON_VSEL = 0	60	75	90	mV
$V_{REF_LSRDSON}$	OUTL 上用于 LS RDSON 测试的比较器电压基准	OFF_DIAG_LSRDSON_VSEL = 1	120	150	180	mV
$I_{REF_PC_LSRDSON}$	OUTL 上用于 LS RDSON 测试的预充电下拉电流	V_{OUTL} = 3.5V	32	40	48	mA
$I_{REF_LSRDSON}$	OUTL 上用于 LS RDSON 测试的上拉电流	OFF_DIAG_LS_RDSON_ISEL = 0，V_{OUTL} = 0.75V	16.0	20	24.0	mA
$I_{REF_LSRDSON}$	OUTL 上用于 LS RDSON 测试的上拉电流	OFF_DIAG_LS_RDSON_ISEL = 1，V_{OUTL} = 0.75V	32	40	48	mA
$t_{LSRDSON}$	LS RDSON 测试的超时值	OFF_DIAG_LS_RDSON_TSEL = 0	0.22		0.29	ms
$t_{LSRDSON}$	LS RDSON 测试的超时值	OFF_DIAG_LS_RDSON_TSEL = 1	0.45		0.56	ms
$t_{LSRDSON}$	LS RDSON 测试的超时值	OFF_DIAG_LS_RDSON_TSEL = 2	0.9		1.12	ms
$t_{LSRDSON}$	LS RDSON 测试的超时值	OFF_DIAG_LS_RDSON_TSEL = 3	1.81		2.24	ms
I_{IREF}	强制施加于 IREF 引脚的上拉电流	V_{IREF} = 0.1V	9	10	11	µA
$t_{CMP_FLTR_MEAS}$	用于 IREF 和 RLOAD 测量的比较器抗尖峰脉冲时间		14.1		18.9	µs
t_{MBIST}	IREF 电阻监测测试的时间		0.9		1.12	ms
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 0	-36	-25	-14	mV
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 1	-60	-40	-20	mV
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 2	-90	-60	-30	mV
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 3	-120	-80	-40	mV
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 4	-150	-100	-50	mV
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 5	-180	-120	-60	mV
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 6	-210	-140	-70	mV
V_{DAC_VREG}	低于 PVDD 的比较器基准电压	OFF_DIAG_CMEAS_THRS_SEL = 7	-240	-160	-80	mV
V_{DIFF}	比较器基准相对于启动阈值的停止阈值		-44	-40	-36	mV
V_{OFFSET}	低于 CMP 的 CMP_R 阈值			-50		mV
t_{VREG_MEAS}	OUTH 和 OUTL 比较器的比较器抗尖峰脉冲时间		1.8		3.4	µs
t_{VREG_VMEAS}	VREG 电压测量的时间		3.9		4.9	ms
t_{CMEAS_SETUP}	VREG 电容器测量的设置时间		14.1		18.9	µs
I_{VDRV_DIAG}	VDRV 上的下拉电流（包括 I_{VDRV_STBY}）		38	46.5	56	mA
t_{CMEAS}	VREG 电容器测量的总放电时间	OFF_DIAG_CMEAS_TSEL = 0	0.43		0.54	ms
t_{CMEAS}	VREG 电容器测量的总放电时间	OFF_DIAG_CMEAS_TSEL = 1	0.9		1.11	ms
t_{CMEAS}	VREG 电容器测量的总放电时间	OFF_DIAG_CMEAS_TSEL = 2	1.8		2.21	ms
t_{CMEAS}	VREG 电容器测量的总放电时间	OFF_DIAG_CMEAS_TSEL = 3	3.63		4.45	ms

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
I_{RMEAS}	RLOAD 测试期间的负载电流		32	40	48	mA
t_{RMEAS}	RLOAD 测试的时间	OFF_DIAG_RMEAS_TSEL = 0	0.27		0.34	ms
t_{RMEAS}	RLOAD 测试的时间	OFF_DIAG_RMEAS_TSEL = 1	0.5		0.61	ms
t_{RMEAS}	RLOAD 测试的时间	OFF_DIAG_RMEAS_TSEL = 2	0.95		1.17	ms
t_{RMEAS}	RLOAD 测试的时间	OFF_DIAG_RMEAS_TSEL = 3	1.86		2.29	ms
R_{MEASL}	低电阻检测的负载电阻范围	OFF_DIAG_RMEAS_THRS_L = 0	1.3		1.7	Ω
R_{MEASL}	低电阻检测的负载电阻范围	OFF_DIAG_RMEAS_THRS_L = 1	1		1.5	Ω
R_{MEASH}	高电阻检测的负载电阻范围	OFF_DIAG_RMEAS_THRS_H = 0	2.5		3.15	Ω
R_{MEASH}	高电阻检测的负载电阻范围	OFF_DIAG_RMEAS_THRS_H = 1	2.9		3.65	Ω
R_{MEASH}	高电阻检测的负载电阻范围	OFF_DIAG_RMEAS_THRS_H = 2	3.3		4.2	Ω
R_{MEASH}	高电阻检测的负载电阻范围 – 用于部署后电阻检查	OFF_DIAG_RMEAS_THRS_H = 3	50		70	Ω
SPI 看门狗监测						
t_{WD}	SPI 有效事务间隔	SPI_WD_SEL = 0x0	57.7		71.7	ms
t_{WD}	SPI 有效事务间隔	SPI_WD_SEL = 0x1	227.1		278.8	ms
t_{WD}	SPI 有效事务间隔	SPI_WD_SEL = 0x2	908.5		1111.7	ms
t_{WD}	SPI 有效事务间隔	SPI_WD_SEL = 0x3	1818		2223.3	ms
过热保护						
T_{TSD}	运行期间的热关断温度		150	170	190	°C
T_{TSD_HYS}	热关断迟滞			20		°C
t_{TSD}	热关断抗尖峰脉冲时间		14.1		18.9	µs
$T_{TSD_W_OFF}$	关断状态诊断期间的热警告温度			140		°C
T_{TSD_W}	运行/待机期间的热警告温度			150		°C
$T_{TSD_W_HYS}$	热警告迟滞			20		°C
t_{TSD_W}	热警告抗尖峰脉冲时间		14.1		18.9	µs
安全层						
$V_{V5_S_UV_FALL}$	下降时的 V5_S 欠压触发阈值		4	4.2	4.4	V
$V_{V5_S_UV_RISE}$	上升时的 V5_S 欠压恢复阈值		4.1	4.3	4.5	V
$V_{V5_S_UV_HYST}$	V5_S UV 迟滞			0.1		V
$t_{V5_S_UV}$	V5_S UV 抗尖峰脉冲时间		15		20	µs
$V_{V5_S_OV_RISE}$	上升时的 V5_S 过压触发阈值		5.9	6.2	6.5	V
$V_{V5_S_OV_FALL}$	下降时的 V5_S 过压恢复阈值		5.5	5.8	6.1	V
$V_{V5_S_OV_HYST}$	V5_S 过压迟滞			0.4		V
$t_{V5_S_OV}$	V5_S OV 抗尖峰脉冲时间		15		20	µs
f_{OSC}、f_{OSC_R}	主振荡器和冗余振荡器频率			2		MHz
t_{HEART_BEAT}	来自主逻辑的检测信号间隔		0.69		1.324	ms
$t_{HEART_BEAT_L}$	检测信号间隔 - 下限阈值		0.945		1.155	ms
$t_{HEART_BEAT_H}$	检测信号间隔 - 上限阈值		1.41		1.724	ms

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，否则 5V < V_{VDRV} < 28V，4.5V < V_{VDD} < 5.5V，-40°C < T_J < 125°C。

参数		测试条件	最小值	典型值	最大值	单位
t_{TIME_OUT}	关断计时器超时持续时间		29.03		35.55	ms

5.6 SPI 时序要求

		最小值	标称值	最大值	单位
t_{SCLK}	SCLK 最小周期	125			ns
t_{SCLKH}	SCLK 最短高电平时间	62.5			ns
t_{SCLKL}	SCLK 最短低电平时间	62.5			ns
t_{HI_nSCS}	SDO 最短高电平时间	2000			ns
t_{SU_nSCS}	nSCS 输入设置时间	40			ns
t_{H_nSCS}	nSCS 输入保持时间	40			ns
t_{SU_SDI}	SDI 输入数据设置时间	20			ns
t_{H_SDI}	SDI 输入数据保持时间	20			ns
t_{EN}	SDO 启用延迟时间			50	ns
t_{DIS}	SDO 禁用延迟时间			1000	ns

5.7 时序图

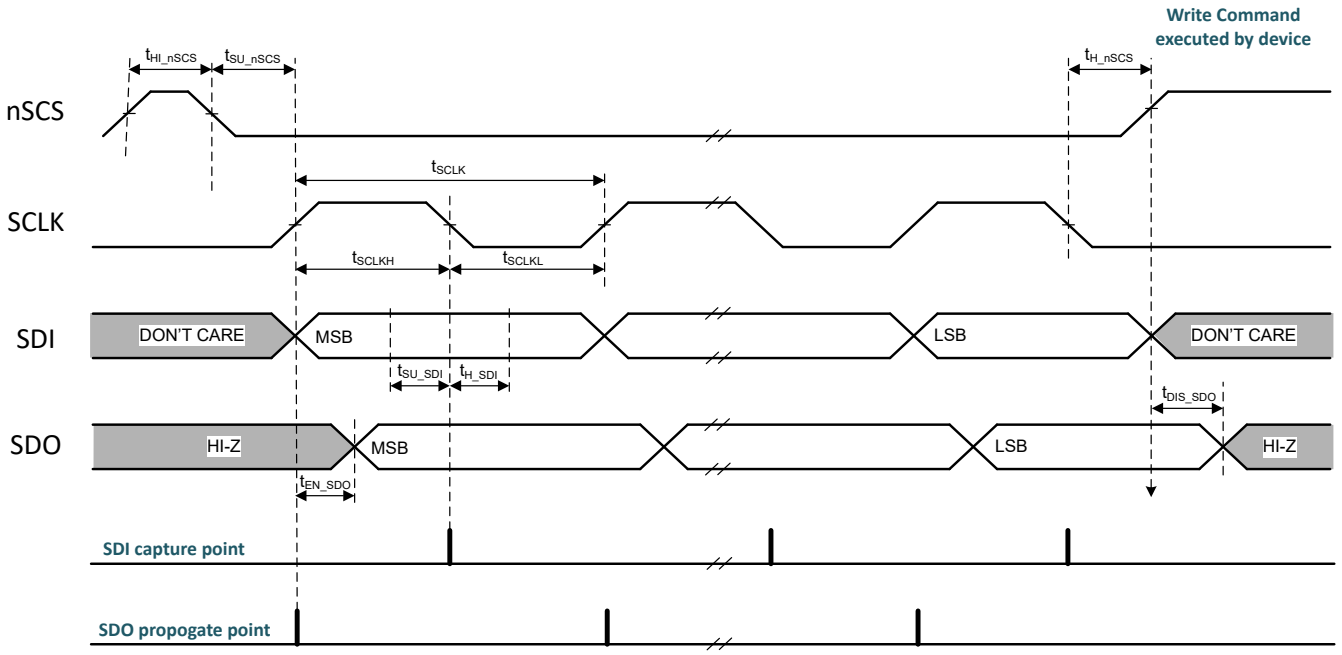


图 5-1. SPI 时序图

5.8 典型特性

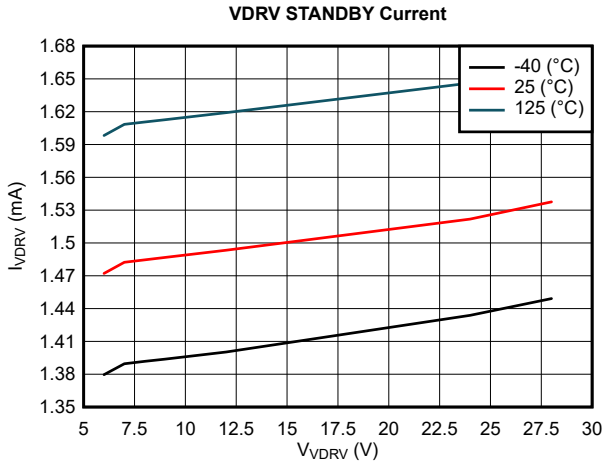


图 5-2. VDRV 待机电流

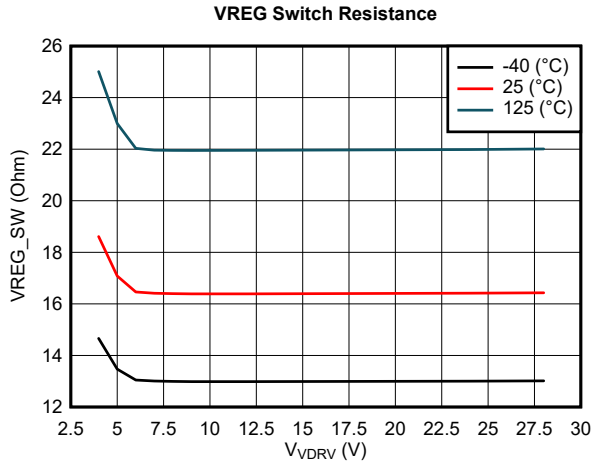


图 5-3. VREG 开关电阻

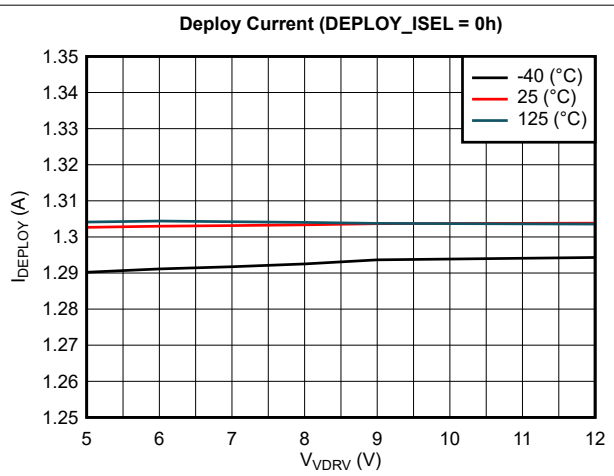


图 5-4. 部署电流 (DEPLOY_ISEL = 0h)

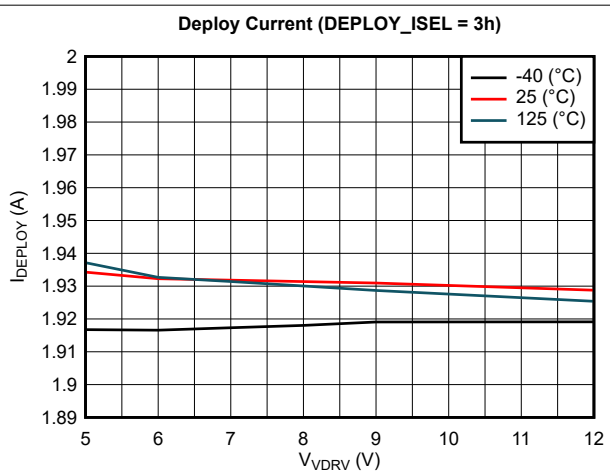


图 5-5. 部署电流 (DEPLOY_ISEL = 3h)

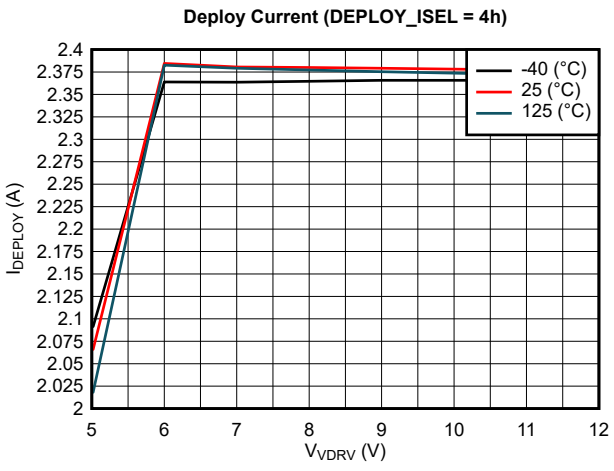


图 5-6. 部署电流 (DEPLOY_ISEL = 4h)

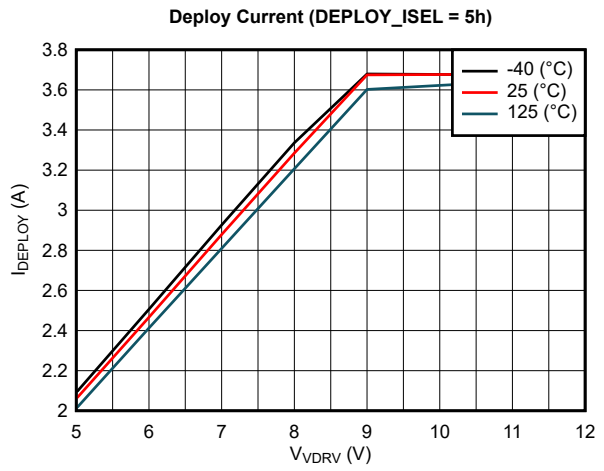


图 5-7. 部署电流 (DEPLOY_ISEL = 5h)

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

下表概述了本文档中的各种功能及其位置。初始化设置部分提供了有关器件初始化和软件设置的详细信息。

表 6-1. 功能概述

类别	详细说明部分	电气特性表
电源和监测	VDRV 和 VDD 电源	VDRV 和 VDD 电源
	VREG 开关	VREG 开关
	VDRV 监测器	复位 (nPOR)
	VDD 监测器	VDD 监测器
	复位 (nPOR)	复位 (nPOR)
	器件安全层	安全层
状态图	状态图	不适用
输出驱动器	输出驱动器	输出驱动器
	待机状态	
	运行状态	
	过流保护	
	过热保护	过热保护
触发器 (TRGx) 引脚	触发器 (TRGx) 引脚	TRG1、TRG2 引脚
	基于 PWM 的触发器	
	触发监测器	
部署参数	部署参数	部署参数
	部署延迟	
关断状态诊断	关断状态诊断	关断状态诊断
	器件 BIST	
	弱上拉测试	
	弱下拉测试	
	高侧 MOSFET RDSON 测试	
	低侧 MOSFET RDSON 测试	
	IREF 电阻监测	
	VREG 电压和电容测量	
	输出负载电阻监测	
SPI 看门狗监测	SPI 看门狗监测	SPI 看门狗监测
nFAULT/NAD 引脚	nFAULT/NAD 引脚	nFAULT/NAD 引脚
故障表	故障表	不适用
SPI 接口	SPI 接口	SPI I/O

Copyright © 2026 Texas Instruments Incorporated

6.2 功能方框图

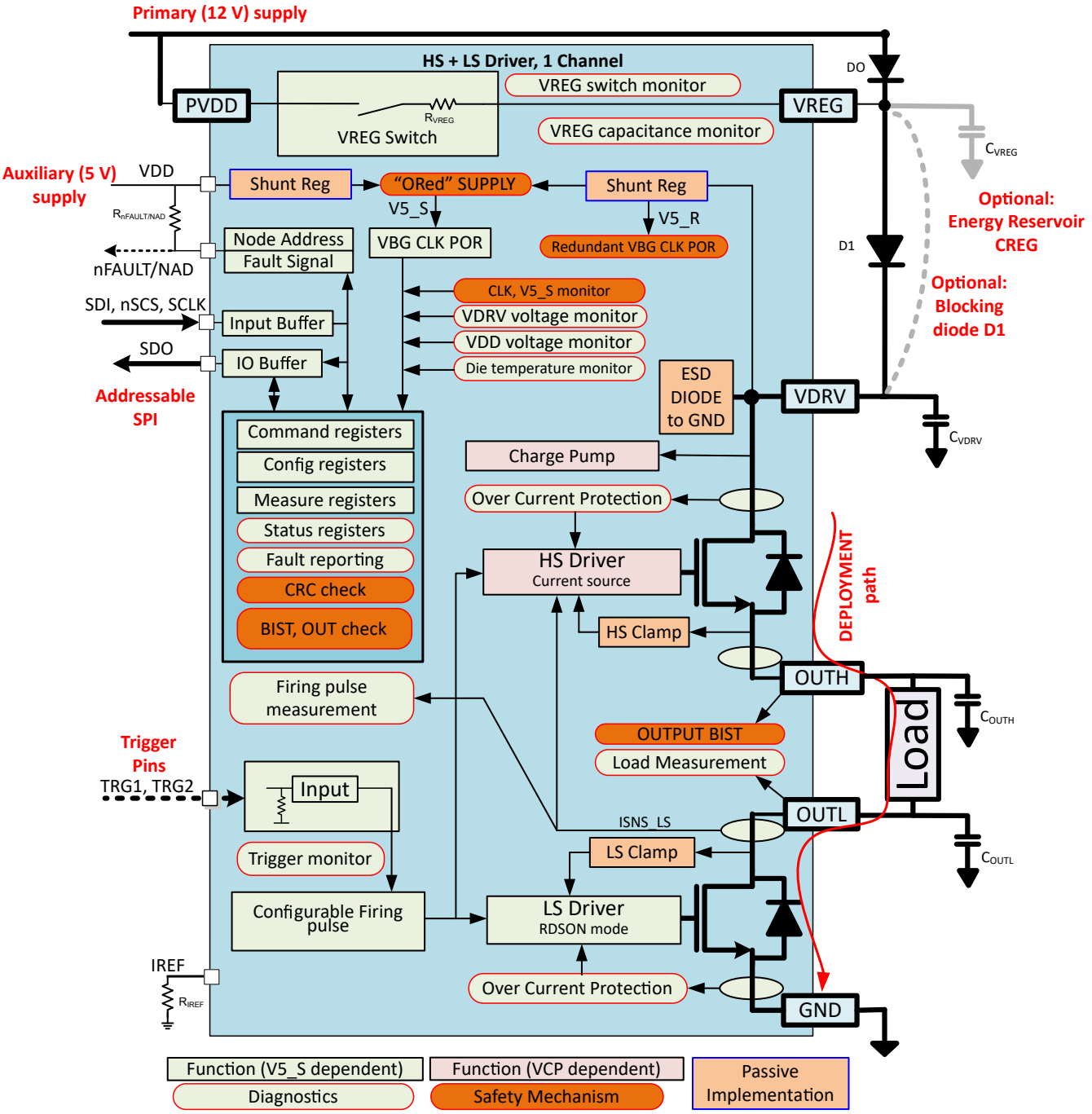


图 6-1. DRV3901-Q1 方框图

Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 外部组件

表 6-2. 推荐的外部元件

引脚 1	引脚 2	元件	名称	功能	值
IREF	GND	电阻器	R_{IREF}	在测量 BIST 的关断状态诊断期间用于对负载测量进行鉴定。	0.063W，10KΩ，10%
SDO	VDD	电阻器	R_{SDO}	SDO 上的上拉电阻，以确保在不由器件驱动时 SDO 输出寄存为高电平。	0.063W，10KΩ，10%
nFAULT/NAD	VDD	电阻器	$R_{NFAULT/NAD}$	设置 SPI 通信的唯一节点地址。这需要是允许的四个电阻值之一，否则将设置 NAD_ERROR 标志。	0.0603W，5.6K/12K/27K/56KΩ，1%
VREG	GND	大容量电容器	C_{VREG}	可选 - 在 PVDD 电源丢失的故障情况下，VREG 上为驱动器供电的本地储能电容器。	额定电源，100μF 或更高，取决于应用
VDRV	GND	旁路电容器	C_{VDRV}	VDRV 上的本地高频旁路电容器。	额定电源，0.1μF，低 ESR 陶瓷电容器
VDD	GND	旁路电容器	C_{VDD}	可选 – VDD 上的本地高频旁路电容器。	额定电源，0.1μF，低 ESR 陶瓷电容器
PVDD	VREG	二极管	D0	在 PVDD 丢失的情况下，阻止电流从 VREG 流向 PVDD。 这是电容测量诊断所必需的。	
PVDD	GND	旁路电容器	C_{PVDD}	可选 – PVDD 上的本地高频旁路电容器。	额定电源，0.1μF 或更高，低 ESR 陶瓷电容器
VREG	VDRV	二极管	D1	可选 – 当 VREG 处于低电压而发生 OUTL 对高电压短路时，防止故障情况下出现错误部署。	
OUTH	OUTH	滤波电感器	L_{OUTH}	可选 – 器件本身限制运行期间的 di/dt。如果爆管要求需要，可以使用该串联电感器进一步降低这个值。	≤ 22μH
OUTL	OUTL	滤波电感器	L_{OUTL}	可选 – 器件本身限制运行期间的 di/dt。如果爆管要求需要，可以使用该串联电感器进一步降低这个值。	≤ 22μH
OUTH	GND	旁路电容器	C_{OUTH}	靠近负载的 ESD 电容器	额定电源，≤ 47nF，低 ESR 陶瓷电容器
OUTL	GND	旁路电容器	C_{OUTL}	靠近负载的 ESD 电容器	额定电源，≤ 47nF，低 ESR 陶瓷电容器

Copyright © 2026 Texas Instruments Incorporated

6.3.2 电源和监测

6.3.2.1 VDRV 和 VDD 电源

DRV3901-Q1 通过 VDRV（典型值 12V）和 VDD（典型值 5V）引脚供电。虽然驱动器和输出级主要由 VDRV 供电，但逻辑和关键安全/诊断功能由内部 5V 电源（安全 5V 称为 V5_S）驱动，该电源源自 VDRV 和 VDD 的电源“或”组合。即使其中一个外部电源丢失，电源 ORing 也能确保器件保持其基本功能和关键功能。电压基准、电流偏置、振荡器和数字块由 V5_S 供电。来自 PVDD 的冗余基准和偏置用于鉴定 V5_S 和振荡器。

对 V5_S 进行上电复位 (POR) 后，上电初始化便已完成，包括地址 NAD 确定、存储器内部自检 (BIST) 和诊断以及 t_{READY} 时间内内部块的稳定时间。用户发出的用于确认唤醒的 CLR_FAULT SPI 命令会将器件置于待机状态，此时具有 I_{VDRV_STBY} 和 I_{VDD_STBY}，并且驱动器处于高阻态，直到用户发出命令为止。由于该器件采用电源“或”架构，因此即使其中一个外部电源（VDD 或 VDRV）丢失，某些功能仍可用。

下面的表 6-3 展示了不同 VDD 电压电平下的关键器件功能（假设 VDRV 处于欠压和过压限制范围内）。

表 6-3. VDD 电源依赖性

VDD	部署功能	关断状态诊断	SPI 通信
> $V_{VDD_OV_RISE}$	可用(1)	可用(1)	SDI 正常，但 SDO 将出现 VDD_ERR
标称值	可用(1)	可用(1)	可用
< $V_{VDD_UV_FALL}$	可用(1)	可用(1)	SDI 正常，但 SDO 将出现 VDD_ERR

(1) 受器件过流和过热保护功能的限制。

下面的表 6-4 和图 6-2 展示了不同 VDRV 电压电平下的关键器件功能（假设 VDD 处于欠压和过压限制范围内）。

表 6-4. VDRV 电源依赖性

VDRV	部署功能	关断状态诊断	SPI 通信
> $V_{VDRV_OV_RISE}$	不可用(1)	不可用	可用
标称值	可用	可用	可用
< $V_{VDRV_UV_FALL}$ & > $V_{VDRV_UV_BIAS_FALL}$	可用(2)	不可用	可用
< $V_{DRV_UV_BIAS_FALL}$	不可用	不可用	可用

(1) 由于 VDRV 过压检测而禁用。
(2) 可用，但在没有电流控制的情况下运行。驱动器将在 RDSON 模式下运行。

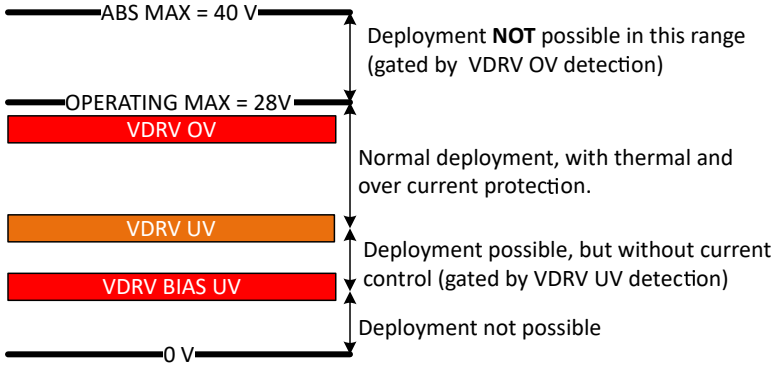


图 6-2. VDRV 部署运行区域

下面的表 6-5 展示了 VDRV 和 VDD 电源均丢失后的关键器件功能。

Copyright © 2026 Texas Instruments Incorporated

表 6-5. VDRV 和 VDD 电源丢失

VDRV	VDD	部署功能	关断状态诊断	SPI 通信
< $V_{VDRV_RST_FALL}$	< $V_{VDD_RST_FALL}$	不可用	不可用	不可用

6.3.2.2 VREG 开关

某些应用可能需要使用储能电容器，以确保即使在断电 (PVDD) 时也能部署爆管负载。为此，可以将一个外部电容器连接到 VREG 引脚，并在 PVDD 和 VREG 引脚之间连接一个外部二极管，以防止反向电流流入 PVDD 电源。

DRV3901-Q1 的内部 VREG 开关通过将限流上拉至 PVDD，有助于降低二极管阻断导致的外部电容器压降。VREG 开关还能够在关断状态诊断期间监测储能器的外部电容。此功能的实现方式是在有限的持续时间内断开开关并观察外部电容器的电压放电率。

VREG 开关在运行过程中常闭，但在两种情况下会自动关闭。

1. 正向电压偏置过大：VREG < PVDD - V_{VREG_THRS1}
2. 反向电压偏置过大：VREG > PVDD + V_{VREG_THRS2}

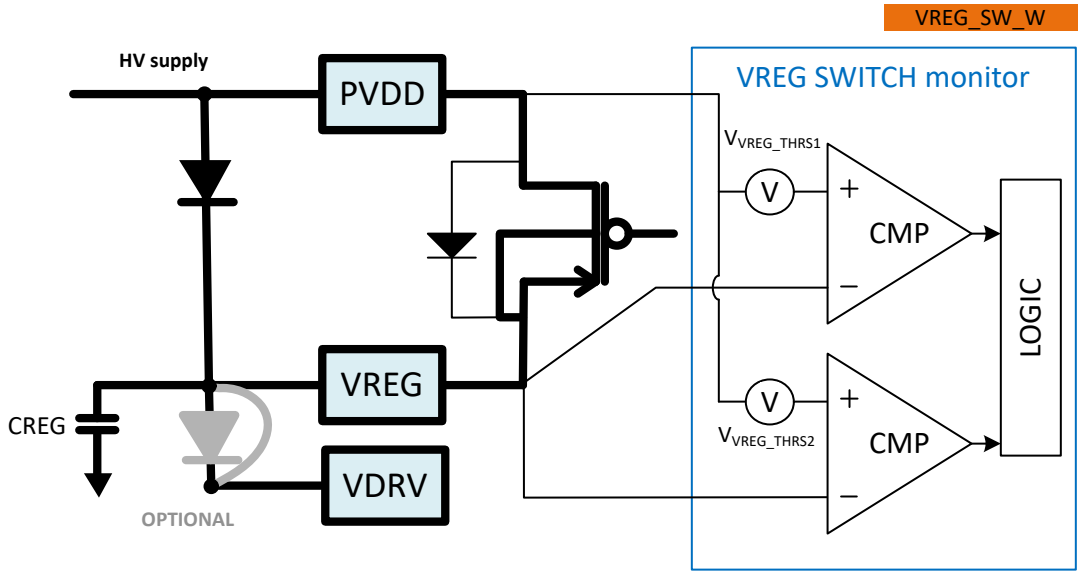


图 6-3. VREG 开关和监测器图

在 SPI 警告标志 (VREG_SW_W) 中报告在待机状态下关断开关。请注意，VREG 开关不能用于限制 PVDD 斜升期间的浪涌电流，PVDD 和 VREG 之间需要外部二极管连接。

备注

如果 VREG_SW_W_DIS = 1b 以禁用 VREG 开关警告（非典型用例），则关断状态诊断 ABIST 也应当被禁用 (OFF_DIAG_ABIST_DIS = 1b) 以避免关断状态诊断期间出现误报。

6.3.2.3 VDRV 监测器

该器件具有欠压 (V_{DRV_UV}) 和过压 (V_{DRV_OV}) 故障监测器，以及 VDRV 电源上的警告电平监测器。电压监测结果记录在 SPI STATUS 寄存器中。如果出现 VDRV 过压警告或 VDRV 欠压，则关断状态诊断不可用。此外，还有一个偏置欠压监测器 ($V_{DRV_UV_BIAS}$)，其阈值电平低于 VDRV 欠压监测器。如果在部署期间 VDRV 引脚电压降至 $V_{VDRV_UV_BIAS_FALL}$ 以下，则输出驱动器将被禁用并强制为高阻态。

Copyright © 2026 Texas Instruments Incorporated

6.3.2.4 VDD 监测器

该器件在 VDD 电源上具有一个欠压和过压监测器。VDD 欠压或过压情况直接在 SDO SPI 帧 (VDD_ERR) 响应的前导位中指示。

6.3.2.5 复位 (nPOR)

器件逻辑的上电复位 (nPOR) 基于从 VDRV 和 VDD 的电源“或”组合得出的内部 V5_S。发生 nPOR 复位时的电压用 V_{DRV_RST} 和 V_{VDD_RST} 参数进行描述。发生 nPOR 的情况下，所有寄存器都会复位，且必须重新执行启动序列

6.3.2.6 器件安全层

器件安全层包括 V5_S 上的电压监测器、主振荡器 (f_{OSC}) 上的频率监测器以及在单独的冗余振荡器 (f_{OSC_R}) 上运行的辅助超时逻辑。时间大于 t_{TIME_OUT} 的任何 V5_S 欠压 ($V_{5_S_UV}$)、V5_S 过压 ($V_{5_S_OV}$)、f_{OSC} 欠频 ($t_{HEART_BEAT_H}$) 或 f_{OSC} 过频 ($t_{HEART_BEAT_L}$) 事件都将导致输出驱动器被禁用（高阻态），并出现器件锁定故障 (DEV_ERR)。

Copyright © 2026 Texas Instruments Incorporated

6.3.3 输出驱动器

输出驱动器由 OUTL 引脚和 GND 之间的 LS FET 以及 OUTH 引脚和 VDRV 之间的 HS FET 组成。在收到有效的触发器引脚 (TRGx) 或 SPI 命令时，器件会进入运行状态以进行部署。在此部署期间，HS FET 作为电流源运行，且 LS FET 处于 RDSON 模式。从 LS FET（无分流电流镜架构）检测到的电流将用作反馈来控制 HS FET。在 LS 侧检测到的电流也将用于测量触发脉冲持续时间。PVDD 和 VREG 引脚之间是一个集成开关用于启用储能电容器诊断功能。

该器件提供多种不同的电源连接（PVDD、VREG、VDRV），支持连接可选的外部储能电容器和/或反向电流阻断二极管。若要采用外部储能电容器，应在 PVDD 和 VREG 引脚之间连接一个二极管，并将储能电容器连接至 VREG 引脚。

若要采用外部反向电流阻断二极管，应在 VREG 和 VDRV 引脚之间连接一个二极管。否则，这两个引脚可以在 PCB 上连接/短接在一起。

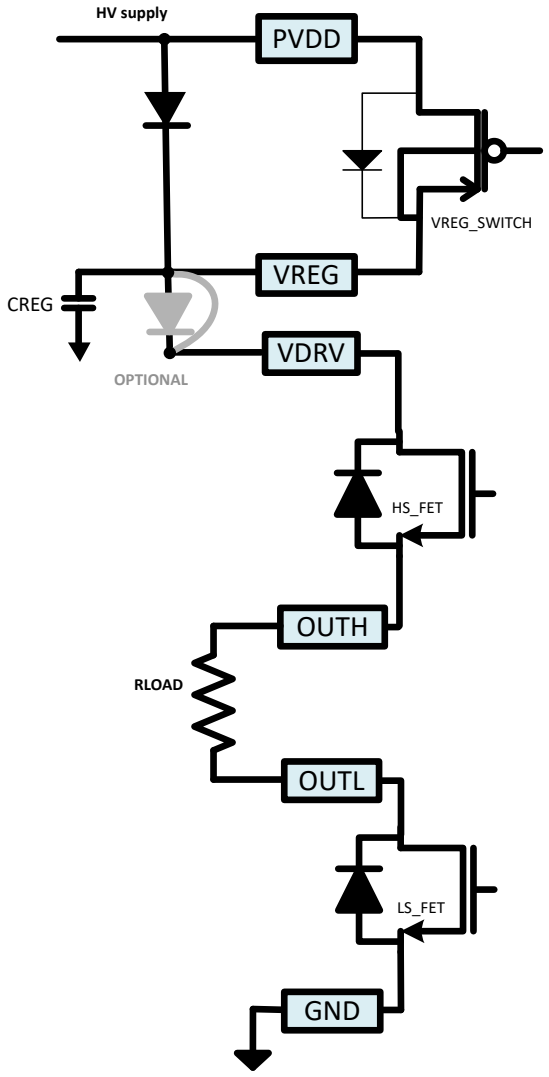


图 6-4. 输出驱动器图

6.3.3.1 待机状态

待机状态是器件的默认状态，其等效驱动器输出状态如下所示。该器件可以接受 SPI 命令以进行部署或执行关断状态诊断。该器件还可以接受引脚触发 (TRGx) 命令以进行部署。此状态下的器件电流消耗处于最小值。这种情况下可以执行 SPI 通信、引脚触发和关键监测功能。所有其他功能都会被禁用，以节省电流消耗。

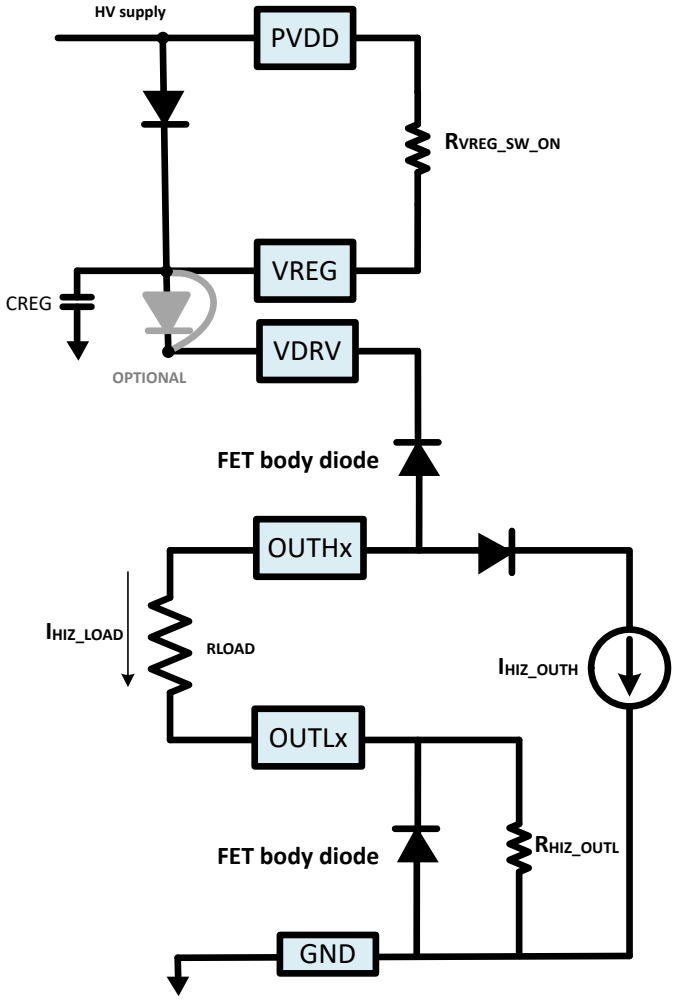


图 6-5. 输出驱动器待机状态

Copyright © 2026 Texas Instruments Incorporated

6.3.3.2 运行状态

在此状态下，该器件使用用户配置的部署电流曲线和时间来驱动负载，并具有如下所示的等效输出驱动器状态。如果发生欠压事件（VDRV 小于 $V_{VDRV_UV_FALL}$ 但大于 $V_{VDRV_UV_BIAS_FALL}$ 电平），则会以 RDSON 模式驱动 HS FET（由于缺少电压余量，无法进行电流调节）。低于 $V_{VDRV_UV_BIAS_FALL}$ 时，将禁用输出。此外，启用后，还会通过 I_{OCP_LS} 和 I_{OCP_HS} 以及热关断来保护输出驱动器 MOSFET。

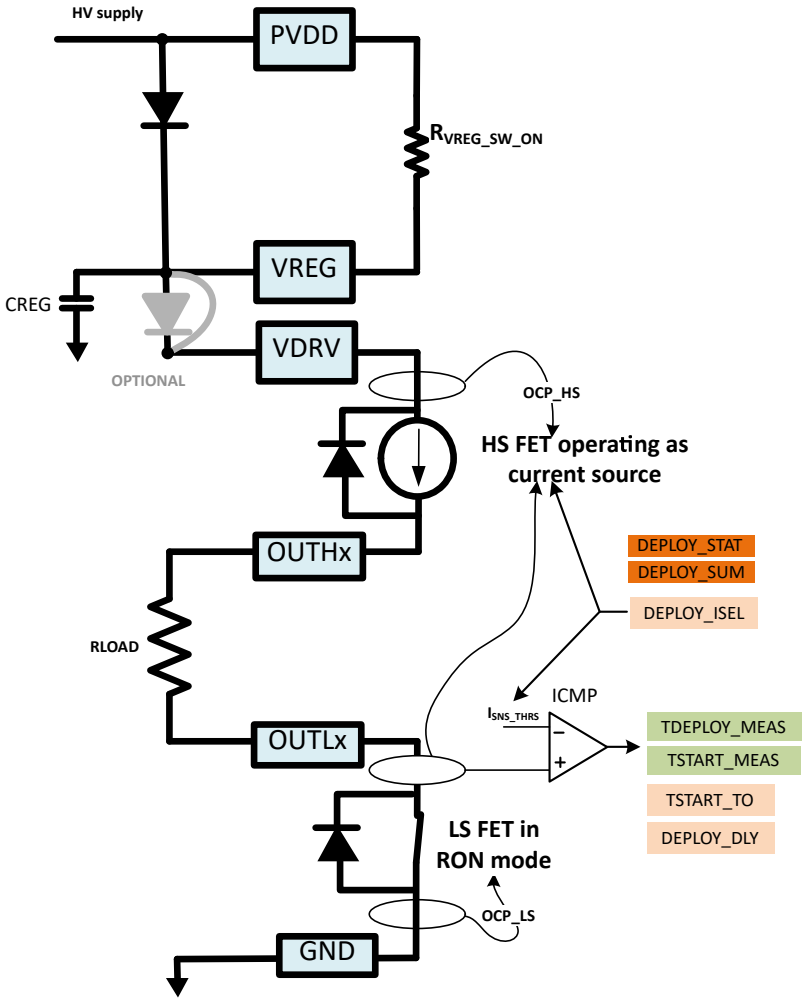


图 6-6. 输出驱动器运行状态

6.3.3.3 过流保护

当 MOSFET 导通后，在运行状态和关断状态诊断（FET RDSON 和测量测试）期间，输出驱动器 MOSFET 在低侧（I_{OCP_LS}，对电池短路）和高侧（I_{OCP_HS}，对 GND 短路）均受到引脚短路保护。请注意，关断状态诊断期间的过流阈值电平（$I_{OCP_HS_MEAS}$、$I_{OCP_LS_MEAS}$、$I_{OCP_HS_RDSON}$ 和 $I_{OCP_LS_RDSON}$）显著降低，以降低任何误触发的风险。检测到过流事件会导致输出驱动器关断（高阻态），并在 DEPLOY_STAT 或 OFF_DIAG_STAT STATUS 寄存器中标记相应的故障。

6.3.3.4 过热保护

在运行状态下发生过热事件 (T_{TSD}) 时，输出驱动器 MOSFET 受到热保护。检测到过热事件会导致禁用输出驱动器（高阻态），并在 DEPLOY_STAT STATUS 寄存器中标记故障。该器件还会发出过热警告（T_{TSD_W} 和 $T_{TSD_W_OFF}$），该警告的阈值低于热关断阈值。该器件可配置为在出现热警告时切换至较低的部署电流。如果出现过热警告，则关断状态诊断不可用。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 触发器 (TRGx) 引脚

该器件有两个专用硬件引脚用于触发部署。这些引脚有一个带滤波功能且连接到 GND 的内部下拉电阻。默认情况下会禁用引脚触发，但可通过 SPI 配置来启用。该器件支持电平触发和基于 PWM 的触发。触发选项通过 TRG_SEL SPI 寄存器进行配置。为避免误触发，所有电平触发选项均为组合设计 (TRG1 + TRG2)。如果使用基于 PWM 的触发，只需要一个引脚即可实现可靠部署。支持 16KHz 和 125KHz 的双 PWM 频率。

为进一步防止意外部署，基于 SPI 的部署始终与基于引脚的触发器一起作为“或”选项提供（除非在特别情况下配置为“与”选项）。不同的部署触发方法如下所示。

表 6-6. TRG1 + TRG2 引脚触发选项（由 TRG_SEL 配置）

TRG_SEL	部署触发方式
0h	仅使用 SPI 命令进行部署（不使用触发器引脚）
1h	如果发出 (TRG1 = Hi **AND** TRG2 = Hi) **OR** SPI 命令，则会进行部署。
2h	如果发出 (TRG1 = Hi **AND** TRG2 = Hi) **AND** SPI 命令，则会进行部署
3h	如果发出 (TRG1 = Hi **AND** TRG2 = Lo) **OR** SPI 命令，则会进行部署
4h	如果发出 (TRG1 = Hi **AND** TRG2 = Lo) **AND** SPI 命令，则会进行部署
5h	仅使用 SPI 命令进行部署（不使用触发器引脚）
6h	仅使用 SPI 命令进行部署（不使用触发器引脚）
7h	仅使用 SPI 命令进行部署（不使用触发器引脚）
8h	如果发出 [(TRG1 75% **OR** TRG2 75%) duty cycle @ 16K Hz PWM] **OR** SPI 命令，则会进行部署
9h	如果发出 [(TRG1 25% **OR** TRG2 25%) duty cycle @ 16K Hz PWM] **OR** SPI 命令，则会进行部署
Ah	如果发出 [(TRG1 75% **AND** TRG2 75%) duty cycle @ 16K Hz PWM] **OR** SPI 命令，则会进行部署
Bh	如果发出 [(TRG1 25% **AND** TRG2 25%) duty cycle @ 16K Hz PWM] **OR** SPI 命令，则会进行部署
Ch	如果发出 [(TRG1 75% **OR** TRG2 75%) duty cycle @ 125K Hz PWM] **OR** SPI 命令，则会进行部署
Dh	如果发出 [(TRG1 25% **OR** TRG2 25%) duty cycle @ 125K Hz PWM] **OR** SPI 命令，则会进行部署
Eh	如果发出 [(TRG1 75% **AND** TRG2 75%) duty cycle @ 125K Hz PWM] **OR** SPI 命令，则会进行部署
Fh	如果发出 [(TRG1 25% **AND** TRG2 25%) duty cycle @ 125K Hz PWM] **OR** SPI 命令，则会进行部署

6.3.4.1 基于 PWM 的触发器

该器件可配置为支持基于 PWM 模式的触发器以单独部署在每个 TRGx 引脚上。支持 PWM 频率 16kHz 和 125kHz。

支持两种占空比配置：

1. 75% 占空比 – 有效的部署触发器，25% 占空比 – 有效的无操作触发器
2. 25% 占空比 – 有效的部署触发器，75% 占空比 – 有效的无操作触发器

为实现响应时间和滤波之间的最佳折衷，避免意外触发，建议选择 75% 占空比和 16kHz PWM。

该器件利用内部 f_{OSC} 时钟测量 TRGx 引脚脉冲的导通时间和关断时间。如果两个连续周期与所选模式匹配，则会寄存一个有效触发器。任何其他类型的脉冲均视为正常工作脉冲或卡在故障位置。TRGx_PIN_STAT 会持续更新以指示触发器引脚状态。

下图展示了 75% 占空比的情况，其中的有效周期检查从 TRGx 引脚的正边沿开始。导通时间将与 PWM_FLTR_SEL 设置的配置窗口阈值进行比较。关断时间将与导通时间测量设置的动态限制进行比较。

对于 25% 占空比，此逻辑的输入将反转以保持相同的实现方式，因此在这种情况下，有效周期检查从 TRGx 引脚的下降沿开始。

Copyright © 2026 Texas Instruments Incorporated

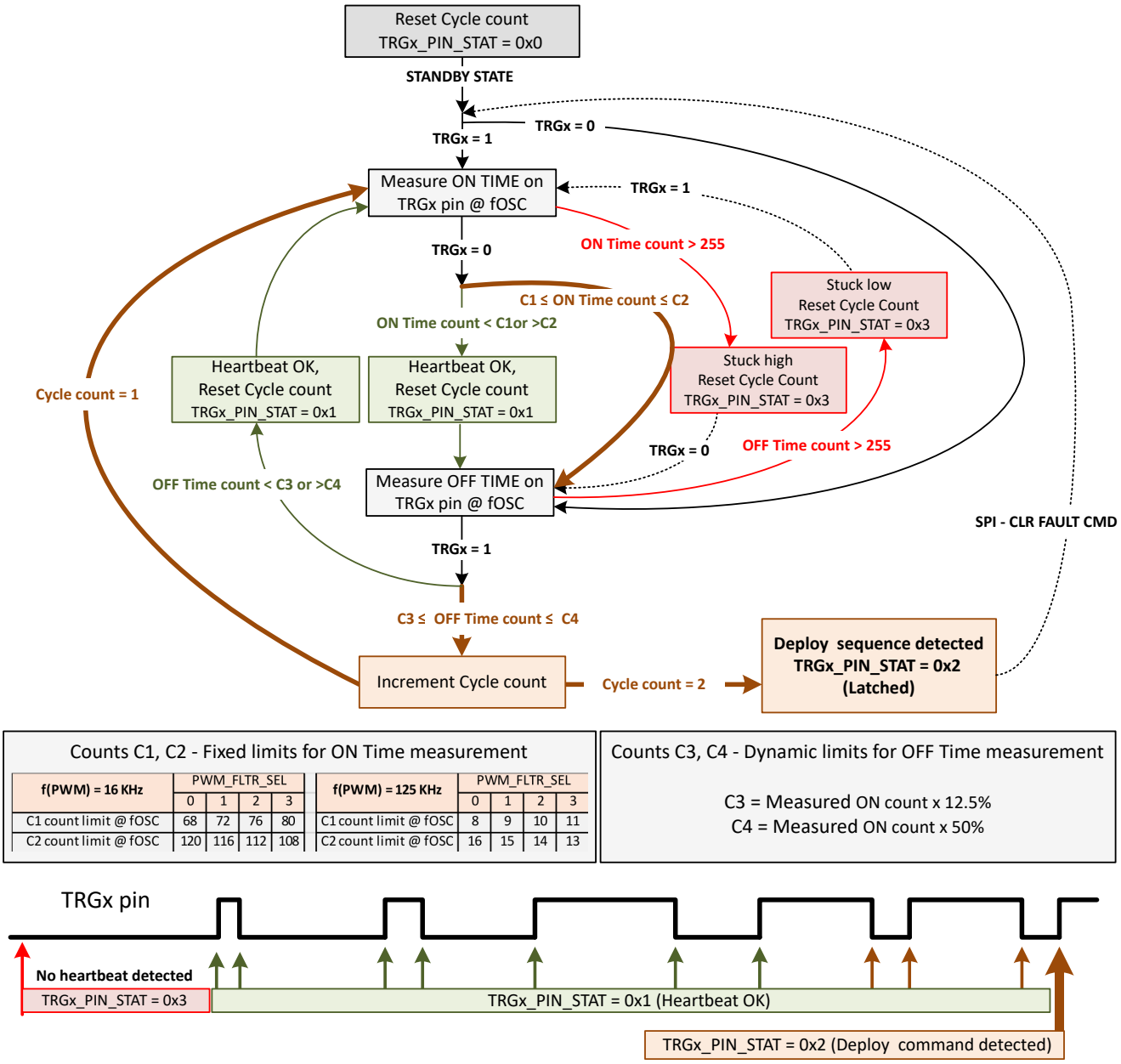


图 6-7. 基于 PWM 的触发

6.3.4.2 触发监测器

该器件提供 TRG1 和 TRG2 引脚的多个监测选项，以验证器件输入触发信号的运行状况。此信息显示在 STATUS 寄存器中的寄存器字段 TRG1_PIN_STAT、TRG2_PIN_STAT、TRG1_PIN_LVL1 和 TRG1_PIN_LVL2 中。这些状态寄存器仅用于反馈，器件不会根据它们执行任何操作。

TRGx_PIN_STAT 寄存器根据触发器接口模式 (TRG_SEL) 的选择情况显示一个状态。下表中定义了 TRGx_PIN_STAT 寄存器的反馈。

TRG1_PIN_LVL1 和 TRG1_PIN_LVL2 是 TRG1 引脚的简单实时电平状态。

表 6-7. TRG1_PIN_STAT 和 TRG2_PIN_STAT 模式

TRG_SEL	TRG1_PIN_STAT	TRG2_PIN_STAT
0h	3h（SPI 触发器）	3h（SPI 触发器）

Copyright © 2026 Texas Instruments Incorporated

表 6-7. TRG1_PIN_STAT 和 TRG2_PIN_STAT 模式（续）

TRG_SEL	TRG1_PIN_STAT	TRG2_PIN_STAT
1h	0h = 尚无可用数据 1h = 引脚处于高电平 2h = 引脚处于低电平 3h = 保留	0h = 尚无可用数据 1h = 引脚处于高电平 2h = 引脚处于低电平 3h = 保留
2h		
3h		
4h		
5h	3h（SPI 触发器）	3h（SPI 触发器）
6h	3h（SPI 触发器）	3h（SPI 触发器）
7h	3h（SPI 触发器）	3h（SPI 触发器）
8h - Fh	0h = 无可用数据 1h = 检测到 PWM 检测信号 2h = 检测到 PWM 有效部署信号（模式匹配） 3h = PWM 检测信号丢失（卡在高电平或低电平）	0h = 无可用数据 1h = 检测到 PWM 检测信号 2h = 检测到 PWM 有效部署信号（模式匹配） 3h = PWM 检测信号丢失（卡在高电平或低电平）

6.3.5 部署参数

部署电流脉冲持续时间 (t_{DEPLOY}) 和电平 (I_{DEPLOY}) 可由用户在 SPI CONFIG 寄存器中配置。电流脉冲 (I_{RISE}) 的上升速率由内部控制。如果需要，可以使用外部串联电感器进一步减慢速度。

有两个时间分辨率为 500ns 的内部计时器在部署时触发。在部署结束时，计时器值记录在 MEAS 寄存器中。

1. **TSTART_MEAS** - 这是从部署命令到负载电流超过检测阈值 (I_{SNS_THRS}) 或用户配置的 TSTART_TO 计时器到期为止的时间测量值。用户配置的 DEPLOY_DLY 时间不包括在此测量中。部署持续时间计时器 t_{DEPLOY} 在 TSTART_MEAS 结束时启动。TSTART_TO 设置 TSTART_MEAS 计时器的超时值，以防在超时时间窗口内未检测到 I_{SNS_THRS}。
2. **TDEPLOY_MEAS** - 这是 t_{DEPLOY} 期间部署电流大于等于 I_{SNS_THRS} 时的时间测量值

下面的图 6-8 演示了正常部署方案以及测量计时器。

1. 根据 TRG_SEL 寄存器配置，SPI 部署命令通过 TRGx 引脚上的 nSCS 上升或 PWM/电压电平进行寄存和验证。
2. 随后是由 DEPLOY_DLY 寄存器设置的用户可配置延迟。
3. 输出驱动器 MOSFET 启用（LS FET 导通，然后是 HS FET）。
4. DEPLOY_ISEL 设置部署电流电平 (I_{DEPLOY}) 和部署持续时间 (t_{DEPLOY})，而负载电流 (I_{RISE}) 的上升 (di/dt) 时间则是由 DEPLOY_IRATE 寄存器进行设置。

Copyright © 2026 Texas Instruments Incorporated

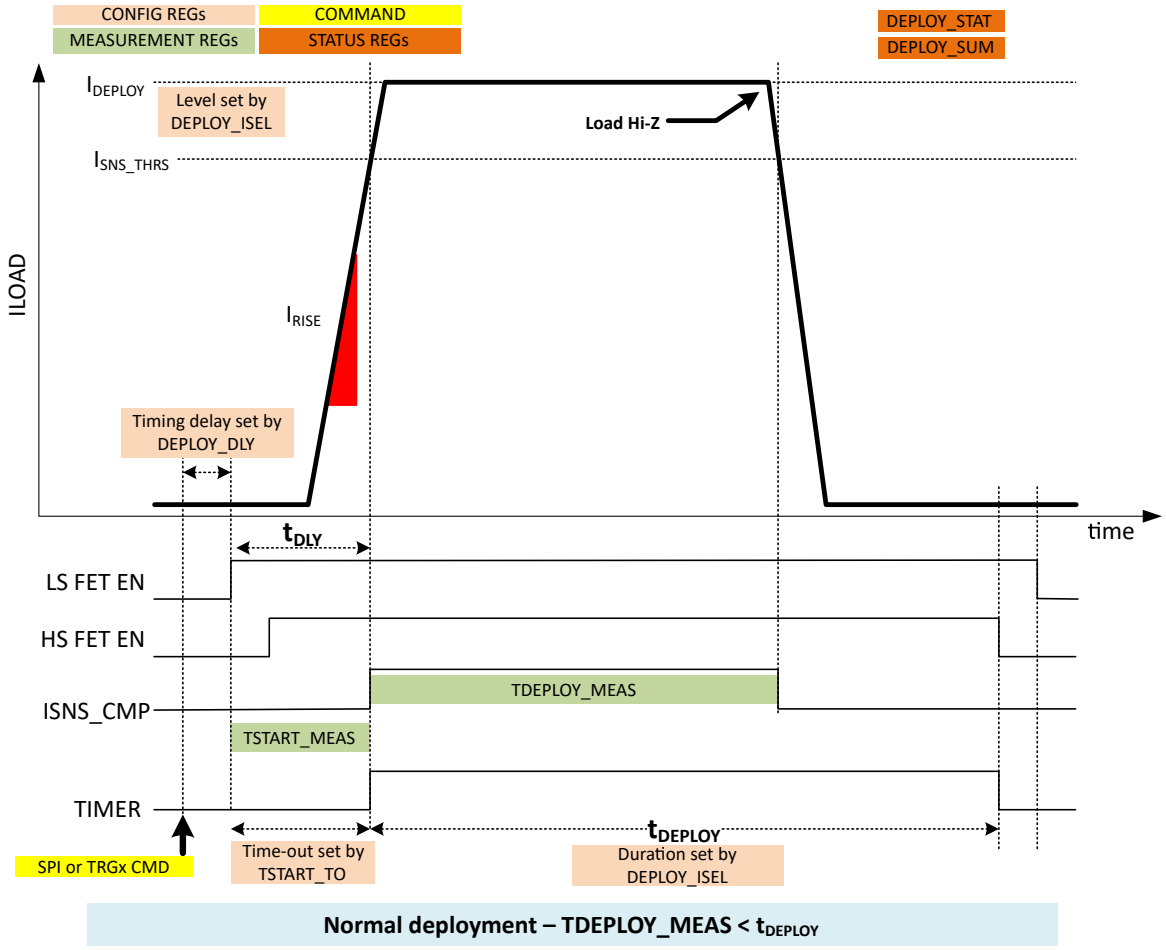


图 6-8. TDEPLOY_MEAS < t_{DEPLOY} 的典型部署

下面展示了一些示例异常部署情况的测量计时器的行为。

TDEPLOY_MEAS 表示部署时间 (I_{DEPLOY}) 大于等于 ISNS_THRS 时的时间测量值。在下面的图 6-9 中，只要部署期间的部署电流下降到低于 I_{SNS_THRS} 电平，计时器就会暂停。

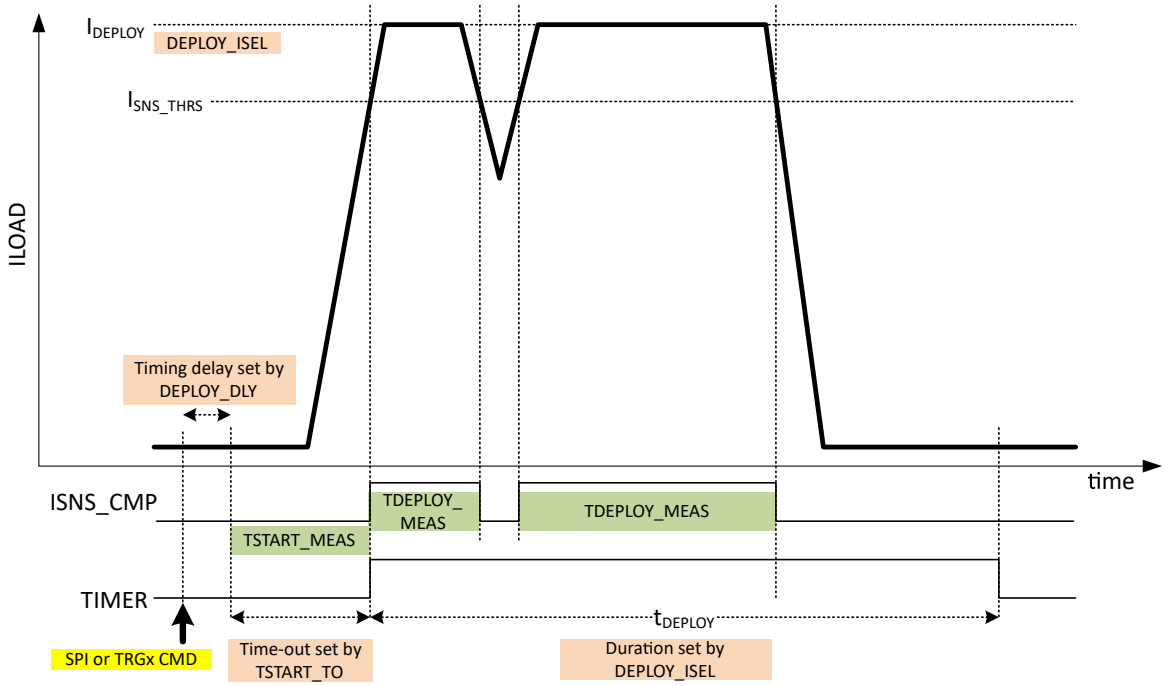


图 6-9. 异常部署示例（部署电流下降）

在 t_{DEPLOY} 持续时间结束时，即使负载电流没有下降到低于 I_{SNS_THRS} 阈值，部署也会停止。这种情况如图 6-10 中所示，其中的 TDEPLOY_MEAS 几乎等于 t_{DEPLOY} 的值。

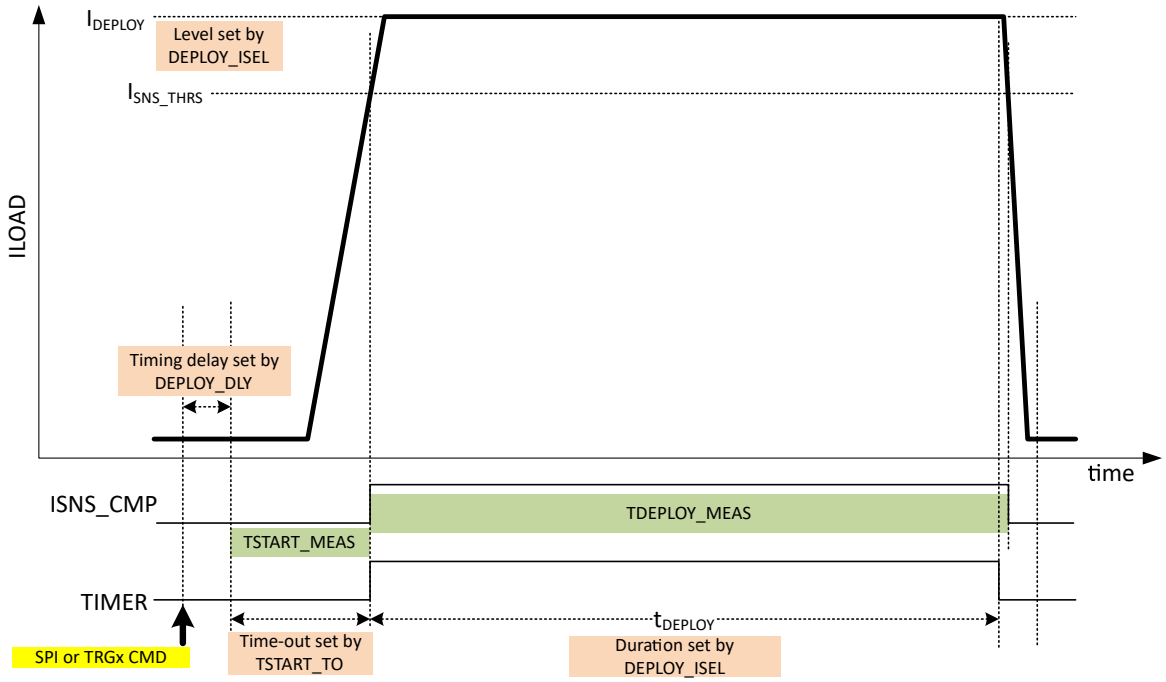


图 6-10. 异常部署示例（部署时间过期）

如果未发生 I_{SNS_THRS}，则在 TSTART_TO 寄存器设置的时间内，启用输出驱动器 MOSFET 后，超时事件就会记录在 DEPLOY_STAT STATUS 寄存器中。在这种情况下，TSTART_MEAS 寄存器将测量出与 TSTART_TO 寄存器值相同的值。TDEPLOY_MEAS 寄存器值仍然有效。

Copyright © 2026 Texas Instruments Incorporated

6.3.5.1 部署延迟

执行有效的 SPI 命令（CMD1 或广播 CMD2）、引脚触发（TRGx）或两者的组合（由 TRG_SEL 设置）时，该器件将在 t_{DLY0} 或 t_{DLY1} 持续时间内启动部署。该时间是从命令被寄存的时间（nSCS 引脚的上升沿）到负载电流大于 I_{SNS_THRS} 的时间之间的间隔时间，没有用户配置的任何额外延迟。

此外，该器件还提供可编程延迟 (t_{DEPLOY_DLY})，以便同步部署同一寻址 SPI 总线上的多个驱动器。延迟时间（DEPLOY_DLY 寄存器）可按如下方式配置，并且可以为基于 SPI 的部署（正常 SPI 为 ACTIVITY_CTRL 寄存器，广播 SPI 为 DEPLOY_DLY_EN 寄存器）和基于引脚的触发（PIN_DEPLOY_DLY_EN 寄存器）进行独立启用。

表 6-8. 不同触发器选择方案的部署延迟

触发器选择	引脚延迟	SPI 延迟	部署延迟
仅 SPI（TRG_SEL = 0h、5h-7h）	不用考虑	禁用	无延迟
		启用	根据 DEPLOY_DLY 寄存器设置进行延迟
SPI 或 TRGx 引脚（TRG_SEL = 1h、3h、8h-Fh）	禁用	禁用	无延迟
	禁用	启用	仅当首先接收到 SPI 命令时，才会根据 DEPLOY_DLY 设置进行延迟
	启用	禁用	仅当首先接收到 TRGx 引脚触发器时，才会根据 DEPLOY_DLY 设置进行延迟
	启用	启用	根据 DEPLOY_DLY 设置进行延迟
SPI 和 TRGx 引脚（TRG_SEL = 2h、4h）	禁用	禁用	无延迟
	禁用	启用	无延迟
	启用	禁用	无延迟
	启用	启用	在 SPI 命令和 TRG 引脚触发器后，根据 DEPLOY_DLY 设置进行延迟

6.3.6 关断状态诊断

在待机状态下，可以通过有效的 SPI 命令来命令器件执行关断状态诊断。这些诊断包括一系列有序的自定时测试，用于检查部署功能的可用性，不会产生意外部署的风险。

前六项测试中的任何一项测试失败都会导致在失败时立即中止关断状态诊断。在发生 VDRV 欠压、VDRV 过压警告或过热警告时，关断状态诊断功能不可用。结果记录在 STATUS 寄存器 OFF_DIAG_STAT 和 OFF_DIAG_SUM 中。

在关断状态诊断期间，器件可在任何时候接受有效的引脚 TRG 或 SPI 命令以进行部署。此时，器件会以受控方式立即中止诊断，并转入 ACTIVE 状态以进行部署。部署延迟参数 t_{DLY0} 和 t_{DLY1} 时间仍将保持不变。

测试的顺序及其目标如下：

1. 器件 BIST：通过器件 BIST 验证监测器是否合格。
2. 弱上拉测试：检测对地的阻抗。
3. 弱下拉测试：检测对电源的阻抗或开路。
4. HS RDSON 测试（默认禁用）：器件高侧 MOSFET 检查
5. LS RDSON 测试（默认禁用）：器件低侧 MOSFET 检查。
6. IREF 电阻监测：对外部 IREF 引脚电阻进行电阻测量检查。
7. VREG 电压和电容测量：测量 VREG（含 BIST）相对于 PVDD 的电压，并通过受控灌电流获知 VREG 上电容器的放电速率，从而估算引脚上的电容值。
8. 负载电阻监测：检查输出点火管负载的电阻。（通常为 2Ω）。

不能更改这些测试的顺序，但可以通过 CONFIG 寄存器禁用单项测试。

Copyright © 2026 Texas Instruments Incorporated

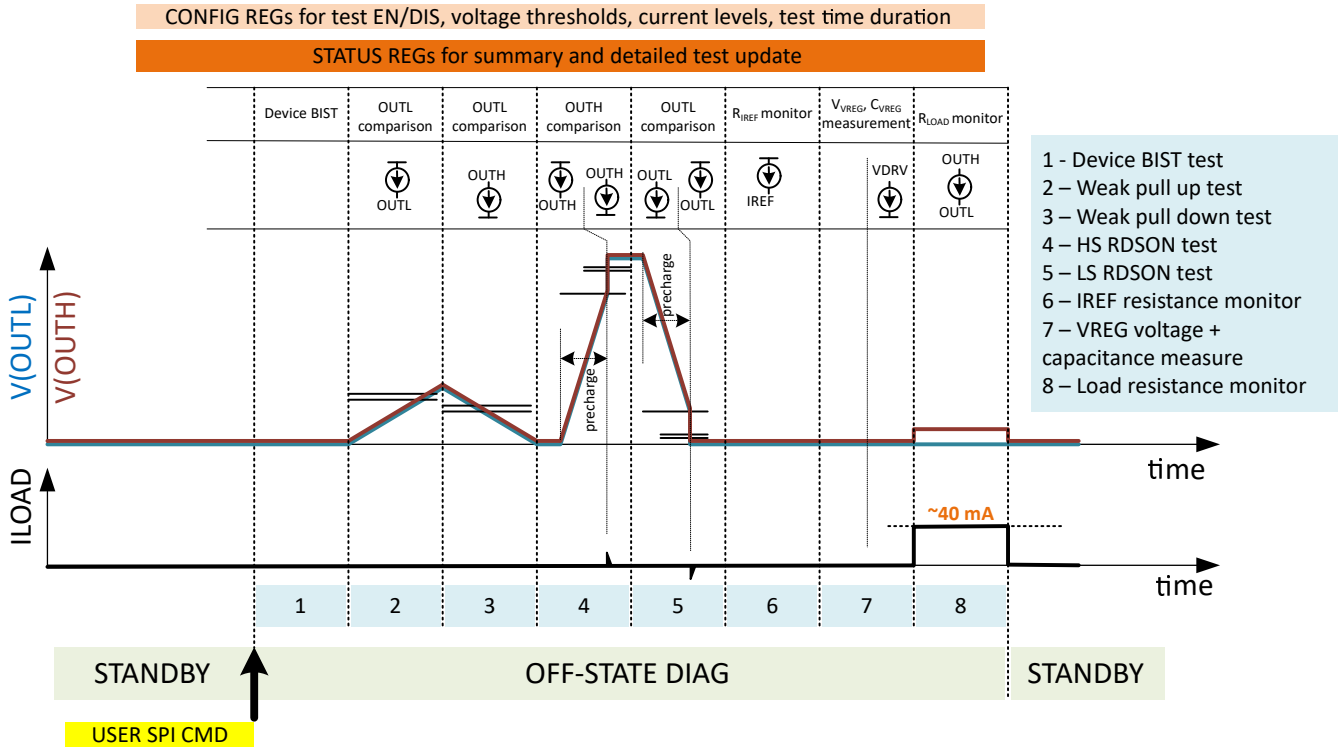


图 6-11. 关断状态诊断顺序

在器件运行期间，建议使用以下 3 种组合来进行关断状态诊断：

1. **启动检查：**用于验证器件与负载是否正常，并确认监测器是否合格的所有测试。
2. **定期检查：**包括弱上拉、弱下拉、VREG 电压与电容测量以及负载电阻监测，用于验证部署功能是否可用。
3. **部署后检查：**仅通过负载电阻监测来验证点火器是否已起爆。

6.3.6.1 器件 BIST

此内置自检可检查用于电源、诊断和电流检测的比较器的完整性。这是一种在 t_{BIST} 持续时间内完成的自定时测试。用户可以使用寄存器 OFF_DIAG_ABIST_DIS = 0x1 跳过此测试。

此测试发生失败会导致关断状态诊断序列中止，并在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0x8。

Copyright © 2026 Texas Instruments Incorporated

6.3.6.2 弱上拉测试

在驱动器被禁用（高阻态）的情况下，该测试在 OUTL 上施加用户配置的上拉电流 ($I_{REF_WK_PU}$)，并将 OUTL 上的电压与内部基准电压 ($V_{REF_WK_PU}$)（具有用户配置的超时 (t_{WK_PU})）进行比较。目的是检测输出端是否存在任何可能妨碍部署功能并接地的明显意外阻抗。测试失败会导致关断状态诊断中止，并在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0x9。

用户可以使用寄存器 OFF_DIAG_WK_PU_DIS = 0x1 跳过此测试。

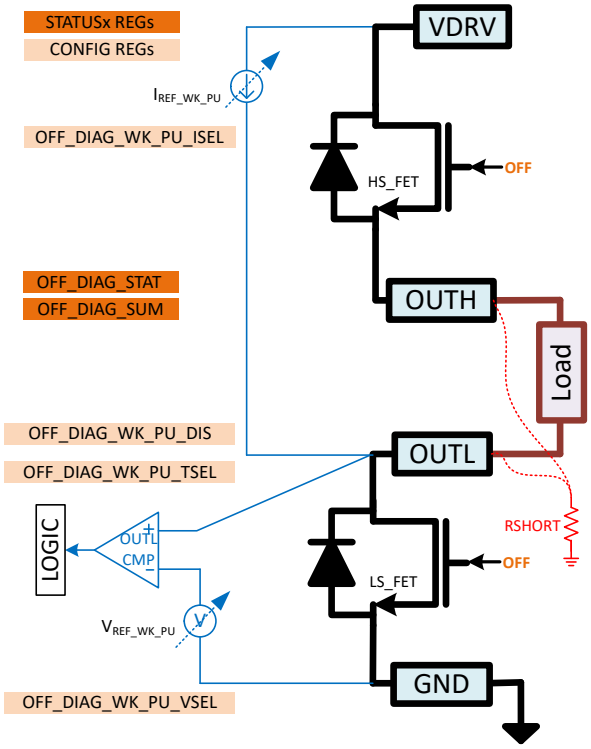


图 6-12. 弱上拉测试图

6.3.6.3 弱下拉测试

在驱动器被禁用（高阻态）的情况下，该测试在 OUTH 上施加用户配置的下拉电流 ($I_{REF_WK_PD}$)，并将 OUTL 上的电压与内部基准电压 ($V_{REF_WK_PD}$)（具有用户配置的超时 (t_{WK_PD})）进行比较。目的是检测输出端是否存在任何可能妨碍部署功能并连接到高电压电源的明显意外阻抗。测试失败会导致关断状态诊断中止，并在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0xA。

用户可以使用寄存器 OFF_DIAG_WK_PD_DIS = 0x1 跳过此测试。

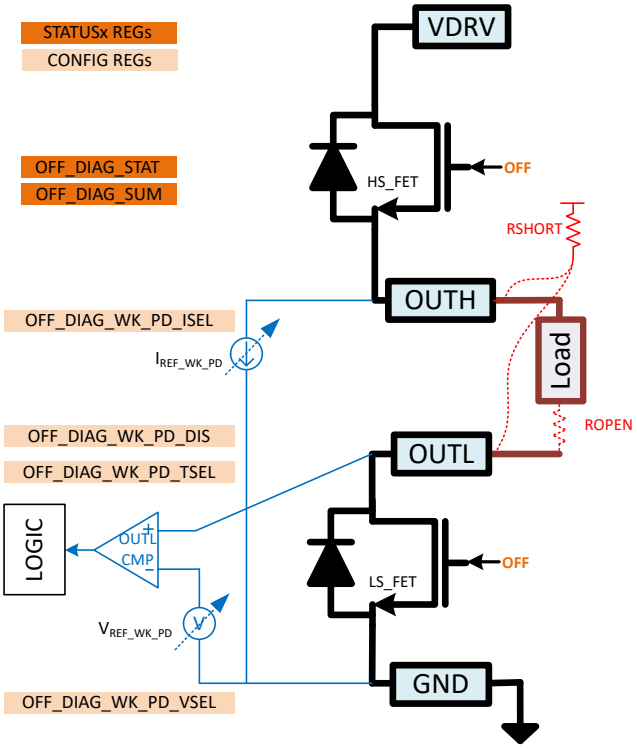


图 6-13. 弱下拉测试图

Copyright © 2026 Texas Instruments Incorporated

6.3.6.4 高侧 MOSFET RDSON 测试

该测试包括两个部分。首先，在驱动器禁用（高阻态）的情况下，该测试在 OUTH 上强制上拉电流 ($I_{REF_PC_HSRDSON}$)，直到输出电压接近 VDRV 预充电电压 ($V_{REF_PC_HSRDSON}$)。此后，只有高侧 (HS) MOSFET 开关由 OUTH 上用户配置的下拉电流 ($I_{REF_HSRDSON}$) 导通，并将 HS MOSFET 开关的漏源电压与内部基准电压 ($V_{REF_HSRDSON}$) 进行比较。该测试具有用户配置的超时值 ($t_{HSRDSON}$)。HS MOSFET 由 $I_{OCP_HS_RDSON}$ 提供保护，确保在输出端发生短路时关断 MOSFET。

测试失败会导致关断状态诊断中止，在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0xB，并在 OFF_DIAG_STAT_MISC 寄存器中添加其他信息，以区分预充电超时或 RDSON 故障。

虽然用户可以使用寄存器 OFF_DIAG_HS_RDSON_DIS = 0x1 跳过此测试，但建议同时跳过 LS 和 HS MOSFET 开关测试，而不要只跳过其中一项。

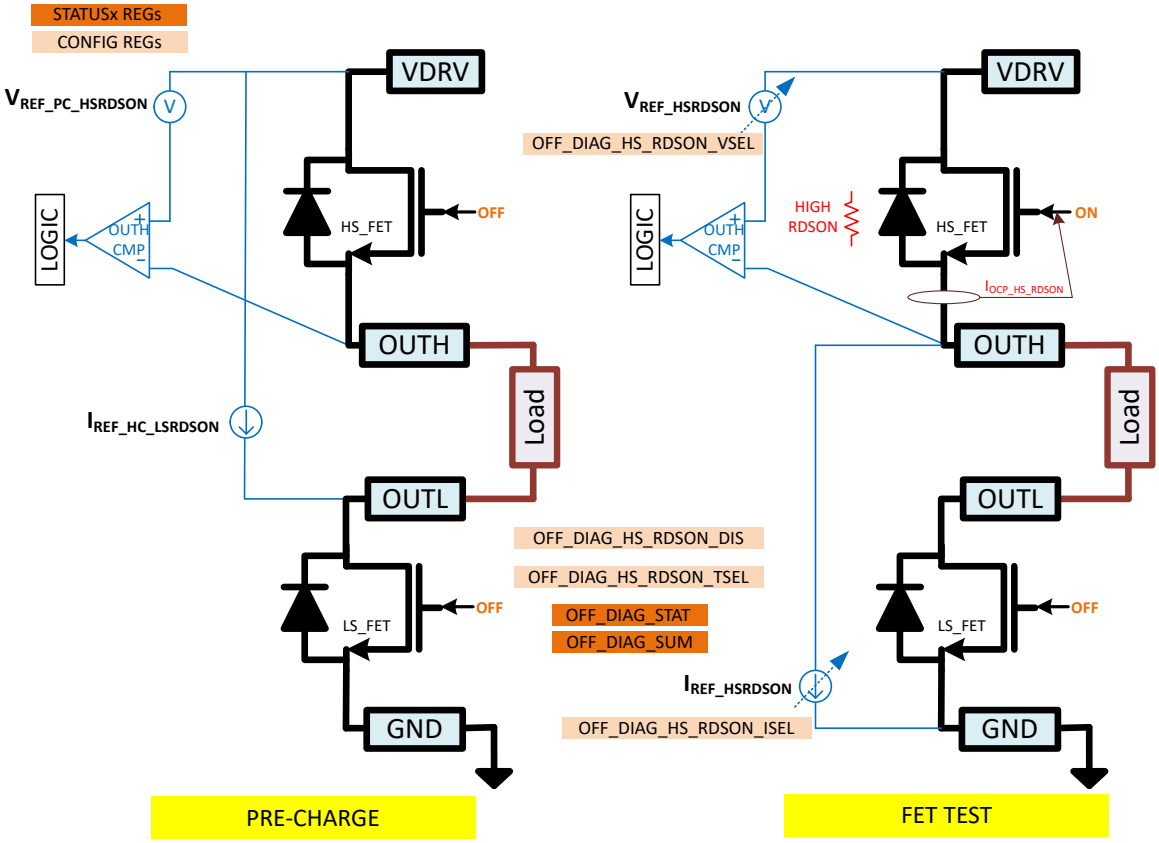


图 6-14. HS MOSFET RDSON 测试图

6.3.6.5 低侧 MOSFET RDSON 测试

该测试包括两个部分。首先，在驱动器禁用（高阻态）的情况下，该测试在 OUTL 上强制下拉电流 ($I_{REF_PC_LSRDSON}$)，直到输出电压接近 GND 预充电电压 ($V_{REF_PC_LSRDSON}$)。此后，只有低侧 (LS) 开关由 OUTL 上用户配置的上拉电流 ($I_{REF_LSRDSON}$) 导通，并将 LS 开关的漏源电压与内部基准电压 ($V_{REF_LSRDSON}$) 进行比较。该测试具有用户配置的超时值 ($t_{LSRDSON}$)。LS MOSFET 由 $I_{OCP_LS_RDSON}$ 进行保护，以确保在输出端短路时关断 MOSFET。

测试失败会导致关断状态诊断中止，在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0xC，并在 OFF_DIAG_STAT_MISC 寄存器中添加其他信息，以区分预充电超时或 RDSON 故障。

虽然用户可以使用寄存器 OFF_DIAG_LS_RDSON_DIS = 0x1 跳过此测试，但建议同时跳过 LS 和 HS MOSFET 开关测试，而不要只跳过其中一项。

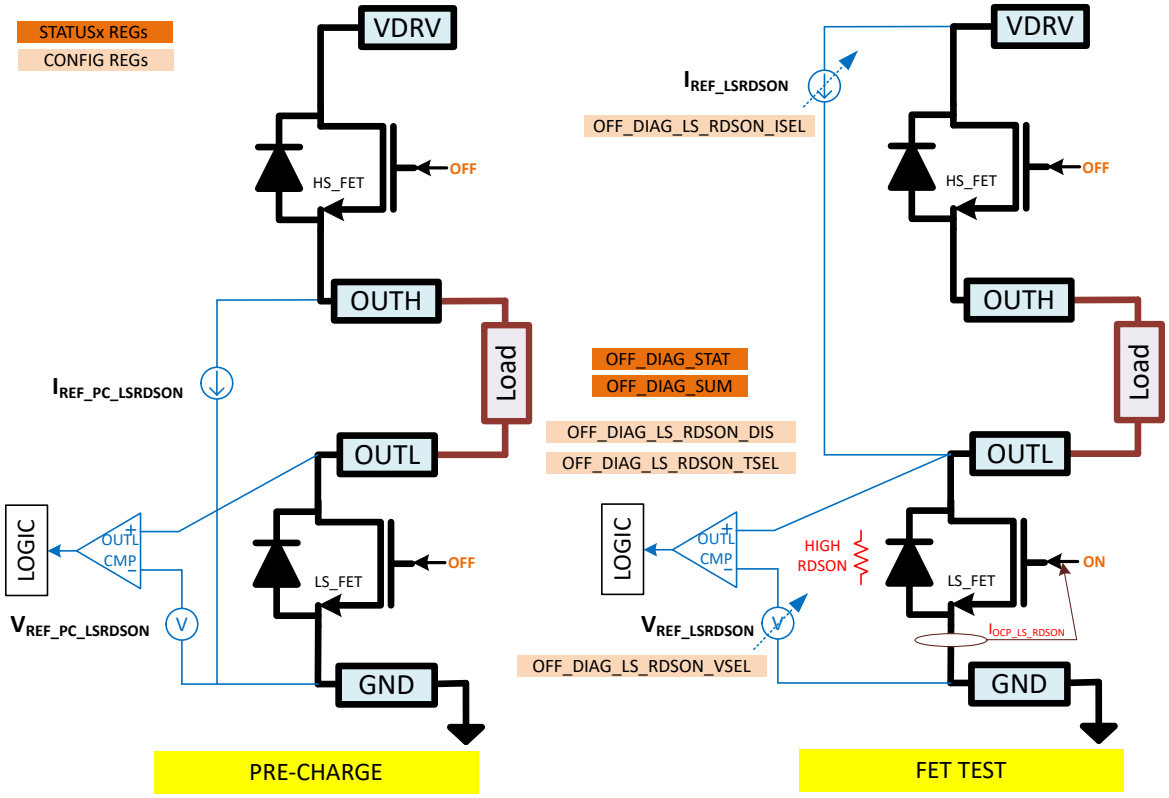


图 6-15. LS MOSFET RDSON 测试图

Copyright © 2026 Texas Instruments Incorporated

6.3.6.6 IREF 电阻监测

该测试假定 IREF 引脚上连接了一个 10kΩ 电阻，目的是使用通过/失败标准来鉴定电阻测量电路。在驱动器禁用（高阻态）的情况下，这个自定时 (t_{IREF_MEAS}) 测试将在外部 IREF 引脚上施加电流 (I_{REF})，以产生输入到内部电阻测量块的电压，这个测量块由增益缓冲器、5 位电压 DAC 和比较器组成。DAC 通过所有代码进行扫描，跳闸点将记录在 MEAS2 寄存器的 RIREF_MEAS 中。如果测得代码超出 10kΩ 电阻的范围，该测试将记录为失败。这种情况下会导致关断状态诊断中止，并在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0xD。

此外，LS MOSFET 由过流保护 $I_{OCP_LS_MEAS}$ 进行保护，以确保在输出端短路时关断 MOSFET。如果发生 LS 过流，则会导致关断状态诊断中止并在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0xE。

用户可以使用寄存器 OFF_DIAG_Iref_DIS = 0x1 跳过此测试。

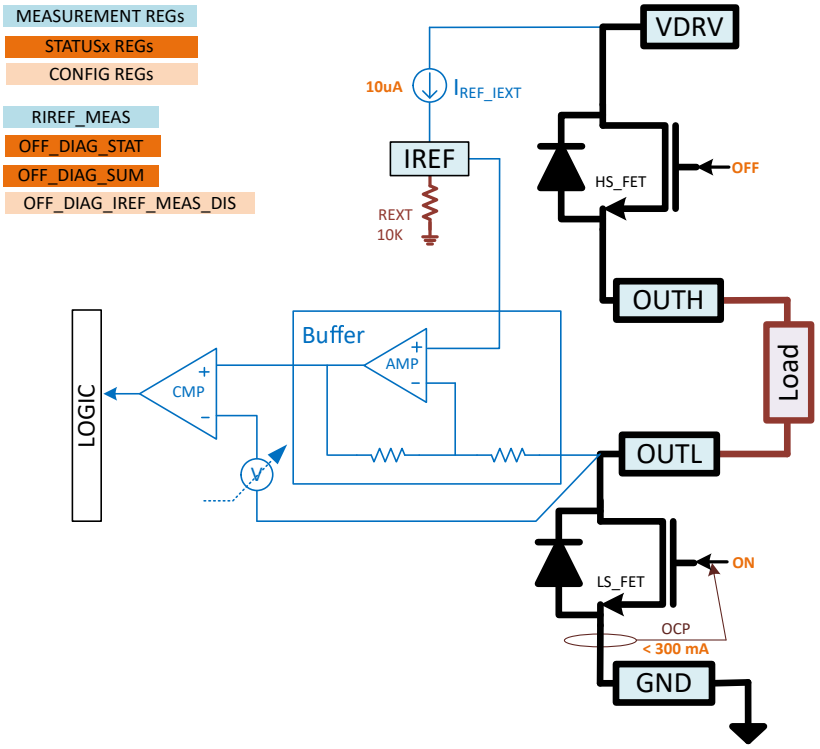


图 6-16. IREF 电阻监测图

6.3.6.7 VREG 电压和电容测量

该测试包括两个部分。首先在 VREG 引脚上进行电压测量，然后在 VREG 引脚上进行电容测量。

电压测量：驱动器禁用（高阻态）、VREG_SW 闭合时，设有 4ms 趋稳时间，使 VREG 引脚电压从先前测试状态稳定下来。然后是一个包括 3 位 DAC、比较器 (CMP) 和逻辑的电压测量序列，用于扫描 DAC 代码 (V_{DAC_VREG}) 以估算 VREG 引脚上的电压。结果会在 STATUS 寄存器 OFF_DIAG_STAT 中报告为正常（电压值记录于 STATUS3 寄存器的 VREG_VMEAS 中），或报告为电压过低故障（此时跳过后续电容测量）。这是一个自定时测试 (t_{VREG_VMEAS})。第二个比较器 (CMP_R) 与 CMP 比较器之间具有固定偏移，用于执行额外的确认操作。无效的比较器输出组合会导致中止关断状态诊断并在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0xD。

电容测量：驱动器禁用（高阻态）、VREG_SW 断开时，会在 VDRV 引脚上施加受控下拉电流 (I_{VDRV_DIAG})，从而使 VREG 缓慢放电。CMP 比较器的起始基准值取决于用户配置的阈值 (V_{DAC_VREG})，而这个阈值由寄存器 OFF_DIAG_CMEAS_THRS_SEL 或 OFF_DIAG_CMEAS_THRS_AUTO 设置。当该比较器跳闸时，有一个计时器会启动，并且比较器基准切换到固定的较低值 V_{DIFF}。当比较器再次跳闸时，计时器停止。该放电时间记录在 STATUS3 寄存器的 T_VREG_CAP 中。持续时间 t_{CMEAS} 由 OFF_DIAG_CMEAS_TSEL 寄存器进行设置，具有

Copyright © 2026 Texas Instruments Incorporated

额外设置时间 t_{CMEAS_SETUP}，表示 VREG 开关断开时间和下拉电流稳定时间。用户可以根据比较器跳闸时间差以及固定电压阈值 (V_{DIFF}) 和下拉电流 (I_{VDRV_DIAG}) 来估算 VREG 引脚上的电容。

用户可以使用寄存器 OFF_DIAG_VREG_MEAS_DIS = 0x1 跳过此测试（两部分）。

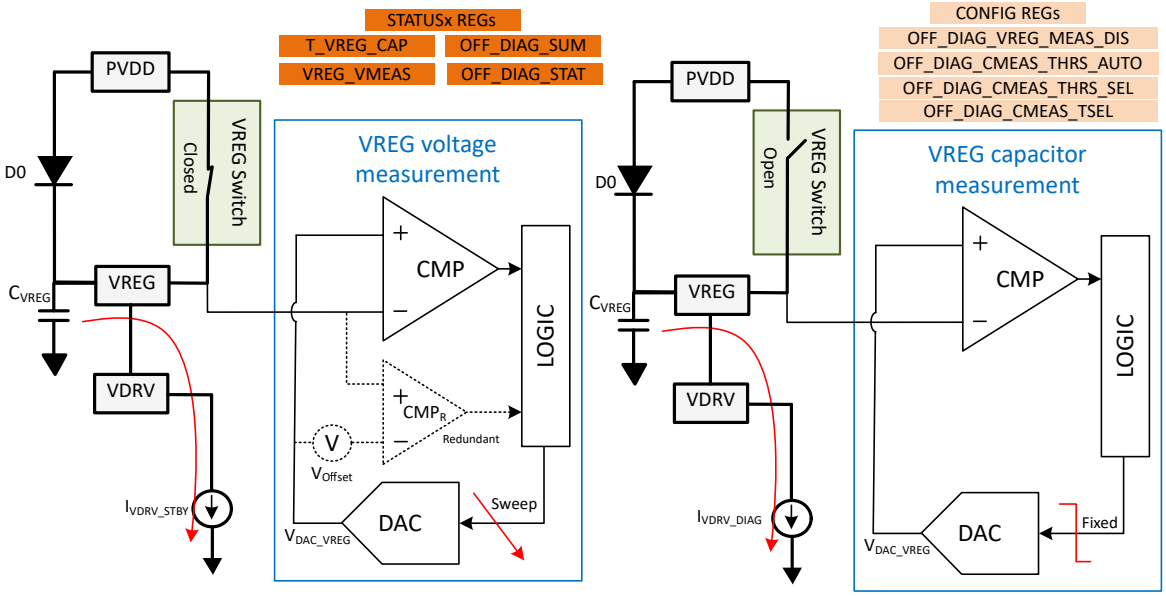


图 6-17. VREG 电压和电容测量图

表 6-9. 储能电容器 T_VREG_CAP 计算

T_VREG_CAP	结果	计算
00h	未发生计时器启动，值未确定。	不适用
01h - 31h	发生了计时器启动和停止	电容值 = T_VREG_CAP（十进制寄存器值）x 计时器分辨率 x 1.16
31h - 3Fh	发生了计时器启动，但未发生计时器停止。	电容值（法拉）> T_VREG_CAP（十进制寄存器值）x 计时器分辨率 x 1.16

计时器分辨率 = OFF_DIAG_CMEAS_TSEL（0.5ms、1ms、2ms、4ms）/ 32。也可参考 STATUS3 部分中的 T_VREG_CAP 寄存器说明，了解如何推断不同的启动/停止计时器情况。

备注

如果 T_VREG_CAP 的结果大于 31h（计时器已启动但未停止），器件会将 VREG_SW_W 记为 2h。这可以通过在诊断后发出清除故障命令 (CLR_FAULT) 来复位。

Copyright © 2026 Texas Instruments Incorporated

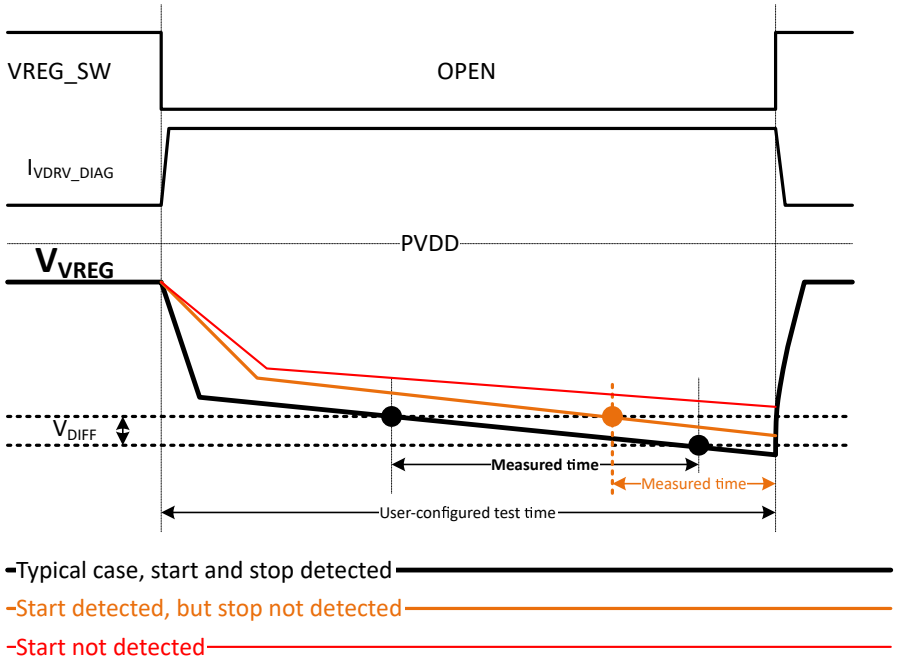


图 6-18. VREG 电压和电容测量示例

6.3.6.8 输出负载电阻监测

这是一个由用户定时的测试，可监测 OUTx 引脚上的输出负载电阻，并发出正常或失败高电平/失败低电平警告，该警告在 OFF_DIAG_STAT 寄存器中报告。为了测量负载电阻，HS FET 配置为电流源 (I_{RMEAS})，LS FET 处于 RDSON 模式，过流限制较低。电压通过缓冲器放大，并与两个不同的阈值进行比较，其中一个阈值由 OFF_DIAG_RMEAS_THRS_L_SEL 寄存器配置，用于低电平阈值检查 (R_{MEASL})，另一个阈值由 OFF_DIAG_RMEAS_THRS_H_SEL 寄存器配置，用于高电平阈值检查 (R_{MEASH})。该测试的持续时间 t_{RMEAS} 由 OFF_DIAG_RMEAS_TSEL 寄存器进行设置。

输出驱动器 MOSFET 由过流保护 $I_{OCP_LS_MEAS}$ 和 $I_{OCP_HS_MEAS}$ 进行保护，确保在输出端短路时会关断 MOSFET。发生 LS 或 HS 过流会导致关断状态诊断中止，并会在 STATUS 寄存器中分别报告为 OFF_DIAG_STAT = 0xE/0xF。

此外，无效的比较器输出组合也会导致关断状态诊断中止并在 STATUS 寄存器中报告为 OFF_DIAG_STAT = 0xD。用户可以通过寄存器 OFF_DIAG_RMEAS_DIS = 0x1 来跳过该测试。

Copyright © 2026 Texas Instruments Incorporated

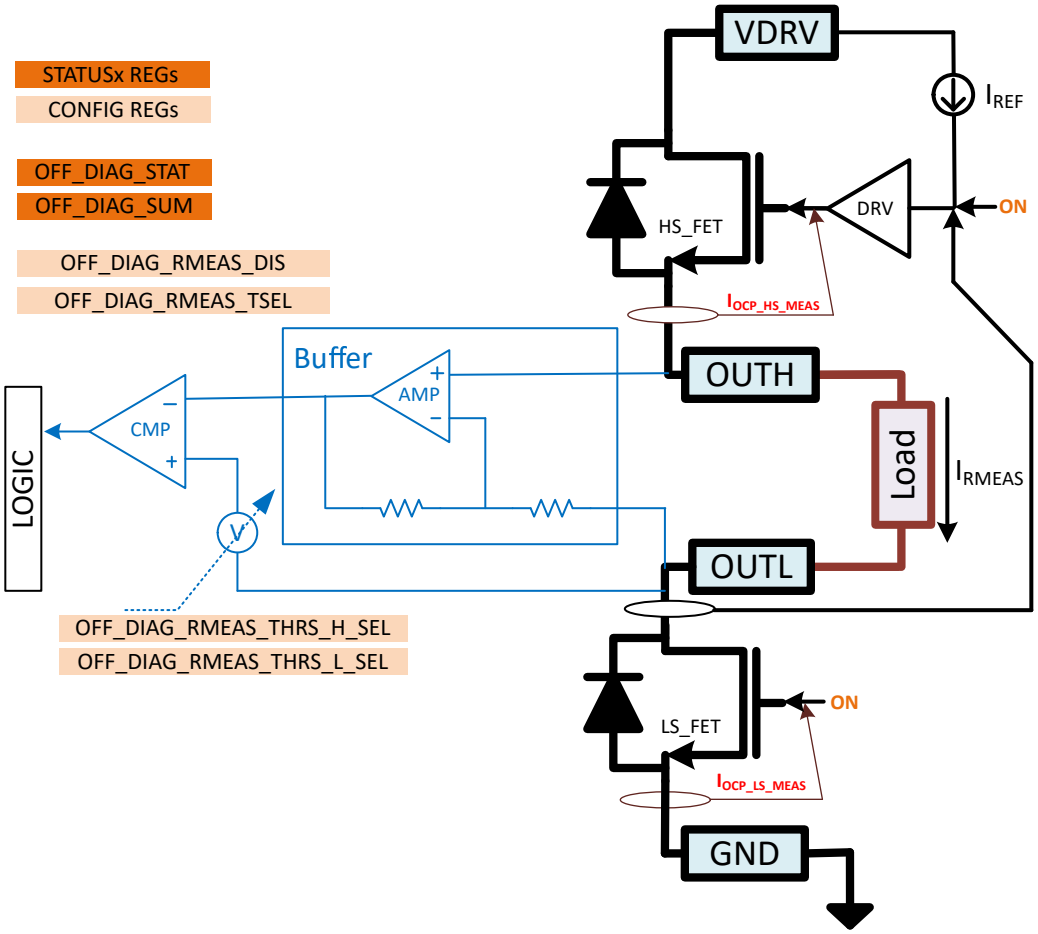


图 6-19. 输出负载电阻监测图

6.3.7 SPI 看门狗监测

该器件集成了一个 SPI 看门狗监测器，如果在看门狗计时器窗口 (t_{WD}) 内有任何有效 SPI（读取或写入）帧，则此监测器将在该帧后被复位。可以使用 SPI_WD_SEL CONFIG 寄存器来配置看门狗计时器窗口。可以通过 SPI_WD_W_DIS 寄存器来禁用警告。

6.3.8 nFAULT/NAD 引脚

nFAULT/NAD 引脚是一个具有外部上拉电阻的双用途开漏引脚，用于在器件上电初始化期间确定节点地址 (NAD)，然后在运行期间确定故障或器件状态通信（置位为低电平）。

器件节点地址 (NAD) 由外部上拉电阻进行设置。可以使用 5.6kΩ、12kΩ、27kΩ 和 56kΩ 电阻 (R_{LVL}) 设置四个唯一的地址。

可以设置 nFAULT/NAD 引脚以指示不同的故障情况。请参阅 nFAULT_CONFIG 寄存器，了解哪些故障在 nFAULT/NAD 引脚上置位以及如何配置这些故障。

6.3.9 故障表

接下来的几节将介绍各种器件保护和诊断功能，包括配置选项、响应选项和恢复选项。器件安全手册中提供了详细的安全机制 (SM) 说明、分级和检测覆盖率。

Copyright © 2026 Texas Instruments Incorporated

6.3.9.1 一般器件故障

表 6-10 总结了上电初始化（INIT1 和 INIT2）状态和待机状态期间的故障和故障响应。

表 6-10. 一般器件故障表

故障	安全机制	配置	器件状态	使能/禁用	nFAULT 置位	SPI 状态	部署功能	恢复
SPI 看门狗违例	SM_SPI_WD	SPI_WD_SEL	INITx 除外	禁用，SPI_WD_W_DIS = 0x1	否	不适用	可用	不适用
				启用，SPI_WD_W_DIS = 0x0	是，前提是 NFAULT_CONFIG1 = 0x1	SPI_WD_W	可用	CLR_FAULT 命令
VDD 欠压	SM_VDD_UV	VDD_UV_FILTER	全部	始终启用	否	SDO VDD_ERR	可用	自动恢复
VDD 过压	SM_VDD_OV	VDD_OV_FILTER	全部	始终启用	否	SDO VDD_ERR	可用	自动恢复
节点地址电阻超出范围	SM_NAD_MON	不适用	INIT2	始终启用	否	SDO NAD_ERR	不可用	RE_INIT_NAD 广播命令
节点地址 SDO 总线冲突	SM_NAD_MON	不适用	INIT1 除外	始终启用	否	SDO NAD_ERR	不可用	NAD_OVERRIDE 广播命令
SPI 命令 CRC	SM_SPI_CMD_CRC	不适用	INIT1 除外	始终启用	否	SPI_ERR	可用	下一个有效 SPI 命令
帧长度违规	SPI 帧错误	不适用	INIT1 除外	始终启用	否	SPI_ERR	可用	下一个有效 SPI 帧
CONFIG 寄存器的 CRC 违例	SM_CONFIG_CRC	不适用	INIT1 除外	始终启用	否	CONFIG_CRC_W	可用	输入了正确的 CRC
上电复位	SM_V5_S_POR	不适用	全部	始终启用	否	POR	不可用	CLR_FAULT 命令
安全层 V5_S UV 或 OV	SM_V5S_UV 或 SM_V5S_OV	不适用	全部	始终启用	是	SDO DEV_ERR（SDO 引脚高阻态）	不可用	下电上电
安全层 f_{OSC} 低或高	SM_OSC_MON	不适用	全部	始终启用	是	SDO DEV_ERR（SDO 引脚高阻态）	不可用	下电上电
安全层数字 BIST 故障	SM_LOGIC_BIST	不适用	INIT1	始终启用	是	SDO DEV_ERR（SDO 引脚高阻态）	不可用	下电上电
安全层存储器 BIST 故障	SM_MEM_BIST	不适用	INIT1	始终启用	是	SDO DEV_ERR（SDO 引脚高阻态）	不可用	下电上电
模拟 BIST 诊断	SM_ABIST	不适用	INIT2	始终启用	否	STARTUP_BIST_W	不可用	下电上电，REINIT_NAD

Copyright © 2026 Texas Instruments Incorporated

表 6-10. 一般器件故障表（续）

故障	安全机制	配置	器件状态	使能/禁用	nFAULT 置位	SPI 状态	部署功能	恢复
VDRV 欠压	SM_VDRV_UV	VDRV_UV_FLTR	INIT1、INIT2	始终启用	否	SDO VDD_ERR	不可用	CLR_FAULT 命令
			STANDBY	始终启用	否	VDRV_UV	在待机状态下可用	CLR_FAULT 命令
VDRV 过压	SM_VDRV_OV	VDRV_OV_FLTR	STANDBY	禁用，VDRV_OV_W_DIS = 0x1	否	不适用	可用	不适用
				启用，VDRV_OV_W_DIS = 0x0	否	VDRV_OV	不可用	CLR_FAULT 命令
VREG 开关监测器	SM_VREG_SW_MONITOR	不适用	STANDBY	禁用，VREG_SW_W_DIS = 0x1	否	不适用	可用	不适用
				启用，VREG_SW_W_DIS = 0x0	否	VREG_SW_W	可用	CLR_FAULT 命令
过热警告	SM_OTW	不适用	STANDBY	禁用，OT_W_DIS = 0x1	否	不适用	可用	不适用
				启用，OT_W_DIS = 0x0	否	OT_W	可用	CLR_FAULT 命令

6.3.9.2 关断状态诊断故障

下表总结了关断状态诊断期间可能发生的故障和故障响应。

表 6-11. 关断状态诊断故障表

故障	安全机制	配置	使能/禁用	nFAULT 置位	SPI 状态	反应	恢复
VDRV 欠压	SM_VDRV_UV	VDRV_UV_FLTR	始终启用	是，前提是 NFAULT_CONFIG2 = 0x1	VDRV_UV、OFF_DIAG_SUM、OFF_DIAG_STAT	诊断已中止	CLR_FAULT 命令
VDRV 过压警告	SM_VDRV_OV	不适用	禁用，VDRV_OV_W = 0x1	否	无	无	不适用
			启用，VDRV_OV_W = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	VDRV_OV、OFF_DIAG_SUM、OFF_DIAG_STAT	诊断已中止	CLR_FAULT 命令
过热警告	SM_OTW	不适用	禁用，OT_W_DIS = 0x1	否	无	仅在 TSD 级别中止诊断	不适用
			启用，OT_W_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM、OT_W	诊断已中止	CLR_FAULT 命令

Copyright © 2026 Texas Instruments Incorporated

表 6-11. 关断状态诊断故障表（续）

故障	安全机制	配置	使能/禁用	nFAULT 置位	SPI 状态	反应	恢复
器件 BIST 故障警告	SM_DIAG_BIST	不适用	禁用，OFF_DIAG_ABIST_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_ABIST_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM	诊断已中止	CLR_FAULT 命令
弱上拉故障	SM_WK_PU	OFF_DIAG_WK_PU_TSEL、OFF_DIAG_WK_PU_VSEL、OFF_DIAG_WK_PU_ISEL	禁用，OFF_DIAG_WK_PU_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_WK_PU_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM	诊断已中止	CLR_FAULT 命令
弱下拉故障	SM_WK_PD	OFF_DIAG_WK_PD_TSEL、OFF_DIAG_WK_PD_VSEL、OFF_DIAG_WK_PD_ISEL	禁用，OFF_DIAG_WK_PD_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_WK_PD_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM	诊断已中止	CLR_FAULT 命令
高侧 FET RDSON 故障	SM_HS_RDSON	OFF_DIAG_HS_RDSON_TSEL、OFF_DIAG_HS_RDSON_VSEL、OFF_DIAG_HS_RDSON_ISEL	禁用，OFF_DIAG_HS_RDSON_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_HS_RDSON_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM、OFF_DIAG_STAT_MISC	诊断已中止	CLR_FAULT 命令
低侧 FET RDSON 故障	SM_LS_RDSON	OFF_DIAG_LS_RDSON_TSEL、OFF_DIAG_LS_RDSON_VSEL、OFF_DIAG_LS_RDSON_ISEL	禁用，OFF_DIAG_LS_RDSON_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_LS_RDSON_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM、OFF_DIAG_STAT_MISC	诊断已中止	CLR_FAULT 命令
LS FET 过流	SM_LS_OCP	不适用	始终启用	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM	诊断已中止	CLR_FAULT 命令
HS FET 过流	SM_HS_OCP	不适用	始终启用	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM	诊断已中止	CLR_FAULT 命令

Copyright © 2026 Texas Instruments Incorporated

表 6-11. 关断状态诊断故障表（续）

故障	安全机制	配置	使能/禁用	nFAULT 置位	SPI 状态	反应	恢复
IREF 电阻监测故障	SM_IREF_MON	不适用	禁用，OFF_DIAG_IREF_MEAS_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_IREF_MEAS_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM	诊断已中止	CLR_FAULT 命令
VREG 电压测量故障	SM_VREG_V_MONITOR	不适用	禁用，OFF_DIAG_VREG_VMEAS_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_VREG_VMEAS_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM、OFF_DIAG_STAT_MISC	无	不适用
RMEAS 超出范围 - 警告	SM_RLOAD_MEAS	OFF_DIAG_RMEAS_THRS_H_SEL、OFF_DIAG_RMEAS_THRS_L_SEL、OFF_DIAG_RMEAS_TSEL	禁用，OFF_DIAG_RMEAS_DIS = 0x1	否	无	无	不适用
			启用，OFF_DIAG_RMEAS_DIS = 0x0	是，前提是 NFAULT_CONFIG2 = 0x1	OFF_DIAG_STAT、OFF_DIAG_SUM	无	不适用

6.3.9.3 部署故障

下表总结了部署（运行状态）期间可能发生的故障和故障响应。

表 6-12. 部署故障表

故障	安全机制	配置	nFAULT 置位	SPI 状态	反应	Recovery
部署电流超时违规	SM_PULSE_MEAS	TSTART_TO	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM	部署继续	CLR_FAULT 命令
过热警告	SM_OTW	不适用	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM、OT_W	部署继续，请参阅 DEPLOY_ISEL	CLR_FAULT 命令
过热关断	SM_TSD	不适用	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM	部署已中止	CLR_FAULT 命令
LS FET 过流	SM_LS_OCP	不适用	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM	部署已中止	CLR_FAULT 命令
HS FET 过流	SM_HS_OCP	不适用	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM	部署已中止	CLR_FAULT 命令
VDRV 欠压	SM_VDRV_UV	VDRV_UV_FLTR	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM、VDRV_UV	部署继续，但处于 RDSON 模式	CLR_FAULT 命令

Copyright © 2026 Texas Instruments Incorporated

表 6-12. 部署故障表（续）

故障	安全机制	配置	nFAULT 置位	SPI 状态	反应	Recovery
VDRV 偏置欠压	SM_VDRV_UV	不适用	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM	部署已中止	CLR_FAULT 命令
VDRV 过压	SM_VDRV_OV	VDRV_OV_FLTR	是，前提是 NFAULT_CONFIG3 = 0x1	DEPLOY_STAT、DEPLOY_SUM、VDRV_OV	部署已中止	CLR_FAULT 命令

Copyright © 2026 Texas Instruments Incorporated

6.4 器件功能模式

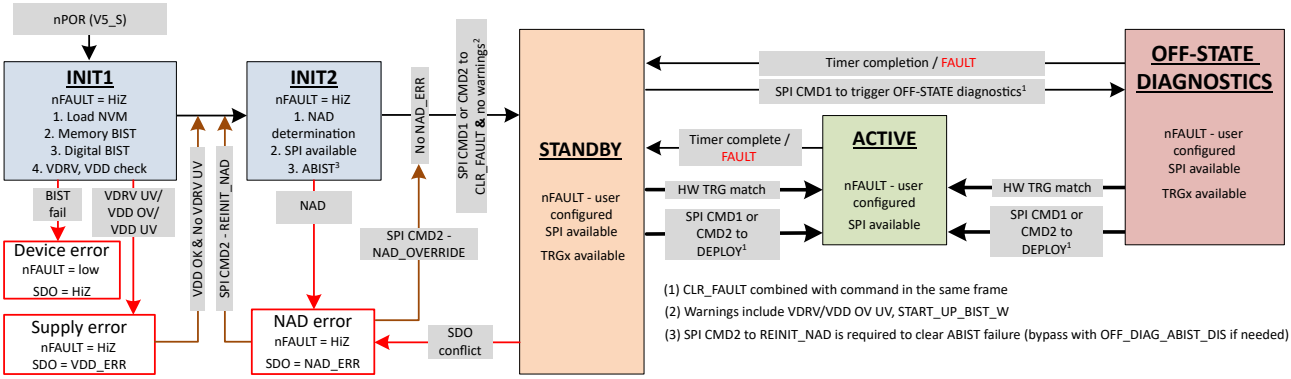


图 6-20. DRV3901-Q1 状态图

下文描述了各种状态和状态转换。

1. VDRV 或 VDD 均可启动器件的上电。内部上电复位解除（在 V5_S 的电源上显示为 nPOR）后，器件将进入 INIT1 状态。在 INIT1 状态下会加载出厂编程的 NVM，此外还会执行存储器 BIST（CRC 校验）和数字 BIST。如果存在 BIST 故障，器件将进入锁定错误状态，其表现为将 nFAULT 引脚拉低，并在 SPI 上报出 DEV_ERR 故障（SDO 输出高阻态）。只有下电上电才能重新启动此序列。
2. 进入 **INIT1 状态**后，器件会等待直到 VDD 和 VDRV 两个电源都有效。例如，在转换到 INIT2 状态之前，没有 VDD 过压、VDD 欠压或 VDRV 欠压。默认情况下会设置 SPI SDO VDD_ERR。仅当无电源错误时，VDD_ERR 才会清除。
3. 在 **INIT2 状态**下，默认会设置 NAD_ERR。该器件根据 nFAULT/NAD 引脚上的外部上拉电阻，开始确定用于 SPI 通信的节点地址 (NAD)。仅当 NAD 确定有效时，SPI SDO NAD_ERR 才会清除。成功确定 NAD 后将设置 STATUS0 中的 SPI POR 位以指示器件从复位中唤醒、SPI 通信可用以及将 nFAULT 指示器配置为默认设置。此后会执行模拟 BIST (ABIST)，其故障会记录在 STATUS1 的 STARTUP_BIST_W 位中。TRGx_PIN_STAT 位读出 0x0（尚无数据），TRG1_PIN_LVL 位反映引脚即时电平。

备注

如果在自动确定 NAD 后检测到 NAD_ERR，则外部微控制器可以使用 REINIT_NAD SPI 广播命令请求重新确定，或使用 ASSIGNED_NAD 发出 NAD_OVERRIDE SPI 广播命令。仅配备 NAD_ERROR 的器件会处理此命令。

4. 该器件此时需要外部微控制器执行一系列步骤。
   a. 发出 CLR_FAULT SPI 命令以使器件进入待机模式。
   b. 这会将器件置于待机状态，nFAULT 随之撤销，而 TRGx_PIN_STAT 也将反映引脚状态。请注意，硬件部署触发器引脚 (TRGx) 默认处于禁用状态，以避免意外触发部署。
   c. 写入 CONFIG 寄存器的 10 个字节以及计算出的 CRC。

备注

若在待机状态下发生 SDO 冲突，SPI CMD - REINIT_NAD 会自动使器件经由 INIT2 状态返回待机状态。当器件将 SDO 总线强制拉高，而 SDO 被外部拉低（或反之）时，可能会发生 SDO 冲突。

5. 根据 TRG_SEL 配置，可以指示该器件进入**运行状态**以进行部署。上图展示了 TRG_SEL 选项的情况，这种情况下可以通过 SPI 命令“或”触发器 (TRGx) 引脚接口进行部署。SPI 命令和触发器引脚的“与”组合也有部署选项。部署支持两种类型的 SPI 命令。SPI 总线中特定节点寻址的器件的 CMD1，或 SPI 总线中所有器件的 CMD2（广播命令）。部署完成（计时器完成或因故障而中止）后，器件会更新 STATUS 寄存器。在发出 CLR_FAULT 命令之前，不会执行其他部署命令。
6. 此外，可以通过 SPI 命令来命令该器件执行**关断状态诊断**。在关断状态诊断期间，可以随时命令该器件进行部署。CLR_FAULT 命令也可与同一帧中的部署或关断状态诊断命令结合使用。

Copyright © 2026 Texas Instruments Incorporated

备注

有关器件接口和控制的建议，请参阅“应用和实施”中的“初始化设置”部分。

Copyright © 2026 Texas Instruments Incorporated

6.5 编程

6.5.1 SPI 接口

该器件具有 4 线 24 位 SPI 跟随者串行接口协议。SPI 总线用于设置器件配置、操作参数以及读出器件的诊断信息。器件 SPI 以外设模式运行，并连接到中央控制器。SPI 输入数据 (SDI) 由 24 位组成，包括 8 位标头和 16 位数据。SPI 输出数据 (SDO) 字包含读回的接收数据 (SDI) 和读取命令的特定地址数据。SDI 上的数据在 SCLK 的下降沿捕获，SDO 上的数据在 SCLK 的上升沿传播。对于大多数典型 MCU，这是模式 1（CPOL = 0、CPHA = 1）。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平变为低电平（启用数据发送）或从低电平变为高电平（结束数据发送）时，SCLK 引脚应为低电平。
- nSCS 引脚应在每个 24 位帧发送之间被拉为高电平。
- 每个帧必须恰好是 24 个 SCLK，否则该帧将被视为无效帧而被丢弃，并会在下一次帧发送中标记 SPI_ERR。
- SDI 上的数据在 SCLK 的下降沿捕获，SDO 上的数据在 SCLK 的上升沿传播。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚将置于高阻态
- 最高有效位 (MSB) 最先移入和移出

6.5.2 可寻址 SPI

该器件支持可选的可寻址 SPI 格式，使多达四个器件能够在同一芯片选择引脚 (nSCS) 下工作。此外，还允许使用特殊的广播命令，使共享地址总线上的所有器件能够同时执行某些操作，并更大限度地减少与多个器件交互所需的引脚数。

当使用 CMD2 广播命令时，SDI 数据被传送到同一可寻址 SPI 总线上的所有器件。只有一个器件会发出 SDO 响应，并会使用 SDI 帧中的节点地址位 (A6, A5) 设置响应器件。

如果不使用可寻址 SPI 功能，则可使用 5.6kΩ 上拉电阻值将 nFAULT/NAD 引脚上拉电阻设置为默认地址 (00)。然后，通过始终设置地址位 A6 = 0b 和 A5 = 0b，SPI 作为正常 SPI 运行。

上电初始化期间，器件自身分配一个节点地址（器件地址），该地址基于 nFAULT/NAD 引脚上连接至 VDD 的上拉阻抗（请参阅下表以了解各个值）。该地址映射到 SPI 帧中使用的 8 位标头 (A6, B5) 的两个 MSB。这样，用户就可以使用 nFAULT/NAD 引脚上的节点地址功能为每个驱动器（最多四个驱动器）分配唯一地址。初始化后，控制器可以使用单个 24 位帧访问任何寻址器件中的任何特定寄存器。初始化后，器件正常运行期间，此引脚用于 nFAULT 置位（开漏，低电平有效）。

表 6-13.

A6	A5	nFAULT/NAD 引脚上连接至 VDD 的电阻
0	0	5.6kΩ
0	1	12kΩ
1	0	27kΩ
1	1	56kΩ

6.5.3 SPI 错误指示符

SPI 协议提供了一项功能，可在 SDO 响应中直接指示某些 SPI 错误。下面提供并描述了四种不同类型的错误。此外，还可以在上一节中找到 SPI 错误格式的示例。

VDD_ERR： SDO 响应的前导位用于指示 VDD_ERR。该错误的原因可能是 SPI 总线上的任何器件出现 VDD 欠压（VDD 丢失）或 VDD 过压。在上电初始化（INIT1、INIT2）期间，该字段还可以指示 VDRV 欠压。

NAD_ERR： 在 SDO 发送期间，如果节点地址识别失败（初始化期间发生电阻超出范围或器件偏置问题）或发生数据冲突，则会导致 NAD_ERR 情况。SDO 响应的第二个前导位用于指示 NAD_ERR，对于响应的剩余部分，SDO 被禁用（高阻态）。发生该错误的原因可能是 SPI 总线上有器件检测到了 NAD_ERR。控制器可以使用广播

Copyright © 2026 Texas Instruments Incorporated

命令 RE_INIT_NAD、NAD_OVERRIDE 或 ASSIGNED NAD 来解决 NAD_ERR 情况。上电后，NAD 地址被锁存，不会改变（除非用户发出更改命令）。

SPI_ERR：如果器件在下一个 SPI 帧中将 SPI_ERR 位（SDO 响应的第三个前导位）置为高电平，则表示 SPI 帧被拒绝。这种情况也称为帧外信令。SDO 响应的其余部分正常处理。发生 SPI_ERR 的原因可能是 nSCS 为低电平时 SCLK 边沿的数量不正确（器件期望此数量为 24）或命令 CRC 不匹配。

DEV_ERR：如果通过各种器件自检 (BIST) 和上电监测器检测到错误，则该器件会通过将 SDI 引脚保持为高阻态，在 SDO 响应中指示器件错误。

Copyright © 2026 Texas Instruments Incorporated

6.5.4 SPI 格式

有三种不同类型的 24 位 SPI 操作。

- 读取：从目标地址读回寄存器数据。8 位标头包含 2 位器件地址、5 位寄存器地址和 1 个指示读取的位（B16 中的 0x1）。16 位数据无关紧要，可设置为“0”。
- 写入：修改目标地址的寄存器内容。8 位标头包含 2 位器件地址、5 位寄存器地址和 1 个指示写入的位（B16 中的 0x0）。16 位数据包含要写入寻址寄存器的数据。
- 命令：具有 CRC8 保护的特殊写入命令。8 位标头包含 2 位器件地址、5 位寄存器地址和 1 个指示写入的位（B16 中的 0x0）。后跟一个 8 位命令字节，然后是一个 8 位 CRC 字节。CRC 取自组合的标头字节加命令字节 (B23-B8)。CRC 多项式 = 0x97。仅当 CRC（最低字节）与根据帧的前两个字节计算出的 CRC 匹配时，该器件才会接受命令，否则帧将被忽略，并设置 SPI_ERR 位。

SDO 的前导位用于指示特定错误。有关更多详细信息，请参阅节 6.5.3。

表 6-14. SPI 读取格式

SPI 读取		标头字节								数据字节 - MSB								数据字节 - LSB							
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDI	读取	A6	A5	A4	A3	A2	A1	A0	1	全部为“0”															
SDO	正常	高阻态		0	A4	A3	A2	A1	A0	来自寻址位置的 DATA[15:0]															
	SPI_ERR	高阻态		1	A4	A3	A2	A1	A0	来自寻址位置的 DATA[15:0]															
	VDD_ERR	0	高阻态																						
	NAD_ERR	高阻态	0	高阻态																					
	DEV_ERR	高阻态																							

表 6-15. SPI 写入格式

SPI 写入		标头字节								数据字节 - MSB								数据字节 - LSB							
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDI	写入	A6	A5	A4	A3	A2	A1	A0	0	来自寻址位置的新 DATA[15:0]															
SDO	正常	高阻态		0	A4	A3	A2	A1	A0	来自寻址位置的先前 DATA[15:0]															
	SPI_ERR	高阻态		1	A4	A3	A2	A1	A0	来自寻址位置的先前 DATA[15:0]															
	VDD_ERR	0	高阻态																						
	NAD_ERR	高阻态	0	高阻态																					
	DEV_ERR	高阻态																							

Copyright © 2026 Texas Instruments Incorporated

表 6-16. SPI 命令格式

SPI 命令		标头字节								数据字节 - MSB								数据字节 - LSB							
		B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
SDI	命令	A6	A5	A4	A3	A2	A1	A0	0	COMMAND[15:8]								B23-B8 位的 CRC8[7:0]。多项式 = 0x97							
SDO	正常	高阻态		0	A4	A3	A2	A1	A0	来自寻址位置的先前 DATA[15:0]															
	SPI_ERR	高阻态		1	A4	A3	A2	A1	A0	来自寻址位置的先前 DATA[15:0]															
	VDD_ERR	0	高阻态																						
	NAD_ERR	高阻态	0	高阻态																					
	DEV_ERR	高阻态																							

Copyright © 2026 Texas Instruments Incorporated

7 寄存器映射

该器件具有四组寄存器类型：状态 (STATUS)、测量 (MEAS)、配置 (CONFIG) 和命令 (CMD)。这些寄存器组的寄存器映射如下所示，详细的寄存器说明如下。

表 7-1. 状态 (STATUS) 寄存器映射

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
1h	STATUS0	NAD		POR	TRG1_PIN_STAT		TRG2_PIN_STAT		警告
		DEPLOY_SUM		OFF_DIAG_SUM		RSVD	RSVD	NFAULT_PIN_STAT	DEV_ERR
2h	STATUS1	NAD		TRG1_PIN_LVL	TRG1_PIN_LVL	DEVICE_ID		RSVD	RSVD
		VDRV_OV	OT_W	SPI_WD_W	STARTUP_BIST_W	VDRV_UV	VREG_SW_W		CONFIG_CRC_W
3h	STATUS2	NAD		RSVD					
		OFF_DIAG_STAT				DEPLOY_STAT			
4h	STATUS3	NAD		T_VREG_CAP					
		OFF_DIAG_STAT				OFF_DIAG_STAT_MISC	VREG_VMEAS		

表 7-2. 测量 (MEAS) 寄存器映射

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
5h	MEAS0	NAD		RSVD					TSTART_MEAS								
6h	MEAS1	NAD		RSVD	TDEPLOY_MEAS												
7h	MEAS2	NAD		RSVD								RIREF_MEAS					

表 7-3. 配置 (CONFIG) 寄存器映射

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
10h	CONFIG0	OFF_DIAG_WK_PU_TSEL		OFF_DIAG_WK_PU_VSEL	OFF_DIAG_WK_PU_ISEL	OFF_DIAG_WK_PD_TSEL		OFF_DIAG_WK_PD_VSEL	OFF_DIAG_WK_PD_ISEL
		OFF_DIAG_HS_RDSON_TSEL		OFF_DIAG_HS_RDSON_VSEL	OFF_DIAG_HS_RDSON_ISEL	OFF_DIAG_LS_RDSON_TSEL		OFF_DIAG_LS_RDSON_VSEL	OFF_DIAG_LS_RDSON_ISEL
11h	CONFIG1	OFF_DIAG_RMEAS_THRS_L_SEL	OFF_DIAG_RMEAS_THRS_H_SEL		OFF_DIAG_RMEAS_TSEL		OFF_DIAG_CMEAS_THRS_SEL		
		OFF_DIAG_ABIST_DIS	OFF_DIAG_WK_PU_DIS	OFF_DIAG_WK_PD_DIS	OFF_DIAG_HS_RDSON_DIS	OFF_DIAG_LS_RDSON_DIS	OFF_DIAG_IREF_MEAS_DIS	OFF_DIAG_RMEAS_DIS	OFF_DIAG_VREG_VMEAS_DIS
12h	CONFIG2	VDD_OV_FLTR		VDD_UV_FLTR		VDRV_OV_FLTR		VDRV_UV_FLTR	
		OFF_DIAG_CMEAS_AUTO	RSVD	RSVD	VDRV_OV_W_DIS	OT_W_DIS	SPI_WD_W_DIS	VREG_SW_W_DIS	VREG_SW_DIS
13h	CONFIG3	NFAULT_CONFIG3	NFAULT_CONFIG2	NFAULT_CONFIG1	NFAULT_CONFIG0	TRG_SEL			
		PIN_DEPLOY_DLY_EN	DEPLOY_DLY			SPI_WD_SEL		OFF_DIAG_CMEAS_TSEL	

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 配置 (CONFIG) 寄存器映射（续）

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
14h	CONFIG4	TSTART_TO		PWM_FLTR_SEL		DEPLOY_ISEL			DEPLOY_IRATE
		CONFIG_CRC							

表 7-4. 命令 (CMD) 寄存器映射

ADDR	名称	B15	B14	B13	B12	B11	B10	B9	B8
		B7	B6	B5	B4	B3	B2	B1	B0
1Ch	CMD0	强制为“0”			TRG1_DIS	TRG2_DIS	RSVD	FORCE_BIST	
		CRC8							
1Dh	CMD1	CLR_FAULT	LOCK_CONFIG	RSVD	ACTIVATE	ACTIVITY_CTRL		RSVD	
		CRC8							
1Eh	CMD2	BCST_CLR_FAULT	RE_INIT_NAD	NAD_OVERRIDE	ASSIGNED_NAD		DEPLOY	DEPLOY_DLY_EN	RSVD
		CRC8							

Copyright © 2026 Texas Instruments Incorporated

7.1 状态寄存器

表 7-5 列出了状态寄存器的存储器映射寄存器。表 7-5 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-5. 状态寄存器

偏移	首字母缩写词	寄存器名称	部分
1h	STATUS0	器件、输出和触发器引脚 (TRG) 状态汇总。	节 7.1.1
2h	STATUS1	触发器引脚 (TRG)、SPI、BIST 和电源状态。	节 7.1.2
3h	STATUS2	关断状态和部署状态。	节 7.1.3
4h	STATUS3	关断状态和储能电容器状态。	节 7.1.4

复杂的位访问类型经过编码可适应小型表单元。表 7-6 展示了适用于此部分中访问类型的代码。

表 7-6. 状态访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

Copyright © 2026 Texas Instruments Incorporated

7.1.1 STATUS0 寄存器（偏移 = 1h）[复位 = 2102h]

表 7-7 展示了 STATUS0。

返回到汇总表。

全局状态寄存器，包括器件和输出状态的故障和警告摘要指示器。还包括触发器引脚 (TRG) 状态。

表 7-7. STATUS0 寄存器字段说明

位	字段	类型	复位	说明
15-14	NAD	R	0h	用于 SPI 通信的器件节点地址。根据 nFAULT/NAD 引脚上的上拉电阻值确定。在所有寄存器中被镜像为位 15-14。 0h = 5.6kΩ 1h = 12kΩ 2h = 27kΩ 3h = 56kΩ
13	POR	R	1h	上电复位指示器。该位会锁存直到发出 CLR_FAULT 命令。
12-11	TRG1_PIN_STAT	R	0h	触发器引脚 1 (TRG1) 状态指示器。如果 TRG1 导致部署，则状态将被锁存，直到发出 CLR_FAULT 命令。可以使用 TRGx_DIS 来禁用部署操作，但 TRG1 引脚状态将继续显示，以允许选择引脚接口诊断。基于 TRG_SEL 模式的反馈。有关更多详细信息，请参阅“引脚监测器”部分。
10-9	TRG2_PIN_STAT	R	0h	触发器引脚 2 (TRG2) 状态指示器。如果 TRG1 导致部署，则状态将被锁存，直到发出 CLR_FAULT 命令。可以使用 TRGx_DIS 来禁用部署操作，但 TRG1 引脚状态将继续显示，以允许选择引脚接口诊断。基于 TRG_SEL 模式的反馈。有关更多详细信息，请参阅“引脚监测器”部分。
8	警告	R	1h	警告指示器（摘要）。如果 STATUS1 寄存器中的任何警告为高电平，则会设置此指示器。读取 STATUS1 寄存器以了解详细的警告信息。警告会锁存直到发出 CLR_FAULT 命令，但输出保持运行。
7-6	DEPLOY_SUM	R	0h	部署摘要指示器。读取 STATUS2 寄存器中的 DEPLOY_STAT 以了解详细信息。在部署后锁存，直到发出 CLR_FAULT 命令。 0h = 尚无可用数据 1h = 正在进行部署 2h = 部署成功 3h = 部署已完成但有警告，或者因错误而中止
5-4	OFF_DIAG_SUM	R	0h	关断状态诊断摘要指示器。读取 STATUS2 寄存器中的 OFF_DIAT_STAT 和 STATUS3 寄存器中的 OFF_DIAT_STAT_MISC 以了解详细信息。在诊断后锁存，直到发出 CLR_FAULT 命令。 0h = 尚无可用数据 1h = 正在进行关断状态诊断 2h = 关断状态诊断成功 3h = 关断状态诊断已完成但有警告，或者因错误而中止
3	RESERVED	R	0h	保留
2	保留	R	0h	保留
1	FLT_PIN_STAT	R	1h	nFAULT/NAD 引脚状态指示器。 0h = 引脚低电平（发生故障） 1h = 引脚高电平（正常运行）
0	DEV_ERR	R	0h	通过使 SDO 引脚保持在高阻态来表现 DEV_ERR 故障。有关详细信息，请参阅 SPI 部分。如果存在 DEV_ERR 故障，则会禁用器件运行并使输出进入高阻态，需要下电上电（内部逻辑复位）才能清除此故障。在器件正常运行期间，该位的读数应始终为低电平。 0h = 器件正常运行 1h = 器件故障，SDO 引脚置位为高阻态

Copyright © 2026 Texas Instruments Incorporated

7.1.2 STATUS1 寄存器（偏移 = 2h）[复位 = 0801h]

表 7-8 展示了 STATUS1。

返回到汇总表。

状态寄存器，包括触发器引脚 1 (TRG1) 电平状态、SPI CRC 错误、器件 ID、VDRV OV 和 UV 监测器以及 VREG 开关监测器。

表 7-8. STATUS1 寄存器字段说明

位	字段	类型	复位	说明
15-14	NAD	R	0h	STATUS0 寄存器中的 NAD 地址镜像。
13	TRG1_PIN_LVL1	R	0h	触发器 1 引脚 (TRG1) 电平状态。 0h = 引脚低电平 1h = 引脚高电平
12	TRG1_PIN_LVL2	R	0h	触发器 1 引脚 (TRG1) 电平状态。TRG1_PIN_LVL1 的镜像 0h = 引脚低电平 1h = 引脚高电平
11-10	DEVICE_ID	R	2h	器件 ID。量产器件版本固定为 2h。
9	RESERVED	R	0h	被保留
8	保留	R	0h	保留
7	VDRV_OV	R	0h	当 VDRV_OV_W_DIS = 1b 时，会指示 VDRV 过压故障。当 VDRV_OV_W_DIS = 0b 时，会出现 VDRV 过压警告。锁存直到发出 CLR_FLT 命令。
6	OT_W	R	0h	过热警告。锁存直到发出 CLR_FAULT 命令。
5	SPI_WD_W	R	0h	SPI 看门狗警告。锁存直到发出 CLR_FAULT 命令。
4	STARTUP_BIST_W	R	0h	器件启动 ABIST 故障指示器。如果发生 ABIST 故障，用户需要在 CMD2 寄存器中发出 REINIT_NAD 以重新启动 ABIST 测试。可以使用 CONFIG1 寄存器中的 OFF_DIAG_ABIST_DIS 绕过 ABIST 测试。在清除该故障之前，器件不会退出 INIT2 器件状态。
3	VDRV_UV	R	0h	VDRV 欠压。锁存直到发出 CLR_FAULT 命令。
2-1	VREG_SW_W	R	0h	VREG 开关警告（仅在 VDRV > $V_{DRV_UV_BIAS}$ 时有效）。锁存直到发出 CLR_FAULT 命令。 0h = 尚无可用数据 1h = 由于 VREG < PVDD - VREG_THRS1，VREG 开关被禁用 2h = 由于 VREG > PVDD + VREG_THRS2，VREG 开关被禁用 3h = 无警告
0	CONFIG_CRC_W	R	1h	CONFIG 寄存器空间的 CRC 不匹配警告。用正确的校验和更新 CONFIG_CRC 寄存器后清除。

Copyright © 2026 Texas Instruments Incorporated

7.1.3 STATUS2 寄存器（偏移 = 3h）[复位 = 0000h]

表 7-9 展示了 STATUS2。

返回到汇总表。

状态寄存器，包括关断状态诊断和输出部署状态。

表 7-9. STATUS2 寄存器字段说明

位	字段	类型	复位	说明
15-14	NAD	R	0h	STATUS0 寄存器中的 NAD 地址镜像。
13-8	保留	R	0h	被保留
7-4	OFF_DIAG_STAT	R	0h	关断状态诊断状态。锁存直到发出下一个关断状态诊断测试序列的命令。 0h = 诊断完成，无错误或警告。 1h = 诊断完成，负载电阻正常，VREG 电压低 (< PVDD - 160mV)。 2h = 诊断完成，负载电阻低，VREG 电压正常。 3h = 诊断完成，负载电阻低，VREG 电压低 (< PVDD - 160mV)。 4h = 诊断完成，负载电阻高，VREG 电压正常。 5h = 诊断完成，负载电阻高，VREG 电压低 (< PVDD - 160mV)。 6h = 由于 VDRV_OV、VDRV_UV 或 OT_W，诊断中止。相应的详细状态位将置位。 7h = 由于部署 (DEPLOY) 命令，诊断中止。 8h = 由于器件 ABIST 故障，诊断中止。 9h = 由于弱上拉故障，诊断中止。 Ah = 由于弱下拉故障，诊断中止。 Bh = 由于 HS RDSON 故障或 VDRV_OV_W，诊断中止。在 OFF_DIAG_STAT_MISC 或 VDRV_OV 状态位中提供了详细信息。 CH = 由于 LS RDSON 故障或 VDRV_OV_W，诊断中止。在 OFF_DIAG_STAT_MISC 或 VDRV_OV 状态位中提供了详细信息。 Dh = 由于负载电阻监测/VREG 电压测量期间 IREF 电阻超出范围或比较器输出组合不正确，诊断中止。在 OFF_DIAG_STAT_MISC 状态位中提供了详细信息。 Eh = 由于低侧过流违例，诊断中止。在 RDSON 测试或 IREF/负载电阻测量期间，可能会发生违例。 Fh = 由于高侧过流违例，诊断中止。在 RDSON 测试或 IREF/负载电阻测量期间，可能会发生违例。
3-0	DEPLOY_STAT	R	0h	部署状态。锁存直到发出下一次部署、SPI 或引脚触发 (TRGx) 的命令。 0h = 部署完成，无错误或警告。 1h = 部署完成，但强制执行 TSTART_TO。 2h = 部署完成，但检测到 OT_W。 3h = 部署完成，但检测到 OT_W 并强制执行 TSTART_TO。 4h = 部署完成，但检测到 VDRV_UV。 5h = 部署完成，但检测到 VDRV_UV 和 TSTART_MEAS 超时。 6h = 部署完成，但检测到 VDRV_UV 和 OT_W。 7h = 部署完成，但检测到 VDRV_UV、OT_W 和 TSTART_MEAS 超时。 8h = 由于热关断，部署中止。 9h = 由于低侧过流违例，部署中止。 Ah = 由于高侧过流违例，部署中止。 Bh = 由于 VDRV 过压违例，部署中止。 CH = 由于 VDRV 偏置欠压违例，部署中止。 Dh = 保留。 Eh = 保留。 Fh = 保留。

Copyright © 2026 Texas Instruments Incorporated

7.1.4 STATUS3 寄存器（偏移 = 4h）[复位 = 0000h]

表 7-10 展示了 STATUS3。

返回到汇总表。

状态寄存器，包括关断状态诊断和 VREG 储能电容器诊断状态。

表 7-10. STATUS3 寄存器字段说明

位	字段	类型	复位	说明
15-14	NAD	R	0h	STATUS0 寄存器中的 NAD 地址镜像。
13-8	T_VREG_CAP	R	0h	VREG 储能电容器值。 00h = 未发生计时器启动，值未确定。 01h - 31h = 发生了计时器启动和停止。电容值（法拉）= T_VREG_CAP（十进制寄存器值）x 计时器分辨率 x 1.16 31h - 3Fh = 发生了计时器启动，但未发生计时器停止。电容值（法拉）> T_VREG_CAP（十进制寄存器值）x 计时器分辨率 x 1.16 计时器分辨率 = OFF_DIAG_CMEAS_TSEL（0.5ms、1ms、2ms、4ms）/ 32。 示例如果 T_VREG_CAP = 0x08 且 OFF_DIAG_CMEAS_TSEL = 1ms， VREG 电容值 = 8 x (1m/32) x 1.16 = 290uF。
7-4	OFF_DIAG_STAT	R	0h	STATUS2 寄存器中的 OFF_DIAG_STAT 镜像。
3	OFF_DIAG_STAT_MISC	R	0h	因故障而中止的诊断的其他信息。 0h = 由于 RDSON 预充电故障而中止诊断（如果 OFF_DIAG_STAT 为 Bh 或 Ch），否则由于 IREF 电阻监测故障而中止诊断（如果 IOFF_DIAG_STAT 为 Dh）。 1h = 由于 RDSON FET 测试失败而中止诊断（如果 OFF_DIAG_STAT 为 Bh 或 Ch），否则由于 RLOAD 监测或 VREG 电压测量故障而中止诊断（如果 IOFF_DIAG_STAT 为 Dh）。
2-0	VREG_VMEAS	R	0h	关断状态诊断期间的 VREG 电压测量。仅当诊断后 OFF_DIAG_STAT = 0x0/0x2/0x4 时，测量才有效。 0h = 尚无可用数据或 VREG ≥ PVDD-20mV 1h = PVDD-20mV > VREG ≥ PVDD-40mV 2h = PVDD-40mV > VREG ≥ PVDD-60mV 3h = PVDD-60mV > VREG ≥ PVDD-80mV 4h = PVDD-80mV > VREG ≥ PVDD-100mV 5h = PVDD-100mV > VREG ≥ PVDD-120mV 6h = PVDD-120mV > VREG ≥ PVDD-140mV 7h = PVDD-140mV > VREG ≥ PVDD-160mV

Copyright © 2026 Texas Instruments Incorporated

7.2 MEAS 寄存器

表 7-11 列出了 MEAS 寄存器的存储器映射寄存器。表 7-11 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-11. MEAS 寄存器

偏移	首字母缩写词	寄存器名称	部分
5h	MEAS0	部署延迟测量。	节 7.2.1
6h	MEAS1	部署持续时间测量。	节 7.2.2
7h	MEAS2	基准电阻测量。	节 7.2.3

复杂的位访问类型经过编码可适应小型表单元。表 7-12 展示了适用于此部分中访问类型的代码。

表 7-12. MEAS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

7.2.1 MEAS0 寄存器（偏移 = 5h）[复位 = 0000h]

表 7-13 展示了 MEAS0。

返回到汇总表。

测量寄存器，提供激活后达到部署电流电平的时间。

表 7-13. MEAS0 寄存器字段说明

位	字段	类型	复位	说明
15-14	NAD	R	0h	STATUS0 寄存器中的 NAD 地址镜像。
13-9	保留	R	0h	保留
8-0	TSTART_MEAS	R	0h	接到部署命令后达到部署电流电平所需的时间测量值。计时器分辨率为 500ns。时间测量值 (ns) = (十进制 TSTART_MEAS 寄存器值 + 30) x 500ns。

Copyright © 2026 Texas Instruments Incorporated

7.2.2 MEAS1 寄存器（偏移 = 6h）[复位 = 0000h]

表 7-14 展示了 MEAS1。

返回到汇总表。

测量寄存器，提供部署电流持续时间。

表 7-14. MEAS1 寄存器字段说明

位	字段	类型	复位	说明
15-14	NAD	R	0h	STATUS0 寄存器中的 NAD 地址镜像。
13	保留	R	0h	保留
12-0	DEPLOY_MEAS	R	0h	在部署期间检测到部署电流的时间测量值。计时器分辨率为 500ns。 时间测量值 (ns) = (十进制 DEPLOY_MEAS 寄存器值) x 500ns。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 MEAS2 寄存器（偏移 = 7h）[复位 = 0000h]

表 7-15 展示了 MEAS2。

返回到汇总表。

测量寄存器，提供基准电阻测量。

表 7-15. MEAS2 寄存器字段说明

位	字段	类型	复位	说明
15-14	NAD	R	0h	STATUS0 寄存器中的 NAD 地址镜像。
13-5	RESERVED	R	0h	保留
4-0	RIREF_MEAS	R	0h	当测量结果未超出范围（十进制格式为 8-24）时的 IREF 电阻测量结果，否则报告为 0h。

Copyright © 2026 Texas Instruments Incorporated

7.3 CONFIG 寄存器

表 7-16 列出了 CONFIG 寄存器的存储器映射寄存器。表 7-16 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-16. CONFIG 寄存器

偏移	缩写	寄存器名称	部分
10h	CONFIG0	关断状态诊断配置 1。	节 7.3.1
11h	CONFIG1	关断状态诊断配置 2。	节 7.3.2
12h	CONFIG2	过压、欠压、看门狗、储能电容器配置。	节 7.3.3
13h	CONFIG3	故障、部署延迟和模式、触发器引脚模式、看门狗和储能电容器配置。	节 7.3.4
14h	CONFIG4	Tstart、输入 PWM、部署脉冲和速率以及 CRC 配置。	节 7.3.5

复杂的位访问类型经过编码可适应小型表单元。表 7-17 展示了适用于此部分中访问类型的代码。

表 7-17. CONFIG 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2026 Texas Instruments Incorporated

7.3.1 CONFIG0 寄存器（偏移 = 10h）[复位 = 0011h]

CONFIG0 如表 7-18 所示。

返回到汇总表。

用于设置输出弱上拉和下拉以及 Rdson 关断状态诊断的配置寄存器。

表 7-18. CONFIG0 寄存器字段说明

位	字段	类型	复位	说明
15-14	OFF_DIAG_WK_PU_TSEL	R/W	0h	测试时间选择 (t_{WK_PU})，用于关断状态诊断期间保持输出稳定，弱上拉测试。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
13	OFF_DIAG_WK_PU_VSEL	R/W	0h	电压基准选择 ($V_{REF_WK_PU}$)，用于关断状态诊断，弱上拉测试。 0h = 2.1V 1h = 2.4V
12	OFF_DIAG_WK_PU_ISEL	R/W	0h	电流选择 ($I_{REF_WK_PU}$)，用于关断状态诊断，弱上拉测试 0h = 1mA 1h = 2mA
11-10	OFF_DIAG_WK_PD_TSEL	R/W	0h	测试时间选择 (t_{WK_PD})，用于关断状态诊断期间保持输出稳定，弱下拉测试。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
9	OFF_DIAG_WK_PD_VSEL	R/W	0h	电压基准选择 ($V_{REF_WK_PD}$)，用于关断状态诊断，弱下拉测试。 0h = 1.5V 1h = 1.8V
8	OFF_DIAG_WK_PD_ISEL	R/W	0h	电流选择 ($I_{REF_WK_PD}$)，用于关断状态诊断，弱下拉测试。 0h = 1mA 1h = 2mA
7-6	OFF_DIAG_HS_RDSON_TSEL	R/W	0h	测试时间选择 ($t_{HSRDSON}$)，用于关断状态诊断期间保持输出稳定，HS RDSON 测试。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
5	OFF_DIAG_HS_RDSON_VSEL	R/W	0h	电压基准选择 ($V_{REF_HSRDSON}$)，用于关断状态诊断，HS RDSON 测试。 0h = -75mV 1h = -150mV
4	OFF_DIAG_HS_RDSON_ISEL	R/W	1h	电流选择 ($I_{REF_HSRDSON}$)，用于关断状态诊断，HS RDSON 测试。 0h = 20mA 1h = 40mA
3-2	OFF_DIAG_LS_RDSON_TSEL	R/W	0h	测试时间选择 ($t_{LSRDSON}$)，用于关断状态诊断期间保持输出稳定，LS RDSON 测试。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
1	OFF_DIAG_LS_RDSON_VSEL	R/W	0h	电压基准选择 ($V_{REF_LSRDSON}$)，用于关断状态诊断，LS RDSON 测试。 0h = 75mV 1h = 150mV
0	OFF_DIAG_LS_RDSON_ISEL	R/W	1h	电流选择 ($I_{REF_LSRDSON}$)，用于关断状态诊断，LS RDSON 测试。 0h = 20mA 1h = 40mA

Copyright © 2026 Texas Instruments Incorporated

7.3.2 CONFIG1 寄存器（偏移 = 11h）[复位 = 0018h]

CONFIG1 如表 7-19 所示。

返回到汇总表。

用于设置输出负载电阻测量、储能电容器测量和启用/禁用每个输出诊断的配置寄存器。

表 7-19. CONFIG1 寄存器字段说明

位	字段	类型	复位	说明
15	OFF_DIAG_RMEAS_THRS_L_SEL	R/W	0h	低 RLOAD (R_{MEASL}) 阈值选择。 0h = 1.5 Ω 1h = 1.25 Ω
14-13	OFF_DIAG_RMEAS_THRS_H_SEL	R/W	0h	高 RLOAD (R_{MEASH}) 阈值选择。 0h = 2.8 Ω 1h = 3.3 Ω 2h = 3.8 Ω 3h = 60 Ω
12-11	OFF_DIAG_RMEAS_TSEL	R/W	0h	测试时间选择 (t_{RMEAS})，用于关断状态诊断期间保持输出稳定，RMEAS 测试。 0h = 0.25ms 1h = 0.5ms 2h = 1ms 3h = 2ms
10-8	OFF_DIAG_CMEAS_THRS_SEL	R/W	0h	放电周期期间 CMPH 的电压阈值 (V_{DAC_VREG})，用于 VREG 电容测量，关断状态诊断（仅当 OFF_DIAG_CMEAS_THRS_AUTO = 0x0 时使用）。CMPL 的电压阈值固定为比该阈值低 20mV。 0h = -25mV 1h = -40mV 2h = -60mV 3h = -80mV 4h = -100mV 5h = -120mV 6h = -140mV 7h = -160mV
7	OFF_DIAG_ABIST_DIS	R/W	0h	在关断状态诊断和 INIT2 状态期间禁用 ABIST。 0h = 启用 1h = 禁用
6	OFF_DIAG_WK_PU_DIS	R/W	0h	在关断状态诊断期间禁用弱上拉测试。 0h = 启用 1h = 禁用
5	OFF_DIAG_WK_PD_DIS	R/W	0h	在关断状态诊断期间禁用弱下拉测试。 0h = 启用 1h = 禁用
4	OFF_DIAG_HS_RDSON_DIS	R/W	1h	在关断状态诊断期间禁用 HS RDSON 测试。 0h = 启用 1h = 禁用
3	OFF_DIAG_LS_RDSON_DIS	R/W	1h	在关断状态诊断期间禁用 LS RDSON 测试。 0h = 启用 1h = 禁用
2	OFF_DIAG_IREF_MEAS_DIS	R/W	0h	在关断状态诊断期间禁用 IREF 引脚电阻测量。 0h = 启用 1h = 禁用
1	OFF_DIAG_RMEAS_DIS	R/W	0h	在关断状态诊断期间禁用 RMEAS 测试。 0h = 启用 1h = 禁用

Copyright © 2026 Texas Instruments Incorporated

表 7-19. CONFIG1 寄存器字段说明（续）

位	字段	类型	复位	说明
0	OFF_DIAG_VREG_MEAS_DIS	R/W	0h	在关断状态诊断期间禁用 VREG 电压和电容器测量测试。 0h = 启用 1h = 禁用

Copyright © 2026 Texas Instruments Incorporated

7.3.3 CONFIG2 寄存器（偏移 = 12h）[复位 = 0000h]

CONFIG2 如表 7-20 所示。

返回到汇总表。

用于设置 VDD、VDRV 欠压和过压监测的配置寄存器。还提供用于设置储能电容器诊断、过热和看门狗模式的选项。

表 7-20. CONFIG2 寄存器字段说明

位	字段	类型	复位	说明
15-14	VDD_OV_FLTR	R/W	0h	VDD 过压抗尖峰脉冲滤波器 (t_{VDD_OV})。 0h = 250 µs 1h = 500 µs 2h = 750 µs 3h = 1,000 µs
13-12	VDD_UV_FLTR	R/W	0h	VDD 欠压抗尖峰脉冲滤波器 (t_{VDD_UV})。 0h = 250 µs 1h = 500 µs 2h = 750 µs 3h = 1,000 µs
11-10	VDRV_OV_FLTR	R/W	0h	VDRV 过压抗尖峰脉冲滤波器 (t_{VDRV_OV})。 0h = 250 µs 1h = 500 µs 2h = 750 µs 3h = 1,000 µs
9-8	VDRV_UV_FLTR	R/W	0h	VDRV 欠压抗尖峰脉冲滤波器 (t_{VDRV_UV})。 0h = 250 µs 1h = 500 µs 2h = 750 µs 3h = 1,000 µs
7	OFF_DIAG_CMEAS_AUTO	R/W	0h	关断状态诊断 VREG 电容器测量自动阈值。 0h = 禁用，使用 OFF_DIAG_CMEAS_THRS_SEL 中的用户定义值； 1h = 使能，自动设为比 VREG_MEAS 值高一个代码的值。如果 VREG_VMEAS 为 7h，则设置为 7h。
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	VDRV_OV_W_DIS	R/W	0h	禁止报告 VDRV 过压警告。 0h = 启用 1h = 禁用
3	OT_W_DIS	R/W	0h	禁止报告过热警告。当达到过热警告级别时，关断状态诊断也不会中止。 0h = 启用 1h = 禁用
2	SPI_WD_W_DIS	R/W	0h	禁止报告 SPI 看门狗警告。 0h = 启用 1h = 禁用
1	VREG_SW_W_DIS	R/W	0h	禁止报告 VREG 开关警告。 0h = 启用 1h = 禁用
0	VREG_SW_DIS	R/W	0h	禁用 VREG 开关。如果 VREG_SW_DIS = 1b，用户还应通过设置 VREG_SW_W_DIS = 1b 来禁用 VREG 开关警告。 0h = 启用 1h = 禁用。用户还应将 VREG_SW_W_DIS 设置为 1b

Copyright © 2026 Texas Instruments Incorporated

7.3.4 CONFIG3 寄存器（偏移 = 13h）[复位 = 8000h]

CONFIG3 如表 7-21 所示。

返回到汇总表。

用于设置故障模式、部署电流延迟和触发器引脚 (TRG) 模式的配置寄存器。还提供用于设置储能电容器诊断和看门狗模式的选项。

表 7-21. CONFIG3 寄存器字段说明

位	字段	类型	复位	说明
15	NFAULT_CONFIG3	R/W	1h	如果 DEPLOY_SUM = 3h，则启用 nFAULT 引脚报告（驱动低电平）。CLR_FAULT 命令会清除 nFAULT 引脚。nFAULT 引脚上将始终报告 DEV_ERR 故障。
14	NFAULT_CONFIG2	R/W	0h	如果 OFF_DIAG_SUM = 3h，则启用 nFAULT 引脚报告（驱动低电平），除非关断状态诊断因部署命令而中止。CLR_FAULT 命令会清除 nFAULT 引脚。nFAULT 引脚上将始终报告 DEV_ERR 故障。
13	NFAULT_CONFIG1	R/W	0h	如果 SPI_WD_W = 1h，则启用 nFAULT 引脚报告（驱动低电平）。CLR_FAULT 命令会清除 nFAULT 引脚。nFAULT 引脚上将始终报告 DEV_ERR 故障。
12	NFAULT_CONFIG0	R/W	0h	在部署（运行状态）期间启用 nFAULT 引脚报告（驱动低电平）。CLR_FAULT 命令会清除 nFAULT 引脚。nFAULT 引脚上将始终报告 DEV_ERR 故障。
11-8	TRG_SEL	R/W	0h	触发器引脚配置。有关配置选项的详细信息，请参阅“触发器 (TRGx) 引脚”部分。
7	PIN_DEPLOY_DLY_EN	R/W	0h	启用通过 TRGx 引脚触发的延迟部署。 0h = 禁用 1h = 启用
6-4	DEPLOY_DLY	R/W	0h	部署延迟 (t_{DEPLOY_DLY}) 选择（启用后，对 PIN 和 SPI 部署触发器均有效）。 0h = 0.1ms 1h = 0.2ms 2h = 0.4ms 3h = 0.8ms 4h = 1.5ms 5h = 2.5ms 6h = 3.25ms 7h = 4ms
3-2	SPI_WD_SEL	R/W	0h	检测有效 SPI 读取或写入帧的看门狗持续时间 (t_{WD})。 0h = 65ms 1h = 250ms 2h = 1000ms 3h = 2000ms
1-0	OFF_DIAG_CMEAS_TSEL	R/W	0h	测试时间选择 (t_{CMEAS})，用于关断状态诊断期间 VREG 电容器测量测试。 0h = 0.5ms 1h = 1ms 2h = 2ms 3h = 4ms

Copyright © 2026 Texas Instruments Incorporated

7.3.5 CONFIG4 寄存器（偏移 = 14h）[复位 = 0600h]

CONFIG4 如表 7-22 所示。

返回到汇总表。

用于设置启动延迟超时、触发器引脚 (TRG) 滤波、起爆电流脉冲与边沿速率，以及配置 CRC 的配置寄存器。

表 7-22. CONFIG4 寄存器字段说明

位	字段	类型	复位	说明
15-14	TSTART_TO	R/W	0h	TSTART_MEAS 的超时持续时间 (t_{START_TO})。 0h = 75 µs 1h = 150 µs 2h = 200 µs 3h = 275 µs
13-12	PWM_FLTR_SEL	R/W	0h	TRGx 引脚 PWM 滤波选择 (t_{PWM_TRG})。仅在选择 PWM 触发 (16kHz) 时有效。对于 TRGx 引脚电平 (LVL) 信号，器件使用 16us 的抗尖峰脉冲时间。 0h = -18 至 32% 1h = -15 至 24% 2h = -12 至 16% 3h = -9 至 12%
11-9	DEPLOY_ISEL	R/W	3h	部署电流脉冲选择。对于 2h，如果发生 OT_W，器件将自动降至 DEPLOY_ISEL = 0h 设置的下限值。对于 6h 和 7h，如果发生 OT_W，器件将自动降至 DEPLOY_ISEL = 3h 设置的下限值。 0h = 1.2A（最小值） 1h = 1.65A（最小值） 2h = 1.65A*（最小值） 3h = 1.75A（最小值） 4h = 2.19A（最小值） 5h = 3.4A（最小值） 6h = 2.19A*（最小值） 7h = 3.4A*（最小值）
8	DEPLOY_IRATE	R/W	0h	部署电流 di/dt 选择。 0h = 快速 (1 µs/A) 1h = 慢速 (4 µs/A)
7-0	CONFIG_CRC	R/W	0h	为 CONFIG 寄存器空间编程的 CRC。写入该寄存器会触发 CONFIG 寄存器空间的 CRC 校验。多项式 = 97h。CRC 应用于所有 CONFIG 寄存器的 16 位数据，不包括 CONFIG_CRC 本身（总共 9 个字节）。从 CONFIG0 开始直到 CONFIG4，从 MSB 到 LSB。

Copyright © 2026 Texas Instruments Incorporated

7.4 CMD 寄存器

表 7-23 列出了 CMD 寄存器的存储器映射寄存器。表 7-23 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-23. CMD 寄存器

偏移	首字母缩写词	寄存器名称	部分
1Ch	CMD0	常规命令。	节 7.4.1
1Dh	CMD1	操作命令。	节 7.4.2
1Eh	CMD2	广播命令。	节 7.4.3

复杂的位访问类型经过编码可适应小型表单元。表 7-24 展示了适用于此部分中访问类型的代码。

表 7-24. CMD 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2026 Texas Instruments Incorporated

7.4.1 CMD0 寄存器（偏移 = 1Ch）[复位 = 1800h]

表 7-25 展示了 CMD0。

返回到汇总表。

用于禁用触发器引脚部署和启用系统 BIST 功能的常规命令。

表 7-25. CMD0 寄存器字段说明

位	字段	类型	复位	说明
15-13	保留	R	0h	保留
12	TRG1_DIS	R/W	1h	禁用 TRG1 部署。通过 TRG1_PIN_STAT 进行的反馈仍然有效。 0h = 启用 1h = 禁用
11	TRG2_DIS	R/W	1h	禁用 TRG2 部署。通过 TRG2_PIN_STAT 进行的反馈仍然有效。 0h = 启用 1h = 禁用
10	保留	R	0h	保留
9-8	FORCE_BIST	R/W	0h	启用系统 BIST 特性。仅在待机工作状态下接受命令。 0h = 无操作 1h = 在发出 CLR_FAULT 命令之前将 nFAULT 引脚置为低电平。 2h = 在发出 CLR_FAULT 命令之前强制辅助逻辑超时。 3h = 在 nFAULT 上将 75% 占空比 PWM@16KHz 置为有效
7-0	CRC	R/W	0h	嵌入式 CRC 字段。仅当为该值提供了有效的 CRC 时，才接受写入命令。多项式 = 97h。CRC 应用于命令数据的 8 个位。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 CMD1 寄存器（偏移 = 1Dh）[复位 = 0000h]

表 7-26 展示了 CMD1。

返回到汇总表。

用于清除故障、锁定寄存器和执行驱动器操作的操作命令。

表 7-26. CMD1 寄存器字段说明

位	字段	类型	复位	说明
15	CLR_FAULT	R/W	0h	清除故障命令。命令寄存后自动清除。 0h = 默认值 1h = 清除故障
14	LOCK_CONFIG	R/W	0h	锁定 CONFIG 寄存器空间以进行器件配置。解锁可以进行其他 CONFIG 寄存器更改。 0h = 解锁 1h = 锁定
13	保留	R	0h	保留
12	ACTIVATE	R/W	0h	基于 ACTIVITY_CTRL 的可配置操作命令。 0h = 无操作 1h = 根据 ACTIVITY_CTRL 采取操作
11-10	ACTIVITY_CTRL	R/W	0h	为 ACTIVATE 命令选择操作命令。 0h = 无操作 1h = 如果 ACTIVATE 为 1b，则执行关断状态诊断 2h = 如果 ACTIVATE 为 1b，则执行部署 3h = 如果 ACTIVATE 为 1b，则延迟执行部署 (DEPLOY_DLY)
9-8	RESERVED	R	0h	保留
7-0	CRC	R/W	0h	嵌入式 CRC 字段。仅当为该值提供了有效的 CRC 时，才接受写入命令。多项式 = 97h。CRC 应用于命令数据的 8 个位。

Copyright © 2026 Texas Instruments Incorporated

7.4.3 CMD2 寄存器（偏移 = 1Eh）[复位 = 0000h]

表 7-27 展示了 CMD2。

返回到汇总表。

用于清除故障、管理 SPI 寻址和驱动器部署的广播命令。

表 7-27. CMD2 寄存器字段说明

位	字段	类型	复位	说明
15	BCST_CLR_FAULT	R/W	0h	向所有连接的器件广播清除故障命令。命令寄存后自动清除。
14	RE_INIT_NAD	R/W	0h	用于在所有连接的器件上重新初始化 NAD 的广播命令。仅当器件处于 INIT2 状态时才接受写入命令。
13	NAD_OVERRIDE	R/W	0h	设置后，任何具有 NAD 错误的器件都会清除 NAD_ERR 并在接下来的两个位中选择地址，以作为分配用于 SPI 通信的 NAD。仅当 INIT2 状态下检测到 NAD_ERR 且 RE_INIT_NAD = 0b 时，才接受写入。
12-11	ASSIGNED_NAD	R/W	0h	当 NAD_OVERRIDE = 1b 时，为具有 NAD 错误的器件分配了 NAD。
10	DEPLOY	R/W	0h	广播部署命令。
9	DEPLOY_DLY_EN	R/W	0h	如果 DEPLOY = 1b，则启用延迟广播部署 (DEPLOY_DLY)。 0h = 禁用 1h = 启用
8	RSVD	R/W	0h	保留。将 0x0 写入此字段。
7-0	CRC	R/W	0h	嵌入式 CRC 字段。仅当为该值提供了有效的 CRC 时，才接受写入命令。多项式 = 97h。CRC 应用于命令数据的 8 个位。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

8.1 应用信息

DRV3901-Q1 是适用于阻性爆管负载的高集成度驱动器。以下几节将提供有关使用该器件的一些设计指南。

8.2 典型应用

虽然 DRV3901-Q1 可用作通用爆管负载驱动器，但该器件专门开发用于支持电动汽车热熔保险丝应用中使用的驱动爆管。该器件旨在直接与外部控制器交互，或者通过充当 DRV3901-Q1 通信网桥的器件进行交互。

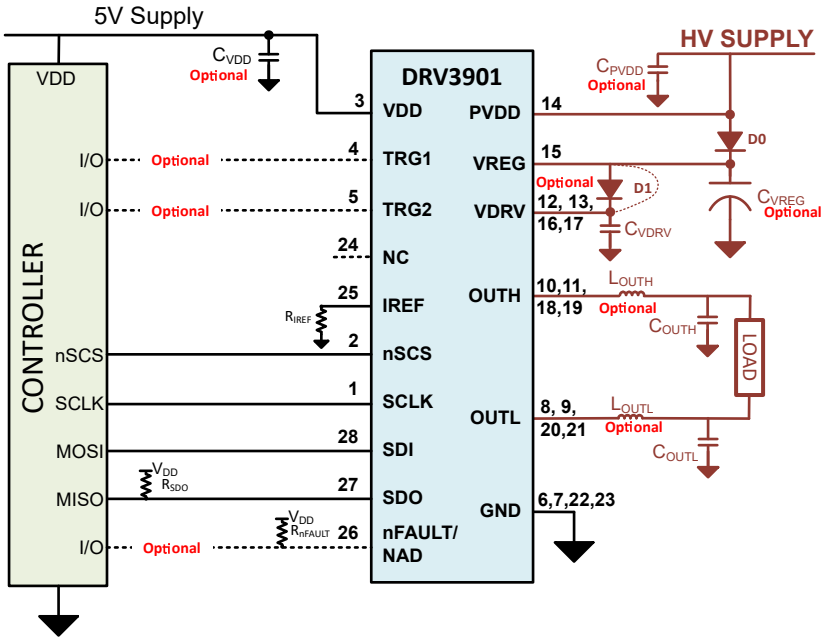


图 8-1. 典型应用原理图

8.2.1 设计要求

表 8-1. 设计参数

参数	值
PVDD/VDRV 电源	12V（典型值），但可以利用更高的升压电源电压。应遵循功率耗散和热限值。
VDD 电源	5V，仅支持 5V 输入，3.3V 控制器 SDO 接口需要从外部转换为 3.3V。
nFAULT/NAD 引脚	请参阅“nFAULT/NAD 引脚”部分
储能电容器	请参阅“VREG 电压和电容测量”部分

8.2.2 详细设计过程

瞬态热信息

由于该器件可驱动快速瞬态脉冲，因此瞬态热信息对于确保正确的热设计非常重要。下表总结了无额外散热的 4 层 2cm x 2cm x 1.6mm PCB 设计示例的瞬态热阻（结至环境）。在这 4 层中，顶部/底部信号层使用 2 盎司铜，两个内部电源层使用 1 盎司铜，热过孔钻孔直径为 0.3mm，镀铜层为 0.025mm，最小过孔间距为 1mm。

表 8-2. 瞬态热阻抗

$R_{\theta JA}$	$R_{\theta JA}$	$R_{\theta JA}$
1.2°C/W	2.3°C/W	70.1°C/W

Copyright © 2026 Texas Instruments Incorporated

8.2.3 应用性能曲线图

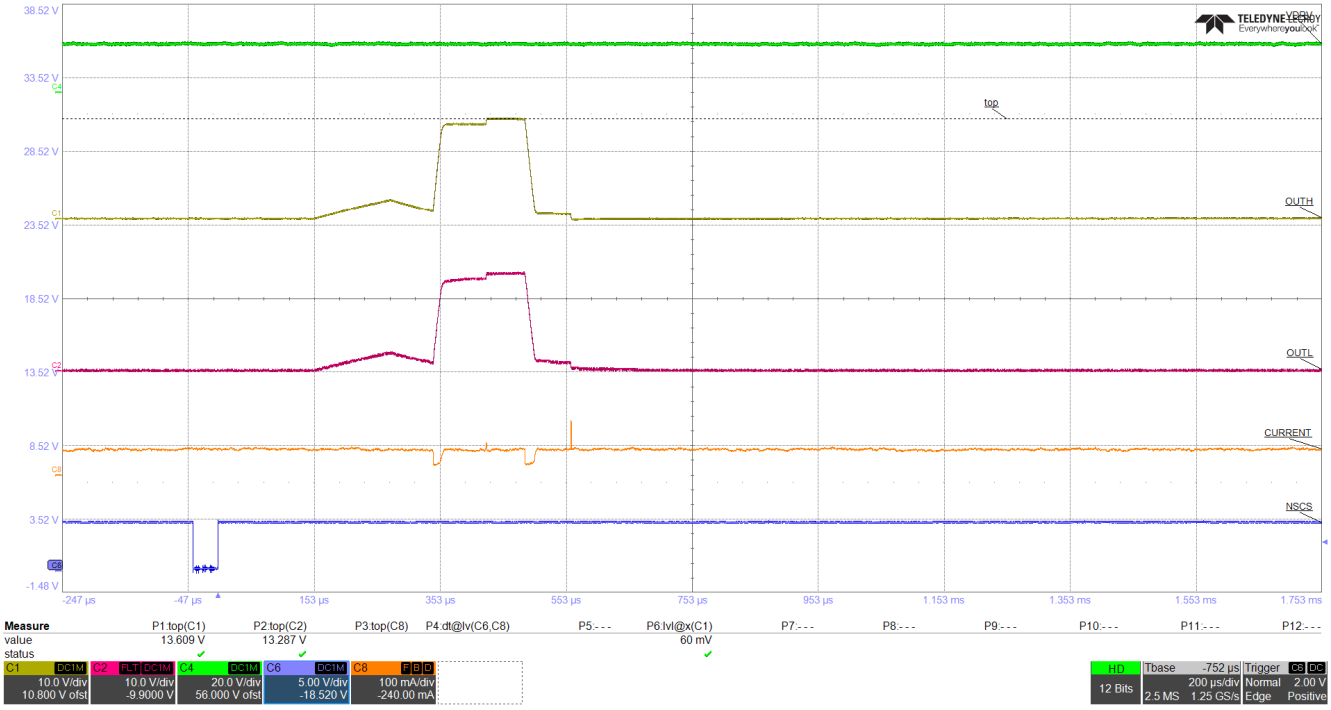


图 8-2. 关断状态诊断序列示例

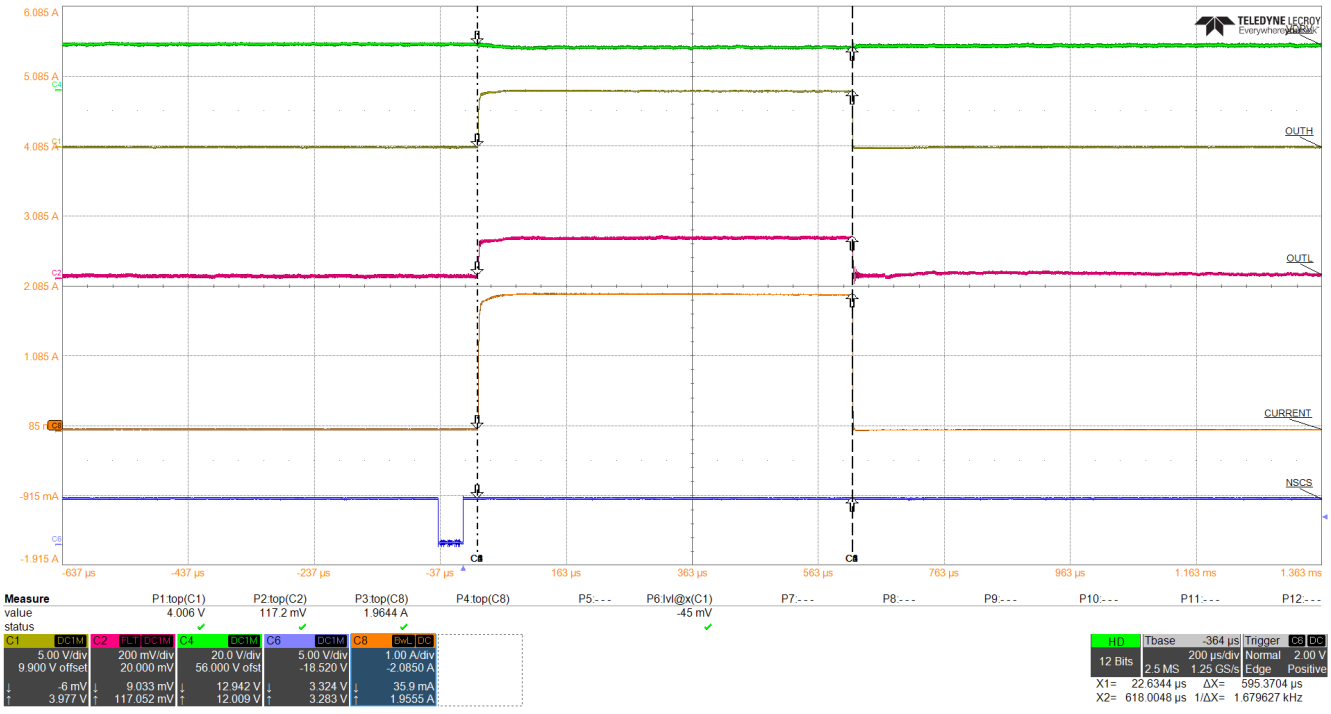


图 8-3. ISEL = 2h 时的典型部署序列

Copyright © 2026 Texas Instruments Incorporated

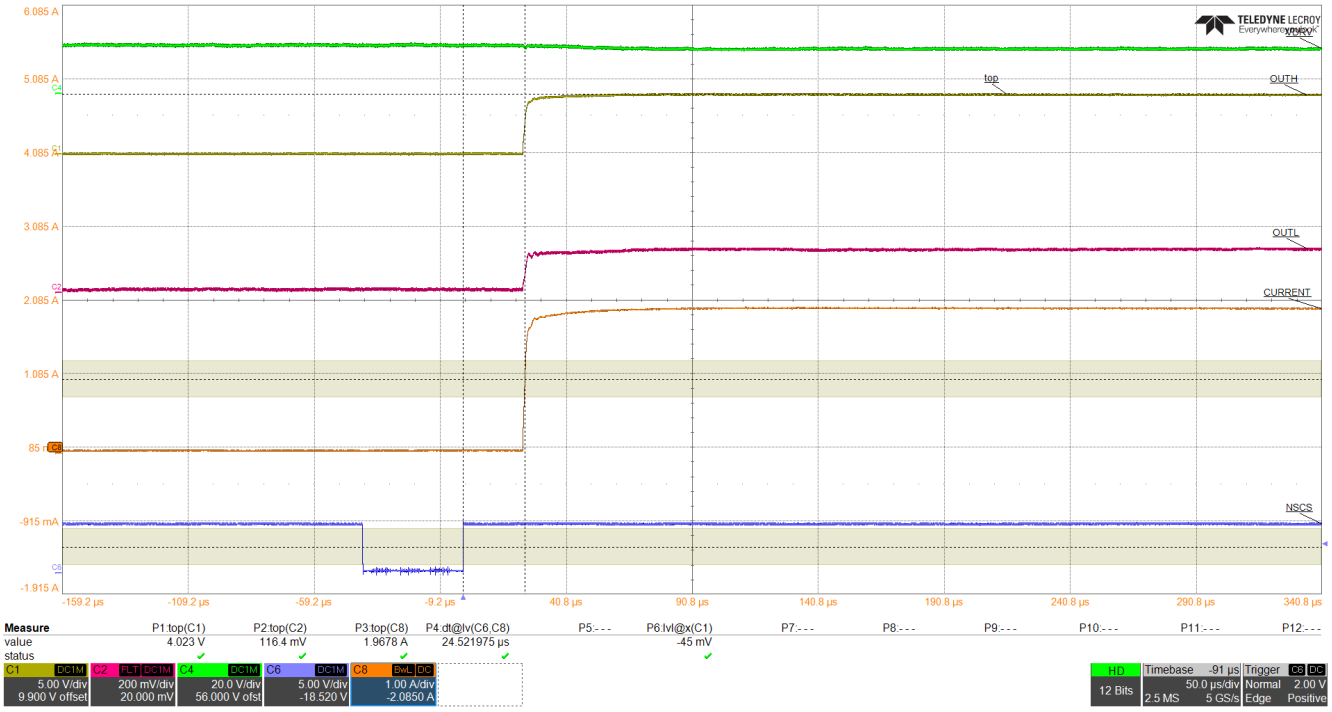


图 8-4. ISEL = 2h 时的典型部署序列（缩放）

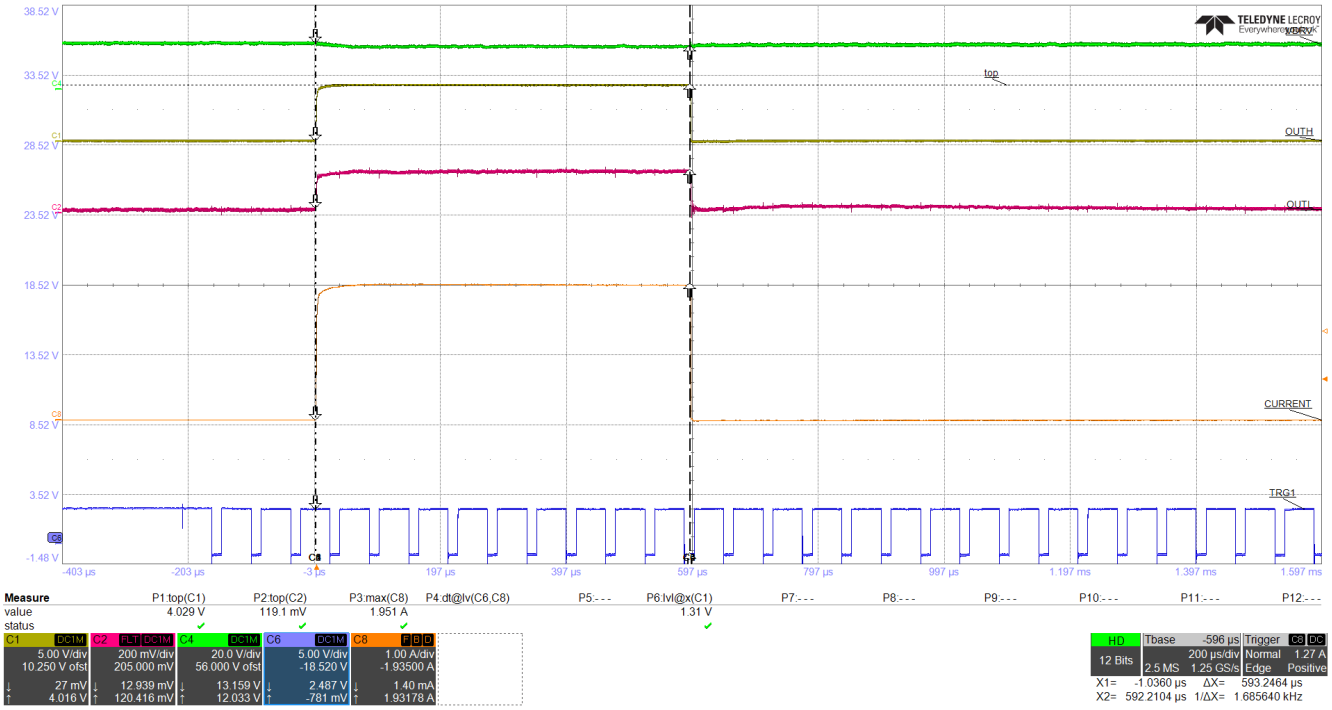


图 8-5. 使用 PWM 编码的触发器引脚 (TRGx) 部署 (TRG_SEL = 8h)

8.2.4 初始化设置

下面列出了**推荐**用于软件开发的器件初始化和应用设置过程。

Copyright © 2026 Texas Instruments Incorporated

8.2.4.1 器件初始化 - NAD

以下步骤描述了初始器件启动和节点地址 NAD 初始化的过程。

1. WAIT - PVDD 和 VDD 斜升后，等待 t_{READY} 时间。
2. STATUS0_READ - 读取同一寻址 SPI 总线上每个器件的 STATUS0。正常响应可能包括：
   a. 确认器件地址 (NAD) 值正确。
   b. 器件复位 (POR) 位被置为有效。
   c. 器件警告 (WARNINGS) 位被置为有效（由于 CONFIG_CRC_W）。
   d. 触发器引脚的状态 (TRGx_PIN_STAT) = 0h（还没有数据）。
3. STATUS1_READ - 读取同一寻址 SPI 总线上每个器件的 STATUS1。检查 STARTUP_BIST_W 位是否被清除。正常响应中警告位为 0。
4. VDD_ERR - 如果 SDO 响应指示 VDD_ERR，这表示寻址的 SPI 总线上有器件存在电源问题。应检查 VDD 和 PVDD 电源的状况，并重复执行 STATUS0_READ。器件的上电初始化被选通，直到电源监控标志 VDRV_UV、VDD_OV 和 VDD_UV 清零。
5. NAD_ERR - 如果 SDO 响应指示 NAD_ERR，这表示寻址的 SPI 总线上有器件存在 NAD 地址确定问题。应检查 nFAULT/NAD 引脚上连接至 VDD 的上拉电阻，然后：
   a. 发出 RE_INIT_NAD 位已置为有效的广播命令。
   b. 等待 t_{READY} 时间。
   c. 随后发出已清除 RE_INIT_NAD 位的广播命令。如果响应仍然指示 NAD_ERR，请参阅 NAD_RECOVERY。
   d. 循环回 STATUS0_READ
6. NO_RESPONSE – 这可能指示以下情况之一：
   a. 器件错误 (DEV_ERR) – nFAULT 引脚被拉低。需要下电上电才能继续。
   b. 在寻址的 NAD 上找不到器件。这表示关于此特定 NAD 的 NAD 确定被错误地映射到另一个 NAD。由于未出现 NAD-ERR，请按照 NAD_CONFLICT_CREATION 流程，通过 SDO 冲突创建 NAD-ERR。
7. NAD_RECOVERY – 发出以下命令来强制设置 NAD 地址：
   a. 发出已将 NAD_OVERRIDE 位设置为预期 NAD 地址的广播命令。具有 NAD_ERR 的器件会接收此命令并为其自身分配命令中指定的 NAD 地址。
   b. 随后发出已清除 NAD_OVERRIDE 位的广播命令。必须清除 NAD_ERR。
   c. 循环回 STATUS0_READ。
8. SDO CONFLICT CREATION – 该流程假定硬件能够对寻址 SPI 上的每个器件单独将 TRG1 引脚拉高或拉低。
   a. 在无响应的器件上将 TRG1 引脚置为高电平，同时在寻址的 SPI 上所有其他器件上将 TRG1 引脚置为低电平。
   b. 逐一读取寻址 SPI 总线上各个器件的 STATUS1。
   c. 由于 STATUS1 读取 TRG1_PIN_LVL，TRG1 为高电平的器件会检测到与其他器件的 SDO 冲突，从而停止在 SDO 上发送，并报出 NAD_ERR。
   d. 按照 NAD_RECOVERY 步骤修正无响应器件的 NAD_ERR。

8.2.4.2 器件初始化 - 配置

以下步骤描述了器件配置过程。

1. 发出 CLR_FAULT 命令并读取 STATUS0。
2. 计算所需 CONFIG 寄存器空间设置的 9 个字节的 CRC8。这 9 个字节由所有 CONFIG 寄存器依次拼接而成，从 CONFIG0 到 CONFIG4，高位在前（MSB 到 LSB）。
3. 写入 CONFIG0 – CONFIG4 以根据需要以及 CONFIG4 寄存器低位字节中计算出的 CRC8 来配置器件。

Copyright © 2026 Texas Instruments Incorporated

8.2.4.3 系统初始化

1. 此时，**根据需要**执行所有系统初始化检查。请注意，仅当器件处于待机状态时才应执行这些测试。其中包括：
   a. 触发器 PWM 模式检查。
   b. 器件时序检查。
   c. nFAULT 信令检查。
   d. 辅助逻辑检查。
2. 执行关断状态诊断 - 初始检查。

8.2.4.3.1 触发器 PWM 模式检查

建议在系统初始化期间执行此测试，以便确定模式发送器（例如过流传感器）与器件之间的兼容性，仅当使用 TRGx PWM 信令时才需要。

1. 写入 CMD0 = 18h - 触发器禁用
2. 在每个 TRGx 引脚上发出部署模式
3. 读取 STATUS0 寄存器中的 TRGx_PIN_STAT 以检查模式检测
4. 在每个 TRGx 引脚上发出正常模式
5. 读取 STATUS0 寄存器中的 TRGx_PIN_STAT 以检查检测信号检测
6. 写入 CMD0 = 00h - 触发器启用

8.2.4.3.2 nFAULT 信令检查

仅当使用 nFAULT 引脚故障信令时，才建议在系统初始化期间执行此测试。

1. 写入 CMD0 = 19h – 触发器禁用，请求 nFAULT 置为有效。
2. 写入 CMD1 = 80h – CLR_FAULT，因此会处理请求。
3. nFAULT 引脚将置位为低电平。这可以通过读回 STATUS0 寄存器中的 nFAULT_PIN_STAT 来确认。
4. 写入 CMD0 = 18h – 触发器保持禁用状态，请求 nFAULT 置为无效。
5. 写入 CMD1 = 80h – CLR_FAULT，因此会处理请求。
6. 此时，nFAULT 引脚将由 nFAULT_CONFIG 设置控制。

8.2.4.3.3 器件时序检查

仅当需要器件时序检查时，才建议在系统初始化期间执行此测试。

1. 写入 CMD0 = 1Bh - 触发器禁用，在 nFAULT 上请求时序信号置为有效。
2. nFAULT 引脚由 75%、16KHz PWM 输出驱动。
3. 写入 CMD0 = 18h - 触发器保持禁用状态，请求时序信号置为无效。
4. 写入 CMD1 = 80h – CLR_FAULT，因此会处理请求。
5. 此时，nFAULT 引脚将由 nFAULT_CONFIG 设置控制。

8.2.4.3.4 辅助逻辑检查

仅当需要对器件进行安全层检查时，才建议在系统初始化期间执行此测试。

1. 写入 CMD0 = 1Ah – 禁用触发，强制置位辅助逻辑超时。
2. 在 40ms 内，nFAULT 引脚被拉低以指示超时。一旦发生超时，SDO 也会处于高阻态（与 DEV_ERR 时类似）。
3. 写入 CMD0 = 18h – 触发器禁用，请求辅助逻辑超时置为无效。
4. SDO 恢复正常运行。
5. 写入 CMD1 = 80h – CLR_FAULT，因此会处理将超时置为无效的请求。
6. 此时，nFAULT 引脚将由 nFAULT_CONFIG 设置控制。

Copyright © 2026 Texas Instruments Incorporated

8.2.4.3.5 关断状态诊断 - 初始检查

建议将关断状态诊断中的所有 8 项测试作为系统初始化的一部分来执行。

1. 确保 CONFIG1 低位字节 = 00h，以便启用所有测试
2. 写入 CMD1 = 94h 以触发测试序列（CLR_FAULT 也置为有效），然后写入 CMD1 = 00h。响应将包括先前的命令内容（命令确认）。
3. 等待约 14 毫秒（取决于 testxxx_TSEL 的 CONFIG 设置），直到测试完成
4. 读取 STATUS0 和 STATUS3
5. 正常响应应指示
   a. OFF_DIAG_SUM = 2h
   b. VREG 电压测量 - VREG_VMEAS
   c. VREG 电容估算 - T_VREG_CAP
6. 建议后续的定期关断状态诊断只需要弱上拉和下拉测试，然后进行 VREG 和 RLOAD 测量测试。因此，请发出 CONFIG1 低位字节 = 9Ch 以及 CONFIG4 CRC8 更新。
7. 发出 CMD0 = 0x00h 以启用所有 TRGx 引脚
8. 此外，建议发出 CMD1 = 40h 来设置 LOCK_CONFIG，以防止在运行期间发生任何意外的配置寄存器 SPI 写操作。

8.2.4.4 关断状态诊断 - 定期检查

建议定期执行关断状态诊断的 8 项测试中 4 项测试的子集，以验证部署功能的运行状况。

1. 这些测试假定 CONFIG1 低位字节 = 9Ch，这样将仅启用弱上拉和下拉测试，然后启用 VREG 和 RLOAD 测量测试
2. 写入 CMD1 = D4h 以触发测试序列（CLR_FAULT、LOCK_CONFIG 也置为有效），然后写入 CMD1 = 40h。响应将包括先前的命令内容（命令确认）。
3. 等待约 8 毫秒（取决于 testxxx_TSEL 的 CONFIG 设置），直到测试完成
4. 读取 STATUS0 和 STATUS3
5. 正常响应应指示
   a. OFF_DIAG_SUM = 2h
   b. VREG 电压测量 - VREG_VMEAS
   c. VREG 电容估算 - T_VREG_CMPx

8.2.4.5 部署

8.2.4.5.1 目标器件部署

1. 写入 CMD1 = D8h（无部署延迟）或 DCh（有部署延迟）以触发部署（CLR_FAULT、LOCK_CONFIG 也置为有效），然后写入 CMD1 = 40h。响应将包括先前的命令内容（命令确认）。
2. 等待约 1 毫秒或约 3 毫秒（取决于 DEPLOY_ISEL 设置），直到部署完成
3. 读取 STATUS0、STATUS2、MEAS0 和 MEAS1
4. 正常响应应指示
   a. DEPLOY_SUM = 2h
   b. DEPLOY_STAT = 0h
   c. 部署开始时间测量 – TSTART_MEAS

部署电流持续时间测量 – TDEPLOY_MEAS

8.2.4.5.2 广播部署

1. 写入 CMD2 = 84h（无部署延迟）或 86h（有部署延迟）以触发部署（CLR_FAULT、LOCK_CONFIG 也置为有效），然后写入 CMD2 = 00h。响应将包括先前的命令内容（命令确认）。
2. 等待约 1 毫秒或约 3 毫秒（取决于 DEPLOY_ISEL 设置），直到部署完成

Copyright © 2026 Texas Instruments Incorporated

3. 读取 STATUS0、STATUS2、MEAS0 和 MEAS1
4. 正常响应应指示
   a. DEPLOY_SUM = 2h
   b. DEPLOY_STAT = 0h
   c. 部署开始时间测量 – TSTART_MEAS
   d. 部署电流持续时间测量 – TDEPLOY_MEAS

8.2.4.5.3 关断状态诊断 - 部署后

1. 发出 CMD1 = 00h 以解锁 CONFIG（假设其先前已锁定）
2. 写入 CONFIG1 低位字节 = FDh（以便仅启用 RLOAD 测量测试）以及 CONFIG4 低位字节 CRC8 更新。可选 - 写入 OFF_DIAG_RMEAS_THRS_H_SEL = 3h 以设置最高阈值。
3. 写入 CMD1 = D4h 以触发测试序列（CLR_FAULT、LOCK_CONFIG 也置为有效），然后写入 CMD1 = 40h。响应包括先前的命令内容（命令确认）。
4. 等待约 2 毫秒（取决于 OFF_DIAG_RMEAS_TSEL 的 CONFIG 设置），直到测试完成
5. 读取 STATUS0 和 STATUS3
6. 正常响应会指示 OFF_DIAG_STAT = 4h，这表示负载电阻很高。

8.3 电源相关建议

PVDD/VREG/VDRV：DRV3901-Q1 有多个电源引脚可为主电源启用多种功能。这些功能包括储能电容器 (C_{VREG}) 和反向电流阻断二极管的选项。PVDD 是系统的电源连接，应连接到系统高压电源和 DRV3901-Q1 PVDD 引脚。PVDD 应通过一个外部二极管 (D0) 连接到 VREG 引脚，该二极管的大小应适用于爆管的浪涌电流和储能电容器（如使用）的浪涌电流。VREG 可以通过将引脚短接在一起而直接连接到 VDRV，也可以选择连接反向电流阻断二极管 (D1)，前提是系统必须防止 OUTL 短接到电源而 VREG/PVDD 为低电平之类的故障模式情况。

VDD：该器件需要一个 5V 低电压电源既用作逻辑电源，也用作多个安全监测功能的冗余电源。

8.4 布局

8.4.1 布局指南

- 如果未使用 TRGx 引脚，可将此引脚短接至 GND，引脚 24（未连接）可短接至 GND。
- 必须使用具有推荐容值的低 ESR 陶瓷旁路电容器将 VDRV 电源引脚旁路至接地（可选择对 PVDD 和 VDD 引脚也执行此操作）。这些电容器应尽可能靠近引脚放置，并用粗线或接地平面连接到器件 GND 引脚。可能需要在 VREG 引脚上为储能器提供额外的大容量电容。放置此大容量电容器时应做到尽可能缩短任何高电流路径的长度。连接金属走线应尽可能宽，并具有许多连接 PCB 层的过孔。这些做法最大限度地减少了电感并允许大容量电容器提供大电流。
- OUTH 的 10、11、18、19 号引脚和 OUTL 的 8、9、20、21 号引脚在内部进行连接。考虑到部署时间通常较短，可以让 OUTH/OUTL 引脚的一侧保持开路，而仅将另一侧连接到负载（如果 PCB 布局有此要求）。
  1. 示例 1：连接 8、9 号引脚与 10、11 号引脚之间的负载。将 18、19、20、21 号引脚保持开路状态。
  2. 示例 2：连接 18、19 号引脚与 20、21 号引脚之间的负载。将 8、9、10、11 号引脚保持开路状态。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 布局示例

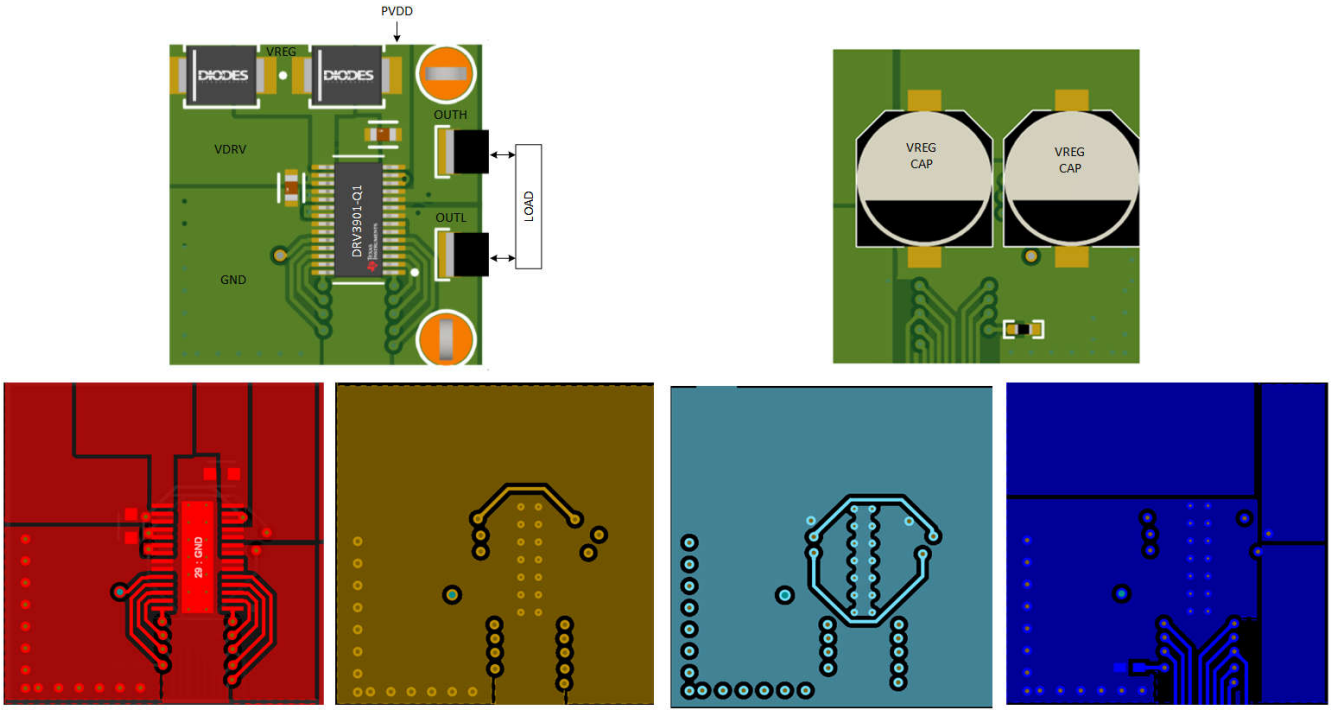


图 8-6. DRV3901-Q1 布局示例

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.4 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (October 2023) to Revision A (June 2026)	Page
• 将 nPOR_RESET 的 VDD 重命名为 VDRV。	7
• 将二极管 D) 功能更新为“当 PVDD 掉电时，阻断电流从 VREG 流向 PVDD。这是电容测量诊断所必需的。”	19
• 更新了描述“在发生 nPOR 的情况下，所有寄存器都会复位，并且必须遵循新的启动序列”	22
• 将弱下拉测试从“检测对电源的阻抗”更改为“检测对电源的阻抗或开路”。	31
• 将 VREG_MEAS 更改为 VREG_VMEAS。	37
• 将“帧长度违规”移到新行上。	41
• 更新了器件功能模式信息。	46
• 将 SPI 读取格式和 SPI 写入格式中的位 15 从 B5 更改为 B15。	50
• 将 B9 到 B12 从 TRG_PIN_STAT 更改为 TRG1_PIN_STAT 和 TRG2_PIN_STAT。	52
• 更新了“器件初始化 - NAD”部分。	77
• 更新了“器件初始化 - 配置”部分。	77
• 将 nFAULT 信号检查移到器件时序检查之前。	78
• 更新了“辅助逻辑检查”部分。	78
• 更新了“断态诊断 - 部署后”信息。	80

Copyright © 2026 Texas Instruments Incorporated

11 机械封装和可订购信息

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV3901QDGQRQ1	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	3901
DRV3901QDGQRQ1.A	Active	Production	HVSSOP (DGQ) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	3901

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

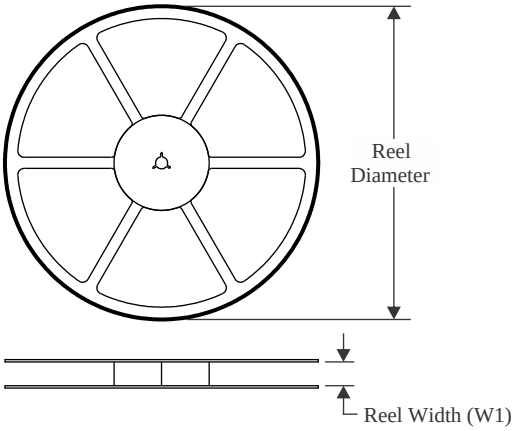
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

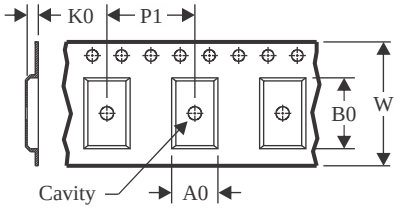
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

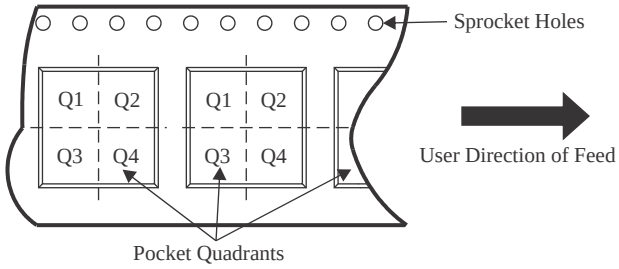


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

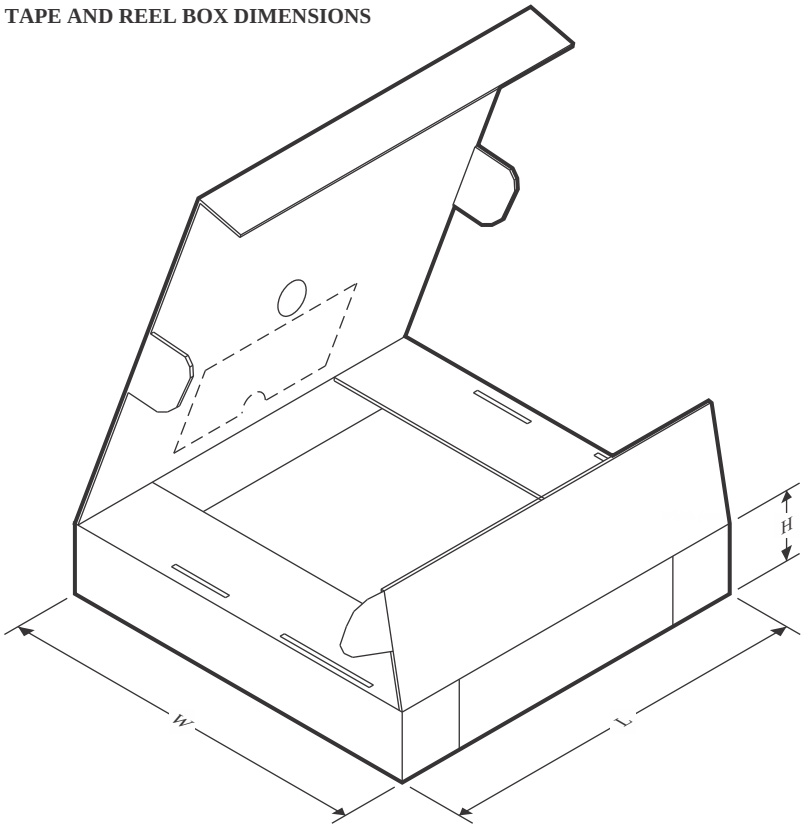
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV3901QDGQRQ1	HVSSOP	DGQ	28	2500	330.0	16.4	5.5	7.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV3901QDGQRQ1	HVSSOP	DGQ	28	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

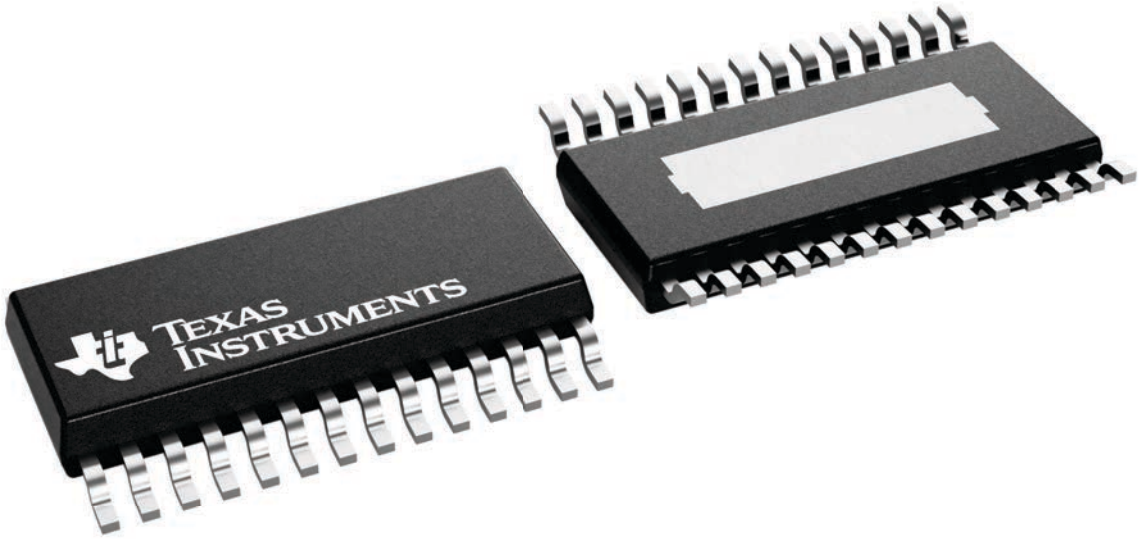
DGQ 28

HVSSOP - 1.1 mm max height

3 x 7.1, 0.5 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



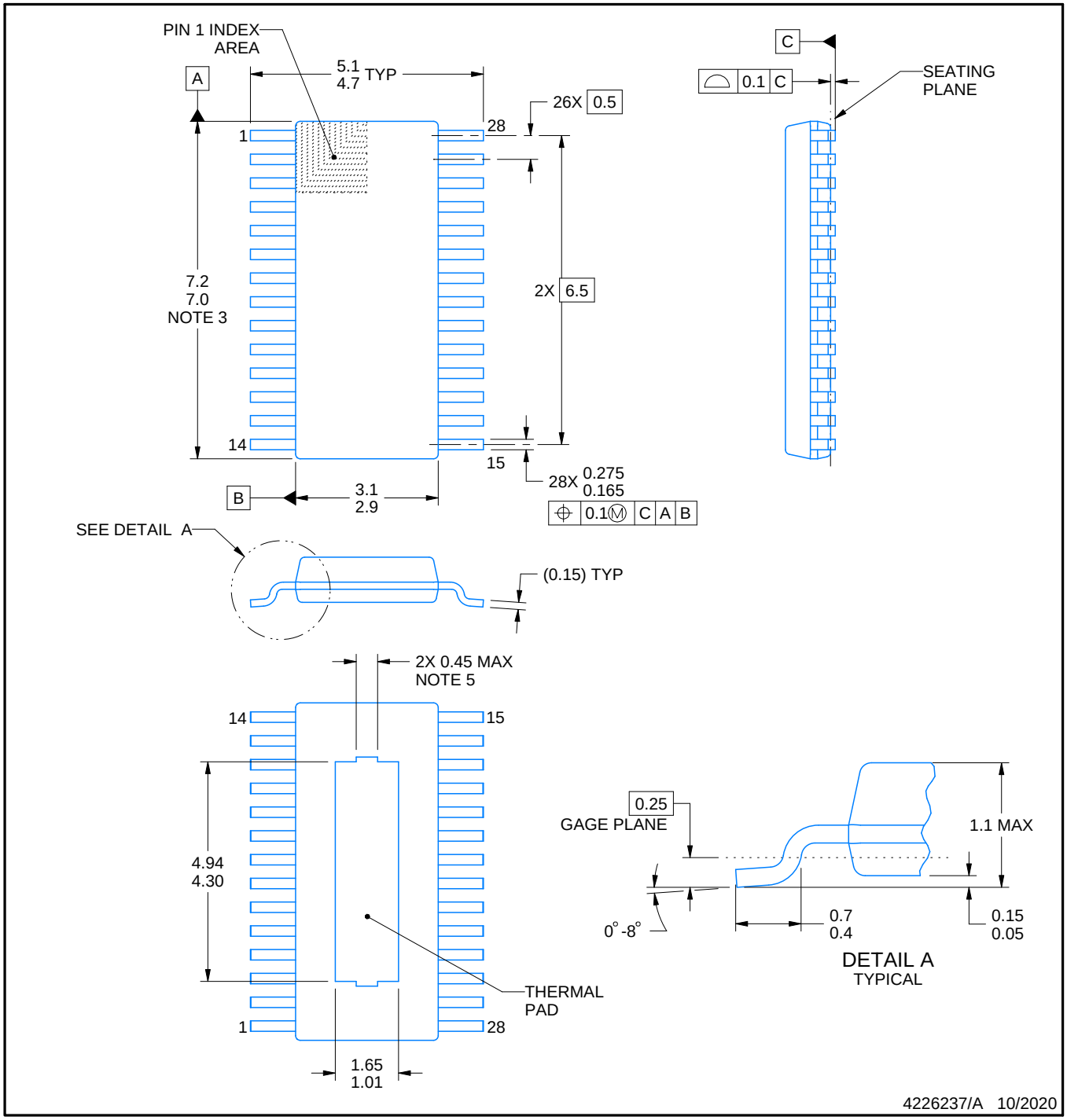
4226530/A

PACKAGE OUTLINE

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

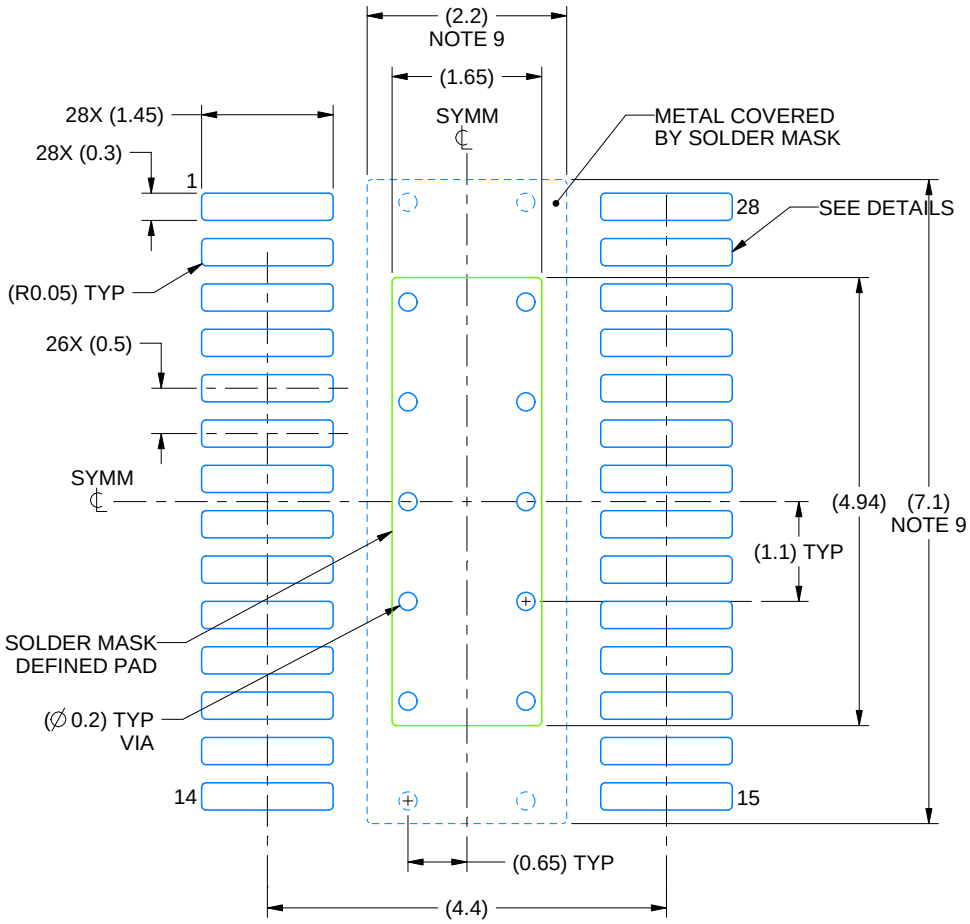
SMALL OUTLINE PACKAGE



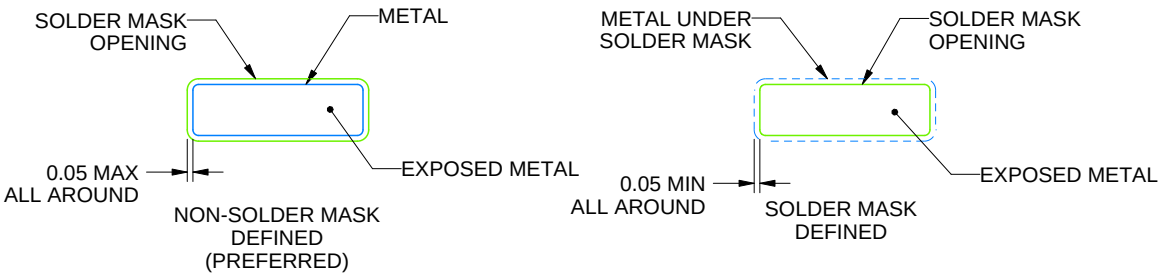
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

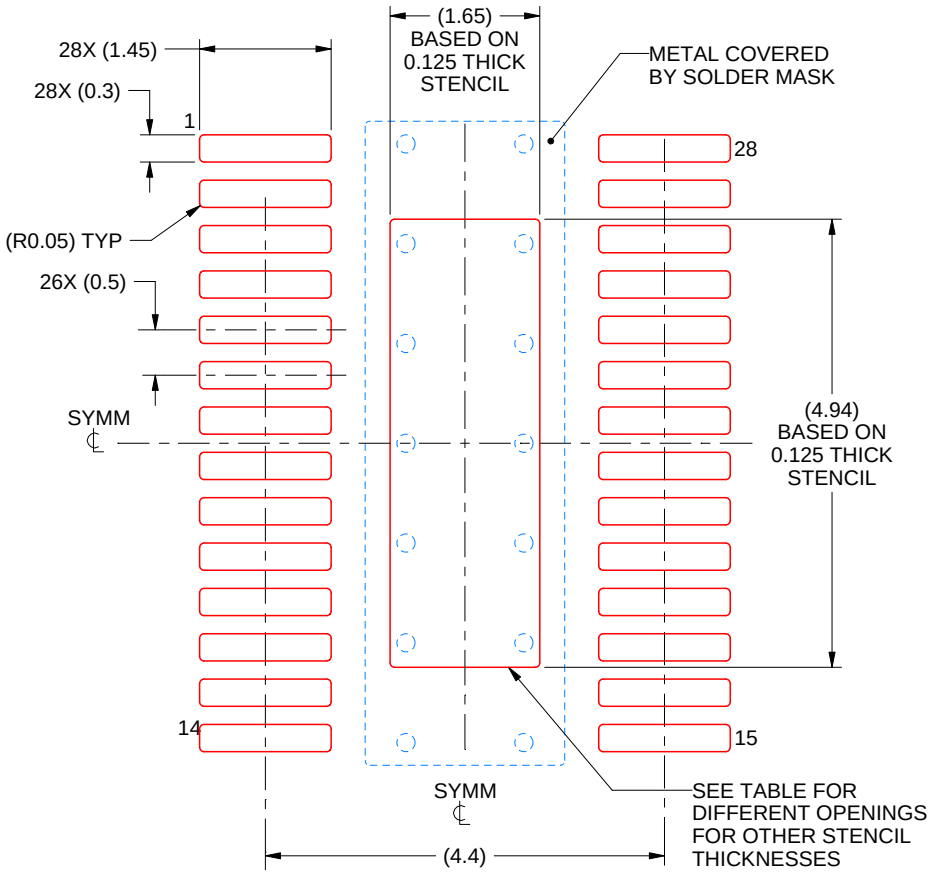


SOLDER MASK DETAILS

4226237/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 5.52
0.125	1.65 X 4.94 (SHOWN)
0.15	1.51 X 4.51
0.175	1.39 X 4.18

4226237/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月