DRA821 Jacinto™ 处理器

1 特性

处理器内核：

- 双核 64 位 Arm® Cortex®-A72 微处理器子系统，性能高达 2.0GHz
  - 每个双核 Cortex®-A72 集群具有 1MB L2 共享缓存
  - 每个 A72 内核具有 32KB L1 数据缓存和 48KB L1 指令缓存
- 4 个 Arm® Cortex®-R5F MCU，性能高达 1.0GHz，具有可选锁步操作
  - 32K 指令缓存，32K 数据缓存，64K L2 TCM
  - 隔离 MCU 子系统中有 2 个 Arm® Cortex®-R5F MCU
  - 通用计算分区中有 2 个 Arm® Cortex®-R5F MCU

存储器子系统：

- 1MB 的片上 L3 RAM（具有 ECC 和一致性）
  - ECC 错误保护
  - 共享一致性高速缓存
  - 支持内部 DMA 引擎
- 外部存储器接口 (EMIF) 模块（具有 ECC）
  - 支持符合 JESD209-4B 规范的 LPDDR4 存储器类型。（不支持字节模式 LPDDR4 存储器或具有超过 17 行地址位的存储器）
  - 支持高达 3200MT/s 的速度
  - 具有内联 ECC 总线的 32 位和 16 位数据总线，数据速率高达 12.8GB/s
- 通用存储器控制器 (GPMC)
- MAIN 域中的 512KB 片上 SRAM，受 ECC 保护

虚拟化：

- Arm® Cortex®-A72 中的管理程序支持
- 独立处理子系统，带 Arm® Cortex®-A72、Arm® Cortex®-R5F，采用隔离式安全 MCU 岛
- IO 虚拟化支持
  - 外设虚拟化单元 (PVU)，用于低延迟高带宽的外设流量
- 针对存储器和外设隔离的多区域防火墙支持
- 通过以太网、PCIe 和 DMA 提供虚拟化支持
- **器件安全（在部分器件型号上）：**
- 安全引导，提供安全运行时支持
- 客户可编程的根密钥，级别高达 RSA-4K 或 ECC-512
- 嵌入式硬件安全模块
- 加密硬件加速器 - 带 ECC 的 PKA、AES、SHA、RNG、DES 和 3DES

功能安全：

- 以符合功能安全标准为目标（部分器件型号）
  - 专为功能安全应用开发
  - 将提供使 ISO 26262 和 IEC 61508 功能安全系统设计满足 ASIL-D/SIL-3 要求的文档
  - 系统功能符合 ASIL-D/SIL-3 要求
  - 对于 MCU 域，硬件完整性符合 ASIL-D/SIL-3 要求
  - 对于 MAIN 域的扩展 MCU (EMCU) 部分，硬件完整性符合 ASIL-D/SIL-3 要求
  - 对于 MAIN 域的其余部分，硬件完整性符合 ASIL-B/SIL-2 要求
  - 在 EMCU 和 MAIN 域的其余部分之间提供 FFI 隔离
  - 安全相关认证
    - 计划 的 ISO 26262 和 IEC 61508 认证
- 符合 AEC-Q100 标准（以 Q1 结尾的器件型号）
- **高速接口：**
  - 集成以太网 TSN/AVB 交换机，支持最多 4 个 (DRA821U4) 或 2 个 (DRA821U2) 外部端口：
    - 一个端口支持 5Gb、10Gb USXGMII/XFI
    - 所有端口均支持 2.5Gb SGMII
    - 所有端口均支持 1Gb SGMII/RGMII
    - DRA821U4：任一个端口都可以支持 QSGMII（使用所有 4 个内部端口）
    - 无阻塞线速存储和转发交换机
    - InterVLAN（第 3 层）路由支持
    - 通过 IEEE 1588（附件 D、E 和 F）提供时间同步支持
    - TSN/AVB 对流量调度和整形的支持
    - 用于调试和诊断的端口监视功能
    - 管制和速率限制支持
  - 安全 MCU 岛中一个 RGMII/RMII 端口
- 一个 PCI-Express® 第 3 代控制器
  - 第 1 代、第 2 代和第 3 代均可使用，具有自动协商功能
  - 4 个通道
- 一个 USB 3.1 第 1 代双重角色器件子系统
  - 支持 Type-C 开关
  - 独立配置为 USB 主机、USB 外设或 USB 双重角色器件

汽车接口：

- 20 个 CAN-FD 端口
- 12 个通用异步接收器/发射器 (UART)
- 11 个串行外设接口 (SPI)

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

- 一个 8 通道 ADC
- 10 个内部集成电路 (I2C™)
- 2 个改进的内部集成电路 (I3C®)

音频接口：

- 3 个多通道音频串行端口 (McASP) 模块

闪存接口：

- 嵌入式多媒体卡 (eMMC™ 5.1) 接口
  - 支持高达 HS400 的速度
- 一个安全数字® 3.0/安全数字输入输出 3.0 (SD3.0/SDIO3.0) 接口
- 一个 Octal SPI/Xccela™/HyperBus™ 存储器控制器 (HBMC) 接口
- 16nm FinFET 技术
- 17.2mm x 17.2mm，0.8mm 间距，IPC 3 类 PCB

2 应用

- 汽车网关
- 车辆计算
- 车身控制模块
- 远程信息处理控制单元
- V2X/V2V
- 工厂自动化网关
- 通信设备
- 工业运输
- 楼宇自动化网关

3 说明

Jacinto™ DRA821x 处理器基于 Armv8 64 位架构，针对具有云连接能力的网关系统进行了优化。片上系统 (SoC) 设计可通过集成（尤其是系统 MCU、功能安全和安全性特性以及可实现高速通信的以太网交换机）降低系统级成本和复杂性。集成式诊断和功能安全特性满足 ASIL-D 和 SIL-3 认证要求。实时控制和低延迟通信由 PCIe 控制器和支持 TSN 的千兆位以太网交换机提供支持。

多达四种通用 Arm® Cortex®-R5F 子系统可以处理简单的时序关键型处理任务，从而使 Arm® Cortex®-A72 核心不受高级应用和基于云的应用的影响。

Jacinto DRA821x 处理器还包含扩展 MCU (eMCU) 域的概念。该域是 MAIN 域上处理器和外围设备的子集，旨在实现更高的功能安全性，例如 ASIL-D/SIL-3。功能方框图突出显示了哪个 IP 包含在 eMCU 中。有关 eMCU 和功能安全的更多详细信息，请参阅 ***DRA821 安全手册处理器德州仪器 (TI) Jacinto™ 7 产品系列 (SPRUIX4)***。

封装信息

器件型号	封装(1)	封装尺寸(2)
DRA821U4-Q1 DRA821U4	ALM（FCBGA，433）	17.2mm × 17.2mm
DRA821U2-Q1 DRA821U2	ALM（FCBGA，433）	17.2mm × 17.2mm
XJ7200GB	ALM（FCBGA，433）	17.2mm × 17.2mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

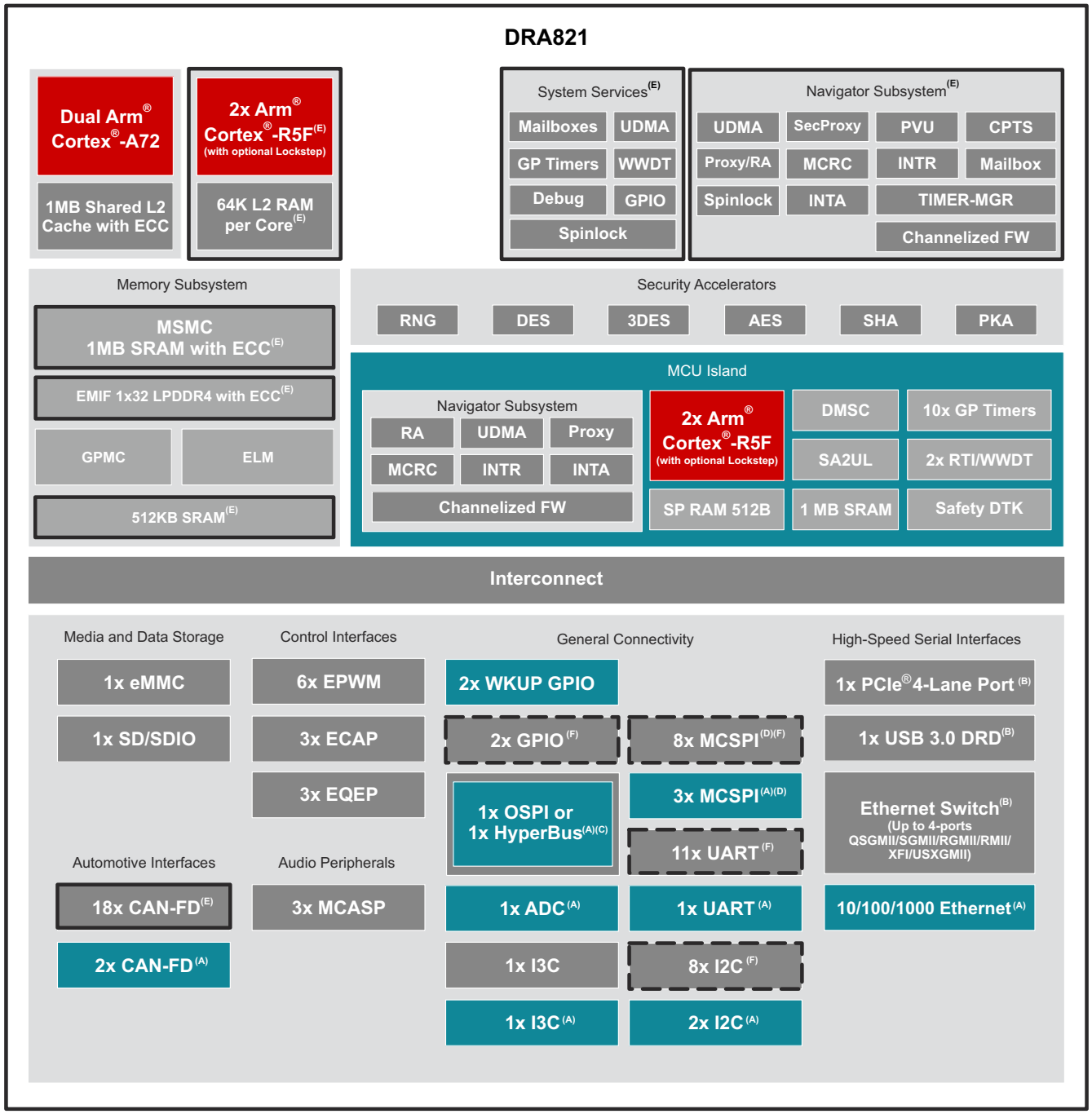
3.1 功能方框图

图 3-1 是器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请参阅 DRA821 软件构建表（**PROCESSOR-SDK-J7200**）。

Copyright © 2026 Texas Instruments Incorporated



A. WKUP 和 MCU 域实例都位于 MCU 岛上，但可供整个系统访问。
B. SGMII、USB3.0 和 PCIE 共用总共四个串行器/解串器通道。最多可同时使用三个 IP（例如 SGMII 和 USB）中的两个。
C. 闪存接口可配置为 OSPI0 或 HyperBus。
D. 一个端口仅在内部连接。未连接到任何引脚。
E. 黑色实线框表示 IP 是扩展 MCU (eMCU) 的一部分。
F. 黑色虚线框表示 IP 的某些实例存在于 eMCU 中，而某些实例存在于 MAIN 域的非 eMCU 部分中。

图 3-1. 功能方框图

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 1
2 应用 2
3 说明 2
3.1 功能方框图 2
4 器件比较 5
4.1 相关产品 6
5 端子配置和功能 8
5.1 引脚图 8
5.2 引脚属性 9
5.3 信号说明 48
5.4 引脚多路复用 83
5.5 未使用引脚的连接 92
6 规格 95
6.1 绝对最大额定值 95
6.2 ESD 等级 97
6.3 建议运行条件 97
6.4 上电小时数 (POH) 99
6.5 运行性能点 100
6.6 电气特性 101
6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格 108
6.8 热阻特性 108
6.9 温度传感器特性 110
6.10 时序和开关特性 111
7 详细说明 227
7.1 概述 227
7.2 处理器子系统 228
7.3 其他子系统 228
8 应用、实施和布局 234
8.1 电源映射 234
8.2 器件连接和布局基本准则 238
8.3 外设和接口的相关设计信息 238
9 器件和文档支持 244
9.1 器件命名规则 244
9.2 工具与软件 248
9.3 文档支持 249
9.4 支持资源 249
9.5 商标 249
9.6 静电放电警告 249
9.7 术语表 249
10 修订历史记录 250
11 机械、封装和可订购信息 252
11.1 封装信息 252

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

表 4-1 展示了 SoC 的特性，突出了不同之处。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请参阅 DRA821 软件构建表（**PROCESSOR-SDK-J7200**）。

表 4-1. 器件比较

与未隐藏的表相同。已删除列 A4 及 A2

特性(9)	参考名称	DRA821U4	DRA821U2
特性			
CTRLMMR_WKUP_JTAG_USER_ID[31:16]DEVICE_ID 寄存器位字段值(8) (9)		0x1B90	0x1B91
处理器和加速器			
速度等级（请参阅表 6-1）		T、L、E	E、C
Arm Cortex-A72 微处理器子系统	Arm A72	双核	双核
Arm Cortex-R5F	Arm R5F	四核	四核
	锁步	可选(5)	可选(5)
设备管理安全控制器	DMSC	是	是
安全加速器	SA	是	是
安全与安防			
以符合安全标准为目标	安全	可选(5)	可选(5)
器件安全性	安全性	可选(6)	可选(6)
符合 AEC-Q100 标准	Q1	可选(7)	可选(7)
程序和数据存储			
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	512KB SRAM	512KB SRAM
MCU 域中的片上共享存储器 (RAM)	MCU_MSRAM	1MB SRAM	1MB SRAM
多核共享存储器控制器	MSMC	1MB（带 ECC 的片上 SRAM）	1MB（带 ECC 的片上 SRAM）
LPDDR4 DDR 子系统	DDRSS	高达 8GB（16/32 位数据），具有内联 ECC	高达 8GB（16/32 位数据），具有内联 ECC
	SECDED	7 位	7 位
通用存储器控制器	GPMC	高达 1GB，具有 ECC	高达 1GB，具有 ECC
外设			
模块化控制器区域网接口，具有完整 CAN-FD 支持	MCAN	20	20
导航器子系统	NAVSS	2	2
通用 I/O	GPIO	高达 141	高达 141
内部集成电路接口	I2C	10	10
改进了内部集成电路接口	I3C	2	2
模数转换器	ADC	1	1
多通道串行外设接口	MCSPI	11 (10)	11 (10)
多通道音频串行端口	MCASP0	16 个串行器	16 个串行器
	MCASP1	12 个串行器	12 个串行器
	MCASP2	6 个串行器	6 个串行器

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 器件比较（续）

与未隐藏的表相同。已删除列 A4 及 A2

特性(9)	参考名称	DRA821U4	DRA821U2
多媒体卡/安全数字接口	MMCSD0	eMMC（8 位）	eMMC（8 位）
	MMCSD1	SD/SDIO（4 位）	SD/SDIO（4 位）
闪存子系统 (FSS)	OSPI	8 位(4)	8 位(4)
	HyperBus	是(4)	是(4)
具有集成式 PHY 的 PCI Express 端口	PCIE	最多四个通道(1)	最多四个通道(1)
以太网接口	CPSW2G	1 端口(3)	1 端口(3)
	CPSW5G	4 端口 (1) (2)	2 端口(1) (2)
通用计时器	计时器	30	30
增强型脉宽调制器模块	EPWM	6	6
增强型捕获模块	ECAP	3	3
增强型正交编码器脉冲模块	EQEP	3	3
通用异步接收器/发送器	UART	12	12
具有 SS PHY 的通用串行总线 (USB3.1) 超高速双角色设备 (DRD) 端口	USB	是(1)	是(1)

(1) SGMII、USB3.0 和 PCIE 共用总共四个串行器/解串器通道。
(2) DRA821U4 CPSW5G 支持以下实例、信号和运行模式：
- PORT1 **信号**：RMII1/RGMII1/SGMII1，**模式**：5Gb、10Gb USXGMII/XFI、2.5 Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII 之一
- PORT2 **信号**：RMII2/RGMII2/SGMII2，**模式**：2.5 Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII 之一
- PORT3 **信号**：RMII3/RGMII3/SGMII3，**模式**：2.5 Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII 之一
- PORT4 **信号**：RMII4/RGMII4/SGMII4，**模式**：2.5 Gb SGMII/XAUI、1Gb SGMII、1Gb RGMII、100Mb RMII、5Gb QSGMII 之一
- QSGMII 模式将 CPSW 的所有四个内部端口组合至单个 SERDES 通道。此模式中的每个端口均以 1Gb 全双工模式运行
  - 可以选择任何一个端口信号 SGMII1:4 用于此 SERDES 连接，其中 CPSW 不使用未选择的信号

DRA821U2 CPSW5G 最多支持系统中使用两个 RMIIn/RGMIIn/SGMIIn 端口。系统设计可以在 PORT1、PORT2、PORT3 或 PORT4 之间选择任意两个可用端口。不支持 QSGMII，因为 QSGMII 会将 CPSW 的所有四个内部端口组合到单个 SERDES 通道上。
(3) CPSW2G 支持以下实例、信号和运行模式：
- PORT1 **信号**：MCU_RMII1/MCU_RGMII1，**模式**：1Gb RGMII、100Mb RMII 之一

(4) 闪存接口可配置为 OSPI0 或 HyperBus。
(5) 包括 R5F 锁步和 SIL/ASIL 等级在内的安全特性仅适用于节 9.1.2 的*命名规则说明*表中的器件类型 (Y) 标识符所示的部分器件型号变体。
(6) 器件安全特性（包括安全启动和客户可编程密钥）适用于节 9.1.2 的命名规则说明表中的器件类型 (Y) 标识符所示的部分器件型号变体。
(7) AEC-Q100 鉴定适用于如节 9.1.2 的*命名规则说明*表中的汽车级指示符 (Q1) 标识符所示的部分器件型号变体。
(8) 有关 CTRLMMR_WKUP_JTAG_USER_ID 寄存器和 DEVICE_ID 位字段的更多详细信息，请参阅器件 TRM。
(9) J7200 是超集器件的基本器件型号。软件应限制用于匹配预期生产器件的功能。(CTRLMMR_WKUP_JTAG_USER_ID[31:16] "**DEVICE_ID**" 寄存器位字段值：**0x1B1D**。)
(10) 两个端口仅在内部连接。未连接到任何引脚。

4.1 相关产品

DRA821U 配套产品查看经常购买或与此产品结合使用的产品。

适用于 DRA821 Jacinto™ 处理器的软件开发套件 Processor SDK RTOS (PSDK RTOS) 可与 Processor SDK Linux (PSDK Linux) 或 Processor SDK QNX (PSDK QNX) 一起使用，从而在 TI 的 Jacinto™ 处理器平台内组成一个面向 DRA821 SoC 的多处理器软件开发平台。该 SDK 提供了一整套软件工具和组件，可帮助用户在支持的 J7 SoC 上开发和部署其应用程序。PSDK RTOS 可与 PSDK Linux 或 PSDK QNX 一起使用，从而在工厂和楼宇自动化以及网关系统中实现各种用例。

Copyright © 2026 Texas Instruments Incorporated

DRA821 评估模块 J700XSOMXEVM 与 J721EXCP01EVM 通用处理器板搭配使用，构成一个评估平台，旨在加快整个汽车和工业市场中联网应用的开发工作，并缩短产品上市时间。

此 EVM 由 Processor SDK 提供支持，后者包括基础驱动程序、计算和视觉内核以及示例应用框架和演示，介绍了如何利用 Jacinto 7 处理器功能强大的异构架构。

应用手册和白皮书具有集成系统 MCU 的网关应用处理器。

Copyright © 2026 Texas Instruments Incorporated

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 展示了 433 球倒装晶片球栅阵列 (FCBGA) 封装的焊球位置，与表 5-1 至表 5-107 配合使用，以找到信号名称和球栅编号。

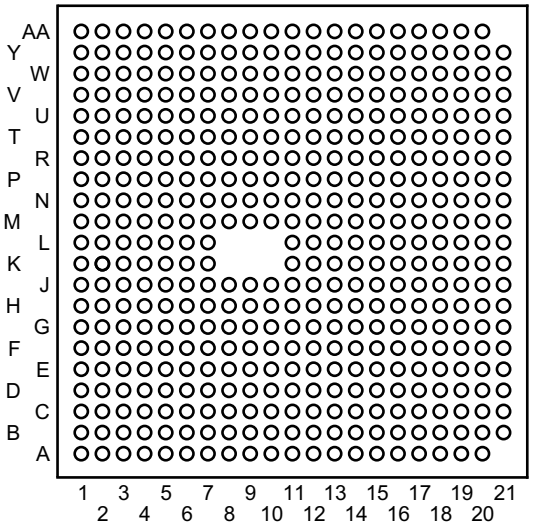


图 5-1. ALM FCBGA-N433 引脚图（底视图）

Copyright © 2026 Texas Instruments Incorporated

5.2 引脚属性

表 5-1. 引脚属性

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
M7	CAP_VDDS0	CAP_VDDS0		PWR										
G14	CAP_VDDS0_MCU	CAP_VDDS0_MCU		PWR										
F9	CAP_VDDS1_MCU	CAP_VDDS1_MCU		PWR										
T12	CAP_VDDS2	CAP_VDDS2		PWR										
F10	CAP_VDDS2_MCU	CAP_VDDS2_MCU		PWR										
L15	CAP_VDDS5	CAP_VDDS5		PWR										
H1	DDR0_CKN	DDR0_CKN		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G1	DDR0_CKP	DDR0_CKP		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J5	DDR0_RESETn	DDR0_RESETn		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G4	DDR0_CA0	DDR0_CA0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
H3	DDR0_CA1	DDR0_CA1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J4	DDR0_CA2	DDR0_CA2		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K1	DDR0_CA3	DDR0_CA3		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J2	DDR0_CA4	DDR0_CA4		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
H5	DDR0_CA5	DDR0_CA5		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K5	DDR0_CAL0	DDR0_CAL0		A			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDRCALR				
G2	DDR0_CKE0	DDR0_CKE0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
H2	DDR0_CKE1	DDR0_CKE1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G3	DDR0_CSn0_0	DDR0_CSn0_0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K2	DDR0_CSn0_1	DDR0_CSn0_1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
G5	DDR0_CSn1_0	DDR0_CSn1_0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
J3	DDR0_CSn1_1	DDR0_CSn1_1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
A3	DDR0_DM0	DDR0_DM0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E4	DDR0_DM1	DDR0_DM1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N1	DDR0_DM2	DDR0_DM2		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R4	DDR0_DM3	DDR0_DM3		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B4	DDR0_DQ0	DDR0_DQ0		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
A4	DDR0_DQ1	DDR0_DQ1		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C4	DDR0_DQ2	DDR0_DQ2		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C1	DDR0_DQ3	DDR0_DQ3		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C3	DDR0_DQ4	DDR0_DQ4		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
C2	DDR0_DQ5	DDR0_DQ5		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
A2	DDR0_DQ6	DDR0_DQ6		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B3	DDR0_DQ7	DDR0_DQ7		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
D1	DDR0_DQ8	DDR0_DQ8		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
D2	DDR0_DQ9	DDR0_DQ9		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F2	DDR0_DQ10	DDR0_DQ10		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E3	DDR0_DQ11	DDR0_DQ11		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F3	DDR0_DQ12	DDR0_DQ12		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F4	DDR0_DQ13	DDR0_DQ13		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
D4	DDR0_DQ14	DDR0_DQ14		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
F5	DDR0_DQ15	DDR0_DQ15		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
K4	DDR0_DQ16	DDR0_DQ16		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
L4	DDR0_DQ17	DDR0_DQ17		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
M4	DDR0_DQ18	DDR0_DQ18		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
L3	DDR0_DQ19	DDR0_DQ19		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
L2	DDR0_DQ20	DDR0_DQ20		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
L1	DDR0_DQ21	DDR0_DQ21		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
M3	DDR0_DQ22	DDR0_DQ22		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N2	DDR0_DQ23	DDR0_DQ23		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R3	DDR0_DQ24	DDR0_DQ24		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
T1	DDR0_DQ25	DDR0_DQ25		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P1	DDR0_DQ26	DDR0_DQ26		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P2	DDR0_DQ27	DDR0_DQ27		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N4	DDR0_DQ28	DDR0_DQ28		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P3	DDR0_DQ29	DDR0_DQ29		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
P4	DDR0_DQ30	DDR0_DQ30		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
N5	DDR0_DQ31	DDR0_DQ31		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B1	DDR0_DQS0N	DDR0_DQS0N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
B2	DDR0_DQS0P	DDR0_DQS0P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E1	DDR0_DQS1N	DDR0_DQS1N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
E2	DDR0_DQS1P	DDR0_DQS1P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
M1	DDR0_DQS2N	DDR0_DQS2N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
M2	DDR0_DQS2P	DDR0_DQS2P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R1	DDR0_DQS3N	DDR0_DQS3N		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R2	DDR0_DQS3P	DDR0_DQS3P		IO			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
R5	DDR_RET	DDR_RET		I			1.1V	VDDS_DDR、VDDS_DDR_C、VDDS_DDR_BIAS		DDR				
U3	ECAP0_IN_APWM_OUT	ECAP0_IN_APWM_OUT	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0		
		SYNC0_OUT	1	O										
		CPTS0_RFT_CLK	2	I								I		
		I2C1_SCL	3	IOD								1		
		CPTS0_HW1TSPUSH	4	I								0		
		UART3_RXD	5	I								1		
		SPI7_CS0	6	IO								1		
		GPIO0_58	7	IO								焊盘		
A13	EMU0	EMU0	0	IO	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD		0/0	
D12	EMU1	EMU1	0	IO	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD		0/0	
U6	EXTINTn	EXTINTn	0	I	关断	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS		1		
		GPIO0_0	7	IO								焊盘		
T3	EXT_REFCLK1	EXT_REFCLK1	0	I	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0		
		SYNC1_OUT	1	O										
		I2C1_SDA	3	IOD								1		
		CPTS0_HW2TSPUSH	4	I								0		
		UART3_TXD	5	O										
		SPI7_CLK	6	IO								0		
		GPIO0_59	7	IO								焊盘		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO保持 [15]
U12	GPIO0_41	RGMII2_TX_CTL	4	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD			有
		RMII2_TXD0	5	O										
		GPIO0_41	7	IO								焊盘		
		SPI6_D1	8	IO								0		
		UART4_RXD	11	I								1		
		MCASP2_ACLKX	12	IO								0		
		GPMC0_A13	13	OZ										
U13	GPMC0_CLK	GPMC0_CLK	0	IO	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0		有
		USB0_DRVVBUS	1	O										
		RGMII4_RD3	4	I								0		
		GPIO0_44	7	IO								焊盘		
		SPI0_CS3	10	IO								1		
		UART9_RXD	11	I								1		
V3	I2C0_SCL	I2C0_SCL	0	IOD	关断	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS		1		
		GPIO0_56	7	IO								焊盘		
W2	I2C0_SDA	I2C0_SDA	0	IOD	关断	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS		1		
		GPIO0_57	7	IO								焊盘		
V20	MCAN0_RX	MCAN0_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII4_RD1	4	I								0		
		MCAN0_RX	6	I								1		
		GPIO0_10	7	IO								焊盘		
		EQEP2_S	9	IO								0		
		GPMC0_A2	11	OZ										
		MCASP0_AXR10	12	IO								0		
V18	MCAN0_TX	MCAN0_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII4_RD0	4	I								0		
		MCAN0_TX	6	O										
		GPIO0_9	7	IO								焊盘		
		EQEP2_B	9	I								0		
		GPMC0_A1	11	OZ										
		MCASP0_AXR9	12	IO								0		
		AUDIO_EXT_REFCLK0	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
V16	MCAN1_RX	MCAN1_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII4_RD2	4	I								0		
		RMII2_TXD1	5	O										
		MCAN1_RX	6	I								1		
		GPIO0_12	7	IO								焊盘		
		SPI6_CS1	8	IO								1		
		EQEP2_I	9	IO								0		
		GPMC0_AD7	10	IO								0		
		UART6_CTSn	11	I								1		
		MCASP0_AXR12	12	IO								0		
		OBSCLK1	14	O										
W21	MCAN1_TX	MCAN1_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII2_TXC	4	O										
		RMII2_TX_EN	5	O										
		MCAN1_TX	6	O										
		GPIO0_11	7	IO								焊盘		
		SPI6_CS0	8	IO								1		
		EHRPWM_SOCA	9	O										
		GPMC0_A3	11	OZ										
		MCASP0_AXR11	12	IO								0		
Y19	MCAN2_RX	MCAN2_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII1_TD1	4	O										
		RMII4_RXD1	5	I								0		
		MCAN2_RX	6	I								1		
		GPIO0_14	7	IO								焊盘		
		SPI5_CS2	8	IO								1		
		EHRPWM0_B	9	IO								0		
		TRC_DATA2	10	O										
		UART3_TXD	11	O										
		MCASP1_ACLKX	12	IO								0		
		UART9_RTSn	13	O										
		GPMC0_AD9	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
Y18	MCAN2_TX	MCAN2_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII1_TD0	4	O										
		RMII4_RXD0	5	I								0		
		MCAN2_TX	6	O										
		GPIO0_13	7	IO								焊盘		
		SPI5_CS3	8	IO								1		
		EHRPWM1_A	9	IO								1		
		TRC_DATA3	10	O										
		UART3_RXD	11	I								1		
		MCASP1_AFSX	12	IO								0		
		UART9_CTSn	13	I								1		
		GPMC0_AD8	14	IO								0		
W16	MCAN3_RX	MCAN3_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII1_TD3	4	O										
		RMII4_RX_ER	5	I								0		
		MCAN3_RX	6	I								1		
		GPIO0_16	7	IO								焊盘		
		SPI5_CS0	8	IO								1		
		EHRPWM_TZn_IN0	9	I								0		
		TRC_DATA0	10	O										
		GPMC0_A4	11	OZ										
		MCASP0_AXR0	12	IO								0		
		SYNC2_OUT	14	O										
Y21	MCAN3_TX	MCAN3_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII1_TD2	4	O										
		RMII4_CRS_DV	5	I								0		
		MCAN3_TX	6	O										
		GPIO0_15	7	IO								焊盘		
		SPI5_D0	8	IO								0		
		EHRPWM0_A	9	IO								0		
		TRC_DATA1	10	O										
		MCASP0_AXR1	12	IO								0		
		GPMC0_AD10	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
Y20	MCAN4_RX	MCAN4_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII1_TXC	4	O										
		RMII4_TX_EN	5	O										
		MCAN4_RX	6	I								1		
		GPIO0_18	7	IO								焊盘		
		SPI5_D1	8	IO								0		
		EHRPWM1_B	9	IO								0		
		TRC_DATA4	10	O										
		I2C2_SDA	11	IOD								1		
		MCASP0_AXR2	12	IO								0		
		GPMC0_AD12	14	IO								0		
W15	MCAN4_TX	MCAN4_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII1_TX_CTL	4	O										
		RMII4_TXD0	5	O										
		MCAN4_TX	6	O										
		GPIO0_17	7	IO								焊盘		
		SPI5_CLK	8	IO								0		
		EHRPWM0_SYNCI	9	I								0		
		TRC_CLK	10	O										
		I2C2_SCL	11	IOD								1		
		MCASP0_ACLKX	12	IO								0		
		GPMC0_AD11	14	IO								0		
V19	MCAN5_RX	MCAN5_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII3_RD0	4	I								0		
		RMII3_RXD0	5	I								0		
		MCAN5_RX	6	I								1		
		GPIO0_20	7	IO								焊盘		
		I2C3_SCL	8	IOD								1		
		EHRPWM_TZn_IN5	9	I								0		
		TRC_DATA21	10	O										
		GPMC0_A5	11	OZ										
		MCASP1_AXR7	12	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
V21	MCAN5_TX	MCAN5_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII3_RXC	4	I								0		
		RMII4_TXD1	5	O										
		MCAN5_TX	6	O										
		GPIO0_19	7	IO								焊盘		
		SPI5_CS1	8	IO								1		
		EHRPWM4_B	9	IO								0		
		TRC_DATA17	10	O										
		UART6_RTSn	11	O										
		MCASP0_AXR7	12	IO								0		
		GPMC0_DIR	13	O										
		SYNC3_OUT	14	O										
U14	MCAN6_RX	MCAN6_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII3_RD2	4	I								0		
		RMII3_CRS_DV	5	I								0		
		MCAN6_RX	6	I								1		
		GPIO0_22	7	IO								焊盘		
		EHRPWM5_A	9	IO								0		
		TRC_DATA19	10	O										
		MCASP1_AXR5	12	IO								0		
		GPMC0_AD13	14	IO								0		
T13	MCAN6_TX	MCAN6_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII3_RD1	4	I								0		
		RMII3_RXD1	5	I								0		
		MCAN6_TX	6	O										
		GPIO0_21	7	IO								焊盘		
		I2C3_SDA	8	IOD								1		
		EHRPWM5_B	9	IO								0		
		TRC_DATA20	10	O										
		GPMC0_A6	11	OZ										
		MCASP1_AXR6	12	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
U15	MCAN7_RX	MCAN7_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII3_RX_CTL	4	I								0		
		RMII3_TXD0	5	O										
		MCAN7_RX	6	I								1		
		GPIO0_24	7	IO								焊盘		
		SPI3_CS1	8	IO								1		
		EHRPWM3_A	9	IO								0		
		TRC_DATA11	10	O										
		MCASP0_AFSR	12	IO								0		
		GPMC0_AD15	14	IO								0		
U16	MCAN7_TX	MCAN7_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII3_RD3	4	I								0		
		RMII3_RX_ER	5	I								0		
		MCAN7_TX	6	O										
		GPIO0_23	7	IO								焊盘		
		SPI3_CS0	8	IO								1		
		EHRPWM_TZn_IN4	9	I								0		
		TRC_DATA18	10	O										
		MCASP1_AXR4	12	IO								0		
		GPMC0_AD14	14	IO								0		
U19	MCAN8_RX	MCAN8_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII3_TD1	4	O										
		RMII3_TXD1	5	O										
		MCAN8_RX	6	I								1		
		GPIO0_26	7	IO								焊盘		
		SPI3_CS3	8	IO								1		
		EHRPWM3_SYNCO	9	O										
		TRC_DATA14	10	O										
		UART3_RTSn	11	O										
		MCASP0_AXR4	12	IO								0		
		GPMC0_A8	13	OZ										
		UART0_DSRn	14	I								1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
T15	MCAN8_TX	MCAN8_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		GPMC0_A7	3	OZ										
		RGMII3_TD0	4	O										
		RMII3_TX_EN	5	O										
		MCAN8_TX	6	O										
		GPIO0_25	7	IO								焊盘		
		SPI3_CS2	8	IO								1		
		EHRPWM_TZn_IN3	9	I								0		
		TRC_DATA15	10	O										
		UART3_CTSn	11	I								1		
		MCASP0_AXR5	12	IO								0		
		UART0_DCDn	14	I								1		
U18	MCAN9_RX	MCAN9_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII3_TD3	4	O										
		MCAN9_RX	6	I								1		
		GPIO0_28	7	IO								焊盘		
		SPI3_D0	8	IO								0		
		EHRPWM3_B	9	IO								0		
		TRC_DATA12	10	O										
		MCASP1_ACLKR	12	IO								0		
		GPMC0_A10	13	OZ										
		MCASP1_AXR11	14	IO								0		
T14	MCAN9_TX	MCAN9_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII3_TD2	4	O										
		MCAN9_TX	6	O										
		GPIO0_27	7	IO								焊盘		
		SPI3_CLK	8	IO								0		
		EHRPWM3_SYNCI	9	I								0		
		TRC_DATA13	10	O										
		MCASP1_AFSR	12	IO								0		
		GPMC0_A9	13	OZ										
		MCASP1_AXR10	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
U20	MCAN10_RX	MCAN10_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII3_TXC	4	O										
		MCAN10_RX	6	I								1		
		GPIO0_30	7	IO								焊盘		
		SPI2_CLK	8	IO								1		
		EHRPWM4_A	9	IO								0		
		TRC_DATA16	10	O										
		UART2_RTSn	11	O										
		MCASP0_AXR6	12	IO								0		
		GPMC0_BE0n_CLE	13	O										
		GPMC0_A16	14	OZ										
U17	MCAN10_TX	MCAN10_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII3_TX_CTL	4	O										
		MCAN10_TX	6	O										
		GPIO0_29	7	IO								焊盘		
		SPI3_D1	8	IO								0		
		EHRPWM_SOCB	9	O										
		TRC_DATA10	10	O										
		UART2_CTSn	11	I								1		
		MCASP0_ACLKR	12	IO								0		
		GPMC0_WAIT1	13	I								0		
		GPMC0_A22	14	OZ										
Y13	MCAN11_RX	MCAN11_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII2_RD0	4	I								0		
		MCAN11_RX	6	I								1		
		GPIO0_32	7	IO								焊盘		
		SPI2_CS1	8	IO								1		
		EQEP0_B	9	I								0		
		UART3_TXD	11	O										
		MCASP0_AXR14	12	IO								0		
		GPMC0_A12	13	OZ										
		UART0_RIn	14	I								1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
Y14	MCAN11_TX	MCAN11_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII2_RXC	4	I								0		
		MCAN11_TX	6	O										
		GPIO0_31	7	IO								焊盘		
		SPI2_CS0	8	IO								1		
		EQEP0_A	9	I								0		
		SPI0_CS2	10	IO								1		
		UART3_RXD	11	I								1		
		MCASP0_AXR13	12	IO								0		
		GPMC0_A11	13	OZ										
		UART0_DTRn	14	O										
AA14	MCAN12_RX	MCAN12_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII2_RD2	4	I								0		
		MCAN12_RX	6	I								1		
		GPIO0_34	7	IO								焊盘		
		SPI2_CS3	8	IO								1		
		EQEP1_B	9	I								0		
		I2C6_SDA	10	IOD								1		
		UART2_TXD	11	O										
		MCASP1_AXR8	12	IO								0		
		I3C0_SDAPULLEN	13	OD										
		GPMC0_A18	14	OZ										
AA15	MCAN12_TX	MCAN12_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII2_RD1	4	I								0		
		MCAN12_TX	6	O										
		GPIO0_33	7	IO								焊盘		
		SPI2_CS2	8	IO								1		
		EQEP1_A	9	I								0		
		I2C6_SCL	10	IOD								1		
		UART2_RXD	11	I								1		
		MCASP0_AXR15	12	IO								0		
		GPMC0_BE1n	13	O										
		GPMC0_A17	14	OZ										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
AA16	MCAN13_RX	MCAN13_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII2_RX_CTL	4	I								0		
		GPMC0_CSn3	5	O										
		MCAN13_RX	6	I								1		
		GPIO0_36	7	IO								焊盘		
		SPI2_D1	8	IO								0		
		EQEP0_I	9	IO								0		
		I2C5_SDA	10	IOD								1		
		UART8_RTSn	11	O										
		MCASP2_AXR0	12	IO								0		
		I3C0_SDA	13	IO								1		
		GPMC0_A20	14	OZ										
AA18	MCAN13_TX	MCAN13_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII2_RD3	4	I								0		
		GPMC0_WPn	5	O										
		MCAN13_TX	6	O										
		GPIO0_35	7	IO								焊盘		
		SPI2_D0	8	IO								0		
		EQEP0_S	9	IO								0		
		I2C5_SCL	10	IOD								1		
		UART8_CTSn	11	I								1		
		MCASP1_AXR9	12	IO								0		
		I3C0_SCL	13	IO								1		
		GPMC0_A19	14	OZ										
W20	MCAN15_RX	MCAN15_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		RGMII2_TD1	4	O										
		RMII2_RXD1	5	I								0		
		GPIO0_38	7	IO								焊盘		
		SPI6_CS3	8	IO								1		
		EQEP1_I	9	IO								0		
		MCAN15_RX	10	I								1		
		MCASP2_AXR2	12	IO								0		
		GPMC0_A15	13	OZ										
		GPMC0_ADVn_ALE	14	O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
W17	MCAN15_TX	MCAN15_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII2_TD0	4	O										
		RMII2_RXD0	5	I								0		
		GPIO0_37	7	IO								焊盘		
		SPI6_CS2	8	IO								1		
		EQEP1_S	9	IO								0		
		MCAN15_TX	10	O										
		GPMC0_CSn2	11	O										
		MCASP2_AXR1	12	IO								0		
		GPMC0_A0	13	OZ										
		GPMC0_A21	14	OZ										
U21	MCAN16_RX	MCAN16_RX	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	1/0	有
		CLKOUT	1	OZ										
		RGMII4_TD0	4	O										
		GPIO0_46	7	IO								焊盘		
		UART7_RXD	12	I								1		
		GPMC0_CSn1	13	O										
		AUDIO_EXT_REFCLK1	14	IO								0		
V15	MCAN16_TX	MCAN16_TX	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RMII_REF_CLK	1	I								0		
		RGMII4_RX_CTL	4	I								0		
		GPIO0_45	7	IO								焊盘		
		UART7_TXD	12	O										
		GPMC0_A14	13	OZ										
H17	MCU_ADC0_AIN0	MCU_ADC0_AIN0	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
K18	MCU_ADC0_AIN1	MCU_ADC0_AIN1	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
M17	MCU_ADC0_AIN2	MCU_ADC0_AIN2	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
L18	MCU_ADC0_AIN3	MCU_ADC0_AIN3	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
J18	MCU_ADC0_AIN4	MCU_ADC0_AIN4	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
J17	MCU_ADC0_AIN5	MCU_ADC0_AIN5	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
K17	MCU_ADC0_AIN6	MCU_ADC0_AIN6	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
L17	MCU_ADC0_AIN7	MCU_ADC0_AIN7	0	A		0	1.8V	VDDA_ADC_MCU		ADC12BT				
G21	MCU_I2C0_SCL	MCU_I2C0_SCL	0	IOD	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C OD FS		1		有
		WKUP_GPIO0_66	7	IO								焊盘		
G20	MCU_I2C0_SDA	MCU_I2C0_SDA	0	IOD	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C OD FS		1		有
		WKUP_GPIO0_67	7	IO								焊盘		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
A17	MCU_MCAN0_RX	MCU_MCAN0_RX	0	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0	1/0	有
		WKUP_GPIO0_63	7	IO								焊盘		
A16	MCU_MCAN0_TX	MCU_MCAN0_TX	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD		1/0	有
		WKUP_GPIO0_62	7	IO								焊盘		
D9	MCU_MDIO0_MDC	MCU_MDIO0_MDC	0	O	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD		1/0	
		WKUP_GPIO0_55	7	IO								焊盘		
C9	MCU_MDIO0_MDIO	MCU_MDIO0_MDIO	0	IO	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD	0	1/0	
		WKUP_GPIO0_54	7	IO								焊盘		
B6	MCU_OSPI0_CLK	MCU_OSPI0_CLK	0	O	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD			
		MCU_HYPERBUS0_CK	1	O										
		WKUP_GPIO0_16	7	IO								焊盘		
B7	MCU_OSPI0_DQS	MCU_OSPI0_DQS	0	I	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0		
		MCU_HYPERBUS0_RWDS	1	IO								0		
		WKUP_GPIO0_18	7	IO								焊盘		
C8	MCU_OSPI0_LBCLKO	MCU_OSPI0_LBCLKO	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0		
		MCU_HYPERBUS0_CKn	1	O										
		WKUP_GPIO0_17	7	IO								焊盘		
D6	MCU_OSPI0_CSn0	MCU_OSPI0_CSn0	0	O	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_HYPERBUS0_CSn0	1	O										
		WKUP_GPIO0_27	7	IO								焊盘		
D7	MCU_OSPI0_CSn1	MCU_OSPI0_CSn1	0	O	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_HYPERBUS0_RESETn	1	O										
		WKUP_GPIO0_28	7	IO								焊盘		
C6	MCU_OSPI0_CSn2	MCU_OSPI0_CSn2	0	O	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD			
		MCU_OSPI0_CSn2	1	O										
		MCU_HYPERBUS0_RESETOn	2	I								I		
		MCU_HYPERBUS0_WPn	3	O										
		MCU_HYPERBUS0_CSn1	4	O										
		MCU_OSPI0_RESET_OUT0	6	O										
		WKUP_GPIO0_30	7	IO								焊盘		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
D5	MCU_OSPI0_CSn3	MCU_OSPI0_CSn3	0	O	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD			
		MCU_OSPI0_CSn3	1	O										
		MCU_HYPERBUS0_INTn	2	I								I		
		MCU_HYPERBUS0_WPn	3	O										
		MCU_OSPI0_RESET_OUT1	5	O										
		MCU_OSPI0_ECC_FAIL	6	I								1		
		WKUP_GPIO0_31	7	IO								焊盘		
D8	MCU_OSPI0_D0	MCU_OSPI0_D0	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ0	1	IO								0		
		WKUP_GPIO0_19	7	IO								焊盘		
		BOOTMODE00	自举	I										
C7	MCU_OSPI0_D1	MCU_OSPI0_D1	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ1	1	IO								0		
		WKUP_GPIO0_20	7	IO								焊盘		
		BOOTMODE01	自举	I										
C5	MCU_OSPI0_D2	MCU_OSPI0_D2	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ2	1	IO								0		
		WKUP_GPIO0_21	7	IO								焊盘		
A5	MCU_OSPI0_D3	MCU_OSPI0_D3	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ3	1	IO								0		
		WKUP_GPIO0_22	7	IO								焊盘		
A6	MCU_OSPI0_D4	MCU_OSPI0_D4	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ4	1	IO								0		
		WKUP_GPIO0_23	7	IO								焊盘		
		BOOTMODE02	自举	I										
B8	MCU_OSPI0_D5	MCU_OSPI0_D5	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ5	1	IO								0		
		WKUP_GPIO0_24	7	IO								焊盘		
		BOOTMODE03	自举	I										
A8	MCU_OSPI0_D6	MCU_OSPI0_D6	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ6	1	IO								0		
		WKUP_GPIO0_25	7	IO								焊盘		
A7	MCU_OSPI0_D7	MCU_OSPI0_D7	0	IO	关断	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_HYPERBUS0_DQ7	1	IO								0		
		WKUP_GPIO0_26	7	IO								焊盘		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
G19	MCU_PORz	MCU_PORz		I			1.8V	VDDA_WKUP、VDDA_POR_WKUP	有	FS 复位				
B13	MCU_RESETSTATz	MCU_RESETSTATz	0	O	PD	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			
		WKUP_GPIO0_79	7	IO								焊盘		
A18	MCU_RESETz	MCU_RESETz	0	I		0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			
B10	MCU_RGMII1_RXC	MCU_RGMII1_RXC	0	I	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_REF_CLK	1	I								0		
		WKUP_GPIO0_49	7	IO								焊盘		
A11	MCU_RGMII1_RX_CTL	MCU_RGMII1_RX_CTL	0	I	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_RX_ER	1	I								0		
		WKUP_GPIO0_43	7	IO								焊盘		
A12	MCU_RGMII1_TXC	MCU_RGMII1_TXC	0	O	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_RMII1_TX_EN	1	O										
		WKUP_GPIO0_48	7	IO								焊盘		
D11	MCU_RGMII1_TX_CTL	MCU_RGMII1_TX_CTL	0	O	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_RMII1_CRS_DV	1	I								0		
		WKUP_GPIO0_29	7	IO								焊盘		
A9	MCU_RGMII1_RD0	MCU_RGMII1_RD0	0	I	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_RXD0	1	I								0		
		WKUP_GPIO0_53	7	IO								焊盘		
B9	MCU_RGMII1_RD1	MCU_RGMII1_RD1	0	I	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_RMII1_RXD1	1	I								0		
		WKUP_GPIO0_52	7	IO								焊盘		
A10	MCU_RGMII1_RD2	MCU_RGMII1_RD2	0	I	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_TIMER_IO5	1	IO								0		
		WKUP_GPIO0_51	7	IO								焊盘		
C10	MCU_RGMII1_RD3	MCU_RGMII1_RD3	0	I	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD	0	1/0	
		MCU_TIMER_IO4	1	IO								0		
		WKUP_GPIO0_50	7	IO								焊盘		
D10	MCU_RGMII1_TD0	MCU_RGMII1_TD0	0	O	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_RMII1_TXD0	1	O										
		WKUP_GPIO0_47	7	IO								焊盘		
B11	MCU_RGMII1_TD1	MCU_RGMII1_TD1	0	O	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_RMII1_TXD1	1	O										
		WKUP_GPIO0_46	7	IO								焊盘		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
B12	MCU_RGMII1_TD2	MCU_RGMII1_TD2	0	O	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_TIMER_IO3	1	IO								0		
		MCU_ADC_EXT_TRIGGER1	3	I								0		
		WKUP_GPIO0_45	7	IO								焊盘		
C12	MCU_RGMII1_TD3	MCU_RGMII1_TD3	0	O	关断	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD		1/0	
		MCU_TIMER_IO2	1	IO								0		
		MCU_ADC_EXT_TRIGGER0	3	I								0		
		WKUP_GPIO0_44	7	IO								焊盘		
G18	MCU_SAFETY_ERRORn	MCU_SAFETY_ERRORn	0	IO	关断	0	1.8V	VDDA_WKUP、VDDA_POR_WKUP	有	LVCMOS	PU/PD			
C13	MCU_SPI0_CLK	MCU_SPI0_CLK	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0	1/0	有
		WKUP_GPIO0_56	7	IO								焊盘		
		MCU_BOOTMODE00	自举	I										
A19	MCU_SPI0_CS0	MCU_SPI0_CS0	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1	1/0	有
		MCU_TIMER_IO1	4	IO								0		
		WKUP_GPIO0_59	7	IO								焊盘		
A20	MCU_SPI0_D0	MCU_SPI0_D0	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0	1/0	有
		WKUP_GPIO0_57	7	IO								焊盘		
		MCU_BOOTMODE01	自举	I										
B17	MCU_SPI0_D1	MCU_SPI0_D1	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0	1/0	有
		MCU_TIMER_IO0	4	IO								0		
		WKUP_GPIO0_58	7	IO								焊盘		
		MCU_BOOTMODE02	自举	I										
P20	MMC0_CALPAD	MMC0_CALPAD		A			1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD			
P18	MMC0_CLK	MMC0_CLK		O	驱动 0（关断）		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD			
R17	MMC0_CMD	MMC0_CMD		IO	驱动 1（关断）		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
P19	MMC0_DS	MMC0_DS		IO	PD		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
P21	MMC1_CLK	MMC1_CLK	0	IO	关断	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	0		
		UART8_RXD	1	I								1		
		TIMER_IO4	3	IO								0		
		UART4_CTSn	5	I								1		
		GPIO0_66	7	IO								焊盘		
		SPI1_CLK	8	IO								0		
		UART0_RTSn	9	O										
		I2C6_SDA	10	IOD								1		
M20	MMC1_CMD	MMC1_CMD	0	IO	关断	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1		
		UART8_TXD	1	O										
		TIMER_IO5	3	IO								0		
		UART4_RTSn	5	O										
		GPIO0_67	7	IO								焊盘		
		SPI1_D1	8	IO								0		
		I2C6_SCL	10	IOD								1		
R16	MMC0_DAT0	MMC0_DAT0		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
P17	MMC0_DAT1	MMC0_DAT1		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R18	MMC0_DAT2	MMC0_DAT2		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R20	MMC0_DAT3	MMC0_DAT3		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R19	MMC0_DAT4	MMC0_DAT4		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
P16	MMC0_DAT5	MMC0_DAT5		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
R21	MMC0_DAT6	MMC0_DAT6		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		
T21	MMC0_DAT7	MMC0_DAT7		IO	PU		1.8V	VDDS_MMC0、VDDA_0P8_DLL_MMC0		eMMCPHY	PU/PD	1		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
M19	MMC1_DAT0	MMC1_DAT0	0	IO	关断	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1		
		UART7_RTSn	1	O										
		ECAP1_IN_APWM_OUT	2	IO								IO		
		TIMER_IO3	3	IO								0		
		UART4_TXD	5	O										
		GPIO0_65	7	IO								焊盘		
		SPI1_D0	8	IO								0		
		UART5_RTSn	9	O										
		I2C4_SCL	10	IOD								1		
		UART2_TXD	11	O										
N21	MMC1_DAT1	MMC1_DAT1	0	IO	关断	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1		
		UART7_CTSn	1	I								1		
		ECAP0_IN_APWM_OUT	2	IO								IO		
		TIMER_IO2	3	IO								0		
		UART4_RXD	5	I								1		
		GPIO0_64	7	IO								焊盘		
		SPI1_CS2	8	IO								1		
		UART5_CTSn	9	I								1		
		I2C4_SDA	10	IOD								1		
		UART2_RXD	11	I								1		
N20	MMC1_DAT2	MMC1_DAT2	0	IO	关断	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1		
		UART7_TXD	1	O										
		TIMER_IO1	3	IO								0		
		GPIO0_63	7	IO								焊盘		
		SPI1_CS1	8	IO								1		
		CPTS0_TS_SYNC	9	O										
		I2C3_SDA	10	IOD								1		
		UART5_TXD	11	O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
N19	MMC1_DAT3	MMC1_DAT3	0	IO	关断	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1		
		UART7_RXD	1	I								1		
		PCIE1_CLKREQn	2	IO								IO		
		TIMER_IO0	3	IO								0		
		GPIO0_62	7	IO								焊盘		
		SPI1_CS0	8	IO								1		
		UART0_CTSn	9	I								1		
		I2C3_SCL	10	IOD								1		
		UART5_RXD	11	I								1		
K19	OSC1_XI	OSC1_XI		I			1.8V	VDDA_OSC1	是	HFOSC				
J19	OSC1_XO	OSC1_XO		O			1.8V	VDDA_OSC1	是	HFOSC				
C15	PMIC_POWER_EN1	PMIC_POWER_EN1	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			有
		MCU_I3C0_SDAPULLEN	5	OD										
		WKUP_GPIO0_68	7	IO								焊盘		
T19	PMIC_WAKE0n	PMIC_WAKE0n	0	OD	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD			
		RGMII4_TD1	4	O										
		GPIO0_1	7	IO								焊盘		
H20	PORz	PORz	0	I		0	1.8V	VDDA_WKUP、VDDA_POR_WKUP	有	FS 复位				
U2	RESETSTATz	RESETSTATz	0	O	PD	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD			
A15	RESET_REQz	RESET_REQz	0	I	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			
AA20	RMII1_CRS_DV	RMII1_CRS_DV	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	1/0	有
		RGMII1_RD2	4	I								0		
		RMII1_CRS_DV	5	I								0		
		GPIO0_4	7	IO								焊盘		
		EHRPWM2_B	9	IO								0		
		TRC_DATA7	10	O										
		UART4_TXD	11	O										
		MCASP1_AXR1	12	IO								0		
		GPMC0_AD2	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
Y17	RMII1_RX_ER	RMII1_RX_ER	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	1/0	有
		RGMII1_RD3	4	I								0		
		RMII1_RX_ER	5	I								0		
		GPIO0_5	7	IO								焊盘		
		EHRPWM2_A	9	IO								0		
		TRC_DATA6	10	O										
		UART6_TXD	11	O										
		MCASP1_AXR0	12	IO								0		
		GPMC0_AD3	14	IO								0		
V17	RMII1_TX_EN	RMII1_TX_EN	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII4_RXC	4	I								0		
		RMII1_TX_EN	5	O										
		GPIO0_7	7	IO								焊盘		
		EQEP2_A	9	I								0		
		UART9_TXD	11	O										
		MCASP0_AXR8	12	IO								0		
		I2C1_SCL	13	IOD								1		
		GPMC0_AD5	14	IO								0		
AA17	RMII1_RXD0	RMII1_RXD0	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	1/0	有
		RGMII1_RD0	4	I								0		
		RMII1_RXD0	5	I								0		
		MCAN14_TX	6	O										
		GPIO0_2	7	IO								焊盘		
		TRC_DATA9	10	O										
		UART5_TXD	11	O										
		MCASP1_AXR3	12	IO								0		
		GPMC0_AD0	14	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
Y15	RMII1_RXD1	RMII1_RXD1	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	1/0	有
		RGMII1_RD1	4	I								0		
		RMII1_RXD1	5	I								0		
		MCAN14_RX	6	I								1		
		GPIO0_3	7	IO								焊盘		
		EHRPWM_TZn_IN2	9	I								0		
		TRC_DATA8	10	O										
		UART5_RXD	11	I								1		
		MCASP1_AXR2	12	IO								0		
		GPMC0_AD1	14	IO								0		
Y16	RMII1_TXD0	RMII1_TXD0	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII1_RX_CTL	4	I								0		
		RMII1_TXD0	5	O										
		GPIO0_6	7	IO								焊盘		
		EHRPWM0_SYNCO	9	O										
		TRC_CTL	10	O										
		UART6_RXD	11	I								1		
		MCASP0_AFSX	12	IO								0		
		GPMC0_AD4	14	IO								0		
AA19	RMII1_TXD1	RMII1_TXD1	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		1/0	有
		RGMII1_RXC	4	I								0		
		RMII1_TXD1	5	O										
		GPIO0_8	7	IO								焊盘		
		EHRPWM_TZn_IN1	9	I								0		
		TRC_DATA5	10	O										
		UART9_RXD	11	I								1		
		MCASP0_AXR3	12	IO								0		
		I2C1_SDA	13	IOD								1		
		GPMC0_AD6	14	IO								0		
V7	SERDES0_REXT	SERDES0_REXT		A			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
AA8	SERDES0_REFCLK_N	SERDES0_REFCLK_N		IO			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
AA9	SERDES0_REFCLK_P	SERDES0_REFCLK_P		IO			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
AA11	SERDES0_RX0_N	SERDES0_RX0_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_RX0_N		I										
		PCIE1_RX0_N		I										
		USB0_SSRX1N		I										
AA12	SERDES0_RX0_P	SERDES0_RX0_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_RX0_P		I										
		PCIE1_RX0_P		I										
		USB0_SSRX1P		I										
W8	SERDES0_RX1_N	SERDES0_RX1_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_RX0_N		I										
		PCIE1_RX1_N		I										
		USB0_SSRX2N		I										
W9	SERDES0_RX1_P	SERDES0_RX1_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_RX0_P		I										
		PCIE1_RX1_P		I										
		USB0_SSRX2P		I										
Y7	SERDES0_RX2_N	SERDES0_RX2_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_RX0_N		I										
		PCIE1_RX2_N		I										
		USB0_SSRX1N		I										
Y8	SERDES0_RX2_P	SERDES0_RX2_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_RX0_P		I										
		PCIE1_RX2_P		I										
		USB0_SSRX1P		I										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
W5	SERDES0_RX3_N	SERDES0_RX3_N		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_RX0_N		I										
		PCIE1_RX3_N		I										
		USB0_SSRX2N		I										
W6	SERDES0_RX3_P	SERDES0_RX3_P		I			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_RX0_P		I										
		PCIE1_RX3_P		I										
		USB0_SSRX2P		I										
W11	SERDES0_TX0_N	SERDES0_TX0_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_TX0_N		O										
		PCIE1_TX0_N		O										
		USB0_SSTX1N		O										
W12	SERDES0_TX0_P	SERDES0_TX0_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII3_TX0_P		O										
		PCIE1_TX0_P		O										
		USB0_SSTX1P		O										
Y10	SERDES0_TX1_N	SERDES0_TX1_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_TX0_N		O										
		PCIE1_TX1_N		O										
		USB0_SSTX2N		O										
Y11	SERDES0_TX1_P	SERDES0_TX1_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII4_TX0_P		O										
		PCIE1_TX1_P		O										
		USB0_SSTX2P		O										
AA5	SERDES0_TX2_N	SERDES0_TX2_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_TX0_N		O										
		PCIE1_TX2_N		O										
		USB0_SSTX1N		O										
AA6	SERDES0_TX2_P	SERDES0_TX2_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII1_TX0_P		O										
		PCIE1_TX2_P		O										
		USB0_SSTX1P		O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
Y4	SERDES0_TX3_N	SERDES0_TX3_N		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_TX0_N		O										
		PCIE1_TX3_N		O										
		USB0_SSTX2N		O										
Y5	SERDES0_TX3_P	SERDES0_TX3_P		O			0.8V	VDDA_0P8_SERDES0、VDDA_1P8_SERDES0、VDDA_0P8_SERDES0_C		SERDES				
		SGMII2_TX0_P		O										
		PCIE1_TX3_P		O										
		USB0_SSTX2P		O										
V2	SOC_SAFETY_ERRORn	SOC_SAFETY_ERRORn	0	IO	关断	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD			
Y1	SPI0_CLK	SPI0_CLK	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0		
		UART1_CTSn	1	I								1		
		I2C2_SCL	2	IOD								IOD		
		GPIO0_53	7	IO								焊盘		
W3	SPI0_CS0	SPI0_CS0	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1		
		UART0_CTSn	2	I								I		
		GPIO0_51	7	IO								焊盘		
U5	SPI0_CS1	SPI0_CS1	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1		
		CPTS0_TS_COMP	1	O										
		UART0_RTSn	2	O								O		
		GPIO0_52	7	IO								焊盘		
V4	SPI0_D0	SPI0_D0	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0		
		UART1_RTSn	1	O										
		I2C2_SDA	2	IOD								IOD		
		GPIO0_54	7	IO								焊盘		
T5	SPI0_D1	SPI0_D1	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0		
		GPIO0_55	7	IO								焊盘		
B15	TCK	TCK	0	I		0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			
F19	TDI	TDI	0	I	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			
F21	TDO	TDO	0	OZ	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
V1	TIMER_IO0	TIMER_IO0	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0		
		ECAP1_IN_APWM_OUT	1	IO								0		
		SYSCLKOUT0	2	O								O		
		UART3_CTSn	5	I								1		
		SPI7_D0	6	IO								0		
		GPIO0_60	7	IO								焊盘		
		MMC1_SDCD	8	I								1		
W1	TIMER_IO1	TIMER_IO1	0	IO	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/0	
		ECAP2_IN_APWM_OUT	1	IO								0		
		OBSCLK0	2	O								O		
		UART3_RTSn	5	O										
		SPI7_D1	6	IO								0		
		GPIO0_61	7	IO								焊盘		
		MMC1_SDWP	8	I								1		
		PCIE1_CLKREQn	9	IO								0		
U4	TMS	TMS	0	I	关断	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD			
B20	TRSTn	TRSTn	0	I		0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			
T16	UART0_RXD	UART0_RXD	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	0/0	有
		RGMII4_TXC	4	O										
		GPIO0_47	7	IO								焊盘		
		GPMC0_WAIT0	14	I								0		
T17	UART0_TXD	UART0_TXD	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD			有
		RGMII4_TD2	4	O										
		GPIO0_48	7	IO								焊盘		
		GPMC0_WEn	14	O										
T18	UART1_RXD	UART1_RXD	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1		有
		MCAN17_TX	1	O										
		TIMER_IO6	3	IO								0		
		RGMII4_TD3	4	O										
		GPIO0_49	7	IO								焊盘		
		GPMC0_OEn_REn	14	O										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
T20	UART1_TXD	UART1_TXD	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD			有
		MCAN17_RX	1	I								1		
		TIMER_IO7	3	IO								0		
		RGMII4_TX_CTL	4	O										
		GPIO0_50	7	IO								焊盘		
		GPMC0_CSn0	14	O										
V14	UART2_RXD	UART2_RXD	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1	0/0	有
		RGMII2_TD2	4	O										
		RMII2_CRS_DV	5	I								0		
		GPIO0_39	7	IO								焊盘		
		SPI6_CLK	8	IO								0		
		GPMC0_CLKOUT	9	O										
		GPMC0_FCLK_MUX	10	O										
		UART2_RXD	11	I								1		
		MCASP2_AXR3	12	IO								0		
		OBSCLK2	14	O										
V13	UART2_TXD	UART2_TXD	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD			有
		RGMII2_TD3	4	O										
		RMII2_RX_ER	5	I								0		
		GPIO0_40	7	IO								焊盘		
		SPI6_D0	8	IO								0		
		UART2_TXD	11	O										
		MCASP2_AFSX	12	IO								0		
W14	UART8_RXD	UART8_RXD	0	I	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	1		有
		I2C4_SCL	2	IOD								IOD		
		MDIO0_MDIO	5	IO								0		
		GPIO0_42	7	IO								焊盘		
		TRC_DATA22	10	O										
		UART8_RXD	11	I								1		
		MCASP2_AFSR	12	IO								0		
		MCASP2_AXR4	13	IO								0		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
W19	UART8_TXD	UART8_TXD	0	O	关断	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD			有
		SPI1_CS3	1	IO								1		
		I2C4_SDA	2	IOD								IOD		
		MDIO0_MDC	5	O										
		GPIO0_43	7	IO								焊盘		
		TRC_DATA23	10	O										
		UART8_TXD	11	O										
		MCASP2_ACLKR	12	IO								0		
		MCASP2_AXR5	13	IO								0		
AA3	USB0_DM	USB0_DM		IO			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
AA2	USB0_DP	USB0_DP		IO			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
T4	USB0_DRVVBUS	USB0_DRVVBUS	0	O	关断	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD			
		GPIO0_68	7	IO								焊盘		
V6	USB0_ID	USB0_ID		A			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
V5	USB0_RCALIB	USB0_RCALIB		IO			3.3V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
Y2	USB0_VBUS	USB0_VBUS		A			5.0V	VDDA_0P8_USB、VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY				
K14、P14	VDDAR_CORE	VDDAR_CORE		PWR										
J11、M10	VDDAR_CPU	VDDAR_CPU		PWR										
H12、J14	VDDAR_MCU	VDDAR_MCU		PWR										
K7	VDDA_0P8_PLL_DDR	VDDA_0P8_PLL_DDR		PWR										
P7	VDDA_0P8_USB	VDDA_0P8_USB		PWR										
M18	VDDA_0P8_DLL_MMC0	VDDA_0P8_DLL_MMC0		PWR										
R8、T7、U8	VDDA_0P8_SERDES0	VDDA_0P8_SERDES0		PWR										
R9	VDDA_0P8_SERDES0_C	VDDA_0P8_SERDES0_C		PWR										
R6	VDDA_1P8_USB	VDDA_1P8_USB		PWR										
P8	VDDA_1P8_SERDES0	VDDA_1P8_SERDES0		PWR										
R7	VDDA_3P3_USB	VDDA_3P3_USB		PWR										
J16	VDDA_ADC_MCU	VDDA_ADC_MCU		PWR										
F15	VDDA_MCU_PLLGRP0	VDDA_MCU_PLLGRP0		PWR										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
F16	VDDA_MCU_TEMP	VDDA_MCU_TEMP		PWR										
G17	VDDA_OSC1	VDDA_OSC1		PWR										
N14	VDDA_PLLGRP0	VDDA_PLLGRP0		PWR										
N9	VDDA_PLLGRP4	VDDA_PLLGRP4		PWR										
J9	VDDA_PLLGRP6	VDDA_PLLGRP6		PWR										
L7	VDDA_PLLGRP8	VDDA_PLLGRP8		PWR										
J15	VDDA_POR_WKUP	VDDA_POR_WKUP		PWR										
J8	VDDA_TEMP0	VDDA_TEMP0		PWR										
P15	VDDA_TEMP1	VDDA_TEMP1		PWR										
H16	VDDA_WKUP	VDDA_WKUP		PWR										
N6、P6	VDDSHV0	VDDSHV0		PWR										
E13、E14、F13、F14	VDDSHV0_MCU	VDDSHV0_MCU		PWR										
E7、E8、F8	VDDSHV1_MCU	VDDSHV1_MCU		PWR										
T10、U11、U9	VDDSHV2	VDDSHV2		PWR										
F11、F12、G11	VDDSHV2_MCU	VDDSHV2_MCU		PWR										
K16、L16	VDDSHV5	VDDSHV5		PWR										
A1、G7、H6、J7、K6、M5、U1	VDDS_DDR	VDDS_DDR		PWR										
F7、L6	VDDS_DDR_BIAS	VDDS_DDR_BIAS		PWR										
J6	VDDS_DDR_C	VDDS_DDR_C		PWR										
M16、N16	VDDS_MMC0	VDDS_MMC0		PWR										
H8、K12、L13、M12、M14、N13、N15、N7、P10、P12、R11、R13、R15	VDD_CORE	VDD_CORE		PWR										
J10、L11、M9、N11、N8	VDD_CPU	VDD_CPU		PWR										
G9、H10、H14、J13、K15	VDD_MCU	VDD_MCU		PWR										
G13	VDD_MCU_WAKE1	VDD_MCU_WAKE1		PWR										
P11	VDD_WAKE0	VDD_WAKE0		PWR										
G15	VMON1_ER_VSYS	VMON1_ER_VSYS		PWR										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
D16	VMON2_IR_VCPU	VMON2_IR_VCPU		PWR										
E17	VMON3_IR_VEXT1P8	VMON3_IR_VEXT1P8		PWR										
F17	VMON4_IR_VEXT1P8	VMON4_IR_VEXT1P8		PWR										
L14	VMON5_IR_VEXT3P3	VMON5_IR_VEXT3P3		PWR										
N17	VPP_CORE	VPP_CORE		PWR										
E11	VPP_MCU	VPP_MCU		PWR										
B5、AA1、AA10、AA13、AA4、AA7、C11、D15、D17、D3、E10、E12、E15、E16、E6、E9、F1、G10、G12、G16、G6、G8、H11、H13、H15、H19、H4、H7、H9、J1、J12、J21、K11、K13、K3、L12、L19、L5、M11、M13、M15、M21、M6、M8、N10、N12、N3、P13、P5、P9、R10、R12、R14、T11、T2、T6、T8、T9、U10、U7、V11、V12、V9、W10、W13、W18、W4、W7、Y12、Y3、Y6、Y9	VSS	VSS		GND										
B18	WKUP_GPIO0_0	MCU_SPI1_CLK	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0		有
		MCU_SPI1_CLK	1	IO								0		
		WKUP_GPIO0_0	7	IO								焊盘		
		MCU_BOOTMODE03	自举	I										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
B19	WKUP_GPIO0_1	MCU_SPI1_D0	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0	1/0	有
		MCU_SPI1_D0	1	IO								0		
		WKUP_GPIO0_1	7	IO								焊盘		
		MCU_BOOTMODE04	自举	I										
D14	WKUP_GPIO0_2	MCU_SPI1_D1	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0	1/0	有
		MCU_SPI1_D1	1	IO								0		
		WKUP_GPIO0_2	7	IO								焊盘		
		MCU_BOOTMODE05	自举	I										
B21	WKUP_GPIO0_3	MCU_SPI1_CS0	0	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1		有
		MCU_SPI1_CS0	1	IO								1		
		WKUP_GPIO0_3	7	IO								焊盘		
D13	WKUP_GPIO0_4	MCU_MCAN1_TX	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			有
		MCU_MCAN1_TX	1	O										
		MCU_SPI0_CS3	2	IO								IO		
		MCU_ADC_EXT_TRIGGER0	3	I								焊盘		
		WKUP_GPIO0_4	7	IO								焊盘		
B16	WKUP_GPIO0_5	MCU_MCAN1_RX	0	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1		有
		MCU_MCAN1_RX	1	I								1		
		MCU_SPI1_CS3	2	IO								IO		
		MCU_ADC_EXT_TRIGGER1	3	I								焊盘		
		WKUP_GPIO0_5	7	IO								焊盘		
C14	WKUP_GPIO0_6	WKUP_UART0_CTSn	0	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1		有
		WKUP_UART0_CTSn	1	I								1		
		MCU_CPTS0_HW1TSPUSH	2	I								I		
		MCU_I2C1_SCL	3	IOD								1		
		WKUP_GPIO0_6	7	IO								焊盘		
C18	WKUP_GPIO0_7	WKUP_UART0_RTSn	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			有
		WKUP_UART0_RTSn	1	O										
		MCU_CPTS0_HW2TSPUSH	2	I								I		
		MCU_I2C1_SDA	3	IOD								1		
		WKUP_GPIO0_7	7	IO								焊盘		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
C21	WKUP_GPIO0_8	MCU_I2C1_SCL	0	IOD	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1		有
		MCU_I2C1_SCL	1	IOD								1		
		MCU_CPTS0_TS_SYNC	2	O								O		
		MCU_I3C0_SCL	3	IO								1		
		MCU_TIMER_IO6	4	IO								0		
		WKUP_GPIO0_8	7	IO								焊盘		
C19	WKUP_GPIO0_9	MCU_I2C1_SDA	0	IOD	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1		有
		MCU_I2C1_SDA	1	IOD								1		
		MCU_CPTS0_TS_COMP	2	O								O		
		MCU_I3C0_SDA	3	IO								1		
		MCU_TIMER_IO7	4	IO								0		
		WKUP_GPIO0_9	7	IO								焊盘		
C20	WKUP_GPIO0_10	MCU_EXT_REFCLK0	0	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0		有
		MCU_EXT_REFCLK0	1	I								0		
		MCU_UART0_TXD	2	O								O		
		MCU_ADC_EXT_TRIGGER0	3	I								0		
		MCU_CPTS0_RFT_CLK	4	I								0		
		MCU_SYSCLKOUT0	5	O										
		WKUP_GPIO0_10	7	IO								焊盘		
C16	WKUP_GPIO0_11	MCU_OBSCLK0	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			有
		MCU_OBSCLK0	1	O										
		MCU_UART0_RXD	2	I								I		
		MCU_ADC_EXT_TRIGGER1	3	I								0		
		MCU_TIMER_IO1	4	IO								0		
		MCU_I3C0_SDAPULLEN	5	OD										
		MCU_CLKOUT0	6	OZ										
		WKUP_GPIO0_11	7	IO								焊盘		
D19	WKUP_GPIO0_12	MCU_UART0_TXD	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			有
		MCU_SPI0_CS1	1	IO										
		WKUP_GPIO0_12	7	IO								焊盘		
		MCU_BOOTMODE08	自举	I										
D20	WKUP_GPIO0_13	MCU_UART0_RXD	0	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1		有
		MCU_SPI1_CS1	1	IO										
		WKUP_GPIO0_13	7	IO								焊盘		
		MCU_BOOTMODE09	自举	I										

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
E20	WKUP_GPIO0_14	MCU_UART0_CTSn	0	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1		有
		MCU_SPI0_CS2	1	IO										
		MCU_TIMER_IO8	4	IO								0		
		WKUP_GPIO0_14	7	IO								焊盘		
		MCU_BOOTMODE06	自举	I										
E21	WKUP_GPIO0_15	MCU_UART0_RTSn	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			有
		MCU_SPI1_CS2	1	IO										
		MCU_TIMER_IO9	4	IO								0		
		WKUP_GPIO0_15	7	IO								焊盘		
		MCU_BOOTMODE07	自举	I										
D21	WKUP_GPIO0_77	MCU_TIMER_IO6	4	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0		有
		WKUP_GPIO0_77	7	IO								焊盘		
		BOOTMODE04	自举	I										
E19	WKUP_GPIO0_78	MCU_TIMER_IO7	4	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	0		有
		WKUP_GPIO0_78	7	IO								焊盘		
		BOOTMODE05	自举	I										
D18	WKUP_GPIO0_80	WKUP_GPIO0_80	7	IO	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	焊盘		有
		BOOTMODE06	自举	I										
C17	WKUP_GPIO0_81	WKUP_LF_CLKIN	1	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	焊盘		有
		WKUP_GPIO0_81	7	IO								焊盘		
		BOOTMODE07	自举	I										
E18	WKUP_GPIO0_84	PMIC_WAKE1n	0	OD	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD			
		MCU_EXT_REFCLK0	1	I								0		
		MCU_CPTS0_RFT_CLK	2	I								I		
		WKUP_GPIO0_84	7	IO								焊盘		
F20	WKUP_I2C0_SCL	WKUP_I2C0_SCL	0	IOD	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C OD FS		1		有
		WKUP_GPIO0_64	7	IO								焊盘		
H21	WKUP_I2C0_SDA	WKUP_I2C0_SDA	0	IOD	关断	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C OD FS		1		有
		WKUP_GPIO0_65	7	IO								焊盘		
K21	WKUP_OSC0_XI	WKUP_OSC0_XI		I			1.8V	VDDA_WKUP、VDDA_POR_WKUP	有	HFOSC				
L21	WKUP_OSC0_XO	WKUP_OSC0_XO		O			1.8V	VDDA_WKUP、VDDA_POR_WKUP	有	HFOSC				
B14	WKUP_UART0_RXD	WKUP_UART0_RXD	0	I	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD	1	1/0	有
		WKUP_GPIO0_60	7	IO								焊盘		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

焊球编号 [1]	焊球名称 [2]	信号名称 [3]	多路复用模式 [4]	类型 [5]	焊球复位状态 [6]	BALL RESET REL.多路复用模式 [7]	I/O 电压值 [8]	电源 [9]	磁滞 [10]	缓冲器类型 [11]	上拉/下拉类型 [12]	DSIS [13]	RX ACTIVE/TX DISABLE [14]	IO 保持 [15]
A14	WKUP_UART0_TXD	WKUP_UART0_TXD	0	O	关断	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD		1/0	有
		WKUP_GPIO0_61	7	IO								焊盘		

以下列表说明了表列标题：

1. **焊球编号：**底面的焊球编号与底部的每个信号相关联。
2. **焊球名称：**来自封装器件的机械名称（名称取自多路复用模式 0）。
3. **信号名称：**每个焊球上复用信号的名称（另请注意，焊球的名称是复用模式 0 中的信号名称）。

备注

表 5-1，*引脚属性* 未收录各子系统多路复用信号相关内容。节 5.3，*信号说明* 中介绍了子系统多路复用信号相关内容。

4. **MUXMODE：**多路复用模式编号：
   a. 多路复用模式 0 是主要多路复用模式。主多路复用模式不一定是默认多路复用模式。

   备注

   默认多路复用模式是复位释放时的模式；另请参阅 BALL RESET REL.MUXMODE 列。

   b. MUXMODE 1 至 7 是可实现替代功能的多路复用模式。在每个引脚上，仅部分多路复用模式被有效地用于替代功能，其余多路复用模式未投入使用。只应使用与定义的功能相对应的 MUXMODE 值。
   c. 空框表示不适用。
5. **类型：**信号类型和方向：
   - I = 输入
   - O = 输出
   - OD = 开漏端子 — 输出
   - IO = 输入或输出
   - IOD = 开漏端子 — 输入或输出
   - IOZ = 输入、输出或三态端子
   - OZ = 输出或三态端子
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器。

Copyright © 2026 Texas Instruments Incorporated

6. **焊球复位状态：**上电复位时端子的状态：
   - 驱动 0（关断）：缓冲器驱动 V_{OL}（下拉或上拉电阻器未激活）。
   - 驱动 1（关断）：缓冲器驱动 V_{OH}（下拉或上拉电阻器未激活）。
   - 关断：高阻抗
   - PD：带有有源下拉电阻器的高阻抗
   - PU：带有有源上拉电阻器的高阻抗
   - 空框表示不适用。
7. **BALL RESET REL.MUXMODE：**该复用模式将在 RESETSTATz 和 MCU_RESETSTATz 信号释放时自动配置。
   空框表示不适用。
8. **I/O 电压值**：此列说明了 IO 电压值（相应的电源）。
   空框表示不适用。
9. **电源：**为终端 IO 缓冲器供电的电压电源。
   空框表示不适用。
10. **HYS：**指示输入缓冲器是否具有迟滞：
    - 是：具有迟滞
    - 否：不具有迟滞

    空框表示否。

    有关更多信息，请参阅节 6.6 *电气特性* 中的迟滞值。
11. **缓冲器类型：**该列描述了相关的输出缓冲器类型

    空框表示不适用。

    有关相关输出缓冲器的驱动强度，请参阅节 6.6 *电气特性*。
12. **上拉/下拉类型：**指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
    - PU：内部上拉电阻
    - PD：内部下拉电阻
    - PU/PD：内部上拉和下拉
    - 空框表示无上拉/下拉电阻。
13. **DSIS：**未选择的输入状态 (DSIS) 指示没有任何 PINCNTLx 寄存器选择外设引脚功能时，外设输入端驱动的状态（逻辑“0”、逻辑“1”或“焊盘”电平）。
    - 0：在外设的输入信号端口上被驱动逻辑 0。
    - 1：在外设的输入信号端口上被驱动逻辑 1。
    - 焊盘：焊盘的逻辑状态由外设的输入信号端口驱动。
    - 空框表示不适用。
14. **RXACTIVE/TXDISABLE：**该列指示 PADCONFIG 寄存器中 RXACTIVE/TXDISABLE 位的默认值。
    - RXACTIVE：0 = 接收器被禁用，1 = 接收器被启用。

Copyright © 2026 Texas Instruments Incorporated

- TXDISABLE：0 = 驱动器被启用，1 = 驱动器被禁用。
- 空框表示不适用。

备注

不支持将两个引脚配置为同一路输入信号，该配置会引发意外结果。通过正确的软件配置可以轻松防止这种情况发生（HiZ 模式不是输入信号）。

备注

当某焊盘被设定为未由引脚多路复用定义的多路复用模式时，该焊盘的运行方式是未定义的。应避免这种做法。

15. **IO RET：**指示是否支持唤醒和 IO 保持。

Copyright © 2026 Texas Instruments Incorporated

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称：**通过引脚的信号的名称。

备注

每个信号说明表（表 5-1 至表 5-106）中提供的信号名称代表通过 PADCONFIG 寄存器选择的引脚层多路复用信号功能。器件子系统可提供额外的信号多路复用层，这意味着这些表中所述的信号名称可能有额外的信号功能。有关更多信息，请参阅器件 TRM 的相应外设章节。

2. **说明：**信号说明
3. **引脚类型：**信号方向和类型：
   - I = 输入
   - O = 输出
   - OD = 开漏端子 — 输出
   - IO = 输入或输出
   - IOD = 开漏端子 — 输入或输出
   - IOZ = 输入、输出或三态端子
   - OZ = 输出或三态端子
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器
4. **焊球：**底部关联焊球

有关 I/O 单元配置的更多信息，请参阅器件 TRM 的*器件配置*一章中的*焊盘配置寄存器*一节。

5.3.1 ADC

备注

ADC 可配置为用作 GPI。有关更多信息，请参阅器件 TRM 的*外设*一章中的*模数转换器 (ADC)* 一节。

5.3.1.1 MCU 域

表 5-2. ADC0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_ADC0_AIN0	ADC 模拟输入 0	A	H17
MCU_ADC0_AIN1	ADC 模拟输入 1	A	K18
MCU_ADC0_AIN2	ADC 模拟输入 2	A	M17
MCU_ADC0_AIN3	ADC 模拟输入 3	A	L18
MCU_ADC0_AIN4	ADC 模拟输入 4	A	J18
MCU_ADC0_AIN5	ADC 模拟输入 5	A	J17
MCU_ADC0_AIN6	ADC 模拟输入 6	A	K17
MCU_ADC0_AIN7	ADC 模拟输入 7	A	L17
MCU_ADC_EXT_TRIGGER0	ADC 触发输入	I	C12、C20、D13
MCU_ADC_EXT_TRIGGER1	ADC 触发输入	I	B12、B16、C16

Copyright © 2026 Texas Instruments Incorporated

5.3.2 DDRSS

5.3.2.1 MAIN 域

表 5-3. DDRSS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
DDR_RET	外部 IO 保留使能	I	R5
DDR0_CKN	DDRSS 差分时钟（负）	IO	H1
DDR0_CKP	DDRSS 差分时钟（正）	IO	G1
DDR0_RESETn	DDRSS 复位	IO	J5
DDR0_CA0	DDRSS 命令地址	IO	G4
DDR0_CA1	DDRSS 命令地址	IO	H3
DDR0_CA2	DDRSS 命令地址	IO	J4
DDR0_CA3	DDRSS 命令地址	IO	K1
DDR0_CA4	DDRSS 命令地址	IO	J2
DDR0_CA5	DDRSS 命令地址	IO	H5
DDR0_CAL0 (1)	IO 焊盘校准电阻	A	K5
DDR0_CKE0	DDRSS 时钟使能	IO	G2
DDR0_CKE1	DDRSS 时钟使能	IO	H2
DDR0_CSn0_0	DDRSS 片选	IO	G3
DDR0_CSn0_1	DDRSS 片选	IO	K2
DDR0_CSn1_0	DDRSS 片选	IO	G5
DDR0_CSn1_1	DDRSS 片选	IO	J3
DDR0_DM0	DDRSS 数据掩码	IO	A3
DDR0_DM1	DDRSS 数据掩码	IO	E4
DDR0_DM2	DDRSS 数据掩码	IO	N1
DDR0_DM3	DDRSS 数据掩码	IO	R4
DDR0_DQ0	DDRSS 数据	IO	B4
DDR0_DQ1	DDRSS 数据	IO	A4
DDR0_DQ2	DDRSS 数据	IO	C4
DDR0_DQ3	DDRSS 数据	IO	C1
DDR0_DQ4	DDRSS 数据	IO	C3
DDR0_DQ5	DDRSS 数据	IO	C2
DDR0_DQ6	DDRSS 数据	IO	A2
DDR0_DQ7	DDRSS 数据	IO	B3
DDR0_DQ8	DDRSS 数据	IO	D1
DDR0_DQ9	DDRSS 数据	IO	D2
DDR0_DQ10	DDRSS 数据	IO	F2
DDR0_DQ11	DDRSS 数据	IO	E3
DDR0_DQ12	DDRSS 数据	IO	F3
DDR0_DQ13	DDRSS 数据	IO	F4
DDR0_DQ14	DDRSS 数据	IO	D4
DDR0_DQ15	DDRSS 数据	IO	F5
DDR0_DQ16	DDRSS 数据	IO	K4
DDR0_DQ17	DDRSS 数据	IO	L4

Copyright © 2026 Texas Instruments Incorporated

表 5-3. DDRSS0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
DDR0_DQ18	DDRSS 数据	IO	M4
DDR0_DQ19	DDRSS 数据	IO	L3
DDR0_DQ20	DDRSS 数据	IO	L2
DDR0_DQ21	DDRSS 数据	IO	L1
DDR0_DQ22	DDRSS 数据	IO	M3
DDR0_DQ23	DDRSS 数据	IO	N2
DDR0_DQ24	DDRSS 数据	IO	R3
DDR0_DQ25	DDRSS 数据	IO	T1
DDR0_DQ26	DDRSS 数据	IO	P1
DDR0_DQ27	DDRSS 数据	IO	P2
DDR0_DQ28	DDRSS 数据	IO	N4
DDR0_DQ29	DDRSS 数据	IO	P3
DDR0_DQ30	DDRSS 数据	IO	P4
DDR0_DQ31	DDRSS 数据	IO	N5
DDR0_DQS0N	DDRSS 互补数据选通	IO	B1
DDR0_DQS0P	DDRSS 数据选通	IO	B2
DDR0_DQS1N	DDRSS 互补数据选通	IO	E1
DDR0_DQS1P	DDRSS 数据选通	IO	E2
DDR0_DQS2N	DDRSS 互补数据选通	IO	M1
DDR0_DQS2P	DDRSS 数据选通	IO	M2
DDR0_DQS3N	DDRSS 互补数据选通	IO	R1
DDR0_DQS3P	DDRSS 数据选通	IO	R2

(1) 必须在该引脚和 VSS 之间连接一个外部 240Ω ±1% 电阻。不应向该引脚施加外部电压。

5.3.2.2 DDRSS 映射

表 5-4 展示了 DDRSS 接口信号映射。

表 5-4. DDRSS 信号映射

信号名称 [1]	存储器类型	引脚类型 [3]	BALL [4]
	LPDDR4		
DDR0_CA0	CA0_A	IO	G4
DDR0_CA1	CA1_A	IO	H3
DDR0_CA2	CA2_A	IO	J4
DDR0_CA3	CA3_A	IO	K1
DDR0_CA4	CA4_A	IO	J2
DDR0_CA5	CA5_A	IO	H5
DDR0_CKP	CK_t_A	IO	H1
DDR0_CKN	CK_c_A	IO	G1
DDR0_DQ0	DQ0	IO	B4
DDR0_DQ1	DQ1	IO	A4
DDR0_DQ2	DQ2	IO	C4
DDR0_DQ3	DQ3	IO	C1
DDR0_DQ4	DQ4	IO	C3

Copyright © 2026 Texas Instruments Incorporated

表 5-4. DDRSS 信号映射（续）

信号名称 [1]	存储器类型	引脚类型 [3]	BALL [4]
	LPDDR4		
DDR0_DQ5	DQ5	IO	C2
DDR0_DQ6	DQ6	IO	A2
DDR0_DQ7	DQ7	IO	B3
DDR0_DQ8	DQ8	IO	D1
DDR0_DQ9	DQ9	IO	D2
DDR0_DQ10	DQ10	IO	F2
DDR0_DQ11	DQ11	IO	E3
DDR0_DQ12	DQ12	IO	F3
DDR0_DQ13	DQ13	IO	F4
DDR0_DQ14	DQ14	IO	D4
DDR0_DQ15	DQ15	IO	F5
DDR0_DQ16	DQ16	IO	K4
DDR0_DQ17	DQ17	IO	L4
DDR0_DQ18	DQ18	IO	M4
DDR0_DQ19	DQ19	IO	L3
DDR0_DQ20	DQ20	IO	L2
DDR0_DQ21	DQ21	IO	L1
DDR0_DQ22	DQ22	IO	M3
DDR0_DQ23	DQ23	IO	N2
DDR0_DQ24	DQ24	IO	R3
DDR0_DQ25	DQ25	IO	T1
DDR0_DQ26	DQ26	IO	P1
DDR0_DQ27	DQ27	IO	P2
DDR0_DQ28	DQ28	IO	N4
DDR0_DQ29	DQ29	IO	P3
DDR0_DQ30	DQ30	IO	P4
DDR0_DQ31	DQ31	IO	N5
DDR0_DM0	DMI0	IO	A3
DDR0_DM1	DMI1	IO	E4
DDR0_DM2	DMI2	IO	N1
DDR0_DM3	DMI3	IO	R4
DDR0_DQS0N	DQS0	IO	B1
DDR0_DQS0P	DQS0_n	IO	B2
DDR0_DQS1N	DQS1	IO	E1
DDR0_DQS1P	DQS1_n	IO	E2
DDR0_DQS2N	DQS2	IO	M1
DDR0_DQS2P	DQS2_n	IO	M2
DDR0_DQS3N	DQS3	IO	R1
DDR0_DQS3P	DQS3_n	IO	R2
DDR0_RESETn	RESET_n	IO	J5
DDR0_CAL0	VTP	A	K5
DDR0_CKE0		IO	G2
DDR0_CKE1		IO	H2
DDR0_CSn0_0		IO	G3

Copyright © 2026 Texas Instruments Incorporated

表 5-4. DDRSS 信号映射（续）

信号名称 [1]	存储器类型	引脚类型 [3]	BALL [4]
	LPDDR4		
DDR0_CSn0_1		IO	K2
DDR0_CSn1_0		IO	G5
DDR0_CSn1_1		IO	J3

5.3.3 GPIO

5.3.3.1 MAIN 域

表 5-5. GPIO0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO0_0	通用输入/输出	IO	U6
GPIO0_1	通用输入/输出	IO	T19
GPIO0_2	通用输入/输出	IO	AA17
GPIO0_3	通用输入/输出	IO	Y15
GPIO0_4	通用输入/输出	IO	AA20
GPIO0_5	通用输入/输出	IO	Y17
GPIO0_6	通用输入/输出	IO	Y16
GPIO0_7	通用输入/输出	IO	V17
GPIO0_8	通用输入/输出	IO	AA19
GPIO0_9	通用输入/输出	IO	V18
GPIO0_10	通用输入/输出	IO	V20
GPIO0_11	通用输入/输出	IO	W21
GPIO0_12	通用输入/输出	IO	V16
GPIO0_13	通用输入/输出	IO	Y18
GPIO0_14	通用输入/输出	IO	Y19
GPIO0_15	通用输入/输出	IO	Y21
GPIO0_16	通用输入/输出	IO	W16
GPIO0_17	通用输入/输出	IO	W15
GPIO0_18	通用输入/输出	IO	Y20
GPIO0_19	通用输入/输出	IO	V21
GPIO0_20	通用输入/输出	IO	V19
GPIO0_21	通用输入/输出	IO	T13
GPIO0_22	通用输入/输出	IO	U14
GPIO0_23	通用输入/输出	IO	U16
GPIO0_24	通用输入/输出	IO	U15
GPIO0_25	通用输入/输出	IO	T15
GPIO0_26	通用输入/输出	IO	U19
GPIO0_27	通用输入/输出	IO	T14
GPIO0_28	通用输入/输出	IO	U18
GPIO0_29	通用输入/输出	IO	U17
GPIO0_30	通用输入/输出	IO	U20
GPIO0_31	通用输入/输出	IO	Y14
GPIO0_32	通用输入/输出	IO	Y13

Copyright © 2026 Texas Instruments Incorporated

表 5-5. GPIO0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO0_33	通用输入/输出	IO	AA15
GPIO0_34	通用输入/输出	IO	AA14
GPIO0_35	通用输入/输出	IO	AA18
GPIO0_36	通用输入/输出	IO	AA16
GPIO0_37	通用输入/输出	IO	W17
GPIO0_38	通用输入/输出	IO	W20
GPIO0_39	通用输入/输出	IO	V14
GPIO0_40	通用输入/输出	IO	V13
GPIO0_41	通用输入/输出	IO	U12
GPIO0_42	通用输入/输出	IO	W14
GPIO0_43	通用输入/输出	IO	W19
GPIO0_44	通用输入/输出	IO	U13
GPIO0_45	通用输入/输出	IO	V15
GPIO0_46	通用输入/输出	IO	U21
GPIO0_47	通用输入/输出	IO	T16
GPIO0_48	通用输入/输出	IO	T17
GPIO0_49	通用输入/输出	IO	T18
GPIO0_50	通用输入/输出	IO	T20
GPIO0_51	通用输入/输出	IO	W3
GPIO0_52	通用输入/输出	IO	U5
GPIO0_53	通用输入/输出	IO	Y1
GPIO0_54	通用输入/输出	IO	V4
GPIO0_55	通用输入/输出	IO	T5
GPIO0_56	通用输入/输出	IO	V3
GPIO0_57	通用输入/输出	IO	W2
GPIO0_58	通用输入/输出	IO	U3
GPIO0_59	通用输入/输出	IO	T3
GPIO0_60	通用输入/输出	IO	V1
GPIO0_61	通用输入/输出	IO	W1
GPIO0_62	通用输入/输出	IO	N19
GPIO0_63	通用输入/输出	IO	N20
GPIO0_64	通用输入/输出	IO	N21
GPIO0_65	通用输入/输出	IO	M19
GPIO0_66	通用输入/输出	IO	P21
GPIO0_67	通用输入/输出	IO	M20
GPIO0_68	通用输入/输出	IO	T4

5.3.3.2 WKUP 域

表 5-6. GPIO0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	ALF [4]
WKUP_GPIO0_0	通用输入/输出	IO	B18

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	ALF [4]
WKUP_GPIO0_1	通用输入/输出	IO	B19
WKUP_GPIO0_2	通用输入/输出	IO	D14
WKUP_GPIO0_3	通用输入/输出	IO	B21
WKUP_GPIO0_4	通用输入/输出	IO	D13
WKUP_GPIO0_5	通用输入/输出	IO	B16
WKUP_GPIO0_6	通用输入/输出	IO	C14
WKUP_GPIO0_7	通用输入/输出	IO	C18
WKUP_GPIO0_8	通用输入/输出	IO	C21
WKUP_GPIO0_9	通用输入/输出	IO	C19
WKUP_GPIO0_10	通用输入/输出	IO	C20
WKUP_GPIO0_11	通用输入/输出	IO	C16
WKUP_GPIO0_12	通用输入/输出	IO	D19
WKUP_GPIO0_13	通用输入/输出	IO	D20
WKUP_GPIO0_14	通用输入/输出	IO	E20
WKUP_GPIO0_15	通用输入/输出	IO	E21
WKUP_GPIO0_16	通用输入/输出	IO	B6
WKUP_GPIO0_17	通用输入/输出	IO	C8
WKUP_GPIO0_18	通用输入/输出	IO	B7
WKUP_GPIO0_19	通用输入/输出	IO	D8
WKUP_GPIO0_20	通用输入/输出	IO	C7
WKUP_GPIO0_21	通用输入/输出	IO	C5
WKUP_GPIO0_22	通用输入/输出	IO	A5
WKUP_GPIO0_23	通用输入/输出	IO	A6
WKUP_GPIO0_24	通用输入/输出	IO	B8
WKUP_GPIO0_25	通用输入/输出	IO	A8
WKUP_GPIO0_26	通用输入/输出	IO	A7
WKUP_GPIO0_27	通用输入/输出	IO	D6
WKUP_GPIO0_28	通用输入/输出	IO	D7
WKUP_GPIO0_29	通用输入/输出	IO	D11
WKUP_GPIO0_30	通用输入/输出	IO	C6
WKUP_GPIO0_31	通用输入/输出	IO	D5
WKUP_GPIO0_43	通用输入/输出	IO	A11
WKUP_GPIO0_44	通用输入/输出	IO	C12
WKUP_GPIO0_45	通用输入/输出	IO	B12
WKUP_GPIO0_46	通用输入/输出	IO	B11
WKUP_GPIO0_47	通用输入/输出	IO	D10
WKUP_GPIO0_48	通用输入/输出	IO	A12
WKUP_GPIO0_49	通用输入/输出	IO	B10
WKUP_GPIO0_50	通用输入/输出	IO	C10
WKUP_GPIO0_51	通用输入/输出	IO	A10
WKUP_GPIO0_52	通用输入/输出	IO	B9
WKUP_GPIO0_53	通用输入/输出	IO	A9

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	ALF [4]
WKUP_GPIO0_54	通用输入/输出	IO	C9
WKUP_GPIO0_55	通用输入/输出	IO	D9
WKUP_GPIO0_56	通用输入/输出	IO	C13
WKUP_GPIO0_57	通用输入/输出	IO	A20
WKUP_GPIO0_58	通用输入/输出	IO	B17
WKUP_GPIO0_59	通用输入/输出	IO	A19
WKUP_GPIO0_60	通用输入/输出	IO	B14
WKUP_GPIO0_61	通用输入/输出	IO	A14
WKUP_GPIO0_62	通用输入/输出	IO	A16
WKUP_GPIO0_63	通用输入/输出	IO	A17
WKUP_GPIO0_64	通用输入/输出	IO	F20
WKUP_GPIO0_65	通用输入/输出	IO	H21
WKUP_GPIO0_66	通用输入/输出	IO	G21
WKUP_GPIO0_67	通用输入/输出	IO	G20
WKUP_GPIO0_68	通用输入/输出	IO	C15
WKUP_GPIO0_77	通用输入/输出	IO	D21
WKUP_GPIO0_78	通用输入/输出	IO	E19
WKUP_GPIO0_79	通用输入/输出	IO	B13
WKUP_GPIO0_80	通用输入/输出	IO	D18
WKUP_GPIO0_81	通用输入/输出	IO	C17
WKUP_GPIO0_84	通用输入/输出	IO	E18

5.3.4 I2C

5.3.4.1 MAIN 域

表 5-7. I2C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C0_SCL	I2C 时钟	IOD	V3
I2C0_SDA	I2C 数据	IOD	W2

表 5-8. I2C1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C1_SCL	I2C 时钟	IOD	U3、V17
I2C1_SDA	I2C 数据	IOD	AA19、T3

表 5-9. I2C2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C2_SCL	I2C 时钟	IOD	W15、Y1
I2C2_SDA	I2C 数据	IOD	V4、Y20

Copyright © 2026 Texas Instruments Incorporated

表 5-10. I2C3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C3_SCL	I2C 时钟	IOD	N19、V19
I2C3_SDA	I2C 数据	IOD	N20、T13

表 5-11. I2C4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C4_SCL	I2C 时钟	IOD	M19、W14
I2C4_SDA	I2C 数据	IOD	N21、W19

表 5-12. I2C5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C5_SCL	I2C 时钟	IOD	AA18
I2C5_SDA	I2C 数据	IOD	AA16

表 5-13. I2C6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C6_SCL	I2C 时钟	IOD	AA15、M20
I2C6_SDA	I2C 数据	IOD	AA14、P21

5.3.4.2 MCU 域

表 5-14. I2C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I2C0_SCL	I2C 时钟	IOD	G21
MCU_I2C0_SDA	I2C 数据	IOD	G20

表 5-15. I2C1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I2C1_SCL	I2C 时钟	IOD	C14、C21
MCU_I2C1_SDA	I2C 数据	IOD	C18、C19

5.3.4.3 WKUP 域

表 5-16. I2C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_I2C0_SCL	I2C 时钟	IOD	F20
WKUP_I2C0_SDA	I2C 数据	IOD	H21

5.3.5 I3C

5.3.5.1 MAIN 域

表 5-17. I3C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I3C0_SCL	I3C 时钟	IO	AA18

Copyright © 2026 Texas Instruments Incorporated

表 5-17. I3C0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I3C0_SDA	I3C 数据	IO	AA16
I3C0_SDAPULLEN	MAIN 域 I3C 数据拉动使能	O	AA14

5.3.5.2 MCU 域

表 5-18. I3C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I3C0_SCL	I3C 时钟	IO	C21
MCU_I3C0_SDA	I3C 数据	IO	C19
MCU_I3C0_SDAPULLEN	MCU 域 I3C 数据拉动使能	O	C15、C16

5.3.6 MCAN

5.3.6.1 MAIN 域

表 5-19. MCAN0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN0_RX	MCAN 接收数据	I	V20
MCAN0_TX	MCAN 发送数据	O	V18

表 5-20. MCAN1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN1_RX	MCAN 接收数据	I	V16
MCAN1_TX	MCAN 发送数据	O	W21

表 5-21. MCAN2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN2_RX	MCAN 接收数据	I	Y19
MCAN2_TX	MCAN 发送数据	O	Y18

表 5-22. MCAN3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN3_RX	MCAN 接收数据	I	W16
MCAN3_TX	MCAN 发送数据	O	Y21

表 5-23. MCAN4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN4_RX	MCAN 接收数据	I	Y20
MCAN4_TX	MCAN 发送数据	O	W15

表 5-24. MCAN5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN5_RX	MCAN 接收数据	I	V19

Copyright © 2026 Texas Instruments Incorporated

表 5-24. MCAN5 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN5_TX	MCAN 发送数据	O	V21

表 5-25. MCAN6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN6_RX	MCAN 接收数据	I	U14
MCAN6_TX	MCAN 发送数据	O	T13

表 5-26. MCAN7 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN7_RX	MCAN 接收数据	I	U15
MCAN7_TX	MCAN 发送数据	O	U16

表 5-27. MCAN8 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN8_RX	MCAN 接收数据	I	U19
MCAN8_TX	MCAN 发送数据	O	T15

表 5-28. MCAN9 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN9_RX	MCAN 接收数据	I	U18
MCAN9_TX	MCAN 发送数据	O	T14

表 5-29. MCAN10 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN10_RX	MCAN 接收数据	I	U20
MCAN10_TX	MCAN 发送数据	O	U17

表 5-30. MCAN11 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN11_RX	MCAN 接收数据	I	Y13
MCAN11_TX	MCAN 发送数据	O	Y14

表 5-31. MCAN12 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN12_RX	MCAN 接收数据	I	AA14
MCAN12_TX	MCAN 发送数据	O	AA15

表 5-32. MCAN13 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN13_RX	MCAN 接收数据	I	AA16

Copyright © 2026 Texas Instruments Incorporated

表 5-32. MCAN13 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN13_TX	MCAN 发送数据	O	AA18

表 5-33. MCAN14 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN14_RX	MCAN 接收数据	I	Y15
MCAN14_TX	MCAN 发送数据	O	AA17

表 5-34. MCAN15 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN15_RX	MCAN 接收数据	I	W20
MCAN15_TX	MCAN 发送数据	O	W17

表 5-35. MCAN16 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN16_RX	MCAN 接收数据	I	U21
MCAN16_TX	MCAN 发送数据	O	V15

表 5-36. MCAN17 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN17_RX	MCAN 接收数据	I	T20
MCAN17_TX	MCAN 发送数据	O	T18

5.3.6.2 MCU 域

表 5-37. MCAN0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_MCAN0_RX	MCAN 接收数据	I	A17
MCU_MCAN0_TX	MCAN 发送数据	O	A16

表 5-38. MCAN1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_MCAN1_RX	MCAN 接收数据	I	B16
MCU_MCAN1_TX	MCAN 发送数据	O	D13

5.3.7 MCSPI

5.3.7.1 MAIN 域

表 5-39. MCSPI0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI0_CLK	SPI 时钟	IO	Y1
SPI0_CS0	SPI 片选 0	IO	W3
SPI0_CS1	SPI 片选 1	IO	U5

Copyright © 2026 Texas Instruments Incorporated

表 5-39. MCSPI0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI0_CS2	SPI 片选 2	IO	Y14
SPI0_CS3	SPI 片选 3	IO	U13
SPI0_D0	SPI 数据 0	IO	V4
SPI0_D1	SPI 数据 1	IO	T5

表 5-40. MCSPI1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI1_CLK	SPI 时钟	IO	P21
SPI1_CS0	SPI 片选 0	IO	N19
SPI1_CS1	SPI 片选 1	IO	N20
SPI1_CS2	SPI 片选 2	IO	N21
SPI1_CS3	SPI 片选 3	IO	W19
SPI1_D0	SPI 数据 0	IO	M19
SPI1_D1	SPI 数据 1	IO	M20

表 5-41. MCSPI2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI2_CLK	SPI 时钟	IO	U20
SPI2_CS0	SPI 片选 0	IO	Y14
SPI2_CS1	SPI 片选 1	IO	Y13
SPI2_CS2	SPI 片选 2	IO	AA15
SPI2_CS3	SPI 片选 3	IO	AA14
SPI2_D0	SPI 数据 0	IO	AA18
SPI2_D1	SPI 数据 1	IO	AA16

表 5-42. MCSPI3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI3_CLK	SPI 时钟	IO	T14
SPI3_CS0	SPI 片选 0	IO	U16
SPI3_CS1	SPI 片选 1	IO	U15
SPI3_CS2	SPI 片选 2	IO	T15
SPI3_CS3	SPI 片选 3	IO	U19
SPI3_D0	SPI 数据 0	IO	U18
SPI3_D1	SPI 数据 1	IO	U17

表 5-43. MCSPI5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI5_CLK	SPI 时钟	IO	W15
SPI5_CS0	SPI 片选 0	IO	W16
SPI5_CS1	SPI 片选 1	IO	V21
SPI5_CS2	SPI 片选 2	IO	Y19

Copyright © 2026 Texas Instruments Incorporated

表 5-43. MCSPI5 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI5_CS3	SPI 片选 3	IO	Y18
SPI5_D0	SPI 数据 0	IO	Y21
SPI5_D1	SPI 数据 1	IO	Y20

表 5-44. MCSPI6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI6_CLK	SPI 时钟	IO	V14
SPI6_CS0	SPI 片选 0	IO	W21
SPI6_CS1	SPI 片选 1	IO	V16
SPI6_CS2	SPI 片选 2	IO	W17
SPI6_CS3	SPI 片选 3	IO	W20
SPI6_D0	SPI 数据 0	IO	V13
SPI6_D1	SPI 数据 1	IO	U12

表 5-45. MCSPI7 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI7_CLK	SPI 时钟	IO	T3
SPI7_CS0	SPI 片选 0	IO	U3
SPI7_D0	SPI 数据 0	IO	V1
SPI7_D1	SPI 数据 1	IO	W1

5.3.7.2 MCU 域

表 5-46. MCSPI0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_SPI0_CLK	SPI 时钟	IO	C13
MCU_SPI0_CS0	SPI 片选 0	IO	A19
MCU_SPI0_CS1	SPI 片选 1	IO	D19
MCU_SPI0_CS2	SPI 片选 2	IO	E20
MCU_SPI0_CS3	SPI 片选 3	IO	D13
MCU_SPI0_D0	SPI 数据 0	IO	A20
MCU_SPI0_D1	SPI 数据 1	IO	B17

表 5-47. MCSPI1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_SPI1_CLK	SPI 时钟	IO	B18
MCU_SPI1_CS0	SPI 片选 0	IO	B21
MCU_SPI1_CS1	SPI 片选 1	IO	D20
MCU_SPI1_CS2	SPI 片选 2	IO	E21
MCU_SPI1_CS3	SPI 片选 3	IO	B16
MCU_SPI1_D0	SPI 数据 0	IO	B19

Copyright © 2026 Texas Instruments Incorporated

表 5-47. MCSPI1 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_SPI1_D1	SPI 数据 1	IO	D14

5.3.8 UART

5.3.8.1 MAIN 域

表 5-48. UART0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART0_CTSn	UART 允许发送（低电平有效）	I	N19、W3
UART0_DCDn	UART 数据载波检测（低电平有效）	I	T15
UART0_DSRn	UART 数据集就绪（低电平有效）	I	U19
UART0_DTRn	UART 数据终端就绪（低电平有效）	O	Y14
UART0_RIn	UART 振铃指示器	I	Y13
UART0_RTSn	UART 请求发送（低电平有效）	O	P21、U5
UART0_RXD	UART 接收数据	I	T16
UART0_TXD	UART 发送数据	O	T17

表 5-49. UART1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART1_CTSn	UART 允许发送（低电平有效）	I	Y1
UART1_RTSn	UART 请求发送（低电平有效）	O	V4
UART1_RXD	UART 接收数据	I	T18
UART1_TXD	UART 发送数据	O	T20

表 5-50. UART2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART2_CTSn	UART 允许发送（低电平有效）	I	U17
UART2_RTSn	UART 请求发送（低电平有效）	O	U20
UART2_RXD	UART 接收数据	I	AA15、N21、V14
UART2_TXD	UART 发送数据	O	AA14、M19、V13

表 5-51. UART3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART3_CTSn	UART 允许发送（低电平有效）	I	T15、V1
UART3_RTSn	UART 请求发送（低电平有效）	O	U19、W1
UART3_RXD	UART 接收数据	I	U3、Y14、Y18
UART3_TXD	UART 发送数据	O	T3、Y13、Y19

表 5-52. UART4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART4_CTSn	UART 允许发送（低电平有效）	I	P21
UART4_RTSn	UART 请求发送（低电平有效）	O	M20
UART4_RXD	UART 接收数据	I	N21、U12

Copyright © 2026 Texas Instruments Incorporated

表 5-52. UART4 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART4_TXD	UART 发送数据	O	AA20、M19

表 5-53. UART5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART5_CTSn	UART 允许发送（低电平有效）	I	N21
UART5_RTSn	UART 请求发送（低电平有效）	O	M19
UART5_RXD	UART 接收数据	I	N19、Y15
UART5_TXD	UART 发送数据	O	AA17、N20

表 5-54. UART6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART6_CTSn	UART 允许发送（低电平有效）	I	V16
UART6_RTSn	UART 请求发送（低电平有效）	O	V21
UART6_RXD	UART 接收数据	I	Y16
UART6_TXD	UART 发送数据	O	Y17

表 5-55. UART7 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART7_CTSn	UART 允许发送（低电平有效）	I	N21
UART7_RTSn	UART 请求发送（低电平有效）	O	M19
UART7_RXD	UART 接收数据	I	N19、U21
UART7_TXD	UART 发送数据	O	N20、V15

表 5-56. UART8 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART8_CTSn	UART 允许发送（低电平有效）	I	AA18
UART8_RTSn	UART 请求发送（低电平有效）	O	AA16
UART8_RXD	UART 接收数据	I	P21、W14
UART8_TXD	UART 发送数据	O	M20、W19

表 5-57. UART9 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART9_CTSn	UART 允许发送（低电平有效）	I	Y18
UART9_RTSn	UART 请求发送（低电平有效）	O	Y19
UART9_RXD	UART 接收数据	I	AA19、U13
UART9_TXD	UART 发送数据	O	V17

5.3.8.2 MCU 域

表 5-58. UART0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_UART0_CTSn	UART 允许发送（低电平有效）	I	E20

Copyright © 2026 Texas Instruments Incorporated

表 5-58. UART0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_UART0_RTSn	UART 请求发送（低电平有效）	O	E21
MCU_UART0_RXD	UART 接收数据	I	C16、D20
MCU_UART0_TXD	UART 发送数据	O	C20、D19

5.3.8.3 WKUP 域

表 5-59. UART0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_UART0_CTSn	UART 允许发送（低电平有效）	I	C14
WKUP_UART0_RTSn	UART 请求发送（低电平有效）	O	C18
WKUP_UART0_RXD	UART 接收数据	I	B14
WKUP_UART0_TXD	UART 发送数据	O	A14

5.3.9 MDIO

5.3.9.1 MCU 域

表 5-60. MDIO0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_MDIO0_MDC	MDIO 时钟	O	D9
MCU_MDIO0_MDIO	MDIO 数据	IO	C9

5.3.9.2 MAIN 域

表 5-61. MDIO0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MDIO0_MDC	MDIO 时钟	O	W19
MDIO0_MDIO	MDIO 数据	IO	W14

5.3.10 CPSW2G

5.3.10.1 MCU 域

表 5-62. CPSW2G0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_RGMII1_RXC	RGMII 接收时钟	I	B10
MCU_RGMII1_TXC	RGMII 发送时钟	O	A12
MCU_RGMII1_RX_CTL	RGMII 接收控制	I	A11
MCU_RGMII1_TX_CTL	RGMII 发送控制	O	D11
MCU_RGMII1_RD0	RGMII 接收数据 0	I	A9
MCU_RGMII1_RD1	RGMII 接收数据 1	I	B9
MCU_RGMII1_RD2	RGMII 接收数据 2	I	A10
MCU_RGMII1_RD3	RGMII 接收数据 3	I	C10
MCU_RGMII1_TD0	RGMII 发送数据 0	O	D10
MCU_RGMII1_TD1	RGMII 发送数据 1	O	B11
MCU_RGMII1_TD2	RGMII 发送数据 2	O	B12

Copyright © 2026 Texas Instruments Incorporated

表 5-62. CPSW2G0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_RGMII1_TD3	RGMII 发送数据 3	O	C12
MCU_RMII1_CRS_DV	RMII 载波侦听/数据有效	I	D11
MCU_RMII1_REF_CLK	RMII 基准时钟	I	B10
MCU_RMII1_RX_ER	RMII 接收数据错误	I	A11
MCU_RMII1_TX_EN	RMII 发送使能	O	A12
MCU_RMII1_RXD0	RMII 接收数据 0	I	A9
MCU_RMII1_RXD1	RMII 接收数据 1	I	B9
MCU_RMII1_TXD0	RMII 发送数据 0	O	D10
MCU_RMII1_TXD1	RMII 发送数据 1	O	B11

5.3.11 CPSW5G

5.3.11.1 MAIN 域

表 5-63. CPSW5G0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CLKOUT	RMII 时钟输出 (50MHz)。该引脚用作外部 PHY 的时钟源，并且必须路由回相应的 RMII_REF_CLK 引脚以确保器件正常运行。	OZ	U21
RGMII1_RXC	RGMII 接收时钟	I	AA19
RGMII1_TXC	RGMII 发送时钟	O	Y20
RGMII1_RX_CTL	RGMII 接收控制	I	Y16
RGMII1_TX_CTL	RGMII 发送控制	O	W15
RGMII1_RD0	RGMII 接收数据 0	I	AA17
RGMII1_RD1	RGMII 接收数据 1	I	Y15
RGMII1_RD2	RGMII 接收数据 2	I	AA20
RGMII1_RD3	RGMII 接收数据 3	I	Y17
RGMII1_TD0	RGMII 发送数据 0	O	Y18
RGMII1_TD1	RGMII 发送数据 1	O	Y19
RGMII1_TD2	RGMII 发送数据 2	O	Y21
RGMII1_TD3	RGMII 发送数据 3	O	W16
RGMII2_RXC	RGMII 接收时钟	I	Y14
RGMII2_TXC	RGMII 发送时钟	O	W21
RGMII2_RX_CTL	RGMII 接收控制	I	AA16
RGMII2_TX_CTL	RGMII 发送控制	O	U12
RGMII2_RD0	RGMII 接收数据 0	I	Y13
RGMII2_RD1	RGMII 接收数据 1	I	AA15
RGMII2_RD2	RGMII 接收数据 2	I	AA14
RGMII2_RD3	RGMII 接收数据 3	I	AA18
RGMII2_TD0	RGMII 发送数据 0	O	W17
RGMII2_TD1	RGMII 发送数据 1	O	W20
RGMII2_TD2	RGMII 发送数据 2	O	V14
RGMII2_TD3	RGMII 发送数据 3	O	V13
RGMII3_RXC	RGMII 接收时钟	I	V21

Copyright © 2026 Texas Instruments Incorporated

表 5-63. CPSW5G0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
RGMII3_TXC	RGMII 发送时钟	O	U20
RGMII3_RX_CTL	RGMII 接收控制	I	U15
RGMII3_TX_CTL	RGMII 发送控制	O	U17
RGMII3_RD0	RGMII 接收数据 0	I	V19
RGMII3_RD1	RGMII 接收数据 1	I	T13
RGMII3_RD2	RGMII 接收数据 2	I	U14
RGMII3_RD3	RGMII 接收数据 3	I	U16
RGMII3_TD0	RGMII 发送数据 0	O	T15
RGMII3_TD1	RGMII 发送数据 1	O	U19
RGMII3_TD2	RGMII 发送数据 2	O	T14
RGMII3_TD3	RGMII 发送数据 3	O	U18
RGMII4_RXC	RGMII 接收时钟	I	V17
RGMII4_TXC	RGMII 发送时钟	O	T16
RGMII4_RX_CTL	RGMII 接收控制	I	V15
RGMII4_TX_CTL	RGMII 发送控制	O	T20
RGMII4_RD0	RGMII 接收数据 0	I	V18
RGMII4_RD1	RGMII 接收数据 1	I	V20
RGMII4_RD2	RGMII 接收数据 2	I	V16
RGMII4_RD3	RGMII 接收数据 3	I	U13
RGMII4_TD0	RGMII 发送数据 0	O	U21
RGMII4_TD1	RGMII 发送数据 1	O	T19
RGMII4_TD2	RGMII 发送数据 2	O	T17
RGMII4_TD3	RGMII 发送数据 3	O	T18
RMII1_CRS_DV	RMII 载波侦听/数据有效	I	AA20
RMII1_RX_ER	RMII 接收数据错误	I	Y17
RMII1_TX_EN	RMII 发送使能	O	V17
RMII1_RXD0	RMII 接收数据 0	I	AA17
RMII1_RXD1	RMII 接收数据 1	I	Y15
RMII1_TXD0	RMII 发送数据 0	O	Y16
RMII1_TXD1	RMII 发送数据 1	O	AA19
RMII2_CRS_DV	RMII 载波侦听/数据有效	I	V14
RMII2_RX_ER	RMII 接收数据错误	I	V13
RMII2_TX_EN	RMII 发送使能	O	W21
RMII2_RXD0	RMII 接收数据 0	I	W17
RMII2_RXD1	RMII 接收数据 1	I	W20
RMII2_TXD0	RMII 发送数据 0	O	U12
RMII2_TXD1	RMII 发送数据 1	O	V16
RMII3_CRS_DV	RMII 载波侦听/数据有效	I	U14
RMII3_RX_ER	RMII 接收数据错误	I	U16
RMII3_TX_EN	RMII 发送使能	O	T15
RMII3_RXD0	RMII 接收数据 0	I	V19
RMII3_RXD1	RMII 接收数据 1	I	T13

Copyright © 2026 Texas Instruments Incorporated

表 5-63. CPSW5G0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
RMII3_TXD0	RMII 发送数据 0	O	U15
RMII3_TXD1	RMII 发送数据 1	O	U19
RMII4_CRS_DV	RMII 载波侦听/数据有效	I	Y21
RMII4_RX_ER	RMII 接收数据错误	I	W16
RMII4_TX_EN	RMII 发送使能	O	Y20
RMII4_RXD0	RMII 接收数据 0	I	Y18
RMII4_RXD1	RMII 接收数据 1	I	Y19
RMII4_TXD0	RMII 发送数据 0	O	W15
RMII4_TXD1	RMII 发送数据 1	O	V21
RMII_REF_CLK	RMII 基准时钟	I	V15

5.3.12 ECAP

5.3.12.1 MAIN 域

表 5-64. ECAP0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
ECAP0_IN_APWM_OUT	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	N21、U3

表 5-65. ECAP1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
ECAP1_IN_APWM_OUT	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	M19、V1

表 5-66. ECAP2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
ECAP2_IN_APWM_OUT	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	W1

5.3.13 EQEP

5.3.13.1 MAIN 域

表 5-67. EQEP0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EQEP0_A	EQEP 正交输入 A	I	Y14
EQEP0_B	EQEP 正交输入 B	I	Y13
EQEP0_I	EQEP 索引	IO	AA16
EQEP0_S	EQEP 选通	IO	AA18

表 5-68. EQEP1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EQEP1_A	EQEP 正交输入 A	I	AA15
EQEP1_B	EQEP 正交输入 B	I	AA14
EQEP1_I	EQEP 索引	IO	W20
EQEP1_S	EQEP 选通	IO	W17

Copyright © 2026 Texas Instruments Incorporated

表 5-69. EQEP2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EQEP2_A	EQEP 正交输入 A	I	V17
EQEP2_B	EQEP 正交输入 B	I	V18
EQEP2_I	EQEP 索引	IO	V16
EQEP2_S	EQEP 选通	IO	V20

5.3.14 EPWM

5.3.14.1 MAIN 域

表 5-70. EPWM 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM_SOCA	EHRPWM 转换启动 A	O	W21
EHRPWM_SOCB	EHRPWM 转换启动 B	O	U17

表 5-71. EPWM0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM0_A	EHRPWM 输出 A	IO	Y21
EHRPWM0_B	EHRPWM 输出 B	IO	Y19
EHRPWM0_SYNCI	从外部引脚到 EHRPWM 模块的同步输入	I	W15
EHRPWM0_SYNCO	从 EHRPWM 模块到外部引脚的同步输出	O	Y16
EHRPWM_TZn_IN0	EHRPWM 触发区输入 0（低电平有效）	I	W16

表 5-72. EPWM1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM1_A	EHRPWM 输出 A	IO	Y18
EHRPWM1_B	EHRPWM 输出 B	IO	Y20
EHRPWM_TZn_IN1	EHRPWM 触发区输入 1（低电平有效）	I	AA19

表 5-73. EPWM2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM2_A	EHRPWM 输出 A	IO	Y17
EHRPWM2_B	EHRPWM 输出 B	IO	AA20
EHRPWM_TZn_IN2	EHRPWM 触发区输入 2（低电平有效）	I	Y15

表 5-74. EPWM3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM3_A	EHRPWM 输出 A	IO	U15
EHRPWM3_B	EHRPWM 输出 B	IO	U18
EHRPWM3_SYNCI	从外部引脚到 EHRPWM 模块的同步输入	I	T14
EHRPWM3_SYNCO	从 EHRPWM 模块到外部引脚的同步输出	O	U19
EHRPWM_TZn_IN3	EHRPWM 触发区输入 3（低电平有效）	I	T15

Copyright © 2026 Texas Instruments Incorporated

表 5-75. EPWM4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM4_A	EHRPWM 输出 A	IO	U20
EHRPWM4_B	EHRPWM 输出 B	IO	V21
EHRPWM_TZn_IN4	EHRPWM 触发区输入 4（低电平有效）	I	U16

表 5-76. EPWM5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM5_A	EHRPWM 输出 A	IO	U14
EHRPWM5_B	EHRPWM 输出 B	IO	T13
EHRPWM_TZn_IN5	EHRPWM 触发区输入 5（低电平有效）	I	V19

5.3.15 USB

5.3.15.1 MAIN 域

备注

SERDES 引脚上提供 USB3 功能。有关更多信息，请参阅节 5.3.16 “*SERDES*”。

表 5-77. USB0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
USB0_DM	USB 2.0 差分数据（负）	IO	AA3
USB0_DP	USB 2.0 差分数据（正）	IO	AA2
USB0_DRVVBUS	USB VBUS 控制输出（高电平有效）	O	T4、U13
USB0_ID	USB 2.0 双角色设备角色选择	A	V6
USB0_RCALIB (2)	连接到校准电阻的引脚	IO	V5
USB0_VBUS (1)	USB 电平转换的 VBUS 输入	A	Y2

(1) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.3.3 *USB 设计指南*。
(2) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500Ω ±1% 电阻器。

5.3.16 SERDES

备注

这些引脚的功能由 SERDES0_LN[4:0]_CTRL LANE_FUNC_SEL 来控制。

5.3.16.1 MAIN 域

表 5-78. SERDES0 Lane0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SERDES0_RX0_N	串行器/解串器差分接收数据（负）	I	AA11
SERDES0_RX0_P	串行器/解串器差分接收数据（正）	I	AA12
SERDES0_TX0_N	串行器/解串器差分发送数据（负）	O	W11
SERDES0_TX0_P	串行器/解串器差分发送数据（正）	O	W12

Copyright © 2026 Texas Instruments Incorporated

表 5-79. SERDES0 Lane1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SERDES0_RX1_N	串行器/解串器差分接收数据（负）	I	W8
SERDES0_RX1_P	串行器/解串器差分接收数据（正）	I	W9
SERDES0_TX1_N	串行器/解串器差分发送数据（负）	O	Y10
SERDES0_TX1_P	串行器/解串器差分发送数据（正）	O	Y11

表 5-80. SERDES0 Lane2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SERDES0_RX2_N	串行器/解串器差分接收数据（负）	I	Y7
SERDES0_RX2_P	串行器/解串器差分接收数据（正）	I	Y8
SERDES0_TX2_N	串行器/解串器差分发送数据（负）	O	AA5
SERDES0_TX2_P	串行器/解串器差分发送数据（正）	O	AA6

表 5-81. SERDES0 Lane3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SERDES0_RX3_N	串行器/解串器差分接收数据（负）	I	W5
SERDES0_RX3_P	串行器/解串器差分接收数据（正）	I	W6
SERDES0_TX3_N	串行器/解串器差分发送数据（负）	O	Y4
SERDES0_TX3_P	串行器/解串器差分发送数据（正）	O	Y5

表 5-82. SERDES0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PCIE1_CLKREQn	PCIE 时钟请求信号	IO	N19、W1
SERDES0_REXT(1)	外部校准电阻器	A	V7
SERDES0_REFCLK_N	串行器/解串器基准时钟输入/输出（负）	IO	AA8
SERDES0_REFCLK_P	串行器/解串器基准时钟输入/输出（正）	IO	AA9

(1) 必须在该引脚和 VSS 之间连接一个外部 3.01kΩ ±1% 电阻器。不应向该引脚施加外部电压。

5.3.17 OSPI

5.3.17.1 MCU 域

表 5-83. OSPI0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_OSPI0_CLK	OSPI 时钟	O	B6
MCU_OSPI0_DQS	OSPI 数据选通 (DQS) 或环回时钟输入	I	B7
MCU_OSPI0_ECC_FAIL	OSPI ECC 状态	I	D5
MCU_OSPI0_LBCLKO	OSPI 环回时钟输出	IO	C8
MCU_OSPI0_CSn0	OSPI 片选 0（低电平有效）	O	D6
MCU_OSPI0_CSn1	OSPI 片选 1（低电平有效）	O	D7
MCU_OSPI0_CSn2	OSPI 片选 2（低电平有效）	O	C6
MCU_OSPI0_CSn3	OSPI 片选 3（低电平有效）	O	D5
MCU_OSPI0_D0	OSPI 数据 0	IO	D8
MCU_OSPI0_D1	OSPI 数据 1	IO	C7

Copyright © 2026 Texas Instruments Incorporated

表 5-83. OSPI0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_OSPI0_D2	OSPI 数据 2	IO	C5
MCU_OSPI0_D3	OSPI 数据 3	IO	A5
MCU_OSPI0_D4	OSPI 数据 4	IO	A6
MCU_OSPI0_D5	OSPI 数据 5	IO	B8
MCU_OSPI0_D6	OSPI 数据 6	IO	A8
MCU_OSPI0_D7	OSPI 数据 7	IO	A7
MCU_OSPI0_RESET_OUT0	OSPI 复位	O	C6
MCU_OSPI0_RESET_OUT1	OSPI 复位	O	D5

5.3.18 Hyperbus

5.3.18.1 MCU 域

表 5-84. HYPERBUS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_HYPERBUS0_CK	Hyperbus 差分时钟（正）	O	B6
MCU_HYPERBUS0_CKn	Hyperbus 差分时钟（负）	O	C8
MCU_HYPERBUS0_INTn	Hyperbus 中断（低电平有效）	I	D5
MCU_HYPERBUS0_RESETn	Hyperbus 复位（低电平有效）输出	O	D7
MCU_HYPERBUS0_RESETOn	Hyperbus 存储器中的 Hyperbus 复位状态指示器（低电平有效）	I	C6
MCU_HYPERBUS0_RWDS	Hyperbus 读写数据选通	IO	B7
MCU_HYPERBUS0_WPn	Hyperbus 写保护（未使用）	O	C6、D5
MCU_HYPERBUS0_CSn0	Hyperbus 片选 0	O	D6
MCU_HYPERBUS0_CSn1	Hyperbus 片选 1	O	C6
MCU_HYPERBUS0_DQ0	Hyperbus 数据 0	IO	D8
MCU_HYPERBUS0_DQ1	Hyperbus 数据 1	IO	C7
MCU_HYPERBUS0_DQ2	Hyperbus 数据 2	IO	C5
MCU_HYPERBUS0_DQ3	Hyperbus 数据 3	IO	A5
MCU_HYPERBUS0_DQ4	Hyperbus 数据 4	IO	A6
MCU_HYPERBUS0_DQ5	Hyperbus 数据 5	IO	B8
MCU_HYPERBUS0_DQ6	Hyperbus 数据 6	IO	A8
MCU_HYPERBUS0_DQ7	Hyperbus 数据 7	IO	A7

5.3.19 GPMC

5.3.19.1 MAIN 域

表 5-85. GPMC0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPMC0_CLK	GPMC 时钟	IO	U13
GPMC0_ADVn_ALE	GPMC 地址有效（低电平有效）或地址锁存使能	O	W20
GPMC0_CLKOUT	为外部同步生成的 GPMC 时钟	O	V14
GPMC0_DIR	GPMC 数据总线信号方向控制	O	V21

Copyright © 2026 Texas Instruments Incorporated

表 5-85. GPMC0 信号说明 （续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPMC0_OEn_REn	GPMC 输出使能（低电平有效）或读取使能（低电平有效）	O	T18
GPMC0_WEn	GPMC 写入使能（低电平有效）	O	T17
GPMC0_WPn	GPMC 闪存写保护（低电平有效）	O	AA18
GPMC0_A0	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	OZ	W17
GPMC0_A1	A/D 非多路复用模式下为 GPMC 地址 1 输出，A/D 多路复用模式下为地址 17	OZ	V18
GPMC0_A2	A/D 非多路复用模式下为 GPMC 地址 2 输出，A/D 多路复用模式下为地址 18	OZ	V20
GPMC0_A3	A/D 非多路复用模式下为 GPMC 地址 3 输出，A/D 多路复用模式下为地址 19	OZ	W21
GPMC0_A4	A/D 非多路复用模式下为 GPMC 地址 4 输出，A/D 多路复用模式下为地址 20	OZ	W16
GPMC0_A5	A/D 非多路复用模式下为 GPMC 地址 5 输出，A/D 多路复用模式下为地址 21	OZ	V19
GPMC0_A6	A/D 非多路复用模式下为 GPMC 地址 6 输出，A/D 多路复用模式下为地址 22	OZ	T13
GPMC0_A7	A/D 非多路复用模式下为 GPMC 地址 7 输出，A/D 多路复用模式下为地址 23	OZ	T15
GPMC0_A8	A/D 非多路复用模式下为 GPMC 地址 8 输出，A/D 多路复用模式下为地址 24	OZ	U19
GPMC0_A9	A/D 非多路复用模式下为 GPMC 地址 9 输出，A/D 多路复用模式下为地址 25	OZ	T14
GPMC0_A10	A/D 非多路复用模式下为 GPMC 地址 10 输出，A/D 多路复用模式下为地址 26	OZ	U18
GPMC0_A11	A/D 非多路复用模式下为 GPMC 地址 11 输出，A/D 多路复用模式下未使用	OZ	Y14
GPMC0_A12	A/D 非多路复用模式下为 GPMC 地址 12 输出，A/D 多路复用模式下未使用	OZ	Y13
GPMC0_A13	A/D 非多路复用模式下为 GPMC 地址 13 输出，A/D 多路复用模式下未使用	OZ	U12
GPMC0_A14	A/D 非多路复用模式下为 GPMC 地址 14 输出，A/D 多路复用模式下未使用	OZ	V15
GPMC0_A15	A/D 非多路复用模式下为 GPMC 地址 15 输出，A/D 多路复用模式下未使用	OZ	W20
GPMC0_A16	A/D 非多路复用模式下为 GPMC 地址 16 输出，A/D 多路复用模式下未使用	OZ	U20
GPMC0_A17	A/D 非多路复用模式下为 GPMC 地址 17 输出，A/D 多路复用模式下未使用	OZ	AA15
GPMC0_A18	A/D 非多路复用模式下为 GPMC 地址 18 输出，A/D 多路复用模式下未使用	OZ	AA14
GPMC0_A19	A/D 非多路复用模式下为 GPMC 地址 19 输出，A/D 多路复用模式下未使用	OZ	AA18
GPMC0_A20	A/D 非多路复用模式下为 GPMC 地址 20 输出，A/D 多路复用模式下未使用	OZ	AA16
GPMC0_A21	A/D 非多路复用模式下为 GPMC 地址 21 输出，A/D 多路复用模式下未使用	OZ	W17

Copyright © 2026 Texas Instruments Incorporated

表 5-85. GPMC0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPMC0_A22	A/D 非多路复用模式下为 GPMC 地址 22 输出，A/D 多路复用模式下未使用	OZ	U17
GPMC0_AD0	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出，A/D 多路复用模式下为附加的地址 1 输出	IO	AA17
GPMC0_AD1	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出，A/D 多路复用模式下为附加的地址 2 输出	IO	Y15
GPMC0_AD2	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	IO	AA20
GPMC0_AD3	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出，A/D 多路复用模式下为附加的地址 4 输出	IO	Y17
GPMC0_AD4	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出，A/D 多路复用模式下为附加的地址 5 输出	IO	Y16
GPMC0_AD5	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出，A/D 多路复用模式下为附加的地址 6 输出	IO	V17
GPMC0_AD6	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出，A/D 多路复用模式下为附加的地址 7 输出	IO	AA19
GPMC0_AD7	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出，A/D 多路复用模式下为附加的地址 8 输出	IO	V16
GPMC0_AD8	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出，A/D 多路复用模式下为附加的地址 9 输出	IO	Y18
GPMC0_AD9	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出，A/D 多路复用模式下为附加的地址 10 输出	IO	Y19
GPMC0_AD10	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出，A/D 多路复用模式下为附加的地址 11 输出	IO	Y21
GPMC0_AD11	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出，A/D 多路复用模式下为附加的地址 12 输出	IO	W15
GPMC0_AD12	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出，A/D 多路复用模式下为附加的地址 13 输出	IO	Y20
GPMC0_AD13	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出，A/D 多路复用模式下为附加的地址 14 输出	IO	U14
GPMC0_AD14	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出，A/D 多路复用模式下为附加的地址 15 输出	IO	U16
GPMC0_AD15	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出，A/D 多路复用模式下为附加的地址 16 输出	IO	U15
GPMC0_BE0n_CLE	GPMC 低位字节使能（低电平有效）或命令锁存使能	O	U20
GPMC0_BE1n	GPMC 高位字节使能（低电平有效）	O	AA15
GPMC0_CSn0	GPMC 片选 0（低电平有效）	O	T20
GPMC0_CSn1	GPMC 片选 1（低电平有效）	O	U21
GPMC0_CSn2	GPMC 片选 2（低电平有效）	O	W17
GPMC0_CSn3	GPMC 片选 3（低电平有效）	O	AA16
GPMC0_WAIT0	GPMC 外部等待指示	I	T16
GPMC0_WAIT1	GPMC 外部等待指示	I	U17

Copyright © 2026 Texas Instruments Incorporated

5.3.20 MMC

5.3.20.1 MAIN 域

表 5-86. MMC0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MMC0_CALPAD(1)	MMC/SD/SDIO 校准电阻器	A	P20
MMC0_CLK	MMC/SD/SDIO 时钟	O	P18
MMC0_CMD	MMC/SD/SDIO 命令	IO	R17
MMC0_DS	MMC 数据选通	IO	P19
MMC0_DAT0	MMC/SD/SDIO 数据	IO	R16
MMC0_DAT1	MMC/SD/SDIO 数据	IO	P17
MMC0_DAT2	MMC/SD/SDIO 数据	IO	R18
MMC0_DAT3	MMC/SD/SDIO 数据	IO	R20
MMC0_DAT4	MMC/SD/SDIO 数据	IO	R19
MMC0_DAT5	MMC/SD/SDIO 数据	IO	P16
MMC0_DAT6	MMC/SD/SDIO 数据	IO	R21
MMC0_DAT7	MMC/SD/SDIO 数据	IO	T21

(1) 必须在该引脚和 VSS 之间连接一个外部 10kΩ ±1% 电阻器。不应向该引脚施加外部电压。

表 5-87. MMC1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MMC1_CLK (1)	MMC/SD/SDIO 时钟	IO	P21
MMC1_CMD	MMC/SD/SDIO 命令	IO	M20
MMC1_SDCD(2)	SD 卡检测	I	V1
MMC1_SDWP	SD 写保护	I	W1
MMC1_DAT0	MMC/SD/SDIO 数据	IO	M19
MMC1_DAT1	MMC/SD/SDIO 数据	IO	N21
MMC1_DAT2	MMC/SD/SDIO 数据	IO	N20
MMC1_DAT3	MMC/SD/SDIO 数据	IO	N19

(1) 为了让 MMC1_CLK 信号正常工作，出于重定时目的，CTRLMMR_PADCONFIG63 寄存器的 RXACTIVE 位应设置为 0x1。
(2) 为使 ROM 引导正常工作，应使用一个电阻器从外部将 MMC1_SDCD 引脚拉至低电平。

5.3.21 CPTS

5.3.21.1 MAIN 域

表 5-88. CPTS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CPTS0_RFT_CLK	CPTS 基准时钟	I	U3
CPTS0_TS_COMP	CPTS 时间戳计数器比较	O	U5
CPTS0_TS_SYNC	CPTS 时间戳计数器位	O	N20
CPTS0_HW1TSPUSH	CPTS 硬件时间戳推送 1	I	U3
CPTS0_HW2TSPUSH	CPTS 硬件时间戳推送 2	I	T3

Copyright © 2026 Texas Instruments Incorporated

5.3.21.2 MCU 域

表 5-89. CPTS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_CPTS0_RFT_CLK	CPTS 基准时钟	I	C20、E18
MCU_CPTS0_TS_COMP	CPTS 时间戳计数器比较	O	C19
MCU_CPTS0_TS_SYNC	CPTS 时间戳计数器位	O	C21
MCU_CPTS0_HW1TSPUSH	CPTS 硬件时间戳推送 1	I	C14
MCU_CPTS0_HW2TSPUSH	CPTS 硬件时间戳推送 2	I	C18

5.3.22 MCASP

5.3.22.1 MAIN 域

表 5-90. MCASP0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP0_ACLKR	MCASP 接收位时钟	IO	U17
MCASP0_ACLKX	MCASP 发送位时钟	IO	W15
MCASP0_AFSR	MCASP 接收帧同步	IO	U15
MCASP0_AFSX	MCASP 发送帧同步	IO	Y16
MCASP0_AXR0	MCASP 串行数据（输入/输出）	IO	W16
MCASP0_AXR1	MCASP 串行数据（输入/输出）	IO	Y21
MCASP0_AXR2	MCASP 串行数据（输入/输出）	IO	Y20
MCASP0_AXR3	MCASP 串行数据（输入/输出）	IO	AA19
MCASP0_AXR4	MCASP 串行数据（输入/输出）	IO	U19
MCASP0_AXR5	MCASP 串行数据（输入/输出）	IO	T15
MCASP0_AXR6	MCASP 串行数据（输入/输出）	IO	U20
MCASP0_AXR7	MCASP 串行数据（输入/输出）	IO	V21
MCASP0_AXR8	MCASP 串行数据（输入/输出）	IO	V17
MCASP0_AXR9	MCASP 串行数据（输入/输出）	IO	V18
MCASP0_AXR10	MCASP 串行数据（输入/输出）	IO	V20
MCASP0_AXR11	MCASP 串行数据（输入/输出）	IO	W21
MCASP0_AXR12	MCASP 串行数据（输入/输出）	IO	V16
MCASP0_AXR13	MCASP 串行数据（输入/输出）	IO	Y14
MCASP0_AXR14	MCASP 串行数据（输入/输出）	IO	Y13
MCASP0_AXR15	MCASP 串行数据（输入/输出）	IO	AA15

表 5-91. MCASP1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP1_ACLKR	MCASP 接收位时钟	IO	U18
MCASP1_ACLKX	MCASP 发送位时钟	IO	Y19
MCASP1_AFSR	MCASP 接收帧同步	IO	T14
MCASP1_AFSX	MCASP 发送帧同步	IO	Y18
MCASP1_AXR0	MCASP 串行数据（输入/输出）	IO	Y17
MCASP1_AXR1	MCASP 串行数据（输入/输出）	IO	AA20
MCASP1_AXR2	MCASP 串行数据（输入/输出）	IO	Y15

Copyright © 2026 Texas Instruments Incorporated

表 5-91. MCASP1 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP1_AXR3	MCASP 串行数据（输入/输出）	IO	AA17
MCASP1_AXR4	MCASP 串行数据（输入/输出）	IO	U16
MCASP1_AXR5	MCASP 串行数据（输入/输出）	IO	U14
MCASP1_AXR6	MCASP 串行数据（输入/输出）	IO	T13
MCASP1_AXR7	MCASP 串行数据（输入/输出）	IO	V19
MCASP1_AXR8	MCASP 串行数据（输入/输出）	IO	AA14
MCASP1_AXR9	MCASP 串行数据（输入/输出）	IO	AA18
MCASP1_AXR10	MCASP 串行数据（输入/输出）	IO	T14
MCASP1_AXR11	MCASP 串行数据（输入/输出）	IO	U18

表 5-92. MCASP2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP2_ACLKR	MCASP 接收位时钟	IO	W19
MCASP2_ACLKX	MCASP 发送位时钟	IO	U12
MCASP2_AFSR	MCASP 接收帧同步	IO	W14
MCASP2_AFSX	MCASP 发送帧同步	IO	V13
MCASP2_AXR0	MCASP 串行数据（输入/输出）	IO	AA16
MCASP2_AXR1	MCASP 串行数据（输入/输出）	IO	W17
MCASP2_AXR2	MCASP 串行数据（输入/输出）	IO	W20
MCASP2_AXR3	MCASP 串行数据（输入/输出）	IO	V14
MCASP2_AXR4	MCASP 串行数据（输入/输出）	IO	W14
MCASP2_AXR5	MCASP 串行数据（输入/输出）	IO	W19

5.3.23 DMTIMER

5.3.23.1 MAIN 域

表 5-93. DMTIMER 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
TIMER_IO0	计时器输入和输出（未连接到单个计时器实例）	IO	N19、V1
TIMER_IO1	计时器输入和输出（未连接到单个计时器实例）	IO	N20、W1
TIMER_IO2	计时器输入和输出（未连接到单个计时器实例）	IO	N21
TIMER_IO3	计时器输入和输出（未连接到单个计时器实例）	IO	M19
TIMER_IO4	计时器输入和输出（未连接到单个计时器实例）	IO	P21
TIMER_IO5	计时器输入和输出（未连接到单个计时器实例）	IO	M20
TIMER_IO6	计时器输入和输出（未连接到单个计时器实例）	IO	T18
TIMER_IO7	计时器输入和输出（未连接到单个计时器实例）	IO	T20

5.3.23.2 MCU 域

表 5-94. DMTIMER 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_TIMER_IO0	计时器输入和输出（未连接到单个计时器实例）	IO	B17

Copyright © 2026 Texas Instruments Incorporated

表 5-94. DMTIMER 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_TIMER_IO1	计时器输入和输出（未连接到单个计时器实例）	IO	A19、C16
MCU_TIMER_IO2	计时器输入和输出（未连接到单个计时器实例）	IO	C12
MCU_TIMER_IO3	计时器输入和输出（未连接到单个计时器实例）	IO	B12
MCU_TIMER_IO4	计时器输入和输出（未连接到单个计时器实例）	IO	C10
MCU_TIMER_IO5	计时器输入和输出（未连接到单个计时器实例）	IO	A10
MCU_TIMER_IO6	计时器输入和输出（未连接到单个计时器实例）	IO	C21、D21
MCU_TIMER_IO7	计时器输入和输出（未连接到单个计时器实例）	IO	C19、E19
MCU_TIMER_IO8	计时器输入和输出（未连接到单个计时器实例）	IO	E20
MCU_TIMER_IO9	计时器输入和输出（未连接到单个计时器实例）	IO	E21

5.3.24 仿真和调试

5.3.24.1 MAIN 域

表 5-95. JTAG 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EMU0	仿真控制 0	IO	A13
EMU1	仿真控制 1	IO	D12
TCK	JTAG 测试时钟输入	I	B15
TDI	JTAG 测试数据输入	I	F19
TDO	JTAG 测试数据输出	OZ	F21
TMS	JTAG 测试模式选择输入	I	U4
TRSTn	JTAG 复位	I	B20

表 5-96. 布线信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
TRC_CLK	跟踪时钟	O	W15
TRC_CTL	跟踪控制	O	Y16
TRC_DATA0	跟踪数据 0	O	W16
TRC_DATA1	跟踪数据 1	O	Y21
TRC_DATA2	跟踪数据 2	O	Y19
TRC_DATA3	跟踪数据 3	O	Y18
TRC_DATA4	跟踪数据 4	O	Y20
TRC_DATA5	跟踪数据 5	O	AA19
TRC_DATA6	跟踪数据 6	O	Y17
TRC_DATA7	跟踪数据 7	O	AA20
TRC_DATA8	跟踪数据 8	O	Y15
TRC_DATA9	跟踪数据 9	O	AA17
TRC_DATA10	跟踪数据 10	O	U17
TRC_DATA11	跟踪数据 11	O	U15
TRC_DATA12	跟踪数据 12	O	U18
TRC_DATA13	跟踪数据 13	O	T14
TRC_DATA14	跟踪数据 14	O	U19

Copyright © 2026 Texas Instruments Incorporated

表 5-96. 布线信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
TRC_DATA15	跟踪数据 15	O	T15
TRC_DATA16	跟踪数据 16	O	U20
TRC_DATA17	跟踪数据 17	O	V21
TRC_DATA18	跟踪数据 18	O	U16
TRC_DATA19	跟踪数据 19	O	U14
TRC_DATA20	跟踪数据 20	O	T13
TRC_DATA21	跟踪数据 21	O	V19
TRC_DATA22	跟踪数据 22	O	W14
TRC_DATA23	跟踪数据 23	O	W19

5.3.25 系统和其他

5.3.25.1 启动模式配置

5.3.25.1.1 MAIN 域

表 5-97. Sysboot 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
BOOTMODE00	引导模式引脚 0	I	D8
BOOTMODE01	引导模式引脚 1	I	C7
BOOTMODE02	引导模式引脚 2	I	A6
BOOTMODE03	引导模式引脚 3	I	B8
BOOTMODE04	引导模式引脚 4	I	D21
BOOTMODE05	引导模式引脚 5	I	E19
BOOTMODE06	引导模式引脚 6	I	D18
BOOTMODE07	引导模式引脚 7	I	C17

5.3.25.1.2 MCU 域

表 5-98. Sysboot 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_BOOTMODE00	引导模式引脚 00	I	C13
MCU_BOOTMODE01	引导模式引脚 01	I	A20
MCU_BOOTMODE02	引导模式引脚 02	I	B17
MCU_BOOTMODE03	引导模式引脚 03	I	B18
MCU_BOOTMODE04	引导模式引脚 04	I	B19
MCU_BOOTMODE05	引导模式引脚 05	I	D14
MCU_BOOTMODE06	引导模式引脚 06	I	E20
MCU_BOOTMODE07	引导模式引脚 07	I	E21
MCU_BOOTMODE08	引导模式引脚 08	I	D19
MCU_BOOTMODE09	引导模式引脚 09	I	D20

Copyright © 2026 Texas Instruments Incorporated

5.3.25.2 时钟

5.3.25.2.1 MAIN 域

表 5-99. Clock1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
OSC1_XI	高频振荡器输入	I	K19
OSC1_XO	高频振荡器输出	O	J19

5.3.25.2.2 WKUP 域

表 5-100. Clock0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_LF_CLKIN	低频 (32.768KHz) 振荡器输入	I	C17
WKUP_OSC0_XI	高频振荡器输入	I	K21
WKUP_OSC0_XO	高频振荡器输出	O	L21

5.3.25.3 系统

5.3.25.3.1 MAIN 域

表 5-101. System0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
AUDIO_EXT_REFCLK0	路由到 ATL 或 McASP 的外部时钟，作为可选输入时钟源之一或作为 ATL 或 McASP 的输出时钟	IO	V18
AUDIO_EXT_REFCLK1	路由到 ATL 或 McASP 的外部时钟，作为可选输入时钟源之一或作为 ATL 或 McASP 的输出时钟	IO	U21
EXTINTn	外部中断	I	U6
EXT_REFCLK1	Main 域的外部时钟输入，路由到计时器时钟多路复用器，作为计时器/WDT 模块的可选输入时钟源之一，或作为 MAIN_PLL2 (PER1 PLL) 的基准时钟	I	T3
GPMC0_FCLK_MUX	通过多路复用器逻辑选择的 GPMC 功能时钟输出	O	V14
OBSCLK0	观察时钟输出，用于测试和调试目的	O	W1
OBSCLK1	观察时钟输出，用于测试和调试目的	O	V16
OBSCLK2	观察时钟输出，用于测试和调试目的	O	V14
RESETSTATz	主域热复位状态输出	O	U2
SOC_SAFETY_ERRORn	Main 域 ESM 的错误信号输出	IO	V2
SYNC0_OUT	CPTS 时间戳发生器位 0	O	U3
SYNC1_OUT	CPTS 时间戳发生器位 1	O	T3
SYNC2_OUT	CPTS 时间戳发生器位 2	O	W16
SYNC3_OUT	CPTS 时间戳发生器位 3	O	V21
SYSCLKOUT0	主 PLL 控制器的 SYSCLK0 输出（6 分频），仅用于测试和调试用途	O	V1

5.3.25.3.2 WKUP 域

表 5-102. System0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_CLKOUT0	以太网 PHY 的基准时钟输出（50MHz 或 25MHz）	OZ	C16
MCU_EXT_REFCLK0	外部系统时钟输入	I	C20、E18

Copyright © 2026 Texas Instruments Incorporated

表 5-102. System0 信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_OBSCLK0	观察时钟输出，用于测试和调试目的	O	C16
MCU_PORz	MCU 域冷复位	I	G19
MCU_RESETSTATz	MCU 域热复位状态输出	O	B13
MCU_RESETz	MCU 域热复位	I	A18
MCU_SAFETY_ERRORn	MCU 域 ESM 的错误信号输出	IO	G18
MCU_SYSCLKOUT0	MCU 域系统时钟输出，仅用于测试和调试目的	O	C20
PMIC_POWER_EN1	MAIN 域电源的电源使能输出	O	C15
PMIC_WAKE0	PMIC 唤醒（低电平有效）	O	T19
PMIC_WAKE1	PMIC 唤醒（低电平有效）	O	E18
PORz	主域冷复位	I	H20
RESET_REQz	主域外部热复位请求输入	I	A15

5.3.25.3.3 VMON

表 5-103. VMON 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VMON1_ER_VSYS	电压监控器，0.45V (+/-3%) 固定阈值。与外部精密分压器配合使用，以监控更高的电压轨，例如 PMIC 输入电源。	PWR	G15
VMON2_IR_VCPU	建议在外部直接连接至 VDD_CPU	PWR	D16
VMON3_IR_VEXT1P8	用外部电源的通用电压监控器，1.8V 阈值。采用内部电阻分压器。	PWR	E17
VMON4_IR_VEXT1P8	用外部电源的通用电压监控器，1.8V 阈值。采用内部电阻分压器。	PWR	F17
VMON5_IR_VEXT3P3	用外部电源的通用电压监控器，3.3V 阈值。采用内部电阻分压器。	PWR	L14

5.3.25.4 EFUSE

表 5-104. EFUSE 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VPP_CORE (1)	MAIN 域电子保险丝的编程电压	PWR	N17
VPP_MCU (1)	MCU 域电子保险丝的编程电压	PWR	E11

(1) 此信号仅对高安全性器件有效。更多详细信息，请参阅节 6.7 “*一次性可编程 (OTP) 电子保险丝的 VPP 规范*”。对于通用器件，请勿将任何信号、测试点或电路板引线连接到此信号。

5.3.26 电源

备注

除非节 5.3 *信号说明*中另有说明，否则必须为所有电源焊球提供节 6.3 *建议运行条件*中指定的电压。

表 5-105. 电源信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CAP_VDDS0 (1)	MAIN 域 GENERAL IO 组 0 的外部电容器连接	PWR	M7
CAP_VDDS0_MCU (1)	MCUSS IO 组 0 的外部电容器连接	PWR	G14

Copyright © 2026 Texas Instruments Incorporated

表 5-105. 电源信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CAP_VDDS1_MCU (1)	MCUSS IO 组 1 的外部电容器连接	PWR	F9
CAP_VDDS2 (1)	MAIN 域 CANUART IO 组 2 的外部电容器连接	PWR	T12
CAP_VDDS2_MCU (1)	MCUSS IO 组 2 的外部电容器连接	PWR	F10
CAP_VDDS5 (1)	MAIN 域 MMC1 IO 组 5 的外部电容器连接	PWR	L15
VDDAR_CORE	主域 RAM 电源	PWR	K14、P14
VDDAR_CPU	CPU RAM 电源	PWR	J11、M10
VDDAR_MCU	MCUSS RAM 电源	PWR	H12、J14
VDDA_0P8_PLL_DDR	DDR PLL 模拟电源	PWR	K7
VDDA_0P8_USB	USB0 0.8V 模拟电源	PWR	P7
VDDA_0P8_DLL_MMC0	MMC0 DLL 模拟电源	PWR	M18
VDDA_0P8_SERDES0	SERDES0 模拟电源低电平	PWR	R8、T7、U8
VDDA_0P8_SERDES0_C	SERDES0 时钟电源	PWR	R9
VDDA_1P8_USB	USB0 1.8V 模拟电源	PWR	R6
VDDA_1P8_SERDES0	SERDES0 模拟电源高电平	PWR	P8
VDDA_3P3_USB	USB0 3.3V 模拟电源	PWR	R7
VDDA_ADC_MCU	ADC 模拟电源和高电压基准 (VREFP)	PWR	J16
VDDA_MCU_PLLGRP0	MCU PLL 组 0 的模拟电源	PWR	F15
VDDA_MCU_TEMP	MCU 域中温度传感器 0 的模拟电源	PWR	F16
VDDA_PLLGRP0	MAIN PLL 组 0 的模拟电源	PWR	N14
VDDA_PLLGRP4	MAIN PLL 组 4 的模拟电源	PWR	N9
VDDA_PLLGRP6	主 PLL 组 6 的模拟电源	PWR	J9
VDDA_PLLGRP8	MAIN PLL 组 8 的模拟电源	PWR	L7
VDDA_POR_WKUP	WKUP 域模拟电源	PWR	J15
VDDA_TEMP0	MAIN 域温度传感器 0 的模拟电源	PWR	J8
VDDA_TEMP1	MAIN 域温度传感器 1 的模拟电源	PWR	P15
VDDA_WKUP	WKUP 域的振荡器电源	PWR	H16
VDDSHV0	MAIN 域 GENERAL IO 组的 IO 电源	PWR	N6、P6
VDDSHV0_MCU	IO 电源 MCUSS 通用 IO 组，以及 MCU 和主域热复位引脚	PWR	E13、E14、F13、F14
VDDSHV1_MCU	MCUSS IO 组 1 的 IO 电源	PWR	E7、E8、F8
VDDSHV2	MAIN 域 CANUART IO 组 2 的 IO 电源	PWR	T10、U11、U9
VDDSHV2_MCU	MCUSS IO 组 2 的 IO 电源	PWR	F11、F12、G11
VDDSHV5	MAIN 域 MMC1 IO 组 5 的 IO 电源	PWR	K16、L16
VDDS_DDR	DDR 接口电源	PWR	A1、G7、H6、J7、K6、M5、U1
VDDS_DDR_BIAS	LPDDR4 的偏置电源	PWR	F7、L6
VDDS_DDR_C	DDR 存储器时钟位 (MCB) 宏的 IO 电源	PWR	J6
VDDS_MMC0	MMC0 IO 电源	PWR	M16、N16
VDDA_OSC1	HFOSC1 电源	PWR	G17

Copyright © 2026 Texas Instruments Incorporated

表 5-105. 电源信号说明（续）

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VDD_CORE	主域内核电源	PWR	H8、K12、L13、M12、M14、N13、N15、N7、P10、P12、R11、R13、R15
VDD_CPU	CPU 内核电源	PWR	J10、L11、M9、N11、N8
VDD_MCU	MCUSS 内核电源	PWR	G9、H10、H14、J13、K15
VDD_MCU_WAKE1	用于 MCU 唤醒功能的内核电源	PWR	G13
VDD_WAKE0	MAIN 域唤醒功能的内核电源，包括所有“CANUART”IO。	PWR	P11
VSS	接地	GND	B5、AA1、AA10、AA13、AA4、AA7、C11、D15、D17、D3、E10、E12、E15、E16、E6、E9、F1、G10、G12、G16、G6、G8、H11、H13、H15、H19、H4、H7、H9、J1、J12、J21、K11、K13、K3、L12、L19、L5、M11、M13、M15、M21、M6、M8、N10、N12、N3、P13、P5、P9、R10、R12、R14、T11、T2、T6、T8、T9、U10、U7、V11、V12、V9、W10、W13、W18、W4、W7、Y12、Y3、Y6、Y9

(1) 该引脚必须始终通过 1 µF ± 10% 电容器连接至 VSS。

Copyright © 2026 Texas Instruments Incorporated

5.4 引脚多路复用

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-106 *引脚多路复用*仅介绍引脚上的信号多路复用。有关引脚信号多路复用的更多信息，请参阅器件 TRM 的*器件配置*一章中的*焊盘配置寄存器*一节。有关与外设信号多路复用相关的信息，请参阅器件 TRM 中相应的外设章节。

备注

当焊盘设置为未定义的引脚多路复用模式时，该焊盘的运行方式是未定义的。应避免这种做法。

备注

表 5-106 “*引脚多路复用*”不包括串行器/解串器信号功能。如需了解更多信息，请参阅器件 TRM 中的“串行器/解串器 (SerDes)”一章。

备注

PRU 包含第二层多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。器件 TRM 的 PRU 一章中对该内部包装器多路复用进行了说明。

有关 I/O 单元配置的更多信息，请参阅器件 TRM 的*器件配置*一章中的*焊盘配置寄存器*一节。

表 5-106. 引脚多路复用

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C000	WKUP_PADCONFIG_0	B6	MCU_OSPI0_CLK	MCU_HYPERBUS0_CK						WKUP_GPIO0_16								
0x1C000	PADCONFIG_0	U6	EXTINTn							GPIO0_0								
0x1C004	WKUP_PADCONFIG_1	C8	MCU_OSPI0_LBCLKO	MCU_HYPERBUS0_CKn						WKUP_GPIO0_17								
0x1C004	PADCONFIG_1	AA17	RMII1_RXD0				RGMII1_RD0	RMII1_RXD0	MCAN14_TX	GPIO0_2			TRC_DATA9	UART5_TXD	MCASP1_AXR3		GPMC0_AD0	
0x1C008	PADCONFIG_2	Y15	RMII1_RXD1				RGMII1_RD1	RMII1_RXD1	MCAN14_RX	GPIO0_3		EHRPWM_TZn_IN2	TRC_DATA8	UART5_RXD	MCASP1_AXR2		GPMC0_AD1	
0x1C008	WKUP_PADCONFIG_2	B7	MCU_OSPI0_DQS	MCU_HYPERBUS0_RWDS						WKUP_GPIO0_18								
0x1C00C	PADCONFIG_3	AA20	RMII1_CRS_DV				RGMII1_RD2	RMII1_CRS_DV		GPIO0_4		EHRPWM2_B	TRC_DATA7	UART4_TXD	MCASP1_AXR1		GPMC0_AD2	

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C00C	WKUP_PADCONFIG_3	D8	MCU_OSPI0_D0	MCU_HYPERBUS0_DQ0						WKUP_GPIO0_19								BOOTMODE00
0x1C010	PADCONFIG_4	Y17	RMII1_RX_ER				RGMII1_RD3	RMII1_RX_ER		GPIO0_5		EHRPWM2_A	TRC_DATA6	UART6_TXD	MCASP1_AXR0		GPMC0_AD3	
0x1C010	WKUP_PADCONFIG_4	C7	MCU_OSPI0_D1	MCU_HYPERBUS0_DQ1						WKUP_GPIO0_20								BOOTMODE01
0x1C014	WKUP_PADCONFIG_5	C5	MCU_OSPI0_D2	MCU_HYPERBUS0_DQ2						WKUP_GPIO0_21								
0x1C014	PADCONFIG_5	Y16	RMII1_TXD0				RGMII1_RX_CTL	RMII1_TXD0		GPIO0_6		EHRPWM0_SYNCO	TRC_CTL	UART6_RXD	MCASP0_AFSX		GPMC0_AD4	
0x1C018	WKUP_PADCONFIG_6	A5	MCU_OSPI0_D3	MCU_HYPERBUS0_DQ3						WKUP_GPIO0_22								
0x1C018	PADCONFIG_6	V17	RMII1_TX_EN				RGMII4_RXC	RMII1_TX_EN		GPIO0_7		EQEP2_A		UART9_TXD	MCASP0_AXR8	I2C1_SCL	GPMC0_AD5	
0x1C01C	PADCONFIG_7	AA19	RMII1_TXD1				RGMII1_RXC	RMII1_TXD1		GPIO0_8		EHRPWM_TZn_IN1	TRC_DATA5	UART9_RXD	MCASP0_AXR3	I2C1_SDA	GPMC0_AD6	
0x1C01C	WKUP_PADCONFIG_7	A6	MCU_OSPI0_D4	MCU_HYPERBUS0_DQ4						WKUP_GPIO0_23								BOOTMODE02
0x1C020	WKUP_PADCONFIG_8	B8	MCU_OSPI0_D5	MCU_HYPERBUS0_DQ5						WKUP_GPIO0_24								BOOTMODE03
0x1C020	PADCONFIG_8	V18	MCAN0_TX				RGMII4_RD0		MCAN0_TX	GPIO0_9		EQEP2_B		GPMC0_A1	MCASP0_AXR9		AUDIO_EXT_REFCLK0	
0x1C024	PADCONFIG_9	V20	MCAN0_RX				RGMII4_RD1		MCAN0_RX	GPIO0_10		EQEP2_S		GPMC0_A2	MCASP0_AXR10			
0x1C024	WKUP_PADCONFIG_9	A8	MCU_OSPI0_D6	MCU_HYPERBUS0_DQ6						WKUP_GPIO0_25								
0x1C028	PADCONFIG_10	W21	MCAN1_TX				RGMII2_TXC	RMII2_TX_EN	MCAN1_TX	GPIO0_11	SPI6_CS0	EHRPWM_SOCA		GPMC0_A3	MCASP0_AXR11			
0x1C028	WKUP_PADCONFIG_10	A7	MCU_OSPI0_D7	MCU_HYPERBUS0_DQ7						WKUP_GPIO0_26								
0x1C02C	PADCONFIG_11	V16	MCAN1_RX				RGMII4_RD2	RMII2_TXD1	MCAN1_RX	GPIO0_12	SPI6_CS1	EQEP2_I	GPMC0_AD7	UART6_CTSn	MCASP0_AXR12		OBSCLK1	
0x1C02C	WKUP_PADCONFIG_11	D6	MCU_OSPI0_CSn0	MCU_HYPERBUS0_CSn0						WKUP_GPIO0_27								
0x1C030	WKUP_PADCONFIG_12	D7	MCU_OSPI0_CSn1	MCU_HYPERBUS0_RESETn						WKUP_GPIO0_28								
0x1C030	PADCONFIG_12	Y18	MCAN2_TX				RGMII1_TD0	RMII4_RXD0	MCAN2_TX	GPIO0_13	SPI5_CS3	EHRPWM1_A	TRC_DATA3	UART3_RXD	MCASP1_AFSX	UART9_CTSn	GPMC0_AD8	

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C034	PADCONFIG_13	Y19	MCAN2_RX				RGMII1_TD1	RMII4_RXD1	MCAN2_RX	GPIO0_14	SPI5_CS2	EHRPWM0_B	TRC_DATA2	UART3_TXD	MCASP1_ACLKX	UART9_RTSn	GPMC0_AD9	
0x1C038	PADCONFIG_14	Y21	MCAN3_TX				RGMII1_TD2	RMII4_CRS_DV	MCAN3_TX	GPIO0_15	SPI5_D0	EHRPWM0_A	TRC_DATA1		MCASP0_AXR1		GPMC0_AD10	
0x1C038	WKUP_PADCONFIG_14	C6	MCU_OSPI0_CSn2	MCU_OSPI0_CSn2	MCU_HYPERBUS0_RESETOn	MCU_HYPERBUS0_WPn	MCU_HYPERBUS0_CSn1		MCU_OSPI0_RESET_OUT0	WKUP_GPIO0_30								
0x1C03C	WKUP_PADCONFIG_15	D5	MCU_OSPI0_CSn3	MCU_OSPI0_CSn3	MCU_HYPERBUS0_INTn	MCU_HYPERBUS0_WPn		MCU_OSPI0_RESET_OUT1	MCU_OSPI0_ECC_FAIL	WKUP_GPIO0_31								
0x1C03C	PADCONFIG_15	W16	MCAN3_RX				RGMII1_TD3	RMII4_RX_ER	MCAN3_RX	GPIO0_16	SPI5_CS0	EHRPWM_TZn_IN0	TRC_DATA0	GPMC0_A4	MCASP0_AXR0		SYNC2_OUT	
0x1C040	PADCONFIG_16	W15	MCAN4_TX				RGMII1_TX_CTL	RMII4_TXD0	MCAN4_TX	GPIO0_17	SPI5_CLK	EHRPWM0_SYNCI	TRC_CLK	I2C2_SCL	MCASP0_ACLKX		GPMC0_AD11	
0x1C044	PADCONFIG_17	Y20	MCAN4_RX				RGMII1_TXC	RMII4_TX_EN	MCAN4_RX	GPIO0_18	SPI5_D1	EHRPWM1_B	TRC_DATA4	I2C2_SDA	MCASP0_AXR2		GPMC0_AD12	
0x1C048	PADCONFIG_18	V21	MCAN5_TX				RGMII3_RXC	RMII4_TXD1	MCAN5_TX	GPIO0_19	SPI5_CS1	EHRPWM4_B	TRC_DATA17	UART6_RTSn	MCASP0_AXR7	GPMC0_DIR	SYNC3_OUT	
0x1C04C	PADCONFIG_19	V19	MCAN5_RX				RGMII3_RD0	RMII3_RXD0	MCAN5_RX	GPIO0_20	I2C3_SCL	EHRPWM_TZn_IN5	TRC_DATA21	GPMC0_A5	MCASP1_AXR7			
0x1C050	PADCONFIG_20	T13	MCAN6_TX				RGMII3_RD1	RMII3_RXD1	MCAN6_TX	GPIO0_21	I2C3_SDA	EHRPWM5_B	TRC_DATA20	GPMC0_A6	MCASP1_AXR6			
0x1C054	PADCONFIG_21	U14	MCAN6_RX				RGMII3_RD2	RMII3_CRS_DV	MCAN6_RX	GPIO0_22		EHRPWM5_A	TRC_DATA19		MCASP1_AXR5		GPMC0_AD13	
0x1C058	PADCONFIG_22	U16	MCAN7_TX				RGMII3_RD3	RMII3_RX_ER	MCAN7_TX	GPIO0_23	SPI3_CS0	EHRPWM_TZn_IN4	TRC_DATA18		MCASP1_AXR4		GPMC0_AD14	
0x1C05C	PADCONFIG_23	U15	MCAN7_RX				RGMII3_RX_CTL	RMII3_TXD0	MCAN7_RX	GPIO0_24	SPI3_CS1	EHRPWM3_A	TRC_DATA11		MCASP0_AFSR		GPMC0_AD15	
0x1C060	PADCONFIG_24	T15	MCAN8_TX			GPMC0_A7	RGMII3_TD0	RMII3_TX_EN	MCAN8_TX	GPIO0_25	SPI3_CS2	EHRPWM_TZn_IN3	TRC_DATA15	UART3_CTSn	MCASP0_AXR5		UART0_DCDn	
0x1C064	PADCONFIG_25	U19	MCAN8_RX				RGMII3_TD1	RMII3_TXD1	MCAN8_RX	GPIO0_26	SPI3_CS3	EHRPWM3_SYNCO	TRC_DATA14	UART3_RTSn	MCASP0_AXR4	GPMC0_A8	UART0_DSRn	
0x1C068	WKUP_PADCONFIG_26	D11	MCU_RGMII1_TX_CTL	MCU_RMII1_CRS_DV						WKUP_GPIO0_29								
0x1C068	PADCONFIG_26	T14	MCAN9_TX				RGMII3_TD2		MCAN9_TX	GPIO0_27	SPI3_CLK	EHRPWM3_SYNCI	TRC_DATA13		MCASP1_AFSR	GPMC0_A9	MCASP1_AXR10	
0x1C06C	WKUP_PADCONFIG_27	A11	MCU_RGMII1_RX_CTL	MCU_RMII1_RX_ER						WKUP_GPIO0_43								
0x1C06C	PADCONFIG_27	U18	MCAN9_RX				RGMII3_TD3		MCAN9_RX	GPIO0_28	SPI3_D0	EHRPWM3_B	TRC_DATA12		MCASP1_ACLKR	GPMC0_A10	MCASP1_AXR11	
0x1C070	WKUP_PADCONFIG_28	C12	MCU_RGMII1_TD3	MCU_TIMER_IO2		MCU_ADC_EXT_TRIGGER0				WKUP_GPIO0_44								
0x1C070	PADCONFIG_28	U17	MCAN10_TX				RGMII3_TX_CTL		MCAN10_TX	GPIO0_29	SPI3_D1	EHRPWM_SOCB	TRC_DATA10	UART2_CTSn	MCASP0_ACLKR	GPMC0_WAIT1	GPMC0_A22	

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C074	PADCONFIG_29	U20	MCAN10_RX				RGMII3_TXC		MCAN10_RX	GPIO0_30	SPI2_CLK	EHRPWM4_A	TRC_DATA16	UART2_RTSn	MCASP0_AXR6	GPMC0_BE0n_CLE	GPMC0_A16	
0x1C074	WKUP_PADCONFIG_29	B12	MCU_RGMII1_TD2	MCU_TIMER_IO3		MCU_ADC_EXT_TRIGGER1				WKUP_GPIO0_45								
0x1C078	WKUP_PADCONFIG_30	B11	MCU_RGMII1_TD1	MCU_RMII1_TXD1						WKUP_GPIO0_46								
0x1C078	PADCONFIG_30	Y14	MCAN11_TX				RGMII2_RXC		MCAN11_TX	GPIO0_31	SPI2_CS0	EQEP0_A	SPI0_CS2	UART3_RXD	MCASP0_AXR13	GPMC0_A11	UART0_DTRn	
0x1C07C	PADCONFIG_31	Y13	MCAN11_RX				RGMII2_RD0		MCAN11_RX	GPIO0_32	SPI2_CS1	EQEP0_B		UART3_TXD	MCASP0_AXR14	GPMC0_A12	UART0_RIn	
0x1C07C	WKUP_PADCONFIG_31	D10	MCU_RGMII1_TD0	MCU_RMII1_TXD0						WKUP_GPIO0_47								
0x1C080	PADCONFIG_32	AA15	MCAN12_TX				RGMII2_RD1		MCAN12_TX	GPIO0_33	SPI2_CS2	EQEP1_A	I2C6_SCL	UART2_RXD	MCASP0_AXR15	GPMC0_BE1n	GPMC0_A17	
0x1C080	WKUP_PADCONFIG_32	A12	MCU_RGMII1_TXC	MCU_RMII1_TX_EN						WKUP_GPIO0_48								
0x1C084	WKUP_PADCONFIG_33	B10	MCU_RGMII1_RXC	MCU_RMII1_REF_CLK						WKUP_GPIO0_49								
0x1C084	PADCONFIG_33	AA14	MCAN12_RX				RGMII2_RD2		MCAN12_RX	GPIO0_34	SPI2_CS3	EQEP1_B	I2C6_SDA	UART2_TXD	MCASP1_AXR8	I3C0_SDAPULLEN	GPMC0_A18	
0x1C088	PADCONFIG_34	AA18	MCAN13_TX				RGMII2_RD3	GPMC0_WPn	MCAN13_TX	GPIO0_35	SPI2_D0	EQEP0_S	I2C5_SCL	UART8_CTSn	MCASP1_AXR9	I3C0_SCL	GPMC0_A19	
0x1C088	WKUP_PADCONFIG_34	C10	MCU_RGMII1_RD3	MCU_TIMER_IO4						WKUP_GPIO0_50								
0x1C08C	PADCONFIG_35	AA16	MCAN13_RX				RGMII2_RX_CTL	GPMC0_CSn3	MCAN13_RX	GPIO0_36	SPI2_D1	EQEP0_I	I2C5_SDA	UART8_RTSn	MCASP2_AXR0	I3C0_SDA	GPMC0_A20	
0x1C08C	WKUP_PADCONFIG_35	A10	MCU_RGMII1_RD2	MCU_TIMER_IO5						WKUP_GPIO0_51								
0x1C090	WKUP_PADCONFIG_36	B9	MCU_RGMII1_RD1	MCU_RMII1_RXD1						WKUP_GPIO0_52								
0x1C090	PADCONFIG_36	W17	MCAN15_TX				RGMII2_TD0	RMII2_RXD0		GPIO0_37	SPI6_CS2	EQEP1_S	MCAN15_TX	GPMC0_CSn2	MCASP2_AXR1	GPMC0_A0	GPMC0_A21	
0x1C094	PADCONFIG_37	W20	MCAN15_RX				RGMII2_TD1	RMII2_RXD1		GPIO0_38	SPI6_CS3	EQEP1_I	MCAN15_RX		MCASP2_AXR2	GPMC0_A15	GPMC0_ADVn_ALE	
0x1C094	WKUP_PADCONFIG_37	A9	MCU_RGMII1_RD0	MCU_RMII1_RXD0						WKUP_GPIO0_53								
0x1C098	PADCONFIG_38	V14	UART2_RXD				RGMII2_TD2	RMII2_CRS_DV		GPIO0_39	SPI6_CLK	GPMC0_CLKOUT	GPMC0_FCLK_MUX	UART2_RXD	MCASP2_AXR3		OBSCLK2	
0x1C098	WKUP_PADCONFIG_38	C9	MCU_MDIO0_MDIO							WKUP_GPIO0_54								
0x1C09C	PADCONFIG_39	V13	UART2_TXD				RGMII2_TD3	RMII2_RX_ER		GPIO0_40	SPI6_D0			UART2_TXD	MCASP2_AFSX			
0x1C09C	WKUP_PADCONFIG_39	D9	MCU_MDIO0_MDC							WKUP_GPIO0_55								

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C0A0	WKUP_PADCONFIG_40	C13	MCU_SPI0_CLK							WKUP_GPIO0_56								MCU_BOOTMODE00
0x1C0A0	PADCONFIG_40	U12					RGMII2_TX_CTL	RMII2_TXD0		GPIO0_41	SPI6_D1			UART4_RXD	MCASP2_ACLKX	GPMC0_A13		
0x1C0A4	WKUP_PADCONFIG_41	A20	MCU_SPI0_D0							WKUP_GPIO0_57								MCU_BOOTMODE01
0x1C0A4	PADCONFIG_41	W14	UART8_RXD		I2C4_SCL			MDIO0_MDIO		GPIO0_42			TRC_DATA22	UART8_RXD	MCASP2_AFSR	MCASP2_AXR4		
0x1C0A8	WKUP_PADCONFIG_42	B17	MCU_SPI0_D1				MCU_TIMER_IO0			WKUP_GPIO0_58								MCU_BOOTMODE02
0x1C0A8	PADCONFIG_42	W19	UART8_TXD	SPI1_CS3	I2C4_SDA			MDIO0_MDC		GPIO0_43			TRC_DATA23	UART8_TXD	MCASP2_ACLKR	MCASP2_AXR5		
0x1C0AC	WKUP_PADCONFIG_43	A19	MCU_SPI0_CS0				MCU_TIMER_IO1			WKUP_GPIO0_59								
0x1C0AC	PADCONFIG_43	U13	GPMC0_CLK	USB0_DRVVBUS			RGMII4_RD3			GPIO0_44			SPI0_CS3	UART9_RXD				
0x1C0B0	WKUP_PADCONFIG_44	B14	WKUP_UART0_RXD							WKUP_GPIO0_60								
0x1C0B0	PADCONFIG_44	T16	UART0_RXD				RGMII4_TXC			GPIO0_47							GPMC0_WAIT0	
0x1C0B4	PADCONFIG_45	T17	UART0_TXD				RGMII4_TD2			GPIO0_48							GPMC0_WEn	
0x1C0B4	WKUP_PADCONFIG_45	A14	WKUP_UART0_TXD							WKUP_GPIO0_61								
0x1C0B8	PADCONFIG_46	T18	UART1_RXD	MCAN17_TX		TIMER_IO6	RGMII4_TD3			GPIO0_49							GPMC0_OEn_REn	
0x1C0B8	WKUP_PADCONFIG_46	A16	MCU_MCAN0_TX							WKUP_GPIO0_62								
0x1C0BC	PADCONFIG_47	T20	UART1_TXD	MCAN17_RX		TIMER_IO7	RGMII4_TX_CTL			GPIO0_50							GPMC0_CSn0	
0x1C0BC	WKUP_PADCONFIG_47	A17	MCU_MCAN0_RX							WKUP_GPIO0_63								
0x1C0C0	PADCONFIG_48	W3	SPI0_CS0		UART0_CTSn					GPIO0_51								
0x1C0C0	WKUP_PADCONFIG_48	B18	MCU_SPI1_CLK	MCU_SPI1_CLK						WKUP_GPIO0_0								MCU_BOOTMODE03
0x1C0C4	PADCONFIG_49	U5	SPI0_CS1	CPTS0_TS_COMP	UART0_RTSn					GPIO0_52								
0x1C0C4	WKUP_PADCONFIG_49	B19	MCU_SPI1_D0	MCU_SPI1_D0						WKUP_GPIO0_1								MCU_BOOTMODE04
0x1C0C8	PADCONFIG_50	Y1	SPI0_CLK	UART1_CTSn	I2C2_SCL					GPIO0_53								
0x1C0C8	WKUP_PADCONFIG_50	D14	MCU_SPI1_D1	MCU_SPI1_D1						WKUP_GPIO0_2								MCU_BOOTMODE05
0x1C0CC	WKUP_PADCONFIG_51	B21	MCU_SPI1_CS0	MCU_SPI1_CS0						WKUP_GPIO0_3								

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C0CC	PADCONFIG_51	V4	SPI0_D0	UART1_RTSn	I2C2_SDA					GPIO0_54								
0x1C0D0	WKUP_PADCONFIG_52	D13	MCU_MCAN1_TX	MCU_MCAN1_TX	MCU_SPI0_CS3	MCU_ADC_EXT_TRIGGER0				WKUP_GPIO0_4								
0x1C0D0	PADCONFIG_52	T5	SPI0_D1							GPIO0_55								
0x1C0D4	PADCONFIG_53	V3	I2C0_SCL							GPIO0_56								
0x1C0D4	WKUP_PADCONFIG_53	B16	MCU_MCAN1_RX	MCU_MCAN1_RX	MCU_SPI1_CS3	MCU_ADC_EXT_TRIGGER1				WKUP_GPIO0_5								
0x1C0D8	PADCONFIG_54	W2	I2C0_SDA							GPIO0_57								
0x1C0D8	WKUP_PADCONFIG_54	C14	WKUP_UART0_CTSn	WKUP_UART0_CTSn	MCU_CPTS0_HW1TSPUSH	MCU_I2C1_SCL				WKUP_GPIO0_6								
0x1C0DC	PADCONFIG_55	U3	ECAP0_IN_APWM_OUT	SYNC0_OUT	CPTS0_RFT_CLK	I2C1_SCL	CPTS0_HW1TSPUSH	UART3_RXD	SPI7_CS0	GPIO0_58								
0x1C0DC	WKUP_PADCONFIG_55	C18	WKUP_UART0_RTSn	WKUP_UART0_RTSn	MCU_CPTS0_HW2TSPUSH	MCU_I2C1_SDA				WKUP_GPIO0_7								
0x1C0E0	PADCONFIG_56	T3	EXT_REFCLK1	SYNC1_OUT		I2C1_SDA	CPTS0_HW2TSPUSH	UART3_TXD	SPI7_CLK	GPIO0_59								
0x1C0E0	WKUP_PADCONFIG_56	C21	MCU_I2C1_SCL	MCU_I2C1_SCL	MCU_CPTS0_TS_SYNC	MCU_I3C0_SCL	MCU_TIMER_IO6			WKUP_GPIO0_8								
0x1C0E4	PADCONFIG_57	V1	TIMER_IO0	ECAP1_IN_APWM_OUT	SYSCLKOUT0			UART3_CTSn	SPI7_D0	GPIO0_60	MMC1_SDCD							
0x1C0E4	WKUP_PADCONFIG_57	C19	MCU_I2C1_SDA	MCU_I2C1_SDA	MCU_CPTS0_TS_COMP	MCU_I3C0_SDA	MCU_TIMER_IO7			WKUP_GPIO0_9								
0x1C0E8	PADCONFIG_58	W1	TIMER_IO1	ECAP2_IN_APWM_OUT	OBSCLK0			UART3_RTSn	SPI7_D1	GPIO0_61	MMC1_SDWP	PCIE1_CLKREQn						
0x1C0E8	WKUP_PADCONFIG_58	C20	MCU_EXT_REFCLK0	MCU_EXT_REFCLK0	MCU_UART0_TXD	MCU_ADC_EXT_TRIGGER0	MCU_CPTS0_RFT_CLK	MCU_SYSCLKOUT0		WKUP_GPIO0_10								
0x1C0EC	WKUP_PADCONFIG_59	C16	MCU_OBSCLK0	MCU_OBSCLK0	MCU_UART0_RXD	MCU_ADC_EXT_TRIGGER1	MCU_TIMER_IO1	MCU_I3C0_SDAPULLEN	MCU_CLKOUT0	WKUP_GPIO0_11								
0x1C0EC	PADCONFIG_59	N19	MMC1_DAT3	UART7_RXD	PCIE1_CLKREQn	TIMER_IO0				GPIO0_62	SPI1_CS0	UART0_CTSn	I2C3_SCL	UART5_RXD				
0x1C0F0	WKUP_PADCONFIG_60	D19	MCU_UART0_TXD	MCU_SPI0_CS1						WKUP_GPIO0_12								MCU_BOOTMODE08

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C0F0	PADCONFIG_60	N20	MMC1_DAT2	UART7_TXD		TIMER_IO1				GPIO0_63	SPI1_CS1	CPTS0_TS_SYNC	I2C3_SDA	UART5_TXD				
0x1C0F4	PADCONFIG_61	N21	MMC1_DAT1	UART7_CTSn	ECAP0_IN_APWM_OUT	TIMER_IO2		UART4_RXD		GPIO0_64	SPI1_CS2	UART5_CTSn	I2C4_SDA	UART2_RXD				
0x1C0F4	WKUP_PADCONFIG_61	D20	MCU_UART0_RXD	MCU_SPI1_CS1						WKUP_GPIO0_13								MCU_BOOTMODE09
0x1C0F8	PADCONFIG_62	M19	MMC1_DAT0	UART7_RTSn	ECAP1_IN_APWM_OUT	TIMER_IO3		UART4_TXD		GPIO0_65	SPI1_D0	UART5_RTSn	I2C4_SCL	UART2_TXD				
0x1C0F8	WKUP_PADCONFIG_62	E20	MCU_UART0_CTSn	MCU_SPI0_CS2			MCU_TIMER_IO8			WKUP_GPIO0_14								MCU_BOOTMODE06
0x1C0FC	WKUP_PADCONFIG_63	E21	MCU_UART0_RTSn	MCU_SPI1_CS2			MCU_TIMER_IO9			WKUP_GPIO0_15								MCU_BOOTMODE07
0x1C100	PADCONFIG_64	P21	MMC1_CLK	UART8_RXD		TIMER_IO4		UART4_CTSn		GPIO0_66	SPI1_CLK	UART0_RTSn	I2C6_SDA					
0x1C100	WKUP_PADCONFIG_64	F20	WKUP_I2C0_SCL							WKUP_GPIO0_64								
0x1C104	PADCONFIG_65	M20	MMC1_CMD	UART8_TXD		TIMER_IO5		UART4_RTSn		GPIO0_67	SPI1_D1		I2C6_SCL					
0x1C104	WKUP_PADCONFIG_65	H21	WKUP_I2C0_SDA							WKUP_GPIO0_65								
0x1C108	WKUP_PADCONFIG_66	G21	MCU_I2C0_SCL							WKUP_GPIO0_66								
0x1C108	PADCONFIG_66	U2	RESETSTATz															
0x1C10C	WKUP_PADCONFIG_67	G20	MCU_I2C0_SDA							WKUP_GPIO0_67								
0x1C110	WKUP_PADCONFIG_68	C15	PMIC_POWER_EN1					MCU_I3C0_SDAPULLEN		WKUP_GPIO0_68								
0x1C110	PADCONFIG_68	V2	SOC_SAFETY_ERRORn															
0x1C114	WKUP_PADCONFIG_69	G18	MCU_SAFETY_ERRORn															
0x1C118	WKUP_PADCONFIG_70	A18	MCU_RESETz															
0x1C11C	PADCONFIG_71	U4	TMS															
0x1C11C	WKUP_PADCONFIG_71	B13	MCU_RESETSTATz							WKUP_GPIO0_79								
0x1C120	WKUP_PADCONFIG_72	D21					MCU_TIMER_IO6			WKUP_GPIO0_77								BOOTMODE04
0x1C120	PADCONFIG_72	T4	USB0_DRVVBUS							GPIO0_68								

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C124	WKUP_PADCONFIG_73	B15	TCK															
0x1C124	PADCONFIG_73	T19	PMIC_WAKE0n				RGMII4_TD1			GPIO0_1								
0x1C128	WKUP_PADCONFIG_74	B20	TRSTn															
0x1C12C	WKUP_PADCONFIG_75	A13	EMU0															
0x1C130	WKUP_PADCONFIG_76	D12	EMU1															
0x1C134	WKUP_PADCONFIG_77	H17	MCU_ADC0_AIN0															
0x1C138	WKUP_PADCONFIG_78	K18	MCU_ADC0_AIN1															
0x1C13C	WKUP_PADCONFIG_79	M17	MCU_ADC0_AIN2															
0x1C140	WKUP_PADCONFIG_80	L18	MCU_ADC0_AIN3															
0x1C144	WKUP_PADCONFIG_81	J18	MCU_ADC0_AIN4															
0x1C148	WKUP_PADCONFIG_82	J17	MCU_ADC0_AIN5															
0x1C14C	WKUP_PADCONFIG_83	K17	MCU_ADC0_AIN6															
0x1C150	WKUP_PADCONFIG_84	L17	MCU_ADC0_AIN7															
0x1C164	PADCONFIG_89	V15	MCAN16_TX	RMII_REF_CLK			RGMII4_RX_CTL			GPIO0_45					UART7_TXD	GPMC0_A14		
0x1C168	PADCONFIG_90	U21	MCAN16_RX	CLKOUT			RGMII4_TD0			GPIO0_46					UART7_RXD	GPMC0_CSn1	AUDIO_EXT_REFCLK1	
0x1C174	WKUP_PADCONFIG_93	A15	RESET_REQz															
0x1C178	WKUP_PADCONFIG_94	H20	PORz															
0x1C17C	WKUP_PADCONFIG_95	E19					MCU_TIMER_IO7			WKUP_GPIO0_78								BOOTMODE05
0x1C180	WKUP_PADCONFIG_96	D18								WKUP_GPIO0_80								BOOTMODE06
0x1C184	WKUP_PADCONFIG_97	C17		WKUP_LF_CLKIN						WKUP_GPIO0_81								BOOTMODE07
0x1C188	WKUP_PADCONFIG_98	F19	TDI															
0x1C18C	WKUP_PADCONFIG_99	F21	TDO															

Copyright © 2026 Texas Instruments Incorporated

表 5-106. 引脚多路复用（续）

地址偏移	寄存器名称	焊球编号	MUXMODE[15:0] 设置														
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x1C190	WKUP_PADCONFIG_100	E18	PMIC_WAKE1n	MCU_EXT_REFCLK0	MCU_CPTS0_RFT_CLK					WKUP_GPIO0_84								

5.5 未使用引脚的连接

本节介绍了未使用/保留焊球连接要求。

备注

除非节 5.3 *信号说明*中另有说明，否则必须为所有电源焊球提供节 6.3 *建议运行条件*中指定的电压。

表 5-107. 未使用焊球的特定连接要求

焊球编号	焊球名称	连接要求
V7	SERDES0_REXT	这些焊球每一个均必须通过单独的外部拉电阻器连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。
V5	USB0_RCALIB	
K19	OSC1_XI	
B20	TRSTN	
H17	MCU_ADC0_AIN0	
K18	MCU_ADC0_AIN1	
M17	MCU_ADC0_AIN2	
L18	MCU_ADC0_AIN3	
J18	MCU_ADC0_AIN4	
J17	MCU_ADC0_AIN5	
K17	MCU_ADC0_AIN6	
L17	MCU_ADC0_AIN7	
B2	DDR0_DQS0P	
E2	DDR0_DQS1P	
M2	DDR0_DQS2P	
R2	DDR0_DQS3P	
V1	MMC1_SDCD	
G15	VMON1_ER_VSYS	
D16	VMON2_IR_VCPU	
E17	VMON3_IR_VEXT1P8	
F17	VMON4_IR_VEXT1P8	
L14	VMON5_IR_VEXT3P3	

Copyright © 2026 Texas Instruments Incorporated

表 5-107. 未使用焊球的特定连接要求（续）

焊球编号	焊球名称	连接要求
A18	MCU_RESETZ	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源，以确保这些焊球保持为有效的逻辑高电平（如果未使用）。(1)
G19	MCU_PORZ	
H20	PORZ	
B15	TCK	
U4	TMS	
F20	WKUP_I2C0_SCL	
H21	WKUP_I2C0_SDA	
G20	MCU_I2C0_SDA	
G21	MCU_I2C0_SCL	
W2	I2C0_SDA	
V3	I2C0_SCL	
U6	EXTINTN	
F19	TDI	
F21	TDO	
D12	EMU1	
A13	EMU0	
B1	DDR0_DQS0N	
E1	DDR0_DQS1N	
M1	DDR0_DQS2N	
R1	DDR0_DQS3N	
N17	VPP_CORE	如果未使用，这些焊球中的每一个都必须保持未连接状态。
E11	VPP_MCU	
P20	MMC0_CALPAD	
AA8	SERDES0_REFCLK_N	
AA9	SERDES0_REFCLK_P	
AA11	SERDES0_RX0_N	
AA12	SERDES0_RX0_P	
W11	SERDES0_TX0_N	
W12	SERDES0_TX0_P	
W8	SERDES0_RX1_N	
W9	SERDES0_RX1_P	
Y10	SERDES0_TX1_N	
Y11	SERDES0_TX1_P	
Y7	SERDES0_RX2_N	
Y8	SERDES0_RX2_P	
AA5	SERDES0_TX2_N	
AA6	SERDES0_TX2_P	
W5	SERDES0_RX3_N	
W6	SERDES0_RX3_P	
Y4	SERDES0_TX3_N	
Y5	SERDES0_TX3_P	

(1) 要确定哪个电源与任何 IO 相关联，请参阅表 5-1，*引脚属性*。

Copyright © 2026 Texas Instruments Incorporated

表 5-108. 保留焊球的特定连接要求

焊球	连接要求
A21 / AA21 / K8 / K9 / K10 / L8 / L9 / L10	封装上不存在这些焊球。
H18/F18/N18/L20/K20/J20/V8/V10/E5/F6	这些焊球必须保持未连接状态。

备注

所有其他**没有**焊盘配置寄存器的未使用信号焊球均可以保持未连接状态。

备注

带有焊盘配置寄存器的所有其他未使用信号焊球可保持未连接状态，它们的多路复用模式设置为 GPIO 输入且启用内部下拉电阻器。

未使用的焊球定义为只与 PCB 焊盘连接的焊球。允许使用内部拉电阻器作为保持有效逻辑电平的唯一拉电流/灌电流。

任何连接到过孔、测试点或 PCB 布线的焊球均视为已使用，并且不得依赖内部拉电阻器来保持有效的逻辑电平。

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，可以使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

如果允许焊球在有效逻辑电平之间悬空，输入缓冲器可能会进入大电流状态，进而损坏 IO 单元。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

参数		最小值	最大值	单位
VDD_CORE	主域内核电源	-0.3	1.05	V
VDD_MCU	MCUSS 内核电源	-0.3	1.05	V
VDD_CPU	CPU 内核电源	-0.3	1.05	V
VDD_MCU_WAKE1	用于 MCU 唤醒功能的内核电源	-0.3	1.05	V
VDD_WAKE0	MAIN 域唤醒功能的内核电源，包括所有“CANUART”IO。	-0.3	1.05	V
VDDA_0P8_DLL_MMC0	MMC0 DLL 模拟电源	-0.3	1.05	V
VDDAR_CORE	主域 RAM 电源	-0.3	1.05	V
VDDAR_MCU	MCUSS RAM 电源	-0.3	1.05	V
VDDAR_CPU	CPU RAM 电源	-0.3	1.05	V
VDDA_0P8_SERDES0	SERDES0 模拟电源低电平	-0.3	1.05	V
VDDA_0P8_SERDES0_C	SERDES0 时钟电源	-0.3	1.05	V
VDDA_0P8_USB	USB0 0.8V 模拟电源	-0.3	1.05	V
VDDA_0P8_PLL_DDR	DDR PLL 模拟电源	-0.3	1.05	V
VDDA_1P8_USB	USB0 1.8V 模拟电源	-0.3	2.2	V
VDDA_1P8_SERDES0	SERDES0 模拟电源高电平	-0.3	2.2	V
VDDA_3P3_USB	USB0 3.3V 模拟电源	-0.3	3.8	V
VDDA_MCU_PLLGRP0	MCU PLL 组 0 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP0	主 PLL 组 0 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP4	主 PLL 组 4 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP6	主 PLL 组 6 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP8	主 PLL 组 8 的模拟电源	-0.3	2.2	V
VDDA_WKUP	WKUP 域的振荡器电源	-0.3	2.2	V
VDDA_ADC_MCU	ADC 模拟电源	-0.3	2.2	V
VDDA_MCU_TEMP	MCU 域中温度传感器 0 的模拟电源	-0.3	2.2	V
VDDA_POR_WKUP	WKUP 域模拟电源	-0.3	2.2	V
VDDA_TEMP0	温度传感器 0 的模拟电源	-0.3	2.2	V
VDDA_TEMP1	温度传感器 1 的模拟电源	-0.3	2.2	V
VDDS_DDR(10)	DDR 接口电源	-0.3	1.2	V
VDDS_DDR_BIAS(10)	LPDDR4 的偏置电源	-0.3	1.2	V
VDDS_DDR_C(10)	DDR 存储器时钟位 (MCB) 宏的 IO 电源	-0.3	1.2	V
VDDS_MMC0	MMC0 IO 电源	-0.3	2.2	V
VDDA_OSC1	HFOSC1 电源	-0.3	2.2	V
VDDSHV0_MCU	IO 电源 MCUSS 通用 IO 组，以及 MCU 和主域热复位引脚	-0.3	3.8	V
VDDSHV0	主域的通用 IO 电源	-0.3	3.8	V
VDDSHV1_MCU	MCUSS IO 组 1 的 IO 电源	-0.3	3.8	V
VDDSHV2_MCU	MCUSS IO 组 2 的 IO 电源	-0.3	3.8	V
VDDSHV2	主域 IO 组 2 的 IO 电源	-0.3	3.8	V
VDDSHV5	主域 IO 组 5 的 IO 电源	-0.3	3.8	V

Copyright © 2026 Texas Instruments Incorporated

6.1 绝对最大额定值（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

参数		最小值	最大值	单位
VPP_CORE	内核电子保险丝域的电源电压范围	-0.3	1.89	V
VPP_MCU	MCU 电子保险丝域的电源电压范围	-0.3	1.89	V
USB0_VBUS(9)	USB VBUS 比较器输入的电压范围	-0.3	3.6	V
所有失效防护 IO 引脚的稳态最大电压	I2C0_SCL、I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn	-0.3	3.8	V
	MCU_PORz、PORz	-0.3	3.8	V
	VMON2_IR_VCPU	-0.3	1.05	V
	VMON3_IR_VEXT1P8、VMON4_IR_VEXT1P8、VMON1_ER_VSYS(8)	-0.3	2.2	V
	VMON5_IR_VEXT3P3	-0.3	3.8	V
所有其他 IO 引脚的稳态最大电压(3)	所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲规格	20% 的 IO 电源电压在信号周期的 20% 以内（请参阅图 6-1，*IO 瞬态电压范围*）		0.2 × VDD(6)	V
闩锁性能，II 级 (125°C)(4)	电流测试	-100	100	mA
	过压 (OV) 测试	不适用	1.5 × VDD(7)	V
T_{STG} (5)	贮存温度	-55	+150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出节 6.3 *建议运行条件*，但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) 除非另有说明，否则所有电压值均以其关联的 VSS 或 VSSA_x 为基准。

(3) 此参数适用于所有不具有失效防护功能的 IO 引脚，该要求适用于所有 IO 电源电压值。例如，如果施加到特定 IO 电源的电压为 0V，则由该电源供电的任何 IO 的有效输入电压范围将为 –0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时，都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压（包括电源斜升和斜降序列），这一点很重要。

(4) 对于电流脉冲注入：
引脚应力符合 JEDEC JESD78E（II 级），并施加额定 I/O 引脚注入电流和钳位电压（最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍）。
对于过压性能：
电源应力符合 JEDEC JESD78E（II 级）并施加额定电压注入。

(5) 对于卷带包装，贮存温度范围为 [–10°C；+50°C]，最大相对湿度为 70%。TI 建议在使用前恢复到环境室温。

(6) VDD 是 IO 相应电源引脚上的电压。

(7) 需要一个外部电阻分压器来创建 VMON 输入值，当 V_{SYS} 电平达到最小允许阈值时，该值在 V_{TH} = 0.45 时触发。建议使用至少为 10kΩ 的串联电阻 R2 (VMON_ER_VSYS = V_{SYS} × R1 / (R1 + R2)) 来限制电流。

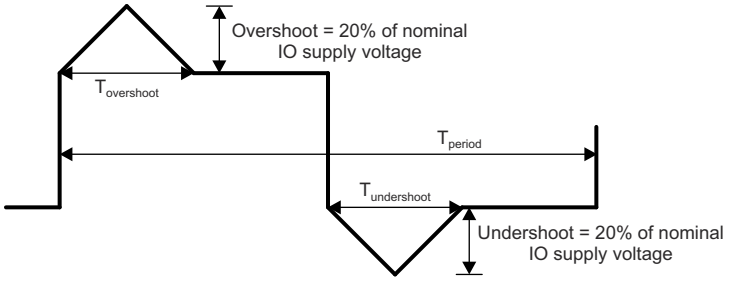
(8) VMON1_ER_VSYS 引脚提供了一种监测系统电源的方法。更多信息，请参阅节 8.3.4 “*系统电源监测设计指南*”。

(9) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅 节 8.3.3 *USB VBUS 设计指南*。

(10) 单个 1.1V 电源必须驱动所有三个 VDDS_DDR、VDDS_DDR_BIAS、VDDS_DDR_C 电源。

Copyright © 2026 Texas Instruments Incorporated

失效防护 IO 终端的设计使其不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时，将外部电压源连接到这些 IO 终端。I2C0_SCL、I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn、MCU_PORz、PORz、VMON1_ER_VSYS、VMON2_IR_VCPU、VMON3_IR_VEXT1P8、VMON4_IR_VEXT1P8、VMON5_ER_VEXT3P3 是仅有的失效防护 IO 端子。所有其他 IO 终端都不具有失效防护功能，对其施加的电压应限制为节 6.1 中的所有 IO 引脚的稳态最大电压参数定义的值。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ 的 20%

图 6-1. IO 瞬态电压范围

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±1000	V
		充电设备模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±250	
			转角引脚（A1、AJ29）	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

电源名称	说明	最小值(1)	标称值	最大值(1)	单位
VDD_CORE(3)	MAIN 域内核电源的启动/有效电压	0.76(1)	0.8	0.84(1)	V
VDD_MCU	MCUSS 内核电源的启动/有效电压	0.76(1)	0.8	0.89(1)	V
VDD_CPU	CPU 内核电源的启动电压，在冷上电事件时施加	0.76(1)	0.8	0.84(1)	V
	CPU 内核电源的有效电压，在软件中启用 AVS 模式后	AVS(5) – 5%(1)	AVS(5)	AVS(5)+5%(1)	V
VDD_CPU AVS 范围	VDD_CPU 电压的电子保险丝有效电压范围	0.6		0.9	V
VDD_MCU_WAKE1	用于 MCU 唤醒功能的内核电源	0.76	0.8	0.89	V
VDD_WAKE0	MAIN 域唤醒功能的内核电源，包括所有“CANUART”IO。	0.76	0.8	0.89	V
VDDA_0P8_DLL_MMC0	MMC PLL 模拟电源	0.76	0.8	0.84	V
VDDAR_CORE	Main 域 RAM 电源	0.81	0.85	0.89	V
VDDAR_MCU	MCUSS RAM 电源	0.81	0.85	0.89	V
VDDAR_CPU	CPU RAM 电源	0.81	0.85	0.89	V
VDDA_0P8_SERDES0(3)	SERDES0 模拟电源低电平	0.76	0.8	0.84	V
VDDA_0P8_SERDES0_C(3)	SERDES0-1 时钟电源	0.76	0.8	0.84	V
VDDA_0P8_USB(3)	USB 0.8v 模拟电源	0.76	0.8	0.84	V
VDDA_1P8_USB	USB 1.8v 模拟电源	1.71	1.8	1.89	V

Copyright © 2026 Texas Instruments Incorporated

6.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

电源名称	说明		最小值(1)	标称值	最大值(1)	单位
VDDA_1P8_SERDES0	SERDES0 模拟电源高电平		1.71	1.8	1.89	V
VDDA_3P3_USB	USB 3.3v 模拟电源		3.14	3.3	3.46	V
VDDA_MCU_PLLGRP0	MCU PLL 组 0 的模拟电源		1.71	1.8	1.89	V
VDDA_PLLGRP0	主 PLL 组 0 的模拟电源		1.71	1.8	1.89	V
VDDA_PLLGRP4	主 PLL 组 4 的模拟电源		1.71	1.8	1.89	V
VDDA_PLLGRP6	主 PLL 组 6 的模拟电源		1.71	1.8	1.89	V
VDDA_PLLGRP8	主 PLL 组 8 的模拟电源		1.71	1.8	1.89	V
VDDA_WKUP	WKUP 域的振荡器电源		1.71	1.8	1.89	V
VDDA_ADC_MCU	ADC 模拟电源		1.71	1.8	1.89	V
VDDA_0P8_PLL_DDR	DDR PLL 模拟电源		0.76	0.8	0.84	V
VDDA_MCU_TEMP	MCU 域中温度传感器 0 的模拟电源		1.71	1.8	1.89	V
VDDA_POR_WKUP	WKUP 域模拟电源		1.71	1.8	1.89	V
VDDA_TEMP0	温度传感器 0 的模拟电源		1.71	1.8	1.89	V
VDDA_TEMP1	温度传感器 1 的模拟电源		1.71	1.8	1.89	V
VDDS_DDR(2)	DDR 接口电源		1.05	1.1	1.15	V
VDDS_DDR_BIAS(2)	LPDDR4 的偏置电源		1.05	1.1	1.15	V
VDDS_DDR_C(2)	DDR 存储器时钟位 (MCB) 宏的 IO 电源		1.05	1.1	1.15	V
VDDS_MMC0	MMC0 IO 电源		1.71	1.8	1.89	V
VDDA_OSC1	HFOSC1 电源		1.71	1.8	1.89	V
VDDA_*	所有 VDDA 输入的峰峰值噪声				25	mV
VDDSHV0	Main 域的通用 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.14	3.3	3.46	V
VDDSHV0_MCU	IO 电源 MCUSS 通用 IO 组以及 MCU 和 Main 域热复位引脚	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.14	3.3	3.46	V
VDDSHV1_MCU	MCUSS IO 组 1 的 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.14	3.3	3.46	V
VDDSHV2	Main 域 IO 组 2 的 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.14	3.3	3.46	V
VDDSHV2_MCU	MCUSS IO 组 2 的 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.14	3.3	3.46	V
VDDSHV5	Main 域 IO 组 5 的 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.14	3.3	3.46	V
USB0_VBUS	USB VBUS 比较器输入的电压范围		0	请参阅(6)	3.46	V
USB0_ID	USB ID 输入的电压范围			请参阅(4)		V
VSS	接地			0		V
T_J	工作结温范围	汽车	-40		125	°C
		扩展	-40		105	°C
		商用级	0		90	°C

(1) 对于所有 VDD* 电源输入，器件焊球上的电压在任何时间段绝不能低于最小值电压或高于最大值电压。该要求包括动态电压事件，例如交流纹波、电压瞬变、电压骤降等。所有电源输入都需要满足该要求，但应特别注意 VDD_CORE、VDD_MCU 和 VDD_CPU 域，与其他电源轨相比，这些域的瞬态电流需求更高。

Copyright © 2026 Texas Instruments Incorporated

(2) 单个 1.1V 电源必须驱动所有三个 VDDS_DDR、VDDS_DDR_BIAS、VDDS_DDR_C 电源。即使未使用 DDR 接口，这些电源仍需要在 LPDDR4 电压范围内供电。
(3) 单个 0.8V 电源必须驱动 VDD_CORE 和 VDDA_0P8_ PHY 输入电源。此外，对于在系统中使用的接口，其各个 VDDA_0P8_ PHY 输入电源应包含模拟滤波器元件。
(4) 该端子连接到相应 USB PHY 中的模拟电路。相应电路在测量电压时提供已知电流，以确定端子连接到 VSS 时相关电阻是否小于 10Ω 或大于 100kΩ。对于 USB 主机操作，该端子应接地，对于 USB 外设操作，则应保持开路，并且始终不得连接至任何外部电压源。
(5) AVS 电压取决于器件、电压域和 OPP。必须从 VTM_DEVINFO_VDn 读取它们。有关 VTM_DEVINFO_VDn 寄存器地址的信息，请参阅器件 TRM 中的“电压和热管理器”部分。电源应在 VDD_CPU AVS 范围条目所示的范围内可调节。
(6) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅 节 8.3.3 *USB VBUS 设计指南*

6.4 上电小时数 (POH)

IP1 2 3	电压域	电压 (V)（最大值）	频率 (MHz)（最大值）	Tj(°C)	POH
全部	100%	全部	所有支持的 OPP	汽车类 –40°C 至 125°C	20000
全部	100%	全部	所有支持的 OPP	扩展：-40°C 至 105°C	100000
全部	100%	全部	所有支持的 OPP	商用：0°C 至 90°C	100000

1. 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
2. 除非上表中另有说明，否则器件在额定温度下支持所有电压域和工作条件。
3. POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。
4. 汽车曲线定义为 20000 小时通电时间，此时结温如下所示：5% (-40°C)、65% (70°C)、20% (110°C) 和 10% (125°C)。

Copyright © 2026 Texas Instruments Incorporated

6.5 运行性能点

本节介绍了表 6-1 中器件的最大运行条件。本节还包含表 6-2 中处理器时钟和器件内核时钟的每个运行性能点 (OPP) 的说明。

表 6-1. 速度等级最大频率

器件	最大频率 (MHz)					
	A72SS0	R5FSS0	MCU_R5FSS0	CBASS0	DMSC	LPDDR4 (1)
DRA821xT	2000	1000	1000	500	333	1600 (DDR-3200)
DRA821xL	1500	1000	1000	500	333	1600 (DDR-3200)
DRA821xE	1000	1000	1000	500	333	1600 (DDR-3200)
DRA821xC	750	500	1000	500	333	1600 (DDR-3200)

(1) 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。TI 强烈建议所有设计的每个细节（布线、间距、过孔/背钻、PCB 材料等）都严格遵循 TI LPDDR4 EVM PCB 布局，以便完全实现指定的时钟频率。有关详细信息，请参阅 Jacinto 7 DDR 电路板设计和布局指南。

表 6-2. 支持的 OPP 与最大频率间的关系

请参阅(1) (2)

时钟	最大频率 (MHz)	
	OPP_LOW(4)	OPP_NOM(3)
MPU_CLK (A72SS0)	1000	2000
MSMC_CLK	500	1000
DDRn_CLKP/DDRn_CKN	1066 (2133MT/s) 或 1333 (2666MT/s)(5)	1600 (3200MT/s)

(1) OPP 和 VDD_CPU 电压应在引导时选择/设置。*不* 支持 DVFS。
(2) 必须根据该表中较低的频率约束和速度等级最大频率来限制频率。例如，T 速度等级可以在 2GHz/1GHz 或 1GHz/500MHz 的频率下运行 A72SS/MSMC。A72SS/MSMC 以 2GHz/1GHz 运行时必须使用 OPP_NOM。A72SS/MSMC 以 1GHz/500MHz 运行时可以使用 OPP_NOM 或 OPP_LOW 电压。同样，E 速度等级能够以最高 1GHz/500MHz 的频率运行 A72SS/MSMC。在这种情况下，允许使用 OPP_NOM 或 OPP_LOW 电压（但建议使用 OPP_LOW 电压以降低功耗）。
(3) 应根据 OPP_1 寄存器设置来设置 VDD_CPU 的 OPP_NOM AVS 电压。
(4) 如果 OPP_0 不等于 0，则应根据 OPP_0 寄存器设置来设置 VDD_CPU 的 OPP_LOW AVS 电压。如果 OPP_0 等于 0，则应使用 OPP_1 寄存器设置。
(5) DDR 在 OPP_LOW 中可配置为高达 2666MT/s。建议在 OPP_LOW 中使用 2132MT/s，因为该频率与 MPU_CLK 的缩放更匹配，而且与 2666MT/s 相比更节能。

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性

备注

节 6.6.10 至节 6.6.10 中所述的接口或信号对应于多路复用模式 0（主要功能）中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式（功能）指定不同的直流电气特性。

6.6.1 I2C 开漏失效防护 (I2C OD FS) 电气特性

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称：WKUP_I2C0_SDA、WKUP_I2C0_SCL、MCU_I2C0_SDA、MCU_I2C0_SCL、I2C0_SDA、I2C0_SCL、EXTINTN						
焊球编号： H21 / F20 / G20 / G21 / W2 / V3 / U6						
1.8V 模式						
V_{IL}	输入低电压				0.3 × VDDSHV (1)	V
V_{ILSS}	输入低电压稳态				0.3 × VDDSHV (1)	V
V_{IH}	输入高电压		0.7 × VDDSHV (1)			V
V_{IHSS}	输入高电压稳态		0.7 × VDDSHV (1)			V
V_{HYS}	输入迟滞电压		0.1 × VDDSHV (1)			mV
I_{IN}	输入漏电流。	V_I = 1.8V 或 0V			±10	µA
V_{OL}	输出低电压				0.2 × VDDSHV (1)	V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	10			mA
3.3V 模式 (2)						
V_{IL}	输入低电压				0.3 × VDDSHV (1)	V
V_{ILSS}	输入低电压稳态				0.25 × VDDSHV (1)	V
V_{IH}	输入高电压		0.7 × VDDSHV (1)			V
V_{IHSS}	输入高电压稳态		0.7 × VDDSHV (1)			V
V_{HYS}	输入迟滞电压		0.05 × VDDSHV (1)			mV
I_{IN}	输入漏电流。	V_I = 3.3V 或 0V			±10	µA
V_{OL}	输出低电压				0.4	V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	10			mA

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅表 5-1 的“电源”列。
(2) 在 3.3V 模式下操作 IO 时，不支持 I2C HS 模式。

6.6.2 失效防护复位（FS 复位）电气特性

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称：MCU_PORz、PORz					
焊球编号： G19/H20					

Copyright © 2026 Texas Instruments Incorporated

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平阈值				0.3 × VDDSHV(1)	V
V_{ILSS}	输入低电平阈值稳态				0.3 × VDDSHV(1)	V
V_{IH}	输入高电平阈值		0.7 × VDDSHV(1)			V
V_{IHSS}	输入高电平阈值稳态		0.7 × VDDSHV(1)			V
V_{HYS}	输入迟滞电压		200			mV
I_{IN}	输入漏电流	V_I = 1.8V 或 0V			±10	µA

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅引脚属性的“电源”列。

6.6.3 HFOSC 电气特性

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
高频振荡器						
焊球名称： OSC1_XI、WKUP_OSC0_XI						
焊球编号： K19/K21						
V_{IH}	高电平输入电压		0.65 × VDDSHV (1)			V
V_{IL}	低电平输入电压				0.35 × VDDSHV (1)	V
V_{HYS}	输入迟滞电压			49		mV

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅表 5-1 的“电源”列。

6.6.4 eMMCPHY 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称： MMC0_DAT[7:0]、MMC0_CALPAD、MMC0_CMD、MMC0_DS、MMC0_CLK						
焊球编号： R16 / P17 / R18 / R20 / R19 / P16 / R21 / T21 / P20 / R17 / P19 / P18						
V_{IL}	输入低电压				0.35 × VDDSHV(1)	V
V_{ILSS}	输入低电压稳态				0.20	V
V_{IH}	输入高电压		0.65 × VDDSHV(1)			V
V_{IHSS}	输入高电压稳态		1.4			V
I_{IN}	输入漏电流。	V_I = 1.8V 或 0V			±10	µA
I_{OZ}	三态输出漏电流。	V_O = 1.8V 或 0V			±10	µA
R_{PU}	上拉电阻器		15	20	25	kΩ
R_{PD}	下拉电阻器		15	20	25	kΩ
V_{OL}	输出低电压				0.30	V
V_{OH}	输出高电压		VDDSHV(1)-0.30			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	2			mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$	2			mA

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SR_I	输入压摆率		5E+8			V/s

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅表 5-1 的“电源”列。

6.6.5 SDIO 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称：MMC1_CLK、MMC1_CMD、MMC1_DAT[3:0]						
焊球编号： P21/M20/M19/N21/N20/N19						
1.8V 模式						
V_{IL}	输入低电压				0.58	V
V_{ILSS}	输入低电压稳态				0.58	V
V_{IH}	输入高电压		1.27			V
V_{IHSS}	输入高电压稳态		1.7			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流。	V_I = 1.8V 或 0V			±10	µA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		VDDSHV(1) - 0.45			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	4			mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$	4			mA
3.3V 模式						
V_{IL}	输入低电压				0.25 × VDDSHV(1)	V
V_{ILSS}	输入低电压稳态				0.15 × VDDSHV(1)	V
V_{IH}	输入高电压		0.625 × VDDSHV(1)			V
V_{IHSS}	输入高电压稳态		0.625 × VDDSHV(1)			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流。	V_I = 1.8V 或 0V			±10	µA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电压				0.125 × VDDSHV(1)	V
V_{OH}	输出高电压		0.75 × VDDSHV(1)			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	6			mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$	10			mA

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅表 5-1 的“电源”列。

Copyright © 2026 Texas Instruments Incorporated

6.6.6 ADC12BT 电气特性

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称：MCU_ADC0_AIN[7:0]						
焊球编号： J18 / H17 / K18 / J17 / M17 / K17 / L18 / L17						
$V_{MCU_ADC0_AIN[7:0]}$	满标量程输入范围		VSS		VDDA (2)	V
DNL	微分非线性		-1	0.5	4	LSB
INL	积分非线性			±1	±4	LSB
$LSB_{GAIN-ERROR}$	增益误差			±2		LSB
$LSB_{OFFSET-ERROR}$	偏移误差			±2		LSB
C_{IN}	输入采样电容			5.5		pF
SNR	信噪比	输入信号：-0.5dB 满量程的 200kHz 正弦波		70		dB
THD	总谐波失真	输入信号：-0.5dB 满量程的 200kHz 正弦波		75		dB
SFDR	无杂散动态范围	输入信号：-0.5dB 满量程的 200kHz 正弦波		80		dB
$SNR_{(PLUS)}$	信噪比和失真	输入信号：-0.5dB 满量程的 200kHz 正弦波		69		dB
$R_{MCU_ADC0_AIN[0:7]}$	MCU_ADC0_AIN[7:0] 的输入阻抗	f = 输入信频率		$[1/((65.97 \times 10^{-12}) \times f_{SMPL_CLK})]$		Ω
I_{IN}	输入漏电流	MCU_ADC0_AIN[7:0] = VSS			5	μA
		MCU_ADC0_AIN[7:0] = VDDA_ADC_MCU			10	μA
采样动态						
F_{SMPL_CLK}	SMPL_CLK 频率			60		MHz
t_C	转换时间			13		ADC0 SMPL_CLK 周期
t_{ACQ}	采集时间		2		257	ADC0 SMPL_CLK 周期
T_R	采样率	ADC0 SMPL_CLK = 60MHz			4	MSPS
CCISO	通道间隔离			100		dB
通用输入模式 (1)						
V_{IL}	输入低电压				0.35 × VDDA (2)	V
V_{ILSS}	输入低电压稳态				0.35 × VDDA (2)	V

Copyright © 2026 Texas Instruments Incorporated

在建议的工作条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	输入高电压		0.65 × VDDA (2)			V
V_{IHSS}	输入高电压稳态		0.65 × VDDA (2)			V
V_{HYS}	输入迟滞电压		200			mV
I_I	输入漏电流	V_I = 1.8V 或 0V			2	μA

(1) MCU_ADC0 可配置为以通用输入模式运行，其中所有 MCU_ADC0_AIN[7:0] 输入均通过 ADC0_CTRL 寄存器 (gpi_mode_en = 1) 全局启用，以作为数字输入运行。
(2) VDDA 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅 表 5-1 的“电源”列。

Copyright © 2026 Texas Instruments Incorporated

6.6.7 LVCMOS 电气特性

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
焊球名称：所有其他 IO						
焊球编号：所有其他 IO						
1.8V 模式						
V_{IL}	输入低电压				0.35 × VDD(1)	V
V_{ILSS}	输入低电压稳态				0.3 × VDD(1)	V
V_{IH}	输入高电压		0.65 × VDD(1)			V
V_{IHSS}	输入高电压稳态		0.85 × VDD(1)			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流。	V_I = 1.8V 或 0V			±10	µA
R_{PU}	上拉电阻器		15	22	30	kΩ
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		VDD(1) - 0.45			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	3			mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$	3			mA
3.3V 模式						
V_{IL}	输入低电压				0.8	V
V_{ILSS}	输入低电压稳态				0.6	V
V_{IH}	输入高电压		2.0			V
V_{IHSS}	输入高电压稳态		2.0			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流。	V_I = 3.3V 或 0V			±10	µA
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.4	V
V_{OH}	输出高电压		2.4			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	5			mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$	6			mA

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅表 5-1 的“电源”列。

6.6.8 USB2PHY 电气特性

备注

USB0 电气特性符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范，包括适用的 ECN 和勘误表。

Copyright © 2026 Texas Instruments Incorporated

6.6.9 SERDES 电气特性

备注

PCIe 接口符合 2017 年 9 月 27 日 PCI Express® 基本规范 4.0 版中规定的电气参数。

如表 6-3 *串行器/解串器 REFCLK 电气特性* 中的参数 V_{REFCLK_TERM} 所述，在输入模式下使用该器件并启用内部终端时，该器件对串行器/解串器 REFCLK 施加了额外的限制。默认情况下会启用内部终端，但在应用超过限值（由 V_{REFCLK_TERM} 定义）的基准时钟信号之前必须禁用内部终端。在源极侧应始终启用外部终端。

表 6-3. SERDES REFCLK 电气特性

仅在启用内部终端后适用。在建议的工作条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
模式 0 中的焊球名称：SERDES0_REFCLK_P、SERDES0_REFCLK_N					
焊球编号：AA9 / AA8					
V_{REFCLK_TERM}	启用内部终端后位于基准时钟引脚上的单端电压阈值			400	mV
R_{TERM}	内部端接	40	50	62.5	Ω

备注

SerDes USB 接口符合 2013 年 7 月 26 日通用串行总线 3.1 规范 1.0 版本中定义的 USB3.1 超高速发送器和接收器标准化电气参数。

备注

SGMII 接口电气特性符合 IEEE802.3 第 70 条规定的 1000BASE-KX 标准。

备注

SGMII 2.5G/XAUI 接口电气特性符合 IEEE802.3 第 47 条。

备注

QSGMII 接口电气特性符合 QSGMII 规范 1.2 版。

备注

USXGMII 支持第 72-7 条和附录 69B 中的 IEEE 802.3 TX 和 RX 电气特性。它不支持 10GBase-KR 自动协商（第 73 条）和链路训练（第 72 条）。

USXGMII 不需要 IEEE 802.3 表 72-7 和 72-8，因为这些表与训练（第 72-6 条）相关，而 USXGMII 不需要该训练。

应使用 BER 扫描来设置前游标、主游标和后游标。

备注

XFI 接口电气特性符合 INF-8077_XFP_XFI_10Gbps_1X 规范 4.5 版（2005 年 8 月 31 日）的要求。

Copyright © 2026 Texas Instruments Incorporated

6.6.10 DDR 电气特性

备注

DDR 接口与符合 JEDEC JESD209-4B 标准的 LPDDR4 SDRAM 器件兼容。

6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节说明了对 OTP 电子保险丝进行编程所需的运行条件，且仅适用于高安全性器件。

6.7.1 OTP 电子保险丝编程的建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域的电源电压范围	请参阅 节 6.3			V
VDD_MCU	OTP 运行期间内核域的电源电压范围	请参阅 节 6.3			V
VPP_CORE	正常运行期间电子保险丝 ROM 域的电源电压范围	不适用			
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 (1)	1.71	1.8	1.89	V
VPP_MCU	正常运行期间电子保险丝 ROM 域的电源电压范围	不适用			
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 (1)	1.71	1.8	1.89	V
$SR_{(VPP)}$	VPP 压摆率			6E + 4	V/s

(1) 电源电压范围包括直流误差和峰峰值噪声。来自 TLV707x 系列的 TI 电源管理解决方案 TLV70718 是一款示例器件，满足 VPP_CORE 和 VPP_MCU 所需的电源电压范围。

6.7.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，VPP_CORE 和 VPP_MCU 电源必须禁用。
- 在执行正确的器件上电序列后，VPP_CORE 和 VPP_MCU 电源必须斜升（更多详细信息，请参阅节 6.10.2）。

6.7.3 编程序列

OTP 电子保险丝的编程序列：

- 按照上电时序为电路板加电。上电和正常运行期间，VPP_CORE 和 VPP_MCU 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件（请联系您当地的 TI 代表以获取 OTP 软件包）。
- 根据节 6.7.1 中的规格在 VPP_CORE 和 VPP_MCU 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP_CORE 和 VPP_MCU 端子上的电压。

6.7.4 对硬件保修的影响

您了解并接受您自行承担使用电子保险丝对 TI 器件造成不可逆更改的风险。您确认电子保险丝可能会由于操作条件或编程序列不正确而失效。此类失效可能导致 TI 器件无法运行，并且在试图使用电子保险丝之前，TI 不能确认 TI 器件符合 TI 器件规格。因此，对于客户错误进行电子熔断的任何 TI 器件，TI 不承担任何责任（*保修责任或其他责任*）。

6.8 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于节 6.3 *建议运行条件* 中确定的 T_J 值。

Copyright © 2026 Texas Instruments Incorporated

6.8.1 热阻特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	ALM 封装	
			°C/W (1) (3)	气流 (m/s) (2)
T1	$R_{\Theta JC}$	结点到外壳	0.54	不适用
T2	$R_{\Theta JB}$	结点到电路板	2.9	不适用
T3	$R_{\Theta JA}$	结点到环境空气	12.8	0
T4		结至流动空气	9.1	1
T5			8.1	2
T6			7.5	3
T7	Ψ_{JT}	结至封装顶部	0.5	0
T8			0.3	1
T9			0.3	2
T10			0.3	3
T11	Ψ_{JB}	结点到电路板	2.8	0
T12			2.8	1
T13			2.7	2
T14			2.7	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(2) m/s = 米/秒。

(3) °C/W = 摄氏度/瓦。

Copyright © 2026 Texas Instruments Incorporated

6.9 温度传感器特性

本节总结了电压和温度模块 (VTM) 片上温度传感器特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于*建议运行条件*中确定的 T_J 值。

表 6-4. VTM 裸片温度传感器特性

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	VTM 温度传感器精度	-40 至 110°C	-5		5	℃
		110℃ 至 125℃	-2		2	℃

Copyright © 2026 Texas Instruments Incorporated

6.10 时序和开关特性

备注

当相关 PADCONFIG 寄存器中的 DRV_STR（驱动强度）控制被设置为默认的“0h - 标称（推荐）”值时，本节介绍的时序有效。

6.10.1 时序参数和信息

节 6.10 中使用的时序参数符号是按照 JEDEC 标准 100 创建的。为了缩短符号，表 6-5 中缩写了某些引脚名称和其他相关术语：

表 6-5. 时序参数下标

符号	参数
c	周期时间（周期）
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
启动	起始位
t	转换时间
v	有效时间
W	脉冲持续时间（宽度）
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

Copyright © 2026 Texas Instruments Incorporated

6.10.2 电源时序

本节介绍了确保器件正常运行所需的电源时序控制。本节所述的电源名称构成了一系列兼容器件的超集。该系列的部分产品不包括这些电源及其相关器件模块的子集。

6.10.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 100mV/μs。例如，如图 6-2 所示，对于高于 18μs 的 1.8V 电源，TI 建议采用电源电压斜坡转换时间。

图 6-2 介绍了器件中的电源压摆率要求。

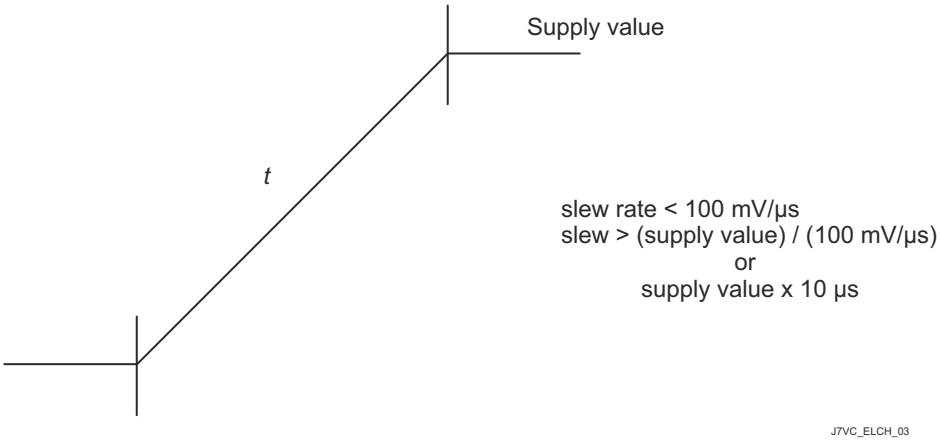
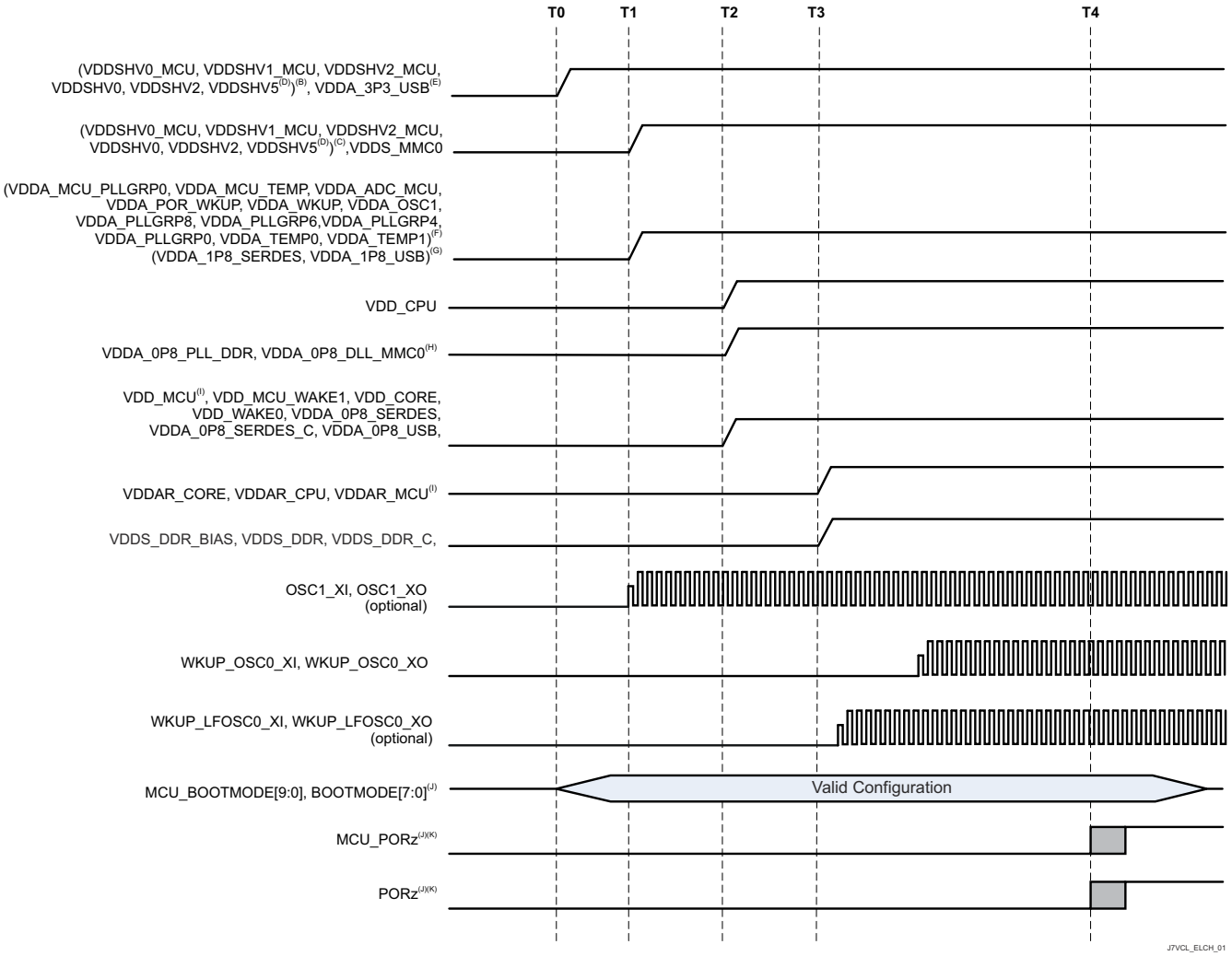


图 6-2. 电源电压转换时间和压摆率

Copyright © 2026 Texas Instruments Incorporated

6.10.2.2 组合式 MCU 域和 Main 域上电时序

图 6-3 介绍了当类似的 MCU 和 Main 电压域组合到公共电源轨时的初级上电时序。结合 MCU 域和 Main 电压域可使 SoC 的 MCU 和 Main 处理器子系统依赖公共电源轨运行。SoC 的 PDN 设计可能希望将 MCU 域和 Main 电压域进行分组，主要原因是通过减少电源轨和电源的总数来简化 PDN。这种简化的 PDN 将用于不需要独立的 MCU 和 Main 处理器子系统运行的系统。



A. 术语：

- 初级 = 所有电压域进入完全运行状态的基本上电序列。
- $V_{OPR\ MIN}$ = 确保实现*建议运行条件*中指定的功能的最低工作电压电平。
- 斜升 = 从关断状态到 $V_{OPR\ MIN}$ 的电压电源转换时间。
- Domain_“n” = 相似电压域（即双电压 IO 域、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2 ⋯ VDDSHV6）的多个实例
- Domain_“xxx” = 使用相同电压电源类型和电平的不同信号类型/协议域（即 VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB 等）

时间戳：

显示大致运行时间的标记，取决于 PDN 功能集、元件选择和电源映射。显示的值是结合 MCU 域和 Main 电压域的 PDN 典型值，但可能因 PDN 设计而异。

时间戳定义和（仅供参考的典型值）：

T0 — 所有 3.3V 电压开始电源斜升至 $V_{OPR\ MIN}$。(0ms)

T1 — 所有 1.8V 电压开始电源斜升至 $V_{OPR\ MIN}$。(0.5ms)

T2 — 所有内核电压开始电源斜升至 $V_{OPR\ MIN}$。(1.0ms)

Copyright © 2026 Texas Instruments Incorporated

T3 — 所有 RAM 阵列电压开始电源斜升至 $V_{OPR\ MIN}$。(1.5ms)

T4 — OSC1 保持稳定，PORz/MCU_PORz 置为无效以从复位状态释放处理器。(11ms)

B. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。

C. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。

D. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。

E. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

F. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果分组在一起，则需要进行直列式铁氧体磁珠电源滤波。

G. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

H. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

I. VDD_MCU 是一个具有宽工作电压范围的数字电压域，因此可将其与 VDDAR_MCU 域或与 VDD_CORE 分组在一起；对于“组合式 MCU 和 Main 域上电时序”，VDD_MCU 可与 VDD_CORE 分组在一起，而 VDDAR_MCU 可与 VDDAR_CPU 和 VDDAR_CORE 分组在一起。如果 VDD_MCU 与 VDD_CORE 分组在一起，则 VDD_MCU 必须从 T2 处 VDD_CORE 为 0.8V 的公共电压资源斜升。如果 VDD_MCU 未与 VDD_CORE 分组在一起，则 VDD_MCU 必须在 T2 之前斜升。在任一种情况下，VDDAR 电源都必须在 T3 处斜升。

J. 在所示的最短建立时间和保持时间内，在上电序列期间将 MCU_PORz 和 PORz 置为高电平有效，从而将 MCU_BOOTMODEn（参考 MCU_VDDSHV0）和 BOOTMODEn（参考 VDDSHV2）设置锁存到寄存器中。

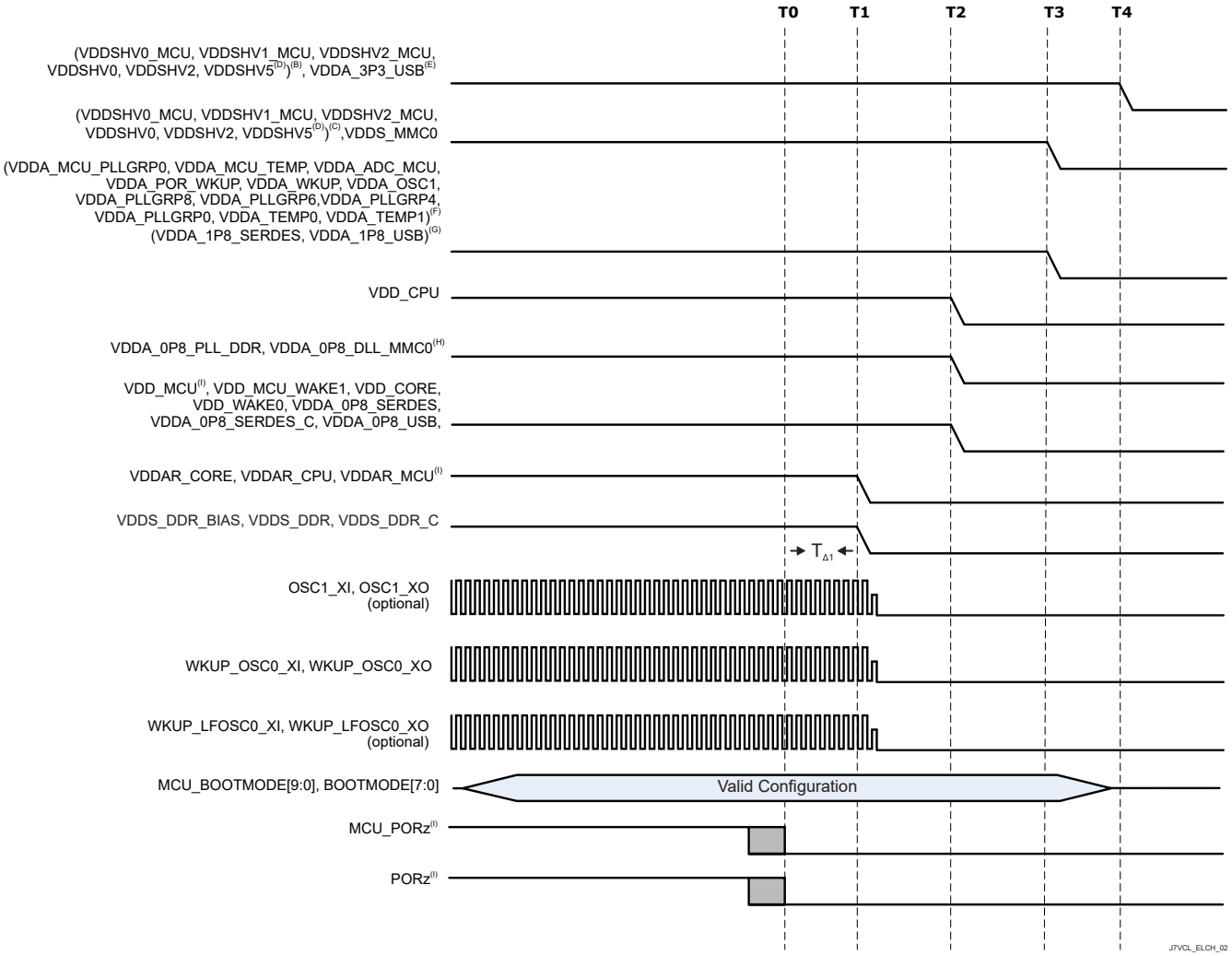
K. 从晶体振荡器电路通电（T1 处的 VDDA_OSC1）直至达到稳定时钟频率所需的最短时间取决于晶体振荡器、电容器参数和 PCB 寄生值。此处显示的是由 (T4 – T1) 时间戳定义的 10ms 保守时间。根据客户的时钟电路（即晶体振荡器或时钟发生器）和 PCB 设计，这一时间可以减少。

图 6-3. 组合式 MCU 域和 Main 域，初级上电序列

Copyright © 2026 Texas Instruments Incorporated

6.10.2.3 组合式 MCU 域和 Main 域下电时序 - 选项 1

图 6-4 介绍了选项 1 的器件下电时序。



A. 术语：

- 初级 = 完成关断状态所需的所有电压域的基本断电序列。
- $V_{OPR\ MIN}$ = 确保实现*建议运行条件*中指定的功能的最低工作电压电平。
- 斜降 = 从 $V_{OPR\ MIN}$ 到关断状态的电压电源转换时间。
- Domain_“n” = 相似电压域（即双电压 IO 域、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2 … VDDSHV6）的多个实例
- Domain_“xxx” = 使用相同电压电源类型和电平的不同信号类型/协议域（即 VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB 等）

时间戳：

显示大致运行时间的标记，取决于 PDN 功能集、元件选择和电源映射。显示的值是结合 MCU 域和 Main 电压域的 PDN 典型值，但可能因 PDN 设计而异。

时间戳定义和（仅供参考的典型值）：

T0 — MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)

T1 — 主 DDR、SRAM 内核和 SRAM CPU 电源域开始斜降。(0.5ms)

T2 — 所有内核电压开始电源斜降。(2.5ms)

T3 — 所有 1.8V 电压开始电源斜降。(3.0ms)

T4 — 所有 3.3V 电压开始电源斜降。(3.5ms)

B. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。

Copyright © 2026 Texas Instruments Incorporated

C. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。

D. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。

E. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

F. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果分组在一起，则需要进行直列式铁氧体磁珠电源滤波。

G. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

H. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

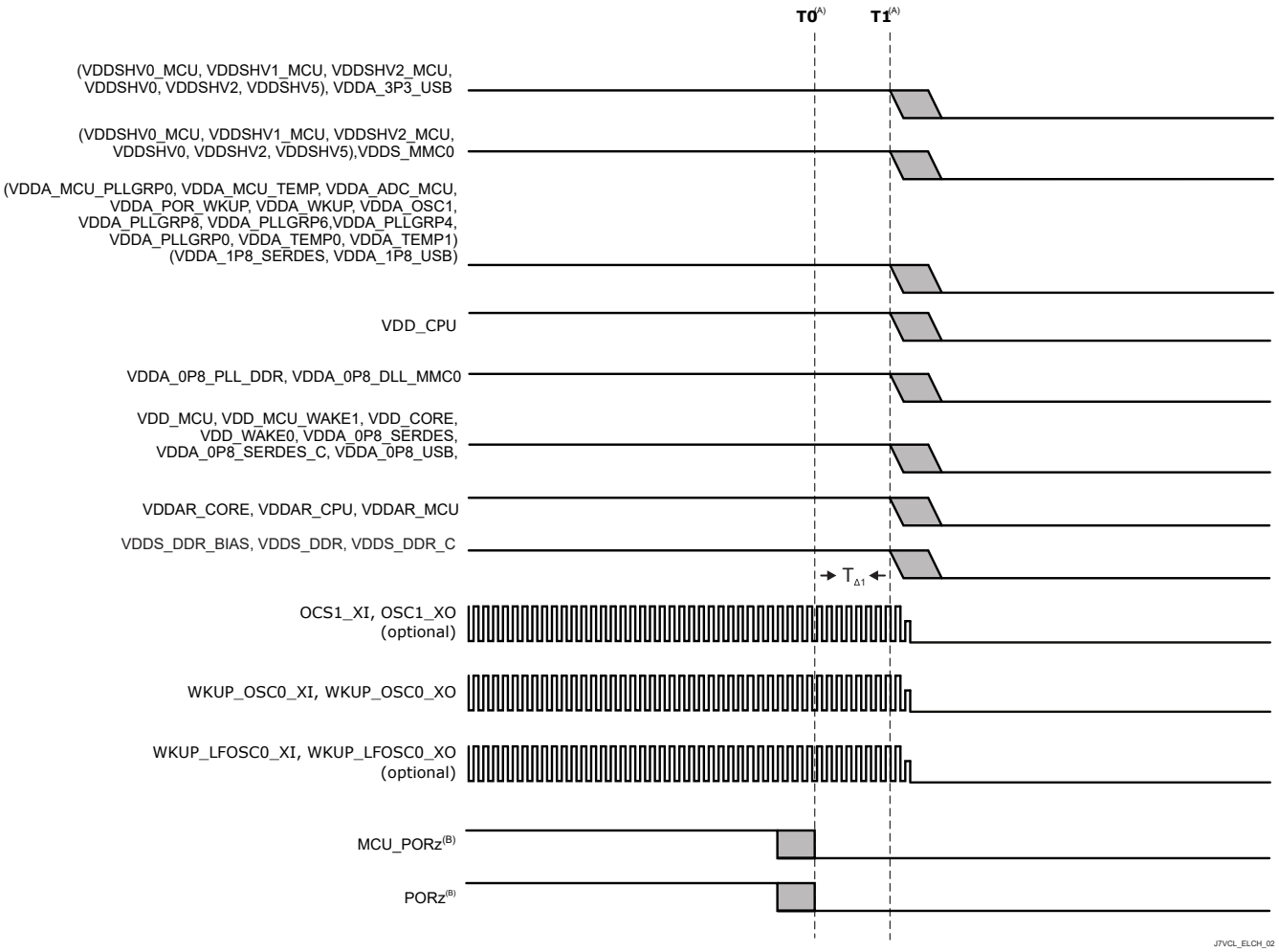
I. MCU_PORz 和 PORz 必须置为低电平有效（至少 $T_{\Delta}1 = 200\ \mu s$），以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

图 6-4. 组合式 MCU 域和 Main 域，初级下电时序 - 选项 1

Copyright © 2026 Texas Instruments Incorporated

6.10.2.4 组合式 MCU 域和 Main 域下电时序 - 选项 2

图 6-5 介绍了选项 2 的器件下电时序。



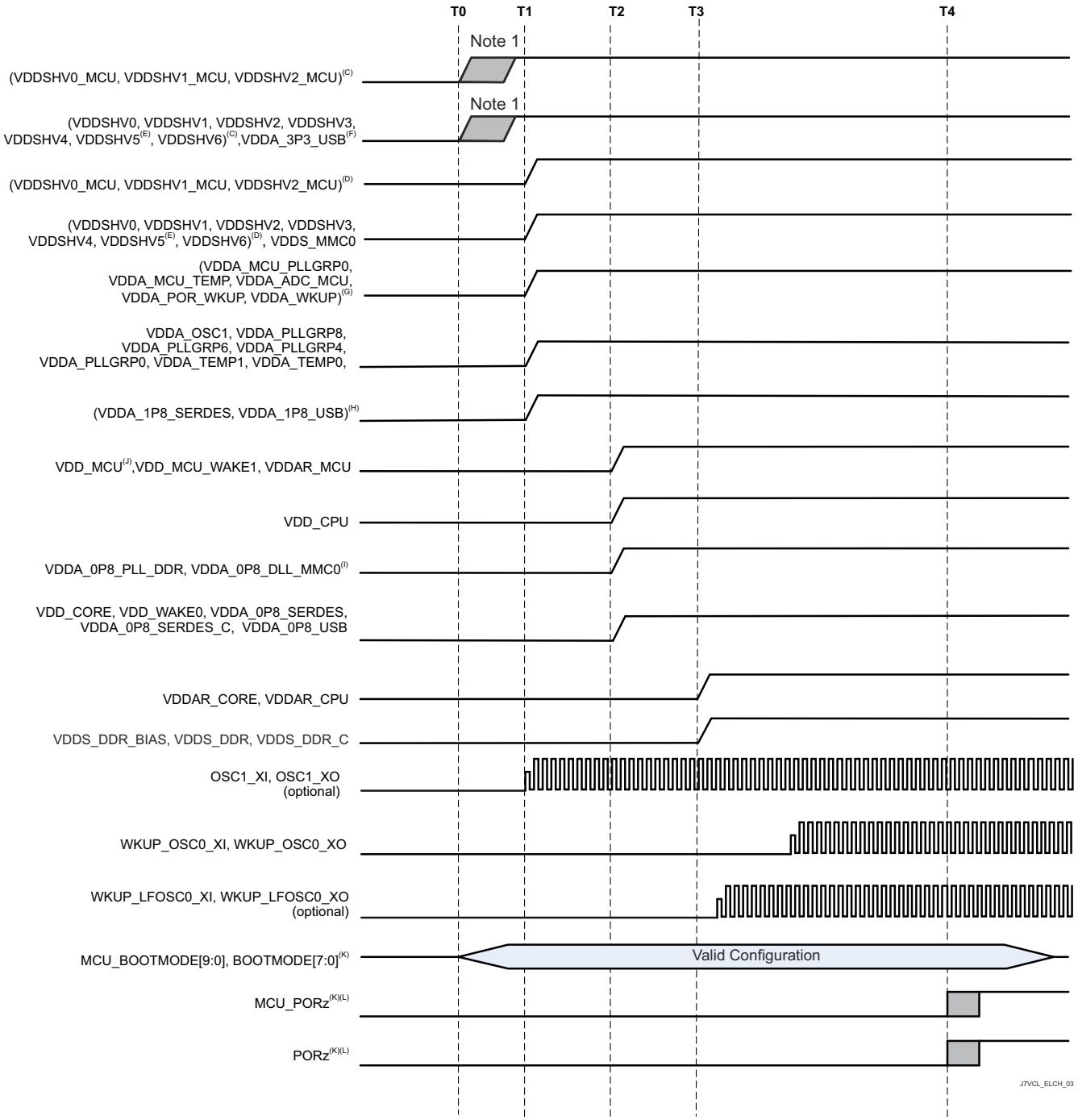
A. 时间戳标记：
T0 — MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)
T1 — 所有电源开始斜降。(1 µ s)

B. MCU_PORz 和 PORz 必须置为低电平有效（至少 T∆1 = 200 µ s），以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

图 6-5. 组合式 MCU 域和 Main 域，初级下电时序 - 选项 2

6.10.2.5 独立的 MCU 域和 Main 域上电时序

独立的 MCU 域和 Main 电压域可使 SoC 的 MCU 和 Main 处理器子系统独立运行。SoC 的 PDN 设计可能需要支持独立的 MCU 和 Main 处理器功能，这有 2 个原因。首先要提供灵活性以启用 SoC 低功耗模式，这种模式可以在不需要处理器运行时显著降低 SoC 功耗。其次要实现稳健性，以便在发生影响 MCU 和 Main 处理器子系统的单个故障时确保无干扰 (FFI)，这一点在将 SoC 的 MCU 用作系统安全监控处理器时特别有用。所需的额外 PDN 电源轨数量取决于不同 MCU IO 信令电压电平的数量。如果仅使用 1.8V IO 信令，则只需要 2 个额外的电源轨。如果同时需要 1.8V 和 3.3V IO 信令，则可能需要 4 个额外的电源轨。



A. 术语：

- 初级 = 所有电压域进入完全运行状态的基本上电序列。

Copyright © 2026 Texas Instruments Incorporated

- $V_{OPR\ MIN}$ = 确保实现*建议运行条件*中指定的功能的最低工作电压电平。
- 斜升 = 从关断状态到 $V_{OPR\ MIN}$ 的电压电源转换时间。
- Domain_“n” = 相似电压域（即双电压 IO 域、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2 … VDDSHV6）的多个实例
- Domain_“xxx” = 使用相同电压电源类型和电平的不同信号类型/协议域（即 VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB 等）

时间戳标记显示大致运行时间，取决于 PDN 功能集、元件选择和电源映射。显示的值是支持独立 MCU 域和 Main 电压域的 PDN 典型值，但可能因 PDN 设计而异。

时间戳定义和（仅供参考的典型值）：

T0 — 所有 3.3V 电压开始电源斜升至 $V_{OPR\ MIN}$。(0ms)

T1 — 所有 1.8V 电压开始电源斜升至 $V_{OPR\ MIN}$。(2ms)

T2 — 所有内核电压开始电源斜升至 $V_{OPR\ MIN}$。(3ms)

T3 — 所有 RAM 阵列电压开始电源斜升至 $V_{OPR\ MIN}$。(4ms)

T4 — OSC1 保持稳定，PORz/MCU_PORz 置为无效以从复位状态释放处理器。(13ms)

B. 由于以下原因，VDDSHVx 3.3V IO 域可能存在额外的斜升延迟：

1. 在低功耗模式下尽可能降低 PMIC 功耗，包括禁用 GPIO 输出缓冲器的 PMIC VIO_IN 电源。
2. 隔离 MCU 和 Main IO 域所需的 PDN 元件导通和斜升延迟

C. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。

D. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。

E. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。

F. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

G. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果分组在一起，则需要进行直列式铁氧体磁珠电源滤波。

H. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

I. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

J. VDD_MCU 是一个具有宽工作电压范围的数字电压域，因此可将其与 VDDAR_MCU 域或 VDD_CORE 组合在一起；对于“隔离式 MCU 和 Main 域上电时序”，VDD_MCU 可与 VDDAR_MCU 组合在一起；VDD_MCU 必须在 T2 前斜升。如果 VDDAR_MCU 未与 VDD_MCU 组合在一起，则 VDDAR_MCU 必须在 T3 处斜升。

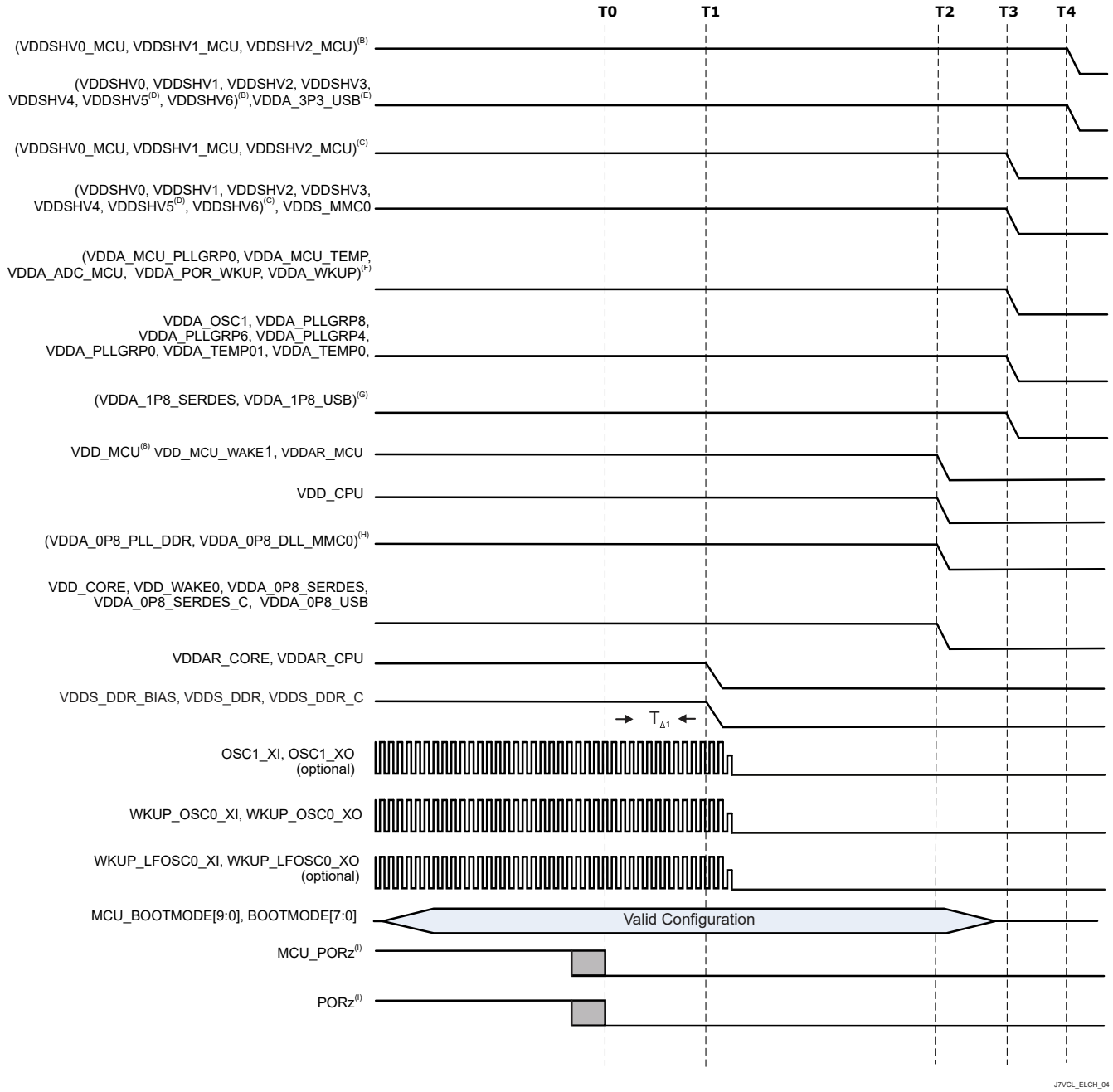
K. 在所示的最短建立时间和保持时间内，在上电序列期间将 MCU_PORz 和 PORz 置为高电平有效，从而将 MCU_BOOTMODEn（参考 MCU_VDDSHV0）和 BOOTMODEn（参考 VDDSHV2）设置锁存到寄存器中。

L. 从晶体振荡器电路通电（T1 处的 VDDA_OSC1）直至达到稳定时钟频率所需的最短时间取决于晶体振荡器、电容器参数和 PCB 寄生值。此处显示的是由 (T4 – T1) 时间戳定义的 10ms 保守时间。根据客户的时钟电路（即晶体振荡器或时钟发生器）和 PCB 设计，这一时间可以减少。

图 6-6. 独立的 MCU 域和 Main 域，初级上电序列

6.10.2.6 独立的 MCU 域和 Main 域下电时序 — 选项 1

图 6-7 介绍了选项 1 的器件下电时序。



A. 术语：

- 初级 = 完成关断状态所需的所有电压域的基本断电序列。
- $V_{OPR\ MIN}$ = 确保实现*建议运行条件*中指定的功能的最低工作电压电平。
- 斜降 = 从 $V_{OPR\ MIN}$ 到关断状态的电压电源转换时间。
- Domain_“n” = 相似电压域（即双电压 IO 域、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2 … VDDSHV6）的多个实例
- Domain_“xxx” = 使用相同电压电源类型和电平的不同信号类型/协议域（即 VDDA_1P8_xx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB 等）

时间戳：

Copyright © 2026 Texas Instruments Incorporated

显示大致运行时间的标记，取决于 PDN 功能集、元件选择和电源映射。显示的值是结合 MCU 域和 Main 电压域的 PDN 典型值，但可能因 PDN 设计而异。

时间戳定义和（仅供参考的典型值）：

T0 — MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)

T1 — 主 DDR、SRAM 内核和 SRAM CPU 电源域开始斜降。(0.5ms)

T2 — 所有内核电压开始电源斜降。(2.5ms)

T3 — 所有 1.8V 电压开始电源斜降。(3.0ms)

T4 — 所有 3.3V 电压开始电源斜降。(3.5ms)

B. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。

C. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。

D. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。

E. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

F. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果分组在一起，则需要进行直列式铁氧体磁珠电源滤波。

G. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

H. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

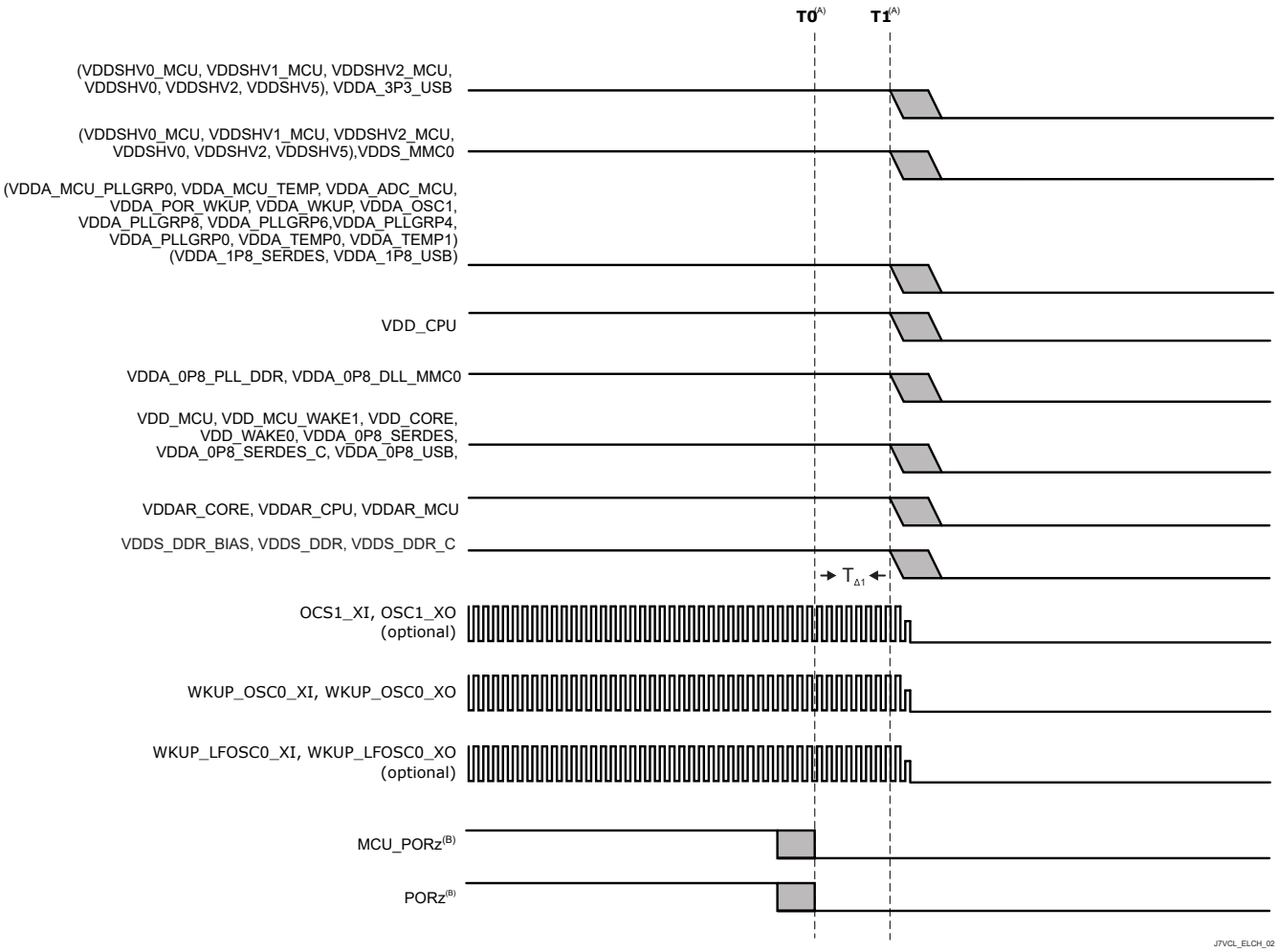
I. MCU_PORz 和 PORz 必须置为低电平有效（至少 $T_{\Delta}1 = 200\ \mu s$），以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

图 6-7. 独立的 MCU 域和 Main 域，初级下电时序 — 选项 1

Copyright © 2026 Texas Instruments Incorporated

6.10.2.7 独立的 MCU 域和 Main 域下电时序 — 选项 2

图 6-8 介绍了选项 2 的器件下电时序。



A. 时间戳标记：
T0 — MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)
T1 — 所有电源开始斜降。(1 µ s)

B. MCU_PORz 和 PORz 必须置为低电平有效（至少 T △ 1 = 200 µ s），以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

图 6-8. 独立的 MCU 域和 Main 域，初级下电时序 — 选项 2

6.10.2.8 独立的 MCU 域和 Main 域，仅 MCU 时序的进入和退出

进入仅 MCU 状态是通过执行断电序列实现的，保持通电的 4 个 MCU 域除外。退出仅 MCU 状态是通过执行上电序列实现的，4 个 MCU 域在整个序列中保持通电状态。显示的示例图用于说明支持 eMMC 的隔离式 MCU 和 Main PDN 类型。

Copyright © 2026 Texas Instruments Incorporated

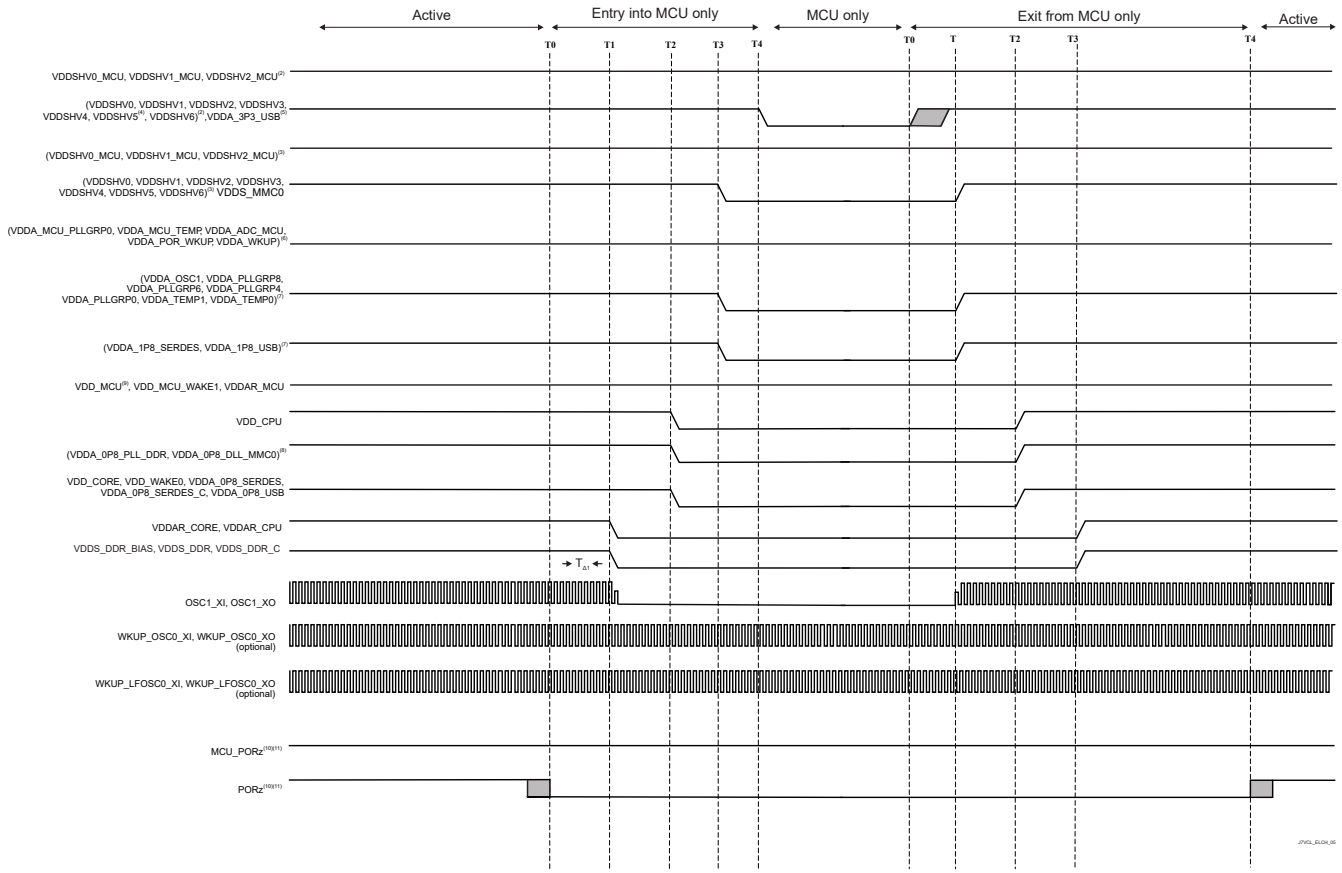


图 6-9. 独立的 MCU 域和 Main 域，仅 MCU 时序的进入和退出

6.10.2.9 独立的 MCU 域和 Main 域，DDR 保持状态的进入和退出

进入 DDR 保持状态是通过执行断电序列实现的，保持通电的 4 个 DDR 域除外。退出 DDR 保持状态是通过执行上电序列实现的，3 个 DDR 域在整个序列中保持通电状态。

Copyright © 2026 Texas Instruments Incorporated

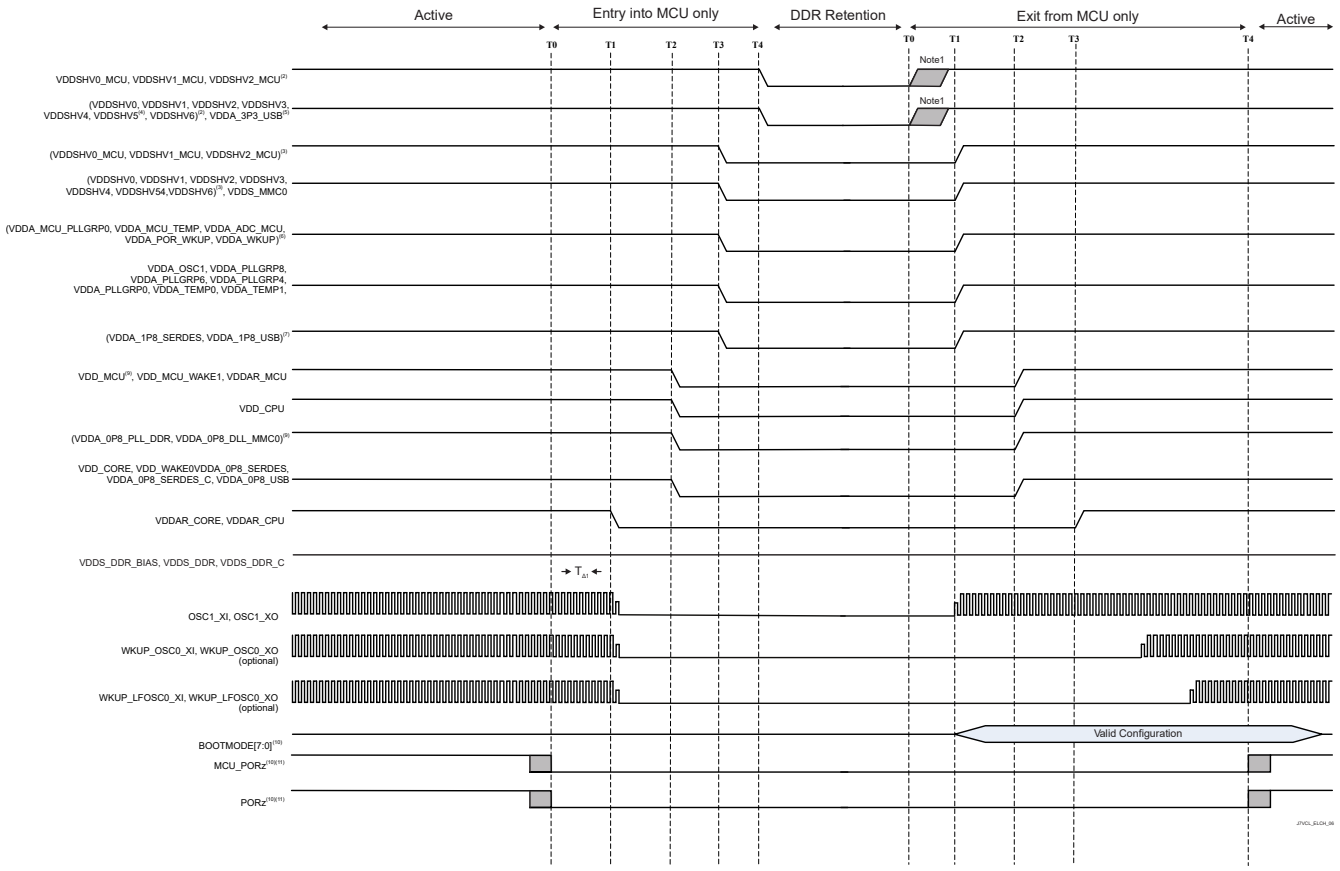


图 6-10. 独立的 MCU 域和 Main 域，DDR 保持状态的进入和退出

6.10.2.10 独立的 MCU 域和 Main 域，GPIO 保持时序的进入和退出

进入 GPIO 保持状态是通过执行断电序列实现的，保持通电的 2 个或 4 个唤醒域除外。退出 GPIO 保持状态是通过执行上电序列实现的，2 个或 4 个唤醒 DDR 域在整个序列中保持通电状态。

Copyright © 2026 Texas Instruments Incorporated

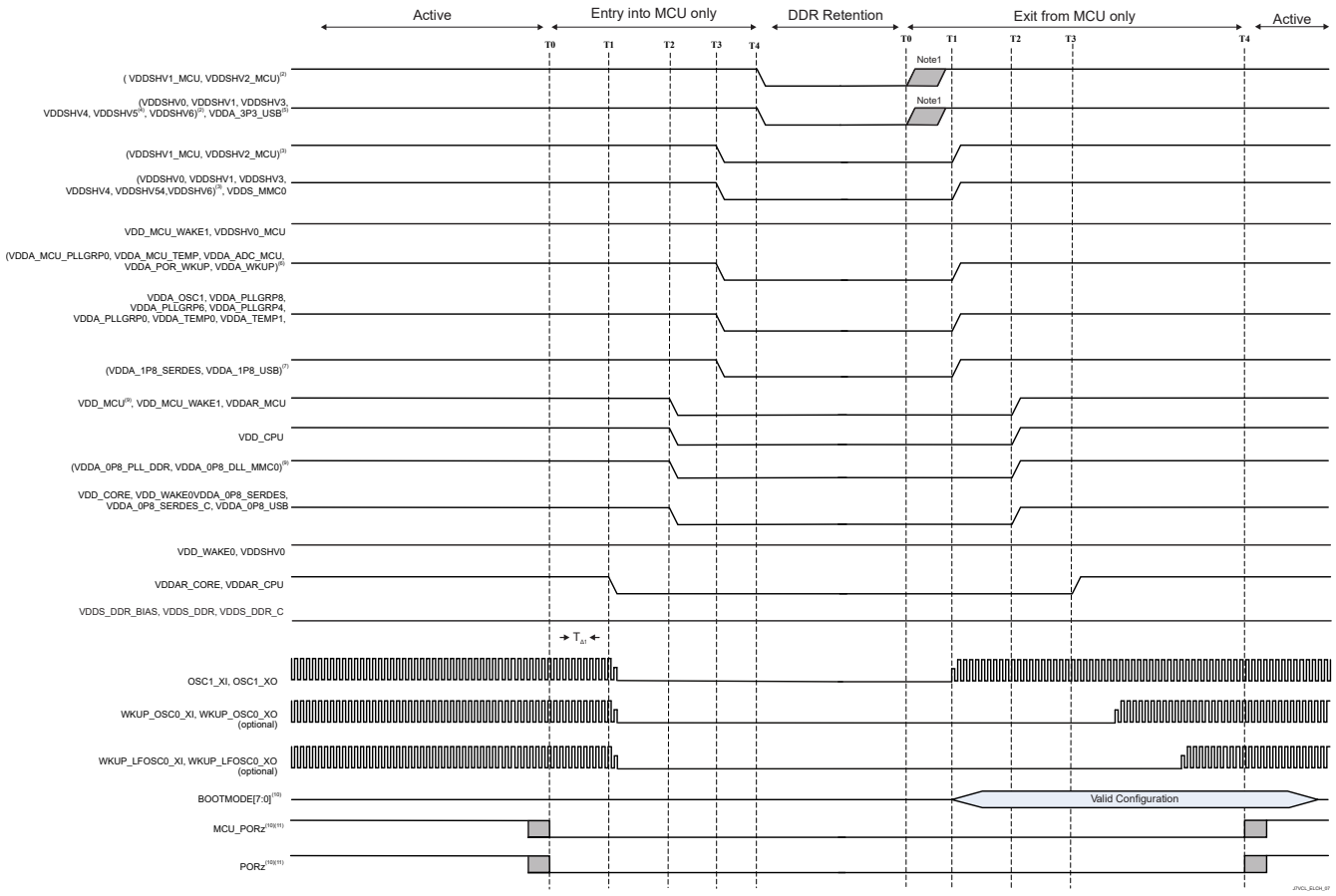


图 6-11. 独立的 MCU 域和 Main 域，GPIO 保持时序的进入和退出

Copyright © 2026 Texas Instruments Incorporated

6.10.3 系统时序

有关子系统多路复用信号的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明*。

6.10.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序条件、时序要求和开关特性。

表 6-6. 复位时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD(1) = 1.8V	0.0018		V/ns
		VDD(1) = 3.3V	0.0033		V/ns
输出条件					
C_L	输出负载电容			30	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅引脚属性表的“电源”列。

表 6-7. MCU_PORz 时序要求

请参阅图 6-12

编号			最小值	典型值	最大值	单位
RST1	$t_{h(MCUD_SUPPLIES_VALID - MCU_PORz)}$	保持时间，在所有 MCU 域电源有效之后 MCU_PORz 在上电时有效（低电平）（使用外部晶体）	N + 1200(2)	9500000		ns
RST2		保持时间，在所有 MCU 域电源(1) 有效且外部时钟稳定之后 MCU_PORz 在上电时有效（低电平）（使用外部 LVCMOS 振荡器）	1200			ns
RST3	$t_{w(MCU_PORzL)}$	最小脉冲宽度，在上电之后 MCU_PORz 为低电平（不移除电源或系统基准时钟 MCU_OSC0_XI/XO）	1200			ns

(1) 有关 MCU 域电源的定义，请参阅组合式 MCU 域和 Main 域上电时序。
(2) N = 振荡器启动时间

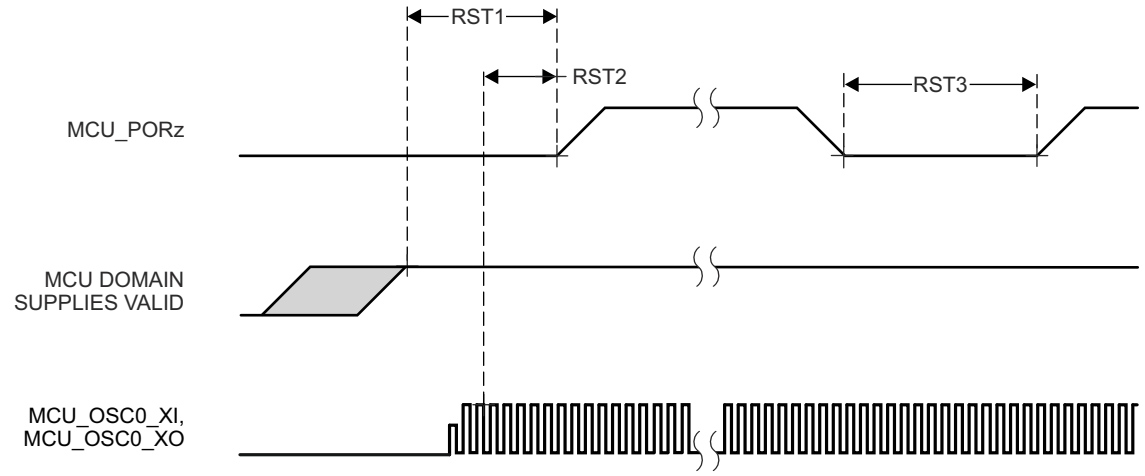


图 6-12. MCU_PORz 时序要求

Copyright © 2026 Texas Instruments Incorporated

表 6-8. PORz 时序要求

请参阅图 6-13

编号			最小值	最大值	单位
RST4	$t_{h(MAIND_SUPPLIES_VALID - PORz)}$	保持时间，在所有 MAIN 域电源(1) 有效之后 PORz 在上电时有效（低电平）	1200		ns
RST5	$t_{w(PORzL)}$	最小脉冲宽度，在上电之后 PORz 为低电平	1200		ns

(1) 有关 MAIN 域电源的定义，请参阅组合式 MCU 域和 Main 域上电时序。

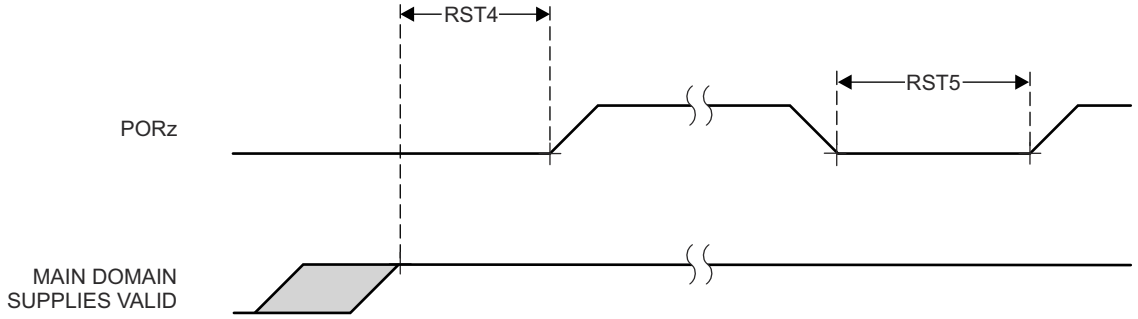


图 6-13. PORz 时序要求

表 6-9. MCU_PORz 启动；MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-14

编号	参数		模式	最小值	最大值	单位
RST10	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）		0		ns
RST11	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	POST 旁路	12000*S(1)		ns
RST12	$t_{d(MCU_PORzL-RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 RESETSTATz 有效（低电平）		0		ns
RST13	$t_{d(MCU_PORzH-RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 RESETSTATz 无效（高电平）		14500*S(1)		ns
RST16	$t_{w(MCU_RESETSTATzL)}$	最小脉冲宽度，MCU_RESETSTATz 低电平		3900*S(1)		ns
RST17	$t_{w(RESETSTATzL)}$	最小脉冲宽度，RESETSTATz 低电平		2650*S(1)		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

Copyright © 2026 Texas Instruments Incorporated

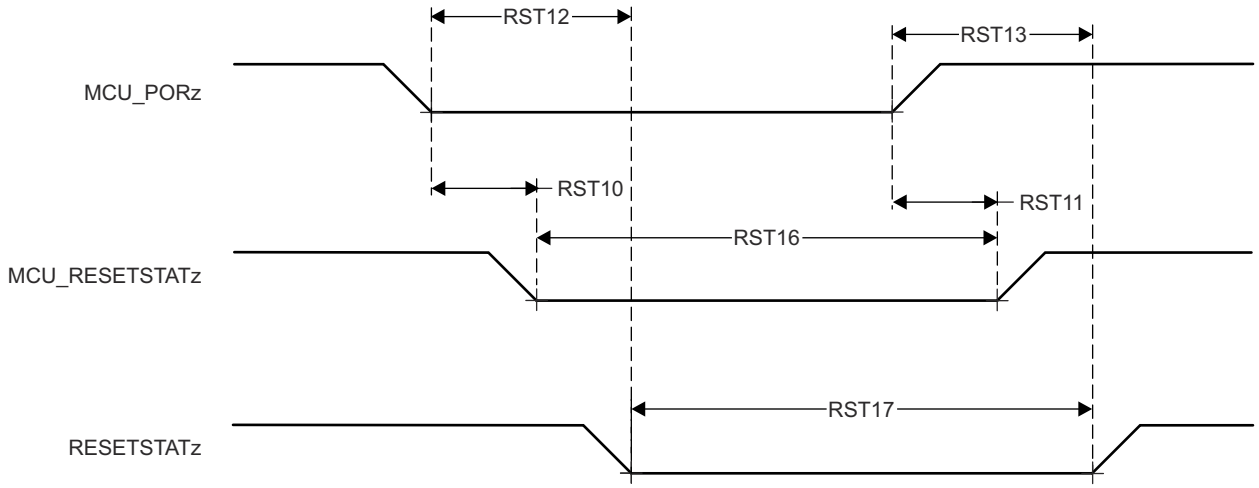


图 6-14. MCU_PORz 启动；MCU_RESETSTATz 和 RESETSTATz 开关特性

Copyright © 2026 Texas Instruments Incorporated

表 6-10. PORz 启动；RESETSTATz 开关特性

请参阅图 6-15

编号	参数		模式	最小值	最大值	单位
RST20	$t_{d(PORzL-RESETSTATzL)}$	延迟时间，PORz 有效（低电平）到 RESETSTATz 有效（低电平）		T(1)		
			CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST21	$t_{d(PORzH-RESETSTATzH)}$	延迟时间，PORz 有效（高电平）到 RESETSTATz 有效（高电平）		14500*S (2)		ns

(1) T = 复位隔离时间（取决于软件）。
(2) S = MCU_OSC0_XI/XO 时钟周期。

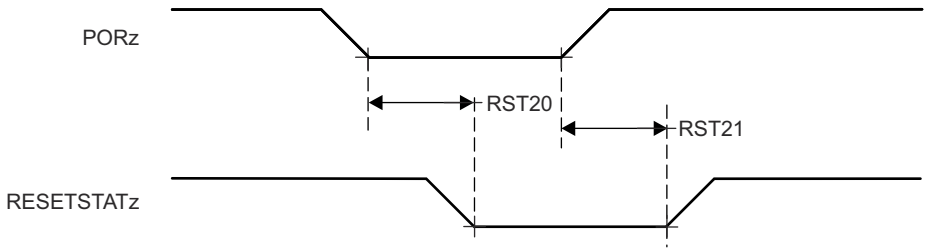


图 6-15. PORz 启动；RESETSTATz 开关特性

表 6-11. MCU_RESETz 时序要求

请参阅图 6-16

编号			最小值	最大值	单位
RST22	$t_{w(MCU_RESETzL)}$ (1)	最小脉冲宽度，MCU_RESETz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，MCU_RESETz 的时序才有效。

表 6-12. MCU_RESETz 启动；MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-16

编号	参数		最小值	最大值	单位
RST23	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）	800		ns
RST24	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	3900*S(1)		ns
RST25	$t_{d(MCU_RESETzL-RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 RESETSTATz 有效（低电平）	800		ns
RST26	$t_{d(MCU_RESETzH-RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 RESETSTATz 无效（高电平）	3900*S(1)		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

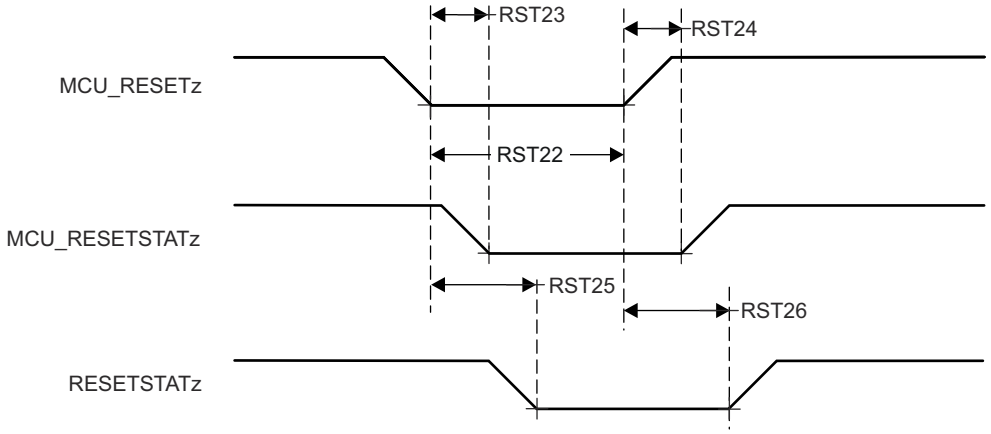


图 6-16. MCU_RESETz 启动；MCU_RESETSTATz 和 RESETSTATz 时序要求和开关特性

Copyright © 2026 Texas Instruments Incorporated

表 6-13. RESET_REQz 时序要求

请参阅图 6-17

编号			最小值	最大值	单位
RST27	$t_{w(RESET_REQzL)}$ (1)	最小脉冲宽度，RESET_REQz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，RESET_REQz 的时序才有效。

表 6-14. RESET_REQz 启动；RESETSTATz 开关特性

请参阅图 6-17

编号	参数		模式	最小值	最大值	单位
RST28	$t_{d(RESET_REQzL-RESETSTATzL)}$	延迟时间，RESET_REQz 有效（低电平）到 RESETSTATz 有效（低电平）	SOC_WARMRST_ISO_DONE_Z 的软件控制	T(1)		
			CTRLMMR_WKUP_MAIN_WARM_RST_CTRL[0].SOC_WARMRST_ISO_DONE_Z = 0	740		ns
RST29	$t_{d(RESET_REQzH-RESETSTATzH)}$	延迟时间，RESET_REQz 无效（高电平）到 RESETSTATz 无效（高电平）		2650*S (2)		ns

(1) T = 复位隔离时间（取决于软件）。
(2) S = MCU_OSC0_XI/XO 时钟周期。

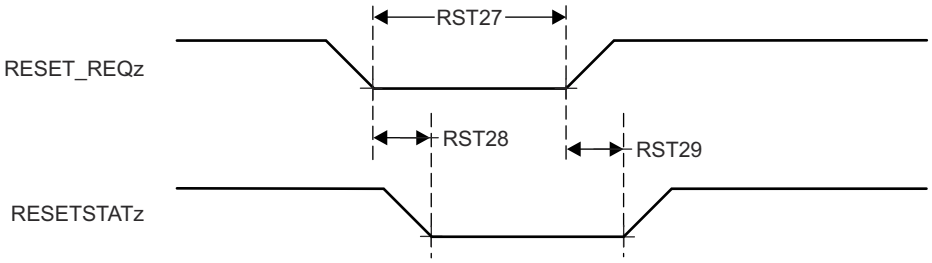


图 6-17. RESET_REQz 启动；RESETSTATz 时序要求和开关特性

表 6-15. EMUx 时序要求

请参阅图 6-18

编号			最小值	最大值	单位
RST30	$t_{su(EMUx-MCU_PORz)}$	建立时间，MCU_PORz 无效（高电平）之前的 EMU[1:0]	3*S(1)		ns
RST31	$t_{h(MCU_PORz - EMUx)}$	保持时间，MCU_PORz 无效（高电平）之后的 EMU[1:0]	10		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

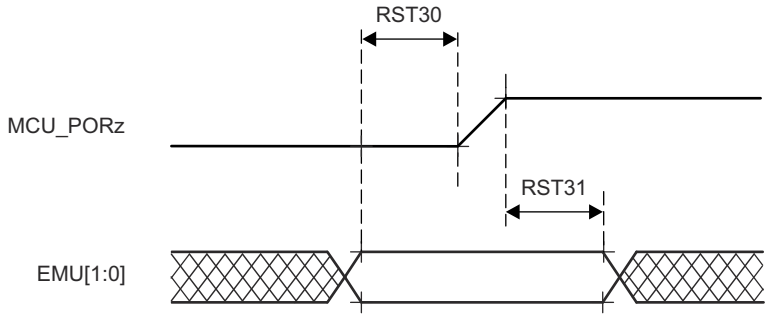


图 6-18. EMUx 时序要求

表 6-16. MCU_BOOTMODE 时序要求

请参阅图 6-19

编号			最小值	最大值	单位
RST32	$t_{su(MCU_BOOTMODE-MCU_PORz)}$	建立时间，在 MCU_PORz 高电平之前 MCU_BOOTMODE[09:00]	3*S(1)		ns
RST33	$t_{h(MCU_PORz - MCU_BOOTMODE)}$	保持时间，在 MCU_ PORz 高电平之后 MCU_BOOTMODE[09:00]	0		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

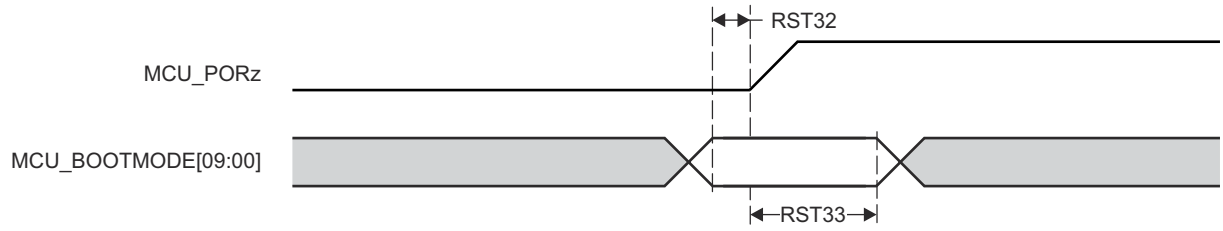


图 6-19. MCU_BOOTMODE 时序要求

Copyright © 2026 Texas Instruments Incorporated

表 6-17. BOOTMODE 时序要求

请参阅图 6-20

编号			最小值	最大值	单位
RST34	$t_{su(BOOTMODE-PORz)}$	建立时间，在 PORz 高电平之前 BOOTMODE[7:0]	3*S(1)		ns
RST35	$t_{h(PORz - BOOTMODE)}$	保持时间，在 PORz 高电平之后 BOOTMODE[7:0]	0		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

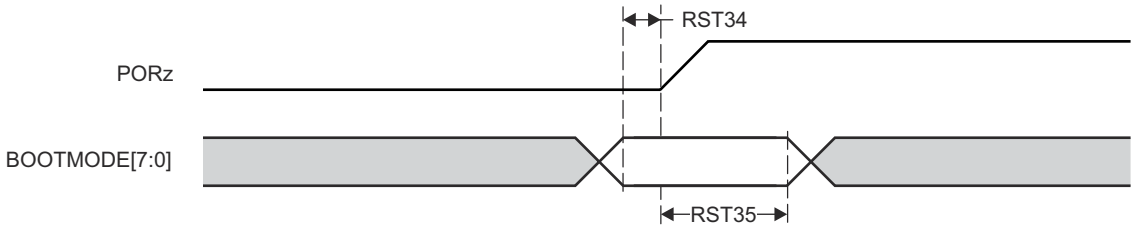


图 6-20. BOOTMODE 时序要求

6.10.3.2 安全信号时序

本节中提供的表和图定义了 MCU_SAFETY_ERRORn 和 SOC_SAFETY_ERRORn 的时序条件、开关特性。

表 6-18. 错误信号时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2	V/ns
输出条件				
C_L	输出负载电容	3	30	pF

表 6-19. MCU_SAFETY_ERRORn 开关特性

请参阅图 6-21

编号	参数		最小值 最大值	单位
SFTY1	$t_{w(MCU_SAFETY_ERRORn)}$	最小脉冲宽度，MCU_SAFETY_ERRORn 有效（禁用 PWM 模式）	P*R(1) (2)	ns
SFTY2	$t_{d\ (ERROR_CONDITION-MCU_SAFETY_ERRORnL)}$	延迟时间，错误条件到 MCU_SAFETY_ERRORn 有效	50*P(1)	ns

(1) P = ESM 功能时钟 (MCU_SYSCLK0 /6)。
(2) R = 错误引脚计数器预加载寄存器计数值。

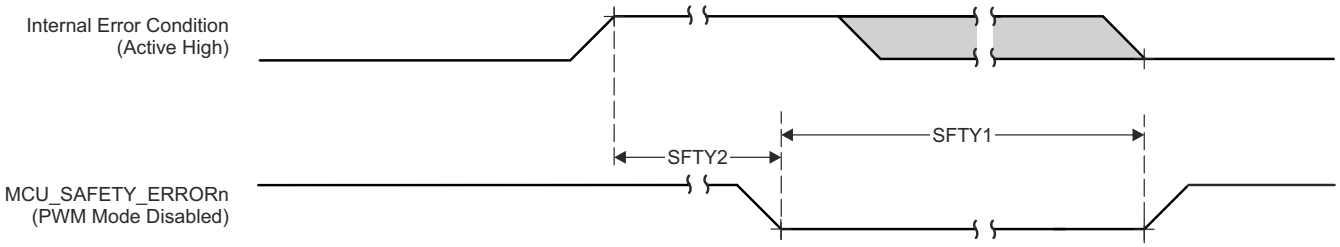


图 6-21. MCU_SAFETY_ERRORn 开关特性

表 6-20. SOC_SAFETY_ERRORn 开关特性

请参阅图 6-22

编号	参数		最小值 最大值	单位
SFTY3	$t_{w(SOC_SAFETY_ERRORn)}$	最小脉冲宽度，SOC_SAFETY_ERRORn 有效（禁用 PWM 模式）	P*R(1) (2)	ns
SFTY4	$t_{d\ (ERROR_CONDITION-SOC_SAFETY_ERRORnL)}$	延迟时间，错误条件到 SOC_SAFETY_ERRORn 有效	50*P(1)	ns

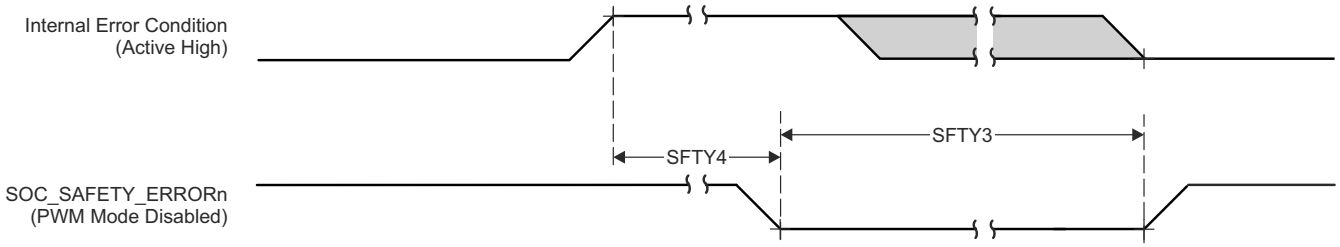


图 6-22. SOC_SAFETY_ERRORn 开关特性

Copyright © 2026 Texas Instruments Incorporated

6.10.3.3 时钟时序

本节中提供的表和图定义了时钟信号的时序条件、时序要求和开关特性。

表 6-21. 时钟时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2	V/ns
输出条件				
C_L	输出负载电容	3	30	pF

表 6-22. 时钟时序要求

请参阅图 6-23

编号			最小值	最大值	单位
CLK1	$t_{c(EXT_REFCLK1)}$	最小周期时间，EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	最小脉冲持续时间，EXT_REFCLK1 高电平	E*0.45(1)	E*0.55(1)	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	最小脉冲持续时间，EXT_REFCLK1 低电平	E*0.45(1)	E*0.55(1)	ns

(1) E = EXT_REFCLK1 周期时间。

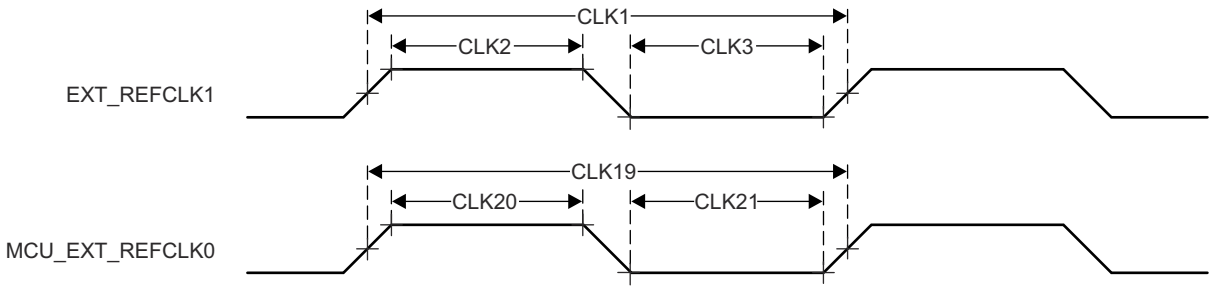


图 6-23. 时钟时序要求

表 6-23. 时钟开关特性

请参阅图 6-24

编号	参数		最小值	最大值	单位
CLK4	$t_{c(SYSCLKOUT0)}$	最小周期时间，SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	最小脉冲持续时间，SYSCLKOUT0 高电平	A*0.4(1)	A*0.6(1)	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	最小脉冲持续时间，SYSCLKOUT0 低电平	A*0.4(1)	A*0.6(1)	ns
CLK7	$t_{c(OBSCLK0)}$	最小周期时间，OBSCLK0	5		ns
CLK8	$t_{w(OBSCLK0H)}$	最小脉冲持续时间，OBSCLK0 高电平	B*0.4(2)	B*0.6(2)	ns
CLK9	$t_{w(OBSCLK0L)}$	最小脉冲持续时间，OBSCLK0 低电平	B*0.4(2)	B*0.6(2)	ns
CLK10	$t_{c(CLKOUT0)}$	最小周期时间，CLKOUT0	20		ns
CLK11	$t_{w(CLKOUT0H)}$	最小脉冲持续时间，CLKOUT0 高电平	C*0.4(3)	C*0.6(3)	ns
CLK12	$t_{w(CLKOUT0L)}$	最小脉冲持续时间，CLKOUT0 低电平	C*0.4(3)	C*0.6(3)	ns

(1) A = SYSCLKOUT0 周期时间。
(2) B = OBSCLK0 周期时间。
(3) C = CLKOUT0 周期时间。

Copyright © 2026 Texas Instruments Incorporated

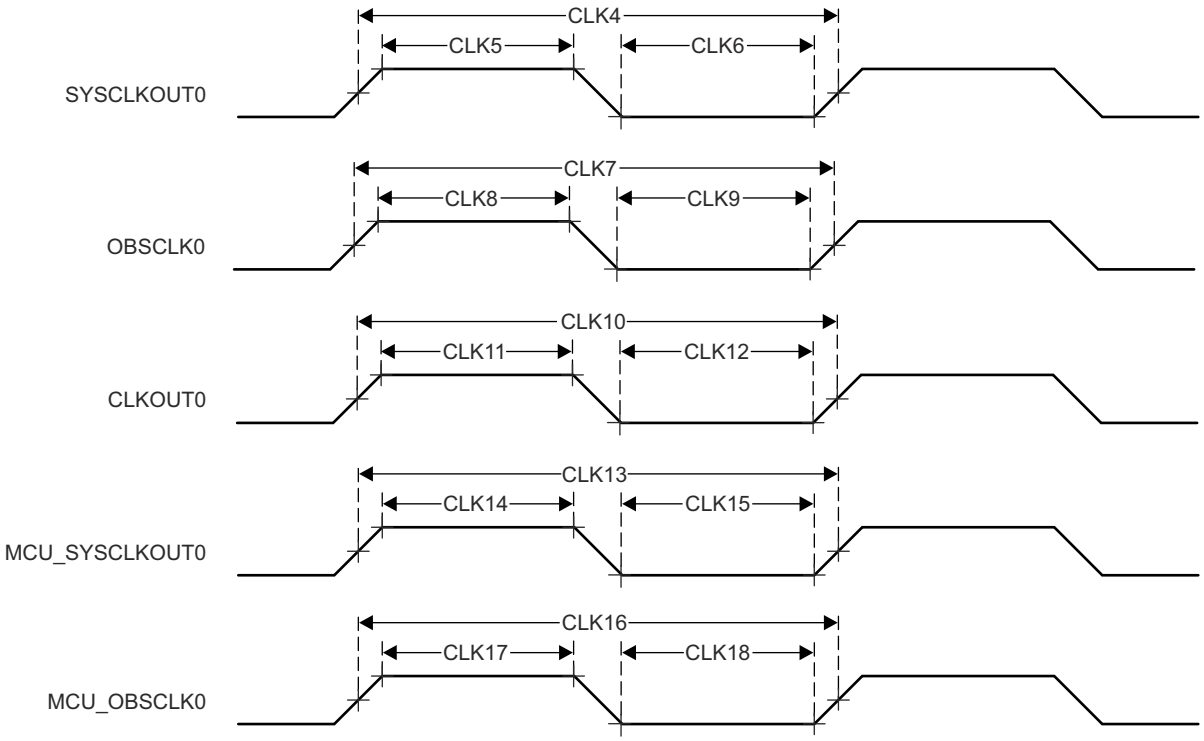


图 6-24. 时钟开关特性

6.10.4 时钟规格

6.10.4.1 输入时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- OSC1_XO/OSC1_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源，为 MAIN 域中的 PLL 提供基准时钟。此外，对于音频应用，高频振荡器 0 用于向 MCASP 提供音频时钟频率。
- 高频振荡器输入
  - OSC1_XO/OSC1_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源。为 MAIN 域内的 PLL 提供基准时钟。此高频振荡器用于向 MCASP 提供音频时钟频率。
  - WKUP_OSC0_XO/WKUP_OSC0_XI — 内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源。为 WKUP/MCU 和 MAIN 域内的 PLL 提供基准时钟。
- 低频振荡器输入
  - WKUP_LF_CLKIN — 外部 32.768kHz 时钟输入。
- 通用时钟输入
  - MCU_EXT_REFCLK0 — 可选外部输入。提供系统时钟输入（MCU 域）。
  - EXT_REFCLK1 — 可选外部系统时钟输入（MAIN 域）。可选择 PLL2 (PER1) 和 MCASP 由 EXT_REFCLK1（从外部提供）提供。
  - SERDES0_REFCLK_P/N — 用于 PCIe 或可选 USB3 和 SGMII 接口的串行器/解串器参考时钟输入。
- 外部 CPTS 基准时钟输入
  - MCU_CPTS0_RFT_CLK — 用于 MCU_CPTS_RFT_CLK 的 CPTS 基准时钟输入。
  - CPTS0_RFT_CLK — 用于 CPTS_RFT_CLK 的 CPTS 基准时钟输入。
- 外部音频参考时钟输入/输出引脚
  - AUDIO_EXT_REFCLK0
  - AUDIO_EXT_REFCLK1

图 6-25 展示了外设的外部输入时钟源和输出时钟。

Copyright © 2026 Texas Instruments Incorporated

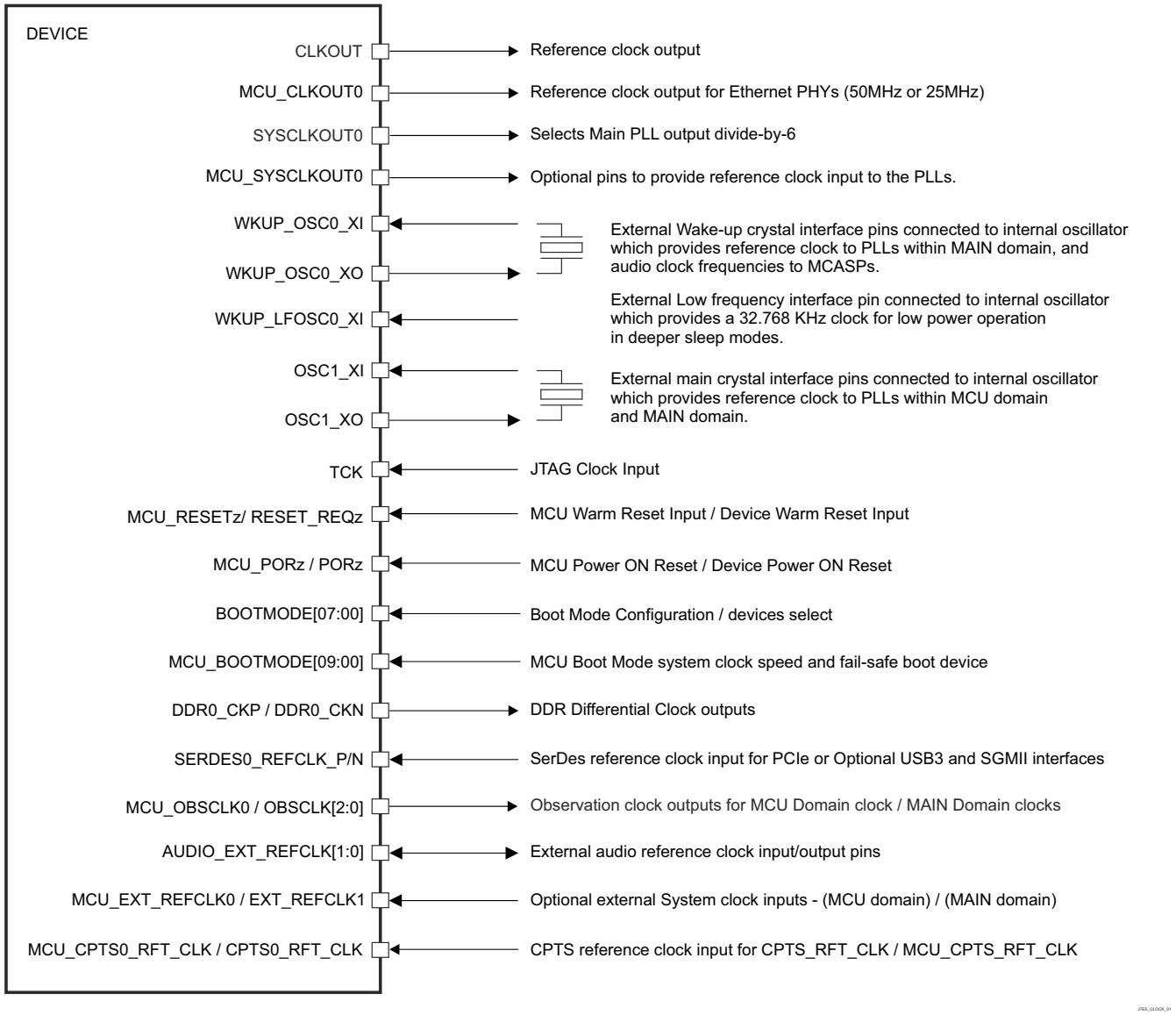


图 6-25. 输入时钟接口

有关输入时钟接口的详细信息，请参阅器件 TRM 的*器件配置*一章中的*时钟*一节。

6.10.4.1.1 WKUP_OSC0 内部振荡器时钟源

图 6-26 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件应尽可能靠近 WKUP_OSC0_XI 和 WKUP_OSC0_XO 引脚放置。

Copyright © 2026 Texas Instruments Incorporated

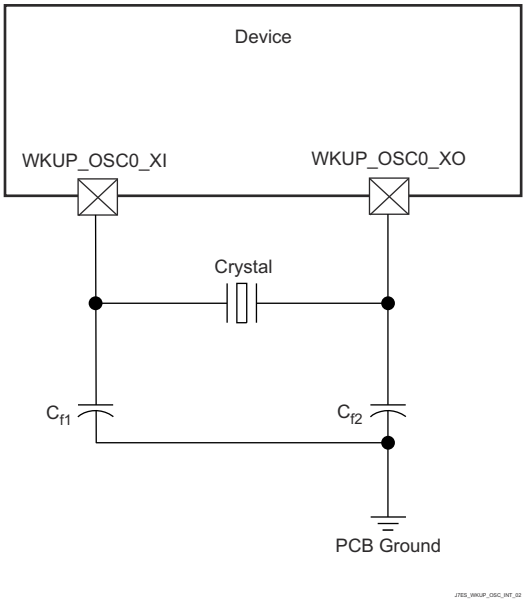


图 6-26. WKUP_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-24 总结了所需的电气约束。

表 6-24. WKUP_OSC0 晶体电气特性

参数				最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率				19.2、20、24、25、26、27		MHz
F_{xtal}	晶体频率稳定性和容差		未使用以太网 RGMII 和 RMII			±100	ppm
			RGMII 和 RMII 使用衍生的时钟			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} 电容			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} 电容			12		24	pF
C_L	晶体负载电容			6		12	pF
C_{shunt}	晶体电路并联电容	19.2MHz、20MHz	$ESR_{xtal} \leq 30\Omega$			7	pF
			$30\Omega < ESR_{xtal} \leq 80\Omega$			5	pF
			$80\Omega < ESR_{xtal} \leq 100\Omega$			3	pF
		24MHz	$ESR_{xtal} \leq 30\Omega$			7	pF
			$30\Omega < ESR_{xtal} \leq 60\Omega$			5	pF
			$60\Omega < ESR_{xtal} \leq 80\Omega$			3	pF
			不支持：$80\Omega \leq ESR_{xtal}$			–	
		25MHz	$ESR_{xtal} \leq 30\Omega$			7	pF
			$30\Omega < ESR_{xtal} \leq 50\Omega$			5	pF
			$50\Omega < ESR_{xtal} \leq 80\Omega$			3	pF
			不支持：$80\Omega \leq ESR_{xtal}$			–	
		26MHz、27MHz	$ESR_{xtal} \leq 30\Omega$			7	pF
			$30\Omega < ESR_{xtal} \leq 50\Omega$			5	pF
			不支持：$50\Omega \leq ESR_{xtal}$			–	

Copyright © 2026 Texas Instruments Incorporated

表 6-24. WKUP_OSC0 晶体电气特性（续）

参数		最小值	典型值	最大值	单位
ESR_{xtal}	晶体有效串联电阻			(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑晶体的温度和老化特性。

表 6-25 详细说明了振荡器的开关特性。

表 6-25. WKUP_OSC0 开关特性 – 晶体模式

名称	说明	最小值	典型值	最大值	单位
C_{XI}	XI 电容			1.316	pF
C_{XO}	XO 电容			1.333	pF
C_{XIXO}	XI 至 XO 互电容			0.01	pF
t_s	启动时间		9.5(1)		ms

(1) **TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。供应商有办法确定多大的负载电容器能够最好地调节他们的谐振器/晶振，从而使微控制器能够在温度/电压极值范围内实现最佳启动和运行。**

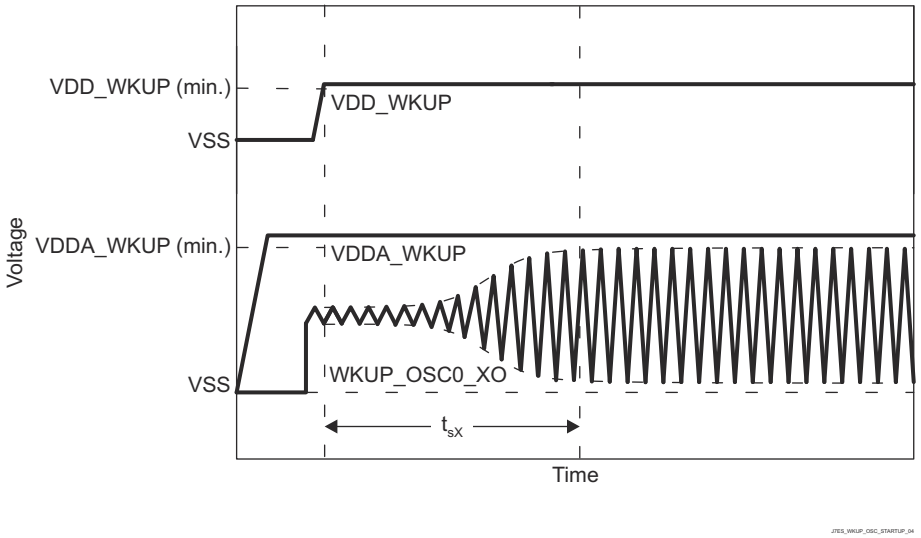


图 6-27. WKUP_OSC0 启动时间

6.10.4.1.1.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1}、C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 WKUP_OSC0_XI 和 WKUP_OSC0_XO 的 PCB 信号引线具有接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，PCB 设计人员应该能够提取每条信号引线的寄生电容。WKUP_OSC0 电路和器件封装具有组合的接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，表 6-25 定义了这些寄生电容值。

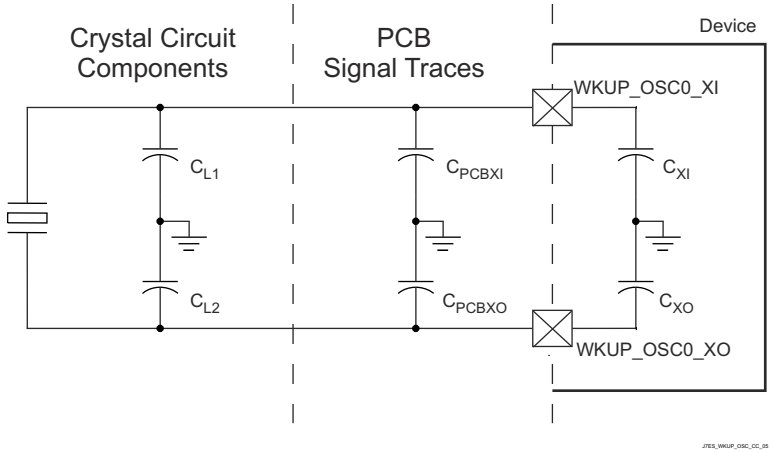


图 6-28. 负载电容

在选择图 6-26 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 C_L = 10pF，C_{PCBXI} = 2.9pF，C_{XI} = 0.5pF，C_{PCBXO} = 3.7pF，C_{XO} = 0.5pF，则 C_{L1} 的值 = $[(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10pF) - 2.9pF - 0.5pF)] = 16.6pF$，$C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10pF) - 3.7pF - 0.5pF)] = 15.8pF$

6.10.4.1.1.2 并联电容

晶体电路的设计还必须使其不超过表 6-24 中定义的 WKUP_OSC0 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 WKUP_OSC0 的 PCB 信号引线彼此之间存在互寄生电容 $C_{PCBXIXO}$，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO}，表 6-25 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

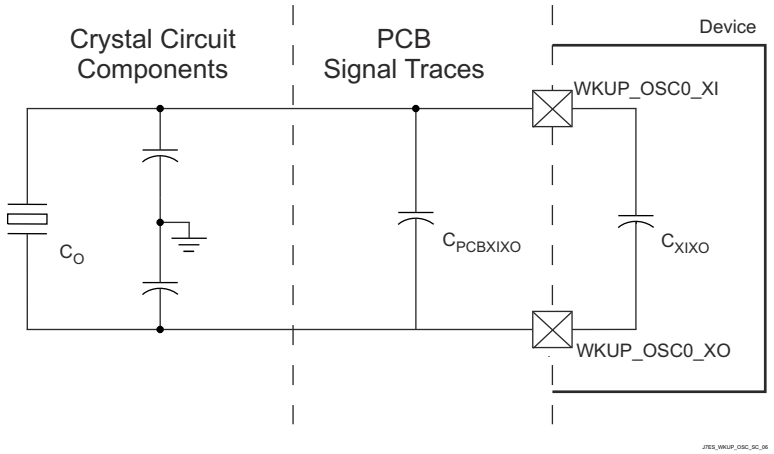


图 6-29. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$C_{shunt} \geqslant C_O + C_{PCBXIXO} + C_{XIXO}$

Copyright © 2026 Texas Instruments Incorporated

例如，当所使用的晶体为 25MHz，ESR = 30Ω，$C_{PCBXIXO}$ = 0.04pF，C_{XIXO} = 0.01pF，晶体的并联电容小于或等于 6.95pF 时，应满足该公式。

6.10.4.1.2 WKUP_OSC0 LVCMOS 数字时钟源

图 6-30 展示了当 WKUP_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

当振荡器上电时，WKUP_OSC0_XI 上不允许出现直流稳态情况。这是因为 WKUP_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 WKUP_OSC0_XI 不在不同逻辑状态之间切换，应用软件就应该使 WKUP_OSC0 断电。

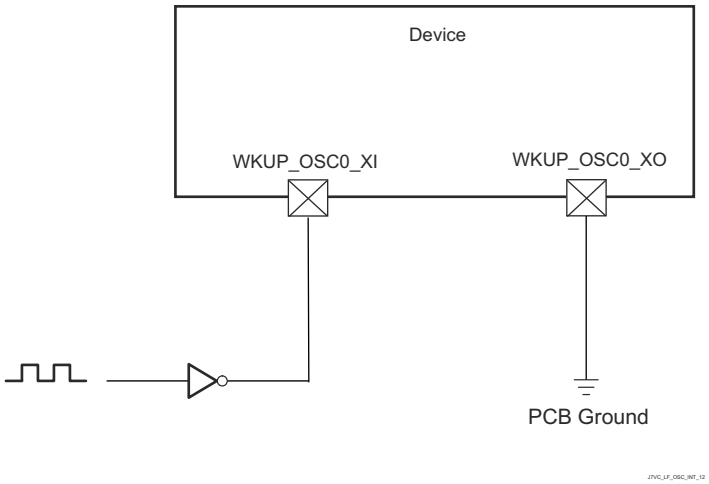


图 6-30. 1.8V LVCMOS 兼容时钟输入

6.10.4.1.3 辅助 OSC1 内部振荡器时钟源

图 6-31 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件应尽可能靠近 OSC1_XI 和 OSC1_XO 引脚放置。

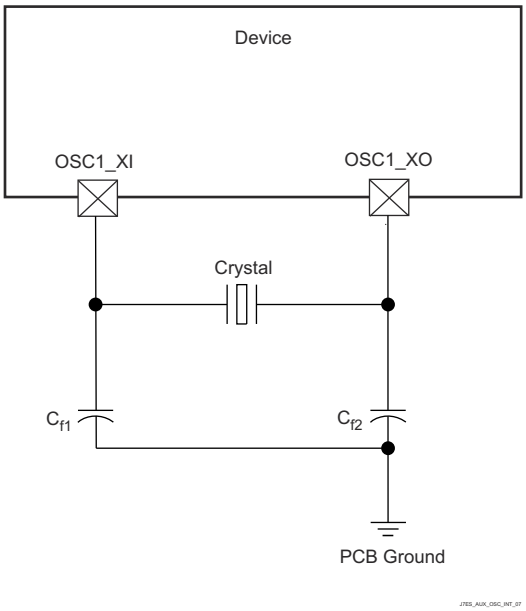


图 6-31. OSC1 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-26 总结了所需的电气约束。

表 6-26. OSC1 晶体电气特性

参数				最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率			19.2		27	MHz
F_{xtal}	晶体频率稳定性和容差		未使用以太网 RGMII 和 RMII			±100	ppm
			RGMII 和 RMII 使用衍生的时钟			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} 电容			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} 电容			12		24	pF
C_L	晶体负载电容			6		12	pF
C_{shunt}	晶体电路并联电容	19.2MHz ≤ F_{xtal} ≤ 20MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 80Ω			5	pF
			80Ω ≤ ESR_{xtal} ≤ 100Ω			3	pF
		20MHz ≤ F_{xtal} ≤ 24.576MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 60Ω			5	pF
			60Ω ≤ ESR_{xtal} ≤ 80Ω			3	pF
			不支持：80Ω ≤ ESR_{xtal}			–	
		24.576MHz ≤ F_{xtal} ≤ 25MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 50Ω			5	pF
			50Ω ≤ ESR_{xtal} ≤ 80Ω			3	pF
			不支持：80Ω ≤ ESR_{xtal}			–	
		25MHz ≤ F_{xtal} ≤ 27MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 50Ω			5	pF
			不支持：50Ω ≤ ESR_{xtal}			–	
ESR_{xtal}	晶体有效串联电阻					100	Ω

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

Copyright © 2026 Texas Instruments Incorporated

表 6-27 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-27. OSC1 开关特性 - 晶体模式

参数		最小值	典型值	最大值	单位
C_{XI}	XI 电容			1.139	pF
C_{XO}	XO 电容			1.106	pF
C_{XIXO}	XI 至 XO 互电容			0.01	pF
t_s	启动时间		9.5(1)		ms

(1) **TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。供应商有办法确定多大的负载电容器能够最好地调节他们的谐振器/晶振，从而使微控制器能够在温度/电压极值范围内实现最佳启动和运行。**

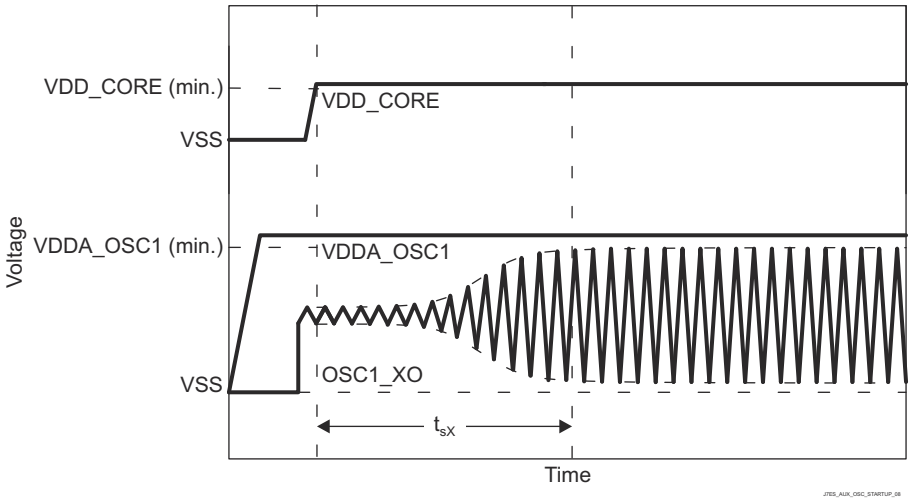


图 6-32. OSC1 启动时间

6.10.4.1.3.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1}、C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 OSC1_XI 和 OSC1_XO 的 PCB 信号引线具有接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，PCB 设计人员应该能够提取每条信号引线的寄生电容。OSC1 电路和器件封装具有组合的接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，表 6-25 定义了这些寄生电容值。

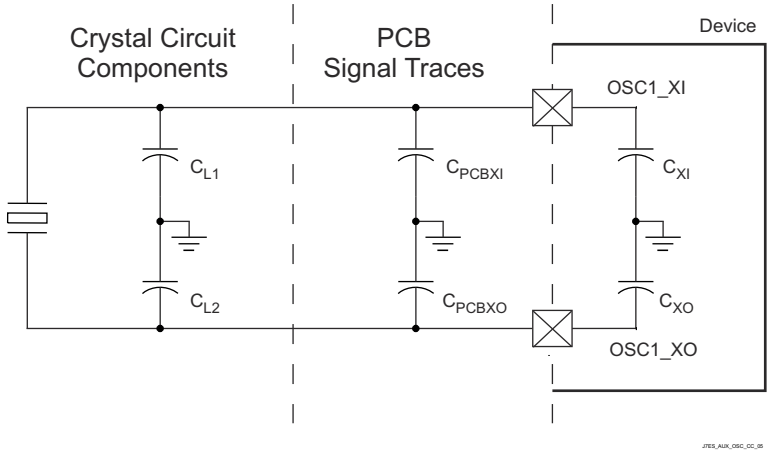


图 6-33. 负载电容

在选择图 6-26 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 C_L = 10pF，C_{PCBXI} = 2pF，C_{XI} = 1pF，C_{PCBXO} = 2pF，C_{XO} = 1pF，则 C_{L1} 的值 = C_{L2} = $[(2C_L) - (C_{PCBXI} + C_{XI})]$ = $[(2C_L) - (C_{PCBXO} + C_{XO})]$ = [(2 × 10pF) - 2pF - 1pF)] = 17pF。

6.10.4.1.3.2 并联电容

晶体电路的设计还必须使其不超过表 6-24 中定义的 OSC1 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 OSC1 的 PCB 信号引线彼此之间存在互寄生电容 $C_{PCBXIXO}$，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO}，表 6-25 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

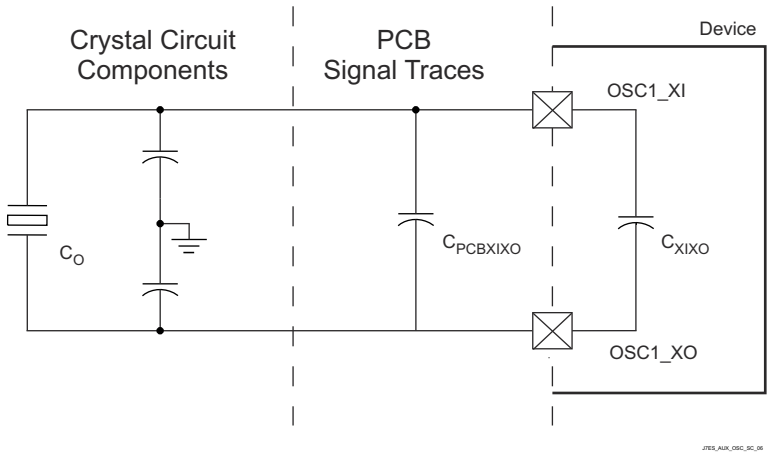


图 6-34. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$C_{shunt} \geqslant C_O + C_{PCBXIXO} + C_{XIXO}$

例如，当所使用的晶体为 25MHz，ESR = 30Ω，$C_{PCBXIXO}$ = 0.7pF，C_{XIXO} = 0.01pF，晶体的并联电容小于或等于 6.29pF 时，应满足该公式。

6.10.4.1.4 辅助 OSC1 LVCMOS 数字时钟源

图 6-35 展示了当 OSC1_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

当振荡器上电时，OSC1_XI 上不允许出现直流稳态情况。这是因为 OSC1_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 OSC1_XI 不在不同逻辑状态之间切换，应用软件就应该使 OSC1 断电。

Copyright © 2026 Texas Instruments Incorporated

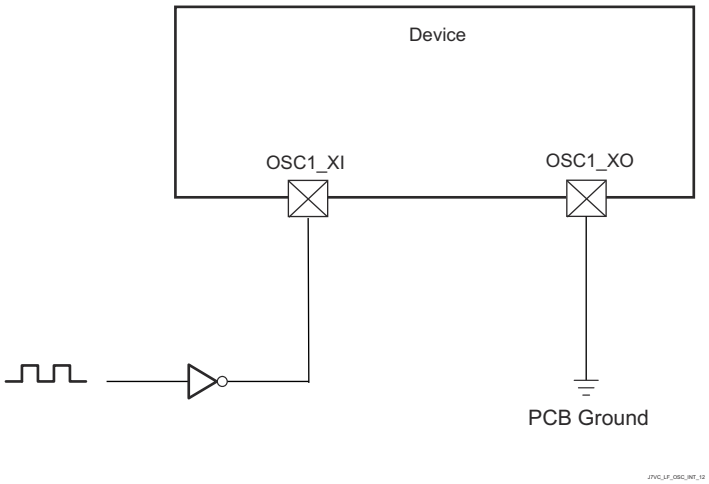


图 6-35. 1.8V LVCMOS 兼容时钟输入

6.10.4.1.5 未使用辅助 OSC1

图 6-36 展示了未使用 OSC1 时建议的振荡器连接。OSC1_XI 必须通过外部拉电阻器 (R_{pd}) 连接到 VSS，以确保在该输入未使用时保持在有效的低电平，因为内部下拉电阻器在默认情况下被禁用。

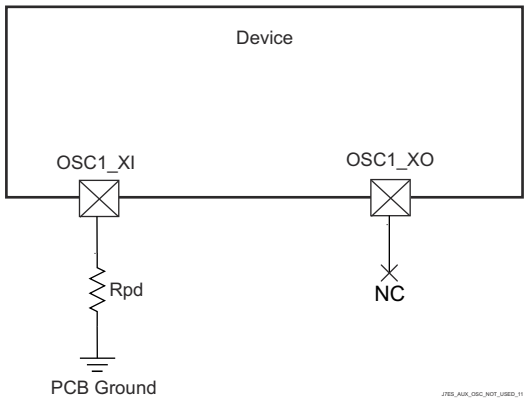


图 6-36. 未使用 OSC1

6.10.4.1.6 WKUP_LF_CLKIN 内部振荡器时钟源

图 6-37 展示了当 WKUP_LF_CLKIN 连接到 LVCMOS 方波数字时钟源时建议的振荡器连接。

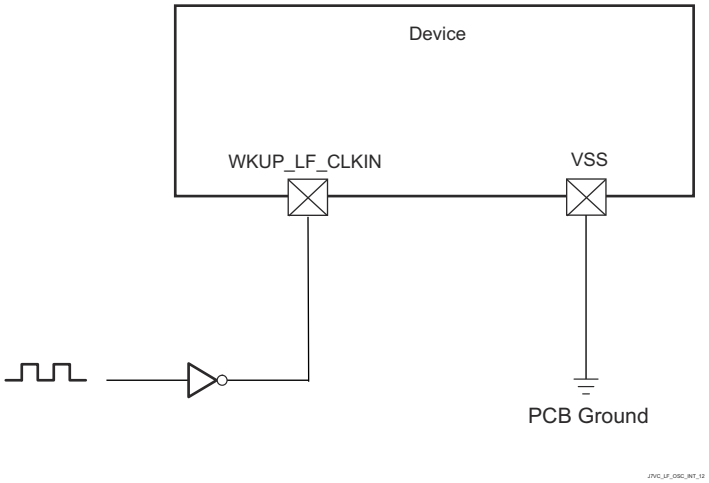


图 6-37. WKUP_LF_CLKIN 晶体实现

表 6-28 详细说明了 WKUP_LF_CLKIN 输入时钟时序要求。

表 6-28. WKUP_LF_CLKIN 输入时钟时序要求 (2)

名称	说明		最小值	典型值	最大值	单位
CK0	1 / $t_{c(WKUP_LF_CLKIN)}$	频率，WKUP_LF_CLKIN		32768		Hz
CK1	$t_{w(WKUP_LF_CLKIN)}$	脉冲持续时间，WKUP_LF_CLKIN 低电平或高电平	0.45*P(1)		0.55*P(1)	ns

(1) P 是 WKUP_LF_CLKIN 周期时间（以 ns 为单位）。
(2) 有关电压和压摆率信息，请参阅 节 6.6.7 *LVCMOS 电气特性*。

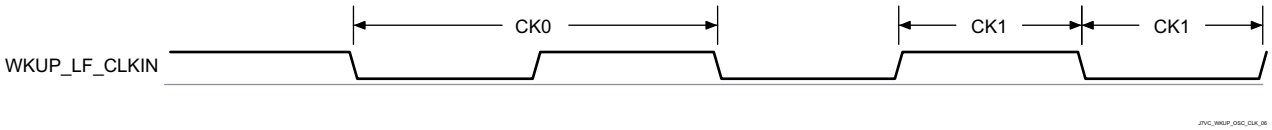


图 6-38. WKUP_LF_CLKIN 启动时间

6.10.4.1.7 未使用 WKUP_LF_CLKIN

图 6-39 展示了未使用 WKUP_LF_CLKIN 时建议的振荡器连接。在振荡器保持禁用状态期间，WKUP_LF_CLKIN 可能为“无连接”，因为默认情况下会使能内部下拉电阻器。

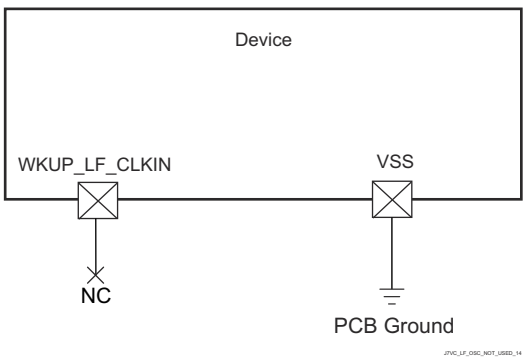


图 6-39. 未使用 WKUP_LF_CLKIN

Copyright © 2026 Texas Instruments Incorporated

6.10.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **MCU_CLKOUT0**
  - 以太网 PHY 的基准时钟输出（50MHz 或 25MHz）
- **MCU_SYSCLKOUT0**
  - WKUP_PLLCTRL0 的 SYSCLK0 进行 6 分频后作为 LVCMOS 时钟信号 (MCU_SYSCLKOUT0) 从器件发出。此信号可被用来测试主芯片时钟是否正常工作。
- **MCU_OBSCLK0**
  - 在时钟输出 MCU_OBSCLK0 上，可观察振荡器和 PLL 时钟以进行测试和调试。
- **SYSCLKOUT0**
  - MAIN_PLL 控制器的 SYSCLK0 进行 6 分频后作为 LVCMOS 时钟信号 (SYSCLKOUT0) 从器件发出。此信号可被用来测试主芯片时钟是否正常工作。
- **CLKOUT**
  - 基准时钟输出
- **OBSCLK[2:0]**
  - 在时钟输出 OBSCLK0 上，可观察振荡器和 PLL 时钟以进行测试和调试。

Copyright © 2026 Texas Instruments Incorporated

6.10.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

在 WKUP 和 MCU 域中，该器件内总共有三个 PLL：

- MCU_PLL0 (MCU R5FSS PLL) + WKUP_PLLCTRL0
- MCU_PLL1（MCU 外设 PLL）
- MCU_PLL2 (MCU CPSW PLL)

MAIN 域中共有 10 个 PLL：

- PLL0（主 PLL）+ PLLCTRL0
- PLL1 (PER0 PLL)
- PLL2 (PER1 PLL)
- PLL3 (CPSW5X PLL)
- PLL4 (AUDIO0 PLL)
- PLL7 (MSMC PLL)
- PLL8 (ARM0 PLL)
- PLL12 (DDR PLL)
- PLL13 (C66 PLL)
- PLL14 (R5FSS PLL)

备注

如需更多信息，请参阅：

- 器件 TRM 中的*器件配置*|*时钟*|*PLL* 一节。
- 器件 TRM 中的*可编程实时单元子系统和工业通信子系统 — 千兆位 (PRU)* 一节。

备注

如器件 TRM 中的*器件配置* 一章所述，输入基准时钟 (OSC1_XI/OSC1_XO) 由 PLL 控制器指定，锁定时间由 PLL 控制器确保。

6.10.4.4 建议的时钟和控制信号转换行为

所有时钟和选通信号必须在 V_{IH} 和 V_{IL} 之间（或在 V_{IL} 和 V_{IH} 之间）单调转换。开关速度更快的信号可确保更轻松地进行单调转换。较慢的输入转换更容易受到噪声导致的干扰的影响，因此必须特别注意慢速输入时钟。

6.10.4.5 接口时钟规范

6.10.4.5.1 接口时钟术语

接口时钟用于在系统级别对数据进行排序并根据接口协议控制传输。

6.10.4.5.2 接口时钟频率

两个接口时钟特性为：

- 最大时钟频率
- 最大工作频率

此处记录的接口时钟频率是最大时钟频率，它对应于可在该输出时钟上可编程的最大频率。该频率定义了器件 IC 支持的最大限值，并未考虑任何系统注意事项（PCB、外设）。

系统设计人员必须考虑这些系统注意事项和器件 IC 时序特性，以便正确定义与该接口上传输数据所支持的最大频率相对应的最大工作频率。

Copyright © 2026 Texas Instruments Incorporated

6.10.5 外设

6.10.5.1 ATL

该器件包含 ATL 模块，可用于音频的异步采样速率转换。ATL 计算两个时基（例如音频同步）之间的误差，并可选择使用通过软件窃取周期来生成一个平均时钟。

备注

有关 ATL 更多信息，请参阅器件 TRM 的*外设*一章中的*音频跟踪逻辑 (ATL)* 一节。

表 6-29 表示 ATL 时序条件。

表 6-29. ATL 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	外部基准 CLK	0.5	5	V/ns
输出条件					
C_L	输出负载电容	内部基准 CLK	1	10	pF

节 6.10.5.1.1、节 6.10.5.1.2、节 6.10.5.1.3 和节 6.10.5.1.4 说明了 ATL 的时序要求和开关特性。

6.10.5.1.1 ATL_PCLK 时序要求

编号	参数		模式	最小值	最大值	单位
D1	$t_{c(pclk)}$	周期时间，ATL_PCLK	外部基准 CLK	5		ns
D2	$t_{w(pclkL)}$	脉冲持续时间，ATL_PCLK 低电平	外部基准 CLK	0.45 × M (1) + 2.5		ns
D3	$t_{w(pclkH)}$	脉冲持续时间，ATL_PCLK 高电平	外部基准 CLK	0.45 × M (1) + 2.5		ns

(1) M = ATL_CLK[x] 周期

6.10.5.1.2 ATL_AWS[x] 时序要求

编号			模式	最小值	最大值	单位
D4	$t_{c(aws)}$	周期时间，ATL_AWS[x](3)	外部基准 CLK	2 × M(1)		ns
D5	$t_{w(awsL)}$	脉冲持续时间，ATL_AWS[x](3) 低电平	外部基准 CLK	0.45 × A(2) + 2.5		ns
D6	$t_{w(awsH)}$	脉冲持续时间，ATL_AWS[x](3) 高电平	外部基准 CLK	0.45 × A(2) + 2.5		ns

(1) M = ATL_CLK[x] 周期
(2) A = ATL_AWS[x] 周期
(3) x = 0 至 3

6.10.5.1.3 ATL_BWS[x] 时序要求

编号			模式	最小值	最大值	单位
D7	$t_{c(bws)}$	周期时间，ATL_BWS[x](3)	外部基准时钟	2 × M(1)		ns
D8	$t_{w(bwsL)}$	脉冲持续时间，ATL_BWS[x] 低电平(3)	外部基准时钟	0.45 × B(2) + 2.5		ns
D9	$t_{w(bwsH)}$	脉冲持续时间，ATL_BWS[x] 高电平(3)	外部基准时钟	0.45 × B(2) + 2.5		ns

(1) M = ATL_CLK[x] 周期
(2) B = ATL_BWS[x] 周期
(3) x = 0 至 3

6.10.5.1.4 ATCLK[x] 开关特性

编号	参数		模式	最小值	最大值	单位
D10	$t_{c(atclk)}$	周期时间，ATCLK[x](3)	内部基准 CLK	20		ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数		模式	最小值	最大值	单位
D11	$t_{w(atclkL)}$	脉冲持续时间，ATCLK[x] 低电平(3)	内部基准 CLK	0.45 × P(2) - M(1) - 0.3		ns
D12	$t_{w(atclkH)}$	脉冲持续时间，ATCLK[x] 高电平(3)	内部基准 CLK	0.45 × P(2) - M(1) - 0.3		ns

(1) M = ATL_CLK[x] 周期
(2) P = ATCLK[x] 周期
(3) x = 0 至 3

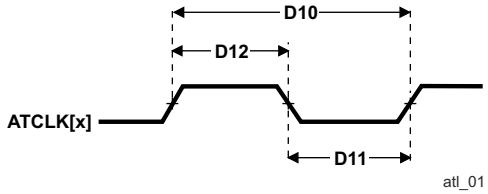


图 6-40. ATCLK[x] 时序

6.10.5.2 CPSW2G

有关器件千兆位以太网 MAC 的特性和其他说明的更多详细信息，请参阅节 5.3 “*信号说明*”和节 7 “*详细说明*”中的相应部分。

表 6-30 表示 CPSW2G 时序条件。

表 6-30. CPSW2G 时序条件

参数	说明		最小值	最大值	单位
输入条件					
t_R	输入信号上升时间		1	5	V/ns
t_F	输入信号下降时间		1	5	V/ns
输出条件					
C_{LOAD}	输出负载电容		2	20	pF
PCB 连接要求					
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

6.10.5.2.1 CPSW2G RMII 时序

节 6.10.5.2.1.1、节 6.10.5.2.1.2 和 图 6-41 说明了 CPSW2G RMII 接收的时序要求。

6.10.5.2.1.1 RMII[x]_REFCLK 时序要求 — RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII1	$t_{c(REF_CLK)}$	REF_CLK 周期时间	19.999		20.001	ns
RMII2	$t_{w(REF_CLKH)}$	脉冲持续时间，REF_CLK 高电平	7		13	ns
RMII3	$t_{w(REF_CLKL)}$	脉冲持续时间，REF_CLK 低电平	7		13	ns

Copyright © 2026 Texas Instruments Incorporated

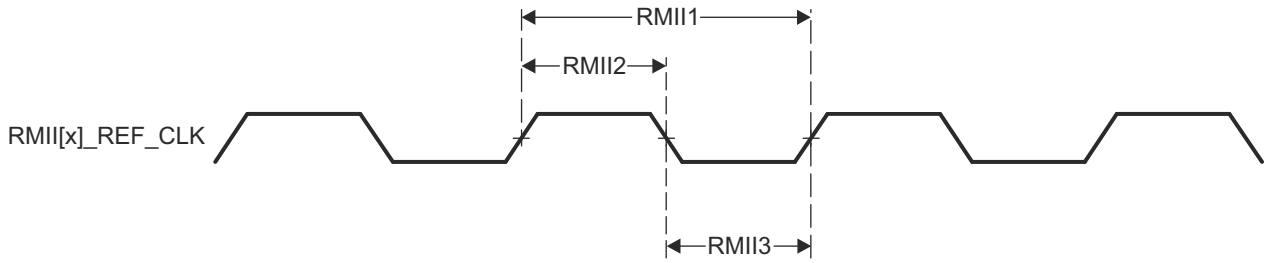


图 6-41. RMII[x]_REFCLK 时序 — RMII 模式

6.10.5.2.1.2 RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RXER 时序要求 — RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII4	$t_{su(RXD-REF_CLK)}$	建立时间，RXD[1:0] 在 REF_CLK 前的有效时间	4			ns
	$t_{su(CRS_DV-REF_CLK)}$	建立时间，CRS_DV 在 REF_CLK 前的有效时间	4			ns
	$t_{su(RX_ER-REF_CLK)}$	建立时间，RX_ER 在 REF_CLK 前的有效时间	4			ns
RMII5	$t_{h(REF_CLK-RXD)}$	保持时间，RXD[1:0] 在 REF_CLK 后的有效时间	2			ns
	$t_{h(REF_CLK-CRS_DV)}$	保持时间，CRS_DV 在 REF_CLK 后的有效时间	2			ns
	$t_{h(REF_CLK-RX_ER)}$	保持时间，RX_ER 在 REF_CLK 后的有效时间	2			ns

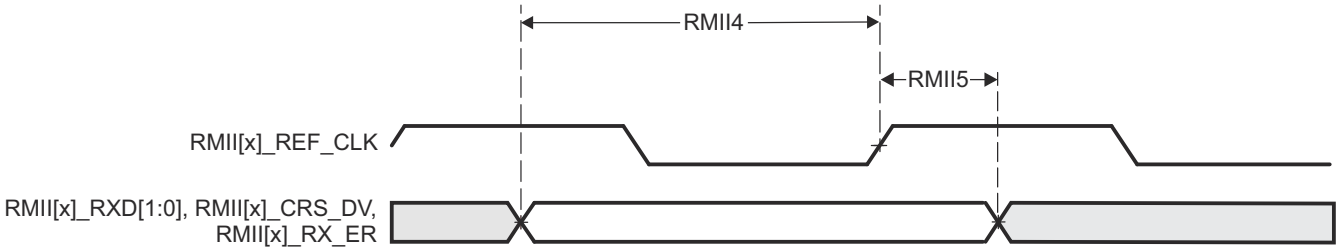


图 6-42. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER 时序 — RMII 模式

节 6.10.5.2.1.3 和节 6.10.5.2.1.3 说明了 CPSW2G RMII 发送模式的开关特性。

6.10.5.2.1.3 RMII[x]_TXD[1:0] 和 RMII[x]_TXEN 开关特性 — RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间，REF_CLK 高电平到 TXD[1:0] 有效	2		10	ns
	$t_{d(REF_CLK-TXEN)}$	延迟时间，REF_CLK 到 TXEN 有效	2		10	ns
RMII7	$t_{r(TXD)}$	上升时间，TXD 输出	1		5	ns
	$t_{r(TX_EN)}$	上升时间，TX_EN 输出	1		5	ns
RMII8	$t_{f(TXD)}$	下降时间，TXD 输出	1		5	ns
	$t_{f(TX_EN)}$	下降时间，TX_EN 输出	1		5	ns

Copyright © 2026 Texas Instruments Incorporated

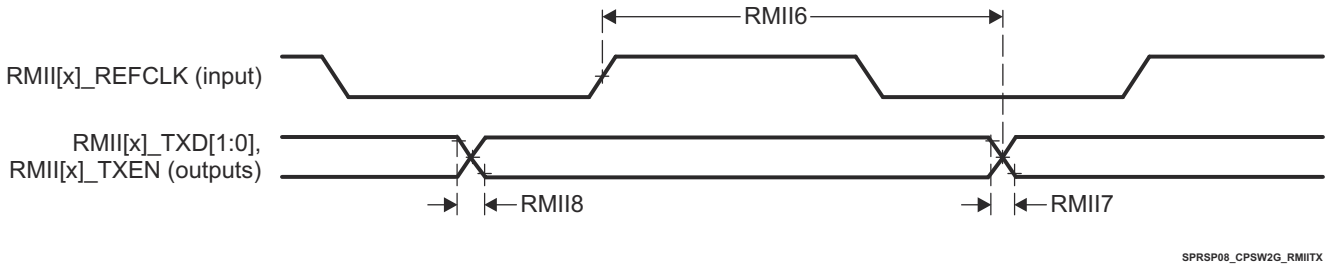


图 6-43. SPI 主模式接收时序

6.10.5.2.2 CPSW2G RGMII 时序

节 6.10.5.2.2.1、节 6.10.5.2.2.2 和图 6-44 说明了 RGMII 在接收操作中的时序要求。

6.10.5.2.2.1 RGMII[x]_RCLK 时序要求 — RGMII 模式

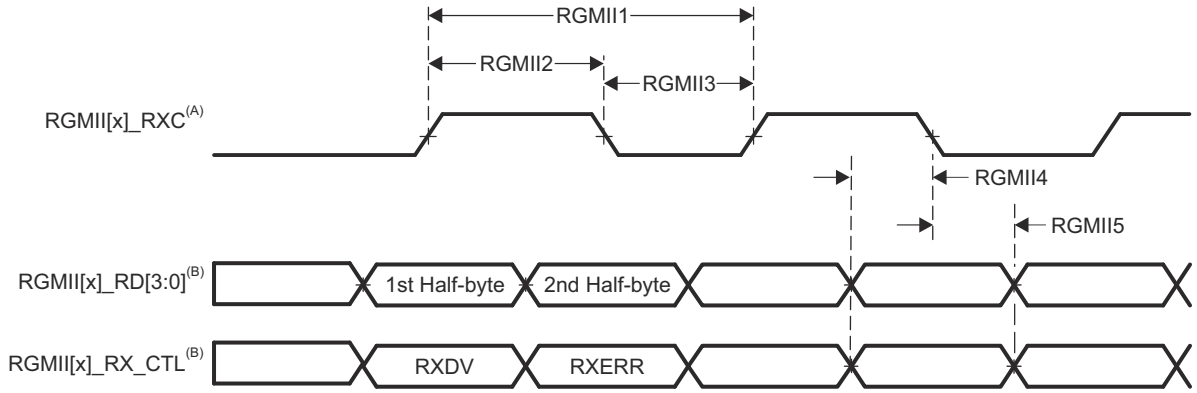
编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间，RXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间，RXC 高电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间，RXC 低电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII4	$t_{t(RXC)}$	RXC 转换时间	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

6.10.5.2.2.2 RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 的时序要求 — RGMII 模式

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII5	$t_{su(RD-RXC)}$	建立时间，在 RXC 高电平/低电平之前 RD[3:0] 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{su(RX_CTL-RXC)}$	建立时间，在 RXC 高电平/低电平之前 RX_CTL 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
RGMII6	$t_{h(RXC-RD)}$	保持时间，在 RXC 高电平/低电平之后 RD[3:0] 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{h(RXC-RX_CTL)}$	保持时间，在 RXC 高电平/低电平之后 RX_CTL 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII7	$t_{t(RD)}$	RD 转换时间	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns
	$t_{t(RX_CTL)}$	转换时间，RX_CTL	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns



A. RGMII_RXC 必须相对于数据引脚和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII_RXD[3:0] 在 RGMII_RXC 的上升沿传输数据位 3-0，在 RGMII_RXC 的下降沿传输数据位 7-4。类似地，RGMII_RXCTL 在 RGMII_RXC 的上升沿传输 RXDV，在 RGMII_RXC 的下降沿传输 RXERR。

图 6-44. CPSW2G 接收接口时序，RGMII 运行模式

节 6.10.5.2.2.3、节 6.10.5.2.2.4 和图 6-45 说明了 10Mbps、100Mbps 和 1000Mbps RGMII 发送模式下的开关特性。

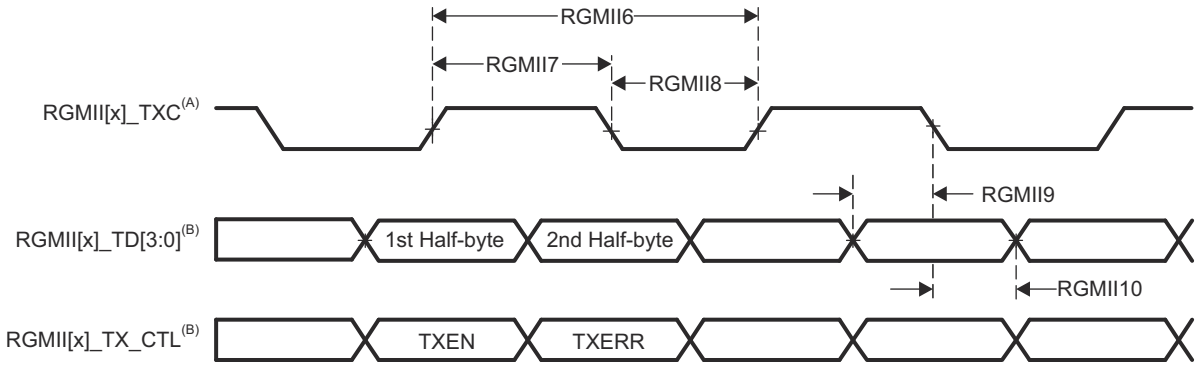
6.10.5.2.2.3 RGMII[x]_TCLK 开关特性 — RGMII 模式

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII1	$t_{c(TXC)}$	周期时间，TXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns
RGMII2	$t_{w(TXCH)}$	脉冲持续时间，TXC 高电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(TXCL)}$	脉冲持续时间，TXC 低电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII4	$t_{t(TXC)}$	TXC 转换时间	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

Copyright © 2026 Texas Instruments Incorporated

6.10.5.2.2.4 RGMII[x]_TD[3:0] 和 RGMII[x]_TCTL 开关特性 — RGMII 模式

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII5	$t_{osu(TD-TXC)}$	输出建立时间，RGMII[x]_TD[3:0] 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间，RGMII[x]_TX_CTL 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
RGMII6	$t_{oh(TD-TXC)}$	输出保持时间，RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.0			ns
	$t_{oh(TX_CTL-TXC)}$	输出保持时间，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns



A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII_TD[3:0] 在 RGMII_TXC 的上升沿传输数据位 3-0，在 RGMII_TXC 的下降沿传输数据位 7-4。类似地，RGMII_TX_CTL 在 RGMII_TXC 的上升沿传输 TXDV，在 RGMII_TXC 的下降沿传输 RTXERR。

图 6-45. CPSW2G 发送接口时序 - RGMII 模式

有关更多信息，请参阅器件 TRM 的*外设*一章中的*千兆位以太网 MAC (MCU_CPSW0)* 一节。

6.10.5.3 CPSW5G

千兆位以太网 MAC 支持表 6-31 所示的标准。

表 6-31. CPSW5G 支持标准

行业标准	波特(1)	链路/数据速率(1)
USXGMII/XFI	5.15625 GBaud 10.3125 GBaud	5 Gbps 10 Gbps
QSGMII	5 GBaud	4x 1Gbps
XAUI (2.5G SGMII)	3.125 GBaud	2.5 Gbps
1G SGMII	1.25 GBaud	1 Gbps

(1) 通过复制可实现更低的数据速率

有关器件千兆位以太网 MAC 的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

Copyright © 2026 Texas Instruments Incorporated

表 6-32 表示 CPSW5G 时序条件。

表 6-32. CPSW5G 时序条件

参数	说明		最小值	最大值	单位
输入条件					
t_R	输入信号上升时间		1	5	V/ns
t_F	输入信号下降时间		1	5	V/ns
输出条件					
C_{LOAD}	输出负载电容		2	20	pF
PCB 连接要求					
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

6.10.5.3.1 CPSW5G MDIO 接口时序

表 6-33、表 6-34、表 6-35 和图 6-46 说明了 MDIO 的时序要求。

表 6-33. CPSW5G MDIO 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入信号压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF

表 6-34. MDIO 输入的时序要求

编号	参数		最小值	最大值	单位
MDIO1	$t_{su(MDIO_MDC)}$	在 MDIO_CLK 高电平之前 MDIO_DATA 有效的设置时间	90		ns
MDIO2	$t_{h(MDIO_MDC)}$	MDIO_CLK 高电平后 MDIO_DATA 有效的保持时间	0		ns

表 6-35. MDIO 输出在建议运行条件下的开关特性

编号	参数		最小值	最大值	单位
MDIO3	$t_{c(MDC)}$	周期时间，MDIO_CLK	400		ns
MDIO4	$t_{w(MDCH)}$	脉冲持续时间，MDIO_CLK 高电平	160		ns
MDIO5	$t_{w(MDCL)}$	脉冲持续时间，MDIO_CLK 低电平	160		ns
MDIO6	$t_{t(MDC)}$	转换时间，MDIO_CLK		5	ns
MDIO7	$t_{d(MDC_MDIO)}$	延迟时间，MDIO_CLK 高电平到 MDIO_DATA 有效	-150	150	ns

Copyright © 2026 Texas Instruments Incorporated

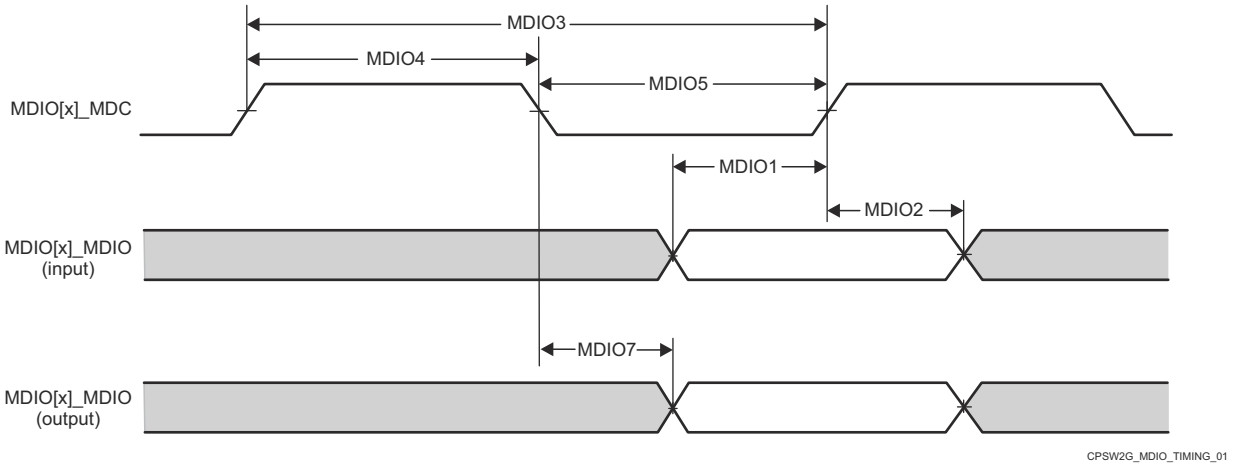


图 6-46. CPSW5G MDIO 图接收和发送

6.10.5.3.2 CPSW5G RMII 时序

节 6.10.5.3.2.1、节 6.10.5.3.2.2 和 图 6-47 说明了 CPSW5G RMII 接收的时序要求。

6.10.5.3.2.1 RMII[x]_REFCLK 时序要求 — RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII1	$t_{c(REF_CLK)}$	REF_CLK 周期时间	19.999		20.001	ns
RMII2	$t_{w(REF_CLKH)}$	脉冲持续时间，REF_CLK 高电平	7		13	ns
RMII3	$t_{w(REF_CLKL)}$	脉冲持续时间，REF_CLK 低电平	7		13	ns

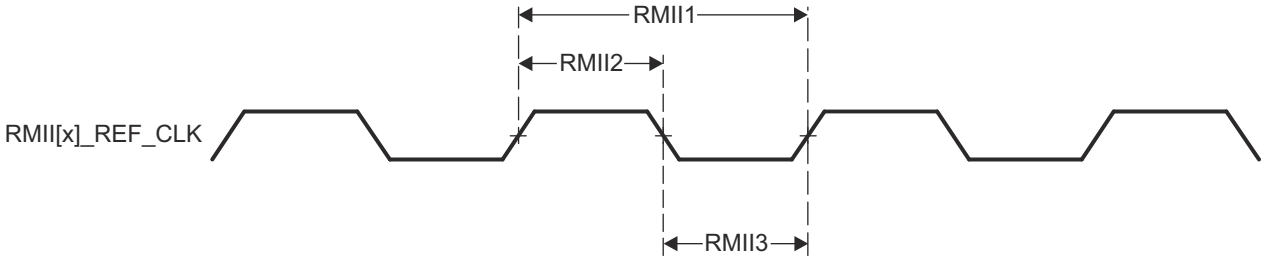


图 6-47. RMII[x]_REFCLK 时序 — RMII 模式

6.10.5.3.2.2 RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RXER 时序要求 — RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII4	$t_{su(RXD-REF_CLK)}$	建立时间，RXD[1:0] 在 REF_CLK 前的有效时间	4			ns
	$t_{su(CRS_DV-REF_CLK)}$	建立时间，CRS_DV 在 REF_CLK 前的有效时间	4			ns
	$t_{su(RX_ER-REF_CLK)}$	建立时间，RX_ER 在 REF_CLK 前的有效时间	4			ns
RMII5	$t_{h(REF_CLK-RXD)}$	保持时间，RXD[1:0] 在 REF_CLK 后的有效时间	2			ns
	$t_{h(REF_CLK-CRS_DV)}$	保持时间，CRS_DV 在 REF_CLK 后的有效时间	2			ns
	$t_{h(REF_CLK-RX_ER)}$	保持时间，RX_ER 在 REF_CLK 后的有效时间	2			ns

Copyright © 2026 Texas Instruments Incorporated

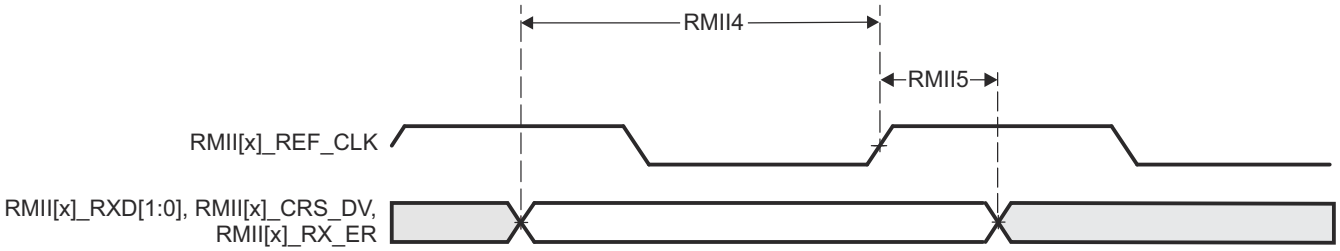


图 6-48. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER 时序 — RMII 模式

节 6.10.5.3.2.3、节 6.10.5.2.1.3 和 说明了 CPSW5G RMII 发送模式的开关特性。

6.10.5.3.2.3 RMII[x]_TXD[1:0] 和 RMII[x]_TXEN 的开关特性 – RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间，REF_CLK 高电平到 TXD[1:0] 有效	2		10	ns
	$t_{d(REF_CLK-TXEN)}$	延迟时间，REF_CLK 到 TXEN 有效	2		10	ns
RMII7	$t_{r(TXD)}$	上升时间，TXD 输出	1		5	ns
	$t_{r(TX_EN)}$	上升时间，TX_EN 输出	1		5	ns
RMII8	$t_{f(TXD)}$	下降时间，TXD 输出	1		5	ns
	$t_{f(TX_EN)}$	下降时间，TX_EN 输出	1		5	ns

6.10.5.3.3 CPSW5G RGMII 时序

节 6.10.5.3.3.1、节 6.10.5.3.3.2 和图 6-49 说明了 RGMII 在接收操作中的时序要求。

6.10.5.3.3.1 RGMII[x]_RCLK 时序要求 — RGMII 模式

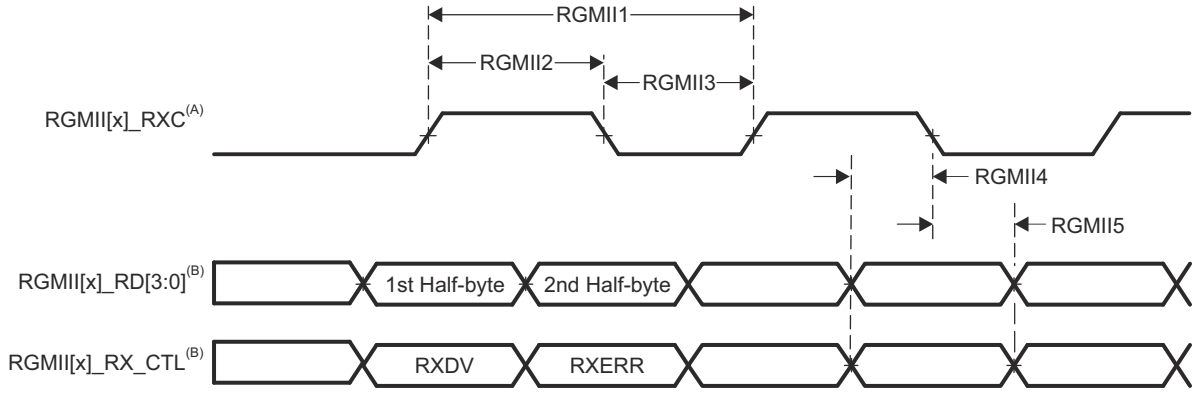
编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间，RXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间，RXC 高电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间，RXC 低电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII4	$t_{t(RXC)}$	RXC 转换时间	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

6.10.5.3.3.2 RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 的时序要求 — RGMII 模式

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII5	$t_{su(RD-RXC)}$	建立时间，在 RXC 高电平/低电平之前 RD[3:0] 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{su(RX_CTL-RXC)}$	建立时间，在 RXC 高电平/低电平之前 RX_CTL 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII6	$t_{h(RXC-RD)}$	保持时间，在 RXC 高电平/低电平之后 RD[3:0] 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
	$t_{h(RXC-RX_CTL)}$	保持时间，在 RXC 高电平/低电平之后 RX_CTL 有效	10Mbps	1			ns
			100Mbps	1			ns
			1000Mbps	1			ns
RGMII7	$t_{t(RD)}$	RD 转换时间	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns
	$t_{t(RX_CTL)}$	转换时间，RX_CTL	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns



A. RGMII_RXC 必须相对于数据引脚和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII_RXD[3:0] 在 RGMII_RXC 的上升沿传输数据位 3-0，在 RGMII_RXC 的下降沿传输数据位 7-4。类似地，RGMII_RXCTL 在 RGMII_RXC 的上升沿传输 RXDV，在 RGMII_RXC 的下降沿传输 RXERR。

图 6-49. CPSW5G 接收接口时序，RGMII 运行模式

节 6.10.5.3.3.3、节 6.10.5.3.3.4 和图 6-50 说明了 10Mbps、100Mbps 和 1000Mbps RGMII 发送模式下的开关特性。

6.10.5.3.3.3 RGMII[x]_TCLK 开关特性 — RGMII 模式

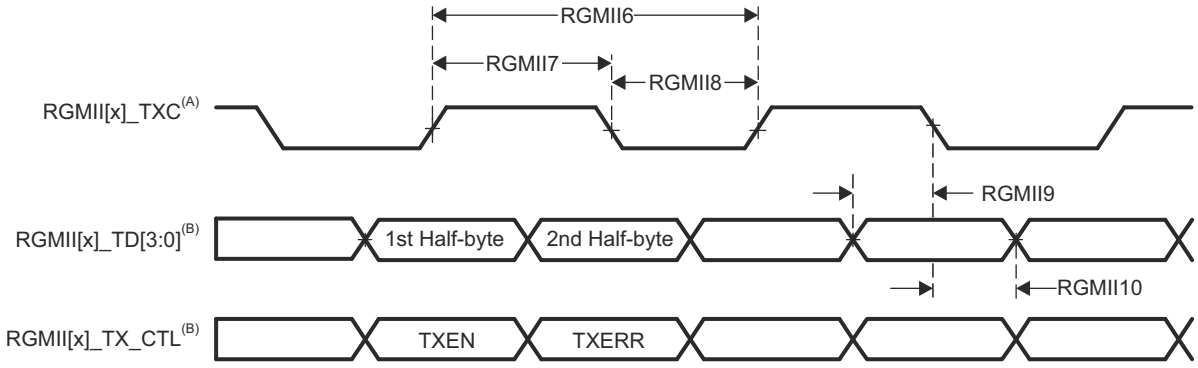
编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII1	$t_{c(TXC)}$	周期时间，TXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns
RGMII2	$t_{w(TXCH)}$	脉冲持续时间，TXC 高电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns
RGMII3	$t_{w(TXCL)}$	脉冲持续时间，TXC 低电平的时间	10Mbps	160		240	ns
			100Mbps	16		24	ns
			1000Mbps	3.6		4.4	ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII4	$t_{t(TXC)}$	TXC 转换时间	10Mbps			0.75	ns
			100Mbps			0.75	ns
			1000Mbps			0.75	ns

6.10.5.3.3.4 RGMII[x]_TD[3:0] 和 RGMII[x]_TCTL 的开关特性 – RGMII 模式

编号	参数	说明	模式	最小值	典型值	最大值	单位
RGMII5	$t_{osu(TD-TXC)}$	输出建立时间，RGMII[x]_TD[3:0] 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间，RGMII[x]_TX_CTL 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
RGMII6	$t_{oh(TD-TXC)}$	输出保持时间，RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns
	$t_{oh(TX_CTL-TXC)}$	输出保持时间，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2			ns
			100Mbps	1.2			ns
			1000Mbps	1.05			ns



A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII_TD[3:0] 在 RGMII_TXC 的上升沿传输数据位 3-0，在 RGMII_TXC 的下降沿传输数据位 7-4。类似地，RGMII_TX_CTL 在 RGMII_TXC 的上升沿传输 TXDV，在 RGMII_TXC 的下降沿传输 RTXERR。

图 6-50. CPSW5G 发送接口时序 - RGMII 模式

有关更多信息，请参阅器件 TRM 的*外设*一章中的*千兆位以太网交换机 (CPSW0)* 一节。

6.10.5.4 DDRSS

有关器件 LPDDR4 存储器接口的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

该器件具有用于连接 LPDDR4 的专用接口，支持符合 JEDEC JESD209-4B 标准且具有以下特性的 LPDDR4 SDRAM 器件：

- 连接到外部 SDRAM 存储器的 32 位和 16 位数据路径
- 存储器器件容量：通过两个片选引脚提供多达 8GB 地址空间（每列 4GB）
- 不支持字节模式 LPDDR4 存储器或具有超过 17 行地址位的存储器

表 6-36 和图 6-51 说明了 DDRSS 的开关特性。

Copyright © 2026 Texas Instruments Incorporated

表 6-36. DDRSS 的开关特性

编号	参数		DDR 类型	最小值	最大值	单位
1	$t_{c(DDR_CKP/DDR_CKN)}$	周期时间，DDR0_CKP 和 DDR0_CKN	LPDDR4	0.625(1)	3.003	ns

(1) 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。TI 强烈建议所有设计的每个细节（布线、间距、过孔/背钻、PCB 材料等）都严格遵循 TI LPDDR4 EVM PCB 布局，以便完全实现指定的时钟频率。有关详细信息，请参阅 Jacinto 7 DDR 电路板设计和布局指南。

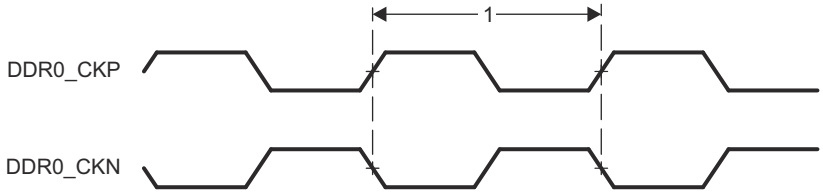


图 6-51. DDRSS 存储器接口时钟时序

有关更多信息，请参阅器件 TRM 的*存储器控制器*一章中的 *DDR 子系统 (DDRSS)* 一节。

6.10.5.5 ECAP

器件 ECAP 支持的特性包括：

- 32 位时基计数器
- 4 事件时间戳寄存器（每个 32 位）
- 独立边沿极性选择，最多选择四个序列化时间戳捕获事件
- 4 个捕获事件中任意一个均有对应的中断功能
- 输入捕获信号预分频（1 至 16）
- 支持不同的捕获模式（单次捕获、连续模式捕获、绝对时间戳捕获或差分模式时间戳捕获）

表 6-37 表示 ECAP 时序条件。

表 6-37. ECAP 时序条件

参数	说明	最小值	最大值	单位
输入条件				
t_{SR}	输入压摆率	1	4	V/ns
输出条件				
C_{LOAD}	输出负载电容	2	7	pF

节 6.10.5.5.1 和节 6.10.5.5.2 说明了 ECAP 的时序和开关特性（请参阅图 6-52 和图 6-53）。

6.10.5.5.1 ECAP 的时序要求

编号	参数	说明	最小值	最大值	单位
CAP1	$t_{w(CAP)}$	脉冲持续时间，CAP（异步）	2 + 2P (1)		ns

(1) P = sysclk 周期（以 ns 为单位）

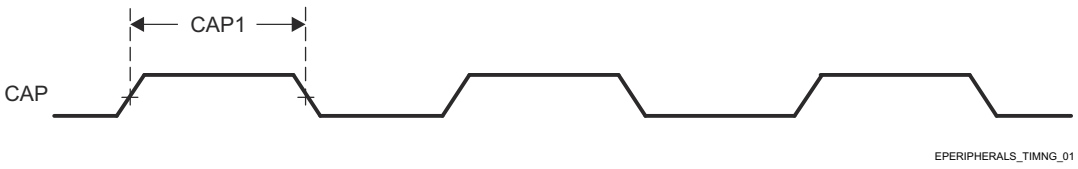


图 6-52. ECAP 输入时序

Copyright © 2026 Texas Instruments Incorporated

6.10.5.5.2 ECAP 的开关特性

编号	参数	说明	最小值	最大值	单位
CAP2	$t_{w(APWM)}$	脉冲持续时间，APWMx 高电平/低电平	-2 + 2P (1)		ns

(1) P = sysclk 周期（以 ns 为单位）

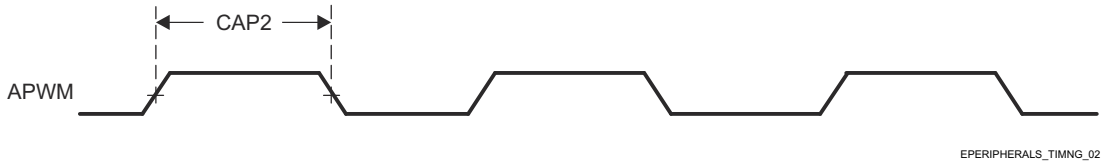


图 6-53. ECAP 输出时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型捕获 (ECAP) 模块*一节。

6.10.5.6 EPWM

器件 EPWM 支持的特性包括：

- 专用 16 位时基计数器具有周期和频率控制功能
- 两个独立 PWM 输出可用于不同配置（单边沿运行模式、双边沿对称运行模式或一个独立 PWM 输出 + 双边沿非对称运行模式）
- 在故障条件下可以对 PWM 信号进行异步覆盖控制
- 针对相对于其他 EPWM 模块的滞后或超前操作支持可编程相位控制
- 在生成死区时可以进行独立上升沿和下降沿延迟控制
- 锁存和未锁存故障条件下均支持可编程跳闸区分配
- 可通过事件触发 CPU 中断和 ADC 转换启动

表 6-38 表示 EPWM 时序条件。

表 6-38. EPWM 时序条件

参数	说明	最小值	最大值	单位
输入条件				
t_{SR}	输入压摆率	1	4	V/ns
输出条件				
C_{LOAD}	输出负载电容	2	7	pF

节 6.10.5.6.1 和节 6.10.5.6.2 说明了 EPWM 的时序和开关特性（请参阅图 6-54、图 6-55、图 6-56 和图 6-57）。

6.10.5.6.1 EPWM 的时序要求

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(PWM)}$	脉冲持续时间，PWM 输出高电平/低电平	P -3 (1)		ns
PWM2	$t_{w(SYNCOUT)}$	脉冲持续时间，同步输出	P -3 (1)		ns
PWM3	$t_{d(TZ-PWM)}$	延迟时间，跳闸输入有效触发 PWM 强制高电平/低电平		11	ns
PWM4	$t_{d(TZ-PWMZ)}$	延迟时间，跳闸输入有效触发 PWM 高阻态		11	ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	最小值	最大值	单位
PWM5	$t_{w(SOC)}$	脉冲持续时间，SOC 输出（异步）	P -3 (1)		ns

(1) P = sysclk 周期（以 ns 为单位）

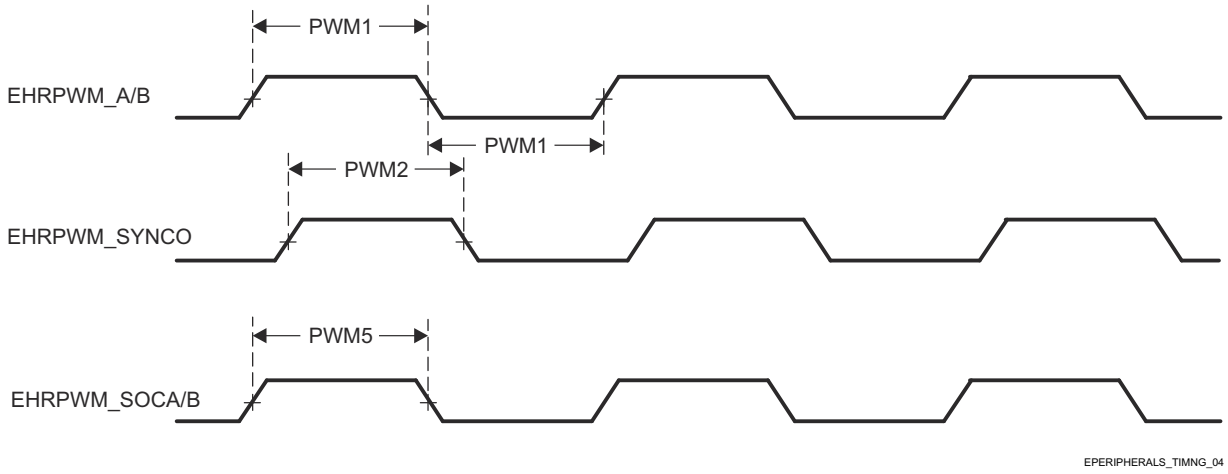


图 6-54. EPWM_A/B_out、ePWM_SYNCO 和 ePWM_SOCA/B 输入时序

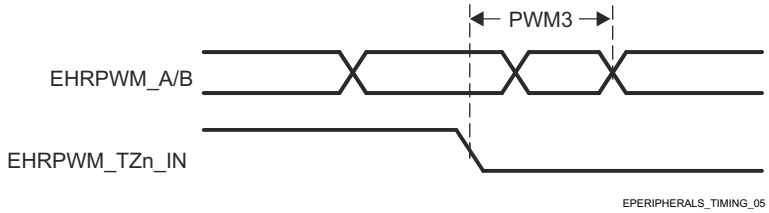


图 6-55. EPWM_A/B 和 ePWM_TZn_IN 强制高电平/低电平输入时序

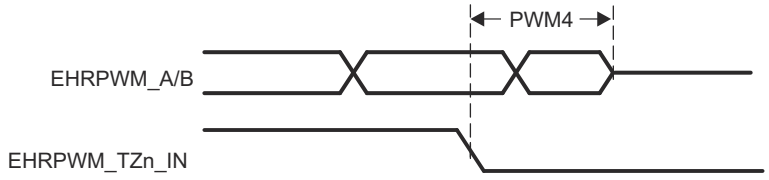


图 6-56. EPWM_A/B 和 ePWM_TZn_IN 高阻态输入时序

6.10.5.6.2 EPWM 的开关特性

编号	参数	说明	最小值	最大值	单位
PWM6	$t_{w(SYNCIN)}$	脉冲持续时间，同步输入（异步）	2 + 2P (1)		ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	最小值	最大值	单位
PWM7	$t_{w(TZ)}$	脉冲持续时间，TZx 输入低电平（异步）	2 + 3P (1)		ns

(1) P = sysclk 周期（以 ns 为单位）

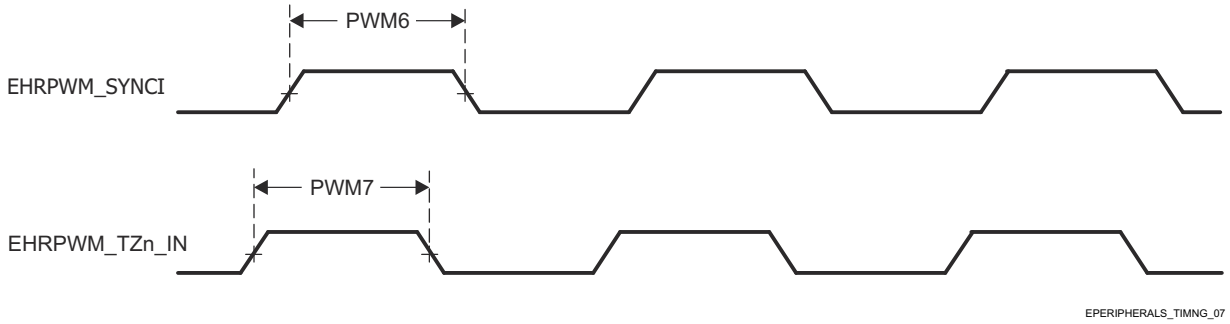


图 6-57. ePWM_SYNCI 和 ePWM_TZn_IN 输出时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型脉宽调制 (EPWM) 模块*一节。

6.10.5.7 EQEP

器件 EQEP 支持的特性包括：

- 输入同步
- 三级/六级数字噪声滤波器
- 正交解码器单元
- 用于位置测量的位置计数器和控制单元
- 用于低速测量的正交边沿捕获单元
- 用于速度/频率测量的单位时基
- 用于检测失速的看门狗计时器

表 6-39 表示 EQEP 时序条件。

表 6-39. EQEP 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

节 6.10.5.7.1 和节 6.10.5.7.2 说明了 EQEP 的时序要求和开关特性（请参阅图 6-58）。

6.10.5.7.1 EQEP 的时序要求

编号	参数	说明	最小值	最大值	单位
QEP1	$t_{w(QEP)}$	脉冲持续时间，QEP_A/B	2 + 2P (1)		ns
QEP2	$t_{w(QEPIH)}$	脉冲持续时间，QEP_I 高电平	2 + 2P (1)		ns
QEP3	$t_{w(QEPIL)}$	脉冲持续时间，QEP_I 低电平	2 + 2P (1)		ns
QEP4	$t_{w(QEPSH)}$	脉冲持续时间，QEP_S 高电平	2 + 2P (1)		ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	最小值	最大值	单位
QEP5	$t_{w(QEPSL)}$	脉冲持续时间，QEP_S 低电平	2 + 2P (1)		ns

(1) P = sysclk 周期（以 ns 为单位）

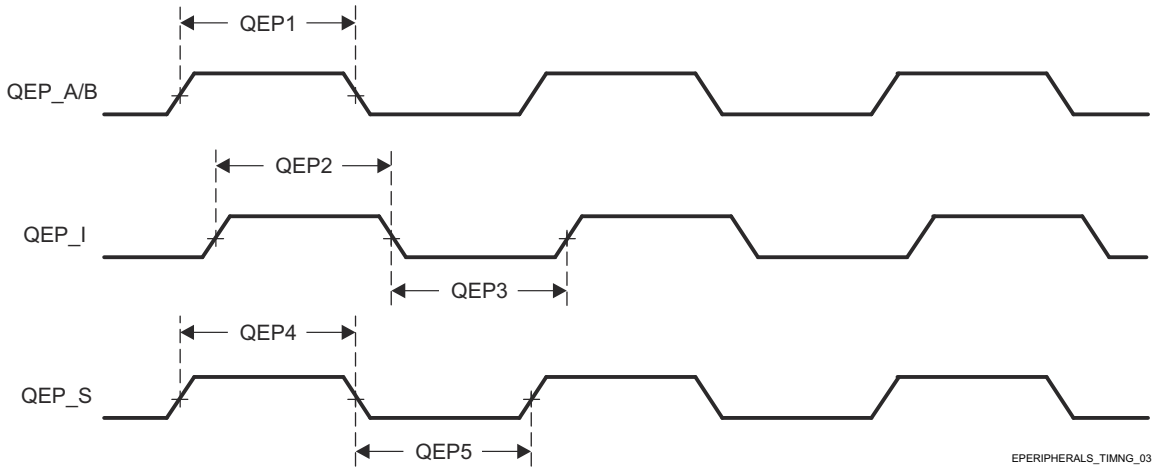


图 6-58. EQEP 输入时序

6.10.5.7.2 EQEP 的开关特性

编号	参数	说明	最小值	最大值	单位
QEP6	$t_{d(QEP-CNTR)}$	延迟时间，外部时钟到计数器增量		24	ns

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型正交编码器脉冲 (EQEP) 模块*一节。

6.10.5.8 GPIO

该器件具有 10 个 GPIO 模块实例。这些 GPIO 模块分为三组。

- 第一组：WKUP_GPIO0 和 WKUP_GPIO1
- 第二组：GPIO0、GPIO2、GPIO4 和 GPIO6
- 第三组：GPIO1、GPIO3、GPIO5 和 GPIO7

在每个组中，只会选择一个模块来控制相应的 I/O 引脚和引脚中断。

GPIO 引脚分为几排（每排 16 个引脚），这意味着每个 GPIO 模块提供多达 144 个具有输入和输出功能的专用通用引脚；因此，通用接口支持多达 432 个（3 个实例 × （9 排 × 16 个引脚））引脚。由于 WKUP_GPIOu_[84:143]（u = 0、1）、GPIOn_[128:143]（n = 0、2、4、6）和 GPIOm_[36:143]（m = 1、3、5、7）被保留在此器件中，因此通用接口最多支持 248 个 I/O 引脚。

有关器件通用接口的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明*和节 7 *详细说明*中的相应部分。

备注

通用输入/输出 i（i = 0 至 1）也称为 GPIOi。

表 6-40、表 6-41 和表 6-42 说明了 GPIO 的时序条件、要求和开关特性。

表 6-40. GPIO 时序条件

参数	缓冲器类型	最小值	最大值	单位
输入条件				

Copyright © 2026 Texas Instruments Incorporated

表 6-40. GPIO 时序条件（续）

参数		缓冲器类型	最小值	最大值	单位
SR_I	输入压摆率	LVCMOS	0.2	6.6	V/ns
		I2C OD FS	0.2	0.8	V/ns
输出条件					
C_L	输出负载电容	LVCMOS	3	10	pF
		I2C OD FS	3	100	pF

表 6-41. GPIO 时序要求

编号	参数	说明	模式	最小值	最大值	单位
GPIO1	$t_{w(GPIO_IN)}$	脉冲宽度，GPIOn_x	1.8V	2P + 2.6(1)		ns
			3.3V	2P + 3.4(1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

表 6-42. GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
GP3	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度	LVCMOS	– 3.6 + 0.975P(1)		ns
GP4	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度低电平	I2C 开漏	160		ns
GP5	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度高电平	I2C 开漏	60		ns

(1) P = 功能时钟周期（以 ns 为单位）。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用接口 (GPIO)* 一节。

6.10.5.9 GPMC

有关器件通用存储器控制器的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

表 6-43. GPMC 时序条件

参数	说明		最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1.65	4	V/ns
输出条件					
C_L	输出负载电容		5	20	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	133MHz 同步模式	140	360	ps
		所有其他模式	140	720	
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播不匹配			200	ps

6.10.5.9.1 GPMC 和 NOR 闪存 - 同步模式

节 6.10.5.9.1.1 和节 6.10.5.9.1.2 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-59 至图 6-63）。

6.10.5.9.1.1 GPMC 和 NOR 闪存时序要求 - 同步模式

编号	参数	说明	模式 (2)	最小值 最大值 100MHz	最小值 最大值 133MHz	单位
F12	$t_{su(dV-clkH)}$	建立时间，在输出时钟 GPMC_CLK 高电平之前输入数据 GPMC_AD[15:0] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.81	1.11	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.06		ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	模式 (2)	最小值 最大值 100MHz	最小值 最大值 133MHz	单位
F13	$t_{h(clkH-dV)}$	保持时间，在输出时钟 GPMC_CLK 高电平之后输入数据 GPMC_AD[15:0] 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.78	2.28	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.78		ns
F21	$t_{su(waitV-clkH)}$	建立时间，在输出时钟 GPMC_CLK 高电平之前输入等待 GPMC_WAIT[j] 有效 (1)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.81	1.11	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.06		ns
F22	$t_{h(clkH-waitV)}$	保持时间，在输出时钟 GPMC_CLK 高电平之后输入等待 GPMC_WAIT[j] 有效 (1)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.78	2.28	ns
			not_div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	1.78		ns

(1) 在 GPMC_WAIT[j] 中，j 等于 0 或 1。
(2) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 not_div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率/（2 至 4）

对于 GPMC_FCLK_MUX：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100MHz

对于 TIMEPARAGRANULARITY_X1：

- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

6.10.5.9.1.2 GPMC 和 NOR 闪存开关特性 — 同步模式

编号 (2)	参数	说明	模式(19)	最小值 最大值 100MHz	最小值 最大值 133MHz	单位
F0	1/tc(clk)	周期，输出时钟 GPMC_CLK(18)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	10	7.52	ns
F1	$t_{w(clkH)}$	典型脉冲持续时间，输出时钟 GPMC_CLK 高电平	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-0.3+ 0.475* P(15)	-0.3+ 0.475* P(15)	ns
F1	$t_{w(clkL)}$	典型脉冲持续时间，输出时钟 GPMC_CLK 低电平	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-0.3+ 0.475* P(15)	-0.3+ 0.475* P(15)	ns
F2	$t_{d(clkH-csnV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 转换 (14)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	-2.2+F (6) 3.75+F (6)	-2.2+F (6) 3.75+F (6)	ns

Copyright © 2026 Texas Instruments Incorporated

编号 (2)	参数	说明	模式(19)	最小值 100MHz	最大值 100MHz	最小值 133MHz	最大值 133MHz	单位
F3	$t_{d(clkH-CSn[i]V)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 无效 (14)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	-2.2+E (5)	3.75+E (5)	-2.2+E (5)	3.75+E (5)	ns
F4	$t_{d(aV-clk)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+B (2)	4.5+B (2)	-2.3+B (2)	4.5+B (2)	ns
F5	$t_{d(clkH-aIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址 GPMC_A[27:1] 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+B (2)	1.9+B (2)	-2.3+B (2)	1.9+B (2)	ns
F7	$t_{d(clkH-be[x]nIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效(11)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+D (4)	1.9+D (4)	-2.3+D (4)	1.9+D (4)	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效(12)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+D (4)	1.9+D (4)	-2.3+D (4)	1.9+D (4)	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效(13)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+D (4)	1.9+D (4)	-2.3+D (4)	1.9+D (4)	ns
F8	$t_{d(clkH-advn)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 转换	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	-2.3+G (7)	4.5+G (7)	-2.3+G (7)	4.5+G (7)	ns
F9	$t_{d(clkH-advnIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	-2.3+D (4)	4.5+D (4)	-2.3+D (4)	4.5+D (4)	ns
F10	$t_{d(clkH-oen)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 转换	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	-2.3H(8)	3.5+H (8)	-2.3H(8)	3.5+H (8)	ns
F11	$t_{d(clkH-oenIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	-2.3+E (8)	3.5+E (8)	-2.3+E (8)	3.5+E (8)	ns
F14	$t_{d(clkH-wen)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出写入使能 GPMC_WEn 转换	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1 ; 无 extra_delay	-2.3+I(9)	4.5+I(9)	-2.3+I (9)	4.5+I(9)	ns
F15	$t_{d(clkH-do)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出数据 GPMC_AD[15:0] 转换(11)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+J (10)	2.7+J (10)	-2.3+J (10)	2.7+J (10)	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 (12)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+J (10)	2.7+J (10)	-2.3+J (10)	2.7+J (10)	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换(13)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+J (10)	2.7+J (10)	-2.3+J (10)	2.7+J (10)	ns
F17	$t_{d(clkH-be[x]n)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 转换(11)	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2.3+J (10)	1.9+J (10)	-2.3+J (10)	1.9+J (10)	ns

Copyright © 2026 Texas Instruments Incorporated

编号 (2)	参数	说明	模式(19)	最小值	最大值	最小值	最大值	单位
				100MHz		133MHz		
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换(12)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2.3+J (10)	1.9+J (10)	-2.3+J (10)	1.9+J (10)	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换(13)	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2.3+J (10)	1.9+J (10)	-2.3+J (10)	1.9+J (10)	ns
F18	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CSn[i] 低电平(14)	读取	A(1)		A(1)		ns
			写入	A(1)		A(1)		ns
F19	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 低电平	读取	C(3)		C(3)		ns
			写入	C(3)		C(3)		ns
F20	$t_{w(advnV)}$	脉冲持续时间，输出地址有效和地址锁存使能 GPMC_ADVn_ALE 低电平	读取	K(16)		K(16)		ns
			写入	K(16)		K(16)		ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n 是页面突发访问编号。

(2) B = ClkActivationTime × GPMC_FCLK(17)

(3) 对于单次读取：C = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：C = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：C = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n 是页面突发访问编号。

(4) 对于单次读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)

(5) 对于单次读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)

(6) 对于 csn 下降沿（CS 激活）：

- 如果 GPMCFCLKDIVIDER = 0：
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 CSOnTime 为奇数）或（ClkActivationTime 和 CSOnTime 为偶数），则 F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
  - 否则 F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(CSOnTime - ClkActivationTime) 是 3 的倍数），则 F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
  - 如果（(CSOnTime - ClkActivationTime - 1) 是 3 的倍数），则 F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17)
  - 如果（(CSOnTime - ClkActivationTime - 2) 是 3 的倍数），则 F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK(17)

(7) 对于 ADV 下降沿（ADV 激活）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVOnTime 为奇数）或（ClkActivationTime 和 ADVOnTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVOnTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 如果（(ADVOnTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
  - 如果（(ADVOnTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)

对于读取模式下的 ADV 上升沿（ADV 停用）：

Copyright © 2026 Texas Instruments Incorporated

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVRdOffTime 为奇数）或（ClkActivationTime 和 ADVRdOffTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVRdOffTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 如果（(ADVRdOffTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
  - 如果（(ADVRdOffTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)

对于写入模式下的 ADV 上升沿（ADV 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVWrOffTime 为奇数）或（ClkActivationTime 和 ADVWrOffTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVWrOffTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 如果（(ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
  - 如果（(ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)

(8) 对于 OE 下降沿（OE 激活）和 IO DIR 上升沿（数据总线输入方向）：

- 如果 GPMCFCLKDIVIDER = 0：
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOnTime 为奇数）或（ClkActivationTime 和 OEOnTime 为偶数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(OEOnTime - ClkActivationTime) 是 3 的倍数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
  - 如果（(OEOnTime - ClkActivationTime - 1) 是 3 的倍数），则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
  - 如果（(OEOnTime - ClkActivationTime - 2) 是 3 的倍数），则 H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)

对于 OE 上升沿（OE 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOffTime 为奇数）或（ClkActivationTime 和 OEOffTime 为偶数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(OEOffTime - ClkActivationTime) 是 3 的倍数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
  - 如果（(OEOffTime - ClkActivationTime - 1) 是 3 的倍数），则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
  - 如果（(OEOffTime - ClkActivationTime - 2) 是 3 的倍数），则 H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)

(9) 对于 WE 下降沿（WE 激活）：

- 如果 GPMCFCLKDIVIDER = 0：
  - I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOnTime 为奇数）或（ClkActivationTime 和 WEOnTime 为偶数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK(17)

Copyright © 2026 Texas Instruments Incorporated

- 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)

- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(WEOnTime - ClkActivationTime) 是 3 的倍数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
  - 如果（(WEOnTime - ClkActivationTime - 1) 是 3 的倍数），则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
  - 如果（(WEOnTime - ClkActivationTime - 2) 是 3 的倍数），则 I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)

对于 WE 上升沿（WE 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOffTime 为奇数）或（ClkActivationTime 和 WEOffTime 为偶数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
  - 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(WEOffTime - ClkActivationTime) 是 3 的倍数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
  - 如果（(WEOffTime - ClkActivationTime - 1) 是 3 的倍数），则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
  - 如果（(WEOffTime - ClkActivationTime - 2) 是 3 的倍数），则 I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)

(10) J = GPMC_FCLK(17)
(11) 对于 CLK DIV 1 模式，仅限第一次传输。
(12) 半周期；对于 CLK DIV 1 模式，针对初始传输后的所有数据。
(13) GPMC_CLKOUT 的半个周期；对于 CLK DIV 1 模式以外的模式，针对所有数据。GPMC_CLKOUT 从 GPMC_FCLK 进行分频。
(14) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。
(15) P = 以 ns 为单位的 GPMC_CLK 周期
(16) 对于读取：K = (ADVRdOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于写入：K = (ADVWrOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
(17) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(18) 与 GPMC_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。
(19) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100MHz

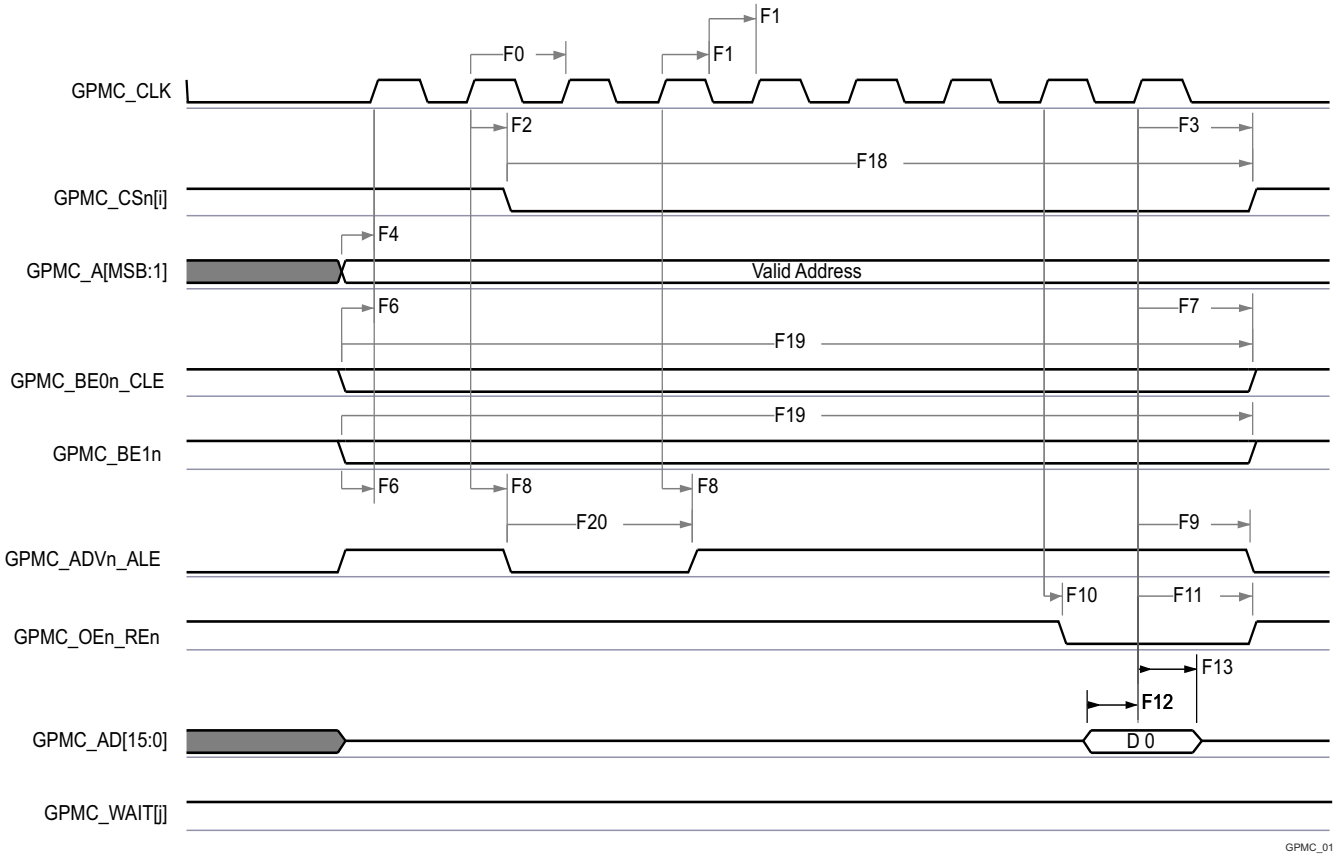
对于 TIMEPARAGRANULARITY_X1：

- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

对于无 extra_delay 的情况：

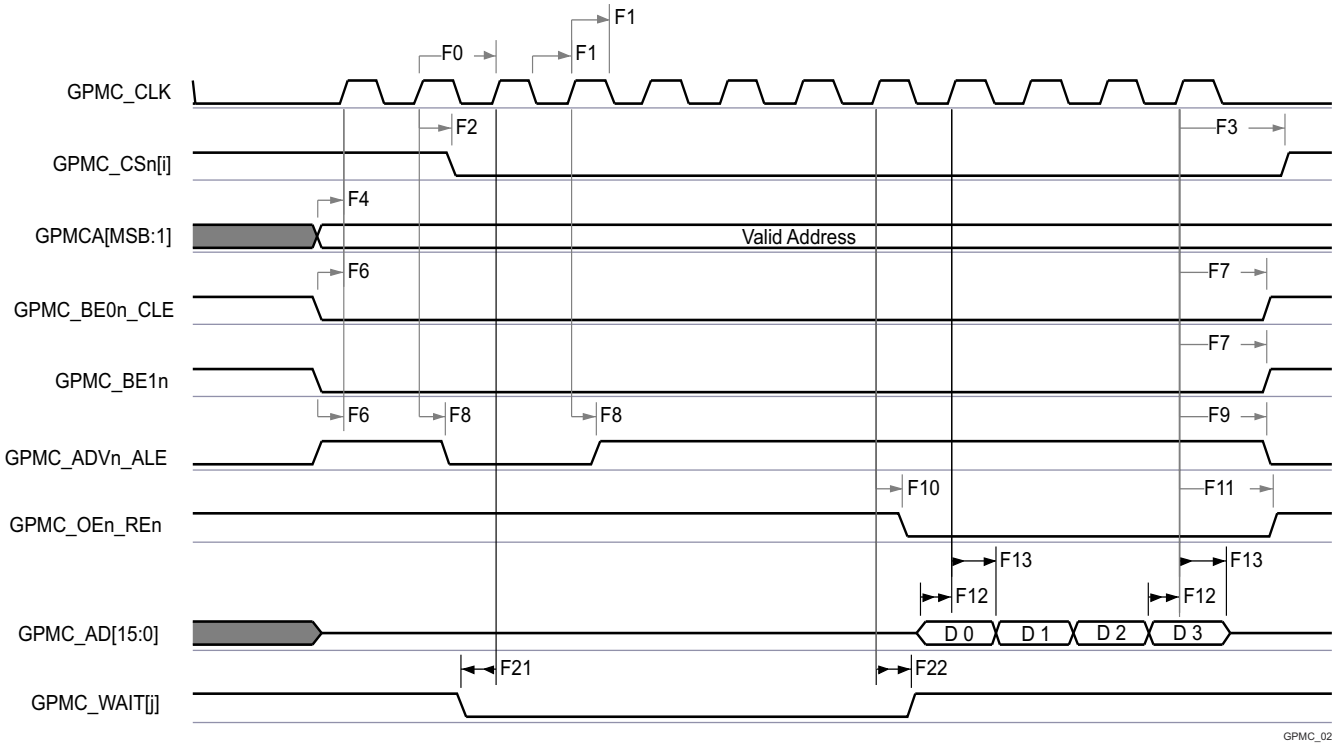
- GPMC_CONFIG2_i 寄存器：CSEXTRADELAY = 0h = CSn 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器：WEEXTRADELAY = 0h = nWE 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器：OEEXTRADELAY = 0h = nOE 时序控制信号不延迟
- GPMC_CONFIG3_i 寄存器：ADVEXTRADELAY = 0h = nADV 时序控制信号不延迟

Copyright © 2026 Texas Instruments Incorporated



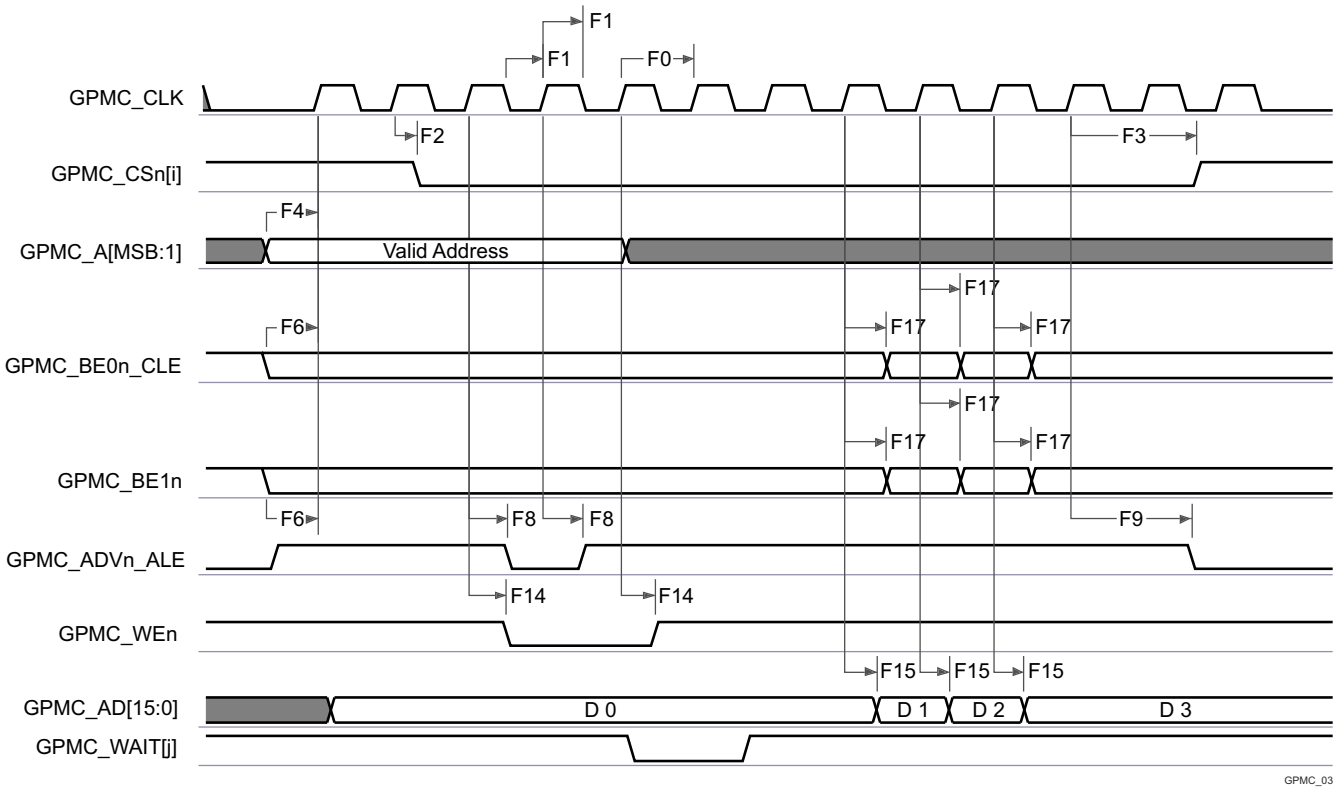
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-59. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-60. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)

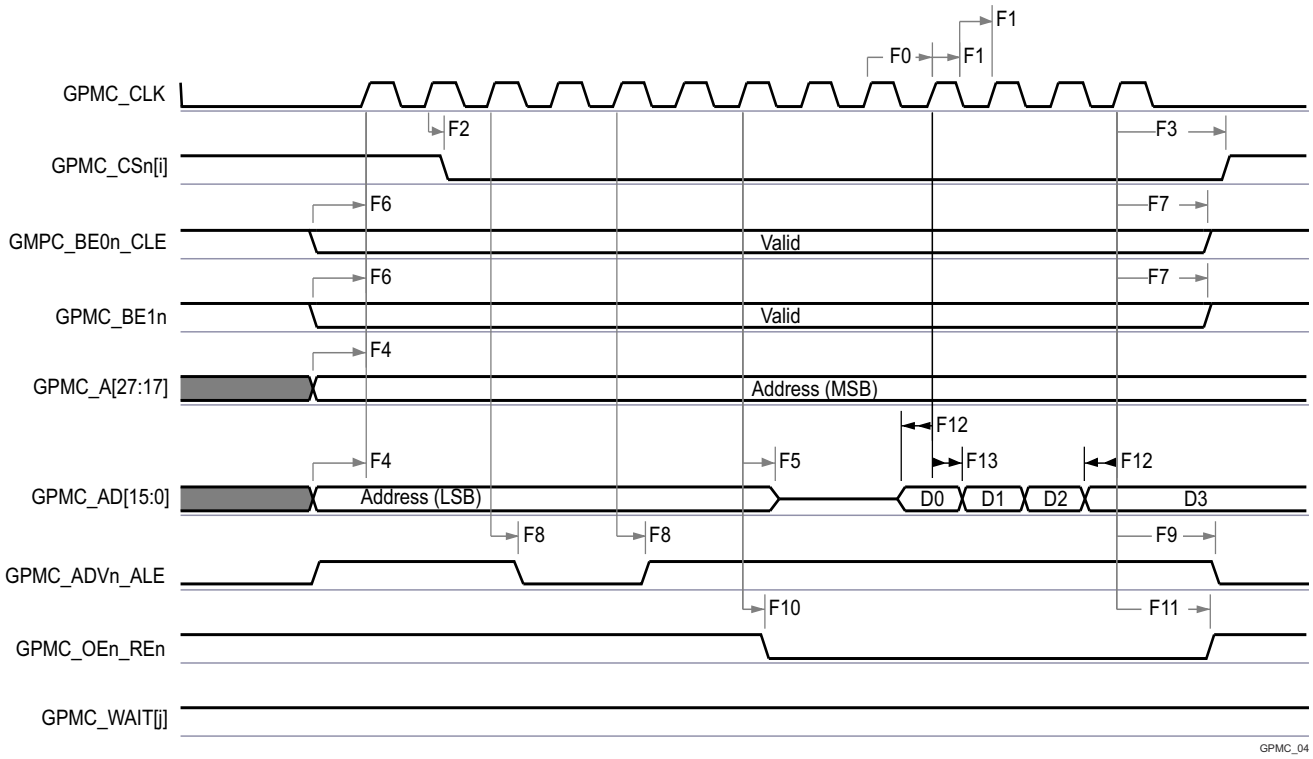


A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

Copyright © 2026 Texas Instruments Incorporated

B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

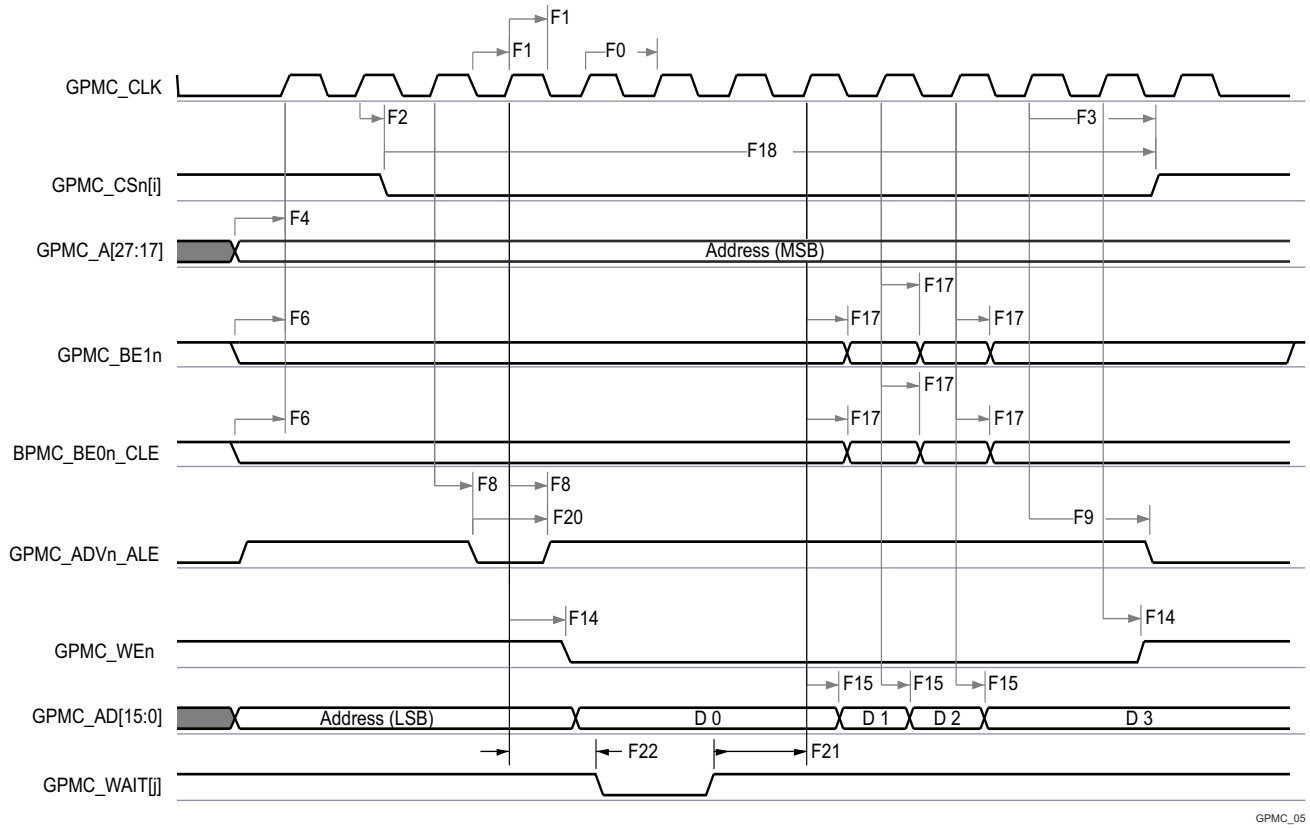
图 6-61. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-62. GPMC 和多路复用 NOR 闪存 - 同步突发读取



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-63. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.10.5.9.2 GPMC 和 NOR 闪存 - 异步模式

节 6.10.5.9.2.1 和节 6.10.5.9.2.2 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-64 至图 6-69）。

6.10.5.9.2.1 GPMC 和 NOR 闪存时序要求 – 异步模式

编号	参数	说明	模式	最小值	最大值	单位
FA5 (1)	$t_{acc(d)}$	数据访问时间	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		H (4)	ns
FA20 (2)	$t_{acc1\text{-}pgmode(d)}$	页面模式连续数据访问时间	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		P (3)	ns
FA21 (1)	$t_{acc2\text{-}pgmode(d)}$	页面模式首个数据访问时间	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		H (4)	ns

(1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
(2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
(3) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(4) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(5) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。

Copyright © 2026 Texas Instruments Incorporated

6.10.5.9.2.2 GPMC 和 NOR 闪存开关特性 – 异步模式

编号	参数	说明	模式[15]	最小值	最大值	单位
				133MHz		
FA0	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间	读取		N[12]	ns
			写入		N[12]	
FA1	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CSn[i][13] 低电平	读取		A[1]	ns
			写入		A[1]	
FA3	$t_{d(csnV-advnIV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	读取	-2+B[2]	2+B[2]	ns
			写入	-2+B[2]	2+B[2]	
FA4	$t_{d(csnV-oenIV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出使能 GPMC_OEn_REn 无效（单次读取）	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+C[3]	2+C[3]	ns
FA9	$t_{d(aV-csnV)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CSn[i][13] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+J[9]	2+J[9]	ns
FA10	$t_{d(be[x]nV-csnV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CSn[i][13] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+J[9]	2+J[9]	ns
FA12	$t_{d(csnV-advnV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+K[10]	2+K[10]	ns
FA13	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+L[11]	2+L[11]	ns
FA16	$t_{w(aIV)}$	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	G[7]		ns
FA18	$t_{d(csnV-oenIV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出使能 GPMC_OEn_REn 无效（突发读取）	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+I[8]	2+I[8]	ns
FA20	$t_{w(aV)}$	脉冲持续时间，输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D[4]		ns
FA25	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+E[5]	2+E[5]	ns
FA27	$t_{d(csnV-wenIV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+F[6]	2+F[6]	ns
FA28	$t_{d(wenV-dV)}$	延迟时间，输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		2	ns
FA29	$t_{d(dV-csnV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CSn[i][13] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+J[9]	2+J[9]	ns
FA37	$t_{d(oenV-aIV)}$	延迟时间，输出使能 GPMC_OEn_REn 有效到输出地址 GPMC_AD[15:0] 阶段结束	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		2	ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于单次写入：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
n 是页面突发访问编号

Copyright © 2026 Texas Instruments Incorporated

(2) 对于读取：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
对于写入：B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(7) G = Cycle2CycleDelay × GPMC_FCLK(14)
(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK(14)
(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(12) 对于单次读取：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于单次写入：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发读取：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发写入：N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(15) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

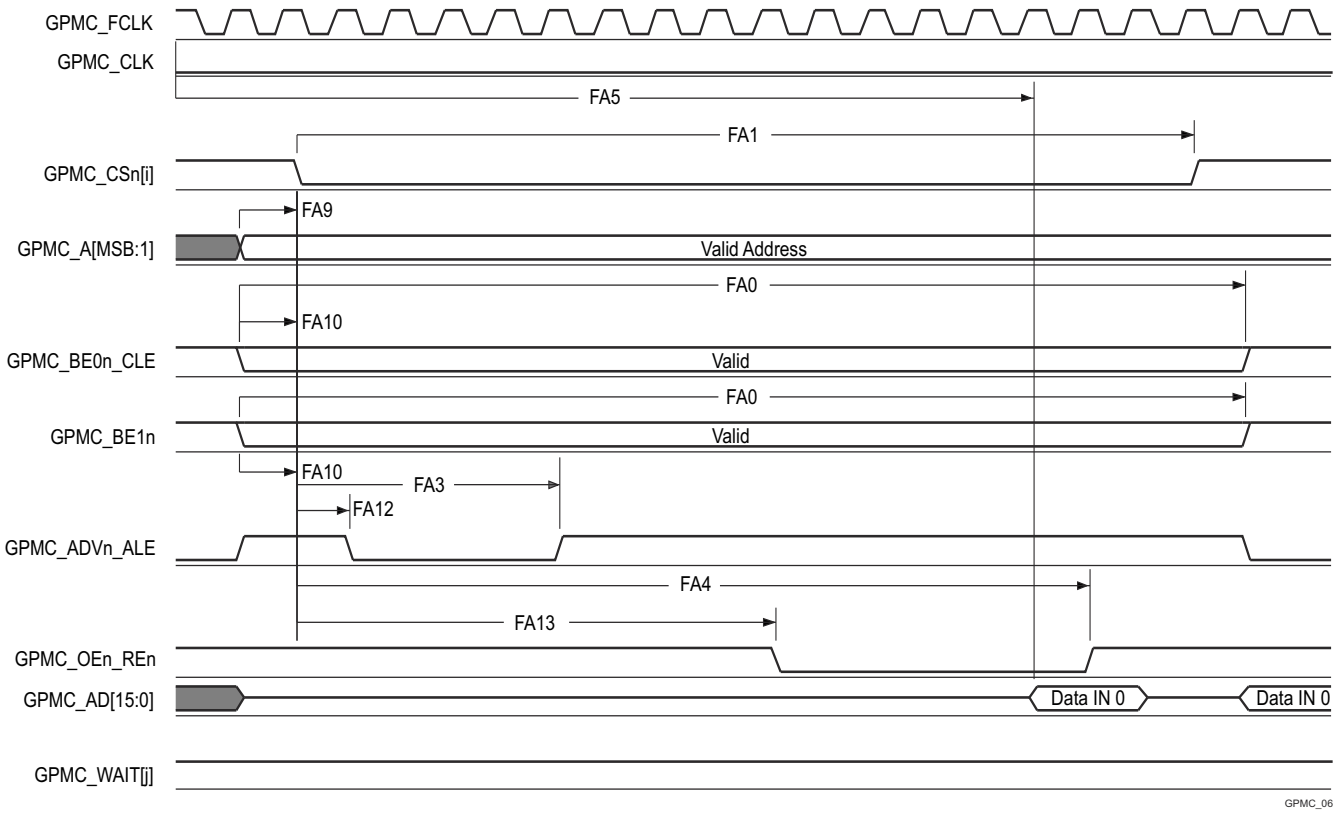
对于 GPMC_FCLK_MUX：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1：

- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

Copyright © 2026 Texas Instruments Incorporated



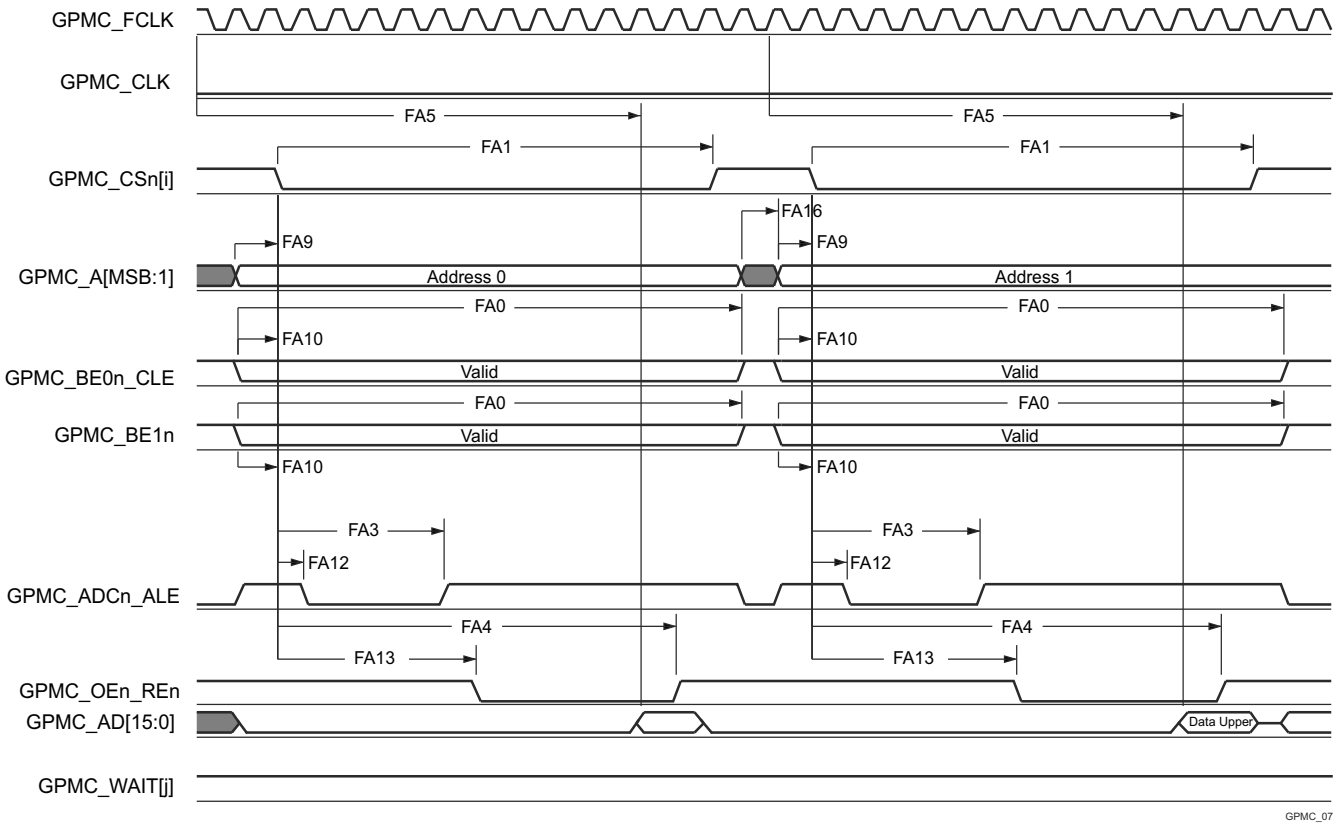
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-64. GPMC 和 NOR 闪存 - 异步读取 - 单字

Copyright © 2026 Texas Instruments Incorporated



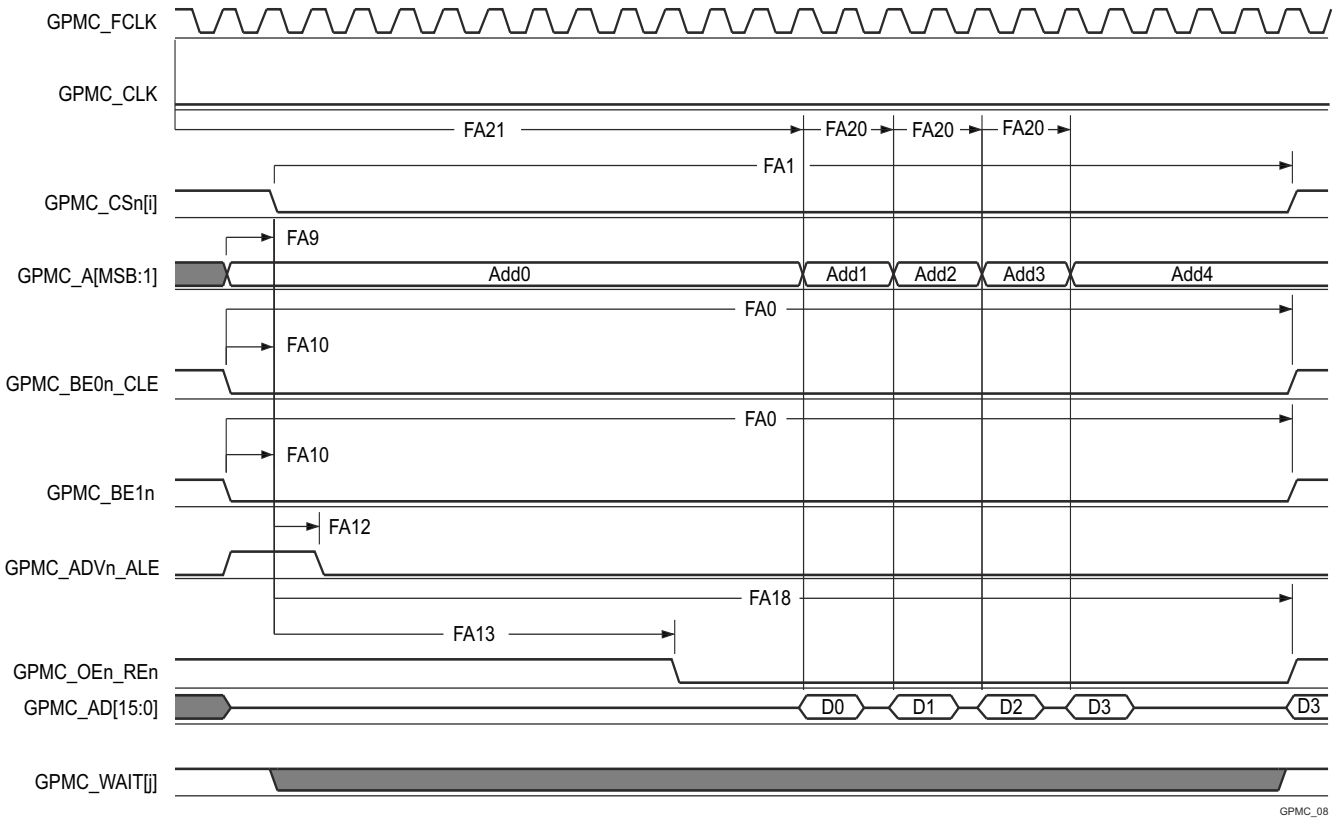
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-65. GPMC 和 NOR 闪存 - 异步读取 - 32 位

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

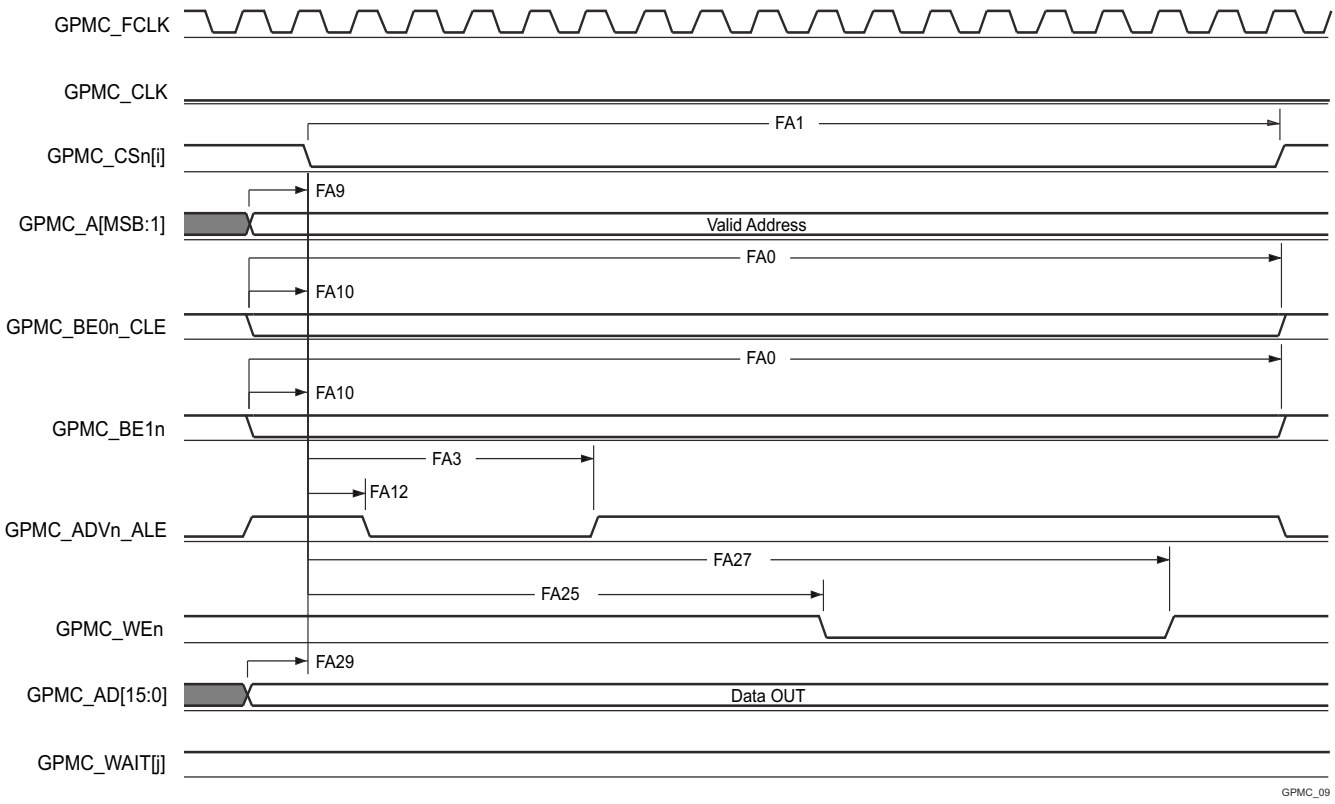
B. FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。

C. FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据（不包括第一个输入页面数据）的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。

D. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-66. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位

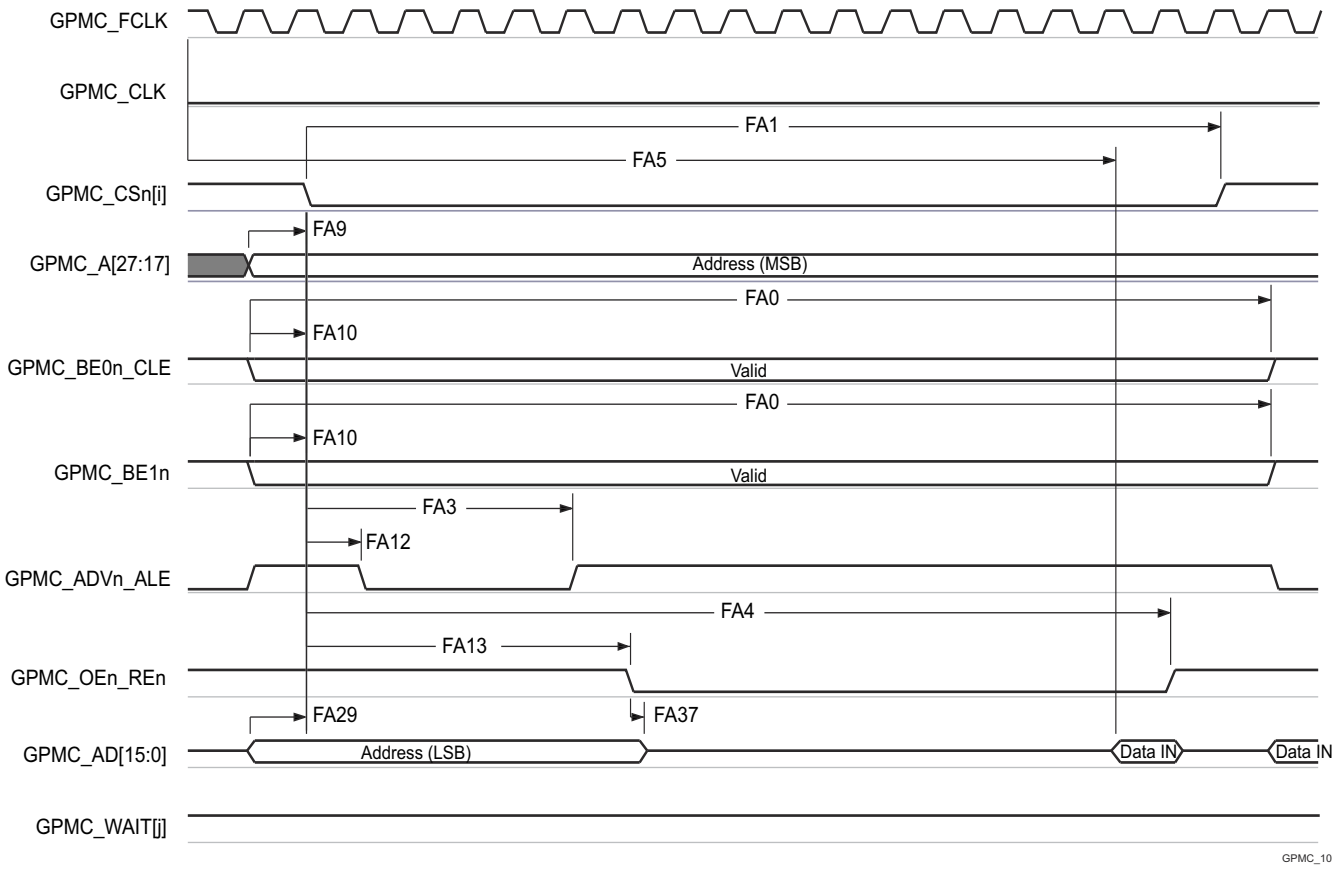
Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-67. GPMC 和 NOR 闪存 - 异步写入 - 单字

Copyright © 2026 Texas Instruments Incorporated



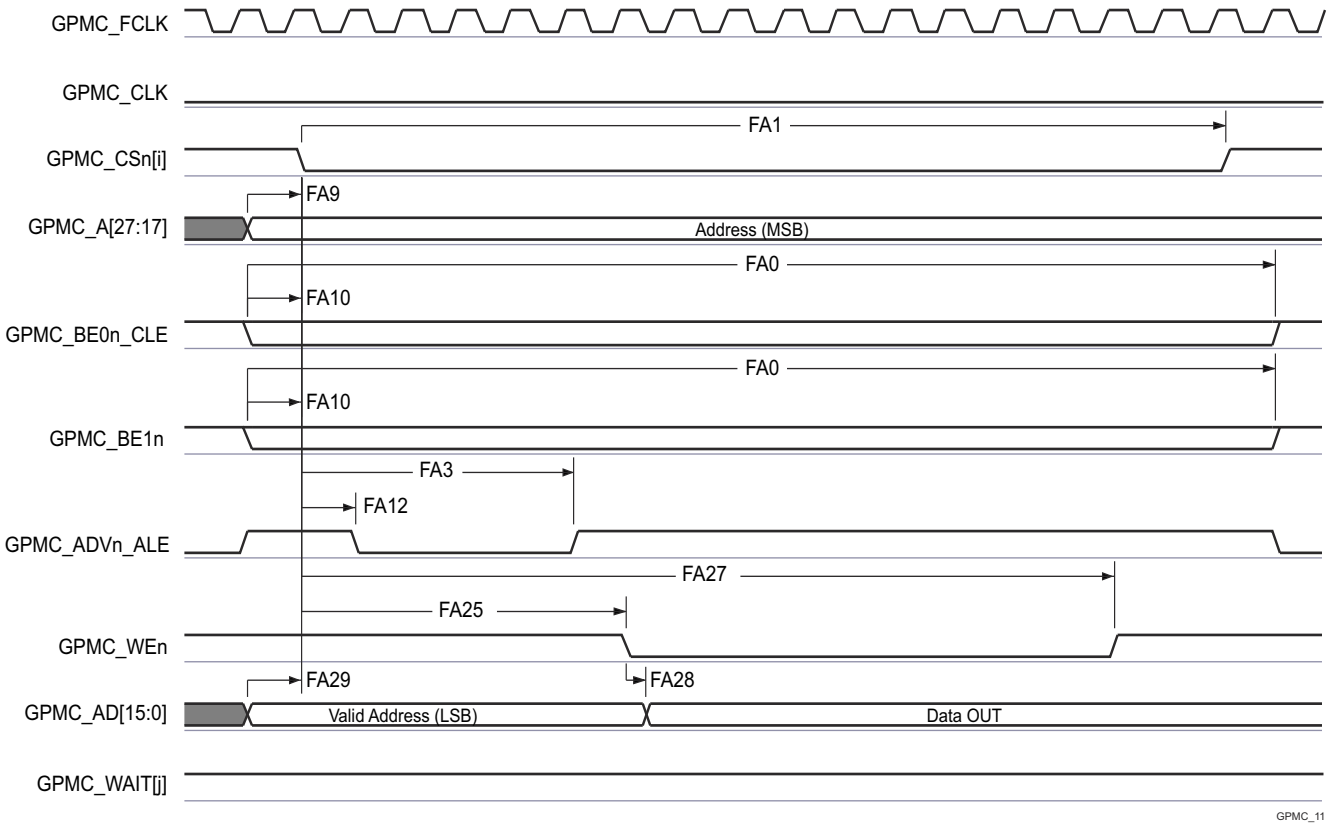
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-68. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-69. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

Copyright © 2026 Texas Instruments Incorporated

6.10.5.9.3 GPMC 和 NAND 闪存 - 异步模式

节 6.10.5.9.3.1 和节 6.10.5.9.3.2 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-70 至图 6-73）。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用存储器控制器 (GPMC)* 一节。

6.10.5.9.3.1 GPMC 和 NAND 闪存时序要求 – 异步模式

编号	参数	说明	模式 [4]	最小值 最大值 133MHz	单位
GNF12 [1]	$t_{acc(d)}$	访问时间，输入数据 GPMC_AD[15:0] [3]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J [2]	ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[3]
(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(4) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1：

- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

6.10.5.9.3.2 GPMC 和 NAND 闪存开关特性 – 异步模式

编号	参数		模式 [15]	最小值	最大值	单位
GNF0	$t_{w(wenV)}$	脉冲持续时间，输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	A [1]		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+B [2]	2+B [2]	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+C [3]	2+C [3]	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+D [4]	2+D [4]	ns
GNF4	$t_{w(wenIV-dIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+E [5]	2+E [5]	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+F [6]	2+F [6]	ns
GNF6	$t_{w(wenIV-CSn[i]V)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CSn[i][13] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+G [7]	2+G [7]	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间，输出地址有效和地址锁存使能 GPMC_ADVn_ALE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2+C [3]	2+C [3]	ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数		模式 (15)	最小值	最大值	单位
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2+F (6)	2+F (6)	ns
GNF9	$t_{c(wen)}$	周期时间，写入	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		H (8)	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2+I (9)	2+I (9)	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间，输出使能 GPMC_OEn_REn 有效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1		K (10)	ns
GNF14	$t_{c(oen)}$	周期时间，读取	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	L (11)		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	延迟时间，输出使能 GPMC_OEn_REn 无效到输出片选 GPMC_CSn[i](13) 无效	div_by_1_mode ; GPMC_FCLK_MUX ; TIMEPARAGRANULARITY_X1	-2+M (12)	2+M (12)	ns

(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(2) B = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = ((WEOnTime - ADVOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - ADVExtraDelay)) × GPMC_FCLK(14)
(4) D = (WEOnTime × (TimeParaGranularity + 1) + 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(5) E = ((WrCycleTime - WEOffTime) × (TimeParaGranularity + 1) - 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(6) F = ((ADVWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - WEExtraDelay)) × GPMC_FCLK(14)
(7) G = ((CSWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - WEExtraDelay)) × GPMC_FCLK(14)
(8) H = WrCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(9) I = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(10) K = (OEOffTime - OEOnTime) × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(11) L = RdCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(12) M = ((CSRdOffTime - OEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - OEExtraDelay)) × GPMC_FCLK(14)
(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(15) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

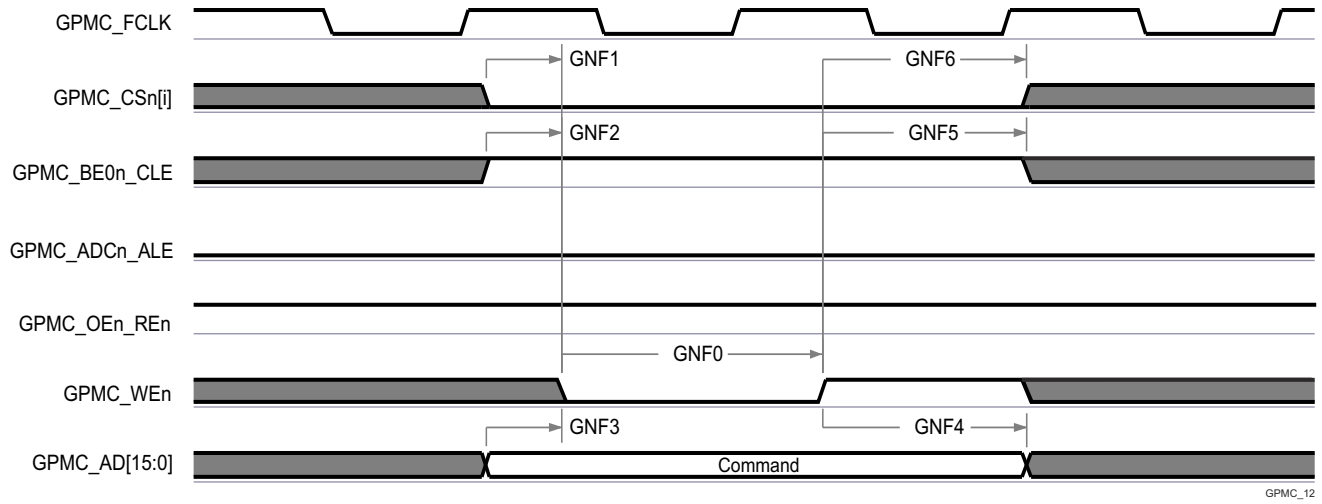
对于 GPMC_FCLK_MUX：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1：

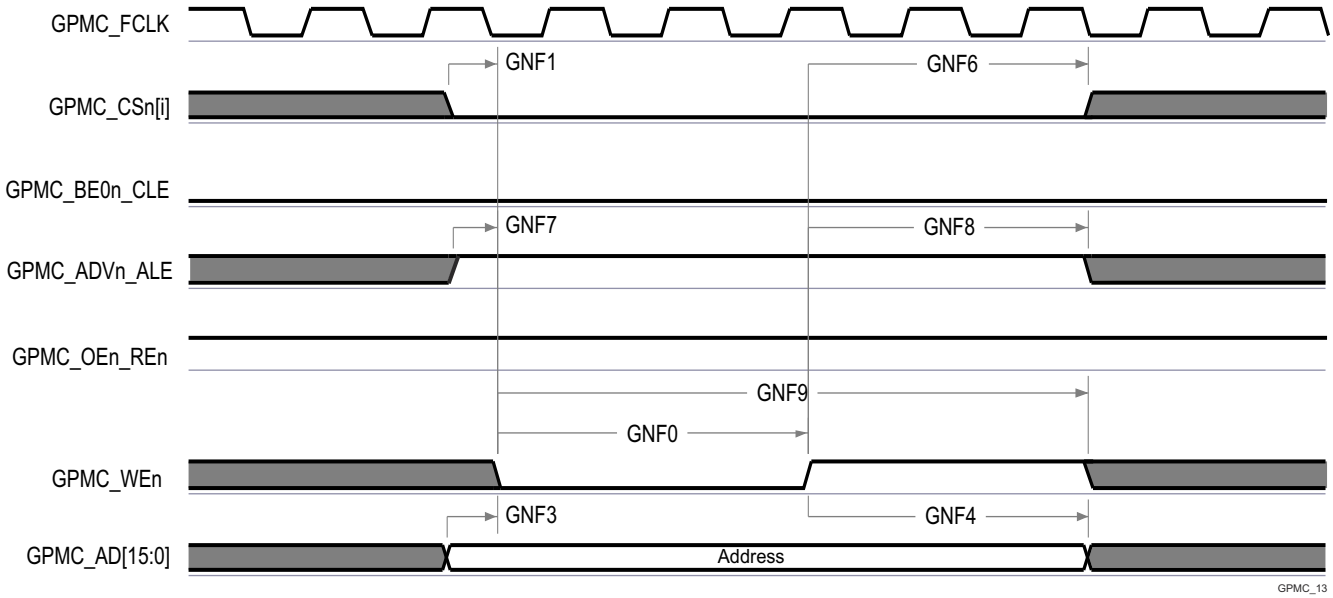
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

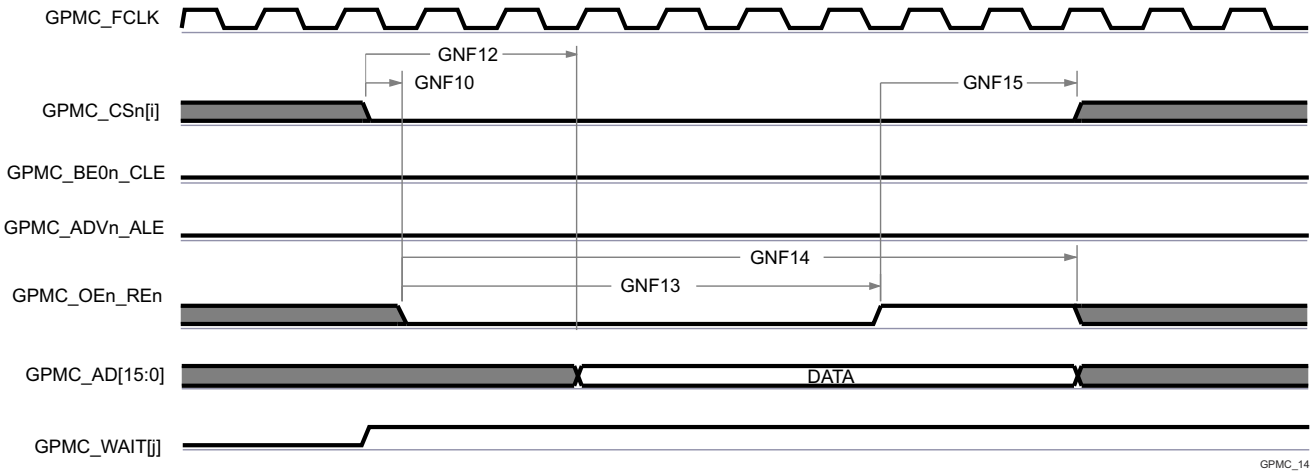
图 6-70. GPMC 和 NAND 闪存 - 命令锁存周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-71. GPMC 和 NAND 闪存 - 地址锁存周期

Copyright © 2026 Texas Instruments Incorporated

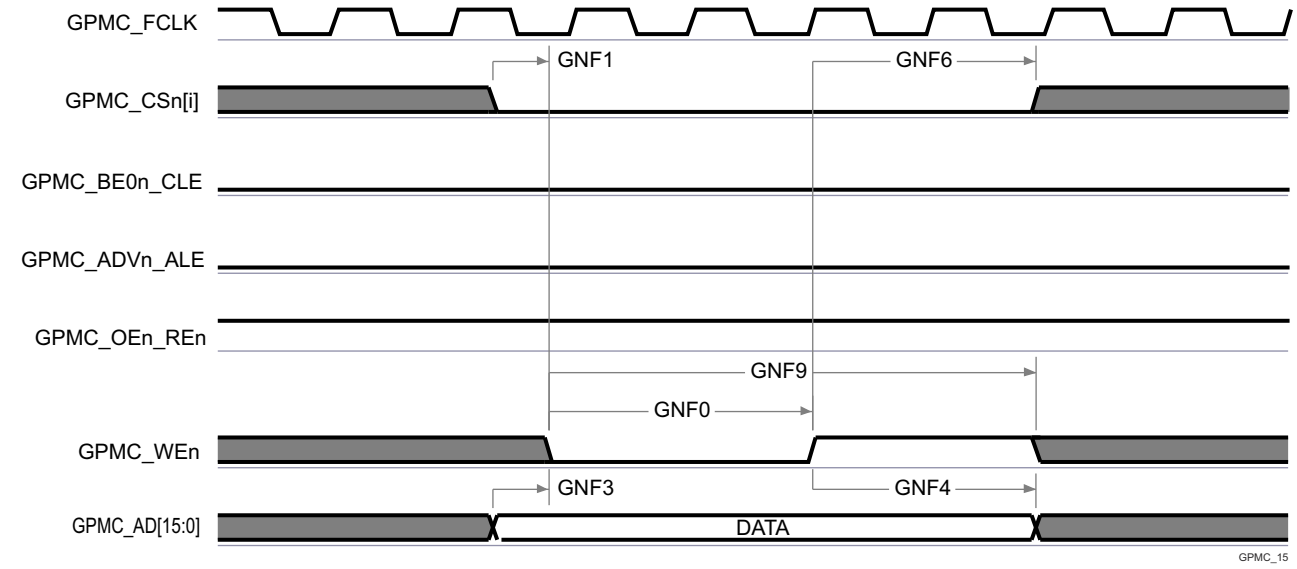


A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。

B. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

C. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-72. GPMC 和 NAND 闪存 - 数据读取周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-73. GPMC 和 NAND 闪存 - 数据写入周期

6.10.5.10 HyperBus

有关器件 HyperBus 的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

节 6.10.5.10.1、节 6.10.5.10.2 和节 6.10.5.10.3 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-74、图 6-75 和图 6-76）。

表 6-44 表示 HyperBus 时序条件。

表 6-44. HyperBus 时序条件

参数	说明	最小值	最大值	单位
输入条件				

Copyright © 2026 Texas Instruments Incorporated

表 6-44. HyperBus 时序条件（续）

参数	说明	最小值	最大值	单位
t_{SR}	输入压摆率	2	5	V/ns
输出条件				
C_{LOAD}	输出负载电容	1.5	10	pF

6.10.5.10.1 HyperBus 初始化的时序要求

编号	参数	说明	最小值	最大值	单位
D1	$t_{w(RESETn)}$	RESETn 脉冲宽度	200		ns
D2	$t_{w(csL)}$	芯片选择脉冲宽度	1000		ns
D3	$t_{d(RESETnH-csL)}$	延迟时间，RESETn 无效到 CSn 有效	200.34		ns
D4	$t_{d(csL-RWDSL)}$	延迟时间，CSn 有效到 RWDS 下降	115		ns

6.10.5.10.2 HyperBus 166MHz 开关特性

编号	参数	说明	最小值	最大值	单位
D5	$t_{skn(rwdsX-dV)}$	输入偏斜，RWDS 转换到 D0:D7 有效	-0.46	0.46	ns
D6	$t_{c(clk/clkn)}$	CLK 周期，CLK/CLKn	6		ns
D7	$t_{w(clk/clkn)}$	脉冲宽度，CLK/CLKn	2.7		ns
D8	$t_{w(csIV)}$	脉冲宽度，操作之间 CS0 无效	6		ns
D9	$t_{d(clkH-csL)}$	延迟时间，CS0 有效到 CLK 上升/CLKn 下降		-3.34	ns
D10	$t_{d(clkL[LE]-csH)}$	延迟时间，最后一个 CLK 下降沿/CLKn 上升沿到 CS0 无效	0.41		ns
D11	$t_{d(clkX-rwdsV)}$	延迟时间，CLK 转换到 RWDS 有效	1.01	2.08	ns
D12	$t_{d(clkX-d[0:7]V)}$	延迟时间，CLK 转换到 D0:D7 有效	0.84	2.17	ns

6.10.5.10.3 HyperBus 100MHz 开关特性

编号	参数	说明	最小值	最大值	单位
LFD5	$t_{skn(rwdsX-dV)}$	输入偏斜，RWDS 转换到 D0:D7 有效	-0.81	0.81	ns
LFD6	$t_{c(clk)}$	CLK 周期，CLK	10		ns
LFD7	$t_{w(clk)}$	脉冲宽度，CLK	4.75		ns
LFD8	$t_{w(csIV)}$	脉冲宽度，操作之间 CS0 无效	10		ns
LFD9	$t_{d(clkH-csL)}$	延迟时间，CS0 有效到 CLK 上升		-3.51	ns
LFD10	$t_{d(clkL[LE]-csH)}$	延迟时间，最后一个 CLK 下降沿到 CS0 无效	0.51		ns
LFD11	$t_{d(clkX-rwdsV)}$	延迟时间，CLK 转换到 RWDS 有效	1.51	3.49	ns
LFD12	$t_{d(clkX-d[0:7]V)}$	延迟时间，CLK 转换到 D0:D7 有效	1.34	3.66	ns

Copyright © 2026 Texas Instruments Incorporated

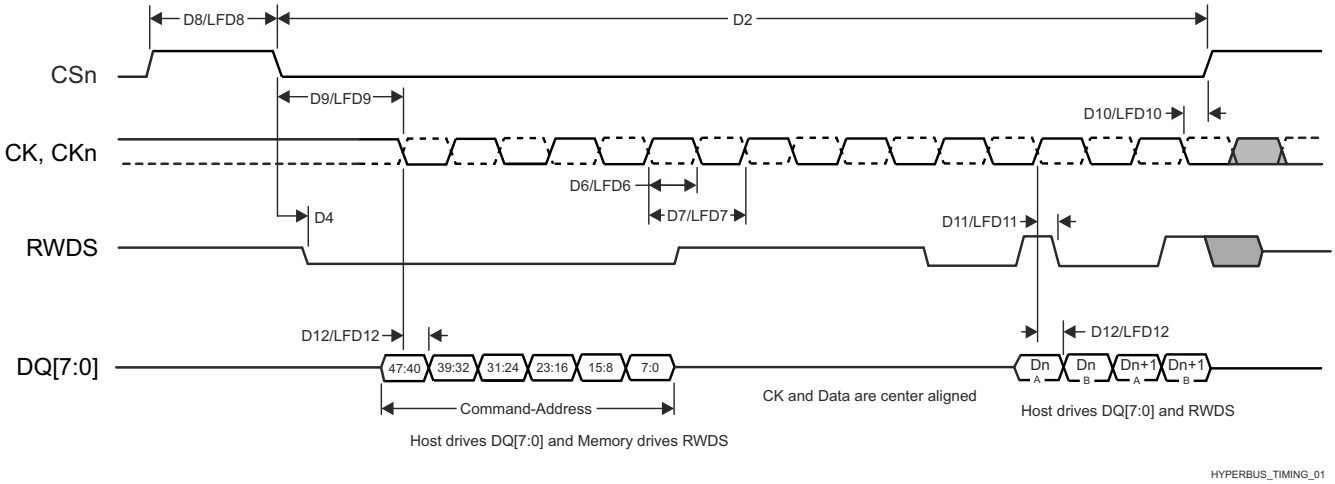


图 6-74. HyperBus 时序图 - 发送器模式

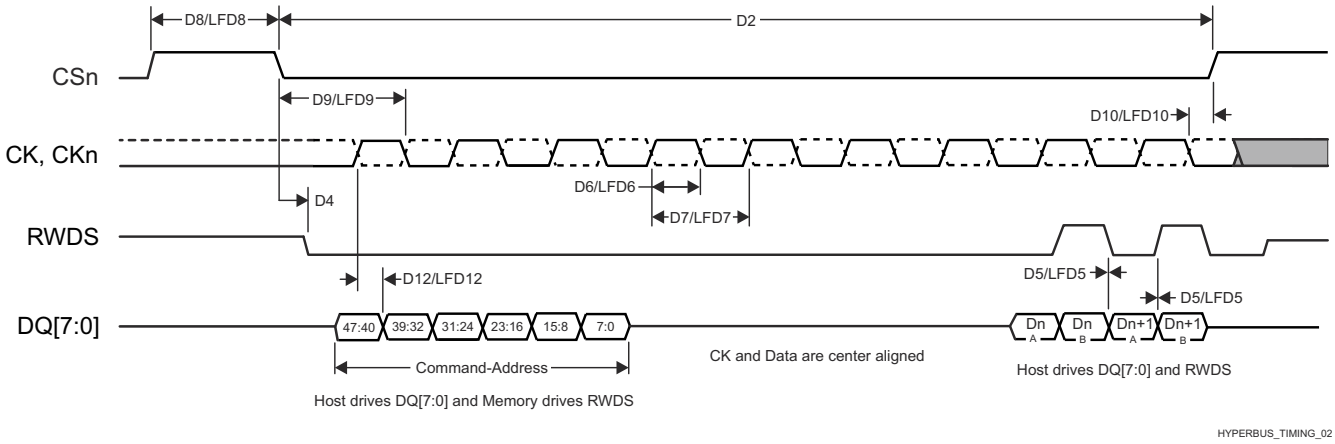


图 6-75. HyperBus 时序图 - 接收器模式

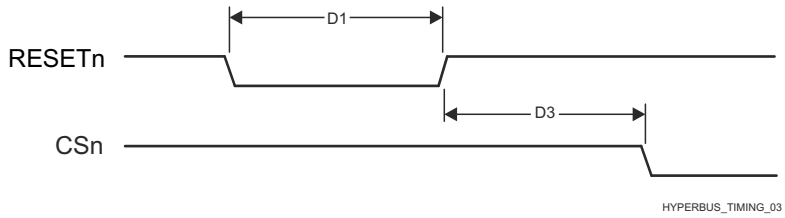


图 6-76. HyperBus 时序图 - 复位

有关更多信息，请参阅器件 TRM 的*外设*一章中的 *HyperBus 接口*一节。

6.10.5.11 I2C

该器件包含六个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus™ 规范版本 2.1。然而，器件 IO 并不完全符合 I2C 电气规格。下面介绍了每个端口支持的速度和例外情况：

- MCU_I2C1、I2C1、I2C2、I2C3、I2C4、I2C5 和 I2C6
  - 速度：
    - 标准模式（最高 100kb/s）

Copyright © 2026 Texas Instruments Incorporated

  - 1.8V
  - 3.3V
- 快速模式（最高 400kb/s）
  - 1.8V
  - 3.3V
- 例外情况：
  - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为它们是通过性能更高的 LVCMOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVCMOS IO 的连接方式可以对开漏输出进行仿真。该仿真是通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
  - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的*绝对最大额定值*部分中定义的限值。
- WAKEUP_I2C0、MCU_I2C0 和 I2C0
  - 速度：
    - 标准模式（最高 100kb/s）
      - 1.8V
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 1.8V
      - 3.3V
    - Hs 模式（最高 3.4Mb/s）
      - 1.8V
  - 例外情况：
    - 与这些端口关联的 IO 并未设计为在 3.3V 电压下运行时支持 Hs 模式。因此，Hs 模式仅限于 1.8V 运行。
    - 连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.8V/ns（或 8E+7V/s）的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其压摆率不超过 0.8V/ns。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的*绝对最大额定值*部分中定义的限值。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

有关器件集成电路总线特性和其他说明的更多详细信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

6.10.5.12 I3C

有关器件内部集成电路的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明*和节 7 *详细说明*中的相应部分。

表 6-45、表 6-46、图 6-77、表 6-47 和图 6-78 假设在建议运行条件和电气特性条件下进行测试。

表 6-45. I3C 开漏时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.2276	5	V/ns
输出条件				
C_L	输出负载电容		50	pF

Copyright © 2026 Texas Instruments Incorporated

表 6-46. I3C 开漏时序参数

编号	参数	说明	模式	最小值	最大值	单位
D1	t_{LOW_OD}	SCL 时钟的低电平周期	控制器	200		ns
	$t_{DIG_OD_L}$			$t_{LOW_OD\ MIN}$ + $t_{FDA_OD\ MIN}$		ns
D2	t_{HIGH}	SCL 时钟的高周期	控制器		41	ns
	t_{DIG_H}				t_{HIGH} + t_{CF}	ns
D3	t_{fDA_OD}	SDA 信号的下降时间	控制器、目标	t_{CF}	12	ns
D4	t_{SU_OD}	开漏模式期间的 SDA 数据建立时间	控制器、目标	3		ns
D5	t_{CAS}	启动 (S) 条件后的时钟	控制器、ENTAS0	38.4	1000	ns
			控制器、ENTAS1	38.4	100000	ns
			控制器、ENTAS2	38.4	2000000	ns
			控制器、ENTAS3	38.4	50000000	ns
D6	t_{CBP}	停止 (P) 条件前的时钟	控制器	$t_{CAS\ MIN}$ / 2		ns
D7	$t_{MMOVERLAP}$	切换期间当前控制器到辅助控制器的重叠时间	控制器	$t_{DIG_OD_L\ min}$		ns
D8	t_{AVAL}	总线可用条件	控制器	1000		ns
D9	t_{IDLE}	总线空闲条件	控制器	1000000		ns
D10	t_{MMLOCK}	新控制器不将 SDA 驱动为低电平的时间间隔	控制器	$t_{AVALmin}$		ns

1. 这大约等于 t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_Odmin}。
2. 当 SDA 已经高于 V_{IH} 时，控制器可以使用较短的低电平周期（如果控制器知道这是安全的）。
3. 基于 t_{SPIKE}，上升和下降时间以及互连。
4. 当旧 I2C 器件可以安全地看到信号和/或考虑了互连（例如：短总线）时，可能会超过该最大高电平周期。
5. 在 I2C 器件需要看到“启动”的旧总线上，t_{CAS} 最小值进一步受到限制。
6. 不支持可选 ENTASx CCCs 的目标应使用为 ENTAS3 显示的 t_{CAS} 最大值。
7. 在具有 Fm 旧 I2C 器件的混合总线上，t_{AVAL} 比 Fm 总线空闲条件时间 (t_{BUF}) 短 300ns。

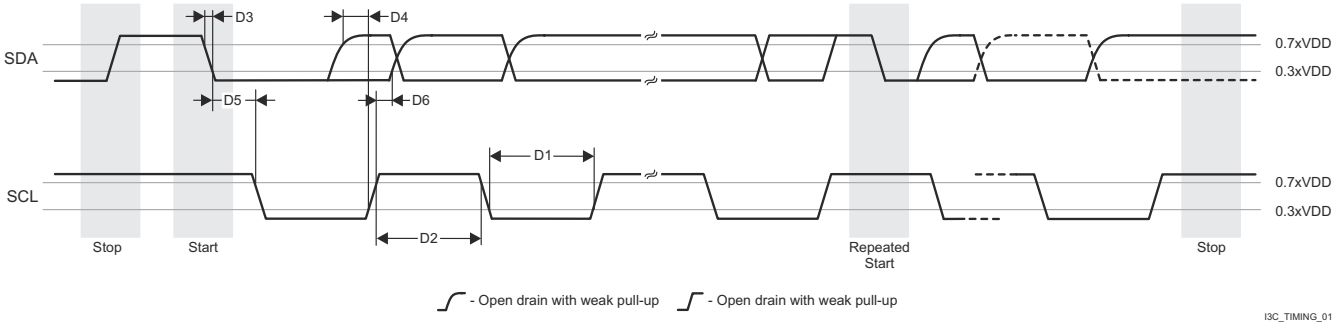


图 6-77. I3C 开漏时序

表 6-47. SDR 和 HDR-DDR 模式的 I3C 推挽时序参数

编号	参数	说明	模式	最小值	最大值	单位
D1	f_{SCL}	SCL 时钟周期	控制器	80	100000	ns
D2	t_{LOW}	SCL 时钟低电平周期	控制器	24		ns
	t_{DIG_L}			32		ns
D3	t_{HIGH_MIXED}	混合总线的 SCL 时钟高电平周期（不支持混合总线拓扑）	控制器	24		ns
	$t_{DIG_H_MIXED}$			32	45	ns

Copyright © 2026 Texas Instruments Incorporated

表 6-47. SDR 和 HDR-DDR 模式的 I3C 推挽时序参数（续）

编号	参数	说明	模式	最小值	最大值	单位
D4	t_{HIGH}	SCL 时钟高周期	控制器	24		ns
	t_{DIG_H}			32		ns
D5	t_{SCO}	目标的时钟输入至数据输出时间	目标	12		ns
D6	t_{CR}	SCL 时钟上升时间	控制器	150 × 1 / f_{SCL}	60	ns
D7	t_{CF}	SCL 时钟下降时间	控制器	150 × 1 / f_{SCL}	60	ns
D8	t_{HD_PP}	推挽模式下的 SDA 信号数据保持时间	控制器	t_{CR} + 3 和 t_{CF} + 3		ns
			目标	0		ns
D9	t_{SU_PP}	推挽模式下的 SDA 信号数据建立时间	控制器、目标	3		ns
D10	t_{CASr}	重复启动 (Sr) 后的时钟	控制器	$t_{CAS\ MIN}$		ns
D11	t_{CBSr}	重复启动 (Sr) 前的时钟	控制器	$t_{CAS\ MIN}$ / 2		ns

1. FSCL = 1 / (t_{DIG_L} + t_{DIG_H})
2. t_{DIG_L} 和 t_{DIG_H} 是在使用 V_{IL} 和 V_{IH} 的 I3C 总线接收器端看到的时钟低电平和高电平周期。
3. 当与混合总线上的 I3C 器件通信时，必须限制 $t_{DIG_H_MIXED}$ 周期以确保 I2C 器件不会将 I3C 信令解释为有效的 I2C 信令。
4. 由于两个边沿均被使用，因此需要针对相应的边沿满足保持时间：t_{CF} + 3 表示下降沿时钟，t_{CR} + 3 表示上升沿时钟。
5. 时钟频率最小 0.01MHz，最大 12.5MHz

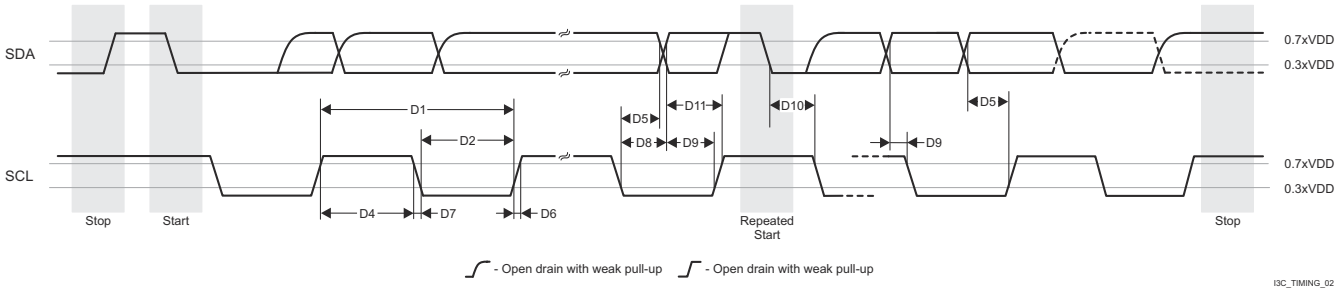


图 6-78. I3C 推挽时序（SDR 和 HDR-DDR 模式）

6.10.5.13 MCAN

表 6-48 和表 6-49 展示了 MCAN 的时序条件和开关特性。

有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-48. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	15	V/ns
输出条件				
C_L	输出负载电容	5	20	pF

表 6-49. MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
MCAN1	$t_{d(MCAN_TX)}$	延迟时间，发送移位寄存器到 MCANn_TX		10	ns
MCAN2	$t_{d(MCAN_RX)}$	延迟时间，MCANn_RX 到接收移位寄存器		10	ns

有关更多信息，请参阅器件 TRM 的*外设*一章中的*控制器局域网 (MCAN)* 一节。

6.10.5.14 MCASP

有关器件多通道音频串行端口的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明*和节 7 *详细说明*中的相应部分。

节 6.10.5.14.1 和图 6-79 说明了 MCASP0 至 MCASP11 的时序要求。

表 6-50. MCASP 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.7	5	V/ns
输出条件				
C_L	输出负载电容	1	10	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	100	1100	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播不匹配		100	ps

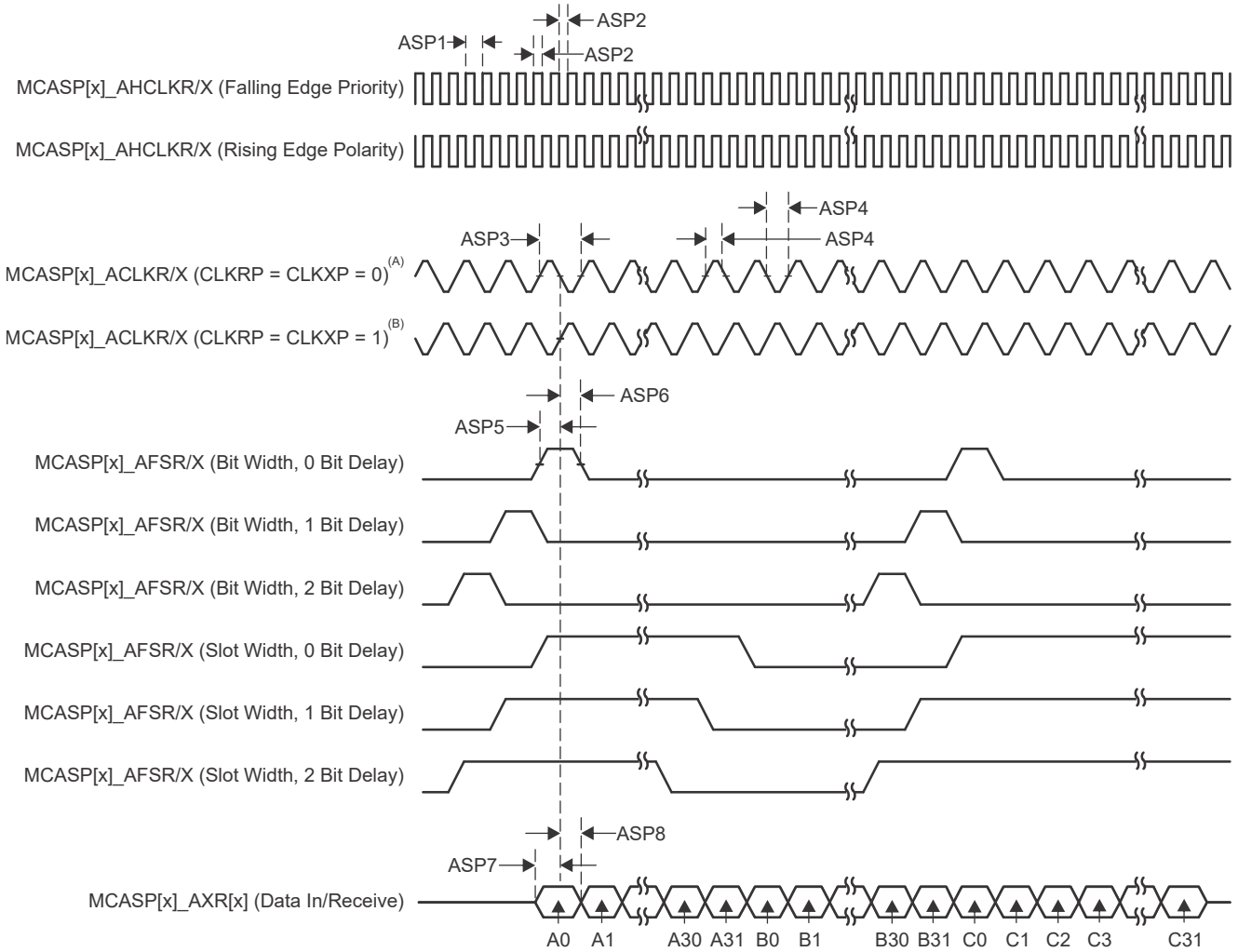
6.10.5.14.1 MCASP 的时序要求

编号 [1]	参数	说明	模式	最小值	最大值	单位
ASP1	$t_{c(AHCLKRX)}$	周期时间，AHCLKR/X		15.26		ns
ASP2	$t_{w(AHCLKRX)}$	脉冲持续时间，AHCLKR/X 高电平或低电平		– 1.53 + 0.5P [2]		ns
ASP3	$t_{c(ACLKRX)}$	周期时间，ACLKR/X		15.26		ns
ASP4	$t_{w(ACLKRX)}$	脉冲持续时间，ACLKR/X 高电平或低电平		– 1.53 + 0.5R [3]		ns
ASP5	$t_{su(AFSRX-ACLKRX)}$	建立时间，在 ACLKR/X 之前 AFSR/X 输入有效	ACLKR/X 内部	12.3		ns
			ACLKR/X 外部输入/输出	4		

Copyright © 2026 Texas Instruments Incorporated

编号 1	参数	说明	模式	最小值 最大值	单位
ASP6	$t_{h(ACLKRX-AFSRX)}$	保持时间，在 ACLKR/X 之后 AFSR/X 输入有效	ACLKR/X 内部	-1	ns
			ACLKR/X 外部输入/输出	1.6	
ASP7	$t_{su(AXR-ACLKRX)}$	建立时间，在 ACLKR/X 之前 AXR 输入有效	ACLKR/X 内部	12.3	ns
			ACLKR/X 外部输入/输出	4	
ASP8	$t_{h(ACLKRX-AXR)}$	保持时间，在 ACLKR/X 之后 AXR 输入有效	ACLKR/X 内部	-1	ns
			ACLKR/X 外部输入/输出	1.6	

1. ACLKR 内部：ACLKRCTL.CLKRM=1，PDIR.ACLKR = 1
   ACLKR 外部输入：ACLKRCTL.CLKRM=0，PDIR.ACLKR=0
   ACLKR 外部输出：ACLKRCTL.CLKRM=0，PDIR.ACLKR=1
   ACLKX 外部：ACLKXCTL.CLKXM=1，PDIR.ACLKX = 1
   ACLKX 外部输入：ACLKXCTL.CLKXM=0，PDIR.ACLKX=0
   ACLKX 外部输出：ACLKXCTL.CLKXM=0，PDIR.ACLKX=1
2. P = AHCLKR/X 周期（以 ns 为单位）。
3. R = ACLKR/X 周期（以 ns 为单位）。



A. 当 CLKRP = CLKXP = 0 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

Copyright © 2026 Texas Instruments Incorporated

B. 当 CLKRP = CLKXP = 1 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。

图 6-79. MCASP 输入时序

1. MCASP[x]_* 中的 x 为 0、1 或 2

Copyright © 2026 Texas Instruments Incorporated

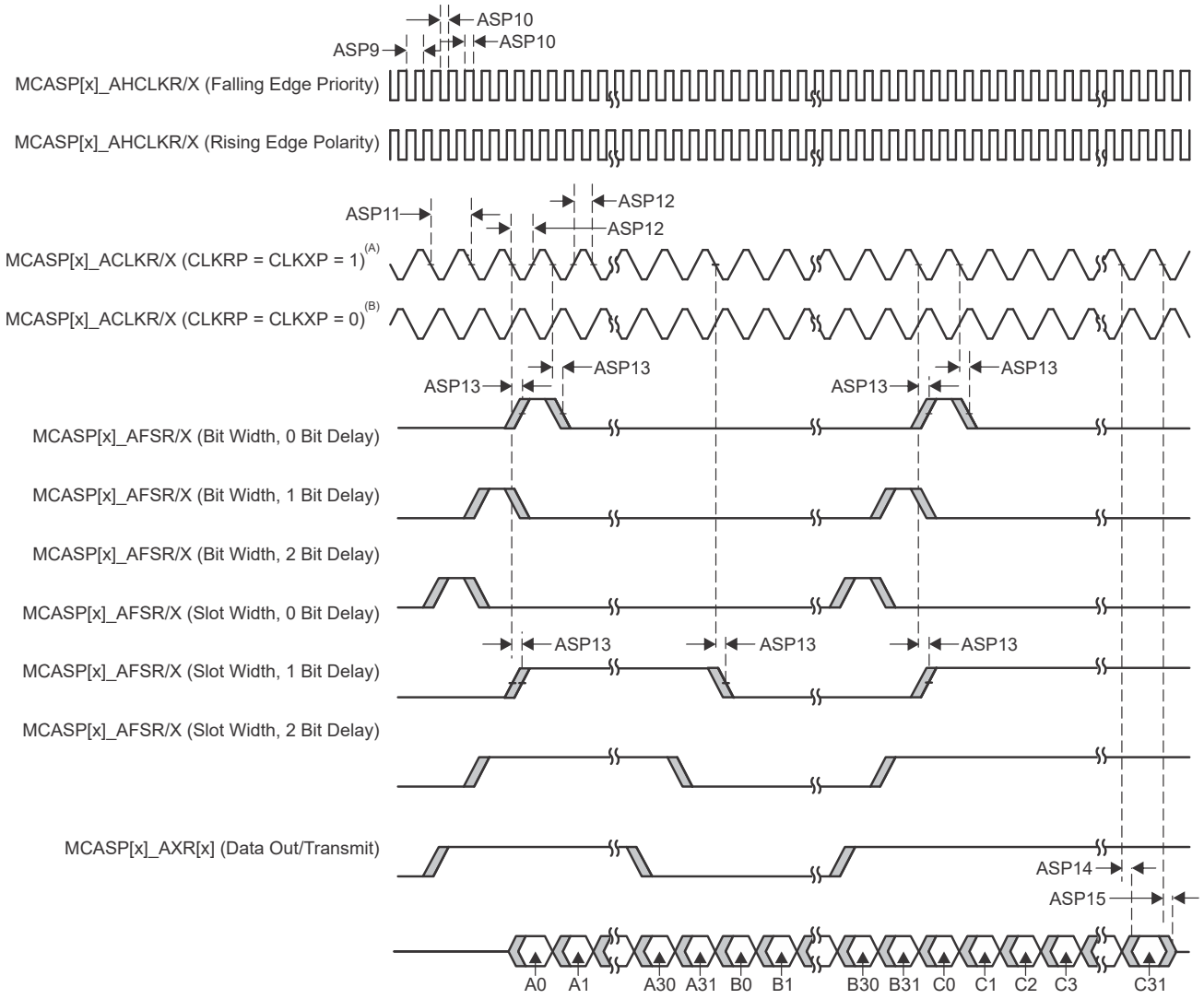
表 6-51 和图 6-80 说明了 MCASP0 至 MCASP11 在建议运行条件下的开关特性。

表 6-51. MCASP 在建议运行条件下的开关特性

编号 1	参数	说明	模式	最小值	最大值	单位
ASP9	$t_{c(AHCLKRX)}$	周期时间，AHCLKR/X		20		ns
ASP10	$t_{w(AHCLKRX)}$	脉冲持续时间，AHCLKR/X 高电平或低电平		–2 + 0.5P 2		ns
ASP11	$t_{c(ACLKRX)}$	周期时间，ACLKR/X		20		ns
ASP12	$t_{w(ACLKRX)}$	脉冲持续时间，ACLKR/X 高电平或低电平		–2 + 0.5R 3		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	延迟时间，ACLKR/X 发送边沿到 AFSR/X 输出有效	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-15.28	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	延迟时间，ACLKX 发送边沿到 AXR 输出有效	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-15.28	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	禁用时间，ACLKX 发送边沿到 AXR 输出高阻抗	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-14.9	14	

1. ACLKR 内部：ACLKRCTL.CLKRM=1，PDIR.ACLKR = 1
   ACLKR 外部输入：ACLKRCTL.CLKRM=0，PDIR.ACLKR=0
   ACLKR 外部输出：ACLKRCTL.CLKRM=0，PDIR.ACLKR=1
   ACLKX 外部：ACLKXCTL.CLKXM=1，PDIR.ACLKX = 1
   ACLKX 外部输入：ACLKXCTL.CLKXM=0，PDIR.ACLKX=0
   ACLKX 外部输出：ACLKXCTL.CLKXM=0，PDIR.ACLKX=1
2. P = AHCLKR/X 周期（以 ns 为单位）。
3. R = ACLKR/X 周期（以 ns 为单位）。

Copyright © 2026 Texas Instruments Incorporated



A. 当 CLKRP = CLKXP = 1 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。
B. 当 CLKRP = CLKXP = 0 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

图 6-80. MCASP 输出时序

1. MCASP[x]_* 中的 x 为 0、1 或 2

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道音频串行端口 (MCASP)* 一节。

6.10.5.15 MCSPI

有关器件串行端口接口的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

表 6-52 表示 MCSPI 时序条件。

表 6-52. MCSPI 时序条件

参数	最小值	最大值	单位
输入条件			

Copyright © 2026 Texas Instruments Incorporated

表 6-52. MCSPI 时序条件（续）

参数			最小值	最大值	单位
SR_I	输入压摆率		2	8.5	V/ns
输出条件					
C_L	输出负载电容	CLK	6	24	pF
		D[x]、CSi	6	12	pF

6.10.5.15.1 MCSPI - 控制器模式

表 6-53、图 6-81、表 6-54 和图 6-82 展示了 MCSPI 的时序要求和开关特性 – 控制器模式。

表 6-53. MCSPI 时序要求 — 控制器模式

请参阅图 6-81

参数			最小值	最大值	单位
SM4	$t_{su(misoV-spiclkV)}$	建立时间，在 SPI_CLK 有效边沿之前 SPI_D[x] 有效	2.9		ns
SM5	$t_{h(spiclkV-misoV)}$	保持时间，在 SPI_CLK 有效边沿之后 SPI_D[x] 有效	2		ns

表 6-54. MCSPI 开关特性 - 控制器模式

请参阅图 6-82

参数			模式	最小值	最大值	单位
SM1	$t_{c(spiclk)}$	周期时间，SPI_CLK		20		ns
SM2	$t_{w(spiclkL)}$	脉冲持续时间，SPI_CLK 低电平		0.5P - 1[1]		ns
SM3	$t_{w(spiclkH)}$	脉冲持续时间，SPI_CLK 高电平		0.5P - 1[1]		ns
SM6	$t_{d(spiclkV-simoV)}$	延迟时间，SPI_CLK 有效边沿到 SPI_D[x] 转换		-2	2	ns
SM7	$t_{d(csV-simoV)}$	延迟时间，SPI_CSi 有效边沿到 SPI_D[x] 转换		5		ns
SM8	$t_{d(csV-spiclk)}$	延迟时间，SPI_CSi 有效到 SPI_CLK 第一个边沿	PHA = 0[2]	B - 4[3]		ns
			PHA = 1 [2]	A - 4[4]		ns
SM9	$t_{d(spiclkV-csV)}$	延迟时间，SPI_CLK 最后一个边沿到 SPI_CSi 无效	PHA = 0[2]	A - 4[4]		ns
			PHA = 1[2]	B - 4[3]		ns

(1) P = SPI_CLK 周期（以 ns 为单位）
(2) SPI_CLK 相位可通过 MCSPI_CHCONF_0/1/2/3 寄存器的 PHA 位进行编程
(3) B = (TCS + 0.5) * TSPICLKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段且 Fratio = 偶数 >= 2。
(4) 当 P = 20ns 时，A = (TCS + 1) * TSPICLKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段。
当 P > 20ns 时，A = (TCS + 0.5) * Fratio * TSPICLKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段。

Copyright © 2026 Texas Instruments Incorporated

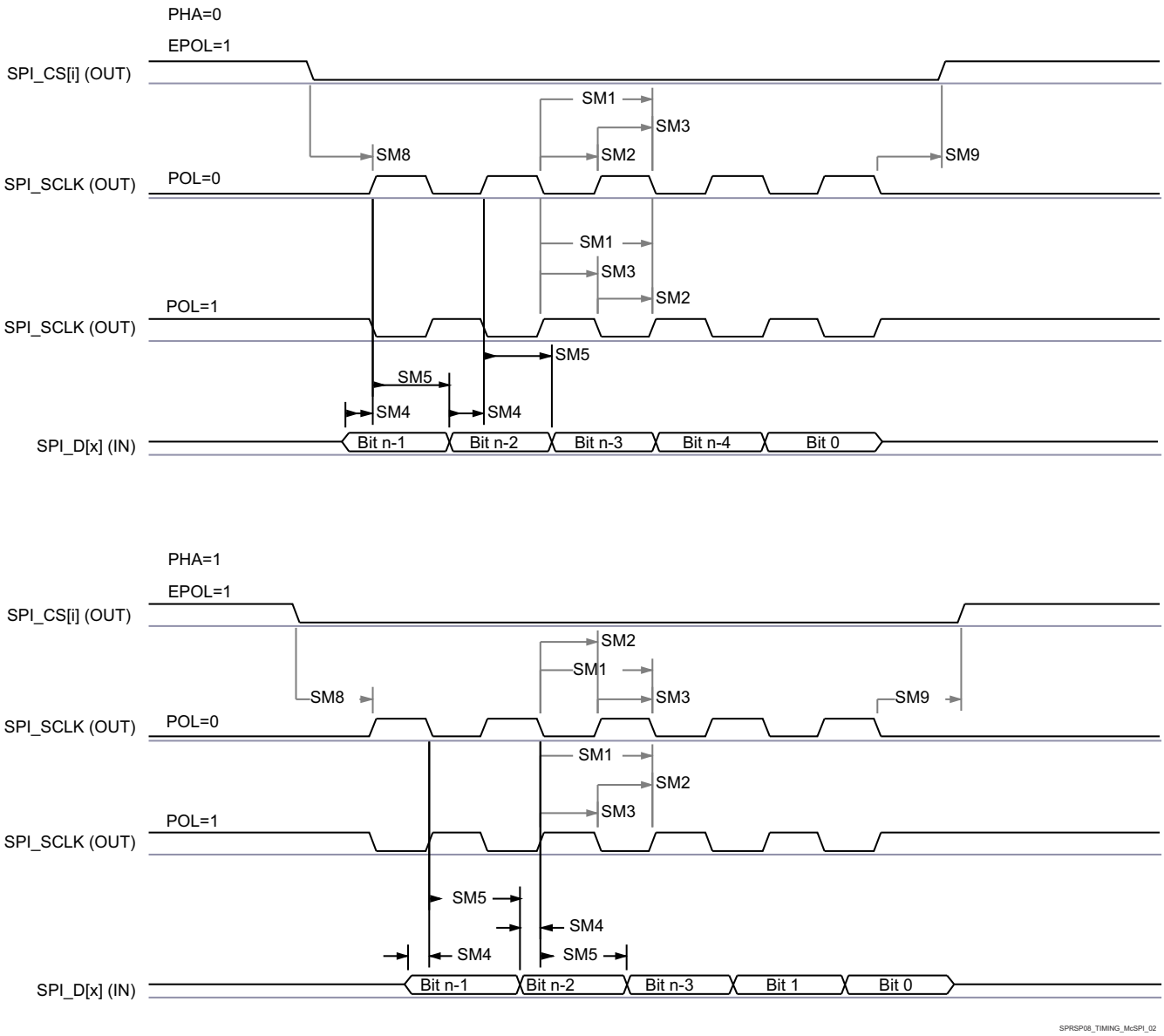


图 6-81. SPI 控制器模式接收时序

Copyright © 2026 Texas Instruments Incorporated

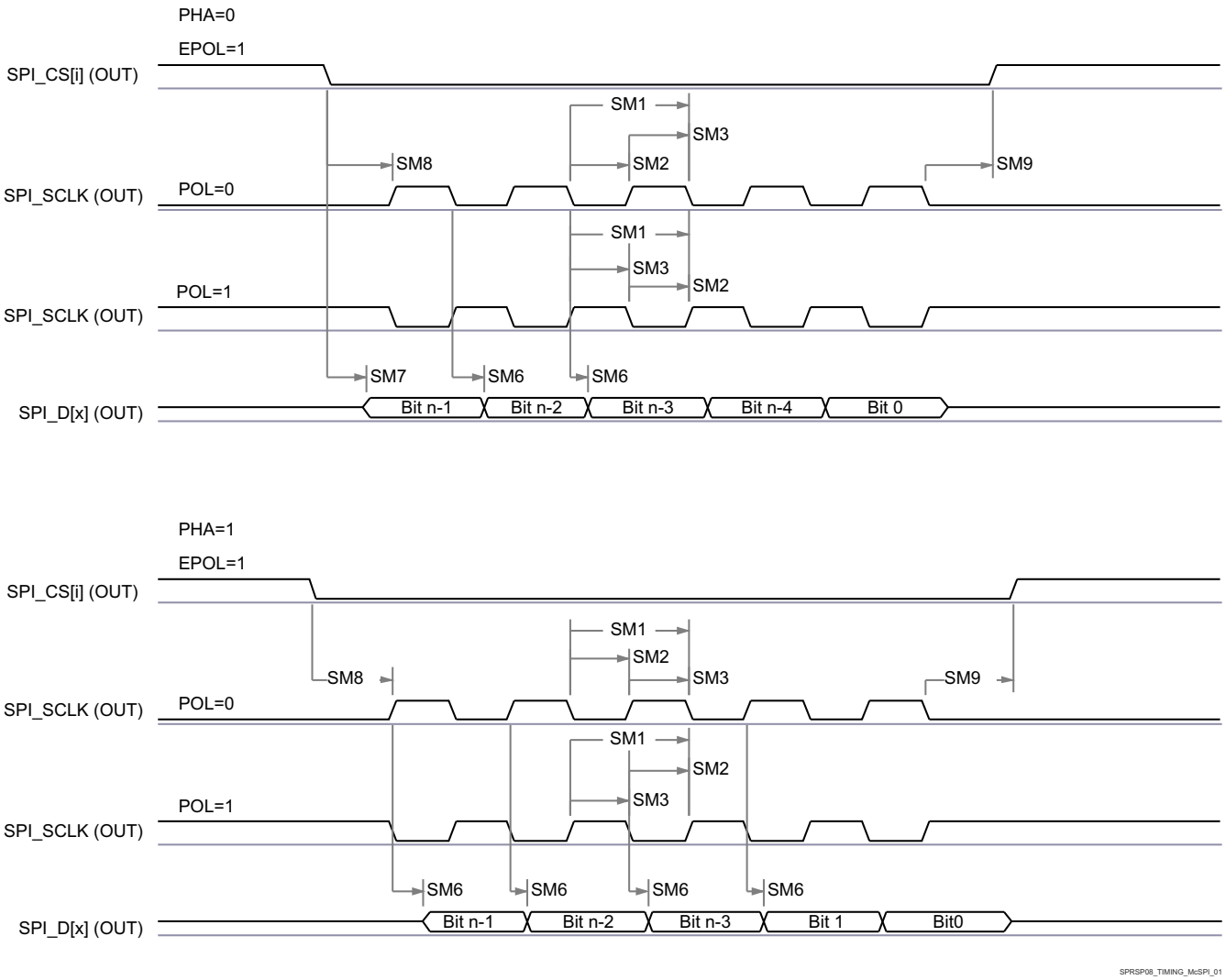


图 6-82. MCSPI 控制器模式发送时序

6.10.5.15.2 MCSPI - 外设模式

表 6-55、图 6-83、表 6-56 和图 6-84 展示了 MCSPI 的时序要求和开关特性 – 外设模式。

表 6-55. MCSPI 时序要求 - 外设模式

参数			最小值	最大值	单位
SS1	$t_{c(spiclk)}$	周期时间，SPI_CLK	20		ns
SS2	$t_{w(spiclkL)}$	脉冲持续时间，SPI_CLK 低电平	0.45P(1)		ns
SS3	$t_{w(spiclkH)}$	脉冲持续时间，SPI_CLK 高电平	0.45P(1)		ns
SS4	$t_{su(simoV-spiclkV)}$	建立时间，在 SPI_CLK 有效边沿之前 SPI_D[x] 有效	5		ns
SS5	$t_{h(spiclkV-simoV)}$	保持时间，在 SPI_CLK 有效边沿之后 SPI_D[x] 有效	5		ns
SS8	$t_{su(csV-spiclkV)}$	建立时间，在 SPI_CLK 第一个边沿之前 SPI_CSi 有效	5		ns
SS9	$t_{h(spiclkV-csV)}$	保持时间，在 SPI_CLK 最后一个边沿之后 SPI_CSi 有效	5		ns

表 6-56. MCSPI 开关特性 - 外设模式

参数			最小值	最大值	单位
SS6	$t_{d(spiclkV-somiV)}$	延迟时间，SPI_CLK 有效边沿到 SPI_D[x] 转换	2	17.12	ns
SS7	$t_{sk(csV-somiV)}$	延迟时间，SPI_CSi 有效边沿到 SPI_D[x] 转换	20.95		ns

(1) P = SPI_CLK 周期（以 ns 为单位）。

Copyright © 2026 Texas Instruments Incorporated

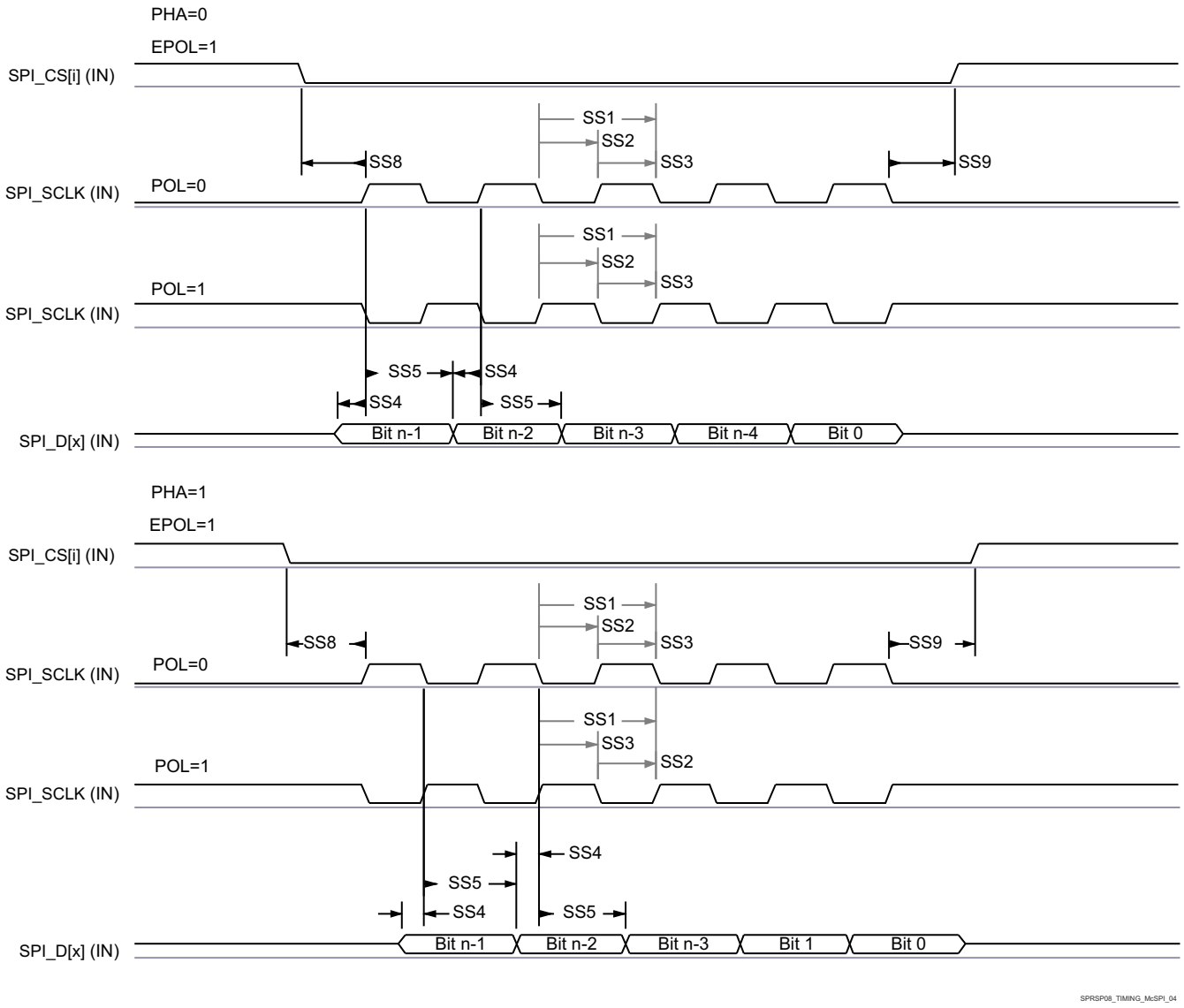


图 6-83. SPI 外设模式接收时序

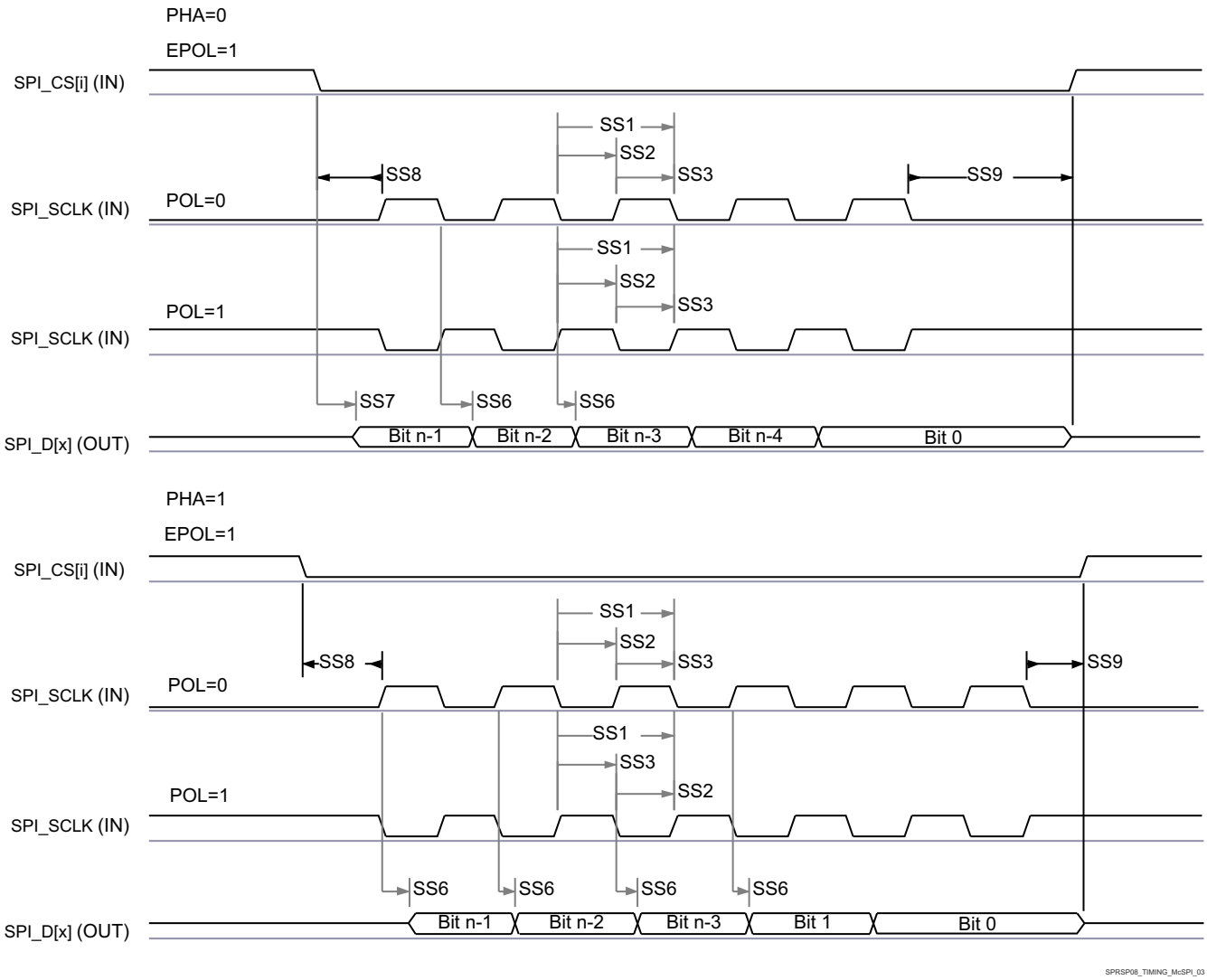


图 6-84. MCSPI 外设模式发送时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

6.10.5.16 eMMC/SD/SDIO

MMCSD 主机控制器提供用于连接 eMMC 5.1（嵌入式多媒体卡）、SD 4.10（安全数字）和 SDIO 4.0（安全数字 IO）器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关器件多媒体卡的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

备注

MMC 模式需要对延迟设置进行软件配置，如表 6-57 和表 6-68 所示。

应实现调优算法，以满足 SDR50、DDR50（仅限 MMCSD1）、SDR104、HS200 和 HS400 模式的输入建立时间/保持时间要求。

6.10.5.16.1 MMCSD0 - eMMC 接口

MMCSD0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，支持以下 eMMC 应用：

Copyright © 2026 Texas Instruments Incorporated

- 默认速度
- 高速 SDR
- 高速 DDR
- 高速 HS200
- 高速 HS400

表 6-57 展示了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-57. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCSD0_SS_PHY_CTRL_x_REG								
		x=1	x=4					x=5		
位字段		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
位字段名称		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
模式	说明	启用 DLL	选通延迟	输出延迟启用	输出延迟值	输入延迟启用	输入延迟值	DLL/延迟链选择	DLL 基准频率	延迟缓冲器持续时间
旧 SDR	8 位 PHY 工作 1.8V，25MHz	0x0	0x0	0x0	不适用(1)	0x1	0x10	0x1 或 0x3(2)	不适用(3)	0x7
高速 SDR	8 位 PHY 工作 1.8V，50MHz	0x0	0x0	0x0	不适用(1)	0x1	0xA	0x1 或 0x3(2)	不适用(3)	0x7
高速 DDR	8 位 PHY 工作 1.8V，50MHz	0x1	0x0	0x1	0x6	0x1	调优(4)	0x0	0x4	0x7
HS200	8 位 PHY 工作 1.8V，200MHz	0x1	0x0	0x1	0x8	0x1	调优(4)	0x0	0x0	0x7
HS400	8 位 PHY 工作 1.8V，200MHz	0x1	0x77	0x1	0x5	0x1	调优(4)	0x0	0x0	0x7

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。
(2) 当以半周期时序运行（此模式强制要求）时，SELDLYTXCLK 位不起作用。
(3) 不适用意味着当 ENDLL 设为 0x0 时，该寄存器字段不起作用。
(4) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-58 表示 MMCSD0 时序条件。

表 6-58. MMCSD0 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	旧 SDR	0.05	1.24	V/ns
		高速 SDR	0.3	1.65	V/ns
		高速 DDR (CMD) [DDR52]	0.3	1.65	V/ns
		高速 DDR (DAT[7:0]) [DDR52]	0.3	1.65	V/ns
输出条件					
C_L	输出负载电容	旧 SDR	1	18	pF
		高速 SDR	1	18	pF
		高速 DDR	1	18	pF
		HS200	1	12	pF
		HS400	1	6	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	所有模式	134	756	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	传统 SDR、高速 SDR		100	ps
		高速 DDR、HS200、HS400		8	ps

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.1.1 旧 SDR 模式

表 6-59 和表 6-60 说明了 MMCSD0 中的时序要求和开关特性 — 旧 SDR 模式（请参阅图 6-85 和图 6-86）。

表 6-59. MMCSD0 时序要求 — 旧 SDR 模式

编号	参数	说明	最小值	最大值	单位
LSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.5		ns
LSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	6.5		ns
LSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	2.5		ns
LSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	6.5		ns

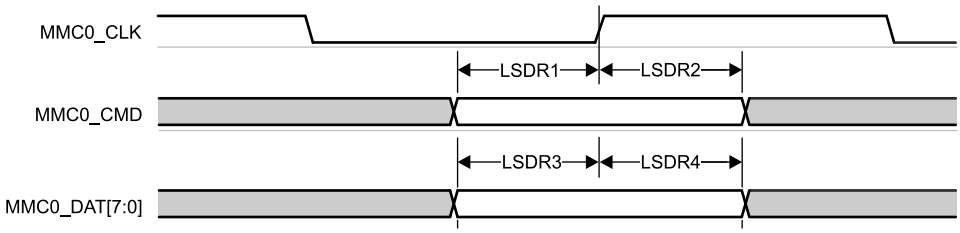


图 6-85. MMCSD0 — 旧 SDR — 接收模式

表 6-60. MMCSD0 开关特性 — 旧 SDR 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		25	MHz
LSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	40		ns
LSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	18.7		ns
LSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	-3.2	3.8	ns
LSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-3.2	3.8	ns

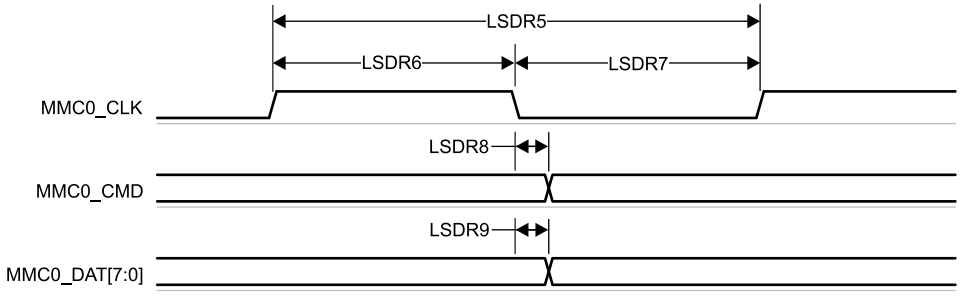


图 6-86. MMC0 — 旧 SDR — 发送模式

6.10.5.16.1.2 高速 SDR 模式

表 6-61 和表 6-62 说明了 MMCSD0 的时序要求和开关特性 — 高速 SDR 模式（请参阅图 6-87 和图 6-88）。

表 6-61. MMCSD0 时序要求 — 高速 SDR 模式

编号	参数	说明	最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.99		ns
HSSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	2.99		ns
HSSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	2.67		ns

Copyright © 2026 Texas Instruments Incorporated

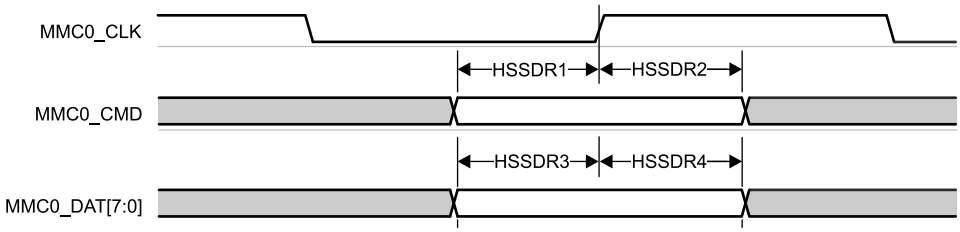


图 6-87. MMCSD0 - 高速 SDR 模式 - 接收模式

表 6-62. MMCSD0 开关特性 — 高速 SDR 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
HSSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
HSSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
HSSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	-3.2	3.8	ns
HSSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-3.2	3.8	ns

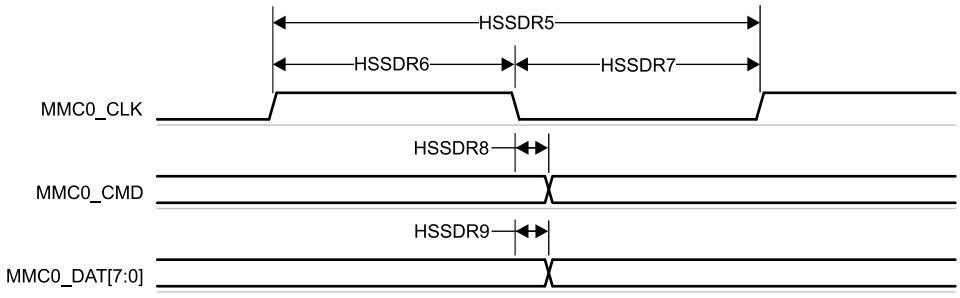


图 6-88. MMCSD0 - 高速 SDR 模式 - 发送模式

6.10.5.16.1.3 高速 DDR 模式

表 6-63 和表 6-64 说明了 MMCSD0 的时序要求和开关特性 — 高速 DDR 模式（请参阅图 6-89 和图 6-90）。

表 6-63. MMCSD0 时序要求 — 高速 DDR 模式

编号	参数	说明	最小值	最大值	单位
HSDDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.5		ns
HSDDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.67		ns
HSDDR3	$t_{su(dV-clkV)}$	建立时间，在 MMC0_CLK 转换之前 MMC0_DAT[7:0] 有效	0.83		ns
HSDDR4	$t_{h(clkV-dV)}$	保持时间，在 MMC0_CLK 转换之后 MMC0_DAT[7:0] 有效	1.76		ns

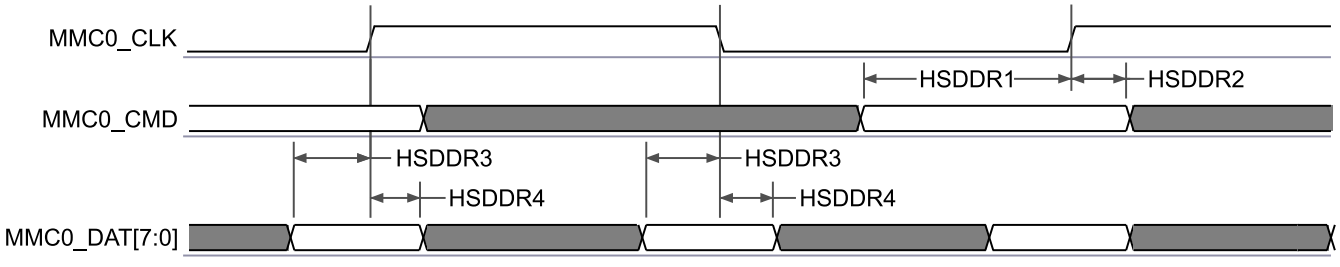


图 6-89. MMCSD0 - 高速 DDR 模式 - 接收模式

Copyright © 2026 Texas Instruments Incorporated

表 6-64. MMCSD0 开关特性 — 高速 DDR 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
HSDDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
HSDDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
HSDDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
HSDDR8	$t_{d(clkH-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	3.31	9.8	ns
HSDDR9	$t_{d(clkV-dV)}$	延迟时间，MMC0_CLK 转换到 MMC0_DAT[7:0] 转换	2.81	6.94	ns

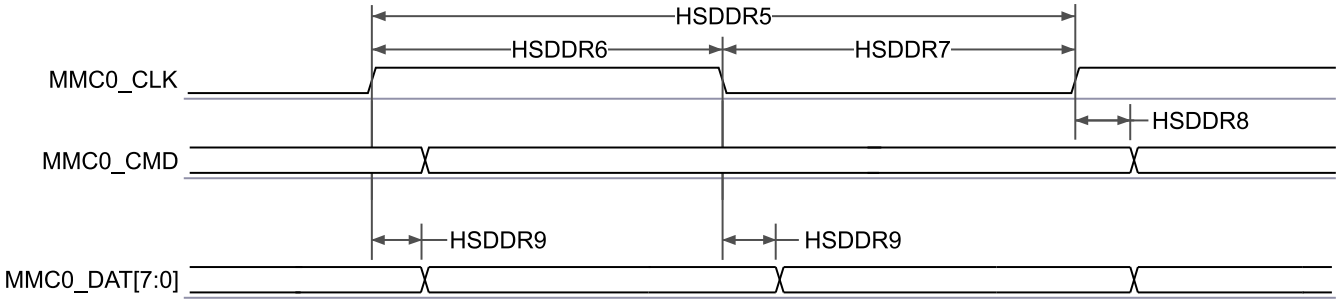


图 6-90. MMCSD0 - 高速 DDR 模式 - 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.1.4 HS200 模式

表 6-65、图 6-91、表 6-66 和 图 6-92 展示了 MMCSD0 – HS200 模式下的时序要求和切换特性。

表 6-65. MMCSD0 时序要求 – HS200 模式

请参阅图 6-91

编号			最小值	最大值	单位
HS2004	t_{DVW}	输入数据有效窗口、MMC0_CMD 和 MMC0_DAT[7:0]	2.0(1)		ns

(1) 此参数定义了主机所需的最小数据有效窗口，任何提供给主机的数据有效窗口大于此值时，均可确保主机能够捕获有效数据。此参数定义的值小于针对任何在 HS200 模式下运行的 eMMC 器件定义的最小可能数据有效窗口。

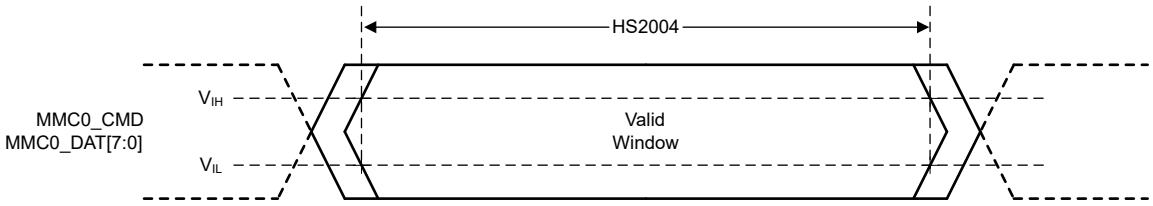


图 6-91. MMCSD0 – HS200 – 接收模式

表 6-66. MMCSD0 开关特性 - HS200 模式

请参阅图 6-92

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		200	MHz
HS2005	$t_{c(clk)}$	周期时间，MMC0_CLK	5		ns
HS2006	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	2.08		ns
HS2007	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	2.08		ns
HS2008	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	0.99	3.28	ns
HS2009	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[7:0] 转换	0.99	3.28	ns

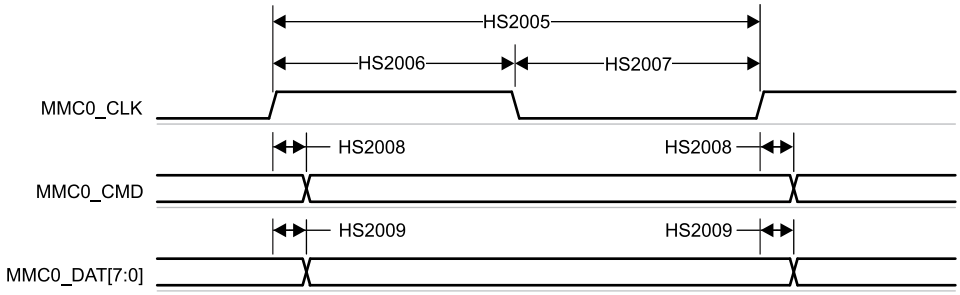


图 6-92. MMCSD0 – HS200 模式 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.1.5 HS400 模式

表 6-67 说明了 MMCSD0 的开关特性 — HS400 模式（请参阅图 6-93）。

表 6-67. MMCSD0 开关特性 — HS400 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		200	MHz
HS4005	$t_{c(clk)}$	工作周期，MMC0_CLK		5	ns
HS4006	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	2.23		ns
HS4007	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	2.23		ns
HS4008	$t_{osu(cmdV-clkH)}$	输出建立时间，MMC0_CMD 有效到 MMC0_CLK 上升边沿(1)	2.54		ns
HS4009	$t_{osu(dV-clk)}t_{d(clkV-dV)}$	输出建立时间，MMC0_DAT[7:0] 有效到 MMC0_CLK 上升或下降边沿(1)	0.63		ns
HS4010	$t_{oh(clkH-cmdIV)}$	输出保持时间，MMC0_CLK 上升边沿到 MMC0_CMD 转换(2)	0.98		ns
HS4011	$t_{oh(clk-dIV)}$	输出保持时间，MMC0_CLK 上升或下降边沿到 MMC0_DAT[7:0] 无效(2)	0.72		ns

(1) 此参数定义了提供给所连接器件的输出建立时间。该时间相对于下一个捕获时钟边沿。此参数的时序基准是从 DAT 或 CMD 信号转换的 1/2 Vs 到 CLK 信号转换的 1/2 Vs。eMMC 标准定义了建立时序基准是从 DAT 或 CMD 信号转换的 VIL 或 VIH 到 CLK 信号转换的 1/2 Vs。因此，系统设计人员在设计 PCB 时必须考虑 DAT 信号压摆率的影响，并确保 DAT 信号从 1/2 Vs 转换到 VIL 或 VIH 所需的时间不会减小建立时间裕度。

(2) 此参数定义了提供给所连接器件的输出保持时间。该时间相对于上一个启动时钟边沿。此参数的时序基准是从 CLK 信号转换的 1/2 Vs 到 DAT 或 CMD 信号转换的 1/2 Vs。eMMC 标准定义了保持时序基准是从 CLK 信号转换的 1/2 Vs 到 DAT 或 CMD 信号转换的 VIL 或 VIH。因此，系统设计人员在设计 PCB 时必须考虑 DAT 信号压摆率的影响，并确保 DAT 信号从 VIL 或 VIH 转换到 1/2 Vs 所需的时间不会减小保持时间裕度。

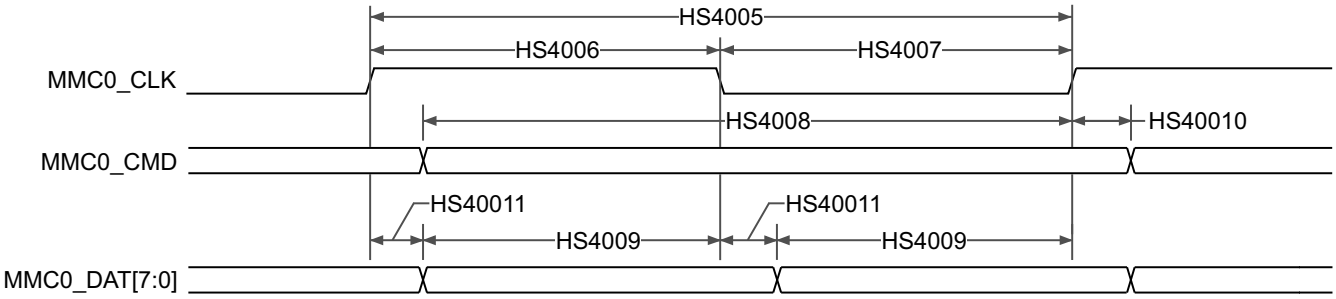


图 6-93. MMCSD0 – HS400 模式 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.2 MMCSDi — MMCSD1 — SD/SDIO 接口

备注

MMCSDi (i = 1) 控制器也称为 MMCi。

MMCSDi 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS – I SDR12
- UHS – I SDR25
- UHS – I SDR50
- UHS – I SDR104
- UHS – I DDR50

表 6-68 展示了 MMC1 时序模式所需的延迟软件配置设置。

表 6-68. 所有时序模式的 MMC1 延迟映射

寄存器名称		MMCSD1_SS_PHY_CTRL_4_REG			
位字段		[20]	[15:12]	[8]	[4:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
模式	说明	延迟启用	延迟值	输入延迟启用	输入延迟值
默认速度	4 位 PHY 工作 3.3V，25MHz	不适用(1)	不适用(1)	0x0	0x0
高速	4 位 PHY 工作 3.3V，50MHz	不适用(1)	不适用(1)	0x0	0x0
UHS-I SDR12	4 位 PHY 工作 1.8V，25MHz	0x1	0xF	0x0	0x0
UHS-I SDR25	4 位 PHY 工作 1.8V，50MHz	0x1	0xF	0x0	0x0
UHS-I SDR50	4 位 PHY 工作 1.8V，100MHz	0x1	0xC	0x1	调优(2)
UHS-I DDR50	4 位 PHY 工作 1.8V，50MHz	0x1	0xC	0x1	调优(2)
UHS-I SDR104	4 位 PHY 工作 1.8V，200MHz	0x1	0x5	0x1	调优(2)

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。
(2) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-69 表示 MMCSD1 时序条件。

表 6-69. MMCSD1 时序条件

参数	说明	模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	默认速度，高速	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
输出条件					
C_L	输出负载电容	所有速度模式	1	10	pF
PCB 连接要求					

Copyright © 2026 Texas Instruments Incorporated

表 6-69. MMCSD1 时序条件（续）

参数	说明	模式	最小值	最大值	单位
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	默认速度，高速	126	1200	ps
		UHS-I DDR50	255	1134	ps
		所有其他模式	134	1276	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	UHS-I DDR50		20	ps
		UHS-I SDR104		8	ps
		所有其他模式		100	ps

6.10.5.16.2.1 默认速度模式

表 6-70 和表 6-71 说明了 MMCSDi 的时序要求和开关特性 — 默认速度模式（请参阅图 6-94 和图 6-95）

表 6-70. MMCSD1 时序要求 — 默认速度模式

编号	参数	说明	最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	4.56		ns
DS3	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.15		ns
DS4	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	4.56		ns

1. 对于 MMC1，x = 1

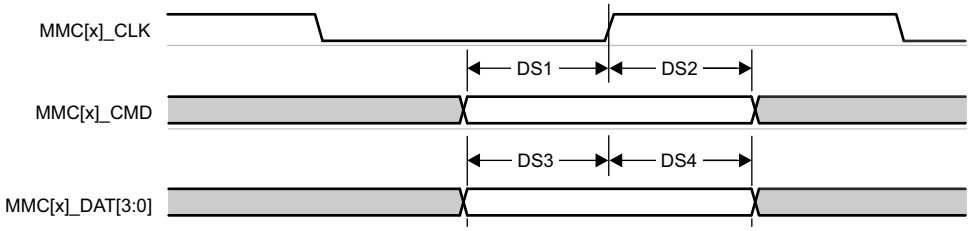


图 6-94. MMCSD1 – 默认速度 – 接收模式

表 6-71. MMCSD1 开关特性 — 默认速度模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		25	MHz
DS5	$t_{c(clk)}$	周期时间，MMC[x]_CLK	40		ns
DS6	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	18.7		ns
DS7	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_CMD 转换	–3.53	3.53	ns
DS9	$t_{d(clkL-dV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_DAT[3:0] 转换	–3.53	3.53	ns

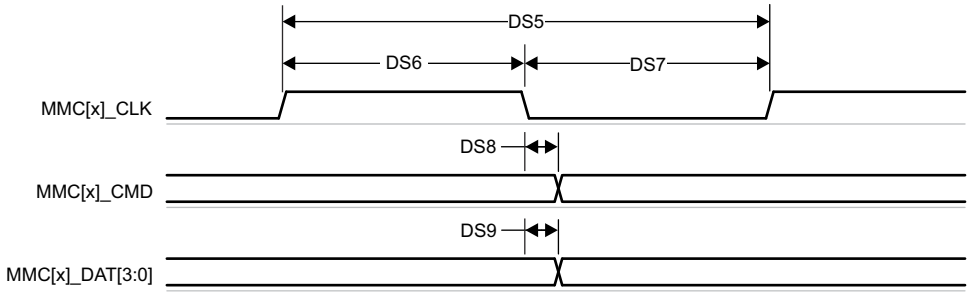


图 6-95. MMCSD1 - 默认速度 - 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.2.2 高速模式

表 6-72 和表 6-73 说明了 MMCSDi 的时序要求和开关特性 — 高速模式（请参阅图 6-96 和图 6-97）。

表 6-72. MMCSD1 时序要求 — 高速模式

编号	参数	说明	最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	2.26		ns
HS3	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.15		ns
HS4	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	2.26		ns

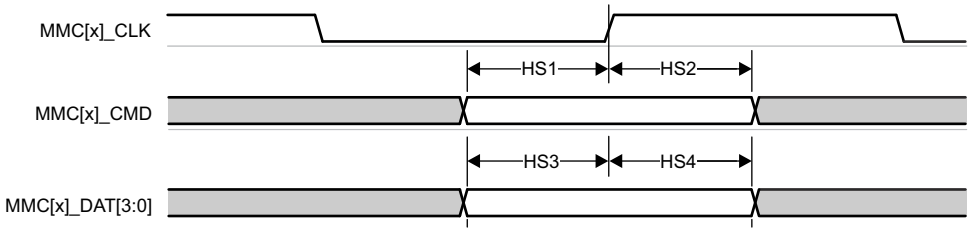


图 6-96. MMCSD1 – 高速 – 接收模式

表 6-73. MMCSD1 开关特性 — 高速模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		50	MHz
HS5	$t_{c(clk)}$	周期时间。MMC[x]_CLK	20		ns
HS6	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	9.2		ns
HS7	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_CMD 转换	-2.07	2.07	ns
HS9	$t_{d(clkL-dV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_DAT[3:0] 转换	-2.07	2.07	ns

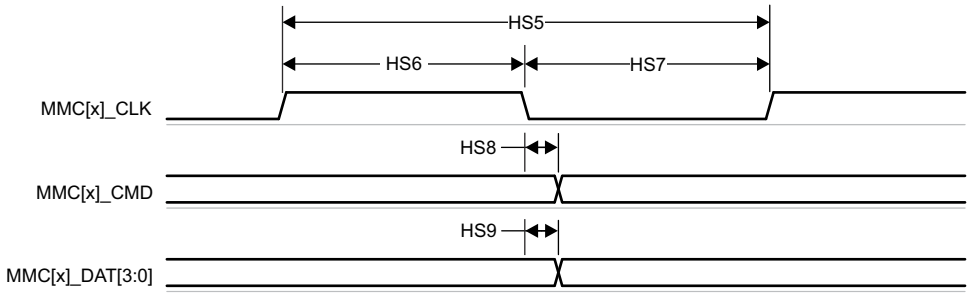


图 6-97. MMCSD1 – 高速 – 发送模式

6.10.5.16.2.3 UHS-I SDR12 模式

表 6-74 和表 6-75 展示了 MMCSDi 的时序要求和开关特性 — UHS-I SDR12 模式（请参阅图 6-98 和图 6-99）。

表 6-74. MMCSD1 时序要求 — UHS-I SDR12 模式

编号	参数	说明	最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	5.46		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	1.67		ns
SDR123	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	5.46		ns

Copyright © 2026 Texas Instruments Incorporated

表 6-74. MMCSD1 时序要求 — UHS-I SDR12 模式（续）

编号	参数	说明	最小值	最大值	单位
SDR124	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	1.67		ns

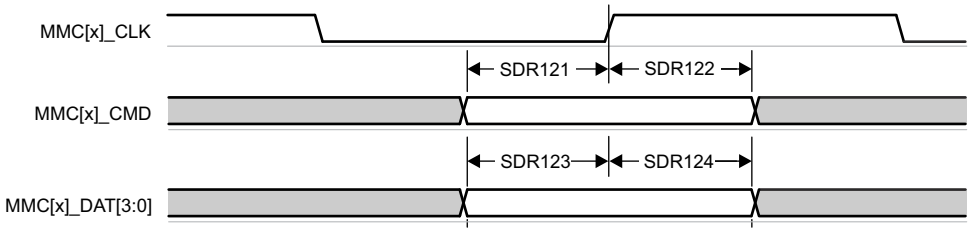


图 6-98. MMCSD1 – UHS-I SDR12 – 接收模式

表 6-75. MMCSD1 开关特性 — UHS-I SDR12 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		25	MHz
SDR125	$t_{c(clk)}$	周期时间，MMC[x]_CLK	40		ns
SDR126	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	18.7		ns
SDR127	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	18.7		ns
SDR128	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.2	13.55	ns
SDR129	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	1.2	13.55	ns

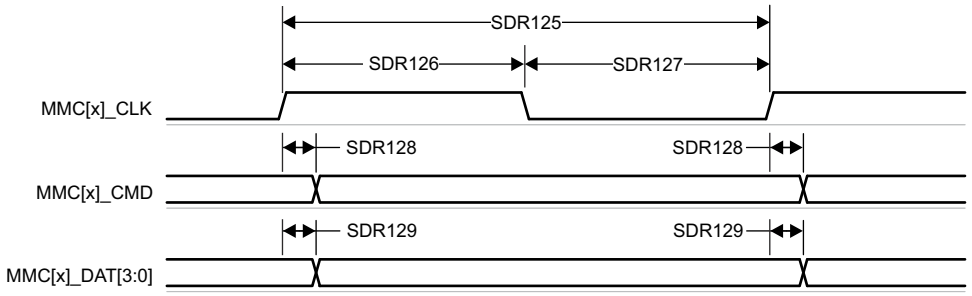


图 6-99. MMCSD1 – UHS-I SDR12 – 发送模式

6.10.5.16.2.4 UHS-I SDR25 模式

表 6-76 和 表 6-77 展示了 MMCSDi 的时序要求和开关特性 – UHS-I SDR25 模式（见图 6-100 和图 6-101）。

表 6-76. MMCSD1 时序要求 – UHS-I SDR25 模式

编号	参数	说明	最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.1		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	1.67		ns
SDR253	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.1		ns
SDR254	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	1.67		ns

Copyright © 2026 Texas Instruments Incorporated

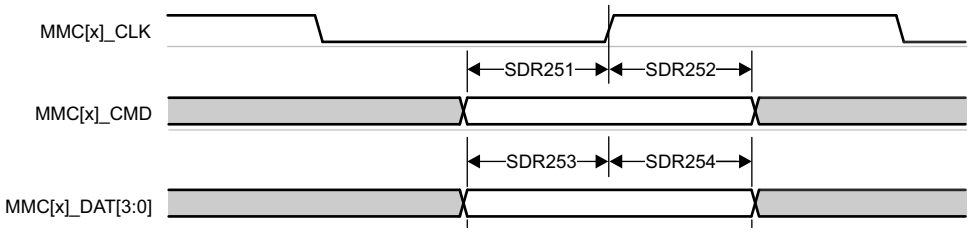


图 6-100. MMCSD1 – UHS-I SDR25 – 接收模式

表 6-77. MMCSD1 开关特性 – UHS-I SDR25 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		50	MHz
SDR255	$t_{c(clk)}$	周期时间，MMC[x]_CLK	20		ns
SDR256	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	9.2		ns
SDR257	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	9.2		ns
SDR258	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	2.4	9.37	ns
SDR259	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	2.4	9.37	ns

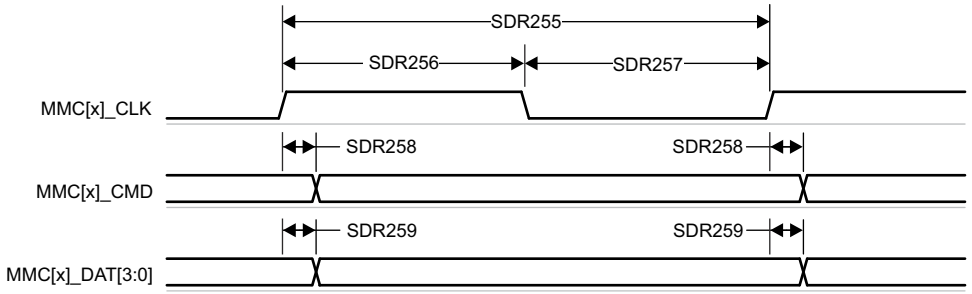


图 6-101. MMCSD1 – UHS-I SDR25 – 发送模式

6.10.5.16.2.5 UHS-I SDR50 模式

表 6-78 展示了 MMCSDi 的时序要求和开关特性 — UHS-I SDR50 模式（请参阅 和图 6-102）。

表 6-78. MMCSD1 开关特性 — UHS-I SDR50 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		100	MHz
SDR505	$t_{c(clk)}$	周期时间，MMC[x]_CLK	10		ns
SDR506	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	4.45		ns
SDR507	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	4.45		ns
SDR508	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.2	6.35	ns
SDR509	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	1.2	6.35	ns

Copyright © 2026 Texas Instruments Incorporated

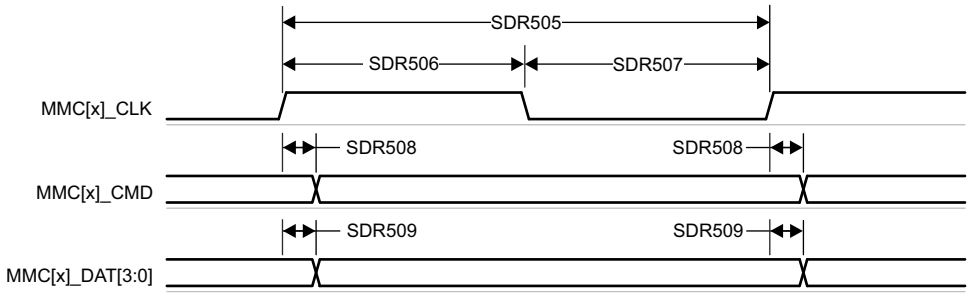


图 6-102. MMCSD1 – UHS-I SDR50 – 发送模式

6.10.5.16.2.6 UHS-I DDR50 模式

表 6-79 展示了 MMCSDi 的开关特性 – UHS-I DDR50 模式（见图 6-103）。

表 6-79. MMCSD1 开关特性 – UHS-I DDR50 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		50	MHz
DDR505	$t_{c(clk)}$	周期时间，MMC[x]_CLK	20		ns
DDR506	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	9.2		ns
DDR507	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	9.2		ns
DDR508	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.2	3.46	ns
DDR509	$t_{d(clk-dV)}$	延迟时间，MMC[x]_CLK 转换到 MMC[x]_DAT[3:0] 转换	1.2	6.12	ns

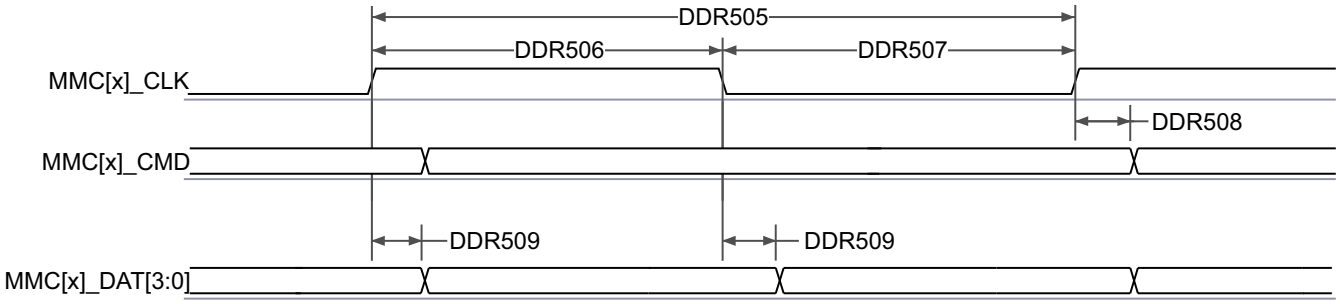


图 6-103. MMCSD1 – UHS-I DDR50 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.10.5.16.2.7 UHS-I SDR104 模式

表 6-80 展示了 MMCSDi 的时序要求和开关特性 — UHS-I SDR104 模式（请参阅图 6-104）

表 6-80. MMCSD1 开关特性 — UHS-I SDR104 模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		200	MHz
SDR1045	$t_{c(clk)}$	周期时间，MMC[x]_CLK	5		ns
SDR1046	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	2.12		ns
SDR1047	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	2.12		ns
SDR1048	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	2.12	3.2	ns
SDR1049	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	2.12	3.2	ns

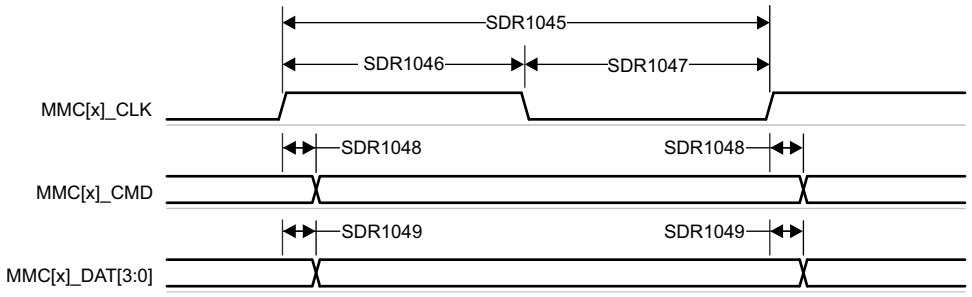


图 6-104. MMCSD1 – UHS-I SDR104 – 发送模式

6.10.5.17 NAVSS

表 6-81 表示 CPTS 时序条件。

表 6-81. CPTS 时序条件

参数	说明	最小值	最大值	单位
输入条件				
t_{SR}	输入压摆率	0.5	5	V/ns
输出条件				
C_{LOAD}	输出负载电容	2	10	pF

节 6.10.5.17.1、节 6.10.5.17.2、图 6-105 和图 6-106 说明了 CPTS 接口的时序要求和开关特性。

6.10.5.17.1 CPTS 输入的时序要求

编号	参数	说明	最小值	最大值	单位
T1	$t_{w(HWn_TS_PUSHH)}$	HWn_TS_PUSH 脉冲持续时间，高电平	2.1 + 12P (1)		ns
T2	$t_{w(HWn_TS_PUSHL)}$	HWn_TS_PUSH 脉冲持续时间，低电平	2.1 + 12P (1)		ns
T3	$t_{c(RFT_CLK)}$	RFT_CLK 周期时间	5	8	ns
T4	$t_{w(RFT_CLKH)}$	RFT_CLK 脉冲持续时间，高电平	0.45 × $t_{c(RFT_CLK)}$		ns
T5	$t_{w(RFT_CLKL)}$	RFT_CLK 脉冲持续时间，低电平	0.45 × $t_{c(RFT_CLK)}$		ns

(1) P = 功能时钟周期（以 ns 为单位）。

Copyright © 2026 Texas Instruments Incorporated

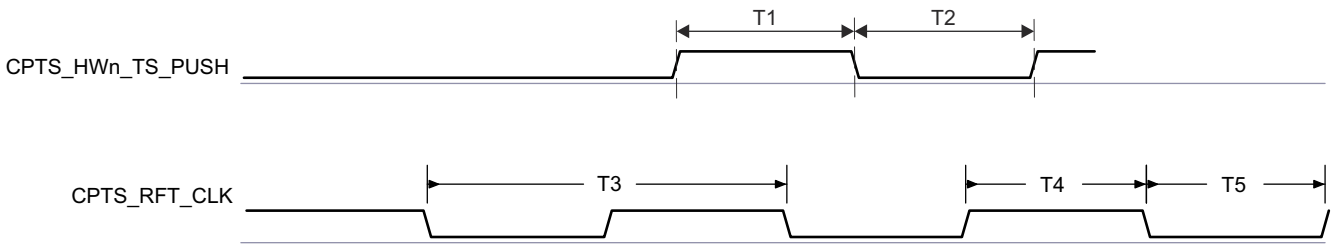


图 6-105. CPTS 输入时序

6.10.5.17.2 CPTS 输出的开关特性

编号	参数	说明	最小值	最大值	单位
T6	$t_{w(TS_COMPH)}$	NAVSS-CPTS TS_COMP，高电平	-2.1+36P (1)		ns
T7	$t_{w(TS_COMPL)}$	NAVSS-CPTS TS_COMP，低电平	-2.1+36P (1)		ns
T8	$t_{w(TS_COMPH)}$	CPSW-CPTS TS_COMP，高电平	-2.1+36P (1)		ns
T9	$t_{w(TS_COMPL)}$	CPSW-CPTS TS_COMP，低电平	-2.1+36P (1)		ns
T10	$t_{w(TS_SYNCH)}$	NAVSS-CPTS TS_SYNC，高电平	-2.1+36P (1)		ns
T11	$t_{w(TS_SYNCL)}$	NAVSS-CPTS TS_SYNC，低电平	-2.1+36P (1)		ns
T12.1	$t_{w(TS_SYNCH)}$	CPSW-CPTS TS_SYNC，高电平	-2.1+36P (1)		ns
T13	$t_{w(TS_SYNCL)}$	CPSW-CPTS TS_SYNC，低电平	-2.1+36P (1)		ns
T14	$t_{w(SYNC_OUTH)}$	TS_SYNC 提供 SYNCn_OUT，高电平	-2.1+36P (1)		ns
T15	$t_{w(SYNC_OUTL)}$	TS_SYNC 提供 SYNCn_OUT，低电平	-2.1+36P (1)		ns
T16	$t_{w(SYNC_OUTH)}$	GENF 提供 SYNCn_OUT，高电平	-2.1+5P (1)		ns
T17	$t_{w(SYNC_OUTL)}$	GENF 提供 SYNCn_OUT，低电平	-2.1+5P (1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

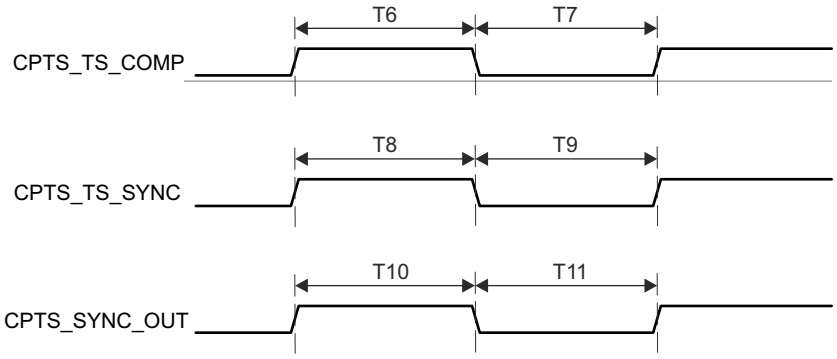


图 6-106. CPTS 输出开关特性

有关更多信息，请参阅器件 TRM 的*数据移动架构 (DMA)* 一章中的*导航器子系统 (NAVSS)* 一节。

6.10.5.18 OSPI

有关器件八路串行外设接口的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

表 6-82 表示 OSPI 时序条件。

表 6-82. OSPIx 时序条件

参数	模式	最小值	最大值	单位
输入条件				

Copyright © 2026 Texas Instruments Incorporated

表 6-82. OSPIx 时序条件（续）

参数		模式	最小值	最大值	单位
SR_I	输入压摆率	1.8V，具有 DQS 的 PHY 数据训练 DDR	0.75	6	V/ns
输出条件					
C_L	输出负载电容		3	10	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	OSPI0_CLK 布线的传播延迟	无环回 内部 PHY 环回 内部焊盘环回		450	ps
	OSPI0_LBCLKO 布线的传播延迟	外部电路板环回	2L(1) - 30	2L(1) + 30	ps
	OSPI0_DQS 布线的传播延迟	DQS	L(1) - 30	L(1) + 30	ps
$t_{d(Trace\ Mismatch\ Delay)}$	OSPIx_D[7:0] 和 OSPIx_CSn[3:0] 相对于 OSPIx_CLK 的传播延迟不匹配	所有模式		60	ps

(1) L = OSPIx_CLK 布线的传播延迟

有关更多信息，请参阅器件 TRM 的*外设*一章中的*八路串行外设接口 (OSPI)* 一节。

6.10.5.18.1 带数据训练的 OSPI

6.10.5.18.1.1 OSPI 开关特性 - 数据训练

参数	说明	模式	最小值	最大值	单位
$t_{c(CLK)}$	周期时间，CLK	DDR，1.8V	6.02	7.5	ns
		DDR，3.3V	7.52	7.5	ns
$t_{c(CLK)}$	周期时间，CLK	SDR，1.8V	6.02	7.5	ns
		SDR，3.3V	7.52	7.5	ns

6.10.5.18.2 无数据训练的 OSPI

备注

本节中提供的 I/O 时序仅适用于未实施数据培训的情况。此外，按本节的表 6-83 所述配置了相应的 DLL 延迟时，I/O 时序仅对某些 OSPI 使用模式有效。

节 6.10.5.18.2.1、节 6.10.5.18.2.2、图 6-107 和图 6-108 说明了 OSPI DDR 和 SDR 模式的开关特性。

6.10.5.18.2.1 OSPI 开关特性 - DDR 模式

编号 (1)	参数	说明	模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，CLK	1.8V	19		ns
			3.3V	19		ns
O2	$t_{w(CLKL)}$	脉冲持续时间，CLK 低电平的时间		– 0.3+0.475*P (2)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，CLK 高电平的时间		– 0.3+0.475*P (2)		ns
O4	$t_{d(CLK-CSn)}$	延迟时间，CSn[3:0] 有效边沿到 CLK 上升沿	1.8V，OSPI0 DDR TX；1.8V，OSPI1 DDR TX	-7-0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns
			3.3V，OSPI0 DDR TX；3.3V，OSPI1 DDR TX	-7-0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns

Copyright © 2026 Texas Instruments Incorporated

编号 (1)	参数	说明	模式	最小值	最大值	单位
O5	$t_{d(CLK-CSn)}$	延迟时间，CLK 上升沿到 CSn 无效边沿	1.8V，OSPI0 DDR TX；1.8V，OSPI1 DDR TX	-7+0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1 (3) (4) (5)	ns
			3.3V，OSPI0 DDR TX；3.3V，OSPI1 DDR TX	-7+0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1 (3) (4) (5)	ns
O6	$t_{d(CLK-D)}$	延迟时间，CLK 有效边沿到 D[i:0] 转换	1.8V，OSPI0 DDR TX；1.8V，OSPI1 DDR TX	-7.7	-1.56	ns
			3.3V，OSPI0 DDR TX；3.3V，OSPI1 DDR TX	-7.7	-1.56	ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3
(2) P = CLK 周期时间
(3) P = SCLK 周期
(4) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]，N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(5) R = refclk

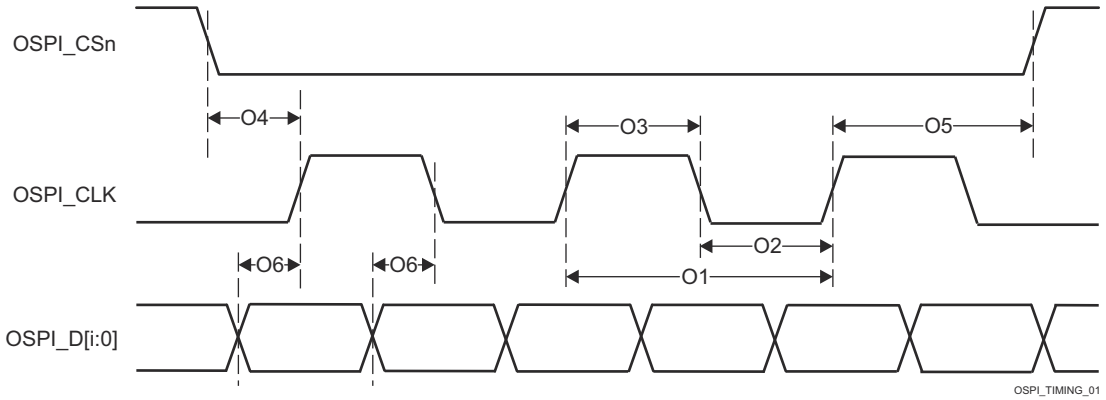


图 6-107. OSPI 开关特性 - DDR

6.10.5.18.2.2 OSPI 开关特性 - SDR 模式

编号 (1)	参数	说明	模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间，CLK	1.8V	7		ns
			3.3V	7.52		ns
O8	$t_{w(CLKL)}$	脉冲持续时间，CLK 低电平的时间		– 0.3+0.475*P (2)		ns
O9	$t_{w(CLKH)}$	脉冲持续时间，CLK 高电平的时间		– 0.3+0.475*P (2)		ns
O10	$t_{d(CLK-CSn)}$	延迟时间，CSn[3:0] 有效边沿到 CLK 上升沿	1.8V	-1-0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns
			3.3V	-1-0.475 * P – 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * M * R + 1 (3) (4) (5)	ns

Copyright © 2026 Texas Instruments Incorporated

编号 (1)	参数	说明	模式	最小值	最大值	单位
O11	$t_{d(CLK-CSn)}$	延迟时间，CLK 上升沿到 CSn 无效边沿	1.8V	-1+0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1 (3) (4) (5)	ns
			3.3V	-1+0.475 * P + 0.975 * N * R (3) (4) (5)	0.525 * P + 1.025 * N * R + 1 (3) (4) (5)	ns
O12	$t_{d(CLK-D)}$	延迟时间，CLK 有效边沿到 D[i:0] 转换	1.8V	-1.15	1.25	ns
			3.3V	-1.33	1.51	ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3
(2) P = CLK 周期时间
(3) P = SCLK 周期
(4) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]，N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(5) R = refclk

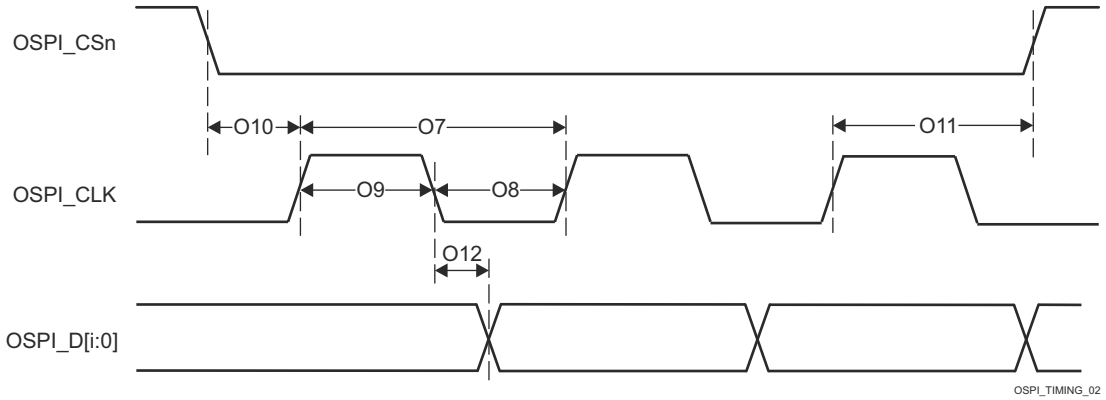


图 6-108. OSPI 开关特性 - SDR

节 6.10.5.18.2.3、节 6.10.5.18.2.4、图 6-109、图 6-110、图 6-111 和图 6-112 说明了 OSPI DDR 和 SDR 模式的时序要求。

6.10.5.18.2.3 OSPI 时序要求 - DDR 模式

编号 (1)	参数	说明	模式	最小值	最大值	单位
O13	$t_{su(D-CLK)}$	建立时间，在有效 CLK 边沿之前 D[i:0] 有效	1.8V，无环回时钟；1.8V，内部焊盘环回时钟	5.23		ns
			3.3V，无环回时钟；3.3V，内部焊盘环回时钟	6.19		ns
O14	$t_{h(CLK-D)}$	保持时间，在有效 CLK 边沿之后 D[i:0] 有效	1.8V，无环回时钟；1.8V，内部焊盘环回时钟	1.84		ns
			3.3V，无环回时钟；3.3V，内部焊盘环回时钟	2.34		ns
O15	$t_{su(D-LBCLK)}$	建立时间，在有效 LBCLK (DQS) 边沿之前 D[i:0] 有效	1.8V，外部电路板环回时钟	0.52		ns
			3.3V，外部电路板环回时钟	1.97		ns
O16	$t_{h(LBCLK-D)}$	保持时间，在有效 LBCLK (DQS) 边沿之后 D[i:0] 有效	1.8V，外部电路板环回时钟	1.2 (2)		ns
			3.3V，外部电路板环回时钟	1.44 (2)		ns
	t_{DVW}	数据有效窗口 (O15 + O16)	1.8V，具有 DQS 的 DDR	1.4		ns
O17	$t_{su(D-DQS)}$	建立时间，DQS 边沿到 D[i:0] 转换	1.8V，OSPI0 DQS；1.8V，OSPI1 DQS	-0.46		ns
			3.3V，OSPI0 DQS；3.3V，OSPI1 DQS	-0.66		ns

Copyright © 2026 Texas Instruments Incorporated

编号 (1)	参数	说明	模式	最小值	最大值	单位
O18	$t_{h(DQS-D)}$	保持时间，DQS 边沿到 D[i:0] 转换	1.8V，OSPI0 DQS；1.8V，OSPI1 DQS	3.59		ns
			3.3V，OSPI0 DQS；3.3V，OSPI1 DQS	7.92		ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3
(2) 此保持时间要求大于典型闪存器件提供的保持时间。因此，SoC 和闪存器件之间的布线长度必须足够长，以确保满足 SoC 的保持时间。SoC 的外部环回时钟（OSPI_LBCLKO 至 OSPI_DQS）的长度可能需要缩短才能进行补偿。

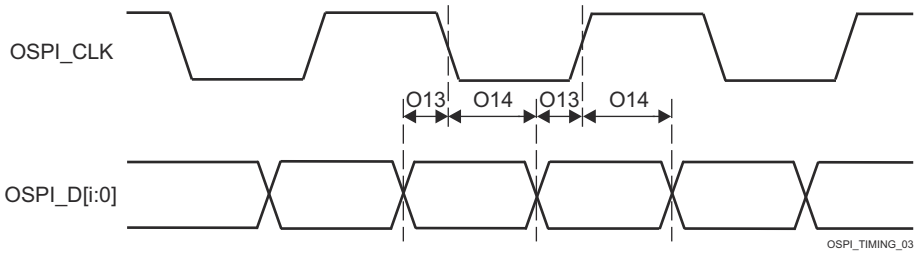


图 6-109. OSPI 时序要求 — DDR，无环回时钟和内部焊盘环回时钟

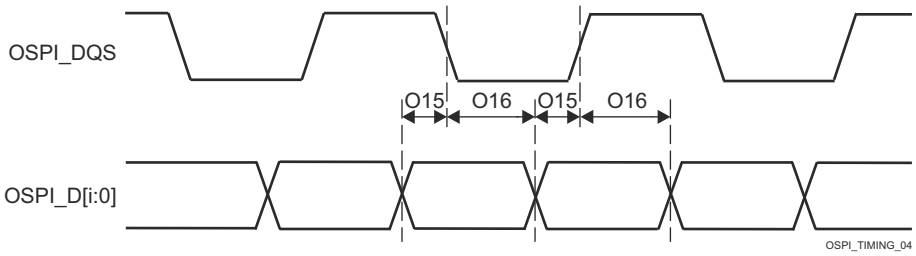


图 6-110. OSPI 时序要求 - DDR、外部环回时钟和 DQS

6.10.5.18.2.4 OSPI 时序要求 - SDR 模式

编号 (1)	参数	说明	模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	建立时间，在有效 CLK 边沿之前 D[i:0] 有效	1.8V，无环回时钟	4.8		ns
			3.3V，无环回时钟	5.39		ns
O20	$t_{h(CLK-D)}$	保持时间，在有效 CLK 边沿之后 D[i:0] 有效	1.8V，无环回时钟	-0.5		ns
			3.3V，无环回时钟	-0.5		ns
O21	$t_{su(D-LBCLK)}$	建立时间，在有效 LBCLK 输入 (DQS) 边沿之前 D[i:0] 有效	1.8V，外部电路板环回时钟	0.6		ns
			3.3V，外部电路板环回时钟	0.9		ns
O22	$t_{h(LBCLK-D)}$	保持时间，在有效 LBCLK 输入 (DQS) 边沿之后 D[i:0] 有效	1.8V，外部电路板环回时钟	1.7		ns
			3.3V，外部电路板环回时钟	2		ns
	t_{DVW}	数据有效窗口 (O21 + O22)	1.8V，具有外部电路板环回的 SDR	1.7		ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3

Copyright © 2026 Texas Instruments Incorporated

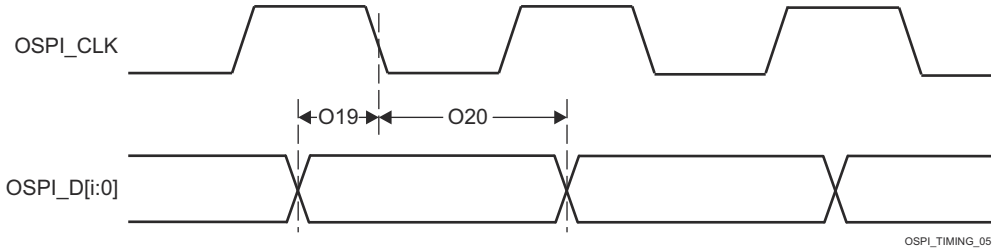


图 6-111. OSPI 时序要求 — SDR，无环回时钟和内部焊盘环回时钟

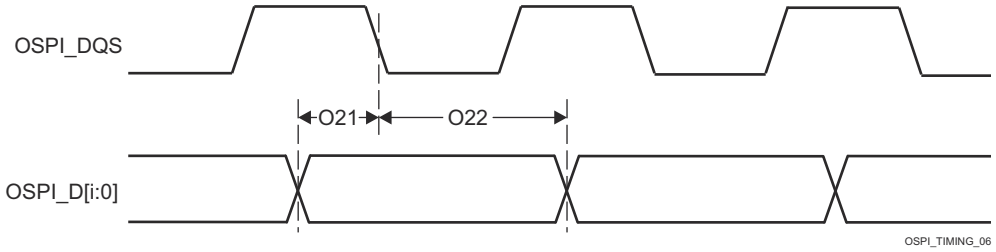


图 6-112. OSPI 时序要求 - SDR，外部环回时钟

表 6-83. 时序模式的 OSPI DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x54
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x55
RECEIVE		
1.8V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x2D
3.3V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x29
所有其他模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

有关更多信息，请参阅器件 TRM 的*外设*一章中的*八路串行外设接口 (OSPI)* 一节。

6.10.5.19 PCIE

PCI-Express 子系统符合 PCIe® 基础规范修订版 4.0。有关时序详细信息，请参阅规范。

有关器件外设组件快速互连的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*外设组件快速互连 (PCIe) 子系统*一节。

6.10.5.20 计时器

有关器件计时器的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

表 6-84 表示计时器时序条件。

表 6-84. 计时器时序条件

参数	说明	模式	最小值	最大值	单位
输入条件					
t_{SR}	输入压摆率	捕获	0.5	5	V/ns
输出条件					
C_{LOAD}	输出负载电容	PWM	2	10	pF

Copyright © 2026 Texas Instruments Incorporated

节 6.10.5.20.1、节 6.10.5.20.2 和图 6-113 说明了计时器的时序和开关特性。

6.10.5.20.1 计时器的时序要求

编号	参数	说明	模式	最小值	最大值	单位
T1	$t_{w(TINPH)}$	脉冲持续时间，高电平	捕获	2.5 + 4P (1)		ns
T2	$t_{w(TINPL)}$	脉冲持续时间，低电平	捕获	2.5 + 4P (1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

6.10.5.20.2 计时器的开关特性

编号	参数	说明	模式	最小值	最大值	单位
T3	$t_{w(TOUTH)}$	脉冲持续时间，高电平	PWM	– 2.5 + 4P (1)		ns
T4	$t_{w(TOUTL)}$	脉冲持续时间，低电平	PWM	– 2.5 + 4P (1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

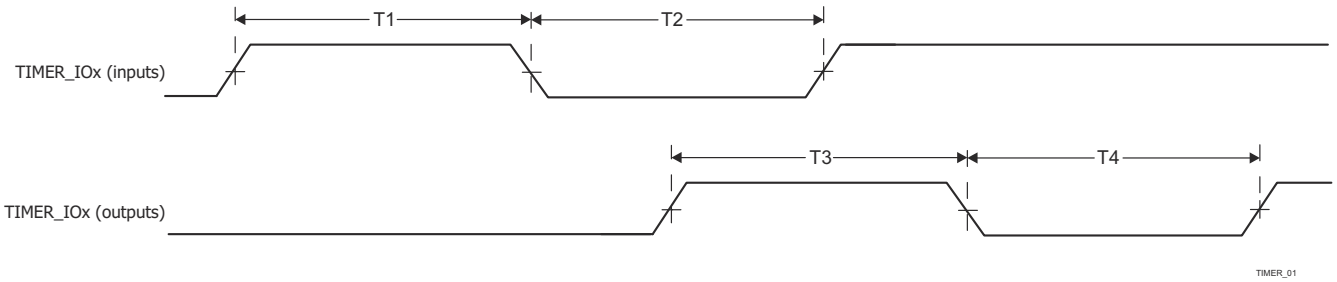


图 6-113. 计时器时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*计时器*一节。

6.10.5.21 UART

有关器件通用异步接收器/发送器的特性和其他说明的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

表 6-85 表示 UART 时序条件。

表 6-85. UART 时序条件

参数	说明	最小值	最大值	单位
输入条件				
t_{SR}	输入压摆率	0.5	5	V/ns
输出条件				
C_{LOAD}	输出负载电容	1	30(1)	pF

(1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

节 6.10.5.21.1、节 6.10.5.21.2 和图 6-114 说明了 UART 接口的时序要求和开关特性。

Copyright © 2026 Texas Instruments Incorporated

6.10.5.21.1 UART 时序要求

编号	参数	说明	最小值	最大值	单位
4	$t_{w(RX)}$	脉冲宽度，接收数据位高电平或低电平	0.95U(1) (2)	1.05U(1) (2)	ns
5	$t_{w(CTS)}$	脉冲宽度，接收起始位高电平或低电平	0.95U(1) (2)		ns

(1) U = UART 波特时间 = 1/编程波特率
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

6.10.5.21.2 UART 开关特性

编号	参数	说明	最小值	最大值	单位
	$f_{(baud)}$	最大可编程波特率		12	Mbps
2	$t_{w(TX)}$	脉冲宽度，发送数据位高电平或低电平	U - 2(1)	U + 2(1)	ns
3	$t_{w(RTS)}$	脉冲宽度，发送起始位高电平或低电平	U - 2(1)		ns

(1) U = UART 波特时间 = 1/编程波特率

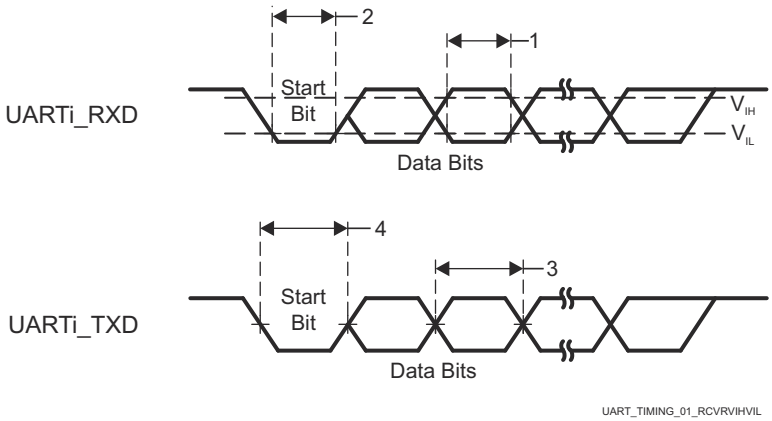


图 6-114. UART 时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用异步接收器/发送器 (UART)* 一节。

6.10.5.22 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

USB 3.1 GEN1 双角色设备子系统符合通用串行总线 (USB) 3.1 规范修订版 1.0 的要求。有关时序详细信息，请参阅规范。

有关通用串行总线子系统 (USB) 特性和其他说明信息的更多详细信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用串行总线 (USB) 子系统*一节。

6.10.6 仿真和调试

6.10.6.1 调试跟踪

表 6-87 表示调试布线时序条件。

表 6-86. 调试布线时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	5	pF

Copyright © 2026 Texas Instruments Incorporated

表 6-86. 调试布线时序条件（续）

参数		最小值	最大值	单位
PCB 连接要求				
$t_{d(Trace\ Mismatch)}$	所有布线之间的传播延迟不匹配		200	ps

表 6-87 和图 6-115 假设在建议运行条件和电气特性条件下进行测试。

表 6-87. 调试布线开关特性

编号	参数	说明	最小值	最大值	单位
1.8V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	6.50		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	2.50		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	2.50		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	0.81		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	0.81		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	0.81		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	0.81		ns
3.3V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	9.75		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	4.13		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	4.13		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	1.22		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	1.22		ns

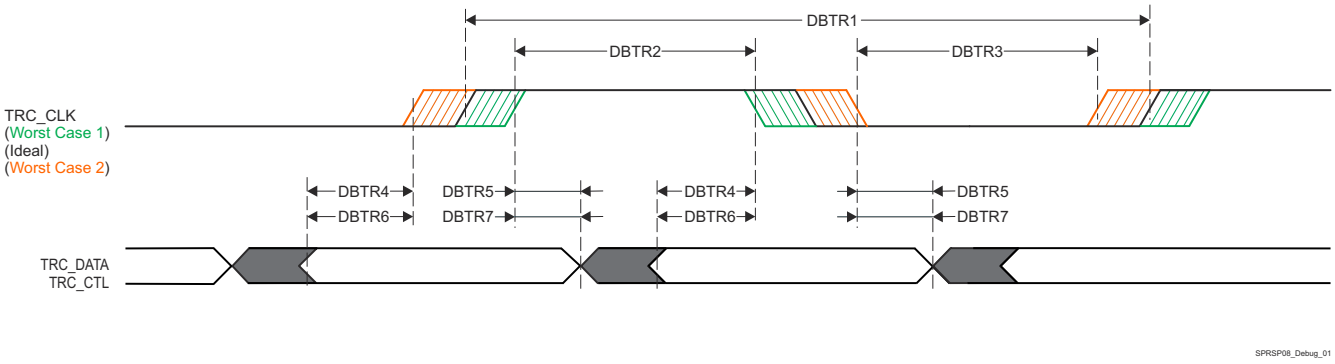


图 6-115. 调试布线时序

6.10.6.2 IEEE 1149.1 标准测试访问端口 (JTAG)

如需进一步详细了解器件 IEEE 1149.1 标准测试访问端口的特性和其他说明信息，请参阅节 5.3 *信号说明* 和节 7 *详细说明* 中的相应部分。

表 6-88 表示 JTAG 时序条件。

Copyright © 2026 Texas Instruments Incorporated

备注

JTAG 信号拆分到器件上的两个 IO 电源域中。仅当两个 IO 电源域在相同的电压下运行并且电平转换器未插入到信号路径中时，本节中定义的时序参数才适用。在不同的电压下运行两个 IO 电源域时，以下时序参数的值未定义，因为当一些器件 IO 缓冲器在 1.8V 电压下运行，而另一些在 3.3V 电压下运行时，通过这些 IO 缓冲器的传播延迟会有所不同。这实际上降低了超出此部分中所定义值的时序裕度。当两个 IO 电源域在不同电压下运行时，JTAG 接口仍应该能正常工作，但前提是系统设计人员实施了适当的电平转换器，并降低了工作频率以适应在不同电压下运行的电平转换器和 IO 缓冲器插入的额外延迟

表 6-88. JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
t_{SR}	输入压摆率	0.50	2.00	V/ns
输出条件				
C_L	输出负载电容	5	15	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	83.5	1000(1)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		100	ps

(1) 与 JTAG 信号引线相关的最大传播延迟对最大 TCK 工作频率有显著的影响。可以将跟踪延迟增加到超过该值，但必须降低 TCK 的工作频率以解决额外的跟踪延迟。

6.10.6.2.1 JTAG 电气数据和时序

节 6.10.6.2.1.1、节 6.10.6.2.1.2 和图 6-116 假设在建议运行条件和电气特性条件下进行测试。

6.10.6.2.1.1 IEEE 1149.1 JTAG 的时序要求

编号			最小值	最大值	单位
J1	$t_{c(TCK)}$	最小周期时间，TCK	46.5(1)		ns
J2	$t_{w(TCKH)}$	最小脉冲宽度，TCK 高电平	0.4P(2)		ns
J3	$t_{w(TCKL)}$	最小脉冲宽度，TCK 低电平	0.4P(2)		ns
J4	$t_{su(TDI-TCK)}$	最小输入建立时间，TDI 有效到 TCK 高电平	4.5		ns
	$t_{su(TMS-TCK)}$	最小输入建立时间，TMS 有效到 TCK 高电平	4.5		ns
J5	$t_{h(TCK-TDI)}$	最小输入保持时间，从 TCK 高电平到 TDI 有效	2		ns
	$t_{h(TCK-TMS)}$	最小输入保持时间，从 TCK 高电平到 TMS 有效	2		ns

(1) 最大 TCK 工作频率假定所连接的调试器具有以下时序要求和开关特性。如果调试器超出任何这些假设，则必须降低 TCK 的工作频率以提供适当的时序裕度。
- 相对于 TCK 上升沿的最小 TDO 建立时间为 4.6 ns
- 相对于 TCK 下降沿，TDI 和 TMS 输出延迟范围为 -16.5 ns 至 14.0 ns

(2) P = TCK 周期时间（以 ns 为单位）

6.10.6.2.1.2 IEEE 1149.1 JTAG 在推荐工作条件下的开关特性

编号	参数	说明	最小值	最大值	单位
J6	$t_{d(TCKL-TDOI)}$	最小延迟时间，TCK 低电平到 TDO 无效	0		ns
J7	$t_{d(TCKL-TDOV)}$	最大延迟时间，TCK 低电平到 TDO 有效		12	ns

Copyright © 2026 Texas Instruments Incorporated

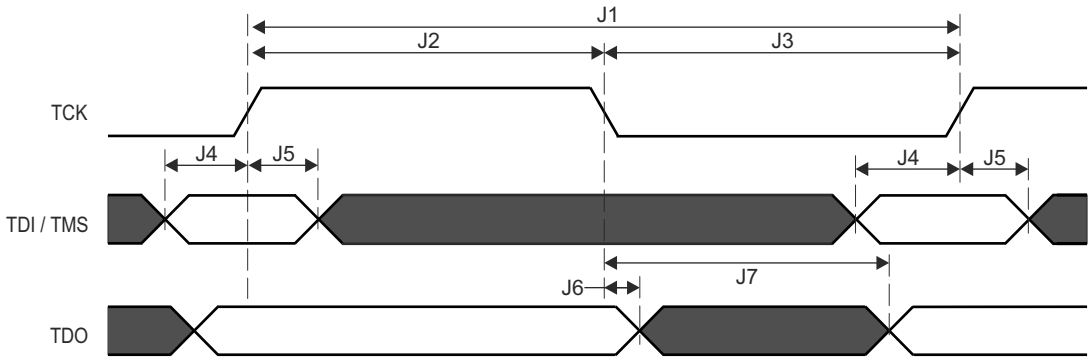


图 6-116. JTAG 测试端口时序

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

基于 Armv8 64 位架构的 Jacinto™ DRA821x 处理器是片上系统 (SoC)，可通过集成系统 MCU、以太网交换机、功能安全、信息安全等功能来降低系统成本。多核系统支持汽车网关和车辆计算系统等汽车应用的 ECU 整合。集成式诊断和功能安全特性满足 ASIL-D 认证/要求。集成式微控制器 (MCU) 岛无需使用外部系统 MCU。除了 PCIe 集线器以外，该器件还配备多达四个千兆位以太网端口并集成交换机，以满足需要大量数据带宽的网络使用情况。该器件提供 20 个 CAN-FD 接口和多达 12 个 UART 接口。多达四个通用 Arm® Cortex®-R5F 子系统可以处理简单的时序关键型处理任务，从而使 Arm® Cortex®-A72 不受高级应用的影响。

备注

有关超集器件片上系统 (SoC) 的特性、子系统和架构的更多信息，请参阅器件 TRM。

Copyright © 2026 Texas Instruments Incorporated

7.2 处理器子系统

7.2.1 Arm Cortex-A72

该器件实现了一个集成在计算集群内部以及其他模块中的双核 Arm® Cortex®-A72 MPU。Cortex-A72 内核是通用处理器，可用于运行客户应用程序。

A72SS 基于 Arm Cortex-A72 MPCore（A72 集群）构建，后者由 Arm 提供并由 TI 配置。该处理器基于对称多处理器 (SMP) 架构，因此可提供高性能以及出色的电源管理和调试功能。

A72 处理器是一款多发射乱序超标量执行引擎，具有集成的 L1 指令和数据高速缓存，与 Armv8-A 架构兼容。Armv8-A 架构提供了许多新功能。这些新功能包括 64 位数据处理、扩展虚拟寻址和 64 位通用寄存器。

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的*双 A72 MPU 子系统*一节。

7.2.2 Arm Cortex-R5F

MCU_ARMSS 是 Arm® Cortex®-R5F 处理器的双核实现，配置为进行分离/锁定操作。它还包括附带的存储器（L1 高速缓存和紧密耦合存储器）、标准 Arm® CoreSight™ 调试和布线架构、集成式矢量中断管理器 (VIM)、ECC 聚合器以及支持协议转换和地址转换的各种包装器，以便于集成到 SoC。

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的*双 R5F MCU 子系统*一节。

7.3 其他子系统

7.3.1 MSMC

多核共享存储器控制器 (MSMC) 构成计算集群 (COMPUTE_CLUSTER0) 的核心，可提供与所有连接的处理元件和系统其余部分之间的高带宽资源访问。MSMC 用作计算集群的数据移动主干。

有关更多信息，请参阅器件 TRM 的*器件配置*一章中的*多核共享存储器控制器 (MSMC)* 一节。

7.3.2 NAVSS

7.3.2.1 NAVSS0

主 SoC 导航器子系统 (NAVSS0) 包含 DMA/队列管理组件：UDMA 和环形加速器 (UDMASS)、外设（模块子系统 [MODSS]）、虚拟化转换 (VirtSS) 和北桥 (NBSS)。

7.3.2.2 MCU_NAVSS

MCU 导航器子系统 (MCU NAVSS) 具有主 NAVSS 模块子集，并在 MCU 域中实例化。

MCU 导航器子系统包含 DMA/队列管理组件：UDMA 和环形加速器 (UDMASS) 以及外设（模块子系统 [MODSS]）。

有关更多信息，请参阅器件 TRM 中*数据移动架构 (DMA)* 章节的*主导航器子系统 (NAVSS)* 和 *MCU 导航器子系统 (MCU NAVSS)* 两节。

7.3.3 PDMA 控制器

外设 DMA 是一种简单的 DMA，其架构专为满足外设的数据传输需求而设计，外设使用通过标准非相干总线结构访问的存储器映射寄存器来执行数据传输。PDMA 模块旨在靠近一个或多个需要外部 DMA 进行数据移动的外设，其架构旨在通过使用 VBUSP 接口并仅支持静态配置的传输请求 (TR) 操作来降低成本。

PDMA 仅负责执行与外设本身交互的数据移动事务。从给定外设读取的数据由 PDMA 源通道打包到 PSI-L 数据流中，然后将其发送到远程对等 UDMA-P 目标通道，然后由该通道将数据移动到存储器中。同样，远程 UDMA-P 源通道从存储器中获取数据，并通过 PSI-L 将其传输到对等 PDMA 目标通道，然后由 PSI-L 执行对外设的写入操作。

PDMA 架构特意采用异构结构 (UDMA-P + PDMA)，以适当调整系统中每个点的数据传输复杂性，以满足传入或传出的任何内容的要求。外设通常基于 FIFO，不需要超出其 FIFO 尺寸要求的多维传输，因此 PDMA 传输引擎保持简单，仅具有几个维度（通常用于样本大小和 FIFO 深度）、硬编码地址映射和简单的触发功能。

Copyright © 2026 Texas Instruments Incorporated

PDMA 内提供多个源通道和目标通道，允许同时进行多个传输操作。DMA 控制器维护每个通道的状态信息，并在通道之间采用轮询调度以共享底层 DMA 硬件。

有关更多信息，请参阅器件 TRM 的 *DMA 控制器* 一章中的 *PDMA 控制器* 一节。

7.3.4 外设

7.3.4.1 ADC

模数转换器 (ADC) 模块包含一个单通道 12 位 ADC。这个 ADC 可以复用为 8 个模拟输入（通道）中的任何一个。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*模数转换器 (ADC)* 一节。

7.3.4.2 ATL

HD Radio™ 应用会使用音频跟踪逻辑 (ATL) 使数字音频输出与基带时钟同步。通常情况下，同样的这一 IP 也可用于跟踪两个基准信号之间的误差（例如帧同步），并生成调制时钟输出（使用软件控制的周期窃取），使其平均达到某个所需的频率。此过程可用作异步采样率转换算法的硬件辅助。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*音频跟踪逻辑 (ATL)* 一节。

7.3.4.3 CPSW2G

双端口千兆位以太网 MAC (MCU_CPSW0) 子系统为器件提供以太网数据包通信，并按类似的方式配置为以太网交换机。MCU_CPSW0 具有简化千兆位媒体独立接口 (RGMII)、简化媒体独立接口 (RMII) 以及用于物理层器件 (PHY) 管理的管理数据输入/输出 (MDIO) 接口。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*千兆位以太网交换机 (CPSW0)* 一节。

7.3.4.4 CPSW5G

5 端口千兆位以太网交换机 (CPSW0) 子系统为器件提供以太网数据包通信，并可配置为以太网交换机。CPSW0 具有 1G 与 2.5G 串行千兆位媒体独立接口 (SGMII)、通用串行 10G 媒体独立接口 (USXGMII)、10G 外形接口 (XFI)、简化千兆位媒体独立接口 (RGMII)、简化媒体独立接口 (RMII) 以及用于物理层器件 (PHY) 管理的管理数据输入/输出 (MDIO) 接口。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*千兆位以太网交换机 (MCU_CPSW0)* 一节。

7.3.4.5 DCC

双时钟比较器 (DCC) 用于确定应用程序执行期间时钟信号的精度。具体而言，DCC 旨在检测相对于预期时钟频率的漂移。可以根据每个应用程序的计算结果对所需精度进行编程。DCC 使用另一个输入时钟作为基准来测量可选时钟源的频率。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*双时钟比较器 (DCC)* 一节。

7.3.4.6 DDRSS

此器件中的 DDR 子系统包含 DDR 控制器、DDR PHY 和包装器逻辑，用于将这些块集成到器件中。DDR 子系统被称为 DDRSS0，用于提供与外部 SDRAM 器件的接口，这些器件可用于存储程序或数据。具体而言，DDR 子系统支持符合 JEDEC JESD209-4B 标准的 LPDDR4 器件。DDRSS0 通过 MSMC 访问，而不是直接通过系统互连访问。

备注

DDRSS 不支持字节模式 LPDDR4 存储器或具有超过 17 行地址位的存储器。

有关更多信息，请参阅器件 TRM 的*外设*一章中的 *DDR 子系统 (DDRSS)* 一节。

7.3.4.7 ECAP

增强型捕捉 (ECAP) 模块可用于：

Copyright © 2026 Texas Instruments Incorporated

- 音频输入的采样速率测量
- 测量旋转机械的速度（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型捕获 (ECAP) 模块*一节。

7.3.4.8 EPWM

有效的 PWM 外设必须能够以最小的 CPU 开销或干预生成复杂的脉冲宽度波形。该外设需要高度可编程且非常灵活，同时易于理解和使用。此处介绍的 EPWM 单元通过在每个 PWM 通道的基础上分配所有需要的计时和控制资源来满足这些要求。避免了交叉耦合或资源共享；相反，EPWM 由具有独立资源的较小单通道模块构建而成，并且可以根据需要一起运行以形成系统。该模块化方法形成了正交架构，并提供了更透明的外设结构视图，帮助用户快速了解其运行原理。

在进一步的说明中，信号或模块名称中的字母 x 用于指示器件上的通用 EPWM 实例。例如，输出信号 EPWMxA 和 EPWMxB 指来自 EPWM_x 实例的输出信号。因此，EPWM1A 和 EPWM1B 属于 EPWM1，EPWM2A 和 EPWM2B 属于 EPWM2，依此类推。

此外，EPWM 集成允许将该同步方案扩展至捕获外设模块 (ECAP)。模块的数量取决于器件并基于目标应用需求。模块也可以独立运行。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型脉宽调制 (EPWM) 模块*一节。

7.3.4.9 ELM

错误定位模块 (ELM) 与 GPMC 一起使用。读取 NAND 闪存页面时动态生成并存储在 GPMC 寄存器中的伴随多项式被传递到 ELM。然后，主机处理器可以通过翻转 ELM 错误位置输出指向的位来纠正数据块。

从 NAND 闪存读取数据时，需要进行一定程度的纠错。对于没有内部校正功能的 NAND 模块（有时称为*裸 NAND*），校正过程由存储器控制器执行。ELM 还可用于支持并行 NOR 闪存或 NAND 闪存。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*错误定位模块 (ELM)* 一节。

7.3.4.10 ESM

错误信令模块 (ESM) 将整个器件中的事件和/或错误聚合到一个位置。它可以向处理器发出低优先级和高优先级中断信号，以处理事件和/或操纵 I/O 错误引脚，向外部硬件发出已发生错误的信号。因此，外部控制器能够使器件复位或使系统保持在安全、已知的状态。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*错误信令模块 (ESM)* 一节。

7.3.4.11 EQEP

增强型正交编码器脉冲 (EQEP) 外设用于与线性或旋转增量编码器进行直接连接，以便获取高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。增量编码器的盘上刻有单轨槽图案。这些槽形成暗线和亮线交替的图案。盘计数定义为每转出现的暗线/亮线对的数量（每转线数）。通常，添加第二个轨道，每转一次生成一个信号（索引信号：QEPI），可用于指示绝对位置。编码器制造商使用不同的术语（例如索引、标记、初始位置和零基准）来标识索引脉冲。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型正交编码器脉冲 (EQEP) 模块*一节。

7.3.4.12 GPIO

通用输入/输出 (GPIO) 外设提供专用的通用引脚，可以配置为输入或输出。当配置为输出时，用户可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，用户可以通过读取内部寄存器的状态来获取输入的状态。

此外，GPIO 外设可以在不同的中断/事件生成模式下产生主机 CPU 中断和 DMA 同步事件。

Copyright © 2026 Texas Instruments Incorporated

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用接口 (GPIO)* 一节。

7.3.4.13 GPMC

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式（仅在非多路复用模式下可用）突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用存储器控制器 (GPMC)* 一节。

7.3.4.14 Hyperbus

Hyperbus 模块是器件闪存子系统 (FSS) 的一部分。

Hyperbus 模块是一种引脚数较少的存储器接口，可提供较高的读取/写入性能。Hyperbus 模块连接至 Hyperbus 存储器（HyperFlash 或 HyperRAM），并使用简单的 Hyperbus 协议执行读取和写入事务。

该器件中有一个 Hyperbus™ 模块。Hyperbus 模块包括一个 Hyperbus 存储器控制器 (HBMC)。

有关更多信息，请参阅器件 TRM 的*外设*一章中的 *Hyperbus 接口*一节。

7.3.4.15 I2C

该器件包含 10 个多主内部集成电路 (I2C) 控制器，每个控制器都在 Arm 或数字信号处理器 (DSP) 等本地主机 (LH) 和通过 I^2C 串行总线连接的任何 I^2C 总线兼容型器件之间提供一个接口。连接到 I^2C 总线的外部元件可以通过 2 线 I^2C 接口以串行方式向 LH 设备发送和从其接收高达 8 位的数据。

每个多主 I2C 模块均可配置为主/从 I^2C 兼容型器件。

WKUP_I2C0、MCU_I2C0、I2C0 和 I2C1 控制器具有专用的 I^2C 兼容型开漏缓冲器，并支持高速模式（在 1.8V 模式下高达 3.4Mbps，在 3.3V 模式下高达 400kbps）。MCU_I2C1、I2C2、I2C3、I2C4、I2C5 和 I2C6 控制器与标准 LVCMOS I/O 进行多路复用，连接后对开漏进行仿真，并支持快速模式（在 1.8V/3.3V 模式下高达 400kbps）。通过将 LVCMOS 缓冲器配置为输出高阻态，而不是在发送逻辑 1 时驱动为高电平，可实现 I2C 仿真。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*内部集成电路 (I2C)* 一节。

7.3.4.16 I3C

该器件包含三个改进型内部集成电路 (I3C) 控制器，每个控制器都在 Arm 等本地主机 (LH) 和通过 I3C 串行总线连接的任何 I3C 总线兼容型器件之间提供一个接口。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*改进型内部集成电路 (I3C) 接口*一节。

7.3.4.17 MCAN

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力。在 CAN 网络中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存，不会发生任何冲突。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*模块化控制器局域网 (MCAN)* 一节。

7.3.4.18 MCASP

MCASP 作为通用音频串行端口的功能针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

Copyright © 2026 Texas Instruments Incorporated

尽管 MCASP 模块本身不支持元件间数字音频接口接收 (DIR) 模式（即 S/PDIF 流接收），但 MCASP 接收器的特定 TDM 模式实现允许轻松连接到外部 DIR 元件（例如，S/PDIF 到 I2S 格式转换器）。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道音频串行端口 (MCASP)* 一节。

7.3.4.19 MCRC 控制器

VBUSM CRC 控制器是一个用于执行 CRC（循环冗余校验）以验证存储系统完整性的模块。当存储器中的内容被读入 MCRC 控制器时，一个信号代表得到了内存内容。MCRC 控制器的职责是为一组数据计算签名，然后将计算出的签名值与预先确定的良好签名值进行比较。MCRC 控制器提供四个通道对多个存储器并行执行 CRC 计算，并且可以在任何存储器系统上使用。通道 1 也可置于数据跟踪模式，在此模式中，MCRC 控制器压缩通过 CPU 读取数据总线读取的数据。

有关更多信息，请参阅器件 TRM 的*处理器间通信*一章中的 *MCRC 控制器*一节。

7.3.4.20 MCSPI

MCSPI 模块是多通道发送/接收、主/从同步串行总线。

该器件中共有十一个 MCSPI 模块。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

7.3.4.21 MMC/SD

MMCSD 主机控制器提供用于连接 eMMC 5.1（嵌入式多媒体卡）、SD 4.10（安全数字）和 SDIO 4.0（安全数字 IO）器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多媒体卡/安全数字 (MMC/SD) 接口*一节。

7.3.4.22 OSPI

八路串行外设接口 (OSPI™) 模块是一种串行外设接口 (SPI) 模块，允许对外部闪存器件进行单路、双路、四路或八路读取和写入访问。

OSPI 模块用于以存储器映射直接模式（例如处理器希望直接从外部闪存执行代码）传输数据或以间接模式传输数据，其中模块设置为静默执行某些请求的操作，通过中断或状态寄存器发出完成信号。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*八路串行外设接口 (OSPI)* 一节。

7.3.4.23 PCIE

外围组件快速互连 (PCIe) 子系统围绕多通道双模 PCIe 控制器构建而成，可为背板和印刷线路板上的串行链路提供低引脚数、高可靠性和每通道高达 8.0Gbps 的高速数据传输速率。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*外设组件快速互连 (PCIe) 子系统*一节。

7.3.4.24 串行器/解串器

串行器/解串器的目标是将器件 (SoC) 并行数据转换为可通过高速电气接口输出的串行数据。在相反的方向上，串行器/解串器将高速串行数据转换为可由器件处理的并行数据。为此，串行器/解串器包含各种功能块来处理外部模拟接口以及内部数字逻辑。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*串行器/解串器 (SerDes)* 一节。

7.3.4.25 WWDT

窗口化看门狗计时器为操作系统和基准代码提供计时器功能。该模块包含几个计数器，这些计数器定义了操作系统内进行调度时所需的时基。该模块与 RTI 模块一起实施，但仅支持 WWDT。

此模块专为满足 OSEK（“Offene Systeme und deren Schnittstellen für die Elektronik im Kraftfahrzeug”，即“汽车电子类开放系统和对应接口”）以及符合 OSEK/Time 标准的操作系统的要求而设计。

Copyright © 2026 Texas Instruments Incorporated

有关更多信息，请参阅器件 TRM 的*外设*一章中的*实时中断 (RTI) 模块*一节。

7.3.4.26 计时器

所有计时器均包含特定功能，可为操作系统生成精确的节拍中断。

每个计时器均可根据多个不同的独立时钟进行计时。时钟源的选择在 MCU_CTRL_MMR0/CTRL_MMR0 的寄存器中进行。

在 MCU 域中，器件提供 10 个计时器引脚用作 MCU 计时器捕捉输入或 MCU 计时器 PWM 输出。为了提供最大的灵活性，这 10 个引脚可以用于 MCU_TIMER0 至 MCU_TIMER9 的任意实例。系统级多路复用器用于控制每个 MCU_TIMER[9-0] 输出的捕捉源引脚和每个 MCU_TIMER_IO[9-0] PWM 输出的 MCU_TIMER[9-0] 源。

在 MAIN 域中，器件提供 8 个计时器引脚用作计时器捕捉输入或计时器 PWM 输出。为实现最大灵活性，这 8 个引脚可以用于 TIMER0 至 TIMER19 的任意实例。系统级多路复用器用于控制每个 TIMER[19-0] 的捕捉源引脚和每个 TIMER_IO[7-0] PWM 输出的 TIMER[19-0] 源。

可以选择将每个域中的每个奇数计时器实例与同一域中之前的偶数计时器实例进行级联，从而形成一个 64 位计时器。例如，TIMER1 可以级联到 TIMER0，MCU_TIMER1 可以级联到 MCU_TIMER0，以此类推。

级联后，TIMERi 充当 TIMERi+1 的 32 位预分频器，MCU_TIMERn 也充当 MCU_TIMERn+1 的 32 位预分频器。必须配置 TIMERi/MCU_TIMERn 以所需速率生成 PWM 输出边沿，从而使 TIMERi+1/MCU_TIMERn+1 计数器递增。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*计时器*一节。

7.3.4.27 UART

UART 是一种利用 DMA 通过主机 CPU 进行数据传输或中断轮询的从外设。该器件中共有十二个 UART 模块。当使用 48MHz 功能时钟时，所有 UART 模块都支持 IrDA 和 CIR 模式。每个 UART 均可用于配置和与多个外部外围器件的数据交换或器件之间的处理器间通信。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用同步/异步接收器/发送器 (UART)* 一节。

7.3.4.28 USB

与早期版本的 USB 总线类似，USB 3.0 为通用电缆总线，支持主机设备与多种可同时访问的外设之间的数据交换。

该器件支持一个 USB 子系统：

- USB3SS0 是具有片上 SS (USB3.0) PHY 和 HS/FS/LS (1) (USB2.0) PHY 的 SuperSpeed (SS) USB 3.0 双角色设备 (DRD) 子系统

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用串行总线 (USB) 子系统*一节。

Copyright © 2026 Texas Instruments Incorporated

8 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 电源映射

TPS6594x 和 LP8764x 是电源管理 IC (PMIC)，应用于支持该器件的配电网络 (PDN) 设计。TI 需要使用这些 PMIC，原因如下：

- TI 已经验证了它们可以与该器件配合使用
- 针对整个系统对包括瞬态响应和输出精度在内的板级裕度进行了分析和优化
- 支持电源时序控制要求（请参阅节 6.10.2 *电源时序控制*）
- 支持自适应电压调节 (AVS) 0 级要求，包括 TI 提供的软件

当允许将器件电压域组合到某个公共电源轨中时，必须为该公共电源轨实施最严格的电压域 PDN 指南。

在某些系统中可能未使用某些器件电压域。在这种情况下，所有未使用的电压域电源引脚仍必须连接到具有适当电压电平的有效电源轨，以确保器件的可靠性（请参阅第 4.3 节“信号说明”）。例如，如果未使用 MCU，则 vdd_mcu 域可以与具有相同电压规格的内核域 (vdd_core) 结合使用。连接到公共电源轨的降压转换器功率级随后将为内核域和 MCU 域供电。

对于组合电源轨，以下弛豫适用：

- 需要使用组合电源轨中有效电源轨的 AVS 电压来设置电源
- 应根据组合电源轨中的有效电源轨来设置去耦电容

图 8-1 显示了处理器与 TPS659414-Q1 和 LP876441-Q1 PMIC 之间的详细电源映射示例。在该配置中，两个 PMIC 器件均使用 3.3V 输入电压。有关更多详细信息，请参阅标题为“使用 TPS6594-Q1 和 LP8764-Q1 PMIC 为 DRA821 供电用户指南”的应用手册。

Copyright © 2026 Texas Instruments Incorporated

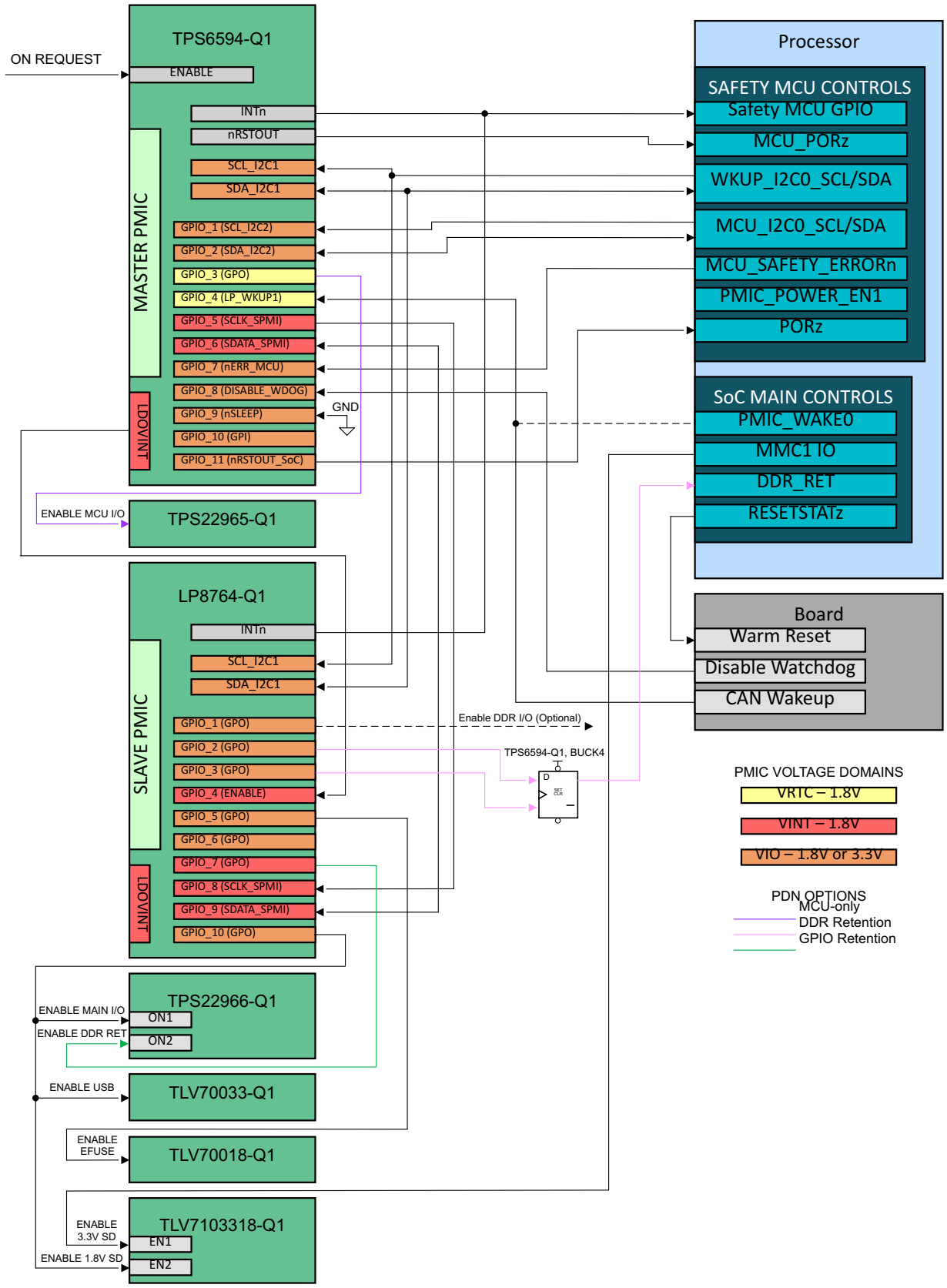


图 8-1. TPS6594-Q1 和 LP8764-Q1 的数字连接

表 8-1. 组合 MCU 与主电压域电源轨映射

类型	电压 [V]	域名	域类型	电源轨	#
数字 IO	3.3	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU、VDDSHV0、VDDSHV2、VDDSHV5(3)) (1)、VDDA_3P3_USB(4)	VDDSHVn_MCU、VDDSHVn、VDDA_3P3_USB(1)	VDD_IO_3V3	1
数字 IO	1.8	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU、VDDSHV0、VDDSHV2、VDDSHV5(3)) (2)、VDDS_MMC0	VDDSHVn_MCU3 VDDSHVn(2)、(3)	VDD_IO_1V8	2
模拟 PHY	1.8	(VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_ADC_MCU、VDDA_POR_WKUP、VDDA_WKUP、VDDA_OSC1、VDDA_PLLGRP8,6,4,0、VDDA_TEMP1:0) (5)、VDDA_1P8_USB、VDDA_1P8_SERDES) (6)	VDDA_1P8_<clk/meas>(5)、VDDA_1P8_<phy>(6)	VDA_LN_1V8(6)、(7)	3
模拟、低电压	0.80	(VDDA_0P8_PLL_DDR、VDDA_0P8_DLL_MMC0) (7)	VDDA_0P8_DPLL	VDA_DPLL_0V8	4
数字、AVS 低电压	0.77 - 0.84	VDD_CPU	VDD_CPU	VDD_CPU_AVS	5
数字、低电压	0.80	VDD_MCU9、VDD_MCU_WAKE1、VDD_CORE、VDD_WAKE0、(VDDA_0P8_SERDES、VDDA_0P8_USB)	VDD_MCU VDD_CORE、VDDA_0P8_<phy>	VDD_CORE_0V8	6
数字、低电压	0.85	VDDAR_MCU、VDDAR_CORE、VDDAR_CPU	VDDAR	VDD_RAM_0V85	7
数字、低电压	1.1	VDDS_DDR_BIAS、VDDS_DDR、VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	8

(1) 任何 MCU 或 Main 双电压 IO 域 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口。
(2) 任何 MCU 或 Main 双电压 IO 域 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口。
(3) VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。
(4) VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。
(5) VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果分组在一起，则需要进行直列式铁氧体磁珠电源滤波。

Copyright © 2026 Texas Instruments Incorporated

(6) VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

(7) VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

表 8-2. 独立 MCU 与主电压域电源轨映射

类型	电压 [V]	域名	域组	电源轨	#
数字 IO	3.3	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU) (1)	VDDSHVn_MCU	VDD_MCUIO_3V3	1
数字 IO	3.3	(VDDSHV0、VDDSHV2、VDDSHV5(3)) 2、VDDA_3P3_USB(4)	VDDSHVn、VDDA_3P3_USB1(1)	VDD_IO_3V3	2
数字 IO	1.8	(VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2_MCU) (2)	VDDSHVn_MCU(2)	VDD_MCUIO_1V8	3
数字 IO	1.8	(VDDSHV0、VDDSHV2、VDDSHV5(3)) (2)、VDDS_MMC0	VDDSHVn(2) (3)	VDD_IO_1V8	4
模拟时钟、测量	1.8	(VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_ADC_MCU、VDDA_POR_WKUP、VDDA_WKUP) (2)	VDDA_MCU1P8_<clk/meas>	VDA_MCU_1V8	5
模拟时钟、测量	1.8	VDDA_OSC1、VDDA_PLLGRP8,6,4,0、VDDA_TEMP1:0	VDDA_1P8_<clk/meas>	VDA_PLL_1V8	6
模拟 PHY	1.8	(VDDA_1P8_USB、VDDA_1P8_SERDES) (5)	VDDA_1P8_<phy>(5)	VDA_PHY_1V8(6)	7
模拟、低电压	0.80	(VDDA_0P8_PLL_DDR、VDDA_0P8_DLL_MMC0) (6)	VDDA_0P8_DPLL	VDA_DLL_0V8	8
数字、低电压	0.85	VDD_MCU(7)、VDD_MCU_WAKE1、VDDAR_MCU	VDD_MCU、VDDAR_MCU	VDD_MCU_0V8	
数字、AVS 低电压	0.77 - 0.84	VDD_CPU	VDD_CPU	VDD_CPU_AVS	9
数字、低电压	0.80	VDD_CORE、VDD_WAKE0、(VDDA_0P8_SERDES、VDDA_0P8_USB)	VDD_CORE、VDDA_0P8_<phy>	VDD_CORE_0V8	10
数字、低电压	0.85	VDDAR_CORE、VDDAR_CPU	VDDAR	VDD_RAM_0V85	11
数字、低电压	1.1	VDDS_DDR_BIAS、VDDS_DDR、VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	12

(1) 任何 MCU 或 Main 双电压 IO 域 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口。

(2) 任何 MCU 或 Main 双电压 IO 域 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口。

(3) VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。

Copyright © 2026 Texas Instruments Incorporated

(4) VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

(5) VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

(6) VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

(7) VDD_MCU 是一个具有宽工作电压范围的数字电压域，因此可将其与 VDDAR_MCU 域或 VDD_CORE 组合在一起；对于“隔离式 MCU 和 Main 域上电时序”，VDD_MCU 可与 VDDAR_MCU 组合在一起；VDD_MCU 必须在 T2 前斜升。如果 VDDAR_MCU 未与 VDD_MCU 组合在一起，则 VDDAR_MCU 必须在 T3 处斜升。

8.2 器件连接和布局基本准则

8.2.1 电源去耦和大容量电容

8.2.1.1 配电网络实施指南

Sitara 处理器配电网络：实施与分析为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI *仅* 支持遵循此应用报告中所包含的电路板设计指南的设计。

8.2.2 外部振荡器

有关外部振荡器的更多信息，请参阅节 6.10.4 *时钟规格*

8.2.3 JTAG 和 EMU

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。XDS 目标连接指南中提供了有关此信息的摘要。

更多有关 EMU 布线的建议，请参阅仿真和跟踪接头技术参考手册。

8.2.4 复位

该器件包括四个外部复位引脚（MCU_PORz、MCU_RESETz、PORz 和 RESET_REQz）和两个复位状态引脚（MCU_RESETSTATz 和 RESETSTATz）。这些引脚可由外部电源正常电路或电源管理 IC (PMIC) 驱动。在整个上电阶段，MCU_PORz 和 Main PORz 引脚应保持低电平有效，直到所有电源以及 HFOSC0 时钟达到稳定状态。

所有 MCU 域复位充当整个器件的主复位，而 Main 域复位仅复位 Main 域（MCU 域的复位与所有 Main 域复位隔离）。

8.2.5 未使用的引脚

有关未使用引脚的更多信息，请参阅 节 5.5：*未使用引脚的连接*

8.2.6 Jacinto™ 7 器件硬件设计指南

“Jacinto™ 7 器件硬件设计指南”文档说明了 Jacinto™ 7 系列处理器的硬件系统设计注意事项。此设计指南旨在为应用硬件开发提供帮助。

8.3 外设和接口的相关设计信息

8.3.1 LPDDR4 电路板设计和布局布线指南

Jacinto 7 DDR 电路板设计和布局布线指南 旨在为所有设计人员简化 LPDDR4 系统的实现，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中的指南并使用 LPDDR4 存储器的电路板设计。

8.3.2 OSPI 和 QSPI 电路板设计和布局指南

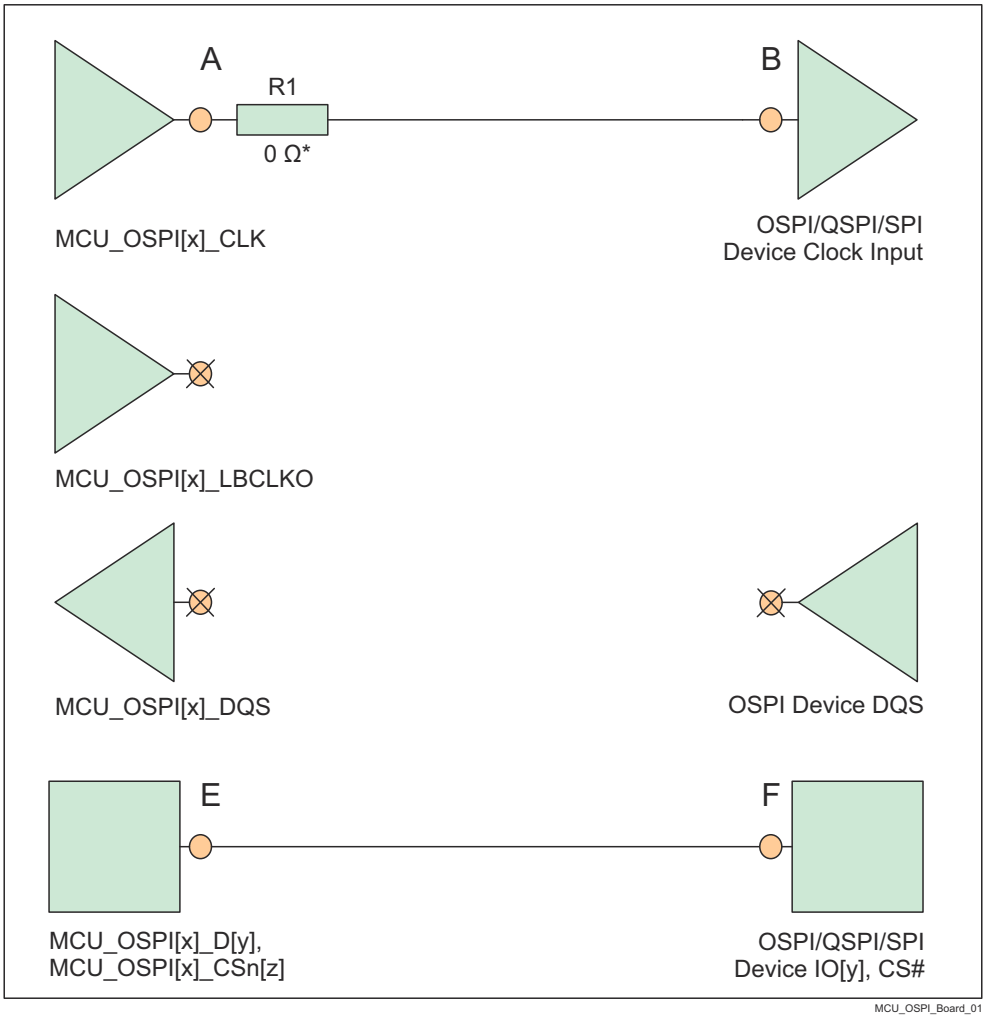
以下各节详细介绍了在进行 QSPI 和 QSPI 接口布线时必须遵守的布线指南。

8.3.2.1 无环回和内部焊盘环回

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚

Copyright © 2026 Texas Instruments Incorporated

- 从 MCU_OSPI[x]_CLK 信号到闪存器件的信号传播延迟必须 < 450ps（带状线约为 7cm，微带线约为 8cm）
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-2 所示
- 传播延迟和匹配：
  - A 到 B < 450ps
  - 匹配偏斜：< 60ps



* 尽可能靠近 MCU_OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

图 8-2. OSPI 接口概要原理图

8.3.2.2 外部电路板环回

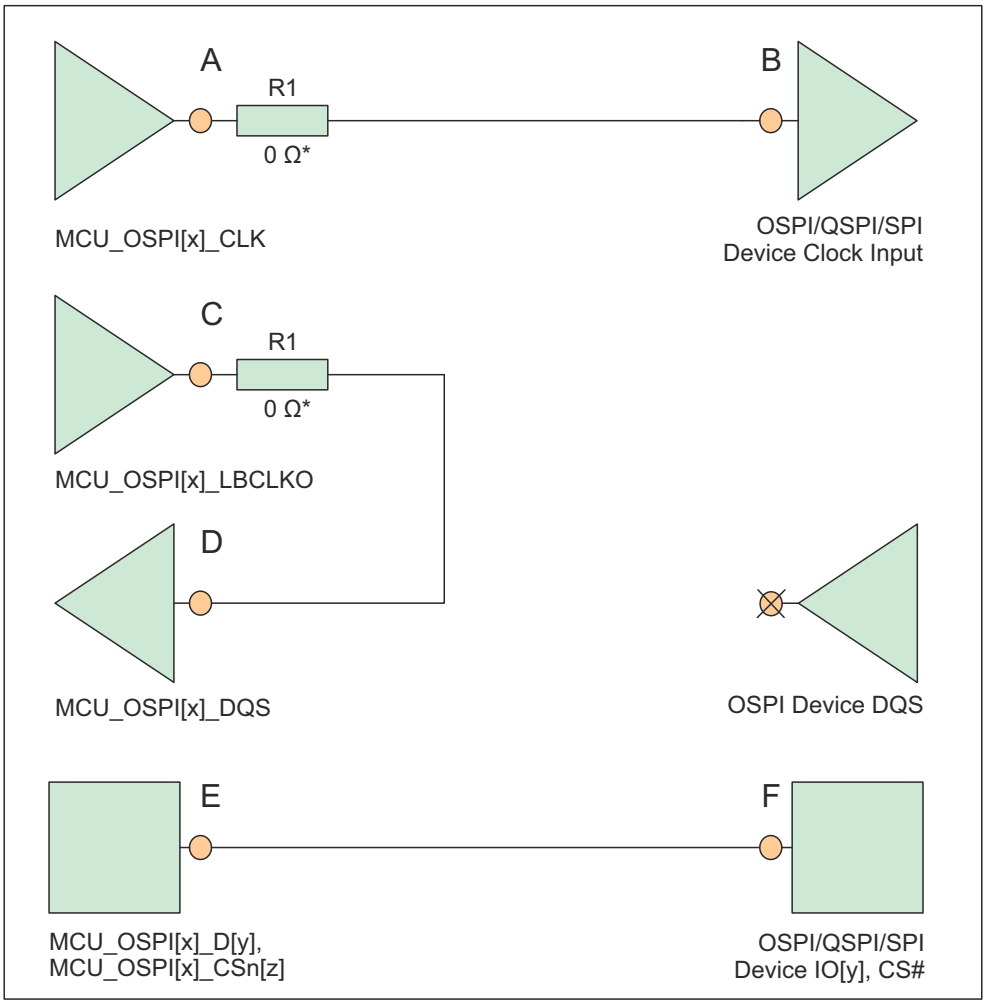
- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- MCU_OSPI[x]_LBCLKO 输出信号必须环回到 MCU_OSPI[x]_DQS 输入
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚（A 到 B）的信号传播延迟应约等于从 MCU_OPSI[x]_LBCLKO 引脚到 MCU_OSPI[x]_DQS 引脚的信号传播延迟的一半，即（C 到 D）/2。请参阅以下注意事项
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚（A 到 B）的信号传播延迟必须约等于闪存器件和 SoC 器件（E 到 F 或 F 到 E）之间控制和数据信号的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-3 所示
- 传播延迟和匹配：
  - A 到 B = E 到 F =（C 到 D）/2

Copyright © 2026 Texas Instruments Incorporated

– 匹配偏斜：< 60ps

备注

OSPI 电路板环回保持时间要求（在节 6.10.5.18 “*OSPI*”中进行了介绍）大于典型闪存器件提供的保持时间。因此，可以缩短 MCU_OPSI[x]_LBCLKO 引脚到 MCU_OSPI[x]_DQS 引脚（C 到 D）的长度以进行补偿。



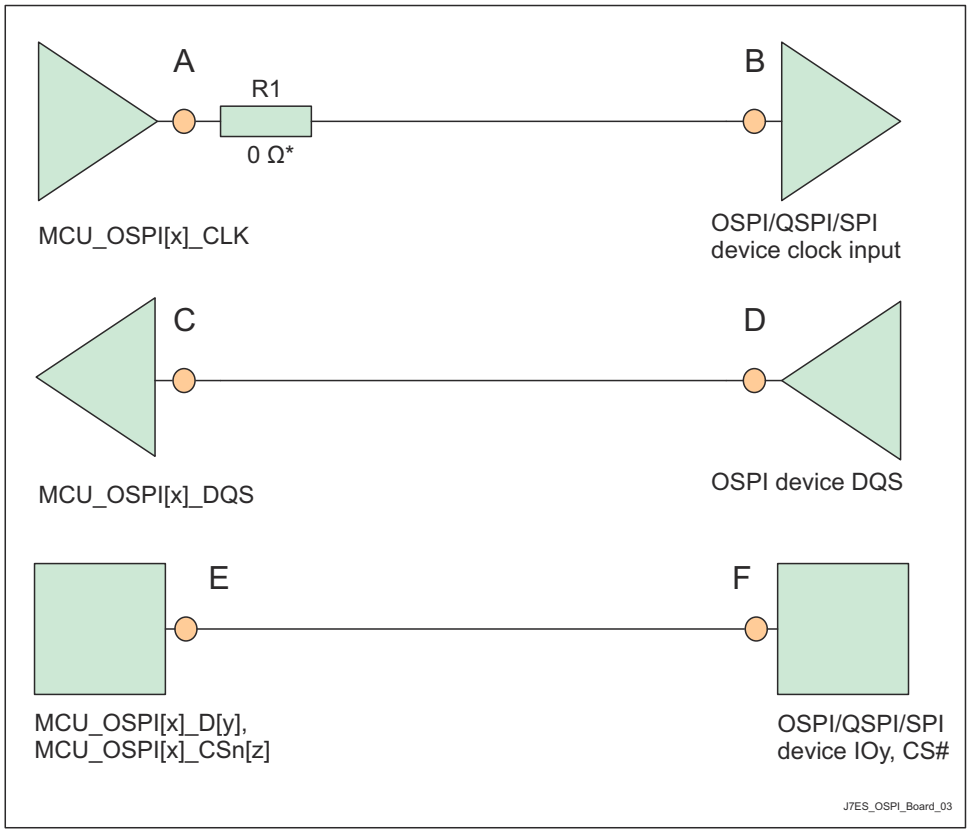
* 尽可能靠近 MCU_OSPI[x]_CLK 和 MCU_OSPI[x]_LBCLKO 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

图 8-3. OSPI 接口概要原理图

8.3.2.3 DQS（仅适用于八路闪存器件）

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- 闪存器件的 DQS 引脚必须连接到 MCU_OSPI[x]_DQS 信号
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚（A 到 B）的信号传播延迟应约等于从 MCU_OSPI[x]_DQS 引脚到 DQS 输出引脚（C 到 D）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-4 所示
- 传播延迟和匹配：
  - A 到 B = C 到 D
  - 匹配偏斜：< 60ps

Copyright © 2026 Texas Instruments Incorporated



* 尽可能靠近 MCU_OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

图 8-4. OSPI 接口概要原理图

8.3.3 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些汽车应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压（如图 8-5 所示），这限制了施加到实际器件引脚 (USB0_VBUS) 的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。(1)

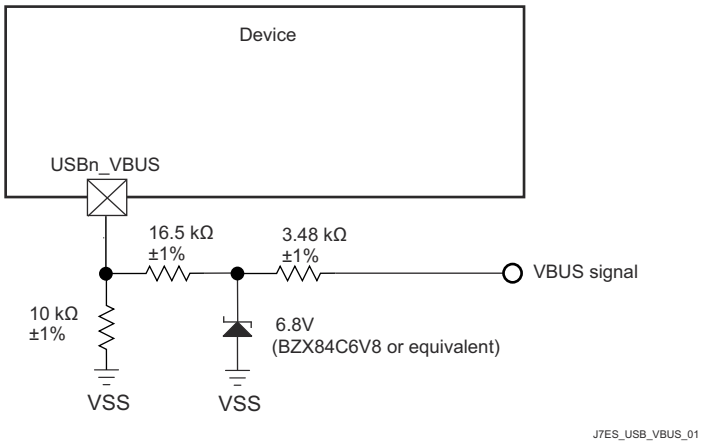


图 8-5. USB VBUS 检测分压器/钳位电路

USB0_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 8-5 中的外部电路会限制实际器件引脚的输入电流。

8.3.4 系统电源监测设计指南

VMON1_ER_VSYS 引脚提供了一种监测系统电源的方法。该系统电源通常是用于整个系统的单个预稳压电源。监测该电源的方法是将该电源供电的外部分压器电路的输出电压与内部电压基准进行比较，当施加到 VMON1_ER_VSYS 的电压降至内部基准电压以下时，将触发电源故障事件。在选择用于实现外部电阻分压器电路的元件值时，系统设计人员可确定实际系统电源电压跳闸点。在设计电阻分压器电路时，必须了解导致系统电源监测跳闸点可变性的各种因素，这一点很重要。首先要考虑的是 VMON1_ER_VSYS 输入阈值的初始精度，其标称值为 0.45V，变化为 ±3%。建议使用具有相似热系数的精度为 1% 的电阻器来实现电阻分压器。这可更大程度地减小电阻值容差导致的可变性。还必须考虑与 VMON1_ER_VSYS 相关的输入漏电流，因为任何流入引脚的电流都会在分压器输出上产生负载误差。当施加 0.45V 电压时，VMON1_ER_VSYS 输入漏电流范围可能为 10nA 至 2.5μA。

备注

电阻分压器的设计应确保在正常运行条件下，其输出电压绝不超过节 6.3 *建议运行条件* 中定义的最大值。

图 8-6 给出了一个示例，其中系统电源的标称电压为 5V，最大触发阈值为 5V - 10% 或 4.5V。

对于此示例，必须在选择电阻值时了解哪些变量会影响最大触发阈值，这一点很重要。显然，在尝试设计一个在系统电源下降 10% 之前不会跳闸的分压器时，需要考虑 VMON1_ER_VSYS 输入阈值为 0.45V + 3% 的器件。还需要考虑电阻器容差和输入漏电流的影响，但这些因素对最大触发点的影响可能并不明显。在选择会产生最大触发电压的元件值时，系统设计人员必须考虑以下情况：R1 的值为 1% 低、R2 的值为 1% 高，再加上 VMON1_ER_VSYS 引脚的输入漏电流为 2.5μA。当实现 R1 = 4.81KΩ 且 R2 = 40.2KΩ 的电阻分压器时，结果是最大触发阈值为 4.523V。

一旦选择了满足上述最大触发电压的元件值，系统设计人员就可以通过计算施加的电压来确定最小触发电压，该电压可在 R1 的值为 1% 高、R2 的值为 1% 低且输入漏电流为 10nA 或零时产生 0.45V - 3% 的输出电压。使用零输入漏电流和上面给出的电阻器值，结果为最小触发阈值 4.008V。

该示例演示了一个范围为 4.008V 至 4.523V 的系统电源电压跳闸点。当 VMON1_ER_VSYS 输入漏电流为 2.5μA 时，该范围中约 250mV 是通过 ±3% 的 VMON1_ER_VSYS 输入阈值精度引入的，约 150mV 是通过 ±1% 的电阻容差引入的，约 100mV 是通过负载误差引入的。

当系统电源为 4.5V 时，该示例中选择的电阻值会通过电阻分压器产生大约 100μA 的偏置电流。通过将流经电阻分压器的偏置电流增大至大约 1mA，可将上述 100mV 的负载误差降低至大约 10mV。因此，系统设计人员在选择元件值时需要考虑电阻分压器偏置电流与负载误差之间的关系。

由于 VMON1_ER_VSYS 具有极小的迟滞和对瞬态的高带宽响应，系统设计人员还应考虑在分压器输出端实现噪声滤波器。这可通过在 R1 上安装一个电容器来实现，如图 8-6 所示。然而，系统设计人员必须根据系统电源噪声和对瞬态事件的预期响应来确定此滤波器的响应时间。

图 8-6 给出了一个示例，其中系统电源的标称电压为 5V，所需的触发阈值为 -10% 或 4.5V。

Copyright © 2026 Texas Instruments Incorporated

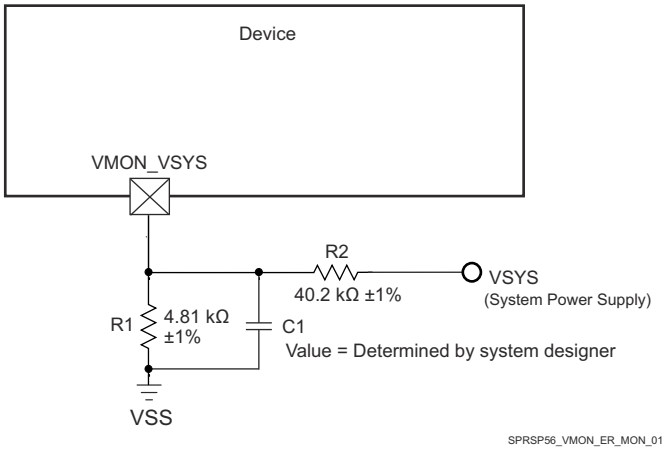


图 8-6. 系统电源监测分压器电路

VMON2_IR_VCPU 引脚提供了一种监测 VDD_CPU 电源的方法。TI 建议在外部将 VMON2_IR_VCPU 引脚连接到尽可能靠近电路板上 VDD_CPU 引脚的位置。

VMON3_IR_VEXT1P8 和 **VMON4_IR_VEXT1P8** 引脚提供了一种监测外部 1.8V 电源的方法。**VMON5_IR_VEXT3P3** 引脚提供了一种监测外部 3.3V 电源的方法。SoC 内部实施了一个具有软件控制功能的内部电阻分压器。软件可以对这个内部电阻分压器进行编程，以创建适当的欠压和过压中断。这些引脚不应由外部电阻分压器供电。如果监测的电压需要调整，请务必在连接到监测引脚之前缓冲分压电压。

8.3.5 高速差分信号布线指南

高速接口布局布线指南提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI *仅* 支持遵循此应用报告中所包含的电路板设计指南的设计。

8.3.6 散热解决方案指导

DSP 和 ARM 应用处理器热设计指南为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用报告中所包含的系统设计指南的设计。

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或无（无前缀）（例如，DRA821）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 ALM 封装类型的 DRA821 器件的可订购器件型号，请参阅本文档的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

Copyright © 2026 Texas Instruments Incorporated

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

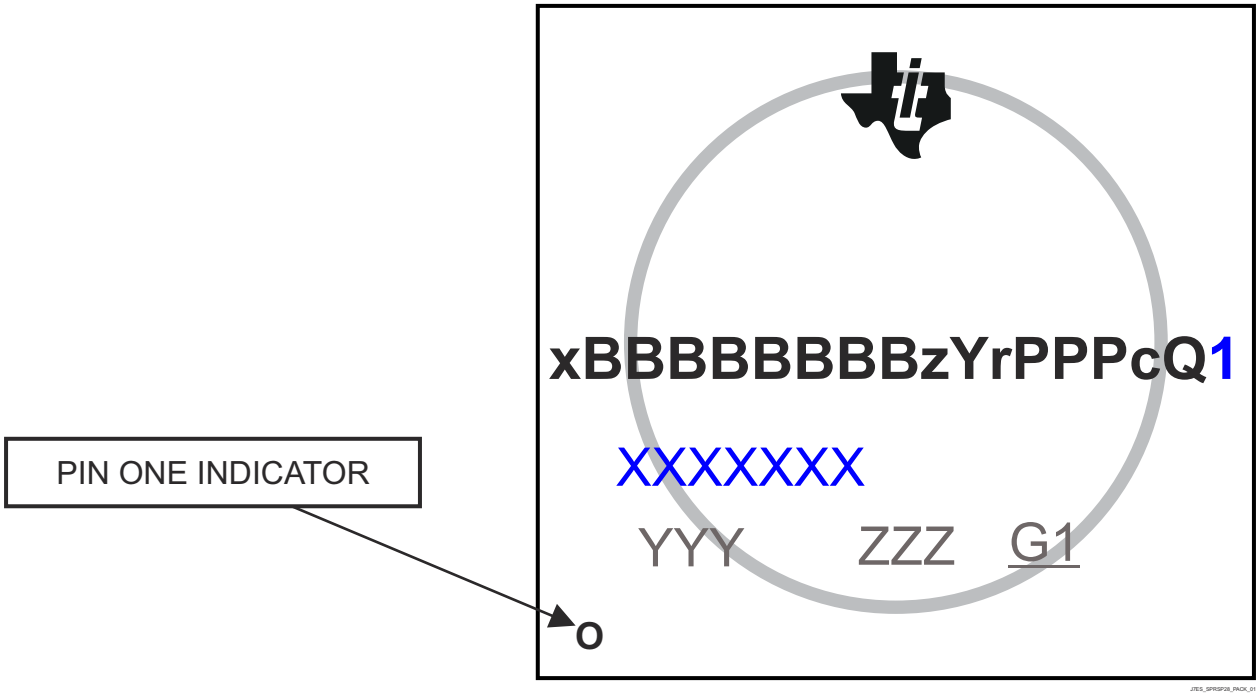


图 9-1. 印刷器件参考

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值		说明
		标识	可订购产品	
x(1)	器件演变阶段	X		原型
		P		预量产（生产测试流程，无可靠性数据）
		空白		量产
BBBBBBBB(3)	基本生产器件型号	J7200		请参阅表 4-1，*器件比较*
		DRA821U4		
		DRA821U2		
z	器件速度	T		请参阅表 6-1，*速度等级最大频率*
		L		
		E		
		C		
		其他		其他速度等级
Y	器件类型(4)	G		通用
		C		通用，可实现 R5F 锁步
		0		具有高安全性
		5		具有高安全性，支持 R5F 锁步
		R		具有高安全性 Prime(4)，支持 R5F 锁步
		D		具有高安全性，支持 R5F 锁步功能，客户开发密钥（预览版）(5)
		P		具有高安全性 Prime(4)，支持 R5F 锁步，客户开发密钥（预览版）(5)
r	器件修订版本	A 或空白		SR 1.0
		B		SR 2.0
PPP	封装符号	ALM		ALM FCBGA-N433 (17.2mm × 17.2mm) 封装
c	包装符号	不适用	空白	托盘
	包装符号	不适用	R	卷带包装
Q1(2)	汽车符号	空白		不符合汽车标准。 支持 T_J = –40 °C 至 105°C
		Q1		符合 AEC-Q100 认证要求，但本文档（数据表）中指定的情况例外 支持 T_J = –40°C 至 125°C
XXXXXXX	批次追踪代码	按照标记	不适用	批次追踪代码 (LTC)
YYY	生产代码	按照标记	不适用	生产代码；仅供 TI 使用
ZZZ	生产代码	按照标记	不适用	生产代码；仅供 TI 使用
O	引脚 1	按照标记	不适用	引脚 1 符号
G1	ECAT	按照标记	不适用	ECAT — 环保封装符号

(1) 为了标明产品开发周期的阶段，TI 为所有器件型号分配了前缀。这些前缀代表了产品开发的进展阶段，即从工程原型直到完全合格的生产器件。
原型器件在供货时附带如下免责声明：
“本产品仍在开发中，用于内部评估。”
无论是否有相反规定，TI 均不作任何明示、默示或法定的保证，包括对此器件特定用途的适用性和适销性的任何暗示保证。
(2) 适用于器件最高结温。
(3) 具有 X 速度等级指示符的 XJ7200GALM 基本器件型号是超集器件的器件型号。软件应限制用于匹配预期生产器件的功能和速度。
(4) 要获得高安全性 (HS) 器件支持，TI 建议使用 0、5 或 D 器件类型。对于大多数应用，不建议使用 R 和 P（*高安全性 Prime*）器件类型，因为其在制造过程中需要额外的步骤，因此这些器件类型的价格较高。

Copyright © 2026 Texas Instruments Incorporated

(5) 仅在预量产 J7200 器件上提供。（预告信息/预览版）

备注

符号和器件号中的空白将折叠显示，以防字符间存在间隙。

Copyright © 2026 Texas Instruments Incorporated

9.2 工具与软件

以下产品支持面向 DRA821 平台的开发工作：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SYSCONFIG Tool 系统配置工具：为了帮助简化配置和加速软件开发，TI 创建了一个直观而全面的图形实用工具 SysConfig，用于配置引脚、外设、无线电、子系统和其他元件。SysConfig 可助您直观地管理、发现和解决冲突，以便您有更多时间创建差异化应用。SysConfig 工具作为独立安装程序集成在 Code Composer Studio™ (CCS) IDE 中，也可以通过 dev.ti.com 云工具门户使用。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

Copyright © 2026 Texas Instruments Incorporated

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 DRA821 器件进行了介绍。

技术参考手册

J7200 DRA821 处理器器件修订版本 1.0 德州仪器 (TI) 产品系列技术参考手册详述了 DRA821 系列器件中每一个外设和子系统的集成、环境、功能说明以及编程模型。

勘误

J7200 DRA821 处理器器件修订版本 1.0 器件勘误表描述了器件功能技术规格的已知例外情况。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

I2C™ is a trademark of NXP Semiconductors.
eMMC™ is a trademark of MultiMediaCard Association.
Xccela™ is a trademark of Micron Technology, Ink.
HyperBus™ is a trademark of Mobiveil Inc.
Jacinto™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
PCI-Express® is a registered trademark of PCI-SIG.
I3C® is a registered trademark of MIPI Alliance, Inc.
安全数字® is a registered trademark of SD Card Association.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

10 修订历史记录

Changes from JUNE 30, 2023 to JUNE 9, 2026 (from Revision E (June 2023) to Revision F (June 2026)) **Page**

- **通篇**：在适用的情况下，将 PMIC_WAKE0 和 PMIC_WAKE1 信号中的信号类型“OD”更新/更改为“O”，并删除了“n”后缀 1
- （特性）：删除了“DMIPS”参考 1
- （功能方框图）：添加了 SDK 软件构建表注释 2
- （器件比较）：添加了 SDK 软件构建表注释 5
- （器件比较）：添加了 JTAG 用户 ID 寄存器位字段 [CTRLMMR_WKUP_JTAG_USER_ID[31:16] "DEVICE_ID"]；将 DEVICE_ID 位字段值与每个 GPN 关联；添加/更改了相关脚注 5
- （引脚属性）：向 *引脚属性* 表中 MMC0_* 引脚的“焊球复位状态”列添加了复位状态 9
- （系统信号说明）：更新了 OBSCLK 信号说明 79
- （VMON 信号说明）：更新了 VMON2_IR_VCPU 信号说明 80
- （SERDES 电气特性）：更新了“USXGMII 支持……”注释 107
- （建议的 OTP 电子保险丝编程操作条件）：删除了 VDD_CORE 和 VDD_MCU 参数说明中的 OPP NOM (BOOT) 参考 108
- （对硬件保修的影响）：更新/更改了段落中的“因此，TI 将没有…”句子 108
- （温度传感器特性）：添加了新的一节来定义电压和温度模块 (VTM) 片上温度传感器特性 110
- （组合式 MCU 域和 Main 域上电时序）：更新了以“VDD_MCU 是数字电压域…”开头的注释，以澄清 VDD_MCU 分组和序列限制 113
- （组合式 MCU 域和 Main 域下电时序 - 选项 1：）添加了“选项 1” 115
- （组合式 MCU 域和 Main 域下电时序 - 选项 2：）添加了“选项 2”一节（*新*） 115
- （独立的 MCU 域和 Main 域上电时序）：更新了以“VDD_MCU 是数字电压域…”开头的注释，以澄清 VDD_MCU 分组和序列限制 118
- （独立的 MCU 域和 Main 域下电时序 — 选项 1）：添加了“选项 1” 120
- （独立的 MCU 域和 Main 域下电时序 — 选项 2）：添加了“选项 2”一节（*新*） 120
- （独立的 MCU 域和 Main 域，仅 MCU 时序的进入和退出）：更新了标记有“WKUP_*”的振荡器的波形，以指示这些信号保持激活状态。更新了 MCU_PORz 波形，以反映其保持置为有效状态，因为 MCU 侧未发生引导-模式重新锁存。 122
- （独立的 MCU 域和 Main 域，DDR 保持状态的进入和退出）：更新了标记有“WKUP_*”的振荡器的波形，以指示这些信号保持激活状态。更新了 MCU_PORz 波形，以反映其保持置为有效状态，因为 MCU 侧未发生引导-模式重新锁存。 123
- （独立的 MCU 域和 Main 域，GPIO 保持时序的进入和退出）：更新了标记有“WKUP_*”的振荡器的波形，以指示这些信号保持激活状态。更新了 MCU_PORz 波形，以反映其保持置为有效状态，因为 MCU 侧未发生引导-模式重新锁存。 124
- （系统时序）：删除了系统时序条件表，并介绍了复位、安全信号和时钟时序的专用时序条件表 126
- （WKUP_OSC0 内部振荡器时钟源）：更新/更改了 *WKUP_OSC0 晶体电气特性* 表中的 C_{shunt} 晶体电路并联电容内容 137
- （OSC1 开关特性 - 晶体模式 [表]）：更新/更改了 XI 和 XO 电容最大值 141
- （辅助 OSC1 内部振荡器时钟源）：更新/更改了 *OSC1 晶体电气特性* 表中的 C_{shunt} 晶体电路并联电容内容 141
- （MCSPI 时序要求 - 控制器模式）：将 SM1 tc(spiclk) 周期时间 (SPI_CLK) 最小值从“20.8ns”更新/更改为“20ns” 197
- （MCSPI 开关特性 - 外设模式）：将 SS1 tc(spiclk) 周期时间 (SPI_CLK) 最小值从“20.8ns”更新/更改为“20ns” 200
- （所有时序模式的 MMC0 DLL 延迟映射）：为 MMCSD0_SS_PHY_CTRL_1_REG [x=1] 添加了一个新列，并为所有工作模式添加了相关值。更新了 *HS DDR* 模式的 ITAPDLYSEL 位字段值。更新了 *旧 SDR* 和 *HS*

Copyright © 2026 Texas Instruments Incorporated

SDR 模式的 SELDLYTXCLK、SELDLYRXCLK 和 FRQSEL 位字段。添加了定义不同 *NA* 选项、*0x1* 或 *0x3* 以及 *调优*值的脚注。 202
- （HS200 模式）：添加了 MMC0 时序要求 207
- （HS400 模式）：更新/更改了 MMC0 HS400 模式时序参数以使用输出建立时间和输出保持时间 208
- （所有时序模式的 MMC1/2 DLL 延迟映射）：删除了 MMCSD12_SS_PHY_CTRL_5_REG 寄存器列。更新了 *默认速度*和*高速*模式的 OTAPDLYENA 和 OTAPDLYSEL 位字段值。添加了定义 *NA* 和 *调优*值的脚注。 209
- （OSPIx 时序条件）：将最小输入压摆率时间从 1ns 更新为 0.75ns。添加了对该模式有效的“1.8V，具有 DQS 的 PHY 数据训练 DDR”标签 216
- （OSPI 开关特性 - 数据训练）：为 $t_{c(CLK)}$ 参数“周期时间，CLK”添加了 DDR 1.8V、3.3V 和 SDR 1.8V、3.3V 模式的最大值 217
- （OSPI 时序要求 - DDR 模式）：添加了 DDR 模式下 OSPI 时序要求的最小输入数据有效窗口 1.4ns 219
- （OSPI 时序要求 - SDR 模式）：添加了 SDR 模式下 OSPI 时序要求的最小输入数据有效窗口 1.7ns 220
- （电源映射）：更新了以“VDD_MCU 是数字电压域…”开头的注释，以澄清 VDD_MCU 分组和序列限制 234
- （系统电源监测设计指南）：更新了 VMON2_IR_VCPU 设计指南 242

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRA821U2CGBALM	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U2CGBALM.B	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U2CGBALMR	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U2CGBALMR.B	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U2CGBALM 357 357 G1
DRA821U4TCBALMQ1	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TCBALMQ1.B	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TCBALMRQ1	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TCBALMRQ1.B	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	DRA821U4TCBALMQ1 357 357 G1
DRA821U4TGBALM	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1
DRA821U4TGBALM.B	Active	Production	FCBGA (ALM) | 433	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1
DRA821U4TGBALMR	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRA821U4TGBALMR.B	Active	Production	FCBGA (ALM) | 433	500 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	DRA821U4TGBALM 357 357 G1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRA821U, DRA821U-Q1 :

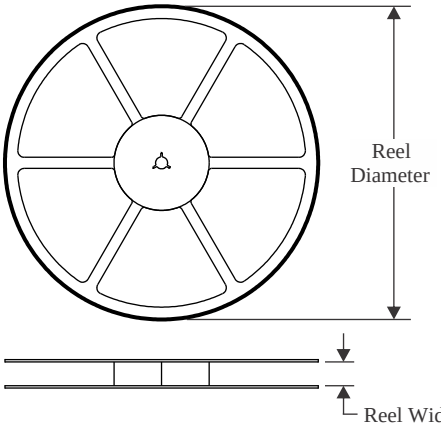
- Catalog : DRA821U
- Automotive : DRA821U-Q1

NOTE: Qualified Version Definitions:

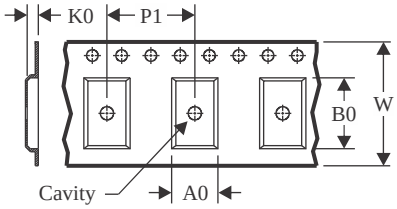
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

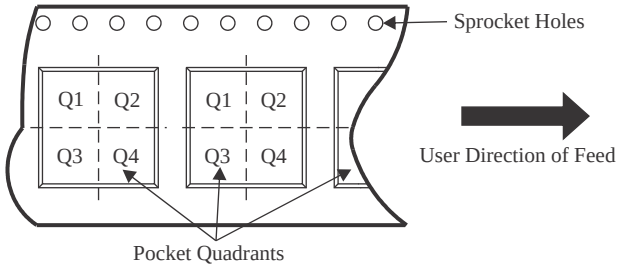


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

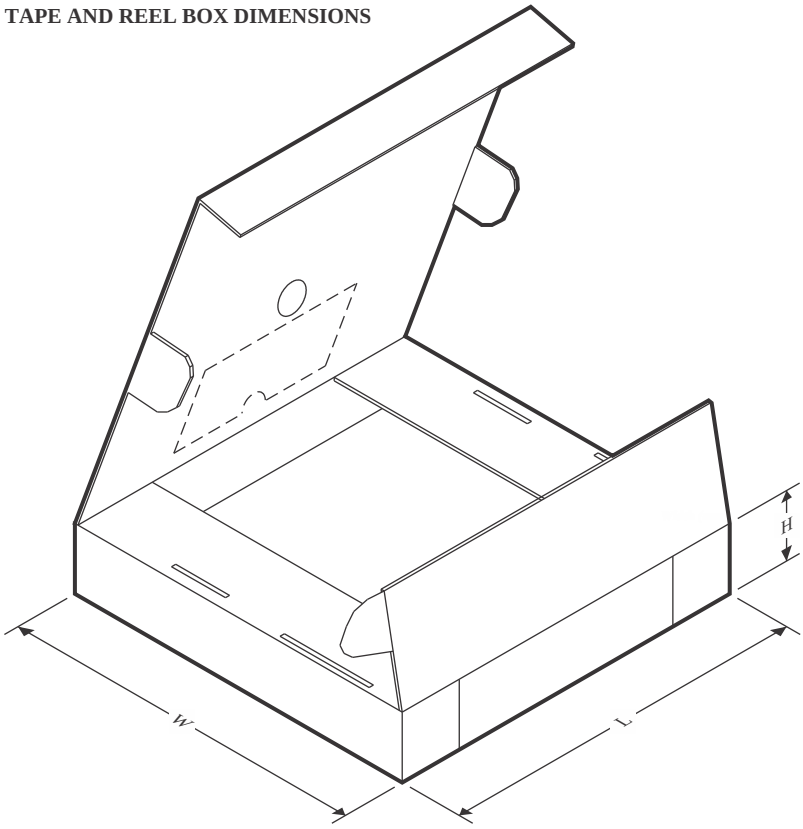
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRA821U2CGBALMR	FCBGA	ALM	433	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
DRA821U4TGBALMR	FCBGA	ALM	433	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1

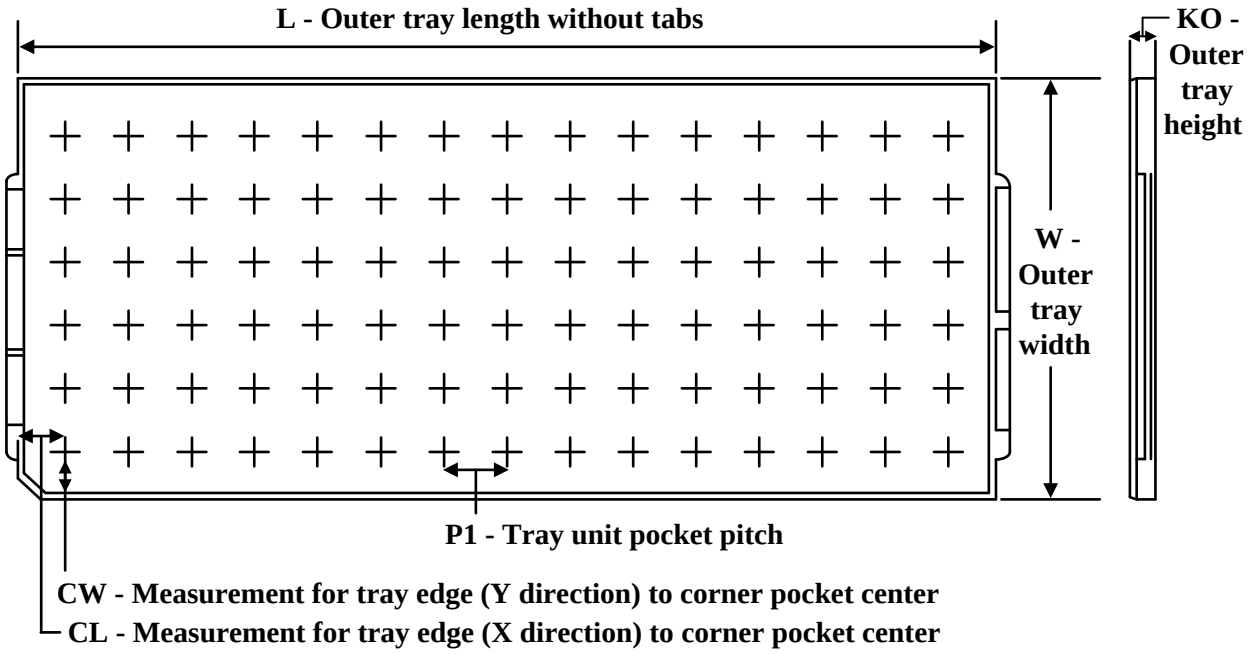
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRA821U2CGBALMR	FCBGA	ALM	433	500	336.6	336.6	41.3
DRA821U4TGBALMR	FCBGA	ALM	433	500	336.6	336.6	41.3

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

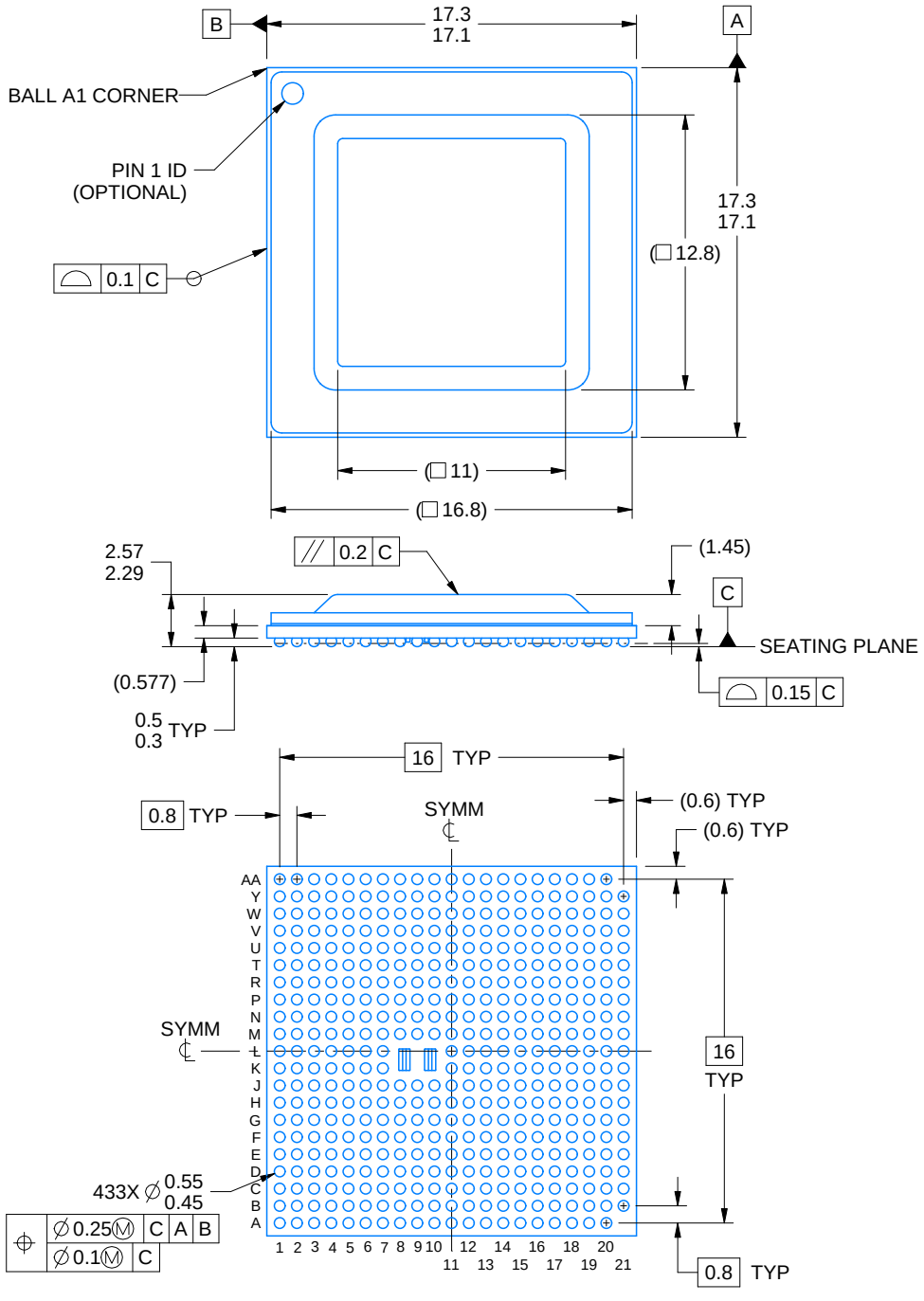
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DRA821U2CGBALM	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U2CGBALM.B	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TCBALMQ1	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TCBALMQ1.B	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TGBALM	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45
DRA821U4TGBALM.B	ALM	FCBGA	433	84	6 X 14	150	315	135.9	7620	22	14.5	14.45

PACKAGE OUTLINE

ALM0433A

FCBGA - 2.57 mm max height

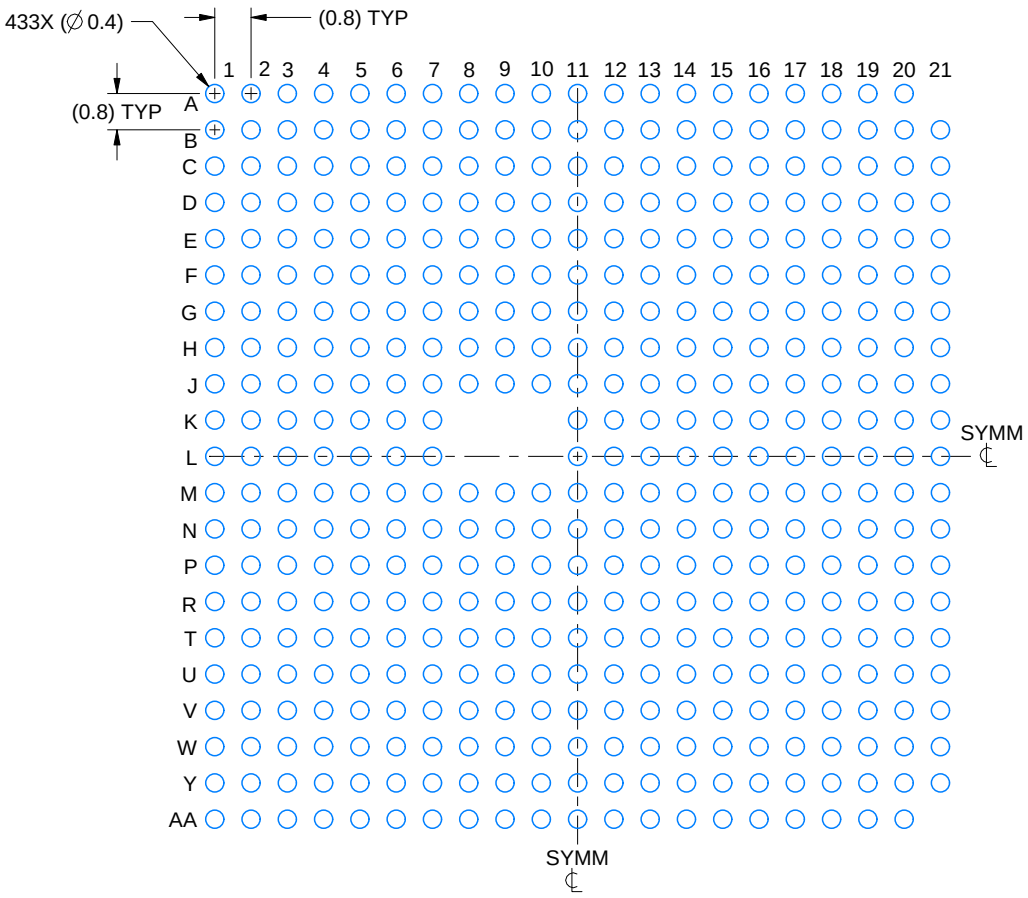
BALL GRID ARRAY



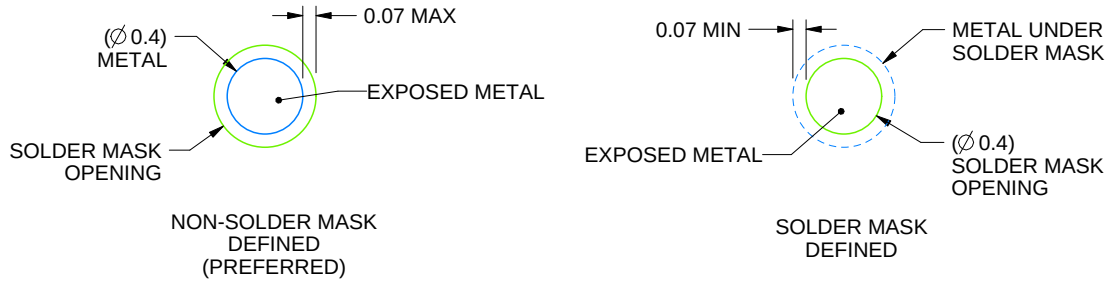
4225658/A 01/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SNOWN
SCALE:6X

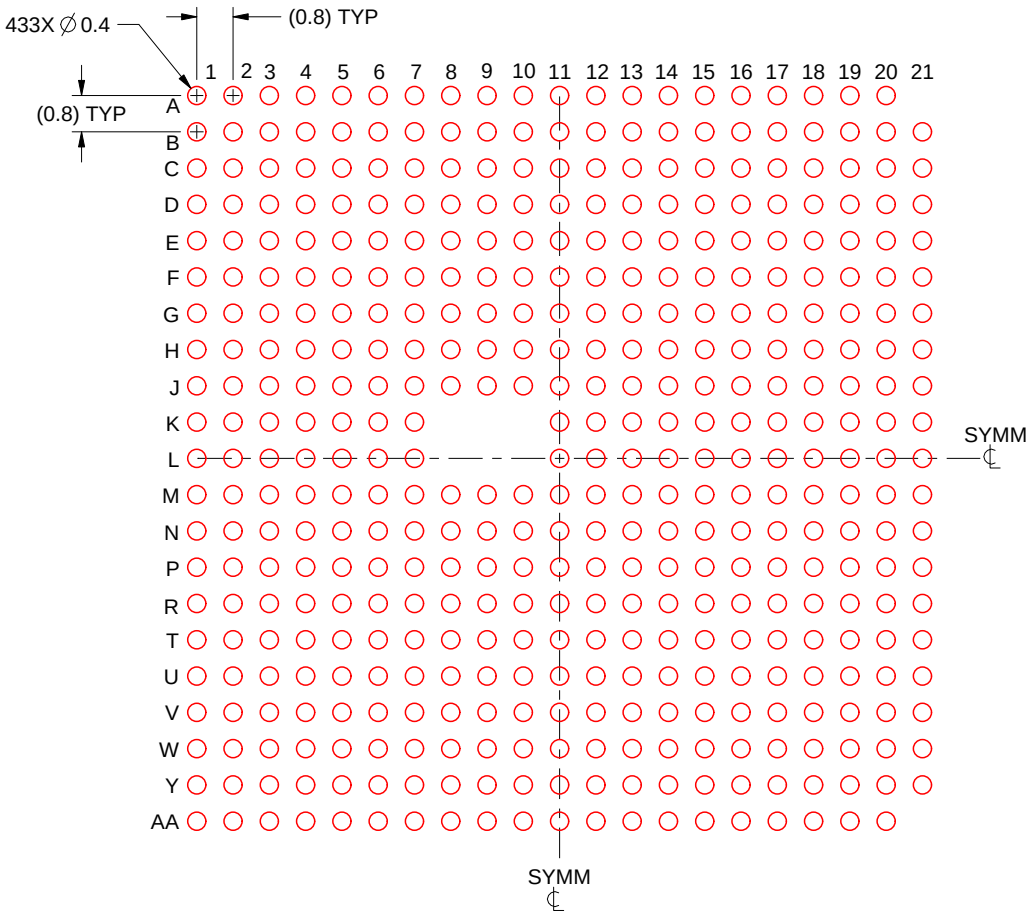


SOLDER MASK DETAILS
NOT TO SCALE

4225658/A 01/2020

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4225658/A 01/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月