的 DP83TG720R-Q1 1000BASE-T1 汽车以太网 PHY

1 特性

- 符合 IEEE802.3bp 1000BASE-T1 标准
- 符合 Open Alliance TC12 互操作性和 EMC 标准
  - 使用符合 OA/IEEE 标准的 PHY 进行互操作性测试
  - 符合 UTP（非屏蔽双绞线）的 EMC 抗扰度 IV 级标准
- MDI 引脚上的集成 LPF
- MAC 接口：RGMII
- 支持 I/O 电压：3.3V、2.5V 和 1.8V
- 引脚与 TI 的 100BASE-T1 PHY 兼容
  - 适用于 100BASE-T1 和 1000BASE-T1 的单板设计，需更改 BOM
- 省电功能：
  - 待机和睡眠
  - 本地和远程唤醒
- 诊断工具套件
  - 高精度温度监测器
  - 电压监控器
  - ESD 事件监测器
  - 数据吞吐量计算器：内置 MAC 数据包生成器、计数器和错误校验器
  - 链路质量监测
  - 电缆开路和短路故障检测
  - 环回模式
- 25MHz 时钟输出源
- VQFN，可湿侧面封装
- 符合 AEC-Q100 标准
  - 内置 ESD 保护：IEC61000-4-2 ESD：±8kV 接触放电
  - 器件温度等级 1：–40°C 至 +125°C 环境工作温度范围

2 应用

- 远程信息处理控制单元（TCU、TBOX）
- 网关和车身控制模块 (BCM)
- ADAS：激光雷达、雷达、前置摄像头

3 说明

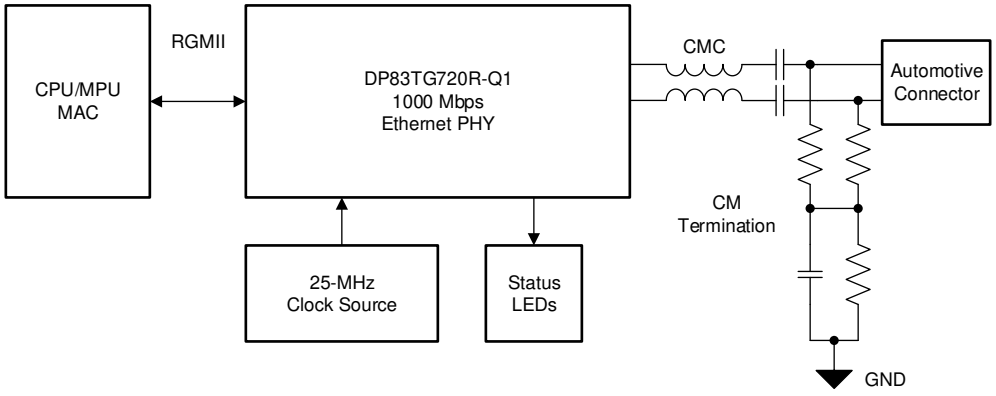
DP83TG720R-Q1 器件是一款符合 IEEE 802.3bp 和 Open Alliance 标准的汽车以太网物理层收发器。器件提供通过单一非屏蔽/屏蔽双绞线电缆发送和接收数据所需的所有物理层功能。该器件支持 RGMII 与 MAC 相连。

DP83TG720 符合 Open Alliance EMC 和非屏蔽双绞线互操作规范。DP83TG720 是与 TI 的 100BASE-T1 PHY 兼容的正面印刷板，可通过单板实现两种速度的设计可扩展性。该器件包含诊断工具套件，可提供广泛的实时监测工具、调试工具和测试模式。该工具套件集成了静电放电 (ESD) 监控工具，该器件能够对 xMII 和 MDI 上的 ESD 事件进行计数，并且能够通过使用可编程中断提供实时监控。除此之外，DP83TG720R-Q1 还包括数据生成器和校验器工具，能够生成可定制的 MAC 数据包并完成传入数据包错误校验。因而可在不依靠 MAC 的情况下完成系统级数据路径测试/优化。

器件信息

器件型号	封装 (1)	本体尺寸（标称值）(2)
DP83TG720R-Q1	VQFN (36)	6.00mm × 6.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....3
5 引脚配置和功能.....3
引脚功能.....4
5.1 引脚状态.....6
5.2 引脚电源域.....8
6 规格.....9
6.1 绝对最大额定值.....9
6.2 ESD 等级.....9
6.3 建议运行条件.....9
6.4 热性能信息.....10
6.5 电气特性.....10
6.6 时序要求.....13
6.7 时序图.....17
6.8 LED 驱动特性.....21
7 详细说明.....22
7.1 概述.....22
7.2 功能方框图.....23
7.3 特性说明.....24
7.4 器件功能模式.....36
7.5 编程.....49
7.6 寄存器映射.....53
8 应用和实现.....165
8.1 应用信息.....165
8.2 典型应用.....165
8.3 电源相关建议.....166
8.4 与 TI 的 100BT1 PHY 兼容.....169
8.5 布局.....170
9 器件和文档支持.....172
9.1 接收文档更新通知.....172
9.2 支持资源.....172
9.3 商标.....172
9.4 静电放电警告.....172
9.5 术语表.....172
10 修订历史记录.....172
11 机械、封装和可订购信息.....174
11.1 封装选项附录.....174

Copyright © 2025 Texas Instruments Incorporated

4 器件比较表

器件 型号	RGMII 支持	SGMII 支持	工作 温度
DP83TG720R-Q1	是	否	-40°C 至 125°C
DP83TG720S-Q1	是	是	-40°C 至 125°C

5 引脚配置和功能

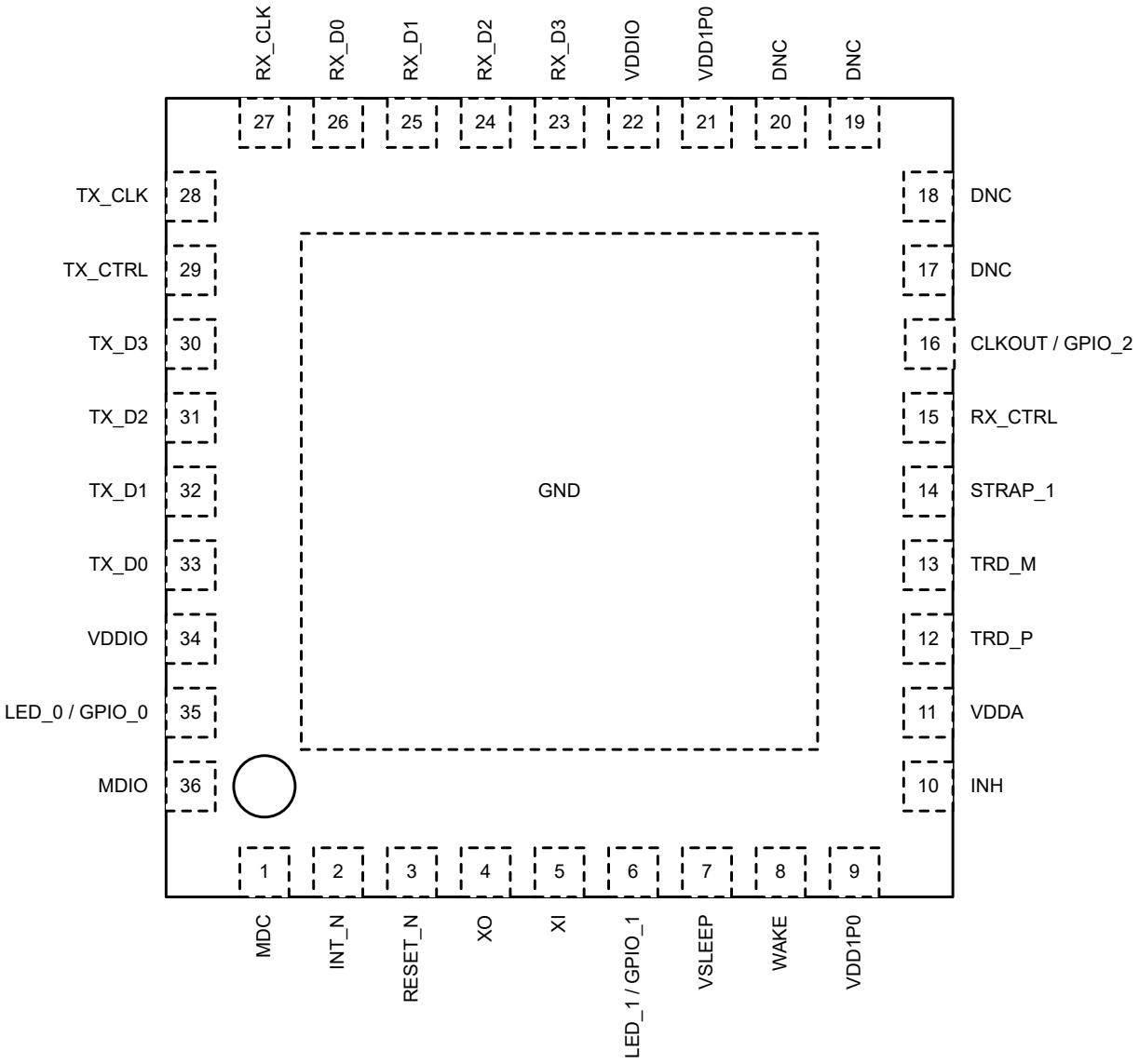


图 5-1. RHA 封装
36 引脚 VQFN
俯视图

引脚功能

表 5-1. 引脚功能

引脚		状态(1)	说明(2)
名称	编号		
MAC 接口			
RX_D3	23	S、PD、O	**接收数据：**对电缆上接收的符号进行解码并将其从这些引脚发出，发送操作与 RX_CLK 的上升沿同步。当 RX_DV（从 RX_CTL 解码）置位时，包含有效数据。半字节 RX_D[3:0] 在 RGMII 模式下发送。
RX_D2	24		
RX_D1	25		
RX_D0	26		
RX_CLK	27	O	**接收时钟：**在 RGMII 模式下，PHY 为 MAC 提供该 125MHz 时钟。
RX_CTRL	15	S、PD、O	**RGMII 接收控制：**接收控制将接收数据有效指示和接收错误指示组合成单个信号。RX_DV 在 RX_CLK 的上升沿出现，RX_ER 在 RX_CLK 的下降沿出现。
TX_CLK	28	I	**发送时钟：**在 RGMII 模式下，MAC 为 PHY 提供该 125MHz 时钟。
TX_CTRL	29	I	**RGMII 发送控制：**发送控制将发送启用和发送错误指示组合成单个信号。TX_EN 在 TX_CLK 的上升沿之前出现；TX_ER 在 TX_CLK 的下降沿出现。
TX_D3	30	I	**发送数据：**在 RGMII 模式下，发送数据半字节 TX_D[3:0] 接收自 MAC。
TX_D2	31		
TX_D1	32		
TX_D0	33		
串行管理接口			
MDC	1	I	**管理数据时钟：**MDIO 串行管理输入和输出数据的同步时钟。
MDIO	36	OD、IO	**管理数据输入/输出：**双向管理数据信号由管理站或 PHY 提供。该引脚需要外部上拉电阻器（建议值 = 2.2kΩ）。
控制接口			
$\overline{\text{INT}}$	2	PU、OD、O	**中断：**低电平有效输出，发生中断时置位为低电平。此引脚具有弱内部上拉电阻。必须访问寄存器才可启用各种中断触发。一旦设置中断事件标志，就需要访问寄存器来清除该引脚上的中断事件。 可使用寄存器 [0x0011] 将该引脚配置为高电平有效输出。 为可靠捕获中断源，建议在 int_n 引脚置位为中断之后再读取中断寄存器 x12、x13、x18 的状态。
$\overline{\text{RESET}}$	3	PU、I	**复位：**低电平有效输入，用于初始化或重新初始化 DP83TG720R-Q1。将该引脚置位为低电平（至少 10µs），可强制执行复位过程。所有内部寄存器都会重新初始化为寄存器映射部分为每一位规定的默认状态。取消置位复位后，将对所有自举引脚重新采样。
INH	10	PMOS OD	**INH：**高电平有效 PMOS 开漏输出。PHY 进入睡眠状态时，PHY 会释放 INH 引脚，允许外部下拉电阻器（建议值 = 10kΩ）将线路拉至接地。处于任何其他状态时，INH 引脚会将高电平状态驱动至 VSLEEP 电源轨。
WAKE	8	PD、I	**唤醒：**唤醒引脚上的高电平有效（该引脚用于 VSLEEP 域）脉冲将 PHY 从睡眠状态唤醒。有关脉冲宽度，请参阅时序部分。睡眠状态未使用或悬空时，该引脚可直接与 VSLEEP 电源轨相连。
STRP_1	14	I	**Strap 1：**该引脚用于搭接 PHY_AD 位。
时钟接口			
XI	5	I	**基准时钟输入：**基准时钟 25MHz ± 100ppm 容差晶振或振荡器输入。该器件支持通过引脚 XI 和 XO 连接的外部晶振谐振器，或仅连接至引脚 XI 且 XO 悬空的外部 CMOS 电平振荡器。
XO	4	O	**基准时钟输出：**XO 引脚仅用于晶振。CMOS 电平振荡器与 XI 相连时，该引脚为悬空。
LED/GPIO 接口			
LED_0/ GPIO_0	35	S、PD、IO	**LED_0：**链路状态
LED_1/ GPIO_1	6	S、PD、IO	**LED_1：**链路状态，针对 TX/RX 活动闪烁

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		状态(1)	说明(2)
名称	编号		
CLKOUT/ GPIO_2	16	IO	**时钟输出：**默认为 25MHz 基准时钟（XI 的缓冲复制）。如未使用，可通过写入寄存器 0x0453 = 0x0006 来禁用时钟输出。
媒体相关接口			
TRD_M	13	IO	**差分发送和接收：**为 1000BASE-T1 运行配置的双向差分信号，符合 IEEE 802.3bp 标准。
TRD_P	12		
电源和接地引脚			
VDDA3P3	11	电源	**内核电源：**3.3V。请参阅去耦网络的电源建议。
VDDIO	22、34	电源	**IO 电源：**1.8V、2.5V 或 3.3V。请参阅去耦网络的电源建议。
VDD1P0	9、21	电源	**内核电源：**1.0V。请参阅去耦网络的电源建议。
VSLEEP	7	电源	**睡眠电源：**3.3V。请参阅去耦网络的电源建议。 如未使用睡眠功能，则应将该引脚连接至 VDDA3P3。
接地	DAP	接地	**接地**
请勿连接			
DNC	17、18、19、20	DNC	**DNC：**请勿连接（连接至这些引脚的测试结构应保持悬空，以避免损坏或进入错误的 PHY 模式）

(1) 类型：I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉
S = 搭接：配置引脚（所有配置引脚都具有内部上拉或下拉弱电阻）

(2) 未使用引脚时，请遵循上表中提供的建议连接要求。无所需终端电阻器的引脚可保持悬空。

Copyright © 2025 Texas Instruments Incorporated

5.1 引脚状态

表 5-2. 引脚状态 - RGMII

引脚名称	上电/复位			正常运行 - RGMII		
	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
MDC	I	none	-	I	none	-
INT_N	I	PU	9	OD	PU	9
RESET_N	I	PU	9	I	PU	9
XO	O	none	-	O	none	-
XI	I	none	-	I	none	-
LED_1	I	PD	9	O	none	-
WAKE	I	PD	50	I	PD	50
STRP_1	I	PD	6.3	I	none	-
INH	PMOS、OD、O	none	-	PMOS OD、O	none	-
RX_CTRL	I	PD	6.3	O	none	-
CLKOUT/GPIO_2	O	none	-	O	none	-
RX_D3	I	PD	9	O	none	-
RX_D2	I	PD	9	O	none	-
RX_D1	I	PD	9	O	none	-
RX_D0	I	PD	9	O	none	-
RX_CLK	I	PD	9	O	none	-
TX_CLK	I	none	-	I	none	-
TX_CTRL	I	none	-	I	none	-
TX_D3	I	none	-	I	none	-
TX_D2	I	none	-	I	none	-
TX_D1	I	none	-	I	none	-
TX_D0	I	none	-	I	none	-
LED_0	I	PD	9	O	none	-
MDIO	I	none	-	IO	none	-

(1) 类型：I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉

Copyright © 2025 Texas Instruments Incorporated

表 5-3. 引脚状态 - 睡眠和隔离

引脚名称	MAC 隔离			睡眠		
	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
MDC	I	none	-	浮点	none	-
INT_N	O	PU	9	浮点	none	-
RESET_N	I	PU	9	浮点	none	-
XO	O	none	-	浮点	none	-
XI	I	none	-	浮点	none	-
LED_1	O	none	-	浮点	none	-
WAKE	I	PD	50	I	none	50
STRP_1	I	none	-	浮点	none	-
INH	PMOS、OD、O	none	-	PMOS OD、O	none	-
RX_CTRL	I	PD	6.3	浮点	none	-
CLKOUT/GPIO_2	O	none	-	浮点	none	-
RX_D3	I	PD/无(2)	9	浮点	none	-
RX_D2	I	PD/无(2)	9	浮点	none	-
RX_D1	I	PD	9	浮点	none	-
RX_D0	I	PD	9	浮点	none	-
RX_CLK	I	PD	9	浮点	none	-
TX_CLK	I	none	-	浮点	none	-
TX_CTRL	I	none	-	浮点	none	-
TX_D3	I	none	-	浮点	none	-
TX_D2	I	none	-	浮点	none	-
TX_D1	I	none	-	浮点	none	-
TX_D0	I	none	-	浮点	none	-
LED_0	O	none	-	浮点	none	-
MDIO	IO	none	-	浮点	none	-

(1) 类型：I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉
Hi-Z = 高阻抗
悬空 = IO 未通电，因此引脚未由 PHY 偏置

(2) PD 仅适用于 Rgmii 的隔离模式。

备注

对于睡眠模式进入，vdda、vddio 和 vdd1p0 均应断电。有关更多详细信息，请参阅睡眠模式所需实现一图。

Copyright © 2025 Texas Instruments Incorporated

5.2 引脚电源域

表 5-4. 引脚电源域表

引脚	RGMII 模式	SGMII 模式
MDC	VDDIO	VDDIO
INT_N	VDDIO	VDDIO
RESET_N	VDDIO	VDDIO
XI	VDDIO	VDDIO
XO	VDDIO	VDDIO
LED_1	VDDIO	VDDIO
WAKE	VSLEEP	VSLEEP
STRP_1	VDDIO	VDDIO
INH	VSLEEP	VSLEEP
RX_CTRL	VDDIO	VDDIO
CLKOUT/GPIO_2	VDDIO	VDDIO
RX_D3	VDDIO	VDDA
RX_D2	VDDIO	VDDA
RX_D1	VDDIO	VDDIO
RX_D0	VDDIO	VDDIO
RX_CLK	VDDIO	VDDIO
TX_CLK	VDDIO	VDDIO
TX_CTRL	VDDIO	VDDIO
TX_D3	VDDIO	VDDIO
TX_D2	VDDIO	VDDIO
TX_D1	VDDIO	VDDA
TX_D0	VDDIO	VDDA
LED_0	VDDIO	VDDIO
MDIO	VDDIO	VDDIO
TRD_P	VDDA	VDDA
TRD_M	VDDA	VDDA

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	典型值	最大值	单位
电源电压	VDDA3P3	-0.5		4	V
电源电压	VDD1P0	-0.5		1.4	V
电源电压	VDDIO (3.3V)	-0.5		4	V
电源电压	VDDIO (2.5V)	-0.5		2.9	V
电源电压	VDDIO (1.8V)	-0.5		2.2	V
电源电压	V_{SLEEP}	-0.5		4	V
MDI 引脚	TRD_M、TRD_P	-0.5		4	V
LVCMOS/LVTTL 输入电压	MDC、$\overline{RESET}$、XI、LED_1、STRP_1、RX_CTRL、CLKOUT、RX_D[3:0]、TX_CLK、TX_CTRL、TX_D[3:0]、LED_0、MDIO	-0.5		VDDIO + 0.3	V
LVCMOS/LVTTL 输入电压	WAKE	-0.5		V_{SLEEP} + 0.3	V
LVCMOS/LVTTL 输出电压	$\overline{INT}$、LED_1、RX_CTRL、CLKOUT、RX_D[3:0]、RX_CLK、LED_0、MDIO	-0.5		VDDIO + 0.3	V
LVCMOS/LVTTL 输出电压	INH	-0.5		VSLEEP + 0.3	V
T_J	结温			150	°C
T_{stg}	贮存温度	-65		150	°C

(1) 应力超出*绝对最大额定值*下列出的值可能会对器件造成永久损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	TRD_M、TRD_P	±8000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±500	V
$V_{(ESD)}$	静电放电	IEC 61000-4-2 接触放电	TRD_M、TRD_P	±8000	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDDIO	IO 电源电压，以 1.8V 运行	1.62	1.8	1.98	V
	IO 电源电压，以 2.5V 运行	2.25	2.5	2.75	
	IO 电源电压，以 3.3V 运行	2.97	3.3	3.63	
VDDA3P3	内核电源电压，3.3V	2.97	3.3	3.63	V
VDD1P0	内核电源电压，1.0V	0.95	1	1.1	V

Copyright © 2025 Texas Instruments Incorporated

6.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{SLEEP}	睡眠电源电压，3.3V	2.97	3.3	3.63	V
T_A	环境温度	-40		125	°C

6.4 热性能信息

热指标(1)		DP83TG720 RHA (VQFN) 36 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	22.2	°C/W
$R_{\theta JB}$	结至电路板热阻	13.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	13.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
DC 特性						
XI						
V_{IH}	高电平输入电压		1.3			V
V_{IL}	低电平输入电压				0.5	V
WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚
V_{IH}	高电平输入电压	V_{SLEEP} = 3.3V ± 10%	2			V
V_{IL}	低电平输入电压	V_{SLEEP} = 3.3V ± 10%			0.8	V
INH 引脚	INH 引脚	INH 引脚	INH 引脚	INH 引脚	INH 引脚	INH 引脚
V_{OH}	高电平输出电压	I_{OH} = -2mA，V_{SLEEP} = 3.3V ± 10%	2.4			V
3.3V VDDIO (2)						
V_{OH}	高电平输出电压	I_{OH} = -2mA，VDDIO = 3.3V ± 10%	2.4			V
V_{OL}	低电平输出电压	I_{OL} = 2mA，VDDIO = 3.3V ± 10%			0.4	V
V_{IH}	高电平输入电压	VDDIO = 3.3V ± 10%	2			V
V_{IL}	低电平输入电压	VDDIO = 3.3V ± 10%			0.8	V
2.5V VDDIO (2)						
V_{OH}	高电平输出电压	I_{OH} = -2mA，VDDIO = 2.5V ± 10%	2			V
V_{OL}	低电平输出电压	I_{OL} = 2mA，VDDIO = 2.5V ± 10%			0.4	V
V_{IH}	高电平输入电压	VDDIO = 2.5V ± 10%	1.7			V
V_{IL}	低电平输入电压	VDDIO = 2.5V ± 10%			0.7	V
1.8V VDDIO (2)						
V_{OH}	高电平输出电压	I_{OH} = -2mA，VDDIO = 1.8V ± 10%	VDDIO – 0.45			V
V_{OL}	低电平输出电压	I_{OL} = 2mA，VDDIO = 1.8V ± 10%			0.45	V

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	高电平输入电压	VDDIO = 1.8V ± 10%	0.7 * VDDIO			V
V_{IL}	低电平输入电压	VDDIO = 1.8V ± 10%			0.3 * VDDIO	V
I_{IH}	高输入电流 (MDIO)	VIN = VCC，-40°C 至 125°C	-5		5	µA
I_{IH}	输入高电流（RGMII 输入引脚、MDC）	VIN = VCC，-40°C 至 125°C	-20		20	µA
I_{OZ}	高输入电流 (MDIO)	VIN 从 0V 扫描至 VCC，-40°C 至 125°C	-40		40	µA
I_{IL}	输入低电流（RGMII 输入引脚、MDC、MDIO）	VIN = GND，-40°C 至 125°C	-40		5	µA
I_{OZL}		INH			6	µA
I_{OZ}	三态输出电流 (5)	VIN 从 0V 扫描至 VCC，-40°C 至 125°C	-40		10	µA
I_{OZ}	三态输出电流 (6)	VIN 从 0V 扫描至 VCC，-40°C 至 125°C	-60		60	µA
C_{IN}	输入电容	LVCMOS/LVTTL 引脚 (3)			2	pF
C_{IN}	输入电容	LVCMOS/LVTTL 引脚 (4)			4	pF
		XI			1	pF
C_{OUT}	输出电容	LVCMOS/LVTTL 引脚 (3)			2	pF
C_{OUT}	输出电容	LVCMOS/LVTTL 引脚 (4)			4	pF
		XO			1	pF
$R_{pull-up}$	集成上拉电阻	$\overline{INT}$、$\overline{RESET}$	6.5	9	12.5	kΩ
$R_{pull-down}$	集成下拉电阻	STRP_1、RX_CTRL	4.725	6.3	7.875	kΩ
$R_{pull-down}$	集成下拉电阻	LED_1、RX_D[3:0]、RX_CLK、LED_0	7.3	9	13	kΩ
		WAKE	35	50	62.5	kΩ
$R_{pull-down}$	激活时的集成上拉电阻	INH		106		Ω
R_{series}	集成 MAC 串联终端电阻器（默认）	RX_D[3:0]、RX_CTRL 和 RX_CLK	24	42	52	Ω
Rseries	集成 MAC 串联终端电阻器（寄存器 <0x0456> = 0x0148）	RX_D[3:0]、RX_CTRL 和 RX_CLK	30	52	65	Ω
Rseries	集成 MAC 串联终端电阻器（寄存器 <0x0456> = 0x0168）	RX_D[3:0]、RX_CTRL 和 RX_CLK	40	70	84	Ω
电流消耗，睡眠模式						
I_{SLEEP}	睡眠电源电流	V_{SLEEP}		485	840	µA
电流消耗，复位置位						
I_{DDIO}	IO 电源电流，VDDIO = 1.8V	VDDIO		4	9	mA
I_{DDIO}	IO 电源电流，VDDIO = 2.5V	VDDIO		5	12	mA
I_{DDIO}	IO 电源电流，VDDIO = 3.3V	VDDIO		6.5	15	mA
I_{DDA3P3}	内核电源电流，3.3V	VDDA3P3		5	8	mA
I_{DD1P0}	内核电源电流，1.0V	VDD1P0		30	110	mA
电流消耗，待机						
I_{DDIO}	IO 电源电流，VDDIO = 1.8V	VDDIO		4	11	mA
I_{DDIO}	IO 电源电流，VDDIO = 2.5V	VDDIO		6	13	mA
I_{DDIO}	IO 电源电流，VDDIO = 3.3V	VDDIO		8	15	mA
I_{DDA3P3}	内核电源电流，3.3V	VDDA3P3		16	18	mA
I_{DD1P0}	内核电源电流，1.0V	VDD1P0		33	112	mA
电流消耗，工作模式，电压：+/- 10%，流量：100%，数据包大小：1518，内容：随机						

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
I_{DDIO}	IO 电源电流，VDDIO = 1.8V	RGMII		20	25	mA
I_{DDIO}	IO 电源电流，VDDIO = 2.5V	RGMII		26	30	mA
I_{DDIO}	IO 电源电流，VDDIO = 3.3V	RGMII		33	40	mA
I_{DDA3P3}	内核电源电流，3.3V	RGMII		85	89	mA
I_{DD1P0}	内核电源电流，1.0V	RGMII		177	250	mA
I_{SLEEP}	睡眠电源电流	V_{SLEEP} = 3.3V +/- 10%		1000	1500	µA
MDI 特性						
V_{OD-MDI}	输出差分电压	$R_{L(diff)}$ = 100 Ω			1.3	V
$R_{MDI-DIFF}$	集成差分 MDI 终端（激活状态）	TRD_P、TRD_M		100		Ω
$R_{MDI-DIFF}$	集成差分 MDI 终端（睡眠状态）	TRD_P、TRD_M		100		Ω
自举直流特性						
2 级搭接						
Vbsl_1v8	自举阈值	模式 1，VDDIO = 1.8V ± 10%，2 级	0		0.35*VDDIO	V
Vbsh_1v8	自举阈值	模式 2，VDDIO = 1.8V ± 10%，2 级	1.175		VDDIO	V
Vbsl_2v5	自举阈值	模式 1，VDDIO = 2.5V ± 10%，2 级	0		0.7	V
Vbsh_2v5	自举阈值	模式 2，VDDIO = 2.5V ± 10%，2 级	1.175		VDDIO	V
Vbsl_3v3	自举阈值	模式 1，VDDIO = 3.3V ± 10%，2 级	0		0.7	V
Vbsh_3v3	自举阈值	模式 2，VDDIO = 3.3V ± 10%，2 级	1.175		VDDIO	V
3 级搭接						
V_{bs1_1V8}	自举阈值	模式 1，VDDIO = 1.8V ± 10%，3 级	0		0.35 * VDDIO	V
V_{bs2_1V8}	自举阈值	模式 2，VDDIO = 1.8V ± 10%，3 级	0.40 * VDDIO		0.75 * VDDIO	V
V_{bs3_1V8}	自举阈值	模式 3，VDDIO = 1.8V ± 10%，3 级	0.84 * VDDIO		VDDIO	V
V_{bs1_2V5}	自举阈值	模式 1，VDDIO = 2.5V ± 10%，3 级	0		0.19 * VDDIO	V
V_{bs2_2V5}	自举阈值	模式 2，VDDIO = 2.5V ± 10%，3 级	0.27 * VDDIO		0.41 * VDDIO	V
V_{bs3_2V5}	自举阈值	模式 3，VDDIO = 2.5V ± 10%，3 级	0.58 * VDDIO		VDDIO	V
V_{bs1_3V3}	自举阈值	模式 1，VDDIO = 3.3V ± 10%，3 级	0		0.18 * VDDIO	V
V_{bs2_3V3}	自举阈值	模式 2，VDDIO = 3.3V ± 10%，3 级	0.22 * VDDIO		0.42 * VDDIO	V
V_{bs3_3V3}	自举阈值	模式 3，VDDIO = 3.3V ± 10%，3 级	0.46 * VDDIO		VDDIO	V
温度传感器						
	温度传感器分辨率 (LSB)	-40°C 至 125°C		1.5		℃
	温度传感器精度（单个器件的电压和温度变化）	-40°C 至 125°C	-7.5		7.5	℃
	温度传感器精度（器件间的电压和温度变化）	-40°C 至 125°C	-21.5		20	℃

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
	温度传感器范围		-40		140	℃
电压传感器						
	VDDA3P3 传感器范围		2.66	3.3	3.96	V
	VDDA3P3 传感器分辨率 (LSB)	-40°C 至 125°C		8.6		mV
	VDDA3P3 传感器精度（电压和温度变化）	-40°C 至 125°C		8.6		mV
	VDDA3P3 传感器精度（器件间）	-40°C 至 125°C	-68.8		68.8	mV
	VDD1P0 传感器范围		0.8		1.2	V
	VDD1P0 传感器分辨率 (LSB)	-40°C 至 125°C		2.8		mV
	VDD1P0 传感器精度（电压和温度变化）	-40°C 至 125°C		2.8		mV
	VDD1P0 传感器精度（器件间）	-40°C 至 125°C	-22.4		22.4	mV
	VDDIO 传感器范围		1.44		3.8	V
	VDDIO 传感器分辨率 (LSB)	-40°C 至 125°C		15.4		mV
	VDDIO 传感器精度（电压和温度变化）	-40°C 至 125°C		15.4		mV
	VDDIO 传感器精度（器件间）	-40°C 至 125°C	-78		78	mV

(1) 由生产测试、特性或设计验证
(2) 适用于引脚： LED_1、STRP_1、RX_CTRL、CLKOUT、RX_D[3:0]、RX_CLK、LED_0
(3) 适用于引脚：MDC、$\overline{\text{INT}}$、$\overline{\text{RESET}}$、LED_1、STRP_1、RX_CTRL、CLKOUT、RX_D0、RX_D1、RX_CLK、TX_CLK、TX_CTRL、TX_D2、TX_D3、LED_0 和 MDIO
(4) 适用于引脚：TX_D0、TX_D1、RX_D2 和 RX_D3
(5) 适用于引脚：LED_1、RX_D[3:0]、RX_CLK、LED_0
(6) 适用于引脚：STRP_1 和 RX_CTRL

6.6 时序要求

(1)

参数		测试条件	最小值	标称值	最大值	单位
上电时序						
T5.1	VDDA3P3 持续时间(2)	0% 至 100% (+/- 10% VDDA3P3)	0.5		40	ms
T5.2	VDD1P0 持续时间(2)	0% 至 100% (+/- 10% VDD1P0)	0.1		40	ms
T5.2	VDDIO 持续时间(2)	VDDIO = 1.8V	0.1		40	ms
T5.2	VDDIO 持续时间(2)	VDDIO = 2.5V	0.1		40	ms
T5.2	VDDIO 持续时间(2)	VDDIO = 3.3V	0.1		40	ms
T5.2	V_{SLEEP} 持续时间(2)	0% 至 100% (+/- 10% V_{SLEEP})	0.1		40	ms
T5.3	上电后的晶振稳定时间（从最后电源轨上升到 100%）			1500		µs
T5.4	上电后的振荡器稳定时间（从最后电源轨上升到 100%）(3)				20	ms
T5.5	MDC 前导码之前的上电后稳定时间，用于寄存器访问		65			ms
T5.6	上电后的硬件配置锁存时间				60	ms
T5.7	硬件配置引脚在锁存完成后转换为功能模式				110	ns
T5.8	上电后的 PAM3 IDLE 流（主模式）				60	ms
复位时序 (RESET_N)						
T6.1	RESET 脉冲宽度		5			µs

Copyright © 2025 Texas Instruments Incorporated

6.6 时序要求（续）

(1)

参数		测试条件	最小值	标称值	最大值	单位
T6.2	MDC 前导码之前的复位后稳定时间，用于寄存器访问		1			ms
T6.3	复位后的硬件配置锁存时间				2	µs
T6.4	硬件配置引脚在锁存完成后转换为功能模式				1.5	µs
T6.5	复位后的 PAM3 IDLE 流（主模式）				1500	µs
SMI 时序						
T4.1	MDC 至 MDIO（输出）延迟时间（25pF 负载）		0	6	10	ns
T4.2	MDIO（输入）至 MDC 建立时间		10			ns
T4.3	MDIO（输入）至 MDC 保持时间		10			ns
	MDC 频率（25pF 负载）			2.5	20	MHz
接收延迟时序						
	MDI 上的 SSD 符号至 RX_CTRL 已置位 RGMII RX_CLK 的上升沿				8	µs
	MDI 上的 SSD 符号至 RX_CTRL 已置位 RGMII RX_CLK 的上升沿（RS-FEC 旁路模式）				400	ns
发送延迟时序						
	TX_CTRL 置位的 RGMII 上升沿 TX_CLK 至 MDI 上的 SSD 符号				0.8	µs
	TX_CTRL 置位的 RGMII 上升沿 TX_CLK 至 MDI 上的 SSD 符号（RS-FEC 旁路模式）				600	ns
25MHz 振荡器要求						
	频率 (XI)			25		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm
	上升/下降时间 (10% - 90%)(6)				8	ns
	抖动 (RMS)	集成，高达 5MHz			1	ps
	占空比		40	50	60	%
RGMII 时序						
T_{setupR}	TX_D[3:0]，TX_CTRL 设置至 TX_CLK	在 PHY 引脚上	1	2		ns
T_{holdR}	TX_D[3:0]，TX_CLK 后的 TX_CTRL 保持(5)	在 PHY 引脚上	1	2		ns
T_{skewT}	RX_D[3:0]，RX_CLK 后的 RX_CTRL 延迟（已启用对齐模式）	在 PHY 引脚上	-500	0	500	ps
T_{skewT} (Shift)	RX_D[3:0]，RX_CLK 后的 RX_CTRL 延迟（已启用漂移模式，默认设置）(4)	在 PHY 引脚上	2.190	2.650	2.970	ns
T_{cyc}	时钟周期时长	RX_CLK	7.2	8	8.8	ns
T_{cyc}	时钟周期时长	TX_CLK	7.2	8	8.8	ns
Duty_G	占空比	RX_CLK	45	50	55	%
Duty_G	占空比	TX_CLK	45	50	55	%
Tr	上升时间 (20% - 80%)	CL=Ctrace = 5pF			0.75	ns
Tf	下降时间 (20% - 80%)	$C_{L=Ctrace}$ = 5pF			0.75	ns
RGMII RX 漂移模式延迟	DLL DLL_RX_DELAY_CTRL_SL = 0(4)		0.330	0.650	0.970	ns
	DLL DLL_RX_DELAY_CTRL_SL = 1(4)		0.580	0.900	1.220	ns
	DLL DLL_RX_DELAY_CTRL_SL = 2(4)		0.830	1.150	1470	ns
	DLL DLL_RX_DELAY_CTRL_SL = 3(4)		1.000	1.400	1.720	ns
	DLL DLL_RX_DELAY_CTRL_SL = 4(4)		1.230	1.650	1.970	ns

Copyright © 2025 Texas Instruments Incorporated

6.6 时序要求（续）

(1)

参数		测试条件	最小值	标称值	最大值	单位
	DLL DLL_RX_DELAY_CTRL_SL = 5(4)		1.490	1.990	2.220	ns
	DLL DLL_RX_DELAY_CTRL_SL = 6(4)		1.690	2.150	2.470	ns
	DLL DLL_RX_DELAY_CTRL_SL = 7(4)		1.960	2.400	2.730	ns
	DLL DLL_RX_DELAY_CTRL_SL = 8(4)		2.180	2.650	2.970	ns
	DLL DLL_RX_DELAY_CTRL_SL = 9(4)		2.490	2.900	3.220	ns
RGMII 漂移 TX 模式延迟						
	DLL DLL_TX_DELAY_CTRL_SL = 1(4) (7)		0.08	0.25	0.38	ns
	DLL DLL_TX_DELAY_CTRL_SL = 2(4) (7)		0.27	0.49	0.67	ns
	DLL DLL_TX_DELAY_CTRL_SL = 3(4) (7)		0.51	0.73	0.91	ns
	DLL DLL_TX_DELAY_CTRL_SL = 4(4) (7)		0.75	0.97	1.15	ns
	DLL DLL_TX_DELAY_CTRL_SL = 5(4) (7)		0.94	1.21	1.44	ns
	DLL DLL_TX_DELAY_CTRL_SL = 6(4) (7)		1.18	1.45	1.68	ns
	DLL DLL_TX_DELAY_CTRL_SL = 7(4) (7)		1.37	1.69	1.98	ns
	DLL DLL_TX_DELAY_CTRL_SL = 8(4) (7)		1.61	1.93	2.22	ns
	DLL DLL_TX_DELAY_CTRL_SL = 9(4) (7)		1.85	2.17	2.46	ns
	DLL DLL_TX_DELAY_CTRL_SL = 10(4) (7)		2.04	2.42	2.75	ns
	DLL DLL_TX_DELAY_CTRL_SL = 11(4) (7)		2.28	2.65	2.99	ns
	DLL DLL_TX_DELAY_CTRL_SL = 12(4) (7)		2.52	2.9	3.23	ns
25MHz 晶振要求						
	频率			25		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm
	等效串联电阻				100	Ω
输出时钟时序 (CLKOUT)						
	频率			25		MHz
	占空比（已连接晶振）		45		55	%
	上升/下降时间 (10% - 90%)				2.5	ns
	抖动 (RMS)（从模式，MAC 接口：SGMII）				5	ps
	抖动 (RMS)（主模式，MAC 接口：SGMII）				2.4	ps
	抖动 (RMS)（从模式，MAC 接口：RGMII）				11	ps
	抖动 (RMS)（主模式，MAC 接口：RGMII）				15	ps
睡眠进入和唤醒						
	WAKE 低电平至睡眠进入；INH 转换为低电平	正常模式，MDI_Energy = FALSE sleep_en = TRUE		64	85	us
	sleep_en = True 至睡眠进入；INH 转换为低电平（主模式）	正常模式，WAKE = 低电平，MDI_Energy = FALSE		5	85	us
	sleep_en = True 至睡眠进入；INH 转换为低电平（从模式）	正常模式，WAKE = 低电平，MDI_Energy = FALSE			5000	us

Copyright © 2025 Texas Instruments Incorporated

6.6 时序要求（续）

(1)

参数		测试条件	最小值	标称值	最大值	单位
	MDI 能量损耗至睡眠进入；INH 转换为低电平	正常模式，WAKE = 低电平，sleep_en = TRUE			5	ms
	本地唤醒脉冲持续时间（在 WAKE 引脚上）	睡眠模式，WAKE 引脚	80			µs
	从 MDI 唤醒的 Send-S/Send-T 模式持续时间	睡眠模式，从模式	1.25			ms
	本地唤醒；INH 转换为高电平	睡眠模式，WAKE 引脚的上升沿至 INH 的上升沿			85	us
	MDI 上使 PHY 保持睡眠模式的容许差分噪声电平	睡眠模式			200	mV 峰峰值
	用于有效唤醒的链路伙伴 VOD（对于 5m 电缆）	睡眠模式	840			mV 峰峰值

(1) 由生产测试、特性或设计验证。
(2) 电源轨上无电源时序限制
(3) 如果 OSC 时钟延迟，则需在 Osc 时钟稳定后增加复位
(4) 请参阅寄存器 [0x0430]，了解 RX 和 TX 延迟代码的可编程性信息
(5) PHY 在 TX_CLK 上为 TX_D[3:0] 提供内部延迟，最多可增加 2ns 偏斜。请参阅寄存器 [0x0430]，了解可编程性信息
(6) 对于 40% 至 55% 的占空比，所支持的最大上升/下降时间为 8ns。对于 40% 至 60% 的占空比，所支持的最大上升/下降时间为 6ns
(7) 适用于 1.8V VDDIO 的数据。

Copyright © 2025 Texas Instruments Incorporated

6.7 时序图

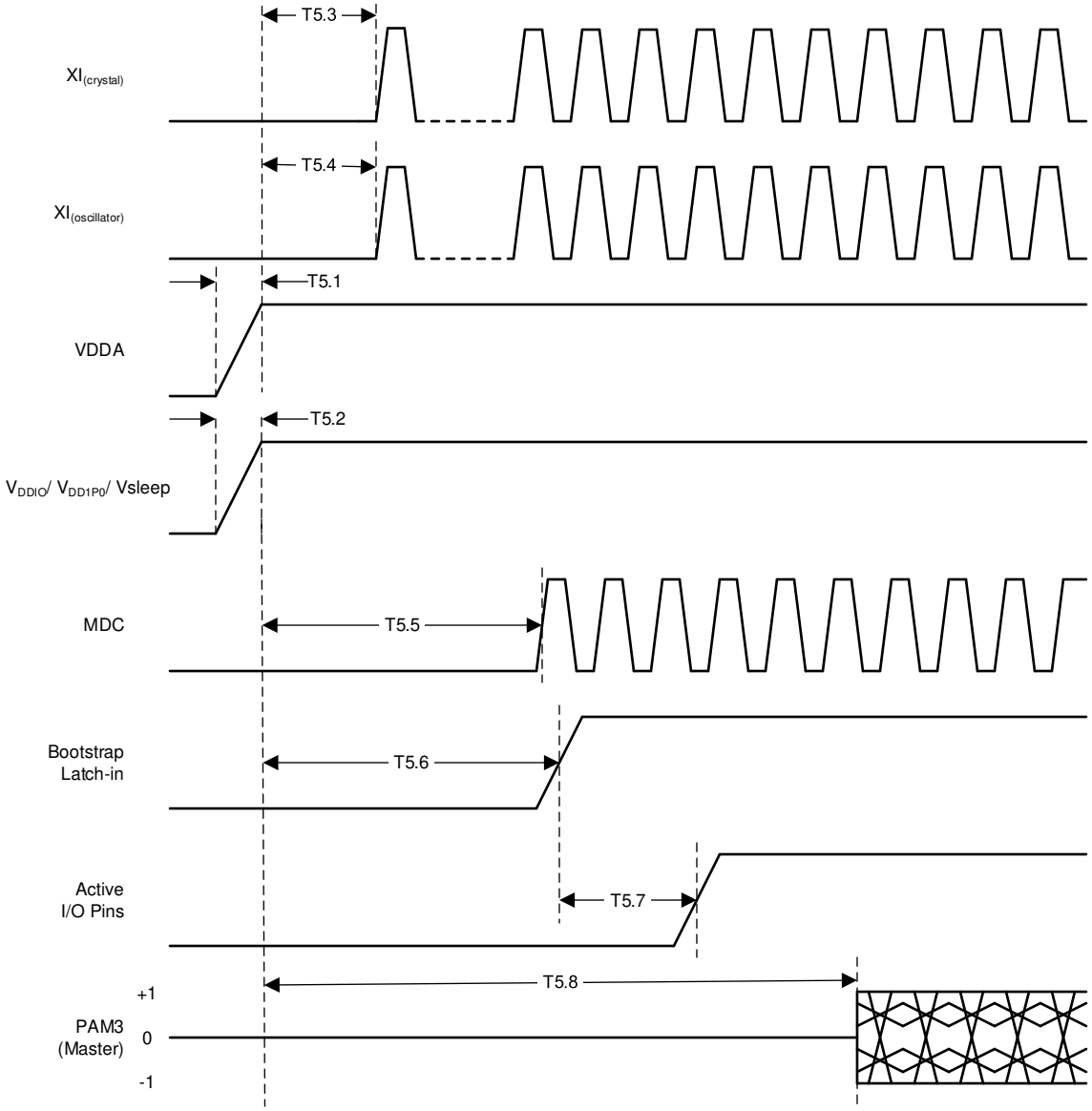


图 6-1. 上电时序

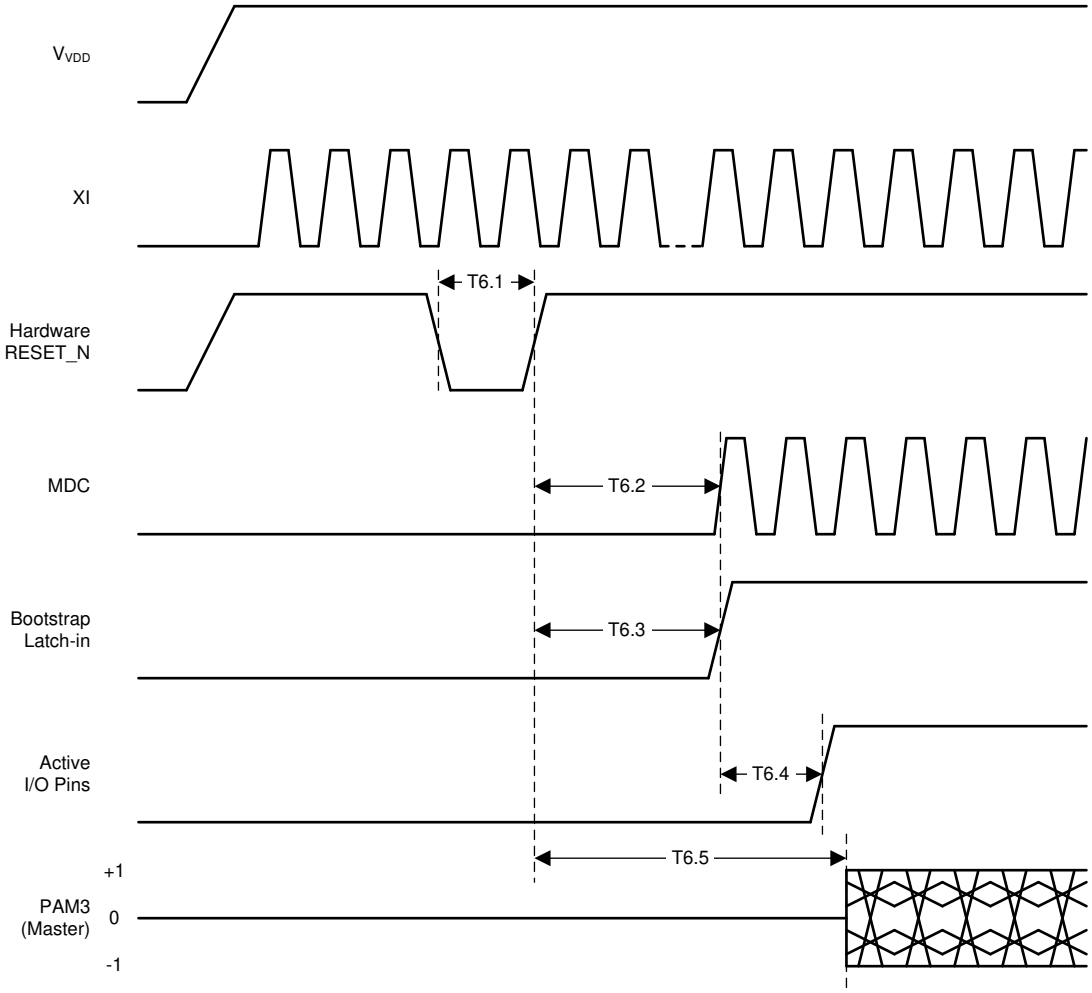


图 6-2. 复位时序

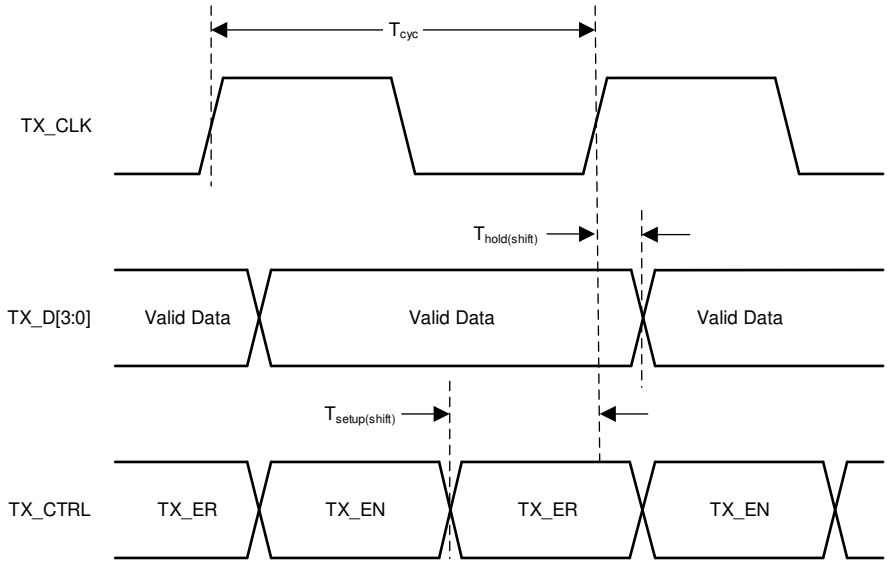


图 6-3. RGMII 发送时序（启用内部延迟）

Copyright © 2025 Texas Instruments Incorporated

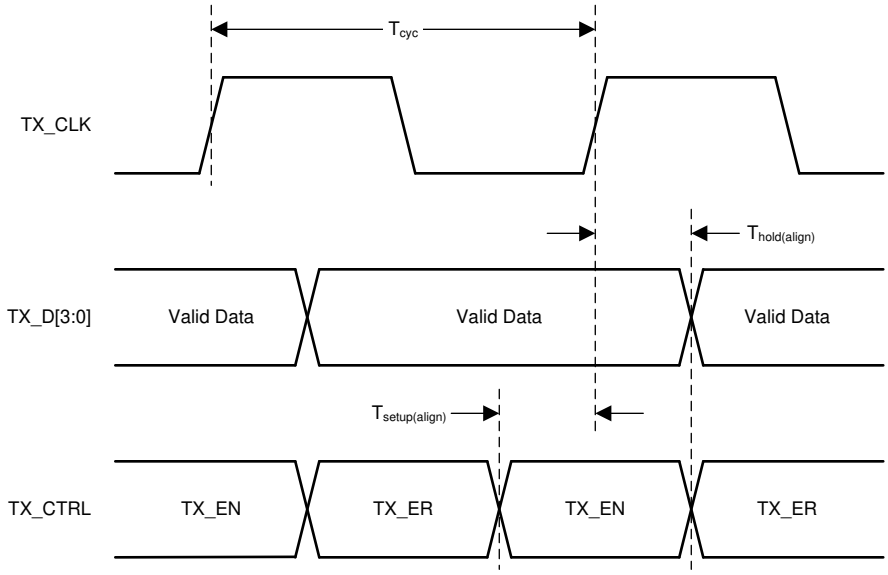


图 6-4. RGMII 发送时序（禁用内部延迟）

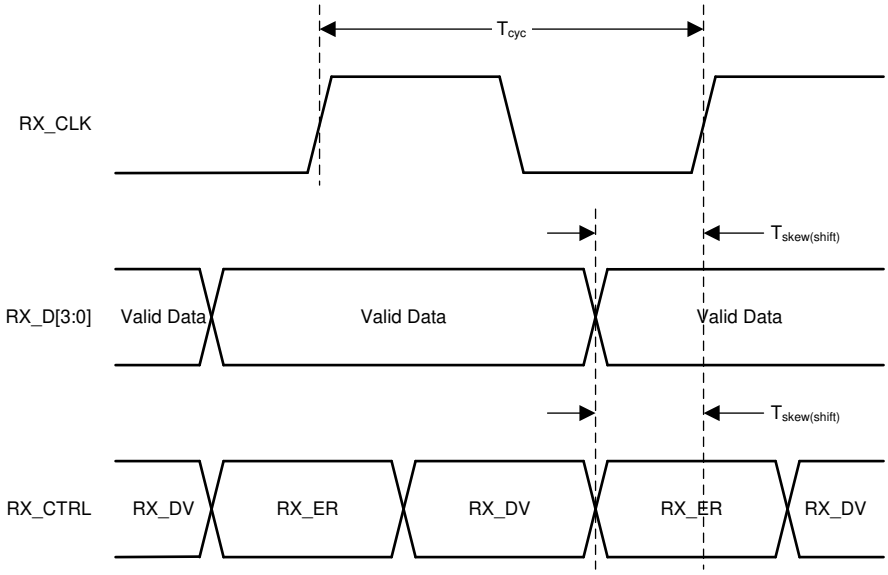


图 6-5. RGMII 接收时序（启用内部延迟）

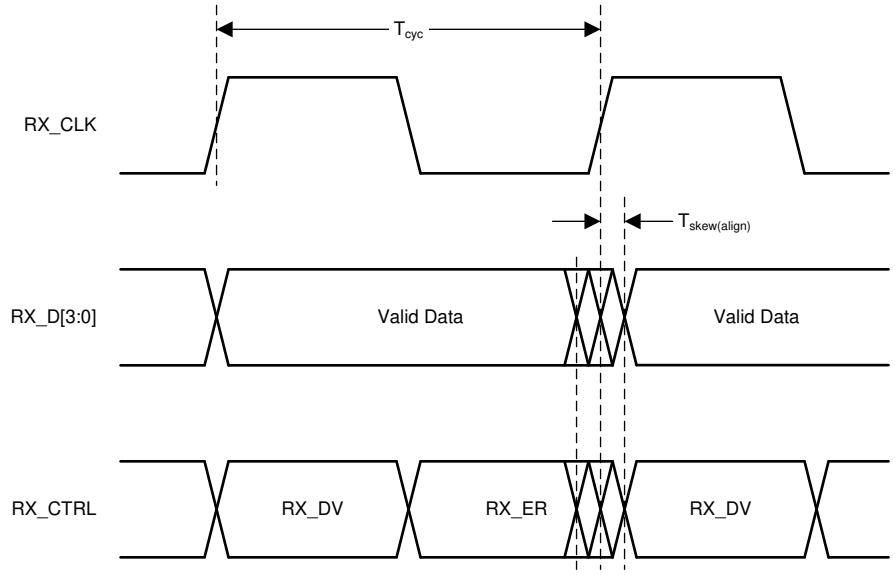


图 6-6. RGMII 接收时序（禁用内部延迟）

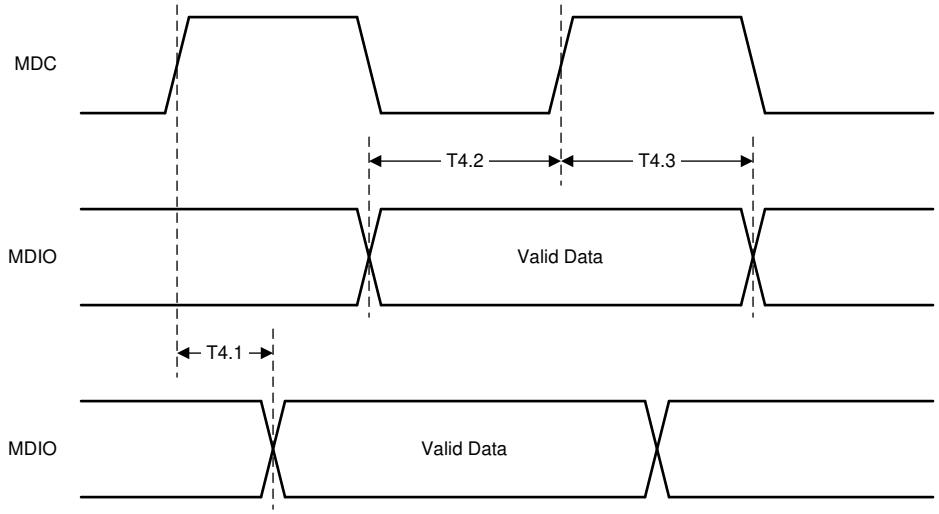


图 6-7. 串行管理时序

Copyright © 2025 Texas Instruments Incorporated

6.8 LED 驱动特性

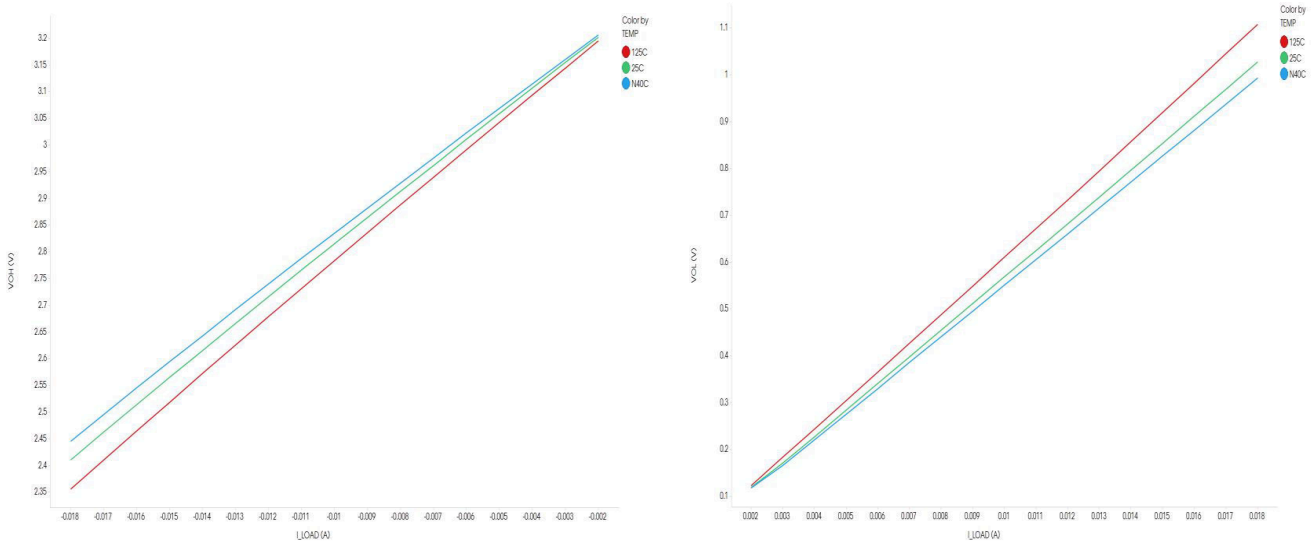


图 6-8. 3.3V VDDIO 时，LED V 与 I 间的关系

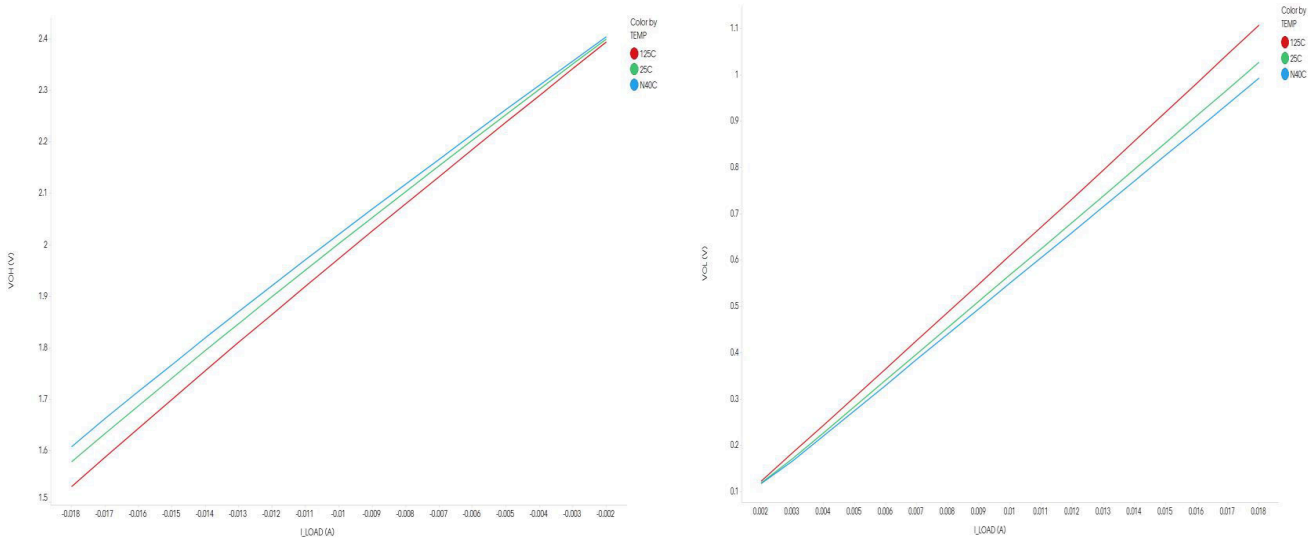


图 6-9. 2.5V VDDIO 时，LED V 与 I 间的关系

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

DP83TG720R-Q1 是一款 1000BASE-T1 汽车以太网物理层收发器，符合 IEEE 802.3bp 标准和面向汽车应用的 AEC-Q100 标准。

该器件经过专门设计，运行速度为 1Gbps，同时满足严格的汽车 EMC 要求。DP83TG720R-Q1 通过单条非屏蔽/屏蔽双绞线电缆以 750MBd 的速度发送 PAM3 三元符号。该器件设计采用单个 36 引脚 VQFN 可湿性侧面封装，支持 RGMII。

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图

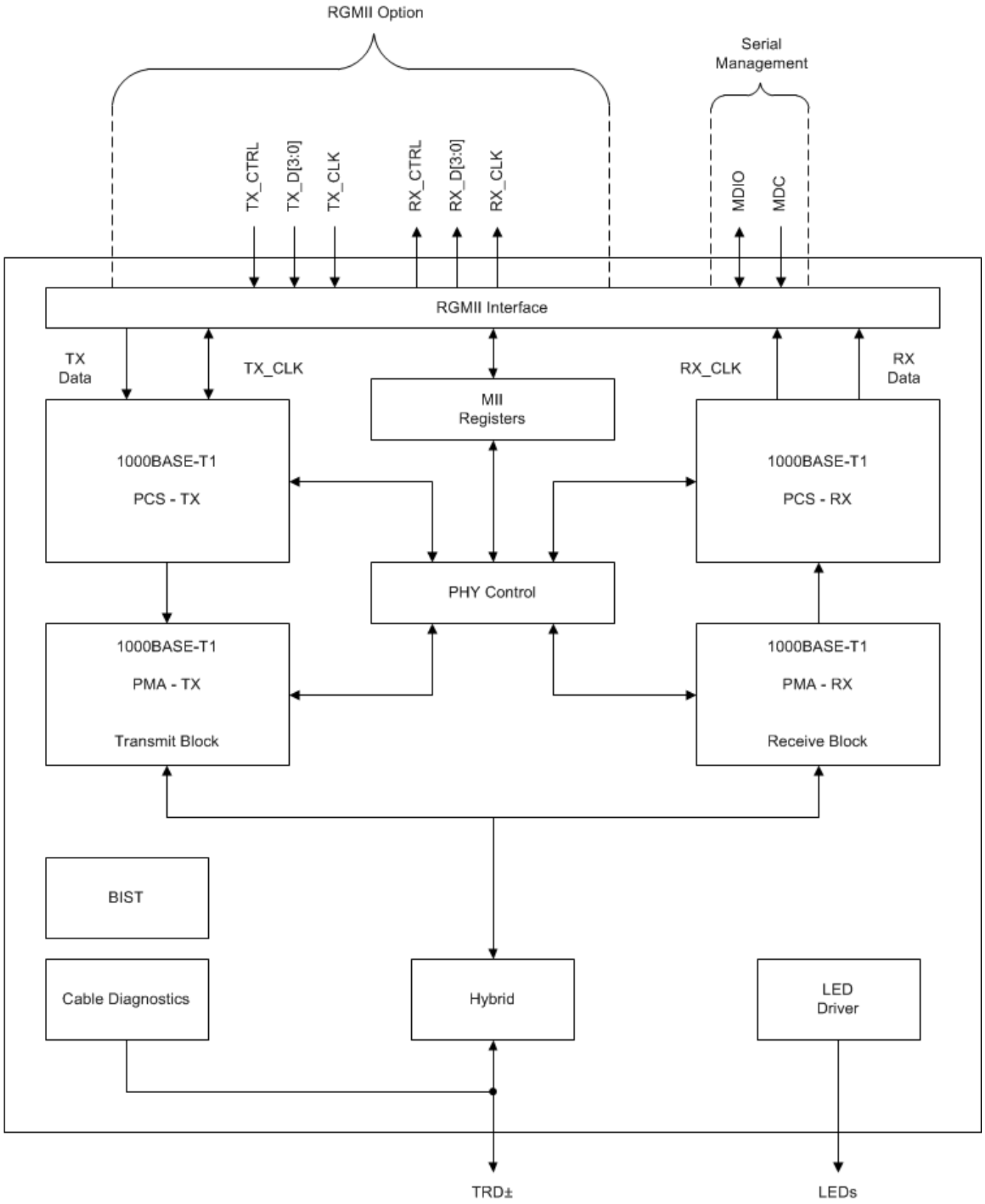


图 7-1. DP83TG720R-Q1 功能方框图

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 诊断工具套件

DP83TG720R-Q1 诊断工具套件可提供用于监测正常运行、器件级调试、系统级调试、故障检测和合规性测试的机制。该工具套件包括带 PRBS 数据的内置自检、各种环回模式、信号质量指示器 (SQI)、时域反射计 (TDR)、电压监测器、温度监测器、静电放电监测器和 IEEE 802.3bp 测试模式。

7.3.1.1 信号质量指示器

DP83TG720R-Q1 处于激活状态时，信号质量指标可用于根据器件的 SNR 读数确定链路质量。

SQI 根据计算的 SNR 值推导得出，表示为 8 级指标，其中第 5 级提供优于 10^{-10} 的 BER。

备注

请参阅 *DP83TG720：请参阅《Open Alliance 规范合规性配置》* 应用手册，了解有关使用 SQI 寄存器进行 Open Alliance TC12 SQI 测试的详细信息。

7.3.1.2 时域反射法

时域反射计有助于检测和估计电缆开路和短路故障的位置。

在寄存器 [0x001E] 中设置位 [15] = 'b1，可激活 TDR。TDR 诊断过程成功完成后，寄存器 [0x001E] 的位 [1:0] 将变为 'b10。该状态更改结束后，可从下表的寄存器中读取 TDR 结果。

表 7-1. TDR 结果寄存器：0x030F

寄存器位	说明
[1:0]	• 01 = TDR 激活 • 10 = TDR 开启 • 00,11 = TDR 不可用
[3:2]	保留
[7:4]	• 0011 = 短路 • 0110 = 开路 • 0101 = 噪声 • 0111 = 电缆正常 • 1000 = 正在测试；TDR 开启时的初始值 • 1101 = 无法测试（例如，噪声、活动链路） • 其他无效值
[13:8]	• 故障距离 = [13:8] 的十进制值 • 'b111111 = 分辨率不可用/超出距离
[15:14]	保留

备注

若链路已处于活动状态，则不得运行 TDR。在活动线路上运行 TDR 可能导致 TDR 失效，还可能导致链路中断。

请参阅 *DP83TG720：请参阅《Open Alliance 规范合规性配置》* 应用手册，了解运行 TDR 的详细程序。

Copyright © 2025 Texas Instruments Incorporated

7.3.1.3 数据路径内置自检

DP83TG720R-Q1 具有数据路径内置自检 (BIST) 功能，可检查 PHY 级和系统级数据路径。BIST 具有以下集成功能，可在不依靠 MAC 或外部数据生成器硬件/软件的情况下完成系统级数据传输测试（吞吐量等）和诊断。

1. 环回模式
2. 数据生成器
   a. 可定制的 MAC 数据包生成器。
   b. 发送数据包计数器。
   c. PRBS 流发生器。
3. 数据校验器
   a. 接收 MAC 数据包错误校验器。
   b. 接收数据包计数器：统计接收数据包和错误数据包的数量。
   c. PRBS 锁和 PRBS 错误校验器。

7.3.1.3.1 环回模式

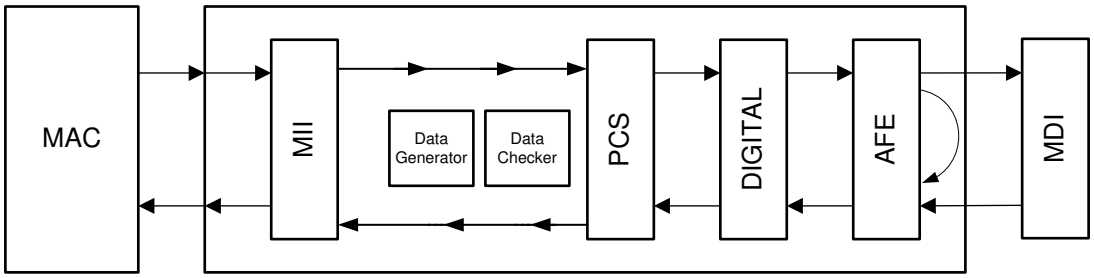


图 7-2. 所有环回

DP83TG720R-Q1 内有多个环回选项可供选择。根据系统验证要求，可通过启用不同环回模式来启用/绕过不同数据路径。可结合以下数据生成选项，启用不同环回：

a. 内置数据生成器

b. 外部数据生成器（在以太网电缆或 MAC 侧）

以下各图所示为不同环回选项的数据流：

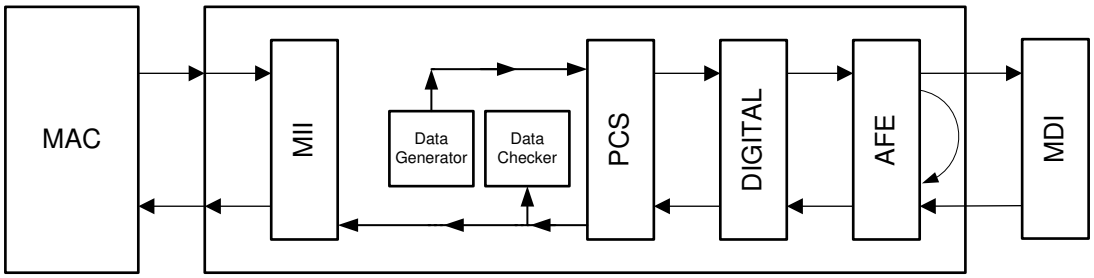


图 7-3. 具有内置数据生成器的模拟环回

Copyright © 2025 Texas Instruments Incorporated

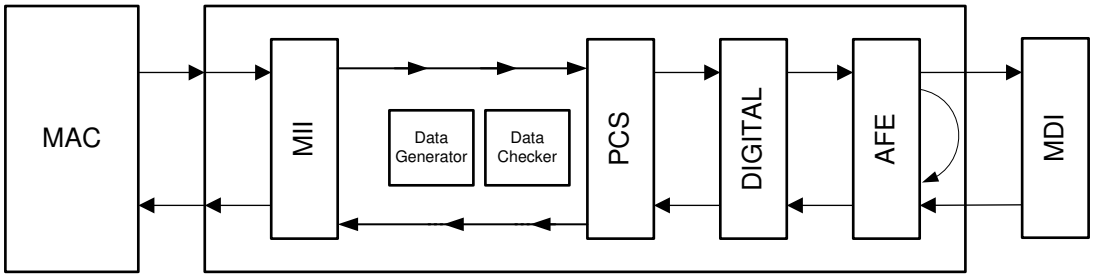


图 7-4. 具有外部数据生成器的模拟环回

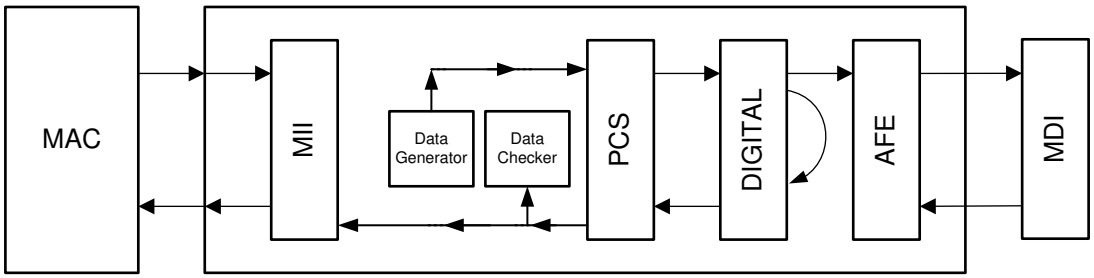


图 7-5. 具有内置数据生成器的数字环回

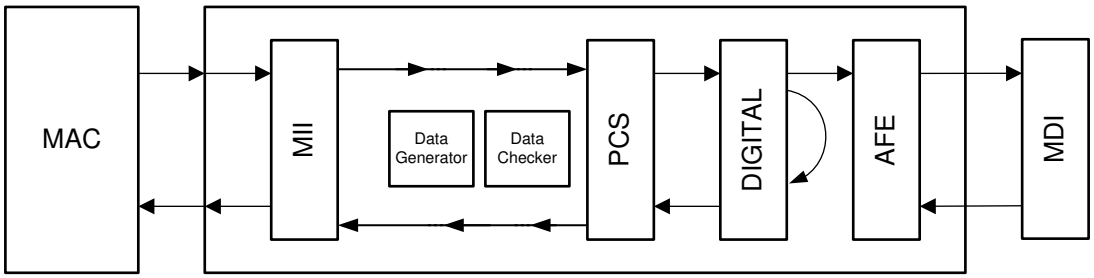


图 7-6. 具有外部数据生成器的数字环回

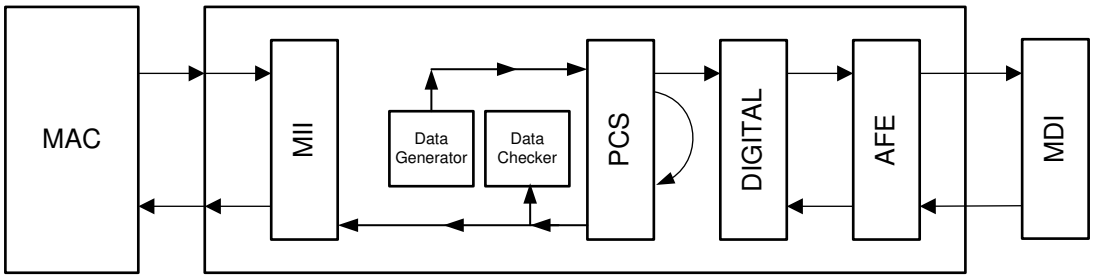


图 7-7. 具有内置数据生成器的 PCS 环回

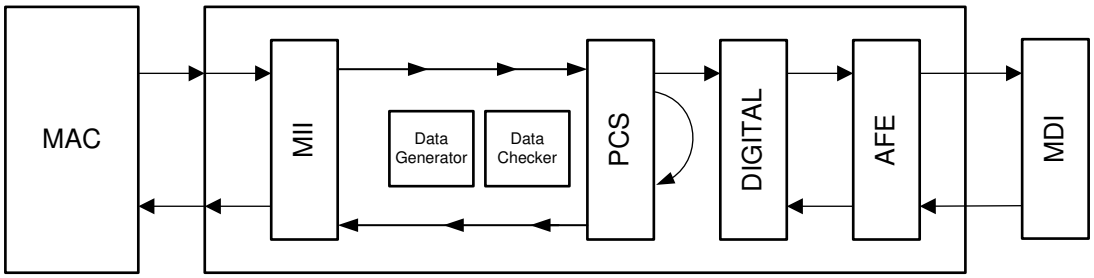


图 7-8. 具有外部数据生成器的 PCS 环回

Copyright © 2025 Texas Instruments Incorporated

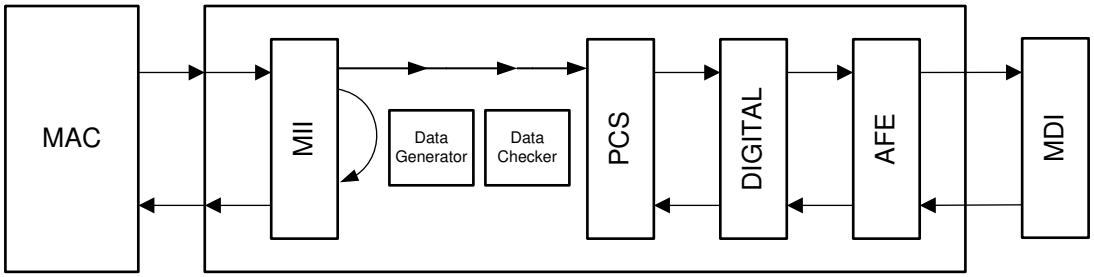


图 7-9. 具有外部数据生成器的 xMII 环回

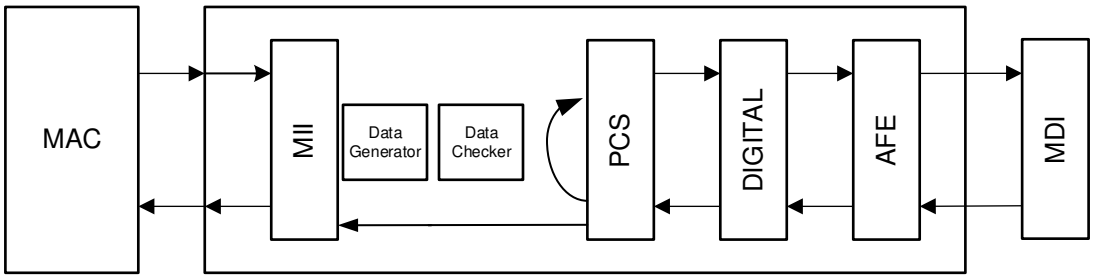


图 7-10. 具有外部数据生成器的 xMII 反向环回

7.3.1.3.2 数据生成器

可对数据生成器进行编程，进而生成用户定义的 MAC 数据包或 PRBS 流。

可配置所生成 MAC 数据包的以下参数（有关所需配置，请参阅寄存器 <0x061B>、寄存器 <0x061A> 和寄存器 <0x0624>）：

- 数据包长度
- 数据包间间隙
- 需发送或持续传输的数据包的规定数量
- 数据包数据类型：增量/固定/PRBS
- 每个数据包的有效字节数

Copyright © 2025 Texas Instruments Incorporated

7.3.1.3.3 编程数据路径 BIST

以下寄存器设置可启用不同的环回、数据生成和数据校验程序。

表 7-2. 数据路径 BIST 编程

	回送模式	启用环回模式	启用数据生成器和校验器：MAC 数据包	检查传入 MAC 数据包的状态	启用数据生成器和校验器：PRBS 流	检查传入 PRBS 的状态：PRBS 流	其他注意事项
1	模拟环回	写入： reg[0x0016] = 0x0108 写入： reg[0x0405] = 0x2800	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x1555	读取： reg[0x063C]，获取接收数据包总数的位 (15:0)。 读取： reg[0x063D]，获取接收数据包总数的位 (31:16)。 读取： reg[0x063E]，获取有 CRC 错误的接收数据包。	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x0557	第 1 步： 写入： reg[0x0620](1) = 1'b1 第 2 步： 读取：reg[0x0620] (7:0) = 接收的错误字节数。 读取：reg[0x0620] (8) (1 表示 PRBS 数据正在传入且校验器已锁定)	断开电缆/链路伙伴。 生成的数据将进入 MAC 侧，用于禁用 MAC 侧： 写入： reg[0x0000] = 0x0540
2	数字环回	写入： reg[0x0016] = 0x0104 写入： reg[0x0800][11] = 1	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x1555	读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg<0x063E> -> 接收的数据包有 CRC 错误	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x0557	第 1 步： 写入： reg[0x0620][1] = 1'b1 第 2 步： 读取：reg[0x0620] [7:0] = 接收的错误字节数。 读取：reg[0x0620] [8] (1 表示 PRBS 数据正在传入且校验器已锁定)	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000 生成的数据将进入 MAC 侧，用于禁用 MAC 侧： 写入： reg[0x0000] = 0x0540
3	PCS 环回	写入： reg<0x0016> = 0x0101	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x1555	读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x0557	第 1 步： 写入： reg[0x0620][1] = 1'b1 第 2 步： 读取：reg[0x0620] [7:0] = 接收的错误字节数。 读取：reg[0x0620] [8] (1 表示 PRBS 数据正在传入且校验器已锁定)	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000 生成的数据将进入 MAC 侧，用于禁用 MAC 侧： 写入： reg[0x0000] = 0x0540

Copyright © 2025 Texas Instruments Incorporated

表 7-2. 数据路径 BIST 编程（续）

	回送模式	启用环回模式	启用数据生成器和校验器：MAC 数据包	检查传入 MAC 数据包的状态	启用数据生成器和校验器：PRBS 流	检查传入 PRBS 的状态：PRBS 流	其他注意事项
4	RGMII 环回	写入： reg<0x0000> = 0x4140	数据在 Rgmii TX 引脚外部生成 写入： reg[0x0619] = 0x1004	可在 Rgmii RX 引脚上验证数据。此外，还可按如下方式在内部检查数据包错误： 读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	数据在 Rgmii Tx 引脚外部生成。	不适用，因为数据为外部数据。 PRBS 流校验器仅适用于与内部数据生成器配合使用。	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000
5	SGMII 环回	写入： reg[0x0000] = 0x4140	数据在 Sgmii TX 引脚外部生成 写入： reg[0x0619] = 0x1114	可在 Sgmii RX 引脚上验证数据。此外，还可按如下方式在内部检查数据包错误： 读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	数据在 Sgmii Tx 引脚外部生成。	不适用，因为数据为外部数据。 PRBS 流校验器仅适用于与内部数据生成器配合使用。	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000
6	RGMII 反向环回	写入： reg[0x0016] = 0x0010	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x1555	读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x0557	第 1 步： 写入： reg[0x0620][1] = 1'b1 第 2 步： 读取：reg[0x0620] [7:0] = 接收的错误字节数。 读取：reg[0x0620] [8]（1 表示 PRBS 数据正在传入且校验器已锁定）	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000

Copyright © 2025 Texas Instruments Incorporated

表 7-2. 数据路径 BIST 编程（续）

	回送模式	启用环回模式	启用数据生成器和校验器：MAC 数据包	检查传入 MAC 数据包的状态	启用数据生成器和校验器：PRBS 流	检查传入 PRBS 的状态：PRBS 流	其他注意事项
7	SGMII 反向环回	写入： reg[0x042C] = 0x0010	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x1555	读取： reg[0x063C]，获取接收数据包总数的位 [15:0]。 读取： reg[0x063D]，获取接收数据包总数的位 [31:16]。 读取： reg[0x063E]，获取有 CRC 错误的接收数据包。	写入： reg[0x0624] = 0x55BF 写入： reg[0x0619] = 0x0557	第 1 步： 写入： reg[0x0620][1] = 1'b1 第 2 步： 读取：reg[0x0620] [7:0]，获取接收的错误字节数。 读取：reg[0x0620] [8]（1 表示 PRBS 数据正在传入且校验器已锁定）	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000

备注

可使用寄存器 [0x061B] 和寄存器 [0x0624] 进一步配置不同的 MAC 数据包参数

Copyright © 2025 Texas Instruments Incorporated

7.3.1.4 温度和电压检测

PHY 的温度传感器可用于指示系统温度，可通过读取温度传感器输出寄存器来动态读取读数。

电压传感器检测所有电源引脚的电压：vdda、vddio 和 vdd1p0。通过读取相应的电压传感器输出寄存器，可检测每个引脚的有源电压。

所有传感器都始终处于活动状态，并监测状态机定期轮询每个传感器的值。通过使用 MONITOR_CTRL_3 寄存器，可进一步对监测状态机进行编程，以便为某个传感器提供比另一传感器更高的优先级/采样时间。

以下软件序列可用于读取任何传感器的输出：

- 第 1 步：编程寄存器 [0x0467] = 0x6004；初始配置监测器
- 第 2 步：编程寄存器 [0x046A] = 0x00A6，然后编程寄存器 [0x046A] = 0x00A3；刷新监测器
- 第 3 步：编程寄存器 [0x0468]，选择要轮询的相应传感器，读取寄存器 [0x047B] [14:7]，以便获取所选传感器的输出代码。
- 第 4 步：在以下公式中代入读取传感器输出代码的值（十进制），获取传感器的十进制输出值。请参阅传感器选择表，获得以下公式中所需的常数值：
  - vdda_value = 3.3 + (vdda_output_code - vdda_output_mean_code) * slope_vdda_sensor
  - vdd1p0_value = 1.0 + (vdd1p0_output_code - vdd1p0_ouput_mean_code)*slope_vdd1p0_sensor
  - vddio_calculated = 3.3 + (vddio_ouput_code - vddio_output_mean_code)*slope_vddio_sensor
  - temperature_calculated = 25 + (temperature_output_code - temperature_output_mean_code)*slope_temperature_sensor

表 7-3. 传感器选择表

寄存器 [0x0468]	所选读取传感器
0x1920	VDDA 电压传感器
0x2920	VDD1P0 电压传感器
0x3920	VDDIO 电压传感器
0x4920	温度传感器

表 7-4. 传感器的常数值

常量	值（十进制）
vdda_output_mean_code	128
slope_vdda3p3_sensor	8.63014e-3
vdd1p0_output_mean_code	93
slope_vdd1p0_sensor	2.85714e-3
vddio_output_mean_code	224
slope_vddio_sensor	15.686e-3
temperature_output_mean_code	161
slope_temperature_sensor	1

备注

如果客户在 25°C 时采样“temperature_output_code”并将其用作“temperature_output_mean_code”，则可充分提高温度传感器的精度 (7.5°C)。

Copyright © 2025 Texas Instruments Incorporated

7.3.1.5 静电放电检测

对电子电路而言，静电放电非常危险，若缓解不当，就会导致短期问题（信号完整性、链路丢弃、数据包丢失）及长期可靠性故障。DP83TG720R-Q1 包含强大的集成 ESD 电路，还具有 ESD 检测架构。可在 MDI 引脚上检测 ESD 事件，用于进一步分析和调试。

ESD 检测工具可用于原型设计和终端应用。此外，对于寄存器 <0x0442> 中记录的 ESD 事件，DP83TG720R-Q1 还会提供中断状态标志。为防止不必要的清除，ESDS 寄存器会忽略硬件和软件复位。

表 7-5. ESD 检测：中断设置和计数读取

功能	所需读取/写入
中断启用	• 写入寄存器 <0x0012>[3] = 1
ESD 事件计数器	• 读取寄存器 <0x0442>[14:9] • 十进制数值表示上电之后的 ESD 冲击。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 合规性测试模式

DP83TG720R-Q1 的六种测试模式都符合 IEEE 802.3bp 第 97.5.2 条。所支持的测试模式可测试发送器波形功率谱密度 (PSD) 掩码、失真、MDI 主模式抖动、MDI 从模式抖动、压降、发送器频率、频率容差、BER 监测、回波损耗和模式转换。三个 GPIO 中的任何一个均可用于输出 TX_TCLK，以便进行 MDI 从模式抖动测量。

7.3.2.1 测试模式 1

与伙伴相链接时，测试模式 1 测试发送器时钟抖动。在测试模式 1 中，使用 IEEE 802.3bp 第 97.6 节中定义的链路段来连接 DP83TG720R-Q1 PHY。TX_TCLK125 是源自 TX_TCLK 的分频时钟，频率为 TX_TCLK 的六分之一。

7.3.2.2 测试模式 2

测试模式 2 测试发送器 MDI 主模式抖动。在测试模式 2 中，DP83TG720R-Q1 会发送由三个 { +1 } 个符号和三个 { -1 } 个符号组成的连续模式。所发送符号的时间从 750MHz 源开始，从而产生 125MHz 信号。

7.3.2.3 测试模式 4

测试模式 4 测试发送器失真。在测试模式 4 中，DP83TG720R-Q1 将发送根据方程式 1 生成的符号序列：

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

位序列 x0n 和 x1n 根据扰频器及以下公式组合生成 和：

$$'x0_n = Scr_n[0] \quad (2)$$

$$x1_n = Scr_n[1] \wedge Scr_n[4] \quad (3)$$

$$x2_n = Scr_n[1] \wedge Scr_n[5] \quad (4)$$

表 7-6 中显示了 3 位半字节的示例流。

表 7-6. 发送器测试模式 4 符号映射

x2n	x1n	x0n	T1n	T0n
0	0	0	-1	-1
0	0	1	0	-1
0	1	0	-1	0
0	1	1	-1	+1
1	0	0	+1	0
1	0	1	+1	-1
1	1	0	+1	+1
1	1	1	0	+1

7.3.2.4 测试模式 5

测试模式 5 测试发送器 PSD 屏蔽。在测试模式 5 中，DP83TG720R-Q1 将发送正常帧间 IDLE PAM3 符号。

7.3.2.5 测试模式 6

测试模式 6 测试发送器压降。在测试模式 6 中，DP83TG720R-Q1 以 750MHz 的符号传输速率传输十五个 { +1 } 符号，然后是十五个 { -1 } 符号。在禁用此测试模式之前，该 25MHz 模式持续重复。

7.3.2.6 测试模式 7

测试模式 7 启用链路段上的误码率测量。通过比较预期零数据模式与所接收的任何非零位，此模式可使用 MDI 上的零数据模式来检查 BER。在 FEC 和 80B/81B 解码之后执行错误检查。

Copyright © 2025 Texas Instruments Incorporated

表 7-7. 测试模式寄存器设置

MMD	寄存器	值	测试模式
MMD1	0x0904	0x2000	测试模式 1：TX_Tclk 125MHz 与 clkout 引脚相连。
MMD1	0x0904	0x4000	测试模式 2
MMD1	0x0904	0x8000	测试模式 4：TX_Tclk 125MHz 与 clkout 引脚相连。
MMD1F	0x0453	0x0019	
MMD1	0x0904	0xA000	测试模式 5
MMD1	0x0904	0xC000	测试模式 6
MMD1	0x0904	0xE000	测试模式 7

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

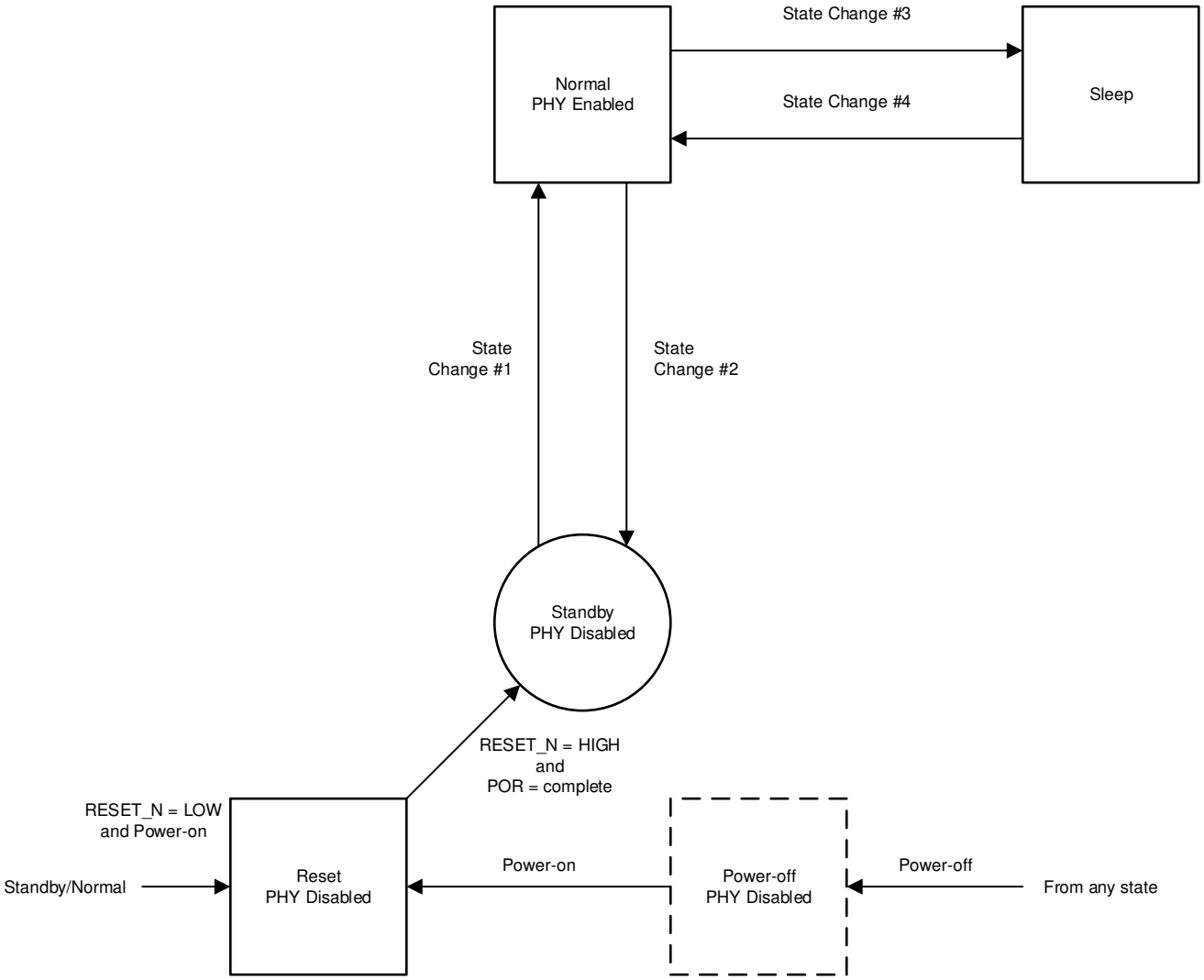


图 7-11. PHY 运行状态图

7.4.1 断电

当 VDDA3P3、VDDIO 或 VDD1P0 低于 POR 阈值时，DP83TG720R-Q1 处于断电状态。所有数字 IO 都将保持高阻抗状态，且模拟块被禁用。断电状态时不存在 PMA 终端。

7.4.2 复位

如果将 RESET_N 拉至低电平（最短复位脉冲时间）或通过设置寄存器 [0x001F] 的位 [15] 来启动硬件复位，则会在上电时激活复位。

- 数字状态机在复位后重启，所有寄存器设置都将清除至启动状态。
- 复位状态期间，clkout 引脚上的 25MHz 时钟也将处于激活状态。
- 复位状态期间，MDI/PMA 无终端。

备注

仅通过引脚复位而不是通过由寄存器（寄存器 [0x001F] = X8000）实现的硬件复位来再次锁存自举。

Copyright © 2025 Texas Instruments Incorporated

7.4.3 待机

只要器件自举为管理运行，在上电和复位之后，器件（MDI 主模式或 MDI 从模式）都会自动进入待机模式。

在待机模式下，除 PCS 和 PMA 块外，所有 PHY 功能均可运行。处于待机模式时，无法建立链路，不能发送或接收数据。SMI 功能正常运行，寄存器配置得到维护。

如果通过自举设置将器件配置为自主运行，则 PHY 会在上电并完成复位后自动切换到正常运行模式。

7.4.4 正常

可从自主或管理运行进入正常模式。在自主运行时，PHY 将在上电后自动尝试与有效链路伙伴建立链路。

在管理运行中，需执行 SMI 访问才能使器件退出待机状态；通过 SMI 发出的命令可使器件退出待机状态并启用 PCS 和 PMA 块。所有器件都能以正常模式运行。

设置寄存器 0x18B 中的位 [6] 后，可通过 SMI 访问启用自主运行。

7.4.5 睡眠

进入睡眠模式后，除能量检测外，将禁用所有 PHY 块。在睡眠模式下，所有寄存器配置都会丢失。处于睡眠模式时，无法建立链路，不能传输或接收数据，不可访问 SMI。

如需使用 PHY 的睡眠模式，请参阅下图中突出显示的实现。

Copyright © 2025 Texas Instruments Incorporated

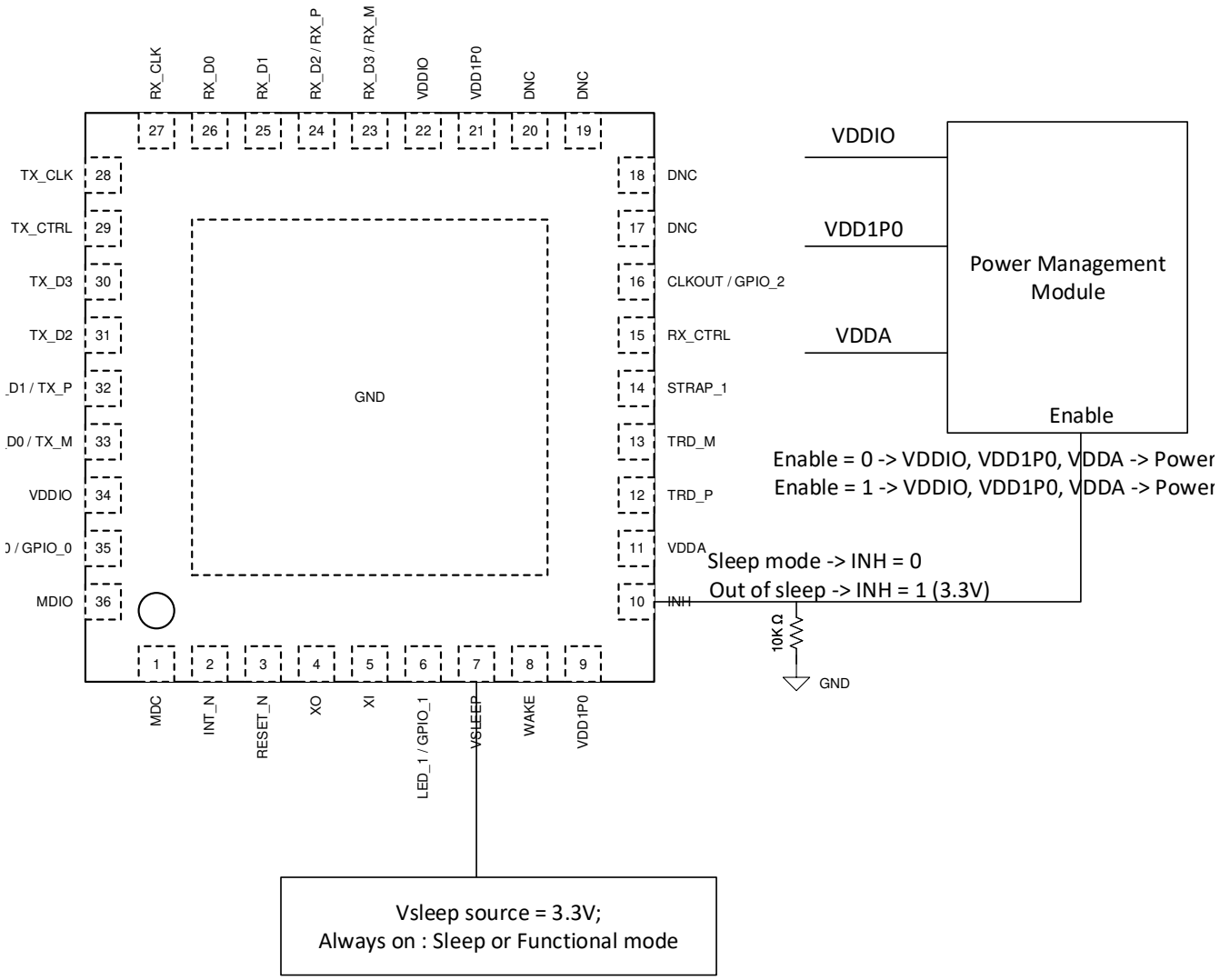


图 7-12. 睡眠模式所需实现

备注

若未根据上图禁用电源，PHY 将不会进入睡眠模式。

Copyright © 2025 Texas Instruments Incorporated

7.4.6 状态转换

7.4.6.1 状态转换 #1 - 待机到正常

*自主运行：*POR 完成后，PHY 将自动转换为正常状态。

*管理运行：*仅在写入寄存器 <0x018C> = 0x001 后，PHY 才会从待机状态转换为正常状态。

7.4.6.2 状态转换 #2 - 正常到待机

在正常状态下，通过写入寄存器 <0x018C> = 0x0010，可强制 PHY 返回待机状态。

7.4.6.3 状态转换 #3 - 正常到睡眠

可在本地（引脚/寄存器写入）或通过远程链路伙伴进入睡眠状态。

主模式 PHY 的本地睡眠进入：

- 第 1 步：写入寄存器 [0x018B] 的位 [7] = 'b1。
- 第 2 步：写入 reg0x042F = 0x0007、reg0x041E = 0x0100
- 第 3 步：将 wake 引脚置为低电平并保持低电平，以便进入睡眠模式。

从模式 PHY 的本地睡眠进入：

- 第 1 步：写入寄存器 [0x018B] 的位 [8] = 'b0。
- 第 2 步：写入寄存器 [0x018B] 的位 [7] = 'b1。
- 第 3 步：写入 reg0x042F = 0x0007、reg0x041E = 0x0100
- 第 4 步：将 wake 引脚置为低电平并保持低电平，以便进入睡眠模式。

主模式 PHY 的远程睡眠进入：

- 器件与链路伙伴建立链路之后，根据如下说明，从模式 PHY 可远程使主模式进入睡眠状态。
- 第 1 步：写入寄存器 [0x018B] 的位 [8] = 'b1 和寄存器 [0x018B] 的位 [7] = 'b1。
- 第 2 步：将 wake 引脚置为低电平
- 第 3 步：PHY 将进入睡眠模式，损失线路能量

从模式 PHY 的远程睡眠进入：

- 第 1 步：写入寄存器 [0x018B] 的位 [7] = 'b1。
- 第 2 步：将 wake 引脚置为低电平。
- 第 3 步：PHY 将进入睡眠模式，损失线路能量（主模式完全进入睡眠时：无数据、无 send-s)。这可通过将链路伙伴置于管理模式（不允许器件启动链路建立序列）来实现。

备注

仅当使用 INH 信号断开电源时，PHY 才会进入睡眠模式，如图**睡眠模式所需实现**所示。

7.4.6.4 状态转换 #4 - 睡眠到正常

可在本地（引脚/寄存器写入）或通过远程链路伙伴退出睡眠状态。

本地睡眠退出

主模式 PHY 的本地睡眠退出方式：

- 将 wake 引脚置为高电平 (3.3V)。

从模式 PHY 的本地睡眠退出方式：

- 将 wake 引脚置为高电平 (3.3V)。

Copyright © 2025 Texas Instruments Incorporated

远程睡眠退出

如需通过链路伙伴使器件退出睡眠模式，可采用以下任一方式：

1. 使用链路伙伴的 Send-S 符号完成远程睡眠退出。
2. 使用链路伙伴的 Send-T 符号完成远程睡眠退出。

下表列出了这些程序的详细信息：

表 7-8. 远程睡眠退出程序

方法	器件模式	过程	所需的链路伙伴能力
使用 Send-S	主器件	第 1 步：从链路伙伴启动 IEEE 定义的 Send-S 模式，至少持续 1.25ms。 第 2 步：将链路伙伴置于正常模式，以便启动链路建立。 注意：具有低 VOD 的链路伙伴可将远程唤醒限制在最大 5m 电缆的范围内。	链路伙伴还需要可在从模式下按需发送 Send-S 模式的模式。 一种可能方法是： 第 1 步：将链路伙伴置于主模式，至少持续 1.25ms。 第 2 步：将链路伙伴置于正常模式，以便启动链路建立
	从器件	第 1 步：从链路伙伴启动 IEEE 定义的 Send-S 模式，至少持续 1.25ms。 第 2 步：将链路伙伴置于正常模式，以便启动链路建立。 注意：具有低 VOD 的链路伙伴可将远程唤醒限制在最大 5m 电缆的范围内。 注意：如需使从模式 DP83TG720 保持睡眠模式，可将链路伙伴置于管理模式（不允许器件启动链路建立序列）。	可使用任何符合 IEEE 标准的链路伙伴，因为主模式链路伙伴应通过发送 Send-S 信号来启动链路建立

Copyright © 2025 Texas Instruments Incorporated

表 7-8. 远程睡眠退出程序（续）

方法	器件模式	过程	所需的链路伙伴能力
使用 Send-T	主器件	第 1 步：启用链路伙伴的 Send-T 模式，至少持续 1.25ms。 第 2 步：将链路伙伴置于正常模式，以便启动链路建立。	链路伙伴需要可按需发送 Send-T 模式的模式。 在 Send-T 模式下，链路伙伴引脚处的摆幅必须大于 0.92V，以便通过 15m 电缆进行远程唤醒。具有较低 VOD 的链路伙伴可将远程唤醒限制在 5m 电缆范围内。 DP83T720 作为链路伙伴，可通过以下步骤完成所需运行： 第 1 步：启用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = 0x7400；reg[0x0509] = 0x4007 和 reg[0x0576] = 0x0500 第 2 步：100ms 后，禁用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = x5800；reg[0x0509] = 0x4005 和 reg[0x0576] = 0x0000
	从器件	第 1 步：启用链路伙伴的 Send-T 模式，至少持续 1.25ms。 第 2 步：将链路伙伴置于正常模式，以便启动链路建立。	链路伙伴需要可按需发送 Send-T 模式的模式。 在 Send-T 模式下，链路伙伴引脚处的摆幅必须大于 0.92V，以便通过 15m 电缆进行远程唤醒。具有较低 VOD 的链路伙伴可将远程唤醒限制在 5m 电缆范围内。 DP83T720 作为链路伙伴，可通过以下步骤完成所需运行： 第 1 步：启用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = 0x7400；reg[0x0509] = 0x4007 和 reg[0x0576] = 0x0500 第 2 步：100ms 后，禁用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = x5800；reg[0x0509] = 0x4005 和 reg[0x0576] = 0x0000

Copyright © 2025 Texas Instruments Incorporated

7.4.7 媒体相关接口

7.4.7.1 MDI 主模式和 MDI 从模式配置

使用硬件自举或通过寄存器访问均可配置 MDI 主模式和 MDI 从模式。

LED_0 控制 MDI 主模式和 MDI 从模式自举配置。默认情况下配置为 MDI 从模式，因为 LED_0 引脚带有内部下拉电阻器。如果优先通过硬件自举来配置 MDI 主模式，则需添加外部上拉电阻器。

此外，PMA_CTRL2 寄存器中的位 [14] 也可控制 MDI 主模式和 MDI 从模式配置。设置该位时，将启用 MDI 主模式。

7.4.7.2 自动极性检测和校正

在链路训练过程中，DP83TG720R-Q1 作为 MDI 接收器，能够检测极性反转并自动校正错误。主模式和从模式检测均可完成接收器极性所需的校正。

无法在 DP83TG720R-Q1 上禁用自动极性校正

Copyright © 2025 Texas Instruments Incorporated

7.4.8 MAC 接口

7.4.8.1 简化千兆位媒体独立接口

DP83TG720R-Q1 也支持 RGMII 2.0 版指定的简化千兆位媒体独立接口 (RGMII)。RGMII 旨在减少连接 MAC 和 PHY 所需的引脚数。为实现这一目标，将对控制信号进行多路复用。时钟的上升沿和下降沿都用于对发送和接收路径中的控制信号引脚进行采样。对于 1Gbps 运行，RX_CLK 和 TX_CLK 都以 125MHz 运行。

表 7-9 中总结了 RGMII 信号。

表 7-9. RGMII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
控制信号	TX_CTRL
	RX_CTRL
时钟信号	TX_CLK
	RX_CLK

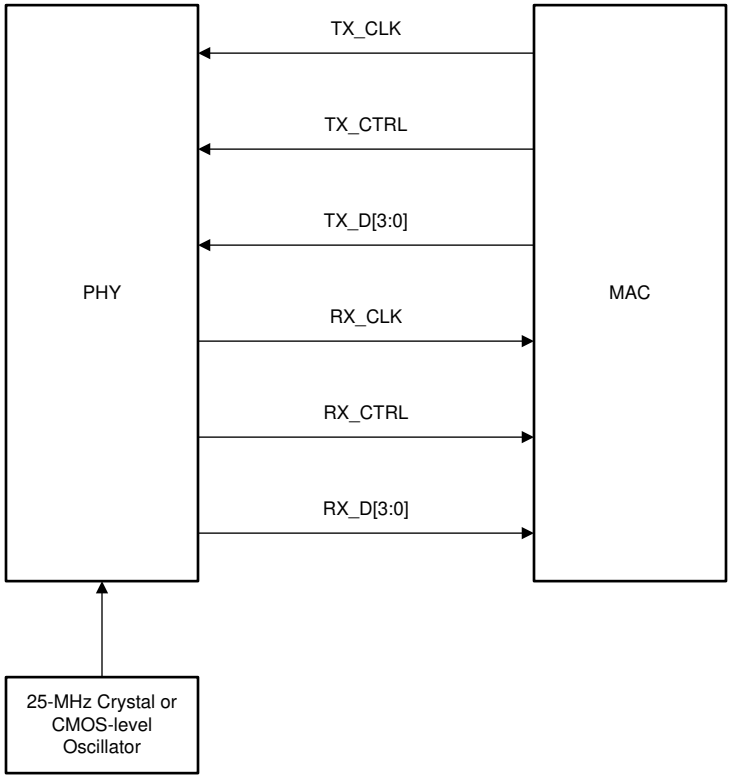


图 7-13. RGMII 连接

表 7-10. RGMII 发送编码

TX_CTRL（正边沿）	TX_CTRL（负边沿）	TX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1111	保留
1	0	0000 至 1111	正常数据发送
1	1	0000 至 1111	发送错误传播

表 7-11. RGMII 接收编码

RX_CTRL（正边沿）	RX_CTRL（负边沿）	RX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1101	保留
0	1	1110	错误载波指示
0	1	1111	保留
1	0	0000 至 1111	正常数据接收
1	1	0000 至 1111	有错误的数据接收

DP83TG720R-Q1 支持带内状态指示，有助于简化链路状态检测。RX_D[3:0] 引脚上的帧间信号如表 7-12 所示。

表 7-12. RGMII 带内状态

RX_CTRL	RX_D3	RX_D[2:1]	RX_D0
0 **注意：** 带内状态仅在 RX_CTRL 为低电平时有效	**双工状态：** 0 = 半双工 1 = 全双工	**RX_CLK 时钟速度：** 00 = 2.5 MHz 01 = 25MHz 10 = 125MHz 11 = 保留	**链路状态：** 0 = 未建立链路 1 = 已建立有效链路

用于千兆位以太网的 RGMII MAC 接口具有严格的时序要求，可满足系统级性能要求。为满足这些时序要求并通过 RGMII 运行不同 MAC，在设计 PCB 时必须考虑以下要求。TI 建议使用 DP83TG720 IBIS 模型来检查电路板级信号完整性。

RGMII-TX 要求

- RGMII TX 信号以 50Ω +/- 15% 的控制阻抗布线。
- 最大布线长度限制在 5 英寸以内，以便提高信号完整性性能。
- 图 7-14 显示了针对 TX* 信号的 RGMII 接口要求。MAC RGMII 驱动器输出阻抗为 50Ω +/- 20%。
- 在 图 7-14 中 TP2 处，所有 RGMII TX 信号的偏斜都小于 ±500ps。
- 可通过 IBIS 模型仿真验证图 7-14 中 TP1 和 TP2 处的信号完整性，并符合以下要求：
  - 在 TP2 处，信号的上升/下降时间为 1ns，即信号振幅的 20-80%。
  - 在 TP2 处，VIH/VIL 电平之间的上升/下降时间具有单调性。

Copyright © 2025 Texas Instruments Incorporated

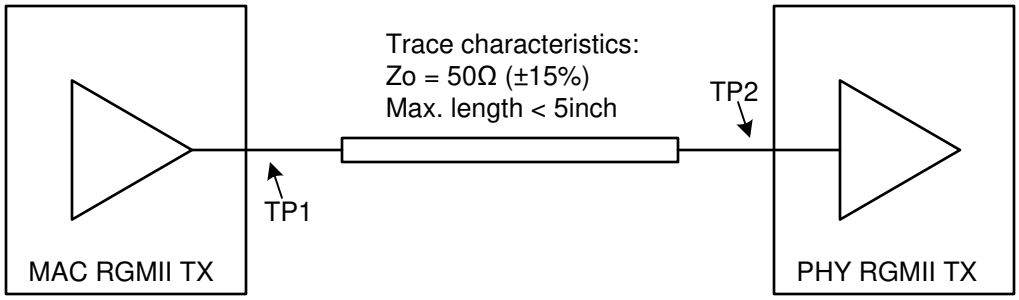


图 7-14. RGMII TX 要求

RGMII-RX 要求

- RGMII RX 信号以 50Ω +/- 15% 的控制阻抗布线。
- 最大布线长度限制在 5 英寸以内，以便提高信号完整性性能。
- 图 7-15 中 TP3/TP4 处不应添加阻尼电阻器，否则会影响 RX 信号的信号完整性。
- 图 7-15 显示了针对 RX* 信号的 RGMII 接口要求。MAC RGMII 驱动器输出阻抗为 50Ω +/- 20%。
- 可通过 IBIS 模型仿真验证图 7-15 中 TP3 和 TP4 处的信号完整性，并符合以下要求：
  - 在 TP4 处，信号的上升/下降时间为 1ns，即信号振幅的 20-80%。
  - 在 TP4 处，VIH/VIL 电平之间的上升/下降时间具有单调性。

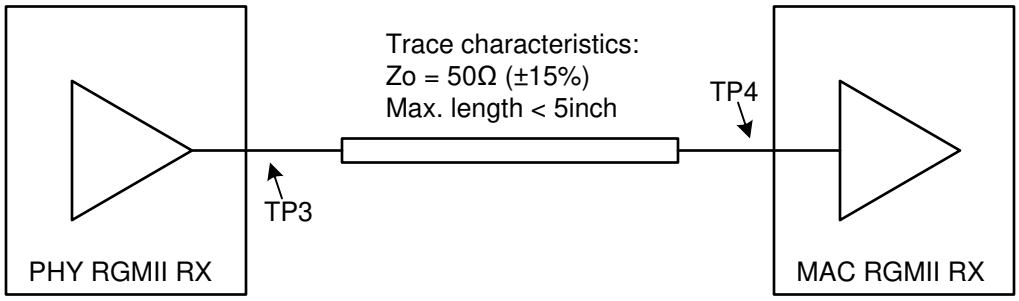


图 7-15. RGMII RX 要求

备注

1. 建议将 RGMII 连接至埋入式布线，从而充分减少 EMC 发射。
2. 连接埋入式布线时，过孔放置尽可能靠近 PHY 和 MAC。

Copyright © 2025 Texas Instruments Incorporated

7.4.9 串行管理接口

串行管理接口支持访问 DP83TG720R-Q1 内部寄存器空间，从而获得状态信息和配置。SMI 符合 IEEE 802.3 第 22 条。所实现的寄存器组包括 IEEE 802.3 所需寄存器和其他几个寄存器，能够提高 DP83TG720R-Q1 的可见性和可控性。

SMI 包括管理时钟 (MDC) 和管理输入和输出数据引脚 (MDIO)。MDC 来源于外部管理实体，也称为站 (STA)。MDC 不应持续运行，在总线空闲时可由外部管理实体关闭。

MDIO 由外部管理实体和 PHY 提供。MDIO 引脚上的数据在 MDC 的上升沿锁存。MDIO 引脚需要一个能够在空闲与转换期间将 MDIO 拉高的上拉电阻器 (2.2kΩ)。

最多 9 个 DP83TG720R-Q1 PHY 可共用一条公共 SMI 总线。为区分 PHY，采用了 3 位地址。上电复位期间，DP83TG720R-Q1 通过锁存 PHY_AD 配置引脚来确定其地址。

在上电复位后的首个周期内，管理实体不得启动 SMI 事务。为维持有效运行，在硬复位取消置位之后，SMI 总线必须至少在一个 MDC 周期保持未激活状态。在正常 MDIO 事务中，寄存器地址直接取自管理帧 reg_addr 字段，因此允许直接访问 32 个 16 位寄存器（包括 IEEE 802.3 定义的寄存器和特定于供应商的寄存器）。数据字段用于读取和写入操作。开始代码由 <01> 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读操作期间发生资源争用，在第一个比特周转期间，没有器件能够主动驱动 MDIO 信号。定址 DP83TG720R-Q1 在第二个转换位时以零驱动 MDIO，并在此之后以所需数据驱动。

对于写入事务，站管理实体会将数据写入定址 DP83TG720R-Q1，因而无需 MDIO 转换。转换时间由管理实体通过插入 <10> 来填充。

表 7-13. SMI 协议结构

SMI 协议	<idle> <start> <op code> <device address> <reg address> <turnaround> <data> <idle>
读取操作	<idle><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><idle>
写入操作	<idle><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><idle>

7.4.9.1 直接寄存器访问

直接寄存器访问可用于前 31 个寄存器（0x0h 至 0x1Fh）。

7.4.9.2 扩展寄存器空间访问

DP83TG720R-Q1 SMI 功能支持使用寄存器 REGCR (0x000Dh) 和 ADDAR (0x000Eh) 以及 IEEE 802.3ah 草案第 22 条所定义的 MDIO 管理器件 (MMD) 间接方法对扩展寄存器组进行读写访问，从而访问第 45 条所定义的扩展寄存器组。

备注

地址高于 0x001F 的寄存器需要间接访问。对于间接访问，必须遵循寄存器写入序列。MMD 值定义了寄存器组的器件地址 (DEVAD)。对于间接访问，必须在寄存器 0x000D (REGCR) 位[4:0]中配置 DEVAD

DP83TG720R-Q1 可支持 4 个 MMD 器件地址。这 4 个 MMD 寄存器空间是：

1. MMD1F（供应商特定寄存器）：DEVAD [4:0]= ‘11111’
2. MMD1（IEEE 802.3az 定义的寄存器）：DEVAD [4:0]= ‘00001’
3. MMD3（IEEE 802.3az 定义的寄存器）：DEVAD [4:0]= ‘00011’
4. MMD3（IEEE 802.3az 定义的寄存器）：DEVAD [4:0]= ‘00111’

Copyright © 2025 Texas Instruments Incorporated

表 7-14. MMD 寄存器空间划分

MMD 寄存器空间	寄存器地址范围
MMD1F	0x000 - 0x0EFD
MMD1	0x1000 - 0x1904
MMD3	0x3000 - 0x390D
MMD7	0x7000 - 0x7200

备注

对于 MMD1/3/7，寄存器地址的最高有效半字节用于表示相应的 MMD 空间。实际寄存器访问操作过程中应忽略该值。例如，访问寄存器 0x1904 时，使用 0x0904 作为寄存器地址，x01 作为 MMD。

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。

7.4.9.2.1 写入操作（无后增量）

如需在扩展寄存器组中写入寄存器：

指令	示例：设置寄存器 0x0170 = 0C50
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR (0x0D)。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR (0x0E)。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50

随后写入寄存器 ADDAR（第 4 步），继续重写由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

7.4.9.2.2 读取操作（无后增量）

如需读取扩展寄存器组中的寄存器：

指令	示例：读取 0x0170
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E

随后读取寄存器 ADDAR（第 4 步），继续读取由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

Copyright © 2025 Texas Instruments Incorporated

7.4.9.2.3 写入操作（有后增量）

在写入操作之后，若要写入扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

指令	示例：设置寄存器 0x0170 = 0C50 和寄存器 0x0171 = 0x0011
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.从寄存器 ADDAR 中写入寄存器地址。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F（数据，读取和写入时的后增量函数字段 = 10，DEVAD = 31）或值 0xC01F（数据，写入时的后增量函数字段 = 11，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50
5.随后写入寄存器 ADDAR（第 4 步），写入由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。	将寄存器 0x0E 写入值 0x0011

第 4 步写入寄存器 0x0170 至 0x0C50，由于启用了后增量，因此第 5 步写入寄存器 0x0171 至 0x0011。

7.4.9.2.4 读取操作（有后增量）

在读取操作之后，若要读取扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

指令	示例：读取寄存器 0x0170 和 0x0171
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F（数据，读取和写入时的后增量函数字段 = 10，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E
5.随后读取寄存器 ADDAR（第 4 步），读取由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。	读取寄存器 0x0E

第 4 步读取寄存器 0x0170，由于启用了后增量，因此第 5 步读取寄存器 0x0171。

Copyright © 2025 Texas Instruments Incorporated

7.5 编程

7.5.1 搭接配置

DP83TG720R-Q1 使用功能引脚作为搭接选项，以便将器件置于特定运行模式。在上电和硬件复位时对这些引脚的值进行采样（通过 RESET_N 引脚或寄存器访问）。自举引脚支持 2 级和 3 级搭接，下面将进一步详细描述。可通过搭接或串行管理接口来完成器件配置。

备注

- 自举引脚在复位取消置位后为功能引脚，不得直接与 VCC 或 GND 相连。
- 上拉自举电阻器足以进入不同自举模式。
- 下拉自举电阻器可用于 LED 引脚自举。请参阅 LED 配置部分。

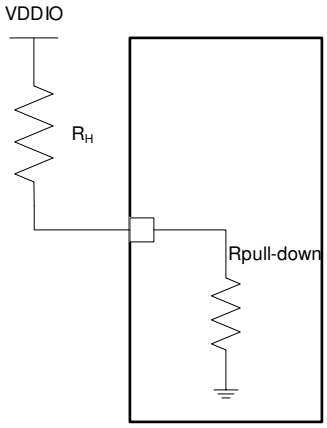


图 7-16. 配置 (Strap) 电路

表 7-15. 建议 3 级搭接电阻比

模式	VDDIO = 3.3V 时的推荐 RH (kΩ) [1]	VDDIO = 2.5V 时的推荐 RH (kΩ) [2]	VDDIO = 1.8V 时的推荐 RH (kΩ) [1]
1	断开	断开	断开
2	13	12	4
3	4.5	2	0.8

1. 10% 电阻器精度
2. 1% 电阻器精度

表 7-16. 建议 2 级搭接电阻器

模式	推荐 RH (kΩ) [1] [2]
1	断开
2	2.49

1. 10% 电阻器精度
2. 若要在 1.8V VDDIO 的客户应用中获得更多裕度，可使用 2.1K +/- 10% 上拉电阻器，或将 2.49K 电阻器的精度限制至 1%。

Copyright © 2025 Texas Instruments Incorporated

下表介绍了 DP83TG720R-Q1 配置自举：

表 7-17. 2 级自举

引脚名称	引脚编号	搭接模式	自举功能	说明
RX_D0	26	1（默认值）	MAC[0] = 0	MAC 接口选择 [0]。有关完整说明，请参阅表 7-18。
		2	MAC[0] = 1	
RX_D1	25	1（默认值）	MAC[1] = 0	MAC 接口选择 [1]。有关完整说明，请参阅表 7-18。
		2	MAC[1] = 1	
RX_D2	24	1（默认值）	MAC[2] = 0	MAC 接口选择 [2]。有关完整说明，请参阅表 7-18。
		2	MAC[2] = 1	
LED_0	35	1（默认值）	MS = 0	MDI 主从模式选择。 MS = 0 从模式 MS = 1 主模式
		2	MS = 1	
LED_1	6	1（默认值）	$\overline{\text{AUTO}}$ = 0	自主禁用 $\overline{\text{AUTO}}$ = 0 自主 $\overline{\text{AUTO}}$ = 1 管理
		2	$\overline{\text{AUTO}}$ = 1	

Copyright © 2025 Texas Instruments Incorporated

表 7-18. MAC 接口选择自举

MAC[2]	MAC[1]	MAC[0]	说明
0	0	0	RESERVED
0	0	1	RESERVED
0	1	0	RESERVED
0	1	1	RESERVED
1	0	0	RGMII (对齐模式)
1	0	1	RGMII (TX 漂移模式)
1	1	0	RGMII (TX 和 RX 漂移模式)
1	1	1	RGMII (RX 漂移模式)

表 7-19. 3 级自举：PHY 地址

PHY_AD[3:0]	RX_CTRL 自举模式	STRP_1 自举模式	说明
0000	1	1	PHY 地址：0x0000 (0)
0001	-	-	RESERVED
0010	-	-	RESERVED
0011	-	-	RESERVED
0100	2	1	PHY 地址：0x0004 (4)
0101	3	1	PHY 地址：0x0005 (5)
0110	-	-	RESERVED
0111	-	-	RESERVED
1000	1	2	PHY 地址：0x0008 (8)
1001	-	-	RESERVED
1010	1	3	PHY 地址：0x000A (10)
1011	-	-	RESERVED
1100	2	2	PHY 地址：0x000C (12)
1101	3	2	PHY 地址：0x000D (13)
1110	2	3	PHY 地址：0x000E (14)
1111	3	3	PHY 地址：0x000F (15)

Copyright © 2025 Texas Instruments Incorporated

7.5.2 LED 配置

DP83TG720R-Q1 最多支持三个可配置发光二极管 (LED) 引脚：LED_0、LED_1 和 LED_2 (CLKOUT)。LED 上可多路复用若干功能，用于不同工作模式。使用寄存器 0x0450 和 0x0451 选择 LED 操作。

备注

CLKOUT 默认设置为 25MHz 时钟输出。如果需要，可使用寄存器 0x0453 将其配置为 LED2。

由于 LED 输出引脚也用作搭接引脚，外部元件需要搭接，因此，用户必须考虑 LED 使用情况，避免出现资源争夺问题。具体来说，当 LED 输出用于直接驱动 LED 时，每个输出驱动器的活动状态取决于相应输入在上电或硬件复位时所采样的逻辑电平。

图 7-17 显示了两种直接将 LED 连接至 DP83TG720R-Q1 的正确方法。

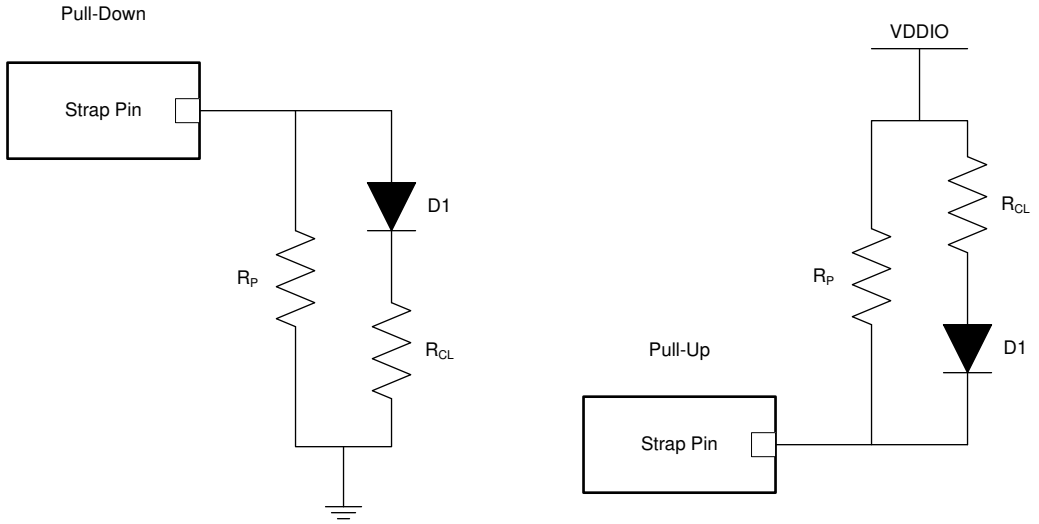


图 7-17. Strap 配置连接示例

7.5.3 PHY 地址配置

DP83TG720R-Q1 可通过自举引脚，设置为响应 9 个可能的 PHY 地址中的任何一个。上电或硬件复位时，PHY 地址锁存在器件中。系统串行管理总线上的所有 DP83TG720R-Q1 或端口共享 PHY 都必须具有唯一的 PHY 地址。DP83TG720R-Q1 支持 PHY 地址，如表 7-19 中所述。

默认情况下，DP83TG720R-Q1 将锁存至 PHY 地址 0 ([0000])。将上拉电阻器添加至表 7-17 中的自举引脚，可更改此地址。

Copyright © 2025 Texas Instruments Incorporated

7.6 寄存器映射

7.6.1 寄存器访问汇总

有两种不同方法可用于访问字段内寄存器。直接寄存器访问方法仅适用于 MMD1F 寄存器空间的前 31 个寄存器（0x0h 至 0x1Fh）。访问 0x1Fh 以上的寄存器时，必须使用 *节 7.4.9.2* 中所述间接方法（扩展寄存器空间）。

表 7-20. MMD 寄存器空间划分

MMD 寄存器空间	寄存器地址范围
MMD1F	0x000 - 0x0EFD
MMD1	0x1000 - 0x1904
MMD3	0x3000 - 0x390D
MMD7	0x7000 - 0x7200

表 7-21. 寄存器访问汇总

寄存器字段	寄存器访问方法
0x0h 至 0x1Fh	直接访问
	间接访问，MMD1F = '11111' **示例：**如需读取无后增量 MMD1F 字段中的寄存器 0x17h 第 1) 步：将 0x1Fh 写入寄存器 0xDh 第 2) 步：将 0x17h 写入寄存器 0xEh 第 3) 步：将 0x401Fh 写入寄存器 0xDh 第 4) 步：读取寄存器 0xEh
MMD1F 字段 0x20h - 0xFFFh	间接访问，MMD1F = '11111' **示例：**如需读取无后增量 MMD1F 字段中的寄存器 0x462h 第 1) 步：将 0x1Fh 写入寄存器 0xDh 第 2) 步：将 0x462h 写入寄存器 0xEh 第 3) 步：将 0x401Fh 写入寄存器 0xDh 第 4) 步：读取寄存器 0xEh
MMD1 字段 0x0000h - 0x0FFFh	间接访问，MMD1 = '00001' **示例：**如需读取无后增量 MMD1 字段中的寄存器 0x7h 第 1) 步：将 0x1h 写入寄存器 0xDh 第 2) 步：将 0x7h 写入寄存器 0xEh 第 3) 步：将 0x4001h 写入寄存器 0xDh 第 4) 步：读取寄存器 0xEh

Copyright © 2025 Texas Instruments Incorporated

7.6.2 DP83TG720 寄存器

表 7-22 列出了 DP83TG720 寄存器的存储器映射寄存器。表 7-22 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-22. DP83TG720 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	BMCR		节 7.6.2.1
1h	BMSR		节 7.6.2.2
2h	PHYID1		节 7.6.2.3
3h	PHYID2		节 7.6.2.4
Dh	REGCR		节 7.6.2.5
Eh	ADDAR		节 7.6.2.6
10h	MII_REG_10		节 7.6.2.7
11h	MII_REG_11		节 7.6.2.8
12h	MII_REG_12		节 7.6.2.9
13h	MII_REG_13		节 7.6.2.10
16h	MII_REG_16		节 7.6.2.11
18h	MII_REG_18		节 7.6.2.12
19h	MII_REG_19		节 7.6.2.13
1Eh	MII_REG_1E		节 7.6.2.14
1Fh	MII_REG_1F		节 7.6.2.15
180h	LSR		节 7.6.2.16
18Bh	LPS_CFG2		节 7.6.2.17
18Ch	LPS_CFG3		节 7.6.2.18
18Eh	LPS_STATUS		节 7.6.2.19
30Fh	TDR_TC12		节 7.6.2.20
405h	A2D_REG_05		节 7.6.2.21
41Eh	A2D_REG_30		节 7.6.2.22
428h	A2D_REG_40		节 7.6.2.23
429h	A2D_REG_41		节 7.6.2.24
42Ch	A2D_REG_44		节 7.6.2.25
42Fh	A2D_REG_47		节 7.6.2.26
430h	A2D_REG_48		节 7.6.2.27
442h	A2D_REG_66		节 7.6.2.28
450h	LEDS_CFG_1		节 7.6.2.29
451h	LEDS_CFG_2		节 7.6.2.30
452h	IO_MUX_CFG_1		节 7.6.2.31
453h	IO_MUX_CFG_2		节 7.6.2.32
456h	IO_CONTROL_3		节 7.6.2.33
45Dh	SOR_VECTOR_1		节 7.6.2.34
45Eh	SOR_VECTOR_2		节 7.6.2.35
468h	MONITOR_CTRL2		节 7.6.2.36
46Ah	MONITOR_CTRL4		节 7.6.2.37
47Bh	MONITOR_STAT1		节 7.6.2.38
510h	RS_DECODER		节 7.6.2.39

Copyright © 2025 Texas Instruments Incorporated

表 7-22. DP83TG720 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
52Bh	TRAINING_RX_STATUS_7		节 7.6.2.40
543h	LINK_QUAL_1		节 7.6.2.41
544h	LINK_QUAL_2		节 7.6.2.42
545h	LINK_DOWN_LATCH_STAT		节 7.6.2.43
547h	LINK_QUAL_3		节 7.6.2.44
548h	LINK_QUAL_4		节 7.6.2.45
552h	RS_DECODER_FRAME_STAT_2		节 7.6.2.46
553h	RS_DECODER_FRAME_STAT_3		节 7.6.2.47
600h	RGMII_CTRL		节 7.6.2.48
601h	RGMII_FIFO_STATUS		节 7.6.2.49
602h	RGMII_DELAY_CTRL		节 7.6.2.50
608h	SGMII_CTRL_1		节 7.6.2.51
60Ah	SGMII_STATUS		节 7.6.2.52
60Ch	SGMII_CTRL_2		节 7.6.2.53
60Dh	SGMII_FIFO_STATUS		节 7.6.2.54
618h	PRBS_STATUS_1		节 7.6.2.55
619h	PRBS_CTRL_1		节 7.6.2.56
61Ah	PRBS_CTRL_2		节 7.6.2.57
61Bh	PRBS_CTRL_3		节 7.6.2.58
61Ch	PRBS_STATUS_2		节 7.6.2.59
61Dh	PRBS_STATUS_3		节 7.6.2.60
61Eh	PRBS_STATUS_4		节 7.6.2.61
620h	PRBS_STATUS_6		节 7.6.2.62
622h	PRBS_STATUS_8		节 7.6.2.63
623h	PRBS_STATUS_9		节 7.6.2.64
624h	PRBS_CTRL_4		节 7.6.2.65
625h	PRBS_CTRL_5		节 7.6.2.66
626h	PRBS_CTRL_6		节 7.6.2.67
627h	PRBS_CTRL_7		节 7.6.2.68
628h	PRBS_CTRL_8		节 7.6.2.69
629h	PRBS_CTRL_9		节 7.6.2.70
62Ah	PRBS_CTRL_10		节 7.6.2.71
638h	CRC_STATUS		节 7.6.2.72
639h	PKT_STAT_1		节 7.6.2.73
63Ah	PKT_STAT_2		节 7.6.2.74
63Bh	PKT_STAT_3		节 7.6.2.75
63Ch	PKT_STAT_4		节 7.6.2.76
63Dh	PKT_STAT_5		节 7.6.2.77
63Eh	PKT_STAT_6		节 7.6.2.78
871h	SQI_REG_1		节 7.6.2.79
874h	DSP_REG_74		节 7.6.2.80
875h	DSP_REG_75		节 7.6.2.81

Copyright © 2025 Texas Instruments Incorporated

表 7-22. DP83TG720 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
1000h	PMA_PMD_CONTROL_1		节 7.6.2.82
1007h	PMA_PMD_CONTROL_2		节 7.6.2.83
1009h	PMA_PMD_TRANSMIT_DISABLE		节 7.6.2.84
100Bh	PMA_PMD_EXTENDED_ABILITY2		节 7.6.2.85
1012h	PMA_PMD_EXTENDED_ABILITY		节 7.6.2.86
1834h	PMA_PMD_CONTROL		节 7.6.2.87
1900h	PMA_CONTROL		节 7.6.2.88
1901h	PMA_STATUS		节 7.6.2.89
1902h	培训		节 7.6.2.90
1903h	LP_TRAINING		节 7.6.2.91
1904h	TEST_MODE_CONTROL		节 7.6.2.92
3900h	PCS_CONTROL		节 7.6.2.93
3901h	PCS_STATUS		节 7.6.2.94
3902h	PCS_STATUS_2		节 7.6.2.95
3904h	OAM_TRANSMIT		节 7.6.2.96
3905h	OAM_TX_MESSAGE_1		节 7.6.2.97
3906h	OAM_TX_MESSAGE_2		节 7.6.2.98
3907h	OAM_TX_MESSAGE_3		节 7.6.2.99
3908h	OAM_TX_MESSAGE_4		节 7.6.2.100
3909h	OAM_RECEIVE		节 7.6.2.101
390Ah	OAM_RX_MESSAGE_1		节 7.6.2.102
390Bh	OAM_RX_MESSAGE_2		节 7.6.2.103
390Ch	OAM_RX_MESSAGE_3		节 7.6.2.104
390Dh	OAM_RX_MESSAGE_4		节 7.6.2.105
7200h	AN_CFG		节 7.6.2.106

复杂的位访问类型经过编码可适应小型表单元。表 7-23 展示了适用于此部分中访问类型的代码。

表 7-23. DP83TG720 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W0C	W 0C	写入 0 以清零
W0S	W 0S	写入 0 以进行设置
WMC	W	写入
WMC,0	W	写入
WMC,1	W	写入
WSC	W	写入

Copyright © 2025 Texas Instruments Incorporated

表 7-23. DP83TG720 访问类型代码（续）

访问类型	代码	说明
WSC,0	W	写入
复位或默认值		
-n		复位后的值或默认值

7.6.2.1 BMCR 寄存器（偏移 = 0h）[复位 = 0140h]

图 7-18 显示了 BMCR，表 7-24 中对此进行了介绍。

返回到汇总表。

图 7-18. BMCR 寄存器

15	14	13	12	11	10	9	8
mii_reset	回送	RESERVED	RESERVED	power_down	隔离	RESERVED	RESERVED
R/WMC-0h	R/W-0h	R-0h	R-0h	R/W-0h	R/W-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RESERVED	SPEED_SEL_MSB	RESERVED	RESERVED				
R-0h	R-1h	R-0h	R-0h				

表 7-24. BMCR 寄存器字段说明

位	字段	类型	复位	说明
15	mii_reset	R/WMC	0h	1b = 数字输入复位，所有 MII 寄存器 (0x0 - 0xF) 复位为默认值 0b = 无复位
14	回送	R/W	0h	1b = MII 回环 0b = 无 MII 回环
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	power_down	R/W	0h	1b = 通过寄存器或引脚断电 0b = 正常模式
10	隔离	R/W	0h	1b = MAC 隔离模式（PHY 不向 MAC 输出） 0b = 正常模式
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	speed_sel_msb	R	1h	0b = 保留 1b = 1000Mb/s
5	RESERVED	R	0h	保留
4-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.2 BMSR 寄存器（偏移 = 1h）[复位 = 0141h]

图 7-19 显示了 BMSR，表 7-25 中对此进行了介绍。

返回到汇总表。

图 7-19. BMSR 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	extended_status
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-1h
7	6	5	4	3	2	1	0
unidirectional_ability	preamble_supression	aneg_complete	remote_fault	aneg_ability	link_status	jabber_detect	extended_capability
R-0h	R-1h	R-0h	R/W0C-0h	R-0h	R/W0S-0h	R/W0C-0h	R-1h

表 7-25. BMSR 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	extended_status	R	1h	1b = 寄存器 15 中的扩展状态信息 0b = 寄存器 15 中无扩展状态信息
7	unidirectional_ability	R	0h	保留
6	preamble_supression	R	1h	1b = PHY 接受前导码受抑制的管理帧。 0b = PHY 不接受前导码受抑制的管理帧
5	aneg_complete	R	0h	保留
4	remote_fault	R/W0C	0h	保留
3	aneg_ability	R	0h	保留
2	link_status	R/W0S	0h	1b = 链路建立 0b = 链路断开
1	jabber_detect	R/W0C	0h	保留
0	extended_capability	R	1h	1b = 扩展寄存器功能 0b = 仅具有基本寄存器组功能

Copyright © 2025 Texas Instruments Incorporated

7.6.2.3 PHYID1 寄存器（偏移 = 2h）[复位 = 2000h]

图 7-20 显示了 PHYID1，表 7-26 中对此进行了介绍。

返回到汇总表。

图 7-20. PHYID1 寄存器

15	14	13	12	11	10	9	8
oui_21_16							
R-2000h							
7	6	5	4	3	2	1	0
oui_21_16							
R-2000h							

表 7-26. PHYID1 寄存器字段说明

位	字段	类型	复位	说明
15-0	oui_21_16	R	2000h	零件的唯一标识符

Copyright © 2025 Texas Instruments Incorporated

7.6.2.4 PHYID2 寄存器（偏移 = 3h）[复位 = A284h]

图 7-21 显示了 PHYID2，表 7-27 中对此进行了介绍。

返回到汇总表。

图 7-21. PHYID2 寄存器

15	14	13	12	11	10	9	8
oui_5_0						model_number	
R-28h						R-28h	
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
model_number				rev_number			
R-28h				R-4h			

表 7-27. PHYID2 寄存器字段说明

位	字段	类型	复位	说明
15-10	oui_5_0	R	28h	零件的唯一标识符
9-4	model_number	R	28h	零件的唯一标识符
3-0	rev_number	R	4h	零件的唯一标识符

Copyright © 2025 Texas Instruments Incorporated

7.6.2.5 REGCR 寄存器（偏移 = Dh）[复位 = 0000h]

图 7-22 显示了 REGCR，表 7-28 中对此进行了介绍。

返回到汇总表。

图 7-22. REGCR 寄存器

15	14	13	12	11	10	9	8
扩展寄存器命令		RESERVED					
R/W-0h		R-0h					
7	6	5	4	3	2	1	0
RESERVED			DEVAD				
R-0h			R/W-0h				

表 7-28. REGCR 寄存器字段说明

位	字段	类型	复位	说明
15-14	扩展寄存器命令	R/W	0h	00b = 地址 01b = 数据，无后增量 10b = 数据，读取和写入后增量 11b = 数据，仅写入后增量
13-5	RESERVED	R	0h	保留
4-0	DEVAD	R/W	0h	用于间接寄存器访问的 MMD 字段

Copyright © 2025 Texas Instruments Incorporated

7.6.2.6 ADDAR 寄存器（偏移 = Eh）[复位 = 0000h]

图 7-23 显示了 ADDAR，表 7-29 中对此进行了介绍。

返回到汇总表。

图 7-23. ADDAR 寄存器

15	14	13	12	11	10	9	8
地址/数据							
R/W-0h							
7	6	5	4	3	2	1	0
地址/数据							
R/W-0h							

表 7-29. ADDAR 寄存器字段说明

位	字段	类型	复位	说明
15-0	地址/数据	R/W	0h	用于间接寄存器访问的地址数据字段

Copyright © 2025 Texas Instruments Incorporated

7.6.2.7 MII_REG_10 寄存器（偏移 = 10h）[复位 = 0004h]

图 7-24 显示了 MII_REG_10，表 7-30 中对此进行了介绍。

返回到汇总表。

图 7-24. MII_REG_10 寄存器

15	14	13	12	11	10	9	8
RESERVED					RESERVED	descr_lock_bit	RESERVED
R-0h					R-0h	R/W0S-0h	R-0h
7	6	5	4	3	2	1	0
mii_int_bit	RESERVED			mii_loopback	duplex_mode_env	RESERVED	link_status_bit
R-0h	R-0h			R-0h	R-1h	R-0h	R-0h

表 7-30. MII_REG_10 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	descr_lock_bit	R/W0S	0h	1b = 解码器被锁定 0b = 解码器至少解锁一次
8	RESERVED	R	0h	保留
7	mii_int_bit	R	0h	1b = 已设置中断引脚 0b = 未设置中断引脚 读取时清零
6-4	RESERVED	R	0h	保留
3	mii_loopback	R	0h	1b = MII 回环 0b = 无 MII 回环
2	duplex_mode_env	R	1h	1b = 全双工 0b = 半双工
1	RESERVED	R	0h	保留
0	link_status_bit	R	0h	1b = 链路接通 0b = 链路已断开

Copyright © 2025 Texas Instruments Incorporated

7.6.2.8 MII_REG_11 寄存器（偏移 = 11h）[复位 = 000Bh]

图 7-25 显示了 MII_REG_11，表 7-31 中对此进行了介绍。

返回到汇总表。

图 7-25. MII_REG_11 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED		RESERVED	RESERVED	RESERVED	RESERVED
R-0h	R-0h	R-0h		R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED		int_polarity	force_interrupt	int_en	RESERVED
R-0h	R-0h	R-0h		R/W-1h	R/W-0h	R/W-1h	R-0h

表 7-31. MII_REG_11 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13-12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5-4	RESERVED	R	0h	保留
3	int_polarity	R/W	1h	1b = 低电平有效 0b = 高电平有效
2	force_interrupt	R/W	0h	1b = 强制中断引脚 0b = 不强制中断引脚
1	int_en	R/W	1h	1b = 启用中断 0b = 禁用中断
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.9 MII_REG_12 寄存器（偏移 = 12h）[复位 = 0000h]

图 7-26 显示了 MII_REG_12，表 7-32 中对此进行了介绍。

返回到汇总表。

图 7-26. MII_REG_12 寄存器

15	14	13	12	11	10	9	8
RESERVED	energy_det_int	link_int	RESERVED	esd_int	ms_train_done_int	RESERVED	RESERVED
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RESERVED	energy_det_int_en	link_int_en	RESERVED	esd_int_en	ms_train_done_int_en	RESERVED	RESERVED
R-0h	R/W-0h	R/W-0h	R-0h	R/W-0h	R/W-0h	R-0h	R-0h

表 7-32. MII_REG_12 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	energy_det_int	R	0h	能量检测更改中断状态
13	link_int	R	0h	链路状态更改中断状态
12	RESERVED	R	0h	保留
11	esd_int	R	0h	ESD 故障检测中断状态
10	ms_train_done_int	R	0h	训练完成中断状态
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	energy_det_int_en	R/W	0h	能量检测更改中断启用
5	link_int_en	R/W	0h	链路状态更改中断启用
4	RESERVED	R	0h	保留
3	esd_int_en	R/W	0h	ESD 故障检测中断启用
2	ms_train_done_int_en	R/W	0h	训练完成中断启用
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.10 MII_REG_13 寄存器（偏移 = 13h）[复位 = 0000h]

图 7-27 显示了 MII_REG_13，表 7-33 中对此进行了介绍。

返回到汇总表。

图 7-27. MII_REG_13 寄存器

15	14	13	12	11	10	9	8
under_volte_int	over_voltage_int	RESERVED	RESERVED	over_temp_int	RESERVED	pol_change_int	RESERVED
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
under_volt_int_en	over_volt_int_en	RESERVED	RESERVED	over_temp_int_en	RESERVED	pol_change_int_en	RESERVED
R/W-0h	R/W-0h	R-0h	R-0h	R/W-0h	R-0h	R/W-0h	R-0h

表 7-33. MII_REG_13 寄存器字段说明

位	字段	类型	复位	说明
15	under_volte_int	R	0h	欠压中断状态
14	over_voltage_int	R	0h	过压中断状态
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	over_temp_int	R	0h	过热中断状态
10	RESERVED	R	0h	保留
9	pol_change_int	R	0h	数据极性更改中断状态
8	RESERVED	R	0h	保留
7	under_volt_int_en	R/W	0h	欠压中断启用
6	over_volt_int_en	R/W	0h	过压中断启用
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	over_temp_int_en	R/W	0h	过热中断启用
2	RESERVED	R	0h	保留
1	pol_change_int_en	R/W	0h	数据极性更改中断启用
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.11 MII_REG_16 寄存器（偏移 = 16h）[复位 = 0000h]

图 7-28 显示了 MII_REG_16，表 7-34 中对此进行了介绍。

返回到汇总表。

图 7-28. MII_REG_16 寄存器

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	core_pwr_mode
R-0h					R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RESERVED	loopback_mode						
R-0h	R/W-0h						

表 7-34. MII_REG_16 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	core_pwr_mode	R	0h	1b = 内核处于正常功率模式 0b = 内核处于断电或睡眠模式
7	RESERVED	R	0h	保留
6-0	loopback_mode	R/W	0h	000001b = PCS 环路 000010b = RS 环路 000100b =数字环路 001000b =模拟环路 010000b =反向环路

Copyright © 2025 Texas Instruments Incorporated

7.6.2.12 MII_REG_18 寄存器（偏移 = 18h）[复位 = 0008h]

图 7-29 显示了 MII_REG_18，表 7-35 中对此进行了介绍。

返回到汇总表。

图 7-29. MII_REG_18 寄存器

15	14	13	12	11	10	9	8
ack_received_int	tx_value_clr_int	RESERVED	RESERVED	por_done_int	RESERVED	RESERVED	RESERVED
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
ack_received_int_en	tx_value_clr_int_en	RESERVED	RESERVED	por_done_int_en	RESERVED	RESERVED	RESERVED
R/W-0h	R/W-0h	R-0h	R-0h	R/W-1h	R-0h	R-0h	R-0h

表 7-35. MII_REG_18 寄存器字段说明

位	字段	类型	复位	说明
15	ack_received_int	R	0h	确认接收中断状态 (OAM)
14	tx_value_clr_int	R	0h	mr_tx_valid 清除中断状态 (OAM)
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	por_done_int	R	0h	POR 完成中断状态
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	ack_received_int_en	R/W	0h	确认接收中断启用 (OAM)
6	tx_value_clr_int_en	R/W	0h	mr_tx_valid 清除中断启用 (OAM)
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	por_done_int_en	R/W	1h	POR 完成中断启用
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.13 MII_REG_19 寄存器（偏移 = 19h）[复位 = 00XXh]

图 7-30 显示了 MII_REG_19，表 7-36 中对此进行了介绍。

返回到汇总表。

图 7-30. MII_REG_19 寄存器

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	
R-0h					R-0h	R-0h	
7	6	5	4	3	2	1	0
RESERVED			SOR_PHYADDR				
R-0h			R-Xh				

表 7-36. MII_REG_19 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9-5	RESERVED	R	0h	保留
4-0	SOR_PHYADDR	R	X	从 strap 配置中锁存的 PHY 地址

Copyright © 2025 Texas Instruments Incorporated

7.6.2.14 MII_REG_1E 寄存器（偏移 = 1Eh）[复位 = 0000h]

图 7-31 显示了 MII_REG_1E，表 7-37 中对此进行了介绍。

返回到汇总表。

图 7-31. MII_REG_1E 寄存器

15	14	13	12	11	10	9	8
tdr_start	cfg_tdr_auto_run	RESERVED					
R/WMC-0h	R/W-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED						tdr_done	tdr_fail
R-0h						R-0h	R-0h

表 7-37. MII_REG_1E 寄存器字段说明

位	字段	类型	复位	说明
15	tdr_start	R/WMC	0h	1b = TDR 运行完成后，TDR 起始位被清零
14	cfg_tdr_auto_run	R/W	0h	1b = TDR 在链路断开时自动启动 0b = TDR 使用 0x1E[15]手动启动
13-2	RESERVED	R	0h	保留
1	tdr_done	R	0h	TDR 完成状态 1b = TDR 完成 0b = TDR 正在进行或未启动
0	tdr_fail	R	0h	当 TDR_DONE 状态为 1 时，如果 TDR 成功运行，该位会发出警报 1b = TDR 运行失败 0b = TDR 成功运行

Copyright © 2025 Texas Instruments Incorporated

7.6.2.15 MII_REG_1F 寄存器（偏移 = 1Fh）[复位 = 0000h]

图 7-32 显示了 MII_REG_1F，表 7-38 中对此进行了介绍。

返回到汇总表。

图 7-32. MII_REG_1F 寄存器

15	14	13	12	11	10	9	8
sw_global_reset	digital_reset	RESERVED	RESERVED				
R/WMC-0h	R/WMC-0h	R-0h	R-0h				
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED				
R-0h	R-0h	R-0h	R-0h				

表 7-38. MII_REG_1F 寄存器字段说明

位	字段	类型	复位	说明
15	sw_global_reset	R/WMC	0h	硬件复位-复位数字+寄存器文件 该位可自行清零
14	digital_reset	R/WMC	0h	软复位-仅复位数字内核 该位可自行清零
13	RESERVED	R	0h	保留
12-8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.16 LSR 寄存器（偏移 = 180h）[复位 = 0000h]

图 7-33 显示了 LSR，表 7-39 中对此进行了介绍。

返回到汇总表。

图 7-33. LSR 寄存器

15	14	13	12	11	10	9	8
link_up	link_down	phy_ctrl_send_data	link_status	RESERVED			
R-0h	R-0h	R-0h	R-0h	R-0h			
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	channel_ok	descr_sync	loc_rcvr_status	rem_rcvr_status
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-39. LSR 寄存器字段说明

位	字段	类型	复位	说明
15	link_up	R	0h	由 CNS 定义的链接建立
14	link_down	R	0h	由 CNS 定义的链路断开
13	phy_ctrl_send_data	R	0h	PHY 控制输入发送数据状态
12	link_status	R	0h	IEEE 定义的实时链路状态
11-8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	channel_ok	R	0h	通道正常状态
2	descr_sync	R	0h	解码器锁状态
1	loc_rcvr_status	R	0h	本地接收器状态
0	rem_rcvr_status	R	0h	远程接收器状态

Copyright © 2025 Texas Instruments Incorporated

7.6.2.17 LPS_CFG2 寄存器（偏移 = 18Bh）[复位 = 0000h]

图 7-34 显示了 LPS_CFG2，表 7-40 中对此进行了介绍。

返回到汇总表。

图 7-34. LPS_CFG2 寄存器

15	14	13	12	11	10	9	8
RESERVED							ed_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
sleep_en	cfg_auto_mode_en_strap	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
R/W-0h	R/WMC，1-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-40. LPS_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8	ed_en	R/W	0h	1b =启用 MDI 上的能量检测 0b =禁用 MDI 上的能量检测
7	sleep_en	R/W	0h	1b =允许 PHY 进入睡眠状态 0b =不允许 PHY 进入睡眠状态
6	cfg_auto_mode_en_strap	R/WMC，1	0h	启用 LPS 自主模式 1b = PHY 在上电时进入正常模式 0b = PHY 在上电时进入待机模式
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.18 LPS_CFG3 寄存器（偏移 = 18Ch）[复位 = 0000h]

图 7-35 显示了 LPS_CFG3，表 7-41 中对此进行了介绍。

返回到汇总表。

图 7-35. LPS_CFG3 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	cfg_lps_pwr_mode_4	RESERVED	RESERVED	RESERVED	cfg_lps_pwr_mode_0
R-0h	R-0h	R-0h	R/WMC，0-0h	R-0h	R-0h	R-0h	R/WMC，0-0h

表 7-41. LPS_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	cfg_lps_pwr_mode_4	R/WMC,0	0h	设置为进入待机模式
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	cfg_lps_pwr_mode_0	R/WMC,0	0h	设置为进入正常模式

Copyright © 2025 Texas Instruments Incorporated

7.6.2.19 LPS_STATUS 寄存器（偏移 = 18Eh）[复位 = 0000h]

图 7-36 显示了 LPS_STATUS，表 7-42 中对此进行了介绍。

返回到汇总表。

图 7-36. LPS_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED	status_lps_st						
R-0h	R-0h						

表 7-42. LPS_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R	0h	保留
6-0	status_lps_st	R	0h	观察 LPS 状态： 0x2 = 待机模式 0x4 = 正常模式

Copyright © 2025 Texas Instruments Incorporated

7.6.2.20 TDR_TC12 寄存器（偏移 = 30Fh）[复位 = 0000h]

图 7-37 显示了 TDR_TC12，表 7-43 中对此进行了介绍。

返回到汇总表。

图 7-37. TDR_TC12 寄存器

15	14	13	12	11	10	9	8
RESERVED				fault_loc			
R-0h				R-0h			
7	6	5	4	3	2	1	0
tdr_state				RESERVED		tdr_activation	
R-0h				R-0h		R-0h	

表 7-43. TDR_TC12 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13-8	fault_loc	R	0h	参阅 TC12
7-4	tdr_state	R	0h	参阅 TC12
3-2	RESERVED	R	0h	保留
1-0	tdr_activation	R	0h	参阅 TC12

Copyright © 2025 Texas Instruments Incorporated

7.6.2.21 A2D_REG_05 寄存器（偏移 = 405h）[复位 = 6400h]

图 7-38 显示了 A2D_REG_05，表 7-44 中对此进行了介绍。

返回到汇总表。

图 7-38. A2D_REG_05 寄存器

15	14	13	12	11	10	9	8
ld_bias_1p0v_sl						RESERVED	
R/W-19h						R-0h	
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 7-44. A2D_REG_05 寄存器字段说明

位	字段	类型	复位	说明
15-10	ld_bias_1p0v_sl	R/W	19h	用于控制 LD 的 DAC 电流从而控制摆幅的位。 001010b = 400mV 001011b = 440mV 001100b = 480mV 001101b = 520mV 001110b = 560mV 001111b = 600mV 010000b = 640mV 010001b = 680mV 010010b = 720mV 010011b = 760mV 010100b = 800mV 010101b = 840mV 010110b = 880mV 010111b = 920mV 011000b = 960mV 011001b = 1000mV 011010b = 1040mV 011011b = 1080mV 011100b = 1120mV 011101b = 1160mV 011110b = 1200mV
9-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.22 A2D_REG_30 寄存器（偏移 = 41Eh）[复位 = 0000h]

图 7-39 显示了 A2D_REG_30，表 7-45 中对此进行了介绍。

返回到汇总表。

图 7-39. A2D_REG_30 寄存器

15	14	13	12	11	10	9	8
RESERVED							spare_in_2_fromdig_sl_force_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED			
R-0h	R-0h	R-0h	R-0h	R-0h			

表 7-45. A2D_REG_30 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8	spare_in_2_fromdig_sl_force_en	R/W	0h	针对 Reg0x042F 启用强制控制
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.23 A2D_REG_40 寄存器（偏移 = 428h）[复位 = 6002h]

图 7-40 显示了 A2D_REG_40，表 7-46 中对此进行了介绍。

返回到汇总表。

图 7-40. A2D_REG_40 寄存器

15	14	13	12	11	10	9	8
RESERVED	SGMII_TESTMODE		RESERVED	SGMII_SOP_SON_SLEW_CTRL	RESERVED	RESERVED	
R-0h	R/W-3h		R-0h	R/W-0h	R-0h	R-0h	
7	6	5	4	3	2	1	0
RESERVED	RESERVED						RESERVED
R-0h	R-0h						R-0h

表 7-46. A2D_REG_40 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-13	SGMII_TESTMODE	R/W	3h	00b = 1000mV SGMII 输出摆幅 01b = 1260mV SGMII 输出摆幅 10b = 900mV SGMII 输出摆幅 11b = 720mV SGMII 输出摆幅
12	RESERVED	R	0h	保留
11	SGMII_SOP_SON_SLEW_CTRL	R/W	0h	0b =默认输出上升/下降时间 1b =慢速输出上升/下降时间
10	RESERVED	R	0h	保留
9-8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6-1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.24 A2D_REG_41 寄存器（偏移 = 429h）[复位 = 0030h]

图 7-41 显示了 A2D_REG_41，表 7-47 中对此进行了介绍。

返回到汇总表。

图 7-41. A2D_REG_41 寄存器

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	RESERVED
R-0h					R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RESERVED						SGMII_IO_LOOPBACK_EN	RESERVED
R-0h						R/W-0h	R-0h

表 7-47. A2D_REG_41 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7-2	RESERVED	R	0h	保留
1	SGMII_IO_LOOPBACK_EN	R/W	0h	1b =在内部连接 RX 和 TX 信号以提供内部环回选项，而无需外部组件。
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.25 A2D_REG_44 寄存器（偏移 = 42Ch）[复位 = 0000h]

图 7-42 显示了 A2D_REG_44，表 7-48 中对此进行了介绍。

返回到汇总表。

图 7-42. A2D_REG_44 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	SGMII_DIG_LOOPBACK_EN	RESERVED			RESERVED
R-0h	R-0h	R-0h	R/W-0h	R-0h			R-0h

表 7-48. A2D_REG_44 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	SGMII_DIG_LOOPBACK_EN	R/W	0h	1b =在 IO 之前将 TX 数据环回到 RX
3-1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.26 A2D_REG_47 寄存器（偏移 = 42Fh）[复位 = 0000h]

图 7-43 显示了 A2D_REG_47，表 7-49 中对此进行了介绍。

返回到汇总表。

图 7-43. A2D_REG_47 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				RESERVED	spare_in_2_fromdig_sl_2	spare_in_2_fromdig_sl_1	spare_in_2_fromdig_sl_0
R-0h				R-0h	R/W-0h	R/W-0h	R/W-0h

表 7-49. A2D_REG_47 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	spare_in_2_fromdig_sl_2	R/W	0h	能量损耗指示强制控制值
1	spare_in_2_fromdig_sl_1	R/W	0h	能量损耗检测器启用强制控制值
0	spare_in_2_fromdig_sl_0	R/W	0h	[0]-睡眠启用强制控制值 强制控制启用由 reg0x041E[8]控制

Copyright © 2025 Texas Instruments Incorporated

7.6.2.27 A2D_REG_48 寄存器（偏移 = 430h）[复位 = 0960h]

图 7-44 显示了 A2D_REG_48，表 7-50 中对此进行了介绍。

返回到汇总表。

图 7-44. A2D_REG_48 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	DLL_TX_DELAY_CTRL_SL			
R-0h	R-0h	R-0h	R-0h	R/W-9h			
7	6	5	4	3	2	1	0
DLL_RX_DELAY_CTRL_SL				RESERVED			
R/W-6h				R-0h			

表 7-50. A2D_REG_48 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11-8	DLL_TX_DELAY_CTRL_SL	R/W	9h	有关延迟与代码信息，请参阅电气规范。
7-4	DLL_RX_DELAY_CTRL_SL	R/W	6h	有关延迟与代码信息，请参阅电气规范。
3-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.28 A2D_REG_66 寄存器（偏移 = 442h）[复位 = 0000h]

图 7-45 显示了 A2D_REG_66，表 7-51 中对此进行了介绍。

返回到汇总表。

图 7-45. A2D_REG_66 寄存器

15	14	13	12	11	10	9	8
RESERVED	esd_event_count						RESERVED
R-0h	R-0h						R-0h
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED			
R-0h			R-0h	R-0h			

表 7-51. A2D_REG_66 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-9	esd_event_count	R	0h	数字表示铜通道上的 ESD 事件数
8	RESERVED	R	0h	保留
7-5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.29 LEDS_CFG_1 寄存器（偏移 = 450h）[复位 = 2610h]

图 7-46 显示了 LEDS_CFG_1，表 7-52 中对此进行了介绍。

返回到汇总表。

图 7-46. LEDS_CFG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED	leds_bypass_stretching	leds_blink_rate		led_2_option			
R-0h	R/W-0h	R/W-2h		R/W-6h			
7	6	5	4	3	2	1	0
led_1_option				led_0_option			
R/W-1h				R/W-0h			

表 7-52. LEDS_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	leds_bypass_stretching	R/W	0h	旁路 LED 信号延展
13-12	leds_blink_rate	R/W	2h	LED 闪烁速率- 00b = 20Hz (50mSec) 01b = 10Hz (100mSec) 10b = 5Hz (200mSec) 11b = 2Hz (500mSec)
11-8	led_2_option	R/W	6h	0000b = 链路正常 0001b = 链路正常+在 TX/RX 活动时闪烁 0010b = 链路正常+在 TX 活动时闪烁 0011b = 链路正常+在 RX 活动时闪烁 0100b = 链路正常+ 100Base-T1 主器件 0101b = 链路正常+ 100Base-T1 从器件 0110b = 具有扩展选项的 TX/RX 活动 0111b = 保留 1000b = 保留 1001b = 链路丢失（在读取寄存器 0x1 之前保持开启） 1010b = PRBS 错误锁存直到被 0x620 (1) 清除 1011b = 具有延展选项的 XMII TX/RX 错误
7-4	led_1_option	R/W	1h	0000b = 链路正常 0001b = 链路正常+在 TX/RX 活动时闪烁 0010b = 链路正常+在 TX 活动时闪烁 0011b = 链路正常+在 RX 活动时闪烁 0100b = 链路正常+ 100Base-T1 主器件 0101b = 链路正常+ 100Base-T1 从器件 0110b = 具有扩展选项的 TX/RX 活动 0111b = 保留 1000b = 保留 1001b = 链路丢失（在读取寄存器 0x1 之前保持开启） 1010b = PRBS 错误（锁存直到被 0x620 (1) 清除） 1011b = 具有延展选项的 XMII TX/RX 错误

Copyright © 2025 Texas Instruments Incorporated

表 7-52. LEDS_CFG_1 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	led_0_option	R/W	0h	0000b = 链路正常 0001b = 链路正常+在 TX/RX 活动时闪烁 0010b = 链路正常+在 TX 活动时闪烁 0011b = 链路正常+在 RX 活动时闪烁 0100b = 链路正常+ 100Base-T1 主器件 0101b = 链路正常+ 100Base-T1 从器件 0110b = 具有扩展选项的 TX/RX 活动 0111b = 保留 1000b = 保留 1001b = 链路丢失（在读取寄存器 0x1 之前保持开启） 1010b = PRBS 错误（锁存直到被 0x620 (1) 清除） 1011b = 具有延展选项的 XMII TX/RX 错误

Copyright © 2025 Texas Instruments Incorporated

7.6.2.30 LEDS_CFG_2 寄存器（偏移 = 451h）[复位 = 0000h]

图 7-47 显示了 LEDS_CFG_2，表 7-53 中对此进行了介绍。

返回到汇总表。

图 7-47. LEDS_CFG_2 寄存器

15	14	13	12	11	10	9	8
RESERVED		RESERVED				XXXX	RESERVED
R-0h		R-0h					R-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	led_1_polarity	RESERVED	RESERVED	led_0_polarity
R-0h	R-0h	R-0h	R-0h	R/W-0h	R-0h	R-0h	R/W-0h

表 7-53. LEDS_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13-10	RESERVED	R	0h	保留
11-9	cfg_ieee_compl_sel	R/W	0h	当 LED_0_GPIO_CTRL='h5 时，在 LED_0_GPIO_0 中观察 IEEE 合规信号，如下所示- 000b = loc_rcvr_status 001b = rem_rcvr_status 010b = loc_snr_margin 011b = rem_phy_ready 100b = pma_watchdog_status 101b = link_sync_link_control
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	led_1_polarity	R/W	0h	LED_1 极性
2	RESERVED	R	0h	保留
1	RESERVED	R	0h	保留
0	led_0_polarity	R/W	0h	LED_0 极性

Copyright © 2025 Texas Instruments Incorporated

7.6.2.31 IO_MUX_CFG_1 寄存器（偏移 = 452h）[复位 = 0000h]

图 7-48 显示了 IO_MUX_CFG_1，表 7-54 中对此进行了介绍。

返回到汇总表。

图 7-48. IO_MUX_CFG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		RESERVED			led_1_gpio_ctrl		
R-0h		R-0h			R/W-0h		
7	6	5	4	3	2	1	0
RESERVED		RESERVED			led_0_gpio_ctrl		
R-0h		R-0h			R/W-0h		

表 7-54. IO_MUX_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13-11	RESERVED	R	0h	保留
10-8	led_1_gpio_ctrl	R/W	0h	控制 LED_1 IO 的输出- 000b = LED_1（默认：链路正常+在 TX/RX 活动时闪烁） 001b = 保留 010b = RGMII 数据匹配指示 011b = 欠压指示 100b = 中断 101b = IEEE 合规信号 110b = 常量 0 111b = 常量 1
7-6	RESERVED	R	0h	保留
5-3	RESERVED	R	0h	保留
2-0	led_0_gpio_ctrl	R/W	0h	控制 LED_0 IO 的输出： 000b = LED_0（默认值：链路） 001b = 保留 010b = RGMII 数据匹配指示 011b = 欠压指示 100b = 中断 101b = IEEE 合规信号（请参阅 0x451[11:9]） 110b = 常量 0 111b =常量 1

Copyright © 2025 Texas Instruments Incorporated

7.6.2.32 IO_MUX_CFG_2 寄存器（偏移 = 453h）[复位 = 0001h]

图 7-49 显示了 IO_MUX_CFG_2，表 7-55 中对此进行了介绍。

返回到汇总表。

图 7-49. IO_MUX_CFG_2 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		clk_o_clk_source			clk_o_gpio_ctrl		
R-0h		R/W-0h			R/W-1h		

表 7-55. IO_MUX_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	保留
5-3	clk_o_clk_source	R/W	0h	可在 CLK_O 引脚中观察到的时钟- 000b = XI_osc_25m_1p0v_dl（25MHz 晶振输出-来自模拟） 001b = 保留 010b = 保留 011b = 125MHz 时钟 100b = 125MHz 时钟 101b = 保留 110b = 保留 111b = 保留
2-0	clk_o_gpio_ctrl	R/W	1h	控制 CLK_O IO 的输出- 000b = LED_2（默认：具有延展 选项的 TX/RX 活动 (LED_2_OPTION=0x6) 001b = 时钟输出（请参阅 0x453[5:3]） 010b = RGMII 数据匹配指示 011b =欠压指示 100b = 常量 0 101b = 常量 0 110b = 常量 0 111b = 常量 1

Copyright © 2025 Texas Instruments Incorporated

7.6.2.33 IO_CONTROL_3 寄存器（偏移 = 456h）[复位 = 0108h]

图 7-50 显示了 IO_CONTROL_3，表 7-56 中对此进行了介绍。

返回到汇总表。

图 7-50. IO_CONTROL_3 寄存器

15	14	13	12	11	10	9	8
RESERVED						cfg_mac_rx_impedance	
R-0h						R/W-8h	
7	6	5	4	3	2	1	0
cfg_mac_rx_impedance			RESERVED				
R/W-8h			R-0h				

表 7-56. IO_CONTROL_3 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-5	cfg_mac_rx_impedance	R/W	8h	RGMII 焊盘的压摆率控制- 01010b = 中等压摆率（符合 OA RGMII tr/tf，最大 tr/tf = 1ns） 01011b = 最慢压摆率（对于低发射，最大 tf/tf = 1.2ns） 01000b = 默认模式（符合 rgmii tr/tf，最大 tr/tr = 750ps）
4-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.34 SOR_VECTOR_1 寄存器（偏移 = 45Dh）[复位 = 0000h]

图 7-51 显示了 SOR_VECTOR_1，表 7-57 中对此进行了介绍。

返回到汇总表。

配置 (strap) 状态寄存器：
该寄存器包含有关根据配置 (strap) 选择的模式的信息。使用其他寄存器对模式的任何覆盖都不会在此寄存器中反映出来

图 7-51. SOR_VECTOR_1 寄存器

15	14	13	12	11	10	9	8
RGMII_TX_SHIFT	RGMII_RX_SHIFT	SGMII_EN	RGMII_EN	RESERVED			MAC_MODE
R-0h	R-0h	R-0h	R-0h	R-0h			R-0h
7	6	5	4	3	2	1	0
MAC_MODE		MAS/SLV	PHY_AD				
R-0h		R-0h	R-0h				

表 7-57. SOR_VECTOR_1 寄存器字段说明

位	字段	类型	复位	说明
15	RGMII_TX_SHIFT	R	0h	0x0 = 禁用 TX 移位 0x1 = 启用 TX 移位
14	RGMII_RX_SHIFT	R	0h	0x0 = 禁用 RX 移位 0x1 = 启用 RX 移位
13	SGMII_EN	R	0h	0x0 = 禁用 SGMII 0x1 = 启用 SGMII
12	RGMII_EN	R	0h	0x0 = 禁用 RGMII 0x1 = 启用 RGMII
11-9	RESERVED	R	0h	保留
8-6	MAC_MODE	R	0h	0x0 = SGMII 0x1 = 保留 0x2 =保留 0x3 = 保留 0x4 = RGMII 对齐 0x5 = RGMII TX 移位 0x6 = RGMII TX 和 RX 移位 0x7 = RGMII RX 移位
5	MAS/SLV	R	0h	0x0 = 从器件 0x1 = 主器件
4-0	PHY_AD	R	0h	0x0 = PHY 地址 0 0x4 = PHY 地址 4 0x5 = PHY 地址 5 0x8 = PHY 地址 8 0xA = PHY 地址 A 0xC = PHY 地址 C 0xD = PHY 地址 D 0xE = PHY 地址 E 0xF = PHY 地址 F

Copyright © 2025 Texas Instruments Incorporated

7.6.2.35 SOR_VECTOR_2 寄存器（偏移 = 45Eh）[复位 = 0000h]

图 7-52 显示了 SOR_VECTOR_2，表 7-58 中对此进行了介绍。

返回到汇总表。

配置 (strap) 状态寄存器：
该寄存器包含有关根据配置 (strap) 选择的模式的信息。使用其他寄存器对模式的任何覆盖都不会在此寄存器中反映出来

图 7-52. SOR_VECTOR_2 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							自动/管理
R-0h							R-0h

表 7-58. SOR_VECTOR_2 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R	0h	保留
0	自动/管理	R	0h	0x0 =启用自主模式 0x1 =启用托管模式

7.6.2.36 MONITOR_CTRL2 寄存器（偏移 = 468h）[复位 = 0920h]

图 7-53 显示了 MONITOR_CTRL2，表 7-59 中对此进行了介绍。

返回到汇总表。

图 7-53. MONITOR_CTRL2 寄存器

15	14	13	12	11	10	9	8
RESERVED	cfg_rd_data			RESERVED			RESERVED
R-0h	R/W-0h			R-0h			R-0h
7	6	5	4	3	2	1	0
RESERVED		RESERVED			RESERVED		
R-0h		R-0h			R-0h		

表 7-59. MONITOR_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-12	cfg_rd_data	R/W	0h	用于读出的传感器选择： 001b = VDDA 010b = VDD1P0 011b = VDDIO 100b =温度
11-9	RESERVED	R	0h	保留
8-6	RESERVED	R	0h	保留
5-3	RESERVED	R	0h	保留
2-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.37 MONITOR_CTRL4 寄存器（偏移 = 46Ah）[复位 = 0094h]

图 7-54 显示了 MONITOR_CTRL4，表 7-60 中对此进行了介绍。

返回到汇总表。

图 7-54. MONITOR_CTRL4 寄存器

15	14	13	12	11	10	9	8
RESERVED							RESERVED
R-0h							R-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED		RESERVED	cfg_reset	周期性	start
R-0h	R-0h	R-0h		R-0h	R/W-1h	R/W-0h	R/WSC-0h

表 7-60. MONITOR_CTRL4 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5-4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	cfg_reset	R/W	1h	0b = 启用监控器 1b = 监控器在任何时间点保持复位状态 ，如果信号更改为 1，模块会突然进入复位状态
1	周期性	R/W	0h	0b = 仅当启动设置为单次迭代时，监控器才启用 1b = 为周期性迭代启用监控器
0	start	R/WSC	0h	传感器监控器 FSM 的启动指示，自清除

Copyright © 2025 Texas Instruments Incorporated

7.6.2.38 MONITOR_STAT1 寄存器（偏移 = 47Bh）[复位 = 0000h]

图 7-55 显示了 MONITOR_STAT1，表 7-61 中对此进行了介绍。

返回到汇总表。

图 7-55. MONITOR_STAT1 寄存器

15	14	13	12	11	10	9	8
stat_rd_data							
R-0h							
7	6	5	4	3	2	1	0
stat_rd_data							
R-0h							

表 7-61. MONITOR_STAT1 寄存器字段说明

位	字段	类型	复位	说明
15-0	stat_rd_data	R	0h	读取传感器数据

Copyright © 2025 Texas Instruments Incorporated

7.6.2.39 RS_DECODER 寄存器（偏移 = 510h）[复位 = 2D50h]

图 7-56 显示了 RS_DECODER，表 7-62 中对此进行了介绍。

返回到汇总表。

图 7-56. RS_DECODER 寄存器

15	14	13	12	11	10	9	8
cfg_rs_decoder_bypass	RESERVED	RESERVED					
R/W-0h	R-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED							RESERVED
R-0h							R-0h

表 7-62. RS_DECODER 寄存器字段说明

位	字段	类型	复位	说明
15	cfg_rs_decoder_bypass	R/W	0h	绕过 RS 解码器 0h = 使用 RS 解码器 1h = 绕过 RS 解码器
14	RESERVED	R	0h	保留
13-8	RESERVED	R	0h	保留
7-1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.40 TRAINING_RX_STATUS_7 寄存器（偏移 = 52Bh）[复位 = 0000h]

图 7-57 显示了 TRAINING_RX_STATUS_7，表 7-63 中对此进行了介绍。

返回到汇总表。

图 7-57. TRAINING_RX_STATUS_7 寄存器

15	14	13	12	11	10	9	8
RESERVED			rx_rvrs_pol	RESERVED			
R-0h			R-0h	R-0h			
7	6	5	4	3	2	1	0
RESERVED				RESERVED			
R-0h				R-0h			

表 7-63. TRAINING_RX_STATUS_7 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	rx_rvrs_pol	R	0h	接收极性 0h = 从接收端解码的极性未反转 1h = 从接收器解码的极性已反转
11-8	RESERVED	R	0h	保留
7-4	RESERVED	R	0h	保留
3-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.41 LINK_QUAL_1 寄存器（偏移 = 543h）[复位 = 0000h]

图 7-58 显示了 LINK_QUAL_1，表 7-64 中对此进行了介绍。

返回到汇总表。

图 7-58. LINK_QUAL_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
link_training_time							
R-0h							

表 7-64. LINK_QUAL_1 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	link_training_time	R	0h	链路训练时间（以 ms 为单位）(TC12)

Copyright © 2025 Texas Instruments Incorporated

7.6.2.42 LINK_QUAL_2 寄存器（偏移 = 544h）[复位 = 0000h]

图 7-59 显示了 LINK_QUAL_2，表 7-65 中对此进行了介绍。

返回到汇总表。

图 7-59. LINK_QUAL_2 寄存器

15	14	13	12	11	10	9	8
remote_receiver_time							
R-0h							
7	6	5	4	3	2	1	0
local_receiver_time							
R-0h							

表 7-65. LINK_QUAL_2 寄存器字段说明

位	字段	类型	复位	说明
15-8	remote_receiver_time	R	0h	远程接收器时间（以 ms 为单位）(TC12)
7-0	local_receiver_time	R	0h	本地接收器时间（以 ms 为单位）(TC12)

Copyright © 2025 Texas Instruments Incorporated

7.6.2.43 LINK_DOWN_LATCH_STAT（偏移 = 545h）[复位 = 0000h]

图 7-60 显示了 LINK_DOWN_LATCH_STAT，表 7-66 中对此进行了介绍。

返回到汇总表。

图 7-60. LINK_DOWN_LATCH_STAT 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		channel_ok_ll	link_fail_inhibit_lh	send_s_sigdet_lh	hi_rfer_lh	block_lock_ll	pma_watchdog_ll
R-0h		R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0S-0h	R/W0S-0h

表 7-66. LINK_DOWN_LATCH_STAT 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	保留
5	channel_ok_ll	R/W0C	0h	1b = 通道正常从未置为无效 0b = 通道正常置为无效
4	link_fail_inhibit_lh	R/W0C	0h	1b = 报告链路故障抑制置为有效 0b = 从未报告链路故障抑制置为有效
3	send_s_sigdet_lh	R/W0C	0h	1b = 报告发送 s sigdet 置为有效 0b = 从未报告发送 s sigdet 置为有效
2	hi_rfer_lh	R/W0C	0h	1b = 报告高 ri rfer 置为有效 0b = 从未报告高 ri rfer 置为有效
1	block_lock_ll	R/W0S	0h	1b = 从未报告块锁定置为无效 0b = 从未报告块锁定置为无效
0	pma_watchdog_ll	R/W0S	0h	1b = 从未报告低 PMA 看门狗 0b = 报告低 PMA 看门狗

Copyright © 2025 Texas Instruments Incorporated

7.6.2.44 LINK_QUAL_3 寄存器（偏移 = 547h）[复位 = 0000h]

图 7-61 显示了 LINK_QUAL_3，表 7-67 中对此进行了介绍。

返回到汇总表。

图 7-61. LINK_QUAL_3 寄存器

15	14	13	12	11	10	9	8
link_loss_cnt						link_fail_cnt	
R-0h						R-0h	
7	6	5	4	3	2	1	0
link_fail_cnt							
R-0h							

表 7-67. LINK_QUAL_3 寄存器字段说明

位	字段	类型	复位	说明
15-10	link_loss_cnt	R	0h	自上一次上电周期以来的链路丢失计数 (TC12)
9-0	link_fail_cnt	R	0h	自上次上电周期以来无链路丢失计数的链路故障 (TC12)

Copyright © 2025 Texas Instruments Incorporated

7.6.2.45 LINK_QUAL_4 寄存器（偏移 = 548h）[复位 = 0000h]

图 7-62 显示了 LINK_QUAL_4，表 7-68 中对此进行了介绍。

返回到汇总表。

图 7-62. LINK_QUAL_4 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							comm_ready
R-0h							R-0h

表 7-68. LINK_QUAL_4 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R	0h	保留
0	comm_ready	R	0h	通信就绪状态 (TC12)

Copyright © 2025 Texas Instruments Incorporated

7.6.2.46 RS_DECODER_FRAME_STAT_2 寄存器（偏移 = 552h）[复位 = 0000h]

图 7-63 显示了 RS_DECODER_FRAME_STAT_2，表 7-69 中对此进行了介绍。

返回到汇总表。

图 7-63. RS_DECODER_FRAME_STAT_2 寄存器

15	14	13	12	11	10	9	8
rs_dec_uncorr_frame_cnt							
R-0h							
7	6	5	4	3	2	1	0
rs_dec_uncorr_frame_cnt							
R-0h							

表 7-69. RS_DECODER_FRAME_STAT_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	rs_dec_uncorr_frame_cnt	R	0h	RS 解码器接收到任何不可纠正的 RS 帧，读取时清除，达到饱和值

Copyright © 2025 Texas Instruments Incorporated

7.6.2.47 RS_DECODER_FRAME_STAT_3 寄存器（偏移 = 553h）[复位 = 0000h]

图 7-64 显示了 RS_DECODER_FRAME_STAT_3，表 7-70 中对此进行了介绍。

返回到汇总表。

图 7-64. RS_DECODER_FRAME_STAT_3 寄存器

15	14	13	12	11	10	9	8
rs_dec_err_frame_cnt							
R-0h							
7	6	5	4	3	2	1	0
rs_dec_err_frame_cnt							
R-0h							

表 7-70. RS_DECODER_FRAME_STAT_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	rs_dec_err_frame_cnt	R	0h	在 RS 解码器处接收到的错误 RS 帧数量，读取时清零，达到饱和值

Copyright © 2025 Texas Instruments Incorporated

7.6.2.48 RGMII_CTRL 寄存器（偏移 = 600h）[复位 = 0120h]

图 7-65 显示了 RGMII_CTRL，表 7-71 中对此进行了介绍。

返回到汇总表。

图 7-65. RGMII_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED						rgmii_rx_half_full_th	
R-0h						R/W-2h	
7	6	5	4	3	2	1	0
rgmii_rx_half_full_th	rgmii_tx_half_full_th			rgmii_tx_if_en	invert_rgmii_txd	invert_rgmii_rxd	RESERVED
R/W-2h	R/W-2h			R/W-0h	R/W-0h	R/W-0h	R-0h

表 7-71. RGMII_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-7	rgmii_rx_half_full_th	R/W	2h	RGMII RX 同步 FIFO 半满阈值
6-4	rgmii_tx_half_full_th	R/W	2h	RGMII TX 同步 FIFO 半满阈值
3	rgmii_tx_if_en	R/W	0h	RGMII 启用位 ，默认由 strap 设定 0h = 禁用 RGMII 1h = 启用 RGMII
2	invert_rgmii_txd	R/W	0h	反转 RGMII Tx 线序-完全交换[3:0]至[0:3] 0h = 保持 RGMII Tx 线序不变 1h = 反转 RGMII Tx 线序
1	invert_rgmii_rxd	R/W	0h	反转 RGMII Rx 线序-完全交换[3:0]至[0:3] 0h = 保持 RGMII Rx 线序不变 1h = 反转 RGMII Rx 线序
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.49 RGMII_FIFO_STATUS 寄存器（偏移 = 601h）[复位 = 0000h]

图 7-66 显示了 RGMII_FIFO_STATUS，表 7-72 中对此进行了介绍。

返回到汇总表。

图 7-66. RGMII_FIFO_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				rgmii_rx_af_full_err	rgmii_rx_af_empty_err	rgmii_tx_af_full_err	rgmii_tx_af_empty_err
R-0h				R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

表 7-72. RGMII_FIFO_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R	0h	保留
3	rgmii_rx_af_full_err	R/W0C	0h	RGMII RX fifo 填满错误 0h = 无空 fifo 错误 1h = 已指示 RGMII TX 填满错误
2	rgmii_rx_af_empty_err	R/W0C	0h	RGMII RX fifo 为空错误 0h = 无空 fifo 错误 1h = 已指示 RGMII RX 为空错误
1	rgmii_tx_af_full_err	R/W0C	0h	RGMII TX fifo 填满错误 0h = 无空 fifo 错误 1h = 已指示 RGMII TX 填满错误
0	rgmii_tx_af_empty_err	R/W0C	0h	RGMII TX fifo 为空错误 0h = 无空 fifo 错误 1h = 已指示 RGMII TX 为空错误

Copyright © 2025 Texas Instruments Incorporated

7.6.2.50 RGMII_DELAY_CTRL 寄存器（偏移 = 602h）[复位 = 0000h]

图 7-67 显示了 RGMII_DELAY_CTRL，表 7-73 中对此进行了介绍。

返回到汇总表。

图 7-67. RGMII_DELAY_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						rx_clk_sel	tx_clk_sel
R-0h						R/W-0h	R/W-0h

表 7-73. RGMII_DELAY_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	rx_clk_sel	R/W	0h	在 RGMII 模式下，启用或禁用 RXD 相对于 RX_CLK 的内部延迟（当 RGMII_RX_CLK 和 RGMII_RXD 对齐时使用此模式）。可通过编程寄存器 0x430[7:4]来配置延迟幅度 0h = 时钟和数据对齐 1h = 时钟相对于 RGMII_RX 数据有延迟
0	tx_clk_sel	R/W	0h	在 RGMII 模式下，启用或禁用相对于 TXD wrt TX_CLK 的内部延迟（当 RGMII_TX_CLK 和 RGMII_TXD 对齐时使用此模式）。可通过编程寄存器 0x430[11:8]来配置延迟幅度 0h = 时钟和数据对齐 1h = 时钟内部有延迟

Copyright © 2025 Texas Instruments Incorporated

7.6.2.51 SGMII_CTRL_1 寄存器（偏移 = 608h）[复位 = 007Bh]

图 7-68 显示了 SGMII_CTRL_1，表 7-74 中对此进行了介绍。

返回到汇总表。

SGMII 寄存器：仅适用于 DP83TG720S-Q1

图 7-68. SGMII_CTRL_1 寄存器

15	14	13	12	11	10	9	8
sgmii_tx_err_dis	cfg_align_idx_force	cfg_align_idx_value				cfg_sgmii_en	cfg_sgmii_rx_pol_invert
R/W-0h	R/W-0h	R/W-0h				R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
cfg_sgmii_tx_pol_invert	RESERVED		RESERVED	RESERVED	sgmii_autoneg_timer		mr_an_enable
R/W-0h	R-0h		R-0h	R-0h	R/W-1h		R/W-1h

表 7-74. SGMII_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	sgmii_tx_err_dis	R/W	0h	1 = 禁用 SGMII TX 错误指示 0 = 启用 SGMII TX 错误指示
14	cfg_align_idx_force	R/W	0h	强制字边界索引选择
13-10	cfg_align_idx_value	R/W	0h	当 cfg_align_idx_force = 1 时，此值设置字边界索引
9	cfg_sgmii_en	R/W	0h	SGMII 启用位，默认由 strap 设定 0h = 禁用 SGMII 1h = 启用 SGMII
8	cfg_sgmii_rx_pol_invert	R/W	0h	SGMII RX 总线极性反转 0h = 极性不反转 1h = SGMII RX 总线极性反转
7	cfg_sgmii_tx_pol_invert	R/W	0h	SGMII TX 总线极性反转 0h = 极性不反转 1h = SGMII TX 总线极性反转
6-5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2-1	sgmii_autoneg_timer	R/W	1h	选择 SGMII 自动协商计时器的持续时间： 00：1.6ms 01：2us 10：800us 11：11ms
0	mr_an_enable	R/W	1h	1 = 启用 SGMII 自动协商 0 =禁用 SGMII 自动协商

Copyright © 2025 Texas Instruments Incorporated

7.6.2.52 SGMII_STATUS 寄存器（偏移 = 60Ah）[复位 = 0000h]

图 7-69 显示了 SGMII_STATUS，表 7-75 中对此进行了介绍。

返回到汇总表。

SGMII 寄存器：仅适用于 DP83TG720S-Q1

图 7-69. SGMII_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED			sgmii_page_received	link_status_1000bx	mr_an_complete	cfg_align_en	cfg_sync_status
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
cfg_align_idx				cfg_state			
R-0h				R-0h			

表 7-75. SGMII_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	sgmii_page_received	R	0h	指示接收到新的自动协商页面 0h = 未接收到新的自动协商页面 1h = 接收到新的自动协商页面
11	link_status_1000bx	R	0h	SGMII 链路状态 0h = SGMII 链路断开 1h = SGMII 链路建立
10	mr_an_complete	R	0h	SGMII 自动协商完成指示 0h = SGMII 自动协商未完成 1h = SGMII 自动协商已完成
9	cfg_align_en	R	0h	字边界 FSM - 对齐指示
8	cfg_sync_status	R	0h	字边界 FSM - 同步状态指示 0h = 未实现同步 1h = 已实现同步
7-4	cfg_align_idx	R	0h	字边界索引选择
3-0	cfg_state	R	0h	字边界 FSM 状态

Copyright © 2025 Texas Instruments Incorporated

7.6.2.53 SGMII_CTRL_2 寄存器（偏移 = 60Ch）[复位 = 001Bh]

图 7-70 显示了 SGMII_CTRL_2，表 7-76 中对此进行了介绍。

返回到汇总表。

SGMII 寄存器：仅适用于 DP83TG720S-Q1

图 7-70. SGMII_CTRL_2 寄存器

15	14	13	12	11	10	9	8
RESERVED							RESERVED
R-0h							R-0h
7	6	5	4	3	2	1	0
RESERVED	mr_restart_an	tx_half_full_th			rx_half_full_th		
R-0h	R/WSC，0-0h	R/W-3h			R/W-3h		

表 7-76. SGMII_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	mr_restart_an	R/WSC,0	0h	重新启动 SGMII 自动协商
5-3	tx_half_full_th	R/W	3h	SGMII TX 同步 FIFO 半满阈值
2-0	rx_half_full_th	R/W	3h	SGMII RX 同步 FIFO 半满阈值

Copyright © 2025 Texas Instruments Incorporated

7.6.2.54 SGMII_FIFO_STATUS 寄存器（偏移 = 60Dh）[复位 = 0000h]

图 7-71 显示了 SGMII_FIFO_STATUS，表 7-77 中对此进行了介绍。

返回到汇总表。

SGMII 寄存器：仅适用于 DP83TG720S-Q1

图 7-71. SGMII_FIFO_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				sgmii_rx_af_full_err	sgmii_rx_af_empty_err	sgmii_tx_af_full_err	sgmii_tx_af_empty_err
R-0h				R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

表 7-77. SGMII_FIFO_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R	0h	保留
3	sgmii_rx_af_full_err	R/W0C	0h	SGMII RX fifo 填满错误 0h = 无错误指示 1h = 已指示 SGMII RX 填满错误
2	sgmii_rx_af_empty_err	R/W0C	0h	SGMII RX fifo 为空错误 0h = 无错误指示 1h = 已指示 SGMII RX 为空错误
1	sgmii_tx_af_full_err	R/W0C	0h	SGMII TX fifo 填满错误 0h = 无错误指示 1h = 已指示 SGMII TX 填满错误
0	sgmii_tx_af_empty_err	R/W0C	0h	SGMII TX fifo 为空错误 0h = 无错误指示 1h = 已指示 SGMII TX 为空错误

Copyright © 2025 Texas Instruments Incorporated

7.6.2.55 PRBS_STATUS_1 寄存器（偏移 = 618h）[复位 = 0000h]

图 7-72 显示了 PRBS_STATUS_1，表 7-78 中对此进行了介绍。

返回到汇总表。

图 7-72. PRBS_STATUS_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
prbs_err_ov_cnt							
R-0h							

表 7-78. PRBS_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	prbs_err_ov_cnt	R	0h	保存 PRBS 校验器接收的错误计数器溢出数。 当写入寄存器 prbs_status_6 位 [0] 或位 [1] 后，此寄存器中的值被锁定。计数器在 0xFF 时停止。 注意：当 PRBS 计数器在单一模式下工作时，溢出计数器无效

Copyright © 2025 Texas Instruments Incorporated

7.6.2.56 PRBS_CTRL_1 寄存器（偏移 = 619h）[复位 = 0574h]

图 7-73 显示了 PRBS_CTRL_1，表 7-79 中对此进行了介绍。

返回到汇总表。

图 7-73. PRBS_CTRL_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		RESERVED	send_pkt	RESERVED	cfg_prbs_chk_sel		
R-0h		R-0h	R/WMC，0-0h	R-0h	R/W-5h		
7	6	5	4	3	2	1	0
RESERVED	cfg_prbs_gen_sel			cfg_prbs_cnt_mode	cfg_prbs_chk_enable	cfg_pkt_gen_prbs	pkt_gen_en
R-0h	R/W-7h			R/W-0h	R/W-1h	R/W-0h	R/W-0h

表 7-79. PRBS_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	send_pkt	R/WMC,0	0h	允许生成带有固定/增量数据的 MAC 数据包，具有 CRC （必须设置 pkt_gen_en，必须清除 cfg_pkt_gen_prbs） 设置 pkt_done 后自动清除 0h = 停止 MAC 数据包 1h = 发送具有 CRC 的 MAC 数据包
11	RESERVED	R	0h	保留
10-8	cfg_prbs_chk_sel	R/W	5h	000：校验器从 RGMII TX 接收 001：校验器从 SGMII TX 接收 101：校验器从 Cu RX 接收
7	RESERVED	R	0h	保留
6-4	cfg_prbs_gen_sel	R/W	7h	000：PRBS 发送到 RGMII RX 001：PRBS 发送到 SGMII RX 101：PRBS 发送到 Cu TX
3	cfg_prbs_cnt_mode	R/W	0h	1 = 连续模式，当其中一个 PRBS 计数器达到最大值时，产生脉冲且计数器再次从零开始计数 0 = 单一模式，当其中一个 PRBS 计数器达到最大值时，PRBS 校验器停止计数。
2	cfg_prbs_chk_enable	R/W	1h	启用 PRBS 校验器 XBAR（以接收数据） 需要启用才能使 0x63C、0x63D、0x63E 中的计数器正常工作 0h = 禁用 PRBS 校验器 1h = 启用 PRBS 校验器
1	cfg_pkt_gen_prbs	R/W	0h	如果设置： (1) 设置 pkt_gen_en 后，将连续生成 PRBS 数据包 (3) 清除 pkt_gen_en 后，PRBS RX 校验器仍处于启用状态 如果清除： (1) 设置 pkt_gen_en 后，将生成非 PRBS 数据包 (3) 清除 pkt_gen_en 后，PRBS RX 校验器也将禁用 0h = 停止 PRBS 数据包 1h =发送 PRBS 数据包
0	pkt_gen_en	R/W	0h	1 = 启用数据包/PRBS 生成器 0 = 禁用数据包/PRBS 生成器

Copyright © 2025 Texas Instruments Incorporated

7.6.2.57 PRBS_CTRL_2 寄存器（偏移 = 61Ah）[复位 = 05DCh]

图 7-74 显示了 PRBS_CTRL_2，表 7-80 中对此进行了介绍。

返回到汇总表。

图 7-74. PRBS_CTRL_2 寄存器

15	14	13	12	11	10	9	8
cfg_pkt_len_prbs							
R/W-5DCh							
7	6	5	4	3	2	1	0
cfg_pkt_len_prbs							
R/W-5DCh							

表 7-80. PRBS_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	cfg_pkt_len_prbs	R/W	5DCh	PRBS 数据包和 MAC 数据包（带 CRC）的长度（以字节为单位）

Copyright © 2025 Texas Instruments Incorporated

7.6.2.58 PRBS_CTRL_3 寄存器（偏移 = 61Bh）[复位 = 007Dh]

图 7-75 显示了 PRBS_CTRL_3，表 7-81 中对此进行了介绍。

返回到汇总表。

图 7-75. PRBS_CTRL_3 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
cfg_ipg_len							
R/W-7Dh							

表 7-81. PRBS_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	cfg_ipg_len	R/W	7Dh	数据包之间的数据包间间隙（以字节为单位）

Copyright © 2025 Texas Instruments Incorporated

7.6.2.59 PRBS_STATUS_2 寄存器（偏移 = 61Ch）[复位 = 0000h]

图 7-76 显示了 PRBS_STATUS_2，表 7-82 中对此进行了介绍。

返回到汇总表。

图 7-76. PRBS_STATUS_2 寄存器

15	14	13	12	11	10	9	8
prbs_byte_cnt							
R-0h							
7	6	5	4	3	2	1	0
prbs_byte_cnt							
R-0h							

表 7-82. PRBS_STATUS_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	prbs_byte_cnt	R	0h	保存 PRBS 校验器接收的总字节数。 当写入寄存器 prbs_status_6 位 [0] 或位 [1] 后，此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时，计数在 0xFFFF 停止

Copyright © 2025 Texas Instruments Incorporated

7.6.2.60 PRBS_STATUS_3 寄存器（偏移 = 61Dh）[复位 = 0000h]

图 7-77 显示了 PRBS_STATUS_3，表 7-83 中对此进行了介绍。

返回到汇总表。

图 7-77. PRBS_STATUS_3 寄存器

15	14	13	12	11	10	9	8
prbs_pkt_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
prbs_pkt_cnt_15_0							
R-0h							

表 7-83. PRBS_STATUS_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	prbs_pkt_cnt_15_0	R	0h	PRBS 校验器接收的数据包总数的位 [15:0] 当写入寄存器 prbs_status_6 位 [0] 或位 [1] 后，此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 停止

Copyright © 2025 Texas Instruments Incorporated

7.6.2.61 PRBS_STATUS_4 寄存器（偏移 = 61Eh）[复位 = 0000h]

图 7-78 显示了 PRBS_STATUS_4，表 7-84 中对此进行了介绍。

返回到汇总表。

图 7-78. PRBS_STATUS_4 寄存器

15	14	13	12	11	10	9	8
prbs_pkt_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
prbs_pkt_cnt_31_16							
R-0h							

表 7-84. PRBS_STATUS_4 寄存器字段说明

位	字段	类型	复位	说明
15-0	prbs_pkt_cnt_31_16	R	0h	PRBS 校验器接收的数据包总数的位 [31:16] 当写入寄存器 prbs_status_6 位 [0] 或位 [1] 后，此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 停止

Copyright © 2025 Texas Instruments Incorporated

7.6.2.62 PRBS_STATUS_6 寄存器（偏移 = 620h）[复位 = 0000h]

图 7-79 显示了 PRBS_STATUS_6，表 7-85 中对此进行了介绍。

返回到汇总表。

图 7-79. PRBS_STATUS_6 寄存器

15	14	13	12	11	10	9	8
RESERVED			pkt_done	pkt_gen_busy	prbs_pkt_ov	prbs_byte_ov	prbs_lock
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
prbs_err_cnt							
R-0h							

表 7-85. PRBS_STATUS_6 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	pkt_done	R	0h	在发送所有带有 CRC 的 MAC 数据包时设置 0h = 正在发送 MAC 数据包 1h = MAC 数据包传输完成
11	pkt_gen_busy	R	0h	1 = 数据包生成器正在工作 0 = 数据包生成器未在工作
10	prbs_pkt_ov	R	0h	如果设置，则数据包计数器达到溢出 清除 PRBS 计数器（通过设置 prbs_status_6 的位 1 来完成）后，溢出也会随之清除 0h = 无溢出 1h = 数据包计数器溢出
9	prbs_byte_ov	R	0h	如果设置，则字节计数器达到溢出 清除 PRBS 计数器（通过设置 prbs_status_6 的位 1 来完成）后，溢出也会随之清除 0h = 无溢出 1h = 字节计数器溢出
8	prbs_lock	R	0h	1 = PRBS 校验器在接收到的字节流上被锁定（同步） 0 = PRBS 校验器未锁定 0h = PRBS 校验器未锁定 1h = PRBS 校验器在接收到的字节流上被锁定（同步）
7-0	prbs_err_cnt	R	0h	保存 PRBS 校验器接收到的错误位数 当写入位 [0] 或位 [1] 时，此寄存器中的值被锁定 当 PRBS 计数模式设置为零时，计数在 0xFF 停止 注意：写入位 0 会为 PRBS 计数器生成锁定信号。 写入位 1 会为 PRBS 计数器生成锁定和清除信号

Copyright © 2025 Texas Instruments Incorporated

7.6.2.63 PRBS_STATUS_8 寄存器（偏移 = 622h）[复位 = 0000h]

图 7-80 显示了 PRBS_STATUS_8，表 7-86 中对此进行了介绍。

返回到汇总表。

图 7-80. PRBS_STATUS_8 寄存器

15	14	13	12	11	10	9	8
pkt_err_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
pkt_err_cnt_15_0							
R-0h							

表 7-86. PRBS_STATUS_8 寄存器字段说明

位	字段	类型	复位	说明
15-0	pkt_err_cnt_15_0	R	0h	PRBS 校验器接收的有错误数据包总数的位 [15:0] 当写入寄存器 prbs_status_6 位 [0] 或位 [1] 后，此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 停止

Copyright © 2025 Texas Instruments Incorporated

7.6.2.64 PRBS_STATUS_9 寄存器（偏移 = 623h）[复位 = 0000h]

图 7-81 显示了 PRBS_STATUS_9，表 7-87 中对此进行了介绍。

返回到汇总表。

图 7-81. PRBS_STATUS_9 寄存器

15	14	13	12	11	10	9	8
pkt_err_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
pkt_err_cnt_31_16							
R-0h							

表 7-87. PRBS_STATUS_9 寄存器字段说明

位	字段	类型	复位	说明
15-0	pkt_err_cnt_31_16	R	0h	PRBS 校验器接收的有错误数据包总数的位 [31:16] 当写入寄存器 prbs_status_6 位 [0] 或位 [1] 后，此寄存器中的值被锁定。 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 停止

Copyright © 2025 Texas Instruments Incorporated

7.6.2.65 PRBS_CTRL_4 寄存器（偏移 = 624h）[复位 = 5511h]

图 7-82 显示了 PRBS_CTRL_4，表 7-88 中对此进行了介绍。

返回到汇总表。

图 7-82. PRBS_CTRL_4 寄存器

15	14	13	12	11	10	9	8
cfg_pkt_data							
R/W-55h							
7	6	5	4	3	2	1	0
cfg_pkt_mode		cfg_pattern_vld_bytes			cfg_pkt_cnt		
R/W-0h		R/W-2h			R/W-1h		

表 7-88. PRBS_CTRL_4 寄存器字段说明

位	字段	类型	复位	说明
15-8	cfg_pkt_data	R/W	55h	要在固定数据模式下发送的固定数据
7-6	cfg_pkt_mode	R/W	0h	0h = 增量 1h = 固定 2h = PRBS 3h = PRBS
5-3	cfg_pattern_vld_bytes	R/W	2h	数据包中有效模式的字节数（最大为 6） 0h = 0 字节 1h = 1 字节 2h = 2 字节 3h = 3 字节 4h = 4 字节 5h = 5 字节 6h = 6 字节 7h = 6 字节
2-0	cfg_pkt_cnt	R/W	1h	000b = 1 个数据包 001b = 10 个数据包 010b = 100 个数据包 011b = 1000 个数据包 100b = 10000 个数据包 101b = 100000 个数据包 110b = 1000000 个数据包 111b = 连续数据包

Copyright © 2025 Texas Instruments Incorporated

7.6.2.66 PRBS_CTRL_5 寄存器（偏移 = 625h）[复位 = 0000h]

图 7-83 显示了 PRBS_CTRL_5，表 7-89 中对此进行了介绍。

返回到汇总表。

图 7-83. PRBS_CTRL_5 寄存器

15	14	13	12	11	10	9	8
pattern_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_15_0							
R/W-0h							

表 7-89. PRBS_CTRL_5 寄存器字段说明

位	字段	类型	复位	说明
15-0	pattern_15_0	R/W	0h	模式的位 15:0

Copyright © 2025 Texas Instruments Incorporated

7.6.2.67 PRBS_CTRL_6 寄存器（偏移 = 626h）[复位 = 0000h]

图 7-84 显示了 PRBS_CTRL_6，表 7-90 中对此进行了介绍。

返回到汇总表。

图 7-84. PRBS_CTRL_6 寄存器

15	14	13	12	11	10	9	8
pattern_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_31_16							
R/W-0h							

表 7-90. PRBS_CTRL_6 寄存器字段说明

位	字段	类型	复位	说明
15-0	pattern_31_16	R/W	0h	模式的位 31:16

Copyright © 2025 Texas Instruments Incorporated

7.6.2.68 PRBS_CTRL_7 寄存器（偏移 = 627h）[复位 = 0000h]

图 7-85 显示了 PRBS_CTRL_7，表 7-91 中对此进行了介绍。

返回到汇总表。

图 7-85. PRBS_CTRL_7 寄存器

15	14	13	12	11	10	9	8
pattern_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_47_32							
R/W-0h							

表 7-91. PRBS_CTRL_7 寄存器字段说明

位	字段	类型	复位	说明
15-0	pattern_47_32	R/W	0h	模式的位 47:32

Copyright © 2025 Texas Instruments Incorporated

7.6.2.69 PRBS_CTRL_8 寄存器（偏移 = 628h）[复位 = 0000h]

图 7-86 显示了 PRBS_CTRL_8，表 7-92 中对此进行了介绍。

返回到汇总表。

图 7-86. PRBS_CTRL_8 寄存器

15	14	13	12	11	10	9	8
pmatch_data_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_15_0							
R/W-0h							

表 7-92. PRBS_CTRL_8 寄存器字段说明

位	字段	类型	复位	说明
15-0	pmatch_data_15_0	R/W	0h	完全匹配数据的位 15:0 - 用于 DA（目标地址）匹配

Copyright © 2025 Texas Instruments Incorporated

7.6.2.70 PRBS_CTRL_9 寄存器（偏移 = 629h）[复位 = 0000h]

图 7-87 显示了 PRBS_CTRL_9，表 7-93 中对此进行了介绍。

返回到汇总表。

图 7-87. PRBS_CTRL_9 寄存器

15	14	13	12	11	10	9	8
pmatch_data_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_31_16							
R/W-0h							

表 7-93. PRBS_CTRL_9 寄存器字段说明

位	字段	类型	复位	说明
15-0	pmatch_data_31_16	R/W	0h	完全匹配数据的位 31:16 - 用于 DA（目标地址）匹配

Copyright © 2025 Texas Instruments Incorporated

7.6.2.71 PRBS_CTRL_10 寄存器（偏移 = 62Ah）[复位 = 0000h]

图 7-88 显示了 PRBS_CTRL_10，表 7-94 中对此进行了介绍。

返回到汇总表。

图 7-88. PRBS_CTRL_10 寄存器

15	14	13	12	11	10	9	8
pmatch_data_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_47_32							
R/W-0h							

表 7-94. PRBS_CTRL_10 寄存器字段说明

位	字段	类型	复位	说明
15-0	pmatch_data_47_32	R/W	0h	完全匹配数据的位 47:32 - 用于 DA（目标地址）匹配

Copyright © 2025 Texas Instruments Incorporated

7.6.2.72 CRC_STATUS 寄存器（偏移 = 638h）[复位 = 0000h]

图 7-89 显了 CRC_STATUS，表 7-95 中对此进行了介绍。

返回到汇总表。

图 7-89. CRC_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						rx_bad_crc	tx_bad_crc
R-0h						R-0h	R-0h

表 7-95. CRC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	rx_bad_crc	R	0h	Cu RX 上接收的数据包中的 CRC 错误指示 0h = 无 CRC 错误 1h = CRC 错误
0	tx_bad_crc	R	0h	Cu TX 上发送的数据包中的 CRC 错误指示 0h = 无 CRC 错误 1h = CRC 错误

Copyright © 2025 Texas Instruments Incorporated

7.6.2.73 PKT_STAT_1 寄存器（偏移 = 639h）[复位 = 0000h]

图 7-90 显示了 PKT_STAT_1，表 7-96 中对此进行了介绍。

返回到汇总表。

图 7-90. PKT_STAT_1 寄存器

15	14	13	12	11	10	9	8
tx_pkt_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
tx_pkt_cnt_15_0							
R-0h							

表 7-96. PKT_STAT_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	tx_pkt_cnt_15_0	R	0h	TX 数据包计数器的低 16 位 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清零

Copyright © 2025 Texas Instruments Incorporated

7.6.2.74 PKT_STAT_2 寄存器（偏移 = 63Ah）[复位 = 0000h]

图 7-91 显示了 PKT_STAT_2，表 7-97 中对此进行了介绍。

返回到汇总表。

图 7-91. PKT_STAT_2 寄存器

15	14	13	12	11	10	9	8
tx_pkt_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
tx_pkt_cnt_31_16							
R-0h							

表 7-97. PKT_STAT_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	tx_pkt_cnt_31_16	R	0h	TX 数据包计数器的高 16 位 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清零

Copyright © 2025 Texas Instruments Incorporated

7.6.2.75 PKT_STAT_3 寄存器（偏移 = 63Bh）[复位 = 0000h]

图 7-92 显示了 PKT_STAT_3，表 7-98 中对此进行了介绍。

返回到汇总表。

图 7-92. PKT_STAT_3 寄存器

15	14	13	12	11	10	9	8
tx_err_pkt_cnt							
R-0h							
7	6	5	4	3	2	1	0
tx_err_pkt_cnt							
R-0h							

表 7-98. PKT_STAT_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	tx_err_pkt_cnt	R	0h	有错误（CRC 错误）的 TX 数据包计数器 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清零

Copyright © 2025 Texas Instruments Incorporated

7.6.2.76 PKT_STAT_4 寄存器（偏移 = 63Ch）[复位 = 0000h]

图 7-93 显示了 PKT_STAT_4，表 7-99 中对此进行了介绍。

返回到汇总表。

图 7-93. PKT_STAT_4 寄存器

15	14	13	12	11	10	9	8
rx_pkt_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
rx_pkt_cnt_15_0							
R-0h							

表 7-99. PKT_STAT_4 寄存器字段说明

位	字段	类型	复位	说明
15-0	rx_pkt_cnt_15_0	R	0h	RX 数据包计数器的低 16 位 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清零

Copyright © 2025 Texas Instruments Incorporated

7.6.2.77 PKT_STAT_5 寄存器（偏移 = 63Dh）[复位 = 0000h]

图 7-94 显示了 PKT_STAT_5，表 7-100 中对此进行了介绍。

返回到汇总表。

图 7-94. PKT_STAT_5 寄存器

15	14	13	12	11	10	9	8
rx_pkt_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
rx_pkt_cnt_31_16							
R-0h							

表 7-100. PKT_STAT_5 寄存器字段说明

位	字段	类型	复位	说明
15-0	rx_pkt_cnt_31_16	R	0h	RX 数据包计数器的高 16 位 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清零

Copyright © 2025 Texas Instruments Incorporated

7.6.2.78 PKT_STAT_6 寄存器（偏移 = 63Eh）[复位 = 0000h]

图 7-95 显示了 PKT_STAT_6，表 7-101 中对此进行了介绍。

返回到汇总表。

图 7-95. PKT_STAT_6 寄存器

15	14	13	12	11	10	9	8
rx_err_pkt_cnt							
R-0h							
7	6	5	4	3	2	1	0
rx_err_pkt_cnt							
R-0h							

表 7-101. PKT_STAT_6 寄存器字段说明

位	字段	类型	复位	说明
15-0	rx_err_pkt_cnt	R	0h	有错误（CRC 错误）的 RX 数据包计数器 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清零

Copyright © 2025 Texas Instruments Incorporated

7.6.2.79 SQI_REG_1 寄存器（偏移 = 871h）[复位 = 0000h]

图 7-96 显示了 SQI_REG_1，表 7-102 中对此进行了介绍。

返回到汇总表。

图 7-96. SQI_REG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
worst_sqi_out			RESERVED	sqi_out			RESERVED
R-0h			R-0h	R-0h			R-0h

表 7-102. SQI_REG_1 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-5	worst_sqi_out	R	0h	自上次读取以来的 3 位最差 SQI（请参阅上面的 SQI 映射） 在读取时清除
4	RESERVED	R	0h	保留
3-1	sqi_out	R	0h	3 位 SQI - （此处的 MSE 是指均方误差 0x875[9:0]） 0b000 = MSE > 102 0b001 = 81 < MSE ≤102 0b010 = 65 < MSE ≤ 81 0b011 = 51 < MSE ≤ 65 0b100 = 41 < MSE ≤ 51 0b101 = 32 < MSE ≤ 41 0b110 = 25 < MSE ≤ 32 0b111 = MSE ≤ 25
0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.80 DSP_REG_74 寄存器（偏移 = 874h）[复位 = 0000h]

图 7-97 显示了 DSP_REG_74，表 7-103 中对此进行了介绍。

返回到汇总表。

图 7-97. DSP_REG_74 寄存器

15	14	13	12	11	10	9	8
worst_peak_mse_out							
R-0h							
7	6	5	4	3	2	1	0
peak_mse_out							
R-0h							

表 7-103. DSP_REG_74 寄存器字段说明

位	字段	类型	复位	说明
15-8	worst_peak_mse_out	R	0h	根据 TC12，自上次读取以来的最差峰值 MSE 输出（请参阅上面的峰值 MSE 映射） 在读取时清除
7-0	peak_mse_out	R	0h	根据 TC12 得出的峰值 MSE - 此值为 0.0625*平均平方限幅器误差（最大值 = 0.015625）。要得到实际的平方限幅器误差，将此值除以 248。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.81 DSP_REG_75 寄存器（偏移 = 875h）[复位 = 0000h]

图 7-98 显示了 DSP_REG_75，表 7-104 中对此进行了介绍。

返回到汇总表。

图 7-98. DSP_REG_75 寄存器

15	14	13	12	11	10	9	8
RESERVED				RESERVED		mse_lock	
R-0h				R-0h		R-0h	
7	6	5	4	3	2	1	0
mse_lock							
R-0h							

表 7-104. DSP_REG_75 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11-10	RESERVED	R	0h	保留
9-0	mse_lock	R	0h	用于 SQI 映射的 10 位 MSE。（MSE =接收器的均方误差）

Copyright © 2025 Texas Instruments Incorporated

7.6.2.82 PMA_PMD_CONTROL_1 寄存器（偏移 = 1000h）[复位 = 0000h]

图 7-99 显示了 PMA_PMD_CONTROL_1，表 7-105 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-99. PMA_PMD_CONTROL_1 寄存器

15	14	13	12	11	10	9	8
pma_reset_2	RESERVED			RESERVED	RESERVED		
R-0h	R-0h			R-0h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 7-105. PMA_PMD_CONTROL_1 寄存器字段说明

位	字段	类型	复位	说明
15	pma_reset_2	R	0h	1 = PMA/PMD 复位 0 =正常运行 注意- RW 位，自行清零
14-12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.83 PMA_PMD_CONTROL_2 寄存器（偏移 = 1007h）[复位 = 003Dh]

图 7-100 显示了 PMA_PMD_CONTROL_2，表 7-106 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-100. PMA_PMD_CONTROL_2 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		cfg_pma_type_selection					
R-0h		R/W-3Dh					

表 7-106. PMA_PMD_CONTROL_2 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	保留
5-0	cfg_pma_type_selection	R/W	3Dh	器件的 BASE-T1 类型选择 3Dh =器件的 BASE-T1 类型选择

Copyright © 2025 Texas Instruments Incorporated

7.6.2.84 PMA_PMD_TRANSMIT_DISABLE 寄存器（偏移 = 1009h）[复位 = 0000h]

图 7-101 显示了 PMA_PMD_TRANSMIT_DISABLE，表 7-107 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-101. PMA_PMD_TRANSMIT_DISABLE 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							cfg_transmit_disable_2
R-0h							R-0h

表 7-107. PMA_PMD_TRANSMIT_DISABLE 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R	0h	保留
0	cfg_transmit_disable_2	R	0h	1 = 发送禁用 0 = 正常运行 注意- RW 位

Copyright © 2025 Texas Instruments Incorporated

7.6.2.85 PMA_PMD_EXTENDED_ABILITY2 寄存器（偏移 = 100Bh）[复位 = 0800h]

图 7-102 显示了 PMA_PMD_EXTENDED_ABILITY2，表 7-108 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-102. PMA_PMD_EXTENDED_ABILITY2 寄存器

15	14	13	12	11	10	9	8
RESERVED				base_t1_extended_abilities	RESERVED		
R-0h				R-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 7-108. PMA_PMD_EXTENDED_ABILITY2 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11	base_t1_extended_abilities	R	1h	1 = PMA/PMD 具有寄存器中列出的 BASE-T1 扩展功能 1.18 0 = PMA/PMD 没有 BASE-T1 扩展功能
10-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.86 PMA_PMD_EXTENDED_ABILITY 寄存器（偏移 = 1012h）[复位 = 0002h]

图 7-103 显示了 PMA_PMD_EXTENDED_ABILITY，表 7-109 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-103. PMA_PMD_EXTENDED_ABILITY 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						mr_1000_base_t1_ability	mr_100_base_t1_ability
R-0h						R-1h	R-0h

表 7-109. PMA_PMD_EXTENDED_ABILITY 寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	mr_1000_base_t1_ability	R	1h	1 = PMA/PMD 能够执行 1000BASE-T1 0 = PMA/PMD 无法执行 1000BASE-T1
0	mr_100_base_t1_ability	R	0h	1 = PMA/PMD 能够执行 100BASE-T1 0 = PMA/PMD 无法执行 100BASE-T1

Copyright © 2025 Texas Instruments Incorporated

7.6.2.87 PMA_PMD_CONTROL 寄存器（偏移 = 1834h）[复位 = 8001h]

图 7-104 显示了 PMA_PMD_CONTROL，表 7-110 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-104. PMA_PMD_CONTROL 寄存器

15	14	13	12	11	10	9	8
RESERVED	cfg_master_slave_val	RESERVED					
R-0h	R/W-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED				RESERVED			
R-0h				R-0h			

表 7-110. PMA_PMD_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	cfg_master_slave_val	R/W	0h	1 =将 PHY 配置为主器件 0 =将 PHY 配置为从器件
13-4	RESERVED	R	0h	保留
3-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.88 PMA_CONTROL 寄存器（偏移 = 1900h）[复位 = 0000h]

图 7-105 显示了 PMA_CONTROL，表 7-111 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-105. PMA_CONTROL 寄存器

15	14	13	12	11	10	9	8
pma_reset	cfg_transmit_disable	RESERVED		RESERVED	RESERVED		
R-0h	R-0h	R-0h		R-0h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 7-111. PMA_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
15	pma_reset	R	0h	1 = PMA/PMD 复位 0 =正常运行 注意- RW 位，自行清零
14	cfg_transmit_disable	R	0h	1 = 发送禁用 0 = 正常运行 注意- RW 位
13-12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.89 PMA_STATUS 寄存器（偏移 = 1901h）[复位 = 0900h]

图 7-106 显示了 PMA_STATUS，表 7-112 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-106. PMA_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED				oam_ability	eee_ability	receive_fault_ability	low_power_ability
R-0h				R-1h	R-0h	R-0h	R-1h
7	6	5	4	3	2	1	0
RESERVED					receive_polarity	receive_fault	pma_receive_link_status_ll
R-0h					R-0h	R-0h	R/W0S-0h

表 7-112. PMA_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11	oam_ability	R	1h	1 = PHY 具有 1000BASE-T1 OAM 功能 0 = PHY 不具有 1000BASE-T1 OAM 功能
10	eee_ability	R	0h	1 = PHY 具有 EEE 功能 0 = PHY 不具有 EEE 功能
9	receive_fault_ability	R	0h	1 = PMA/PMD 能够检测接收路径上的故障条件 0 = PMA/PMD 无法检测接收路径上的故障条件
8	low_power_ability	R	1h	1 = PMA/PMD 具有低功耗功能 0 = PMA/PMD 不具有低功耗功能
7-3	RESERVED	R	0h	保留
2	receive_polarity	R	0h	1 = 接收极性反转 0 = 接收极性未反转
1	receive_fault	R	0h	1 = 检测到故障状况 0 = 未检测到故障状况
0	pma_receive_link_status_ll	R/W0S	0h	1 = PMA/PMD 接收链路建立 0 = PMA/PMD 接收链路断开

Copyright © 2025 Texas Instruments Incorporated

7.6.2.90 TRAINING 寄存器（偏移 = 1902h）[复位 = 0002h]

图 7-107 显示了 TRAINING，表 7-113 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-107. TRAINING 寄存器

15	14	13	12	11	10	9	8
RESERVED					cfg_training_user_fld		
R-0h					R/W-0h		
7	6	5	4	3	2	1	0
cfg_training_user_fld				RESERVED		cfg_oam_en	cfg_eee_en
R/W-0h				R-0h		R/W-1h	R/W-0h

表 7-113. TRAINING 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10-4	cfg_training_user_fld	R/W	0h	发送至链路伙伴的 7 位用户定义字段
3-2	RESERVED	R	0h	保留
1	cfg_oam_en	R/W	1h	1 = 向链路伙伴通告 1000BASE-T1 OAM 功能 0 =不向链路伙伴通告 1000BASE-T1 OAM 功能
0	cfg_eee_en	R/W	0h	1 = 向链路伙伴通告 EEE 功能 0 =不向链路伙伴通告 EEE 功能

Copyright © 2025 Texas Instruments Incorporated

7.6.2.91 LP_TRAINING 寄存器（偏移 = 1903h）[复位 = 0000h]

图 7-108 显示了 LP_TRAINING，表 7-114 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-108. LP_TRAINING 寄存器

15	14	13	12	11	10	9	8
RESERVED						lp_training_user_fld	
R-0h						R-0h	
7	6	5	4	3	2	1	0
lp_training_user_fld				RESERVED		lp_oam_adv	lp_eee_adv
R-0h				R-0h		R-0h	R-0h

表 7-114. LP_TRAINING 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10-4	lp_training_user_fld	R	0h	从链路伙伴接收到的 7 位用户定义字段
3-2	RESERVED	R	0h	保留
1	lp_oam_adv	R	0h	1 =链路伙伴具有 1000BASE-T1 OAM 功能 0 =链路伙伴不具有 1000BASE-T1 OAM 功能
0	lp_eee_adv	R	0h	1 =链路伙伴具有 EEE 功能 0 =链路伙伴不具有 EEE 功能

Copyright © 2025 Texas Instruments Incorporated

7.6.2.92 TEST_MODE_CONTROL 寄存器（偏移 = 1904h）[复位 = 0000h]

图 7-109 显示了 TEST_MODE_CONTROL，表 7-115 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x1) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-109. TEST_MODE_CONTROL 寄存器

15	14	13	12	11	10	9	8
cfg_test_mode			RESERVED				
R/W-0h			R-0h				
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 7-115. TEST_MODE_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
15-13	cfg_test_mode	R/W	0h	111 = 测试模式 7 110 = 测试模式 6 101 = 测试模式 5 100 = 测试模式 4 011 =保留 010 = 测试模式 2 001 = 测试模式 1 000 = 正常（非测试）运行
12-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.93 PCS_CONTROL 寄存器（偏移 = 3900h）[复位 = 0000h]

图 7-110 显示了 PCS_CONTROL，表 7-116 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-110. PCS_CONTROL 寄存器

15	14	13	12	11	10	9	8
pcs_reset	RESERVED	RESERVED					
R-0h	R-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 7-116. PCS_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
15	pcs_reset	R	0h	注- RW 位，自行清零位 0h = 正常运行 1h = PCS 复位
14	RESERVED	R	0h	保留
13-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.94 PCS_STATUS 寄存器（偏移 = 3901h）[复位 = 0000h]

图 7-111 显示了 PCS_STATUS，表 7-117 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-111. PCS_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED				RESERVED	RESERVED	RESERVED	RESERVED
R-0h				R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
pcs_fault	RESERVED				pcs_receive_link_status_ll	RESERVED	
R-0h	R-0h				R/W0S-0h	R-0h	

表 7-117. PCS_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	pcs_fault	R	0h	0h = 未检测到故障状况 1h = 检测到故障状况
6-3	RESERVED	R	0h	保留
2	pcs_receive_link_status_ll	R/W0S	0h	0h = PCS 接收链路断开 1h = PCS 接收链路建立
1-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.95 PCS_STATUS_2 寄存器（偏移 = 3902h）[复位 = 0000h]

图 7-112 显示了 PCS_STATUS_2，表 7-118 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-112. PCS_STATUS_2 寄存器

15	14	13	12	11	10	9	8
RESERVED					pcs_receive_link_status	hi_rfer	block_lock
R-0h					R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
hi_rfer_lh	block_lock_ll	RESERVED					
R/W0C-0h	R/W0S-0h	R-0h					

表 7-118. PCS_STATUS_2 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	pcs_receive_link_status	R	0h	0h = PCS 接收链路断开 1h = PCS 接收链路建立
9	hi_rfer	R	0h	0h = PCS 未报告高 BER 1h = PCS 报告高 BER
8	block_lock	R	0h	0h = PCS 未锁定到接收块 1h = PCS 锁定到接收块
7	hi_rfer_lh	R/W0C	0h	0h = PCS 未报告高 BER 1h = PCS 报告高 BER
6	block_lock_ll	R/W0S	0h	0h = PCS 未实现块锁定 1h = PCS 实现块锁定
5-0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

7.6.2.96 OAM_TRANSMIT 寄存器（偏移 = 3904h）[复位 = 0000h]

图 7-113 显示了 OAM_TRANSMIT，表 7-119 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-113. OAM_TRANSMIT 寄存器

15	14	13	12	11	10	9	8
mr_tx_valid	mr_tx_toggle	mr_tx_received	mr_tx_received_toggle	mr_tx_message_num			
R/WMC，0-0h	R-0h	R-0h	R-0h	R/W-0h			
7	6	5	4	3	2	1	0
RESERVED				mr_rx_ping	mr_tx_ping	mr_tx_snr	
R-0h				R-0h	R/W-0h	R-0h	

表 7-119. OAM_TRANSMIT 寄存器字段说明

位	字段	类型	复位	说明
15	mr_tx_valid	R/WMC,0	0h	此位用于指示寄存器 3.2308.11:8、3.2309、3.2310、3.2311 和 3.2312 中的消息数据有效且可加载。 当状态机加载寄存器时，此位应自行清除 。 1 = 寄存器中的消息数据有效 0 =寄存器中的消息数据无效
14	mr_tx_toggle	R	0h	要随消息发送的触发值。 此位由状态机设置，用户不能覆盖。
13	mr_tx_received	R	0h	此位应在读取时自行清零。 1 = 链路伙伴接收到 1000BASE-T1 OAM 消息 0 = 链路伙伴未接收到 1000BASE-T1 OAM 消息
12	mr_tx_received_toggle	R	0h	切换链接伙伴 收到的消息的值
11-8	mr_tx_message_num	R/W	0h	要发送的用户定义消息编号
7-4	RESERVED	R	0h	保留
3	mr_rx_ping	R	0h	从接收到的最新良好 1000BASE-T1 OAM 帧接收 PingTx 值
2	mr_tx_ping	R/W	0h	要发送到链路伙伴的 Ping 值
1-0	mr_tx_snr	R	0h	00 = PHY 链路发生故障，应在当前 1000BASE-T1 OAM 帧结束后的 2ms 至 4ms 内断开链路并重新链接。 01 = LPI 刷新不足以维持 PHY SNR。请求链路伙伴退出 LPI 并发送空闲（仅在启用 EEE 时使用）。 10 = PHY SNR 临界。 11 = PHY SNR 良好。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.97 OAM_TX_MESSAGE_1 寄存器（偏移 = 3905h）[复位 = 0000h]

图 7-114 显示了 OAM_TX_MESSAGE_1，表 7-120 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-114. OAM_TX_MESSAGE_1 寄存器

15	14	13	12	11	10	9	8
mr_tx_message_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_15_0							
R/W-0h							

表 7-120. OAM_TX_MESSAGE_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_tx_message_15_0	R/W	0h	消息字节 1/0。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.98 OAM_TX_MESSAGE_2 寄存器（偏移 = 3906h）[复位 = 0000h]

图 7-115 显示了 OAM_TX_MESSAGE_2，表 7-121 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-115. OAM_TX_MESSAGE_2 寄存器

15	14	13	12	11	10	9	8
mr_tx_message_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_31_16							
R/W-0h							

表 7-121. OAM_TX_MESSAGE_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_tx_message_31_16	R/W	0h	消息字节 3/2。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.99 OAM_TX_MESSAGE_3 寄存器（偏移 = 3907h）[复位 = 0000h]

图 7-116 显示了 OAM_TX_MESSAGE_3，表 7-122 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-116. OAM_TX_MESSAGE_3 寄存器

15	14	13	12	11	10	9	8
mr_tx_message_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_47_32							
R/W-0h							

表 7-122. OAM_TX_MESSAGE_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_tx_message_47_32	R/W	0h	消息字节 5/4。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.100 OAM_TX_MESSAGE_4 寄存器（偏移 = 3908h）[复位 = 0000h]

图 7-117 显示了 OAM_TX_MESSAGE_4，表 7-123 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-117. OAM_TX_MESSAGE_4 寄存器

15	14	13	12	11	10	9	8
mr_tx_message_63_48							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_63_48							
R/W-0h							

表 7-123. OAM_TX_MESSAGE_4 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_tx_message_63_48	R/W	0h	消息字节 7/6。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.101 OAM_RECEIVE 寄存器（偏移 = 3909h）[复位 = 0000h]

图 7-118 显示了 OAM_RECEIVE，表 7-124 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-118. OAM_RECEIVE 寄存器

15	14	13	12	11	10	9	8
mr_rx_lp_valid	mr_rx_lp_toggle	RESERVED		mr_rx_lp_message_num			
R-0h	R-0h	R-0h		R-0h			
7	6	5	4	3	2	1	0
RESERVED						mr_rx_lp_SNR	
R-0h						R-0h	

表 7-124. OAM_RECEIVE 寄存器字段说明

位	字段	类型	复位	说明
15	mr_rx_lp_valid	R	0h	此位用于指示寄存器 3.2313.11:8、3.2314、3.2315、3.2316 和 3.2317 中的消息数据已存储并准备好读取。 当读取寄存器 3.2317 时，此位应自行清零。 0h = 寄存器中的消息数据无效 1h = 寄存器中的消息数据有效
14	mr_rx_lp_toggle	R	0h	随消息接收到的触发值 注意- 0x3 添加到[15:12]中以进行区分
13-12	RESERVED	R	0h	保留
11-8	mr_rx_lp_message_num	R	0h	来自链路伙伴的消息编号 注意- 0x3 添加到[15:12]中以进行区分
7-2	RESERVED	R	0h	保留
1-0	mr_rx_lp_SNR	R	0h	00 =链路伙伴链路发生故障，应在当前 1000BASE-T1 OAM 帧结束后的 2ms 至 4ms 内断开链路并重新链接。 01 = LPI 刷新不足以维持链路伙伴 SNR。链路伙伴请求本地器件退出 LPI 并发送空闲信号（仅在启用 EEE 时使用）。 10 = 链路伙伴 SNR 临界。 11 = 链路伙伴 SNR 良好

Copyright © 2025 Texas Instruments Incorporated

7.6.2.102 OAM_RX_MESSAGE_1 寄存器（偏移 = 390Ah）[复位 = 0000h]

图 7-119 显示了 OAM_RX_MESSAGE_1，表 7-125 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-119. OAM_RX_MESSAGE_1 寄存器

15	14	13	12	11	10	9	8
mr_rx_lp_message_15_0							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_15_0							
R-0h							

表 7-125. OAM_RX_MESSAGE_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_rx_lp_message_15_0	R	0h	消息字节 1/0。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.103 OAM_RX_MESSAGE_2 寄存器（偏移 = 390Bh）[复位 = 0000h]

图 7-120 显示了 OAM_RX_MESSAGE_2，表 7-126 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-120. OAM_RX_MESSAGE_2 寄存器

15	14	13	12	11	10	9	8
mr_rx_lp_message_31_16							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_31_16							
R-0h							

表 7-126. OAM_RX_MESSAGE_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_rx_lp_message_31_16	R	0h	消息字节 3/2。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.104 OAM_RX_MESSAGE_3 寄存器（偏移 = 390Ch）[复位 = 0000h]

图 7-121 显示了 OAM_RX_MESSAGE_3，表 7-127 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-121. OAM_RX_MESSAGE_3 寄存器

15	14	13	12	11	10	9	8
mr_rx_lp_message_47_32							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_47_32							
R-0h							

表 7-127. OAM_RX_MESSAGE_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_rx_lp_message_47_32	R	0h	消息字节 5/4。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.105 OAM_RX_MESSAGE_4 寄存器（偏移 = 390Dh）[复位 = 0000h]

图 7-122 显示了 OAM_RX_MESSAGE_4，表 7-128 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x3) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-122. OAM_RX_MESSAGE_4 寄存器

15	14	13	12	11	10	9	8
mr_rx_lp_message_63_48							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_63_48							
R-0h							

表 7-128. OAM_RX_MESSAGE_4 寄存器字段说明

位	字段	类型	复位	说明
15-0	mr_rx_lp_message_63_48	R	0h	消息字节 7/6。首先发送 LSB。

Copyright © 2025 Texas Instruments Incorporated

7.6.2.106 AN_CFG 寄存器（偏移 = 7200h）[复位 = 0000h]

图 7-123 显示了 AN_CFG，表 7-129 中对此进行了介绍。

返回到汇总表。

寄存器地址中的第一个半字节 (0x7) 用于指示 MMD 寄存器空间。对于寄存器访问，请忽略第一个半字节。

图 7-123. AN_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							mr_main_reset
R-0h							R/WSC-0h

表 7-129. AN_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R	0h	保留
0	mr_main_reset	R/WSC	0h	1 = 复位链路同步/自动协商 注意 - RW 位

Copyright © 2025 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

DP83TG720R-Q1 是一款单端口 1Gbps 汽车以太网 PHY，符合 IEEE 802.3bp 标准，支持通过 RGMII 连接至以太网 MAC。在以太网应用中使用该器件时，应满足正常运行要求。以下各小节旨在帮助选择合适的元件并完成所需连接。

8.2 典型应用

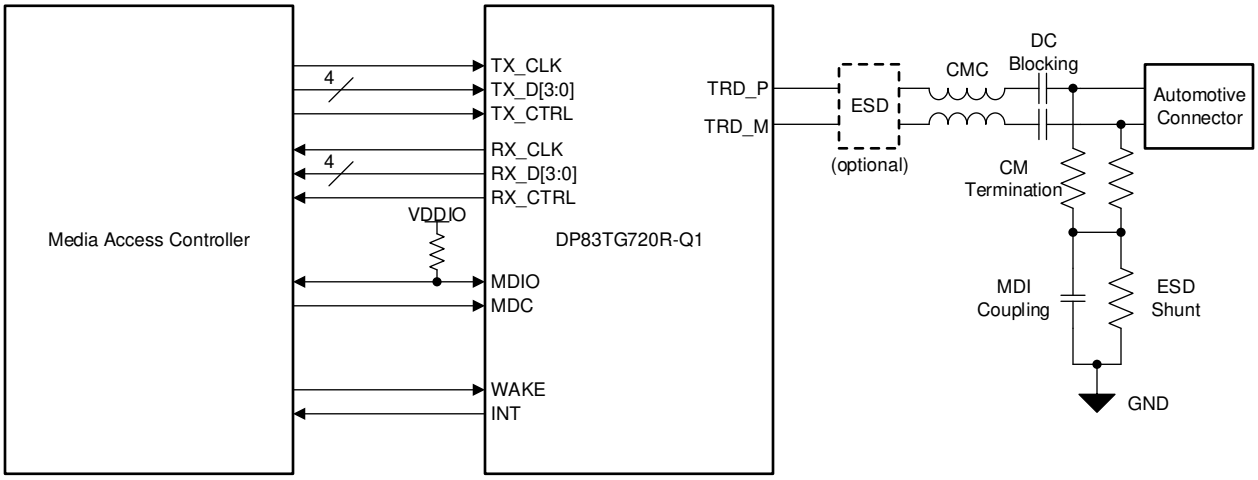


图 8-1. 典型应用 (RGMII)

表 8-1. MDI 网络的建议元件

设计参数	值
直流阻断电容器 1	0.1 µ F
共模扼流圈	Murata：DLW32MH101XT2
共模终端电阻器 1 2	1k Ω
MDI 耦合电容器	4.7nF
ESD 分流器	100k Ω

1. 建议使用 1% 容差的元件，以便获得超过回波损耗和模式转换规格的裕度。
2. 如果 CM 终端电阻器的规格高于 0805，则有助于增加 ESD 裕度。

8.2.1 设计要求

对于这些典型应用，请使用以下参数作为输入参数：

表 8-2. 设计参数

设计参数	示例值
V_{DDIO}	1.8V、2.5V 或 3.3V
去耦电容器 V_{DDIO}（引脚 34）	10nF、100nF
去耦电容器 V_{DDIO}（引脚 22）	10nF、100nF、2.2uF

Copyright © 2025 Texas Instruments Incorporated

表 8-2. 设计参数（续）

设计参数	示例值
用于 VDDIO 的组合铁氧体磁珠	BLM18HE102SN1
V_{DDA}	3.3V
去耦电容器 V_{DDA}（引脚 11）	10nF、100nF、2.2uF
用于 V_{DDA} 的铁氧体磁珠	BLM18KG601SH1
V_{DD1p0}	1V
去耦电容器 V_{DD1P0}（引脚 9）	10nF、100nF、2.2uF
去耦电容器 V_{DDA}（引脚 21）	10nF、100nF、2.2uF
用于 V_{DD1P0} 的组合铁氧体磁珠	BLM18KG601SH1
V_{sleep}	3.3V
直流阻断电容器 (1)	0.1 µ F
共模扼流圈	Murata：DLW32MH101XT2
共模终端电阻器 (1) (2)	1k Ω
MDI 耦合电容器	4.7nF
ESD 分流器	100k Ω
参考时钟	25MHz

(1) 建议使用 1% 容差元件来改进回波损耗和模式转换测量。如果 CM 终端电阻器的规格高于 0805，则有助于增加 ESD 裕度。
(2) 如果 CM 终端电阻器的规格高于 0805，则有助于增加 ESD 裕度。

8.3 电源相关建议

DP83TG720R-Q1 能在宽 IO 电源电压范围（3.3V、2.5V 或 1.8V）内运行。不需要电源时序控制。建议电源去耦网络如下图所示：

Copyright © 2025 Texas Instruments Incorporated

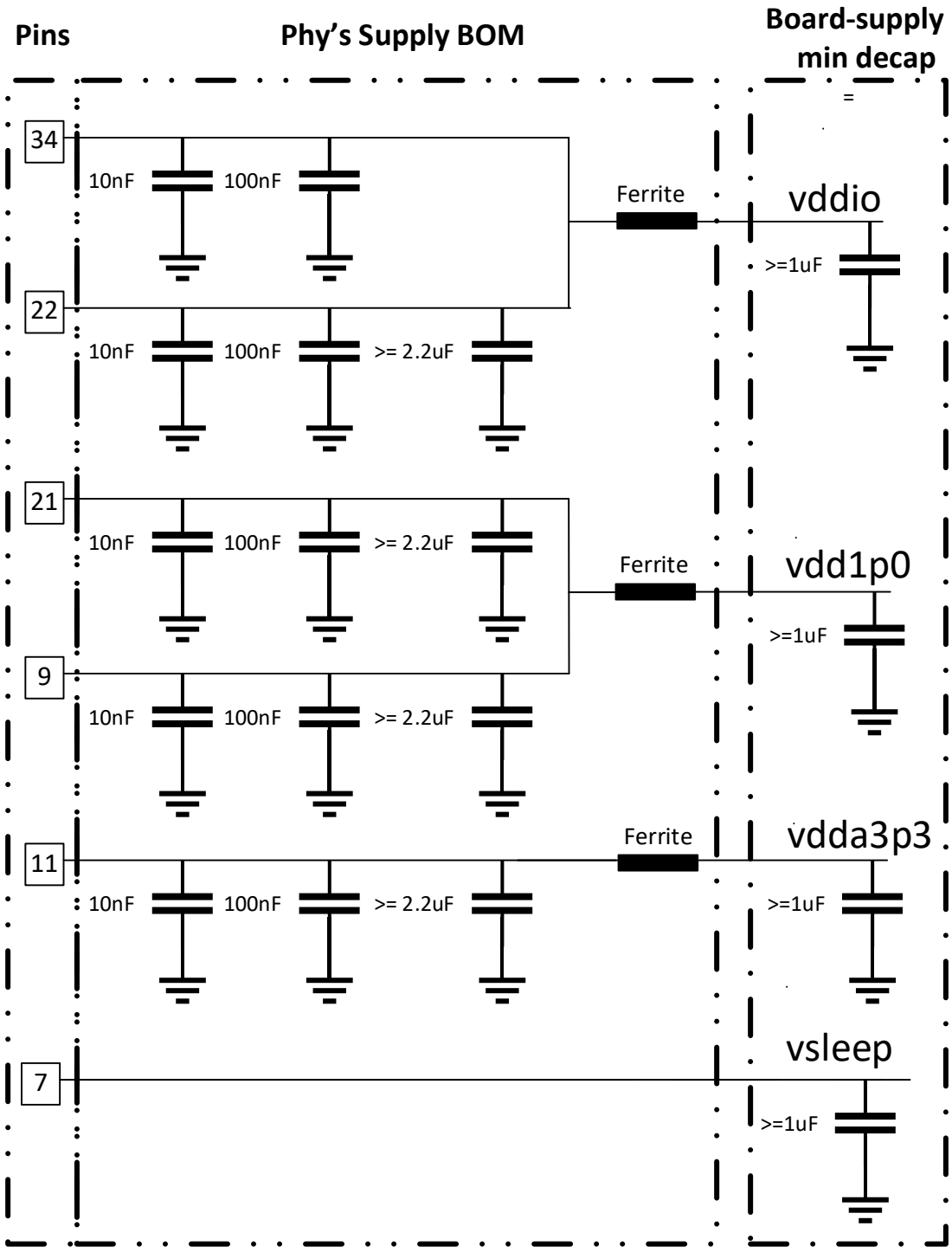


图 8-2. 建议电源去耦网络（如果应用采用睡眠模式）

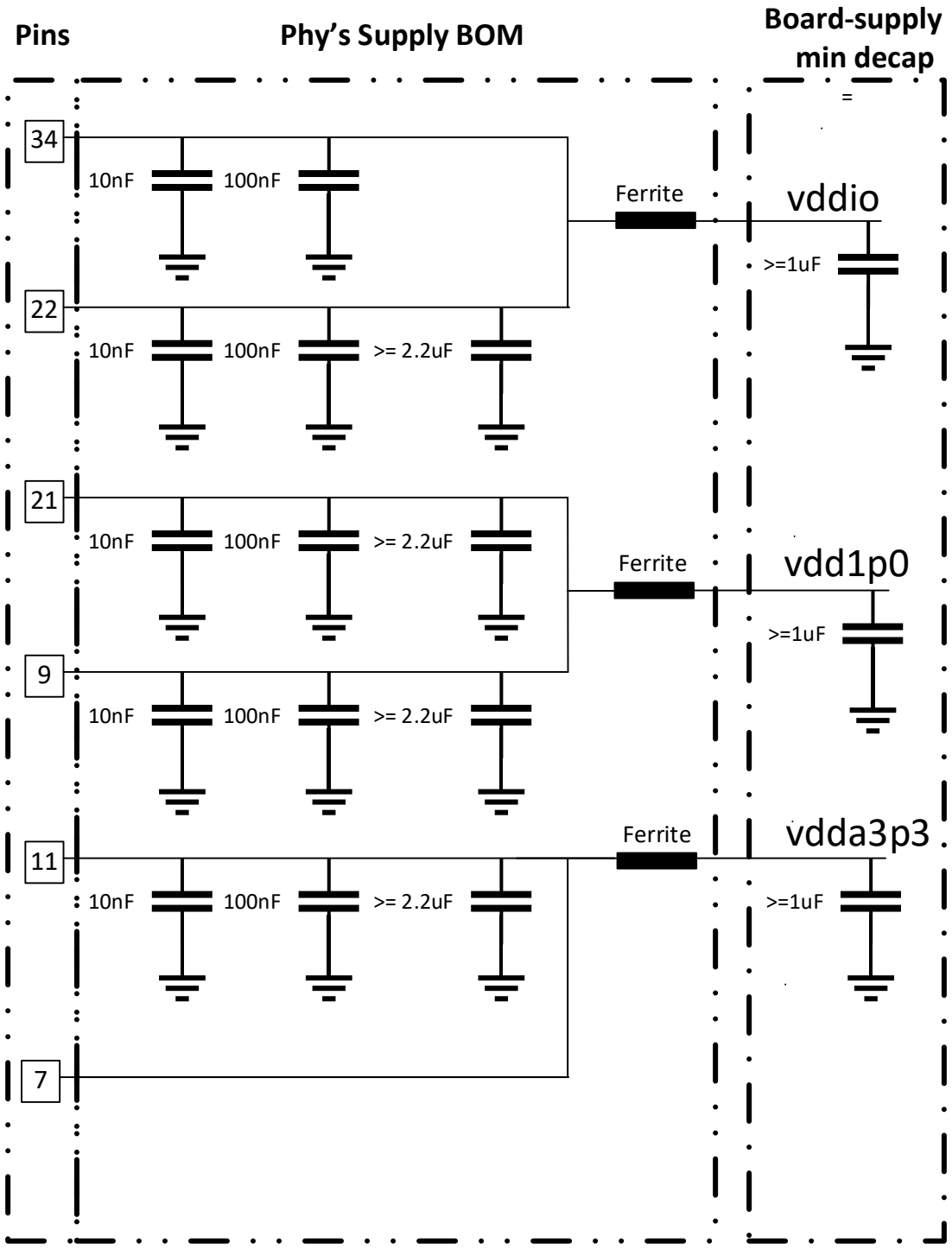


图 8-3. 建议电源去耦网络（如果应用未采用睡眠模式）

表 8-3. 电源网络的建议元件

设计参数	值
V_{DDIO}	1.8V、2.5V 或 3.3V
去耦电容器 V_{DDIO}（引脚 34）	10nF、100nF
去耦电容器 V_{DDIO}（引脚 22）	10nF、100nF、2.2uF
用于 VDDIO 的组合铁氧体磁珠	BLM18HE102SN1

Copyright © 2025 Texas Instruments Incorporated

表 8-3. 电源网络的建议元件（续）

设计参数	值
V_{DDA}	3.3V
去耦电容器 V_{DDA}（引脚 11）	10nF、100nF、2.2uF
用于 V_{DDA} 的铁氧体磁珠	BLM18KG601SH1
V_{DD1p0}	1V
去耦电容器 V_{DD1P0}（引脚 9）	10nF、100nF、2.2uF
去耦电容器 V_{DDA}（引脚 21）	10nF、100nF、2.2uF
用于 V_{DD1P0} 的组合铁氧体磁珠	BLM18KG601SH1
V_{sleep}	3.3V

备注

有关 VDD1p0 和 Vsleep 的 LDO 建议，请参阅 *DP83TC811、DP83TG730 正式推出文档* 应用报告。

8.4 与 TI 的 100BT1 PHY 兼容

下表显示了 DP83TC811 与 DP83TG720 之间的引脚比较。为 100BT1 和 1000BT1 PHY 设计通用板时，需注意粗体突出显示的引脚。通用板也可满足 100BT1 与 1000BT1 PHY 的不同 BOM 要求。

有关通用板设计的详细信息和建议，请参阅 *DP83TC811、DP83TG720 正式推出文档* 应用报告。

表 8-4. 引脚比较表

引脚编号	DP83TC811	DP83TG720
1	MDC	MDC
2	INT_N	INT_N
3	RESET_N	RESET_N
4	XO	XO
5	XI	XI
6	LED_1	LED_1
7	**EN**	**VSLEEP**
8	**WAKE**	**WAKE**
9	**DNC**	**VDD1P0**
10	**INH**	**INH**
11	VDDA	VDDA
12	TRD_P	TRD_P
13	TRD_M	TRD_M
14	RX_ER	STRP1
15	RX_DV	RX_CTRL
16	CLKOUT	CLKOUT
17	**TCK**	**DNC**
18	**TDO**	**DNC**
19	**TMS**	**DNC**
20	**TCK**	**DNC**
21	**DNC**	**VDD1P0**
22	VDDIO	VDDIO
23	RX_D3	RX_D3
24	RX_D2	RX_D2
25	RX_D1	RX_D1

Copyright © 2025 Texas Instruments Incorporated

表 8-4. 引脚比较表（续）

引脚编号	DP83TC811	DP83TG720
26	RX_D0	RX_D0
27	RX_CLK	RX_CLK
28	TXCLK	TXCLK
29	TX_EN	TX_CTRL
30	TX_D3	TX_D3
31	TX_D2	TX_D2
32	TX_D1	TX_D1
33	TX_D0	TX_D0
34	**TX_ER**	**VDDIO**
35	LED_0	LED_0
36	MDIO	MDIO

8.5 布局

8.5.1 布局指南

8.5.1.1 信号布线

PCB 布线存在损耗，长布线会降低信号质量。布线必须尽可能短。除非另有说明，否则所有信号布线必须为 50Ω 单端阻抗。差分布线必须为 50Ω 单端和 100Ω 差分。阻抗不连续性会产生反射，从而导致发射和信号完整性问题。对于所有信号布线（特别是差分信号对），必须避免出现残桩。

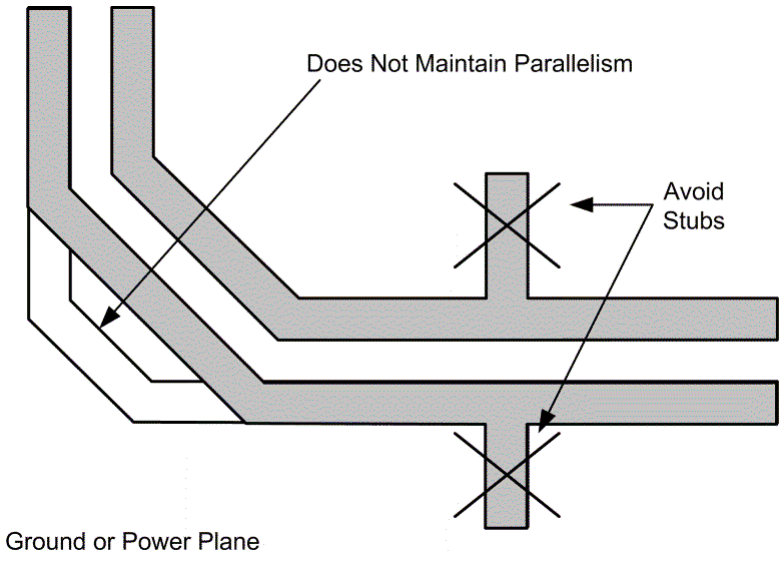


图 8-4. 差分信号布线

在差分对内，布线必须相互平行，长度匹配。匹配的长度可充分减小延迟差异，避免增加共模噪声和发射。长度匹配对 MAC 接口连接也很重要。所有发送信号布线的长度必须相互匹配，所有接收信号布线的长度也必须相互匹配。

避免信号路径布线存在交叉或过孔情形。过孔会导致阻抗不连续情形发生，应尽可能减少过孔情形。在同一层布线差分信号对。不同层的信号之间至少要有一个返回路径平面，避免存在交叉情形。差分对之间必须始终保持恒定的耦合距离。为提高便利性和效率，TI 建议首先布线关键信号（即 MDI 差分对、基准时钟和 MAC IF 布线）。

Copyright © 2025 Texas Instruments Incorporated

8.5.1.2 返回路径

一般情况下，在所有信号布线下方都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加明显。必须避免信号布线之间的返回路径中断。穿过分离平面的信号会导致返回路径电流不可预测，还影响信号质量，导致发射问题。

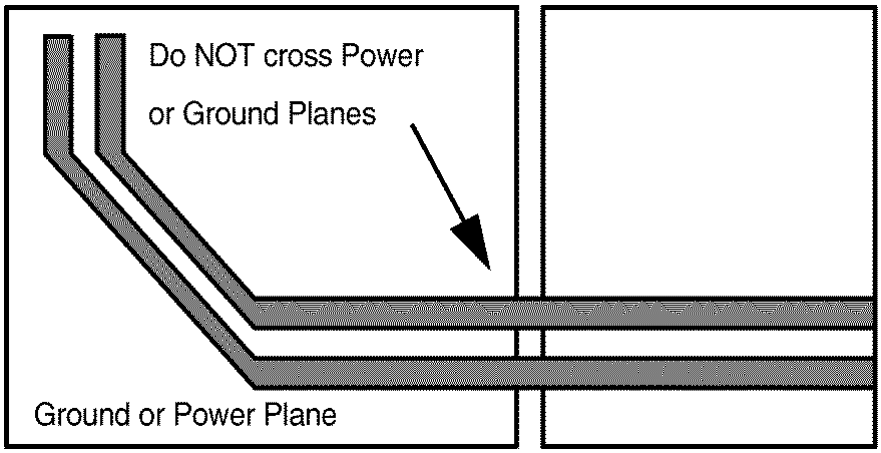


图 8-5. 电源平面和接地平面分裂

8.5.1.3 物理媒体连接

共模扼流圈下方不允许存在金属。CMC 会将噪声注入其下方的金属，从而影响系统的发射和抗扰度性能。DP83TG720R-Q1 为电压模式线路驱动器，因此无需外部终端电阻器。ESD 分流器和 MDI 耦合电容器必须接地。选择容差为 1% 或以下的共模终端电阻器，以便改善差分耦合。

8.5.1.4 金属浇注

所有非信号或电源的金属浇注都必须接地。系统中不得有悬空金属，差分布线之间不得有金属。

8.5.1.5 PCB 层堆叠

为满足信号完整性和性能要求，建议至少使用四层 PCB。但是，应尽可能使用六层及以上的 PCB。

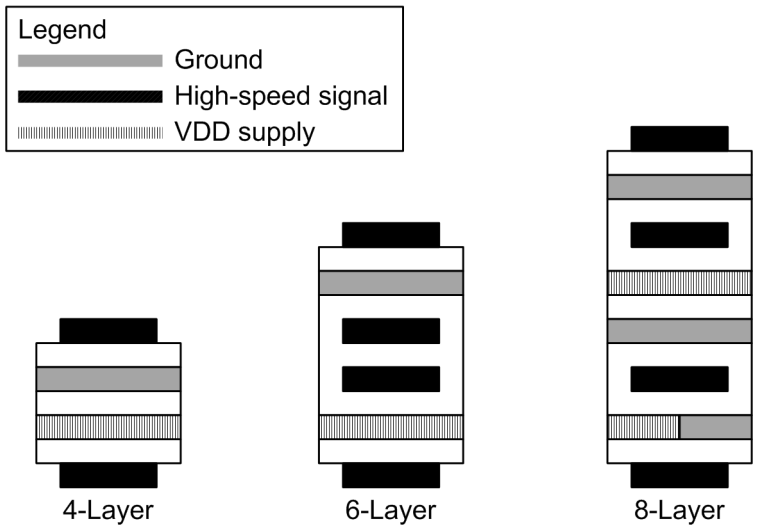


图 8-6. 建议 PCB 层堆叠

9 器件和文档支持

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (November 2022) to Revision D (April 2025)	Page
• 更改了寄存器 0x619 和 0x624 的写入顺序	29
• 更改了参数“slope_temperature_sensor”	32
• 添加了无法在 DP83TG720-Q1 上禁用自动极性校正的说明	42
• 简化了串行管理接口的说明，以方便阅读	46
• 将表 7-18 中的 LED_0 引脚编号从 1 更改为 35	49
• 从寄存器映射中删除了未使用的寄存器字段	53

Changes from Revision B (March 2021) to Revision C (November 2022)	Page
• 将 strap_1 的引脚状态更新为仅输入。	4
• 在引脚状态表中将上电/复位中的 INH 引脚编辑为 PMOS、OD、O。更新了缩写	6
• 添加了引脚电源域表	8
• 更新了 SQI 部分，可使用更新计算方法来指示改进的 SQI 级数。	24
• 更新了 TDR 应用手册的链接	24
• 更新了本地和远程睡眠进入的步骤	39

Copyright © 2025 Texas Instruments Incorporated

• CM 电阻封装建议 0805..... 165

Changes from Revision A (February 2021) to Revision B (March 2021) **Page**

- 更新了 IOZ、2 级自举模式 2 阈值和 Rpull-down 最小/最大数据表限值，可为客户应用提供更多裕度。..... 9
- 添加了 rgmii DLL_TX_DELAY、睡眠模式时序参数、延迟参数、复位模式功率、待机模式功率和睡眠模式功率的最小值/最大值。.....9
- 将集成下拉电阻从 4.5kΩ 更改为 4.725kΩ。..... 9
- 向远程睡眠退出程序中添加了更多详细信息。.....39
- 添加了注释，以便增加 1.8V 两级搭接的裕度。..... 49
- 更新了电源建议注释..... 166

Changes from Revision * (December 2020) to Revision A (February 2021) **Page**

- 更新了引脚状态表中 rx_cntrl 和 strp_1 引脚的下拉电阻值。从 6K 更改为 6.3K，以便匹配规格部分中的值。. 4
- 更新了 SQI 部分，可满足 OA 要求。.....24
- 更新了自举电路图，以便删除外部下拉电阻。.....49

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅右侧的导航栏。

11.1 封装选项附录

11.1.1 封装信息

可订购器件	状态 (1)	封装类型	封装图	引脚	包装数量	环保计划 (2)	铅/焊球镀层 (4)	MSL 峰值温度 (3)	工作温度 (°C)	器件标识(5) (6)
PDP83TG720SWCSTQ1	早期样片	VQFN	RHA	36	250	RoHS	NiPdAu	MSL3-260C	-40 至 125	
DP83TG720RWRHATQ1	运行	VQFN	RHA	36	250	RoHS	NiPdAu	MSL3-260C	-40 至 125	720R
DP83TG720RWRHARQ1	运行	VQFN	RHA	36	2500	RoHS	NiPdAu	MSL3-260C	-40 至 125	720R

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅（RoHS 豁免）或绿色环保（RoHS，无锑/溴）- 如需了解最新供货信息及更多产品内容详情，请访问 http://www.ti.com/productcontent。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅（RoHS 豁免）：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅（符合 RoHS）。
绿色环保（RoHS，无锑/溴）：TI 将“绿色环保”定义为无铅（符合 RoHS 标准）、无溴 (Br) 和无锑 (Sb) 基阻燃剂（Br 或 Sb 在同质材料中的质量不超过总质量的 0.1%）

(3) MSL，峰值温度-- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

(5) 器件上可能还有与标识、批次跟踪代码信息或环境分级相关的标记

(6) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

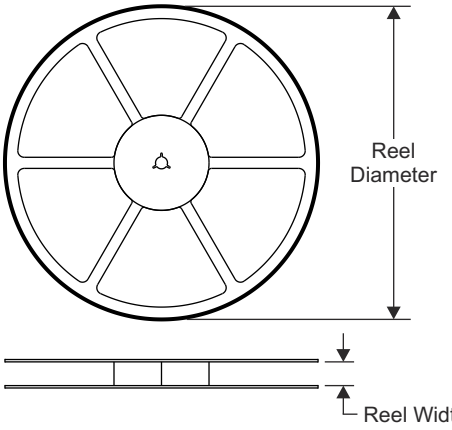
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

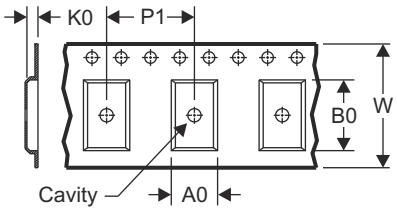
Copyright © 2025 Texas Instruments Incorporated

11.1.2 卷带包装信息

REEL DIMENSIONS

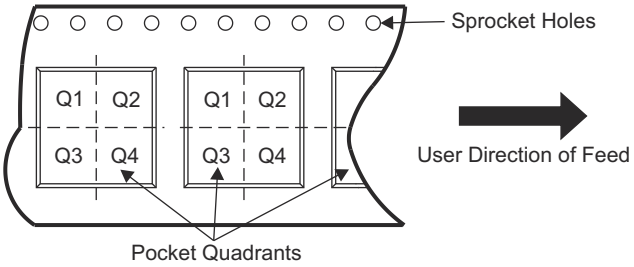


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

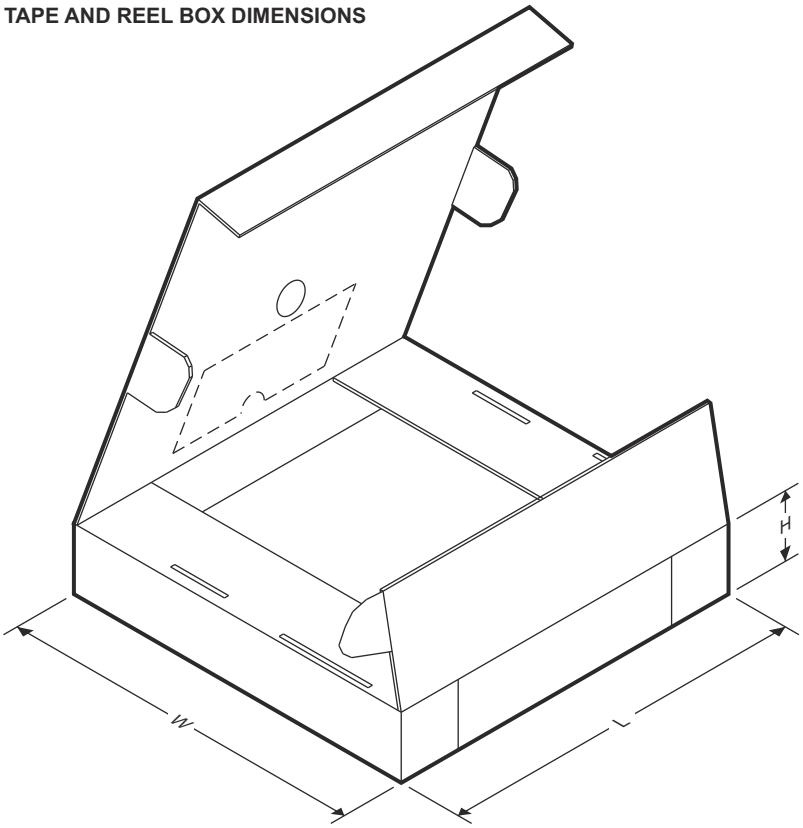
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
PDP83TG720SWCSTQ1	VQFN	RHA	36	250	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI
DP83TG720RWRHATQ1	VQFN	RHA	36	250	180	16.4	6.3	6.3	1.1	12	16	Q2
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	330	16.4	6.3	6.3	1.1	12	16	Q2

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS

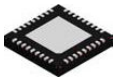


器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
DP83TG720RWRHATQ1	VQFN	RHA	36	250	210	185	35
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	367	367	35

Copyright © 2025 Texas Instruments Incorporated

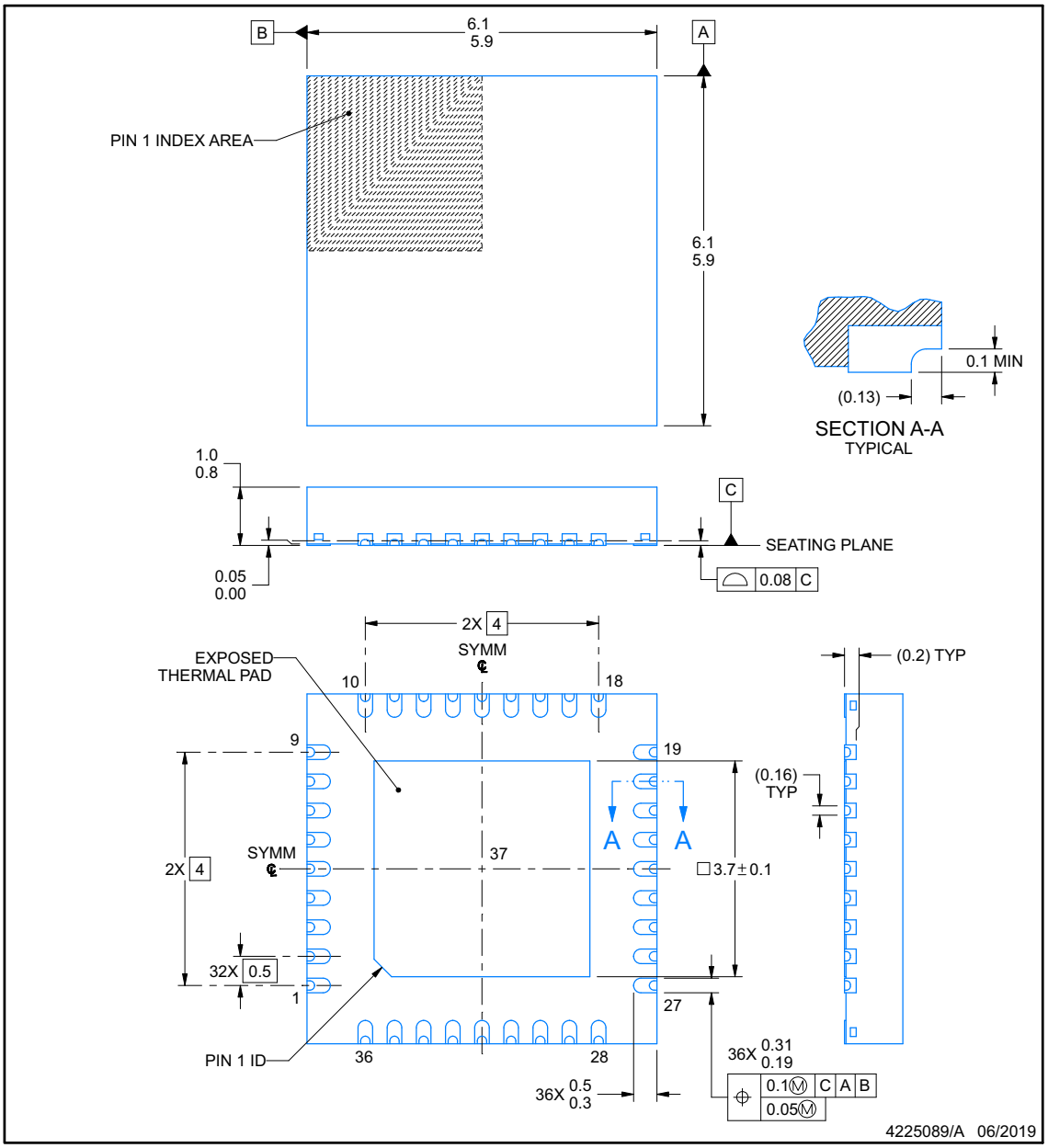
PACKAGE OUTLINE

RHA0036A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

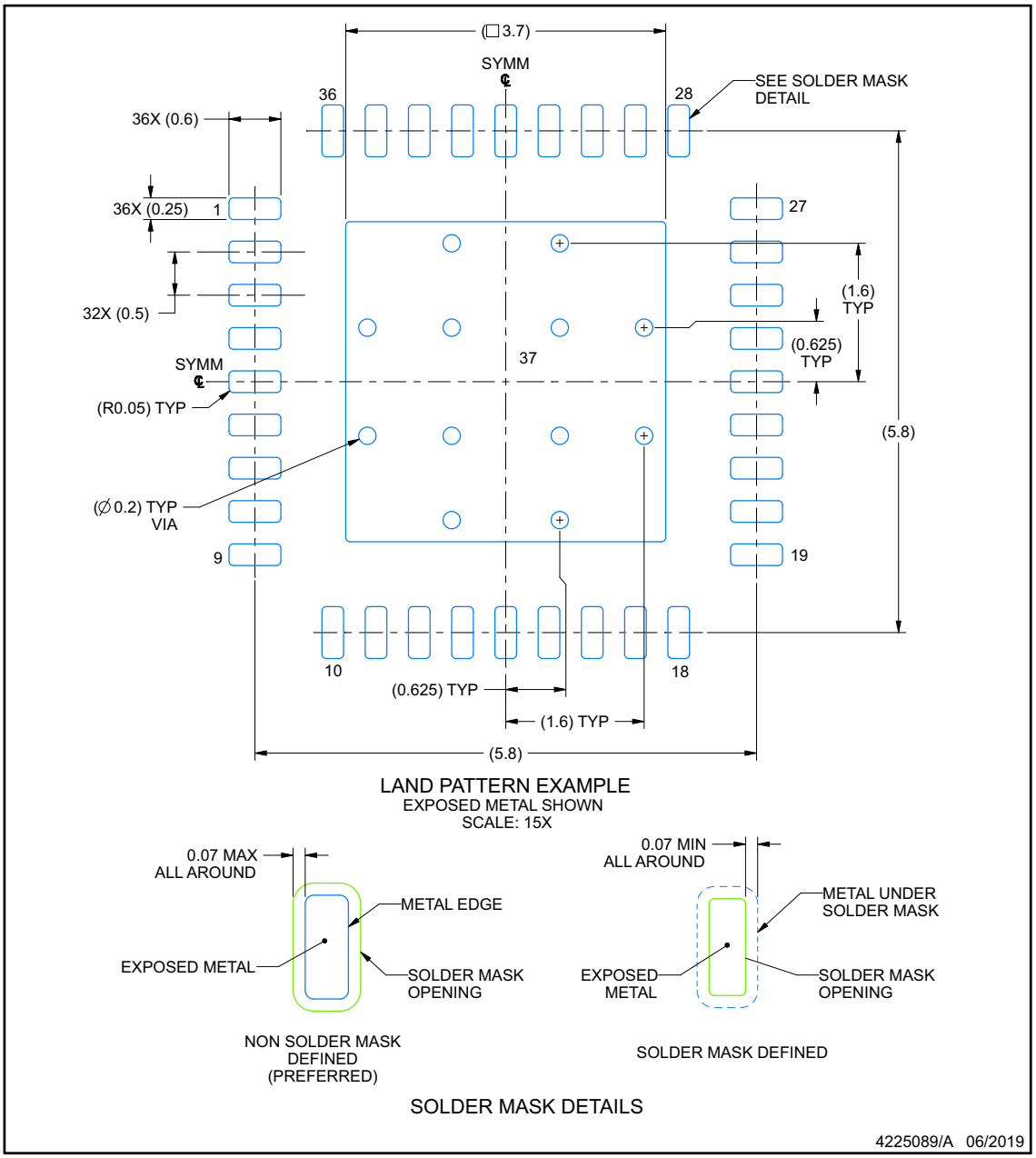
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RHA0036A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

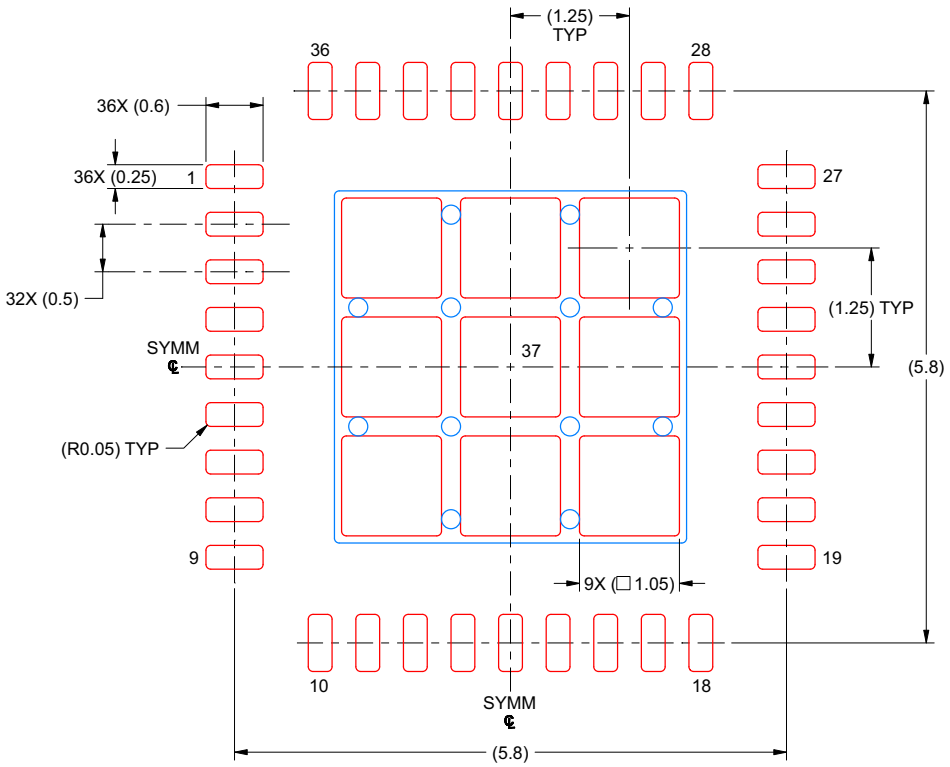
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 37
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83TG720RWRHARQ1	Active	Production	VQFN (RHA) | 36	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R
DP83TG720RWRHARQ1.A	Active	Production	VQFN (RHA) | 36	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R
DP83TG720RWRHATQ1	Active	Production	VQFN (RHA) | 36	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R
DP83TG720RWRHATQ1.A	Active	Production	VQFN (RHA) | 36	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

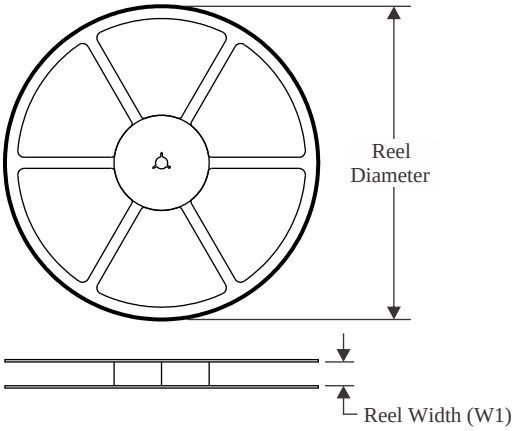
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

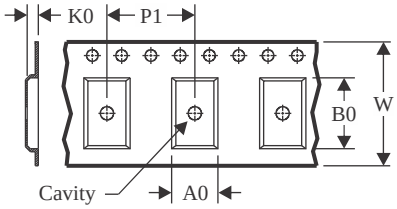
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

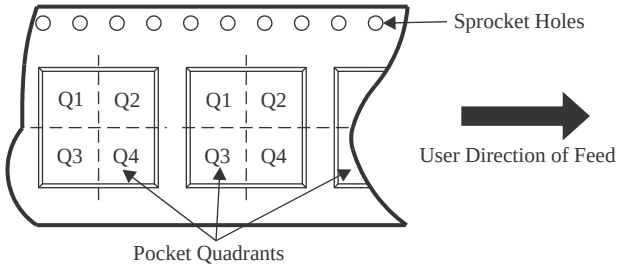


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

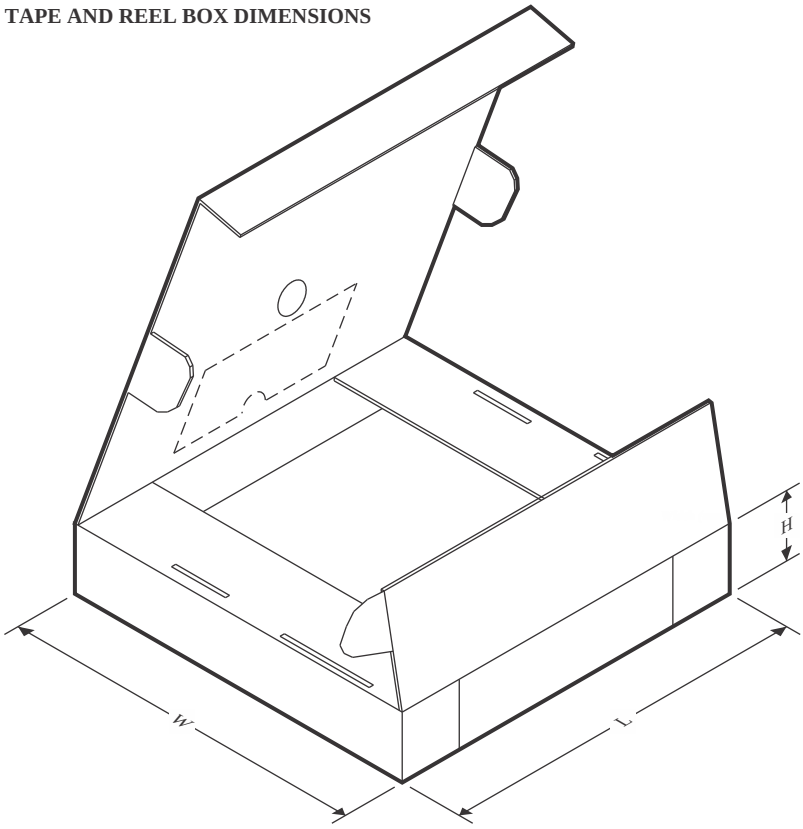
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TG720RWRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	360.0	360.0	36.0
DP83TG720RWRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

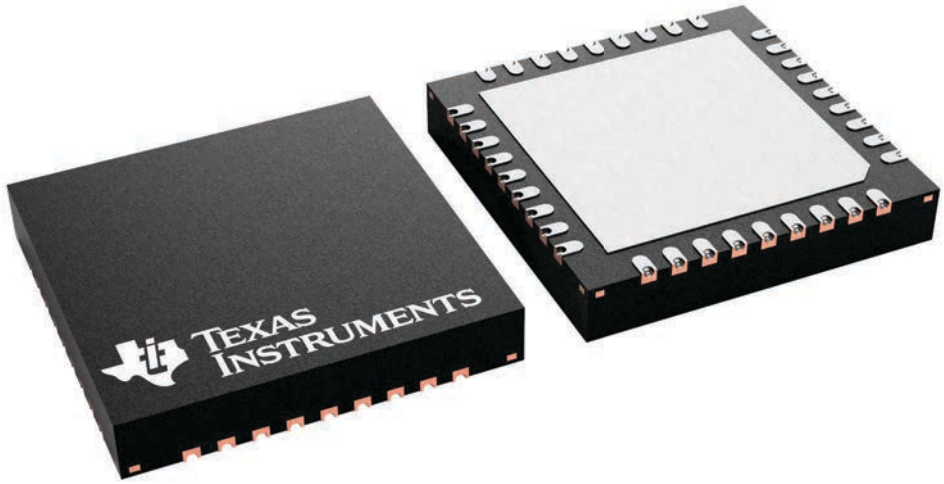
RHA 36

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



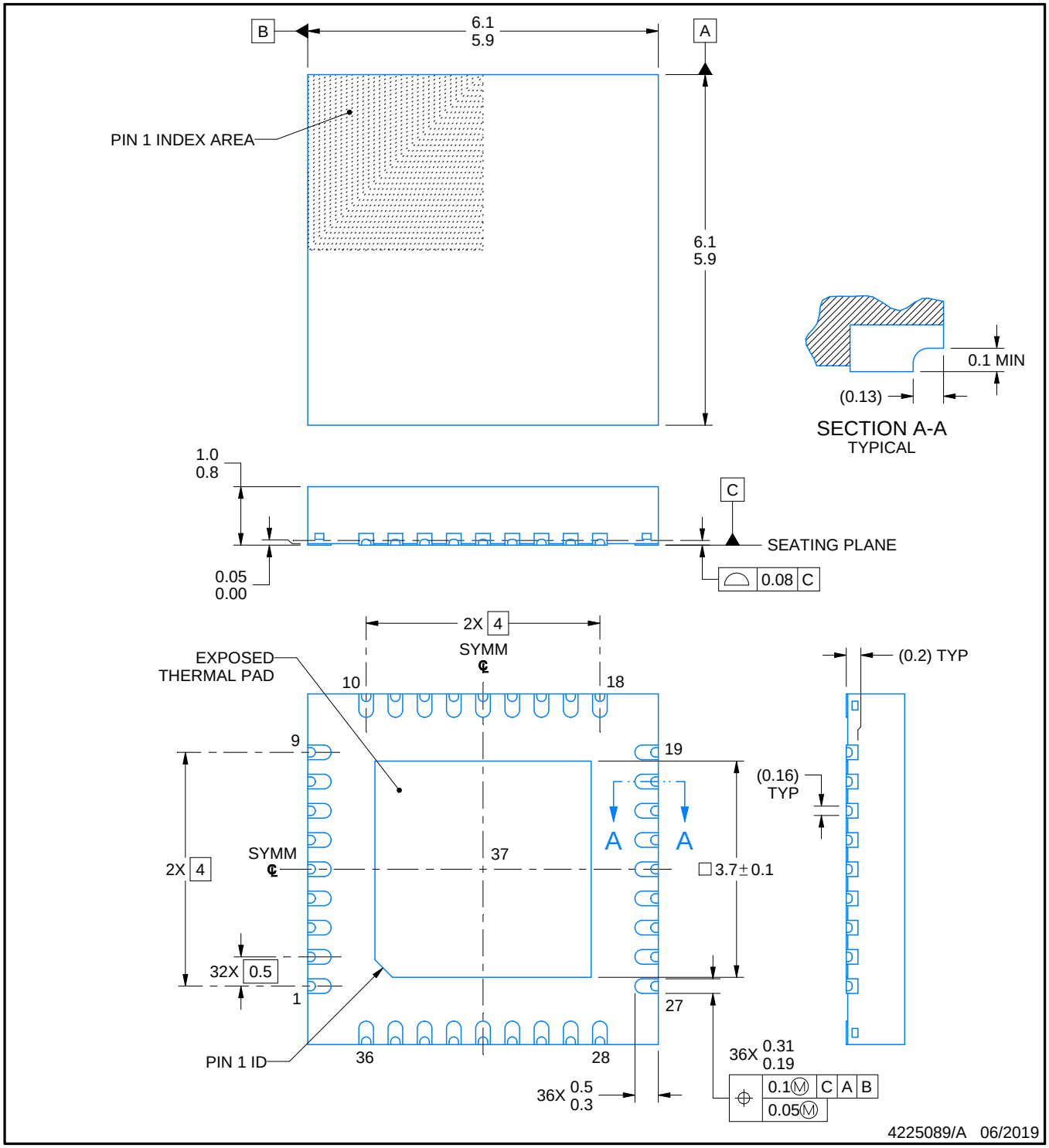
4228438/A

PACKAGE OUTLINE

RHA0036A

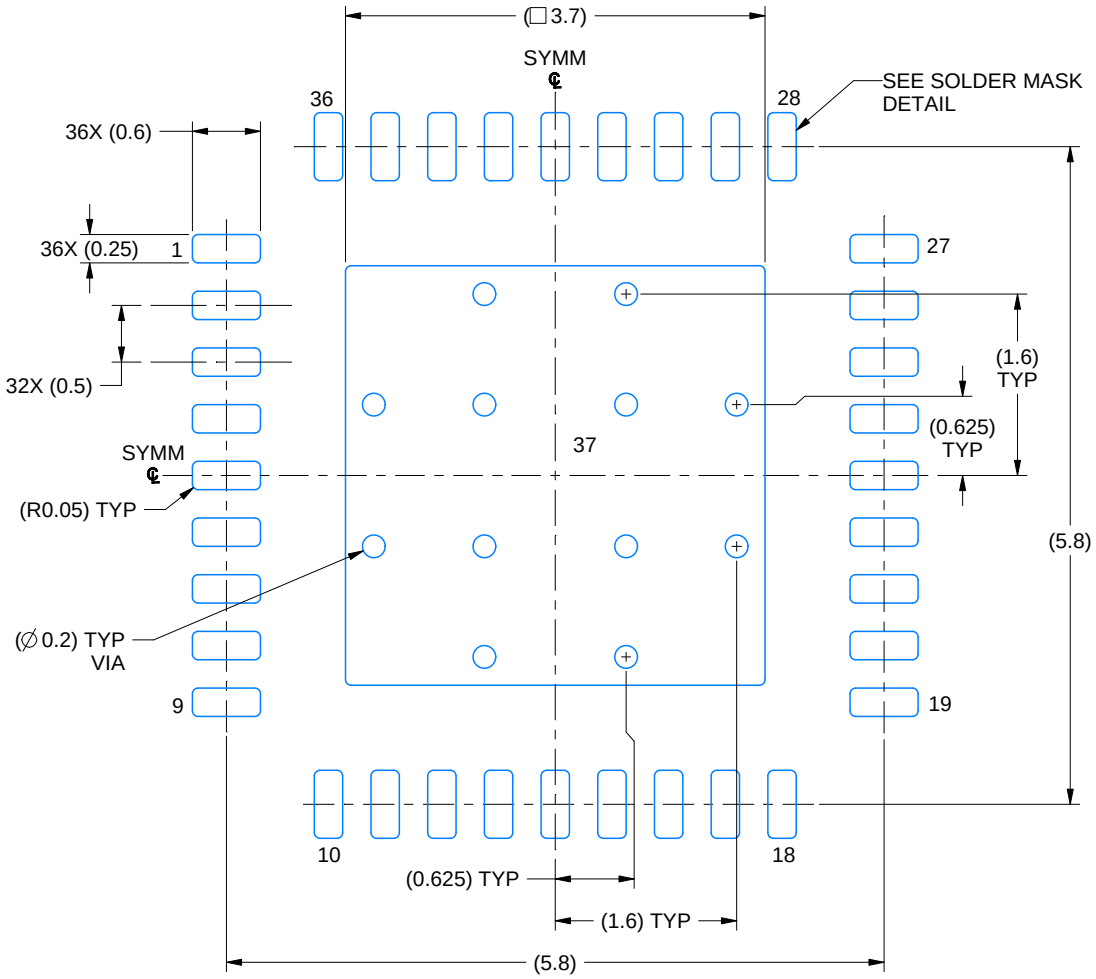
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

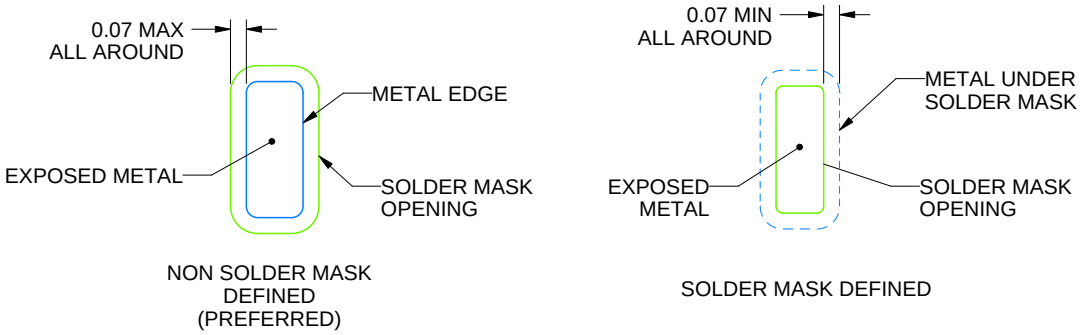


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4225089/A 06/2019

NOTES: (continued)

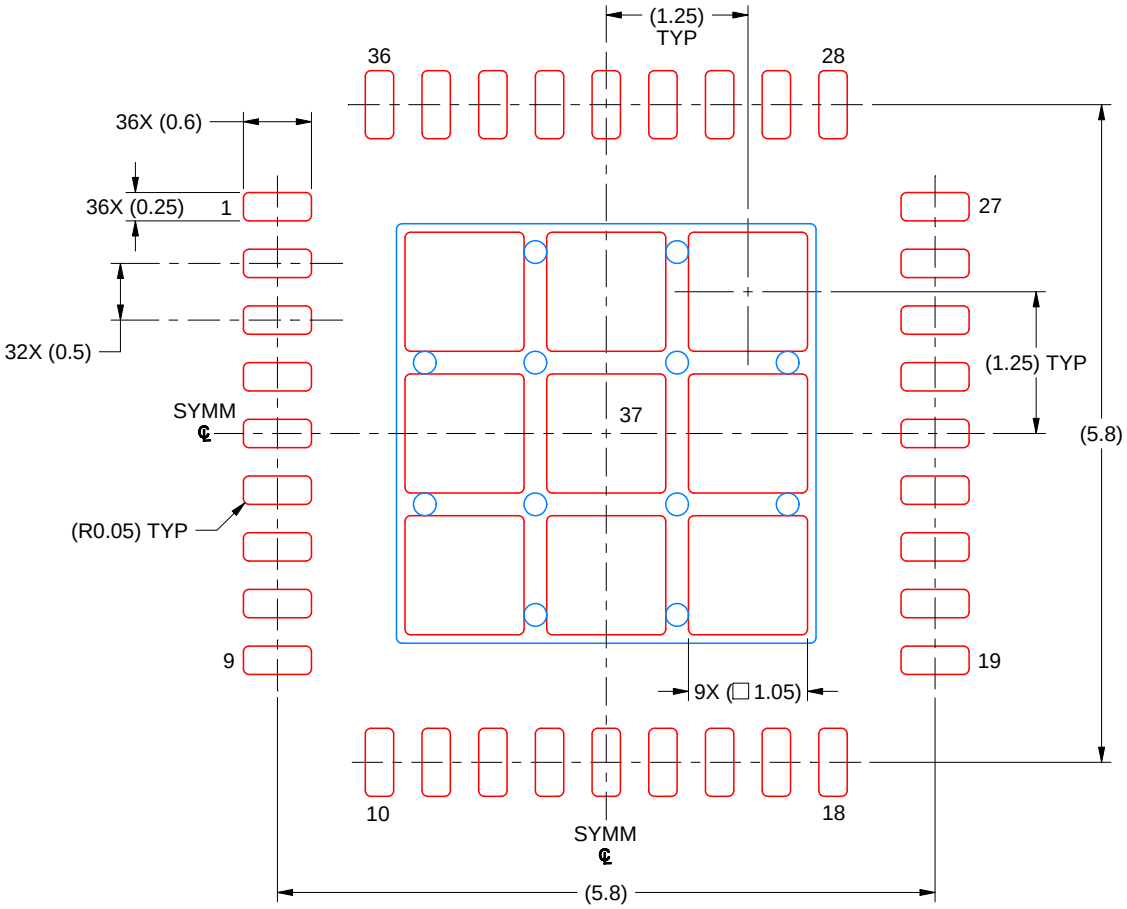
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 37
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月