

DP83TC812x-Q1 符合 TC-10 标准的 100BASE-T1 汽车级以太网 PHY

1 特性

- 符合 Open Alliance 和 IEEE 802.3bw 100BASE-T1 标准
 - 借助集成式 LPF 满足 IV 级排放标准
 - 符合 TC-10 标准且休眠电流 $< 20 \mu A$
- 符合 SAE J2962-3 EMC 标准
- 可配置的 I/O 电压：3.3V、2.5V 和 1.8V
- MAC 接口：MII、RMII、RGMII 和 SGMII
- MAC 接口引脚可选独立电压轨 (3.3V、2.5V、1.8V)
- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C 环境工作温度范围
 - 面向引脚 12 和 13 的 $\pm 8kV$ HBM ESD
 - 引脚 12 和 13 的 IEC61000-4-2 ESD 分级等级为 4： $\pm 8kV$ 接触放电
- 支持 IEEE 1588 SFD
- 符合 TSN 标准，支持 802.3br 帧抢占
- 低有功功率运行： $< 230mW$
- 诊断工具套件
 - 信号质量指示 (SQI)
 - 时域反射 (TDR)
 - 静电放电传感器
 - 电压传感器
 - PRBS 内置自检
 - 环回
- VQFN，可湿侧面封装
- 功能安全型
 - 可提供用于功能安全系统设计的文档

2 应用

- ADAS
- 网关和车身控制
- 远程信息处理

3 说明

DP83TC812-Q1 器件是一款符合 IEEE 802.3bw 标准的汽车级 PHYTER™ 以太网物理层收发器，其使用非屏蔽双绞线电缆。PHY 支持 TC10 睡眠和唤醒功能。PHY 提供通过单一屏蔽双绞线电缆发送和接收数据所需的所有物理层功能。该器件具有 xMII 灵活性，支持标准 MII、RMII、RGMII 和 SGMII MAC 接口。PHY 还在 MDI 侧集成了一个低通滤波器以减少辐射。

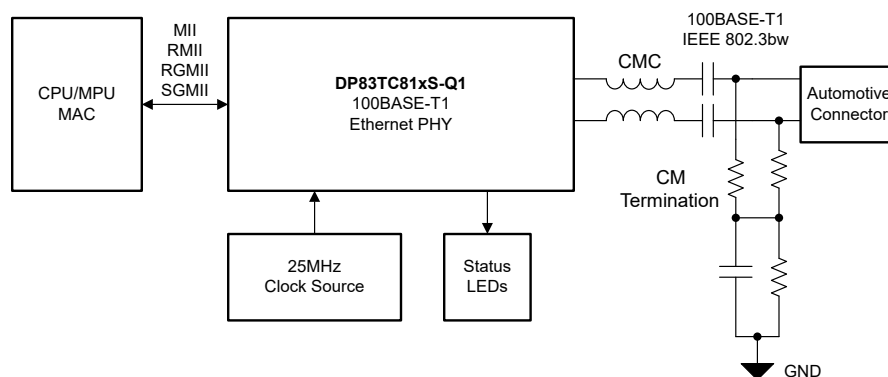
该器件包含诊断工具套件，提供了全面的实时监控工具、调试工具和测试模式。该工具套件包含首款集成静电放电 (ESD) 监测工具。该器件可对 MDI 上的 ESD 事件进行计数，并可通过使用可编程中断提供实时监控。此外，DP83TC812-Q1 还包含一个伪随机二进制序列 (PRBS) 帧生成工具，该工具与内部环回完全兼容，能够在不使用 MAC 的情况下发送和接收数据。该器件采用 6.00mm × 6.00mm、36 引脚 VQFN 可湿侧面封装。它与 DP83TG720 (1000BASE-T1) 引脚对引脚兼容，还与 DP83TC811 外形兼容。这意味着 PCB 布局可用于 DP83TC811、DP83TC812、DP83TC814 和 DP83TG720。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
DP83TC812S-Q1	VQFN (36)	6.00mm × 6.00mm
DP83TC812R-Q1	VQFN (36)	6.00mm × 6.00mm

(1) 有关更多信息，请参阅节 12。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	7.5 编程	54
2 应用	1	8 寄存器映射	59
3 说明	1	8.1 寄存器访问汇总.....	59
4 器件比较表	3	8.2 DP83TC812 寄存器.....	60
5 引脚配置和功能	4	9 应用和实施	162
6 规格	16	9.1 应用信息.....	162
6.1 绝对最大额定值.....	16	9.2 典型应用.....	162
6.2 ESD 等级.....	16	9.3 电源相关建议.....	166
6.3 建议运行条件.....	16	9.4 布局.....	167
6.4 热性能信息.....	17	10 器件和文档支持	171
6.5 电气特性.....	17	10.1 接收文档更新通知.....	171
6.6 时序要求.....	21	10.2 支持资源.....	171
6.7 时序图.....	24	10.3 社区资源.....	171
6.8 典型特性.....	30	10.4 商标.....	171
7 详细说明	31	10.5 静电放电警告.....	171
7.1 概述.....	31	10.6 术语表.....	171
7.2 功能方框图.....	32	11 修订历史记录	171
7.3 特性说明.....	33	12 机械、封装和可订购信息	172
7.4 器件功能模式.....	43		

4 器件比较表

器件 型号	SGMII 支持	工作 温度
DP83TC812R-Q1	否	-40°C 至 125°C
DP83TC812S-Q1	是	-40°C 至 125°C

5 引脚配置和功能

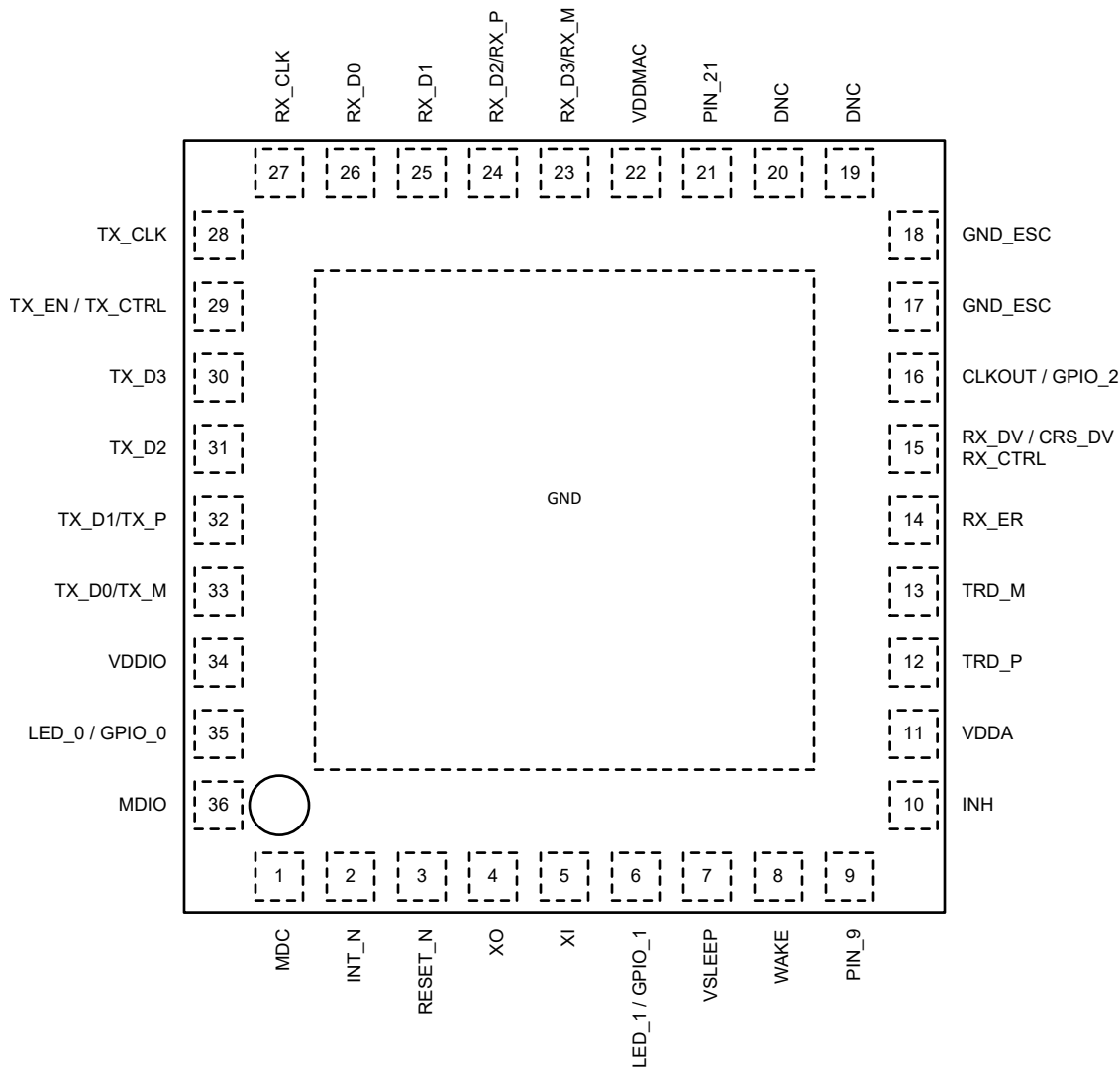


图 5-1. DP83TC812S-Q1 RHA 封装
36 引脚 VQFN
顶视图

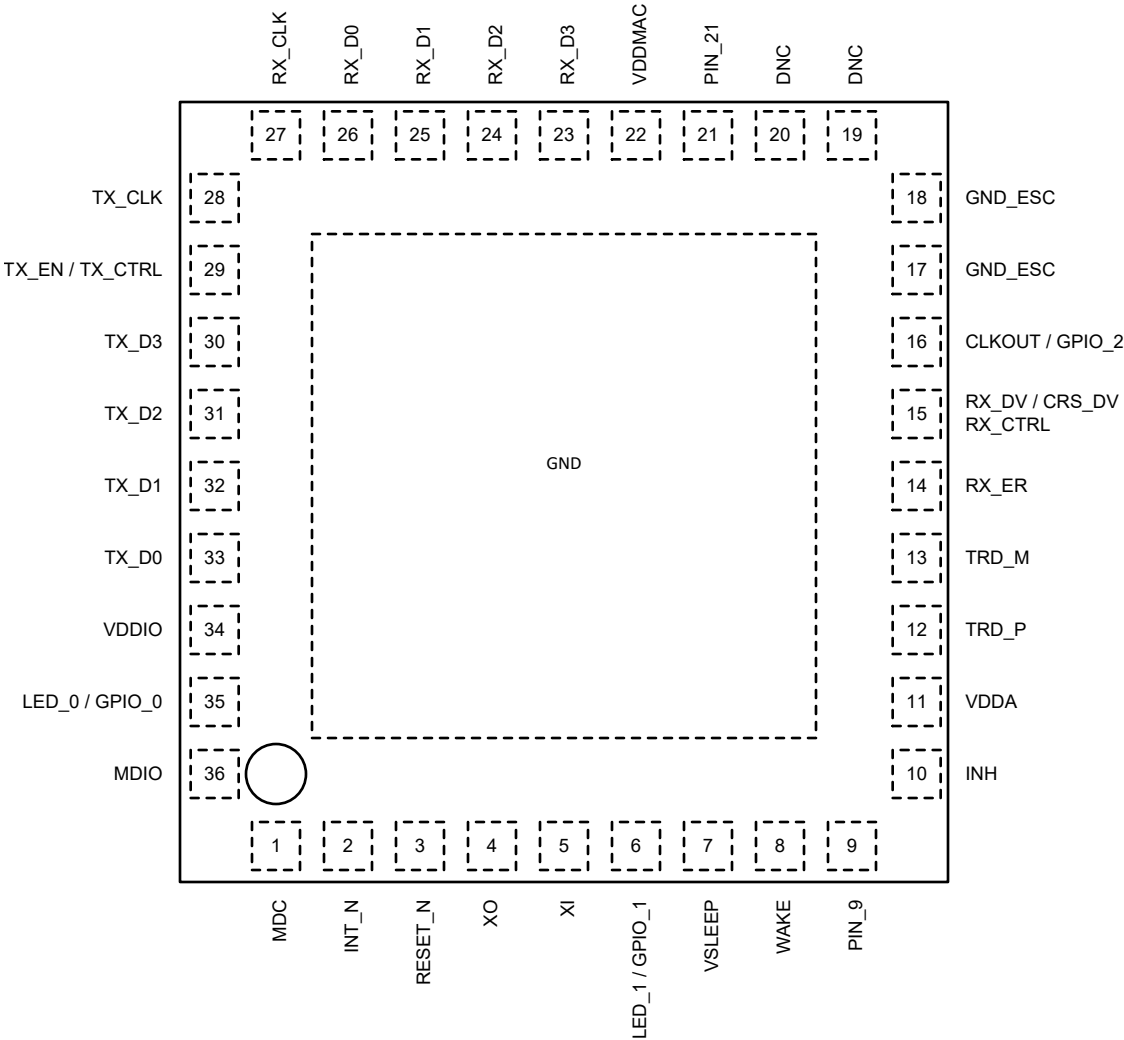


图 5-2. DP83TC812R-Q1 RHA 封装
36 引脚 VQFN
顶视图

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称 ⁽²⁾	编号		
MAC 接口			

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称 ⁽²⁾	编号		
RX_D3 RX_M	23	S、PD、O	接收数据 ：对电缆上接收的符号进行解码并将其从这些引脚发出，发送操作与 RX_CLK 的上升沿同步。当 RX_DV 置为有效时，数据被视为有效。半字节 RX_D[3:0] 在 MII 和 RGMII 模式下发送。2 位 RX_D[1:0] 在 RMII 模式下发送。在 RMII 从模式下，不使用 RX_D[3:2]。 如果 PHY 自举进入 RMII 主模式，则会自动在 RX_D3 上输出 50MHz 时钟基准。该时钟必须馈送到 MAC。 RX_M/RX_P ：差分 SGMII 数据输出。这些引脚将 PHY 数据发送至 MAC。在 SGMII 模式下，在 RX_D3 引脚中使用配置 (strap) 电阻器。
RX_D2 RX_P	24		
RX_D1	25		
RX_D0	26		
RX_CLK	27	PD、O	接收时钟 ：在 MII 和 RGMII 模式下，接收时钟提供 25MHz 基准时钟。 在 RMII 和 SGMII 模式下未使用
RX_ER	14	S、PD、O	接收错误 ：在 MII 和 RMII 模式下，该引脚指示在接收到的数据包中检测到接收错误符号。在 MII 模式下，RX_ER 与 RX_CLK 的上升沿同步置为高电平。在 RMII 模式下，RX_ER 与基准时钟的上升沿同步置为高电平。在 MII 或 RMII 模式下，MAC 不需要使用该引脚，因为 PHY 会在发生接收错误时自动损坏数据。 在 RGMII 和 SGMII 模式下未使用
RX_DV CRS_DV RX_CTRL	15	S、PD、O	接收数据有效 ：该引脚指示在 MII 模式下 RX_D[3:0] 上何时出现有效数据。 载波侦听数据有效 ：该引脚将载波侦听和数据有效合并到异步信号中。当 CRS_DV 置为有效时，数据会在 RMII 模式下出现在 RX_D[1:0] 上。要将引脚 15 设置为 CRS_DV，请设置 0x0551=0x0010（默认值）。 RGMII 接收控制 ：接收控制将接收数据有效指示和接收错误指示组合成一个信号。RX_DV 在 RX_CLK 的上升沿出现，RX_ER 在 RX_CLK 的下降沿出现。要将引脚 15 设置为 RX_DV、请设置 0x0551=0x0000。 在 SGMII 模式下未使用
TX_CLK	28	PD、I、O	发送时钟 ：在 MII 模式下，发送时钟是 25MHz 输出（50Ω 驱动器）并具有以基准时钟为基准的恒定相位。在 RGMII 模式下，该时钟从 MAC 层提供给 PHY。必须提供 25MHz 时钟（除非启用了同步 RGMII，否则不需要具有以基准时钟为基准的恒定相位） 在 RMII 和 SGMII 模式下未使用
TX_EN TX_CTRL	29	PD、I	发送使能 ：在 MII 模式下，发送使能信号在发送时钟的上升沿之前出现。TX_EN 表示 TX_D[3:0] 上存在有效数据输入。在 RMII 模式下，发送使能信号在基准时钟的上升沿之前出现。TX_EN 表示 TX_D[1:0] 上存在有效数据输入。 RGMII 发送控制 ：发送控制将发送使能信号和发送错误指示组合成一个信号。TX_EN 在 TX_CLK 的上升沿之前出现；TX_ER 在 TX_CLK 的下降沿之前出现。 在 SGMII 模式下未使用
TX_D3	30	PD、I	发送数据 ：在 MII 和 RGMII 模式下，在 TX_CLK 的上升沿之前，从 MAC 接收发送数据半字节 TX_D[3:0]。在 RMII 模式下，在基准时钟上升沿之前，从 MAC 接收 TX_D[1:0]。在 RMII 从模式下，不使用 TX_D[3:2]。 TX_M/TX_P ：差分 SGMII 数据输入。这些引脚接收从 MAC 发送到 PHY 的数据。
TX_D2	31		
TX_D1 TX_P	32		
TX_D0 TX_M	33		
串行管理接口			
MDC	1	I	管理数据时钟 ：MDIO 串行管理输入和输出数据的同步时钟。该时钟可以与 MAC 发送与接收时钟异步。最大时钟速率为 20MHz。没有最低时钟速率。

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称 ⁽²⁾	编号		
MDIO	36	OD、IO	管理数据输入/输出 ：双向管理数据信号（可由管理站或 PHY 提供）。该引脚需要一个上拉电阻器。在系统中，如果多个 PHY 使用同一条 MDIO-MDC 总线，则必须在 MDIO 线路上使用连接至 VDDIO 的上拉电阻器。 建议使用 2.2k Ω 至 9k Ω 的电阻器。 为了通过 Open Alliance 合规性测试，需要进行 MDIO/MDC 访问。请参阅节 7.3.2
控制接口			
INT	2	PU、OD、IO	中断 ：低电平有效输出，发生中断时置位为低电平。此引脚具有弱内部上拉电阻。必须访问寄存器才可启用各种中断触发。一旦设置中断事件标志，就需要访问寄存器来清除中断事件。可使用寄存器 [0x0011] 将该引脚配置为高电平有效输出。 当 INT_N 为低电平时，建议读取寄存器 12-13 的中断状态。该引脚还可以用作断电控制，将该引脚置为低电平会将 PHY 置于断电模式，而置为高电平会将 PHY 置于正常模式。此功能也可以使用寄存器 0x0011 启用。
RESET	3	PU、I	复位 ：低电平有效输入，用于初始化或重新初始化 PHY。将该引脚置位为低电平（至少 1 μ s），可强制执行复位过程。所有内部寄存器都会重新初始化为寄存器映射部分为每一位规定的默认状态。取消置位复位后，将对所有自举引脚重新采样。
WAKE	8	PD、I/O	唤醒 ：输入/输出引脚，默认为高电平有效输入。作为输入，该引脚将 PHY 从 TC-10 睡眠状态唤醒。在上电时将该引脚置为高电平会使 PHY 退出睡眠状态。在实现 TC-10 电路时，可以使用 10k Ω 外部下拉电阻器，以防止意外唤醒。该引脚可直接连接到 VSLEEP，或者该引脚也可通过电阻器拉至 VSLEEP 以唤醒器件。 该引脚还支持唤醒转发特性，即 PHY 生成的 WAKE 脉冲可用于唤醒同一系统中的其他 PHY。
INH	10	I/O、OD	INH ：高电平有效输出。当 PHY 处于 TC-10 睡眠状态时，该引脚为 Hi-Z。在所有其他 PHY 状态下，该引脚为高电平。实现 TC-10 电路时，必须使用 2k Ω - 10k Ω 范围内的外部下拉电阻器。如果多个器件共用 INH 引脚，则必须使用一个下拉电阻器。
时钟接口			
XI	5	I	基准时钟输入 (RMII) ：RMII 从模式下的基准时钟 50MHz CMOS 级振荡器。RMII 主模式下的基准时钟 25MHz 晶体或振荡器。 基准时钟输入（其他 MAC 接口） ：基准时钟 25MHz 晶体振或振荡器输入。该器件支持通过引脚 XI 和 XO 连接的外部晶谐振器，或仅连接至引脚 XI 且 XO 悬空的外部 CMOS 电平振荡器。在菊花链运行中，该引脚还可以接受来自其他器件（例如以太网 MAC 或另一个以太网 PHY）的时钟输入。 如果使用晶体，则将 100 Ω 电阻器与 XI 引脚串联
XO	4	O	基准时钟输出 ：XO 引脚仅用于晶振。CMOS 级振荡器与 XI 相连时，该引脚必须悬空。
LED/GPIO 接口			
LED_0/ GPIO_0	35	S、PD、IO	LED_0 ：链路状态 LED。也可以通过选择寄存器将该引脚用作 LED 或时钟输出。
LED_1/ GPIO_1	6	S、PD、IO	LED_1 ：链路状态，在进行 TX/RX 活动时闪烁也可以通过选择 Strap 配置/寄存器将该引脚用作 LED 或时钟输出。
CLKOUT/ GPIO_2	16	IO	时钟输出 ：在除 RMII 从模式外的所有模式下的 25MHz 基准时钟，从模式下为 50MHz。也可以通过选择 Strap 配置/寄存器将该引脚用作 LED 或 GPIO。对寄存器 <0x045F>=0x000F 和寄存器 <0x0453>=0x0003 进行编程，以禁用 CLKOUT 引脚上开关
媒体相关接口			
TRD_M	13	IO	差分发送和接收 ：为 100BASE-T1 运行配置的双向差分信号，符合 IEEE 802.3bw 标准。
TRD_P	12		
接地逃逸			

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称 ⁽²⁾	编号		
GND_ESC	17		接地迂回 ：可选接地迂回引脚。这些引脚可以连接至接地以优化 PCB 布局。这些引脚不能替代 DAP 的电源接地连接。DAP 必须始终连接到电源接地。 该引脚可以在不使用时保持断开。
GND_ESC	18		接地迂回 ：可选接地迂回引脚。这些引脚可以连接至接地以优化 PCB 布局。这些引脚不能替代 DAP 的电源接地连接。DAP 必须始终连接到电源接地。 该引脚可以在不使用时保持断开。
电源连接			
VDDA	11	电源	内核电源 ：3.3V 建议使用 0.47μF 和 0.01μF 陶瓷去耦电容器；可以使用可选的铁氧体磁珠。
VDDIO	34	电源	IO 电源 ：1.8V、2.5V 或 3.3V 建议使用铁氧体磁珠、0.47μF 和 0.01μF 陶瓷去耦电容器。
VDDMAC	22	电源	可选 MAC 接口电源 ：1.8V、2.5V 或 3.3V 用于 MAC 接口引脚的可选单独电源。该引脚为 MAC 接口引脚供电，并且可以保持在与其他 IO 引脚不同的电压电平。建议使用 0.47μF 和 0.01μF 陶瓷去耦电容器和铁氧体磁珠。当系统中不需要单独 VDDMAC 时，必须将引脚其连接到 VDDIO。当连接到 VDDIO 时，可以移除 VDDIO 上的 0.47μF 电容器。0.47μF 电容器仍必须连接到靠近 VDDMAC 的位置。在这种情况下，可以在 VDDIO 和 VDDMAC 之间使用一种常见的铁氧体磁珠。
VSLEEP	7	电源	VSLEEP 电源 ：3.3V 建议使用 0.1μF 陶瓷去耦电容器。
接地	DAP	接地	接地 ：它必须始终连接到电源接地。
请勿连接			
DNC	19		DNC ：不连接 (保持悬空)
DNC	20		DNC ：不连接 (保持悬空)
DP83TC815 适配建议			
引脚 9	9		连接到引脚 21
引脚 21	21		将 2.2μF 和 0.1μF 陶瓷电容器从引脚 21 连接到 GND

- (1) 引脚类型：
I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉
S = 自举配置引脚 (所有配置引脚都有弱内部上拉或下拉电阻)
- (2) 未使用引脚时，请遵循上表中提供的建议连接要求。如果引脚无所需终端，则可以保持悬空。

表 5-2. 引脚域

带有外部上拉电阻器的输入引脚应上拉至表中所示的域

引脚编号	引脚名称	电压域
1	MDC	VDDIO
2	INT_N	VDDIO
3	RESET_N	VDDIO
4	XO	VDDIO
5	XI	VDDIO

表 5-2. 引脚域 (续)

带有外部上拉电阻器的输入引脚应上拉至表中所示的域

引脚编号	引脚名称	电压域
6	LED_1/GPIO_1	VDDIO
8	WAKE	VSLEEP
10	INH	VSLEEP
12	TRD_P	VDDA
13	TRD_M	VDDA
14	RX_ER	VDDMAC
15	RX_DV/CRS_DV/RX_CTRL	VDDMAC
16	CLKOUT/GPIO_2	VDDMAC
23	RX_D3/RX_M	VDDMAC
24	RX_D2/RX_P	VDDMAC
25	RX_D1	VDDMAC
26	RX_D0	VDDMAC
27	RX_CLK	VDDMAC
28	TX_CLK	VDDMAC
29	TX_EN/TX_CTRL	VDDMAC
30	TX_D3	VDDMAC
31	TX_D2	VDDMAC
32	TX_D1/TX_P	VDDMAC
33	TX_D0/TX_M	VDDMAC
35	LED_0/GPIO_0	VDDIO
36	MDIO	VDDIO

表 5-3. 引脚状态 - 上电/复位

引脚		上电/复位		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
1	MDC	I	无	无
2	INT	I	PU	9
3	RESET	I	PU	9
4	XO	O	无	无
5	XI	I	无	无
6	LED_1	I	PD	9
7	VSLEEP	电源	无	无
8	WAKE	I/O	PD	455
9	NC	FLOAT	无	无
10	INH	OD、O	无	无
11	VDDA	电源	无	无
12	TRD_P	IO	无	无
13	TRD_M	IO	无	无
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT	O	无	无
17	GND_ESC	FLOAT	无	无
18	GND_ESC	I	PD	50

表 5-3. 引脚状态 - 上电/复位 (续)

引脚		上电/复位		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
19	DNC	FLOAT	无	无
20	DNC	FLOAT	无	无
21	NC	FLOAT	无	无
22	VDDMAC	电源	无	无
23	RX_D3	I	PD	9
24	RX_D2	I	PD	9
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	无	无
29	TX_EN	I	无	无
30	TX_D3	I	无	无
31	TX_D2	I	无	无
32	TX_D1	I	无	无
33	TX_D0	I	无	无
34	VDDIO	电源	无	无
35	LED_0	I	PD	9
36	MDIO	OD、IO	无	无

表 5-4. 引脚状态 - TC10 睡眠

引脚		TC10 睡眠 (所有电源均打开)		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
1	MDC	I	无	无
2	INT	I	PU	9
3	RESET	I	PU	9
4	XO	O	无	无
5	XI	I	无	无
6	LED_1 ⁽¹⁾	I	PD	9
7	VSLEEP	电源	无	无
8	WAKE	I/O	PD	455
9	DNC	FLOAT	无	无
10	INH	OD、O	无	无
11	VDDA	电源	无	无
12	TRD_P	IO	无	无
13	TRD_M	IO	无	无
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT ⁽²⁾	O	无	无
17	GND_ESC	FLOAT	无	无
18	GND_ESC	I	PD	50
19	DNC	FLOAT	无	无
20	DNC	FLOAT	无	无
21	DNC	FLOAT	无	无

表 5-4. 引脚状态 - TC10 睡眠 (续)

引脚		TC10 睡眠 (所有电源均打开)		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
22	VDDMAC	电源	无	无
23	RX_D3	I	PD	9
24	RX_D2	I	PD	9
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	无	无
29	TX_EN	I	无	无
30	TX_D3	I	无	无
31	TX_D2	I	无	无
32	TX_D1	I	无	无
33	TX_D0	I	无	无
34	VDDIO	电源	无	无
35	LED_0	I	PD	9
36	MDIO	OD、IO	无	无

- (1) 如果 LED_1 配置为 CLKOUT，则 TC10 睡眠 IO 状态变为：没有拉电阻器的输出
 (2) 如果 CLKOUT 配置为 LED_1，则 TC10 睡眠 IO 状态变为：输入，9k Ω 下拉电阻器

表 5-5. 引脚状态 - MAC 隔离和 IEEE PWDN

引脚		MAC 隔离			IEEE PWDN		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
1	MDC	I	无	无	I	无	无
2	INT	OD、O	PU	9	OD、O	PU	9
3	RESET	I	PU	9	I	PU	9
4	XO	O	无	无	O	无	无
5	XI	I	无	无	I	无	无
6	LED_1	O	无	无	O	无	无
7	VSLEEP	电源	无	无	电源	无	无
8	WAKE	IO	PD	455	IO	PD	455
9	NC	FLOAT	无	无	FLOAT	无	无
10	INH	OD、O	无	无	OD、O	无	无
11	VDDA	电源	无	无	电源	无	无
12	TRD_P	IO	无	无	IO	无	无
13	TRD_M	IO	无	无	IO	无	无
14	RX_ER	I	PD	6	I	PD	6
15	RX_DV	I	PD	6	O	无	无
16	CLKOUT	O	无	无	O	无	无
17	GND_ESC	FLOAT	无	无	FLOAT	无	无
18	GND_ESC	FLOAT	无	无	FLOAT	无	无
19	DNC	FLOAT	无	无	FLOAT	无	无
20	DNC	FLOAT	无	无	FLOAT	无	无
21	DNC	FLOAT	无	无	FLOAT	无	无

表 5-5. 引脚状态 - MAC 隔离和 IEEE PWDN (续)

引脚		MAC 隔离			IEEE PWDN		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
22	VDDMAC	电源	无	无	电源	无	无
23	RX_D3	I	PD	9	O	无	无
24	RX_D2	I	PD	9	O	无	无
25	RX_D1	I	PD	9	O	无	无
26	RX_D0	I	PD	9	O	无	无
27	RX_CLK	I	PD	9	O	无	无
28	TX_CLK	I	PD	9	I	无	无
29	TX_EN	I	PD	9	I	无	无
30	TX_D3	I	PD	9	I	无	无
31	TX_D2	I	PD	9	I	无	无
32	TX_D1	I	PD	9	I	无	无
33	TX_D0	I	PD	9	I	无	无
34	VDDIO	电源	无	无	电源	无	无
35	LED_0	O	无	无	O	无	无
36	MDIO	OD、IO	无	无	OD、IO	无	无

表 5-6. 引脚状态 - MII 和 RGMII

引脚		MII			RGMII		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
1	MDC	I	无	无	I	无	无
2	INT	OD、O	PU	9	OD、O	PU	9
3	RESET	I	PU	9	I	PU	9
4	XO	O	无	无	O	无	无
5	XI	I	无	无	I	无	无
6	LED_1	O	无	无	O	无	无
7	VSLEEP	电源	无	无	电源	无	无
8	WAKE	IO	PD	455	IO	PD	455
9	NC	FLOAT	无	无	FLOAT	无	无
10	INH	OD、O	无	无	OD、O	无	无
11	VDDA	电源	无	无	电源	无	无
12	TRD_P	IO	无	无	IO	无	无
13	TRD_M	IO	无	无	IO	无	无
14	RX_ER	O	无	无	I	PD	6
15	RX_DV	O	无	无	O	无	无
16	CLKOUT	O	无	无	O	无	无
17	GND_ESC	FLOAT	无	无	FLOAT	无	无
18	GND_ESC	FLOAT	无	无	FLOAT	无	无
19	DNC	FLOAT	无	无	FLOAT	无	无
20	DNC	FLOAT	无	无	FLOAT	无	无
21	DNC	FLOAT	无	无	FLOAT	无	无
22	VDDMAC	电源	无	无	电源	无	无
23	RX_D3	O	无	无	O	无	无

表 5-6. 引脚状态 - MII 和 RGMII (续)

引脚		MII			RGMII		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
24	RX_D2	O	无	无	O	无	无
25	RX_D1	O	无	无	O	无	无
26	RX_D0	O	无	无	O	无	无
27	RX_CLK	O	无	无	O	无	无
28	TX_CLK	O	无	无	I	无	无
29	TX_EN	I	无	无	I	无	无
30	TX_D3	I	无	无	I	无	无
31	TX_D2	I	无	无	I	无	无
32	TX_D1	I	无	无	I	无	无
33	TX_D0	I	无	无	I	无	无
34	VDDIO	电源	无	无	电源	无	无
35	LED_0	O	无	无	O	无	无
36	MDIO	OD、IO	无	无	OD、IO	无	无

表 5-7. 引脚状态 - RMII 主模式和 RMII 从模式

引脚		RMII 主模式			RMII 从模式		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
1	MDC	I	无	无	I	无	无
2	INT	OD、O	PU	9	OD、O	PU	9
3	RESET	I	PU	9	I	PU	9
4	XO	O	无	无	O	无	无
5	XI	I	无	无	I	无	无
6	LED_1	O	无	无	O	无	无
7	VSLEEP	电源	无	无	电源	无	无
8	WAKE	IO	PD	455	IO	PD	455
9	NC	FLOAT	无	无	FLOAT	无	无
10	INH	OD、O	无	无	OD、O	无	无
11	VDDA	电源	无	无	电源	无	无
12	TRD_P	IO	无	无	IO	无	无
13	TRD_M	IO	无	无	IO	无	无
14	RX_ER	O	无	无	O	无	无
15	RX_DV	O	无	无	O	无	无
16	CLKOUT	O	无	无	O	无	无
17	GND_ESC	FLOAT	无	无	FLOAT	无	无
18	GND_ESC	FLOAT	无	无	FLOAT	无	无
19	DNC	FLOAT	无	无	FLOAT	无	无
20	DNC	FLOAT	无	无	FLOAT	无	无
21	DNC	FLOAT	无	无	FLOAT	无	无
22	VDDMAC	电源	无	无	电源	无	无
23	RX_D3	O、50MHz	无	无	I	PD	9
24	RX_D2	I	PD	9	I	PD	9
25	RX_D1	O	无	无	O	无	无

表 5-7. 引脚状态 - RMII 主模式和 RMII 从模式 (续)

引脚		RMII 主模式			RMII 从模式		
编号	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
26	RX_D0	O	无	无	O	无	无
27	RX_CLK	I	PD	9	I	PD	9
28	TX_CLK	I	无	无	I	无	无
29	TX_EN	I	无	无	I	无	无
30	TX_D3	I	无	无	I	无	无
31	TX_D2	I	无	无	I	无	无
32	TX_D1	I	无	无	I	无	无
33	TX_D0	I	无	无	I	无	无
34	VDDIO	电源	无	无	电源	无	无
35	LED_0	O	无	无	O	无	无
36	MDIO	OD、IO	无	无	OD、IO	无	无

表 5-8. 引脚状态 - SGMII

引脚		SGMII		
否	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
1	MDC	I	无	无
2	INT	OD、O	PU	9
3	RESET	I	PU	9
4	XO	O	无	无
5	XI	I	无	无
6	LED_1	O	无	无
7	VSLEEP	电源	无	无
8	WAKE	IO	PD	455
9	NC	FLOAT	无	无
10	INH	OD、O	无	无
11	VDDA	电源	无	无
12	TRD_P	IO	无	无
13	TRD_M	IO	无	无
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT	O	无	无
17	GND_ESC	FLOAT	无	无
18	GND_ESC	FLOAT	无	无
19	DNC	FLOAT	无	无
20	DNC	FLOAT	无	无
21	DNC	FLOAT	无	无
22	VDDMAC	电源	无	无
23	RX_D3	O	无	无
24	RX_D2	O	无	无
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9

表 5-8. 引脚状态 - SGMII (续)

引脚		SGMII		
否	名称	类型 ⁽¹⁾	拉动电阻类型	拉动电阻值 (k Ω)
28	TX_CLK	I	无	无
29	TX_EN	I	无	无
30	TX_D3	I	无	无
31	TX_D2	I	无	无
32	TX_D1	I	无	无
33	TX_D0	I	无	无
34	VDDIO	电源	无	无
35	LED_0	O	无	无
36	MDIO	OD、IO	无	无

- (1) 类型 : I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	典型值	最大值	单位
输入电压	VDDA	-0.3		4	V
输入电压	VDDIO/VDDMAC (3.3V)	-0.3		4	V
输入电压	VDDIO/VDDMAC (2.5V)	-0.3		4	V
输入电压	VDDIO/VDDMAC (1.8V)	-0.3		4	V
输入电压	VSLEEP	-0.3		4	V
引脚	MDI	-0.3		4	V
引脚	MAC 接口	-0.3		VDDMAC + 0.3	V
引脚	MDIO、MDC、GPIO、XI、XO、INT、RESET、CLKOUT	-0.3		VDDIO + 0.3	V
引脚	WAKE、INH	-0.3		VSLEEP + 0.3	V
DC 输出电压	所有引脚	-0.3		4	V
T _J	结温			150	°C
T _{stg}	贮存温度	-65		150	°C

(1) 超出绝对最大额定值规定范围的应力可能会对器件造成永久性损坏。这些仅为应力额定值，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	所有引脚	±2000
			TRD_N、TRD_P 引脚	±8000
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	转角引脚	±750
			其他引脚	±750
		IEC 61000-4-2 接触放电	TRD_N、TRD_P 引脚	±8000

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
VDDIO/ VDDMAC	IO 电源电压, 以 1.8V 运行	1.62	1.8	1.98	V
	IO 电源电压, 以 2.5V 运行	2.25	2.5	2.75	
	IO 电源电压, 以 3.3V 运行	2.97	3.3	3.63	
VDDA	内核电源电压, 3.3V	2.97	3.3	3.63	V
VSLEEP	睡眠电源电压, 3.3V	2.97	3.3	3.63	V
T _A	环境温度	-40		125	°C

6.4 热性能信息

热指标 ⁽¹⁾		DP83TC812	单位
		RHA (VQFN)	
		36 引脚	
$R_{\theta JA}$	结至环境热阻	36.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	27.0	°C/W
$R_{\theta JB}$	结至电路板热阻	17.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.7	°C/W
Ψ_{JB}	结至电路板特征参数	17.5	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	6.7	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
符合 100BASE-T1 PMA 标准						
V_{OD-MDI}	输出差分电压	$R_{L(diff)} = 100\Omega$			2.2	V
$R_{MDI-Diff}$	集成差分输出终端	TRD_P 和 TRD_M		100		Ω
自举直流特性 (2 级)						
V_{MODE1}	模式 1 配置电压范围	$VDDIO = 3.3V \pm 10\%$, 2 级配置	0		0.8	V
V_{MODE2}	模式 2 配置电压范围	$VDDIO = 3.3V \pm 10\%$, 2 级配置	2		VDDIO	V
V_{MODE1}	模式 1 配置电压范围	$VDDIO = 2.5V \pm 10\%$, 2 级配置	0		0.7	V
V_{MODE2}	模式 2 配置电压范围	$VDDIO = 2.5V \pm 10\%$, 2 级配置	1.5		VDDIO	V
V_{MODE1}	模式 1 配置电压范围	$VDDIO = 1.8V \pm 10\%$, 2 级配置	0		0.35 x VDDIO	V
V_{MODE2}	模式 2 配置电压范围	$VDDIO = 1.8V \pm 10\%$, 2 级配置	0.65 x VDDIO		VDDIO	V
自举直流特性 (3 级)						
V_{MODE1}	模式 1 配置电压范围	$VDDIO = 3.3V \pm 10\%$, 3 级配置	0		0.18 x VDDIO	V
V_{MODE2}	模式 2 配置电压范围	$VDDIO = 3.3V \pm 10\%$, 3 级配置	0.22 x VDDIO		0.42 x VDDIO	V
V_{MODE3}	模式 3 配置电压范围	$VDDIO = 3.3V \pm 10\%$, 3 级配置	0.46 x VDDIO		VDDIO	V
V_{MODE1}	模式 1 配置电压范围	$VDDIO = 2.5V \pm 10\%$, 3 级配置	0		0.19 x VDDIO	V
V_{MODE2}	模式 2 配置电压范围	$VDDIO = 2.5V \pm 10\%$, 3 级配置	0.27 x VDDIO		0.41 x VDDIO	V
V_{MODE3}	模式 3 配置电压范围	$VDDIO = 2.5V \pm 10\%$, 3 级配置	0.58 x VDDIO		VDDIO	V
V_{MODE1}	模式 1 配置电压范围	$VDDIO = 1.8V \pm 10\%$, 3 级配置	0		0.35 x VDDIO	V
V_{MODE2}	模式 2 配置电压范围	$VDDIO = 1.8V \pm 10\%$, 3 级配置	0.40 x VDDIO		0.75 x VDDIO	V
V_{MODE3}	模式 3 配置电压范围	$VDDIO = 1.8V \pm 10\%$, 3 级配置	0.84 x VDDIO		VDDIO	V
IO 特性						
V_{IH}	高电平输入电压	$VDDIO = 3.3V \pm 10\%$	2			V

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
V _{IL}	低电平输入电压	VDDIO = 3.3V ±10%			0.8 V
V _{OH}	高电平输出电压	I _{OH} =-2mA、VDDIO = 3.3V ±10%			2.4 V
V _{OL}	低电平输出电压	I _{OL} = 2mA、VDDIO = 3.3V ±10%			0.4 V
V _{IH}	高电平输入电压	VDDIO = 2.5V ±10%			1.7 V
V _{IL}	低电平输入电压	VDDIO = 2.5V ±10%			0.7 V
V _{OH}	高电平输出电压	I _{OH} =-2mA、VDDIO = 2.5V ±10%			2 V
V _{OL}	低电平输出电压	I _{OL} = 2mA、VDDIO = 2.5V ±10%			0.4 V
V _{IH}	高电平输入电压	VDDIO = 1.8V ±10%			0.65*VDDI O V
V _{IL}	低电平输入电压	VDDIO = 1.8V ±10%			0.35*VDDI O V
V _{OH}	高电平输出电压	I _{OH} =-2mA、VDDIO = 1.8V ±10%			VDDIO-0. 45 V
V _{OL}	低电平输出电压	I _{OL} = 2mA、VDDIO = 1.8V ±10%			0.45 V
I _{IH}	输入高电流 ⁽¹⁾	T _A = - 40℃ 至 125℃、VIN=VDDIO、除 XI 和 WAKE 之外的所有引脚			-10 10 μA
I _{IH-XI}	输入高电流 ⁽¹⁾	T _A = - 40℃ 至 125℃，VIN = VDDIO，XI 引脚			-15 15 μA
I _{IL-XI}	输入低电流 ⁽¹⁾	T _A = -40℃ 至 125℃，VIN = GND，XI 引脚			-15 15 μA
I _{IL}	输入低电流 ⁽¹⁾	T _A = - 40℃ 至 125℃，VIN=GND，除 XI 引脚外的所有引脚			-10 10 μA
I _{OZH}	三态输出大电流	T _A = -40℃ 至 125℃、VIN=VDDIO，适用于引脚 RX_D[3:0]、RX_CLK、MDIO、INT_N 和 XO			-10 10 μA
I _{OZH}	三态输出大电流	T _A = -40℃ 至 125℃、VIN=VDDIO，适用于引脚 RX_CTRL 和 RX_ER			-52 52 μA
I _{OZL}	三态输出低电流 ⁽²⁾	T _A = -40℃ 至 125℃，VOUT = GND			-10 10 μA
R _{pulldn}	内部下拉电阻	RX_D[3:0]、RX_CLK、LED_0、LED_1			6.2 8.4 10.7 kΩ
R _{pulldn}	内部下拉电阻	RX_CTRL、RX_ER			4.725 5.8 7.2 kΩ
R _{pulldn}	内部下拉电阻	WAKE			455 kΩ
R _{pullup}	内部上拉电阻器	INT、RESET			6.3 9 11.2 kΩ
XI V _{IH}	高电平输入电压	1.3 VDDIO			V
XI V _{IL}	低电平输入电压	0.5			V
C _{IN}	输入电容 XI	1			pF
C _{IN}	输入电容输入引脚	5			pF
C _{OUT}	输出电容 XO	1			pF
C _{OUT}	输出电容输出引脚	5			pF
R _{series}	集成 MAC 串联终端电阻器	RX_D[3:0]、RX_ER、RX_DV、RX_CLK			35 50 65 Ω
功耗					
I(3V3)	MII	-40℃ 至 125℃			57 63 mA
I(3V3)	RMII	-40℃ 至 125℃			57 63 mA
I(3V3)	RGMII	-40℃ 至 125℃			57 63 mA
I(3V3)	SGMII	-40℃ 至 125℃			81 95 mA
I(VDDIO=3.3V)	MII	- 40℃ 至 125℃，VDDIO = VDDMAC			19 24 mA
I(VDDIO=3.3V)	RMII	- 40℃ 至 125℃，VDDIO = VDDMAC			18 23 mA
I(VDDIO=3.3V)	RGMII	- 40℃ 至 125℃，VDDIO = VDDMAC			13 21 mA

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
I(VDDIO=3.3V)	SGMII	-40°C 至 125°C, VDDIO = VDDMAC	7	12	mA
I(VDDIO=2.5V)	MII	-40°C 至 125°C, VDDIO = VDDMAC	12	18	mA
I(VDDIO=2.5V)	RMII	-40°C 至 125°C, VDDIO = VDDMAC	12	17	mA
I(VDDIO=2.5V)	RGMII	-40°C 至 125°C, VDDIO = VDDMAC	12	16	mA
I(VDDIO=2.5V)	SGMII	-40°C 至 125°C, VDDIO = VDDMAC	6	9	mA
I(VDDIO=1.8V)	MII	-40°C 至 125°C, VDDIO = VDDMAC	9	13	mA
I(VDDIO=1.8V)	RMII	-40°C 至 125°C, VDDIO = VDDMAC	9	13	mA
I(VDDIO=1.8V)	RGMII	-40°C 至 125°C, VDDIO = VDDMAC	9	12	mA
I(VDDIO=1.8V)	SGMII	-40°C 至 125°C, VDDIO = VDDMAC	4	6	mA
功耗（低功耗模式）					
I(VDDA3V3)	IEEE 断电	-40°C 至 125°C, 所有接口	8	22	mA
I(VDDA3V3)	TC-10 睡眠	-40°C 转 125°C, 所有接口	30	50	mA
I(VDDA3V3)	复位	-40°C 至 125°C, 所有接口	9	23	mA
I(VDDA3V3)	待机	-40°C 至 125°C, MII	15	33	mA
I(VDDA3V3)	待机	-40°C 至 125°C, RMII	15	30	mA
I(VDDA3V3)	待机	-40°C 至 125°C, RGMII	15	30	mA
I(VDDA3V3)	待机	-40°C 至 125°C, SGMII	15	30	mA
I(VDDIO=3.3V)	IEEE 断电	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	15	23	mA
I(VDDIO=3.3V)	TC-10 睡眠	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	15	23	mA
I(VDDIO=3.3V)	复位	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	15	23	mA
I(VDDIO=3.3V)	待机	-40°C 至 125°C, MII, VDDIO = VDDMAC	19	25	mA
I(VDDIO=3.3V)	待机	-40°C 至 125°C, RMII, VDDIO = VDDMAC	16	20	mA
I(VDDIO=3.3V)	待机	-40°C 至 125°C, RGMII, VDDIO = VDDMAC	14	20	mA
I(VDDIO=3.3V)	待机	-40°C 至 125°C, SGMII, VDDIO = VDDMAC	14	16	mA
I(VDDIO=2.5V)	IEEE 断电	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	10	16	mA
I(VDDIO=2.5V)	TC-10 睡眠	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	10	16	mA
I(VDDIO=2.5V)	复位	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	10	16	mA
I(VDDIO=2.5V)	待机	-40°C 至 125°C, MII, VDDIO = VDDMAC	14	18	mA
I(VDDIO=2.5V)	待机	-40°C 至 125°C, RMII, VDDIO = VDDMAC	11	14	mA
I(VDDIO=2.5V)	待机	-40°C 至 125°C, RGMII, VDDIO = VDDMAC	9	14	mA
I(VDDIO=2.5V)	待机	-40°C 至 125°C, SGMII, VDDIO = VDDMAC	9	14	mA
I(VDDIO=1.8V)	IEEE 断电	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	7	11	mA
I(VDDIO=1.8V)	TC-10 睡眠	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	7	11	mA
I(VDDIO=1.8V)	复位	-40°C 至 125°C, 所有接口, VDDIO = VDDMAC	7	11	mA
I(VDDIO=1.8V)	待机	-40°C 至 125°C, MII, VDDIO = VDDMAC	10	12	mA
I(VDDIO=1.8V)	待机	-40°C 至 125°C, RMII, VDDIO = VDDMAC	7	11	mA

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I(VDDIO=1.8V)	待机	-40°C 至 125°C, RGMII, VDDIO = VDDMAC		6	11	mA
I(VDDIO=1.8V)	待机	-40°C 至 125°C, SGMII, VDDIO = VDDMAC		6	11	mA
I(VSLEEP)	TC-10 睡眠	-40°C 至 125°C, 所有接口、所有其他电源均关闭		7	18	μA
SGMII 输入						
V _{IDTH}	输入差分电压容差	SI_P 和 SI_N, 交流耦合	0.1			V
R _{IN-DIFF}	接收器差动输入阻抗 (直流)		80		120	Ω
SGMII 输出						
	时钟信号占空比	SO_P 和 SO_N, 交流耦合、0101010101 模式	48		52	%
	输出差分电压	SO_P 和 SO_N, 交流耦合	150		400	mV
电压传感器						
VDDA	VDDA 传感器范围	-40°C 至 +125°C	2.7	3.3	4	V
	VDDA 传感器分辨率 (LSB)	-40°C 至 +125°C		8.8		mV
	VDDA 传感器精度 (单个器件的电压和温度变化)	-40°C 至 +125°C	-120		120	mV
	VDDA 传感器精度 (器件间差异)	-40°C 至 +125°C	-50		50	mV
VDDIO/VDDMAC	VDDIO/VDDMAC 传感器范围	-40°C 至 +125°C	1.44		3.9	V
	VDDIO/VDDMAC 传感器分辨率 (LSB)	-40°C 至 +125°C		16		mV
	VDDIO / VDDMAC 传感器精度 (单个器件的电压和温度变化)	-40°C 至 +125°C	-144		144	mV
	VDDIO/VDDMAC 传感器精度 (器件间变化)	-40°C 至 +125°C	-85		85	mV
VSLEEP	VSLEEP 传感器范围	-40°C 至 +125°C	2.7	3.3	4	V
	VSLEEP 传感器分辨率 (LSB)	-40°C 至 +125°C		8.8		mV
	VSLEEP 传感器精度 (单个器件的电压和温度变化)	-40°C 至 +125°C	-120		120	mV
	VSLEEP 传感器精度 (器件间差异)	-40°C 至 +125°C	-50		50	mV

- (1) 适用于引脚：MDC、TX_CLK、TX_CTRL、TX_D[3:0] 和 RESET_N
 (2) 适用于引脚：RX_D[3:0]、RX_CLK、RX_CTRL、MDIO、INT_N 和 XO。

6.6 时序要求

参数		测试条件	最小值	标称值	最大值	单位
MII 时序						
T1.1	TX_CLK 高电平/低电平时间		16	20	24	ns
T1.2	TX_D[3:0], TX_ER、TX_EN 设置为 TX_CLK		10			ns
T1.3	TX_D[3:0], 来自 TX_CLK 的 TX_ER、TX_EN 保持		0			ns
T2.1	RX_CLK 高电平/低电平时间		16	20	24	ns
T2.2	RX_D[3:0]、RX_ER、RX_DV 相对于 RX_CLK 上升的延迟时间		10		30	ns
RMII 主模式时序						
T3.1	RMII 主模式时钟周期			20		ns
	RMII 主时钟占空比		35		65	%
T3.2	TX_D[1:0]、TX_ER、TX_EN 相对于 RMII 主时钟的建立时间		4			ns
T3.3	TX_D[1:0]、TX_ER、TX_EN 相对于 RMII 主时钟的保持时间		2			ns
T3.4	RX_D[1:0]、RX_ER、CRS_DV 相对于 RMII 主时钟上升沿的延迟时间		4	10	14	ns
RMII 从模式时序						
T3.1	输入基准时钟周期			20		ns
	基准时钟占空比		35		65	%
T3.2	TX_D[1:0]、TX_ER、TX_EN 设置, 到 XI 时钟上升		4			ns
T3.3	TX_D[1:0]、TX_ER、TX_EN 保持, 从 XI 时钟上升		2			ns
T3.4	RX_D[1:0]、RX_ER、CRS_DV 延迟, 从 XI 时钟上升		4		14	ns
RGMII 输入时序						
T _{cyc}	时钟周期时长	TX_CLK	36	40	44	ns
T _{setup(alig n)}	TX_D[3:0]、TX_CTRL 相对于 TX_CLK 的建立时间 (对齐模 式)		1	2		ns
T _{hold(alig n)}	TX_D[3:0]、TX_CLK 相对于 TX_CTRL 的保持时间 (对齐模 式)		1	2		ns
RGMII 输出时序						
T _{skew(alig n)}	RX_D[3:0], RX_CLK 后的 RX_CTRL 延迟 (已启用对齐模式)	在 PHY 引脚上	-750		750	ps
T _{skew(shift)}	RX_D[3:0]、RX_CTRL 相对于 RX_CLK 的延迟 (移位模式 启用, 默认设置)	在 PHY 引脚上	2			ns
T _{cyc}	时钟周期时长	RX_CLK	36	40	44	ns
Duty_G	占空比	RX_CLK	45	50	55	%
Tr/Tf	上升/下降时间 (20% 至 80%)	C _{LOAD} = 5pF			1.2	ns
SMI 时序						
T4.1	MDC 至 MDIO (输出) 延迟时间	25pF 负载电容	0		40	ns
T4.2	MDIO (输入) 至 MDC 建立时间		10			ns
T4.3	MDIO (输入) 至 MDC 保持时间		10			ns
	MDC 频率			2.5	20	MHz
上电时序						
T5.1	电源斜坡时间: 适用于所有电源 ⁽¹⁾		0.2		8	ms
T5.3	XTAL 启动/稳定: 加电至 XI 良好/稳定			0.35		ms
T5.4	从上电到振荡器稳定的时间				10	ms
T5.5	上电后至 SMI 就绪: 为寄存器访问发送 MDC 前导码之前所需的上电后等待时间		10			ms

参数		测试条件	最小值	标称值	最大值	单位
T5.6	上电至配置 (strap) 锁存				10	ms
T5.7	CLKOUT 启动/稳定: 加电至 CLKOUT 良好/稳定				10	ms
T5.8	上电至空闲流				10	ms
复位时序 (RESET_N)						
T6.1	复位脉冲宽度: 能够复位的最小复位脉冲宽度		720			ns
T6.2	重置为 SMI 就绪: 为寄存器访问发送 MDC 前导码之前所需的复位后等待时间		1			ms
T6.3	重置为配置 (strap) 锁存: 硬件配置引脚转换为输出驱动器			40		μs
T6.4	复位为空闲流				1800	μs
唤醒请求和唤醒脉冲时序						
T7.1	本地唤醒脉冲持续时间		40			μs
T7.2	本地唤醒至 INH 转换				40	μs
T7.3	基于能量检测的唤醒脉冲持续时间				0.7	ms
T7.4	基于能量检测的唤醒至 INH 转换				0.7	ms
T7.5	基于能量检测的唤醒至 WAKE 转发脉冲				1.4	ms
发送延迟时序						
	TX_EN 置位的 MII 上升沿 TX_CLK 至 MD 上的 SSD 符号		205		233	ns
	RMII 从模式上升沿 XI 时钟在 MDI 上置位 TX_EN 至 SSD 符号		374		409	ns
	RMII 主模式上升沿时钟在 MDI 上置位 TX_EN 至 SSD 符号		382		408	ns
	TX_CTRL 置位的 RGMII 上升沿 TX_CLK 至 MDI 上的 SSD 符号		370		390	ns
	SGMII 的第一个符号至 MDI 上的 SSD 符号		420		456	ns
接收延迟时序						
	MDI 上的 SSD 符号到 RX_DV 置位的 RX_CLK 的 MII 上升沿		467		491	ns
	MDI 上的 SSD 符号到 CRS_DV 置位的 XI 时钟从模式 RMII 上升沿		527		574	ns
	MDI 上的 SSD 符号到 CRS_DV 置位的主时钟的主 RMII 上升沿		521		557	ns
	MDI 上的 SSD 符号至 RX_CTRL 已置位 RGMII RX_CLK 的上升沿		484		511	ns
	MDI 上的 SSD 符号至 SGMII 的第一个符号		708		788	ns
25MHz 振荡器要求						
	频率容差		-100		+100	ppm
	上升/下降时间 (10%-90%)				8	ns
	抖动容差 (RMS)				25	ps
	外部时钟模式下的 XI 占空比		40		60	%
50MHz 振荡器要求						
	频率			50		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm
	上升/下降时间 (10% - 90%)				4	ns
	占空比		35		65	%
25MHz 晶振要求						
	频率			25		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm
	等效串联电阻				100	Ω
输出时钟时序 (25MHz)						

参数		测试条件	最小值	标称值	最大值	单位
	频率 (PPM)		-100		100	-
	占空比		40		60	%
	上升时间				5000	ps
	下降时间				5000	ps
	抖动 (短期)				1000	ps
	频率			25		MHz

(1) 对于斜坡速率超过 8ms 的电源，在最后一个电源稳定后，将需要一个复位脉冲。

6.7 时序图

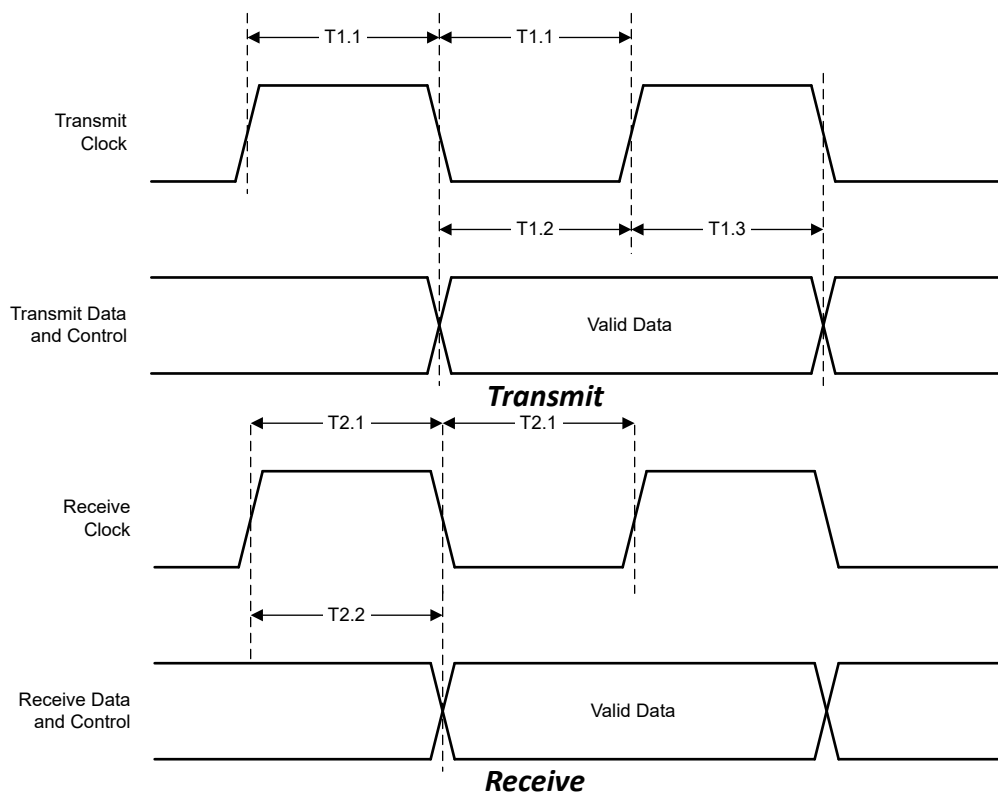


图 6-1. MII 时序

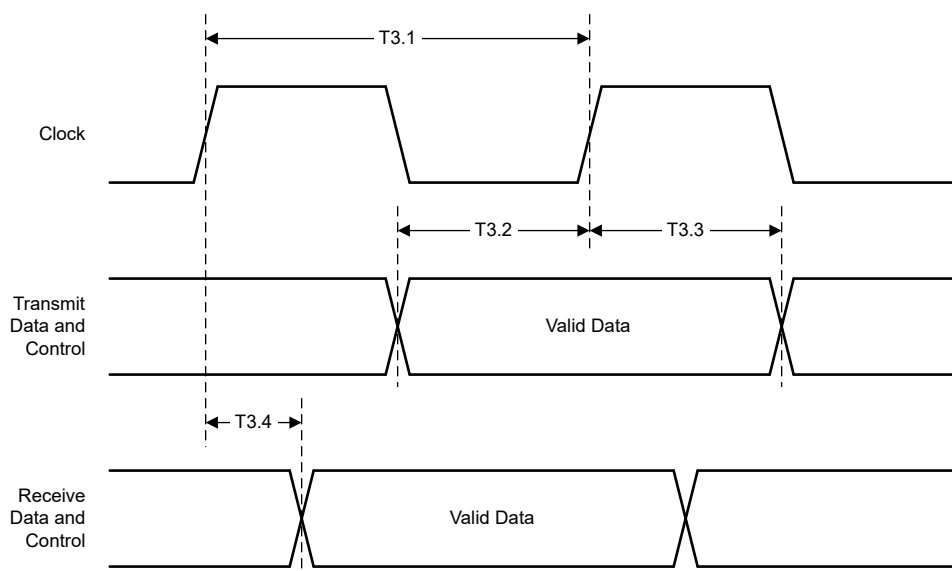


图 6-2. RMII 发送和接收时序

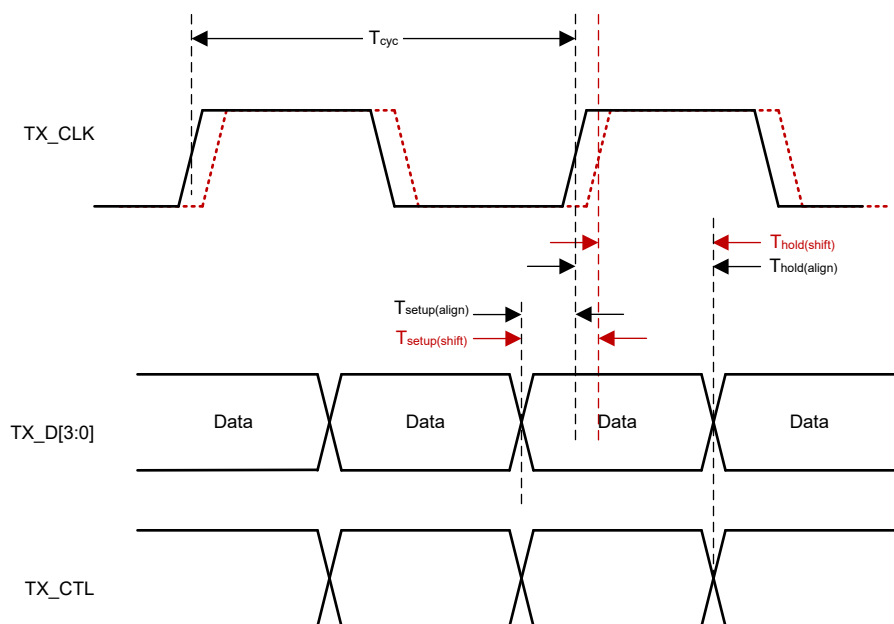


图 6-3. RGMII 发送时序

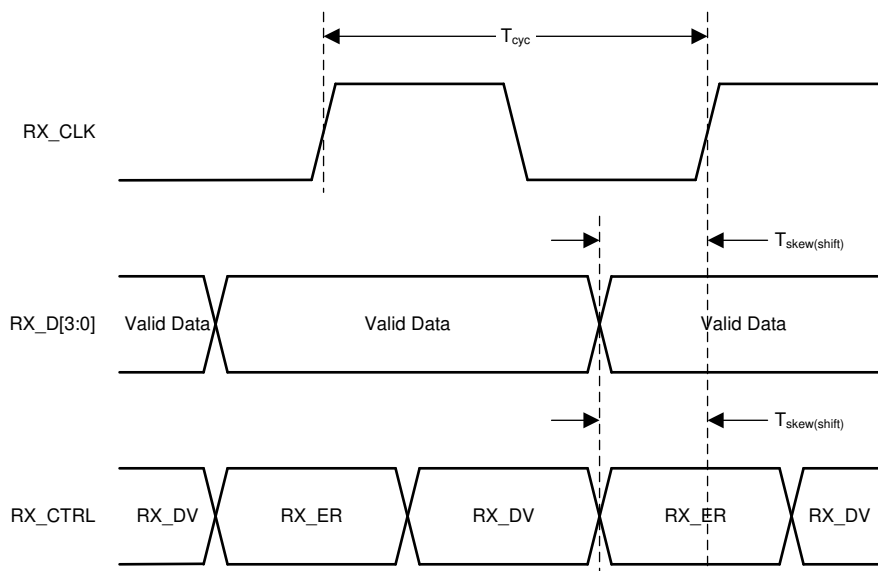


图 6-4. RGMII 接收时序 (启用内部延迟)

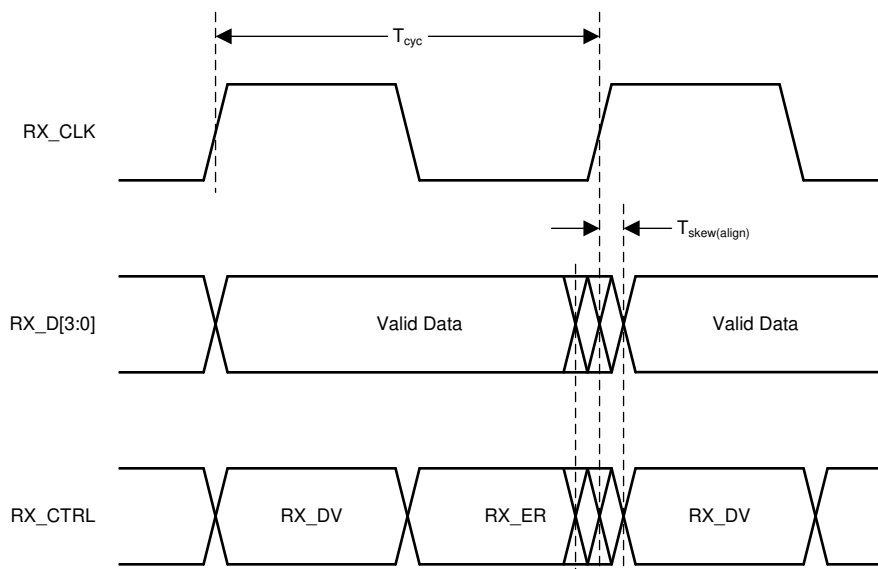


图 6-5. RGMII 接收时序 (禁用内部延迟)

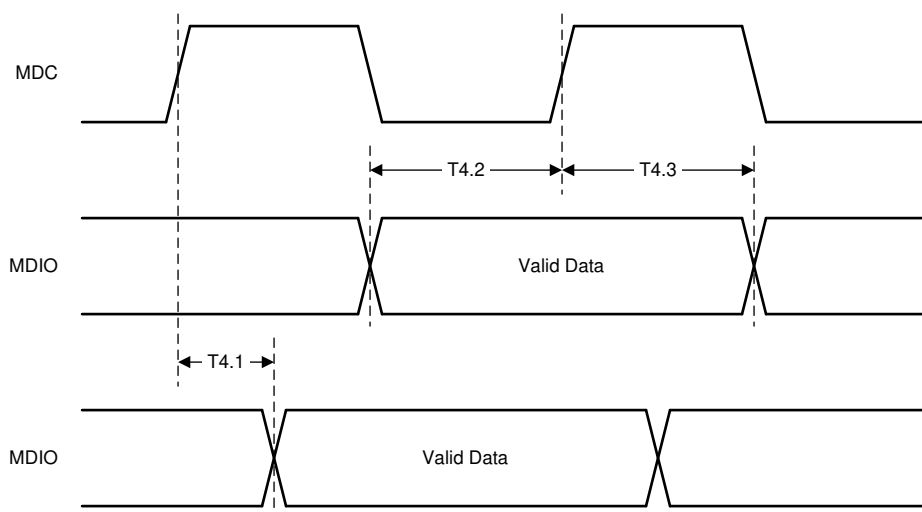


图 6-6. 串行管理时序

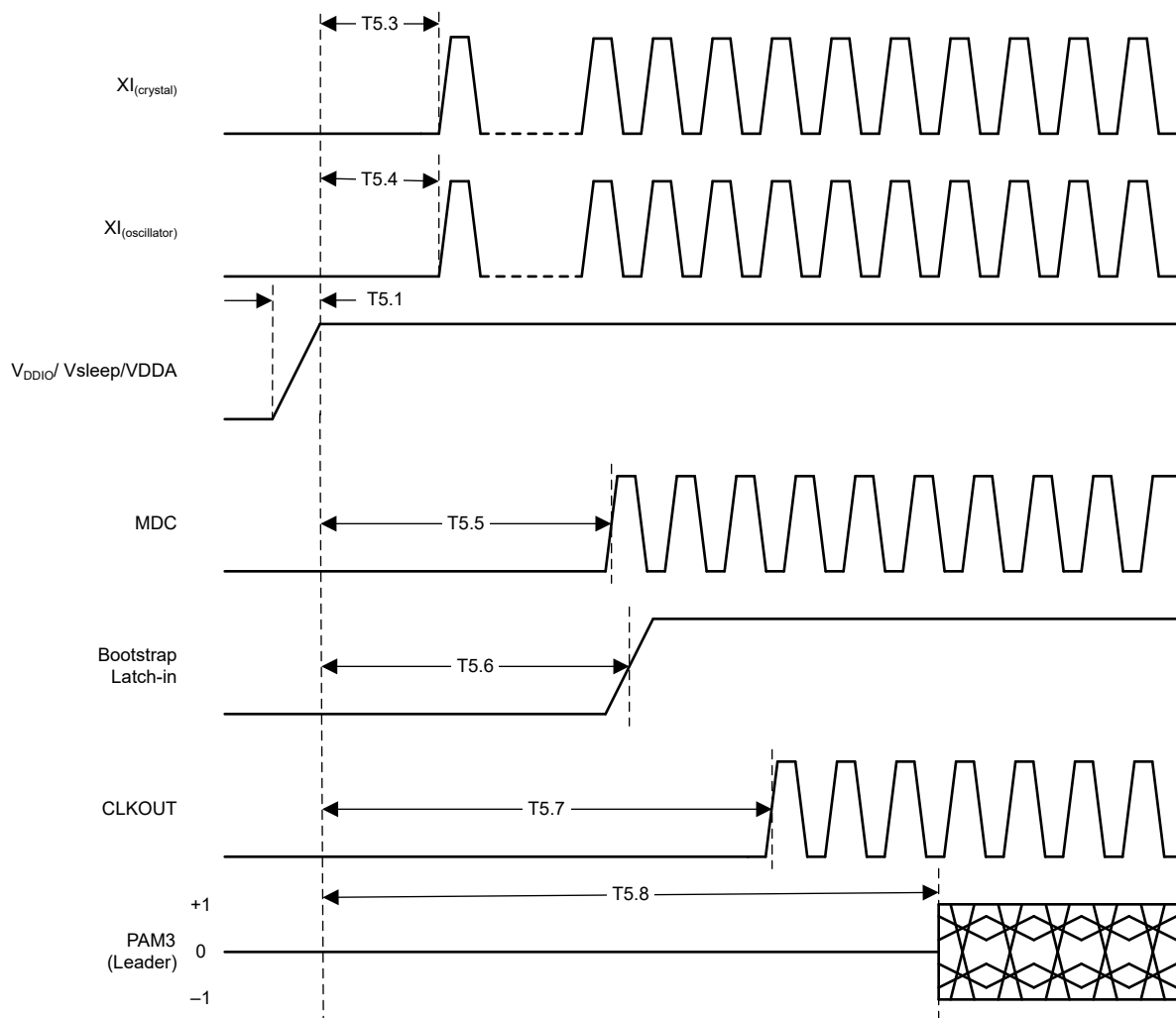


图 6-7. 上电时序

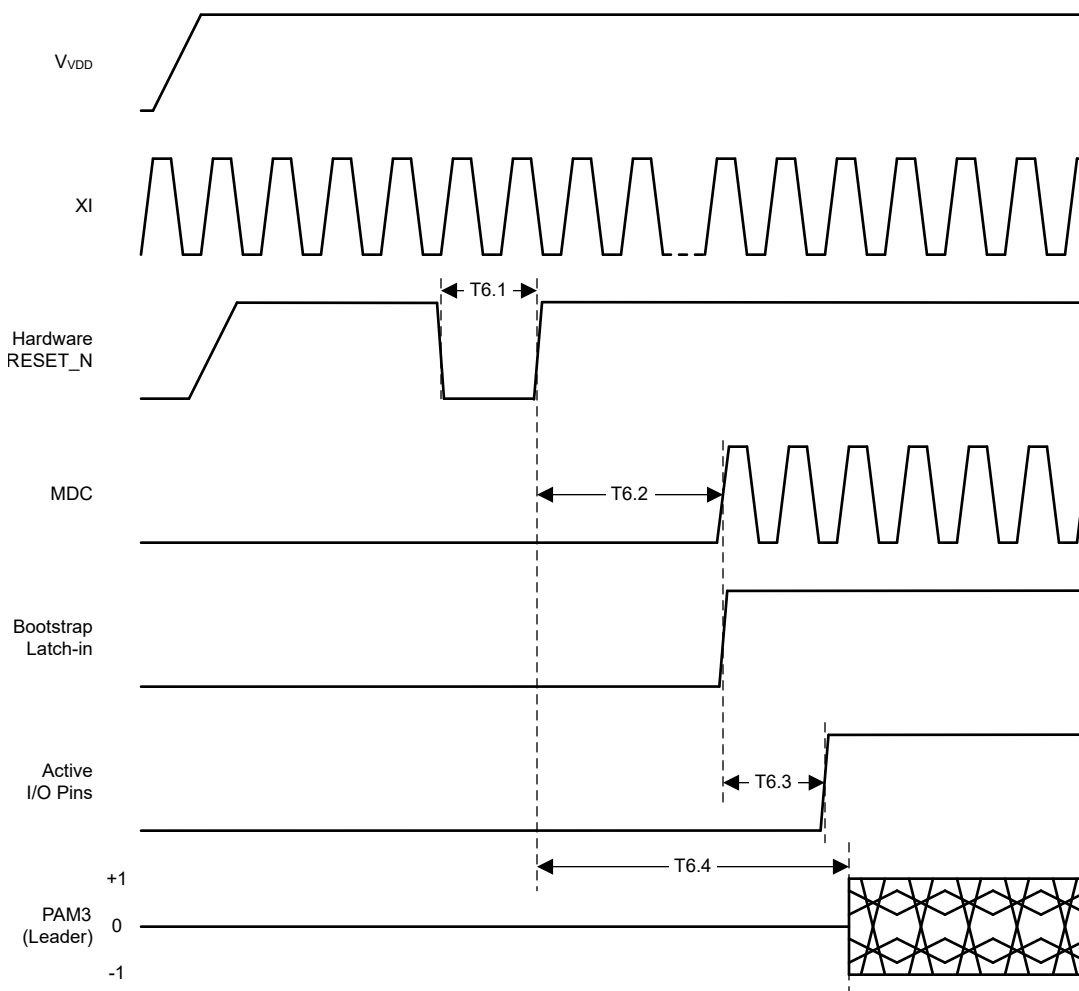


图 6-8. 复位时序

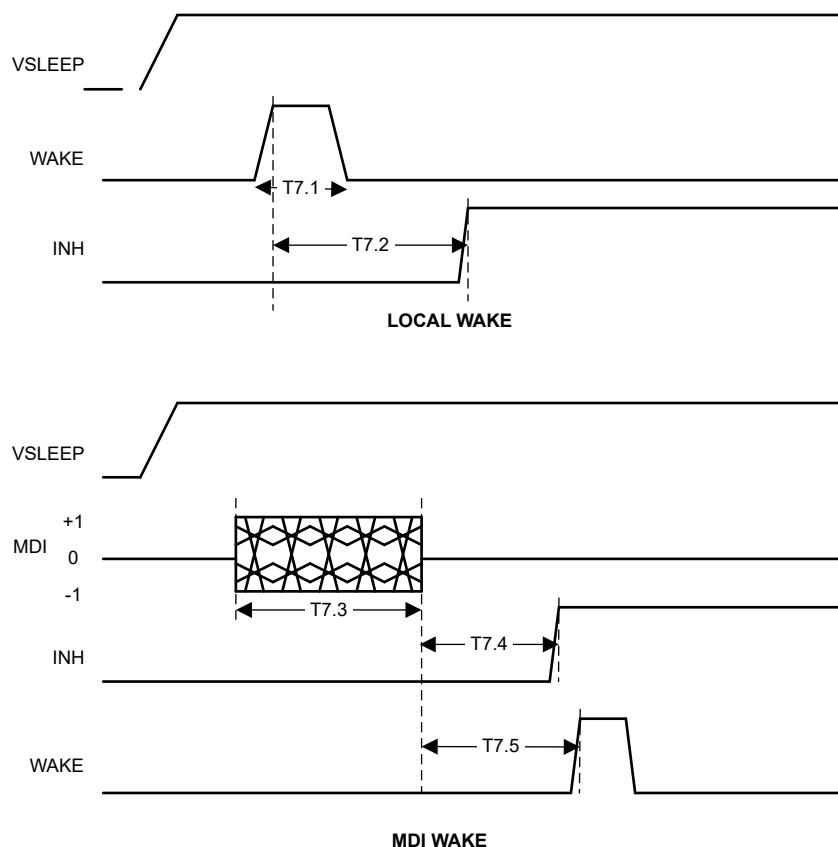
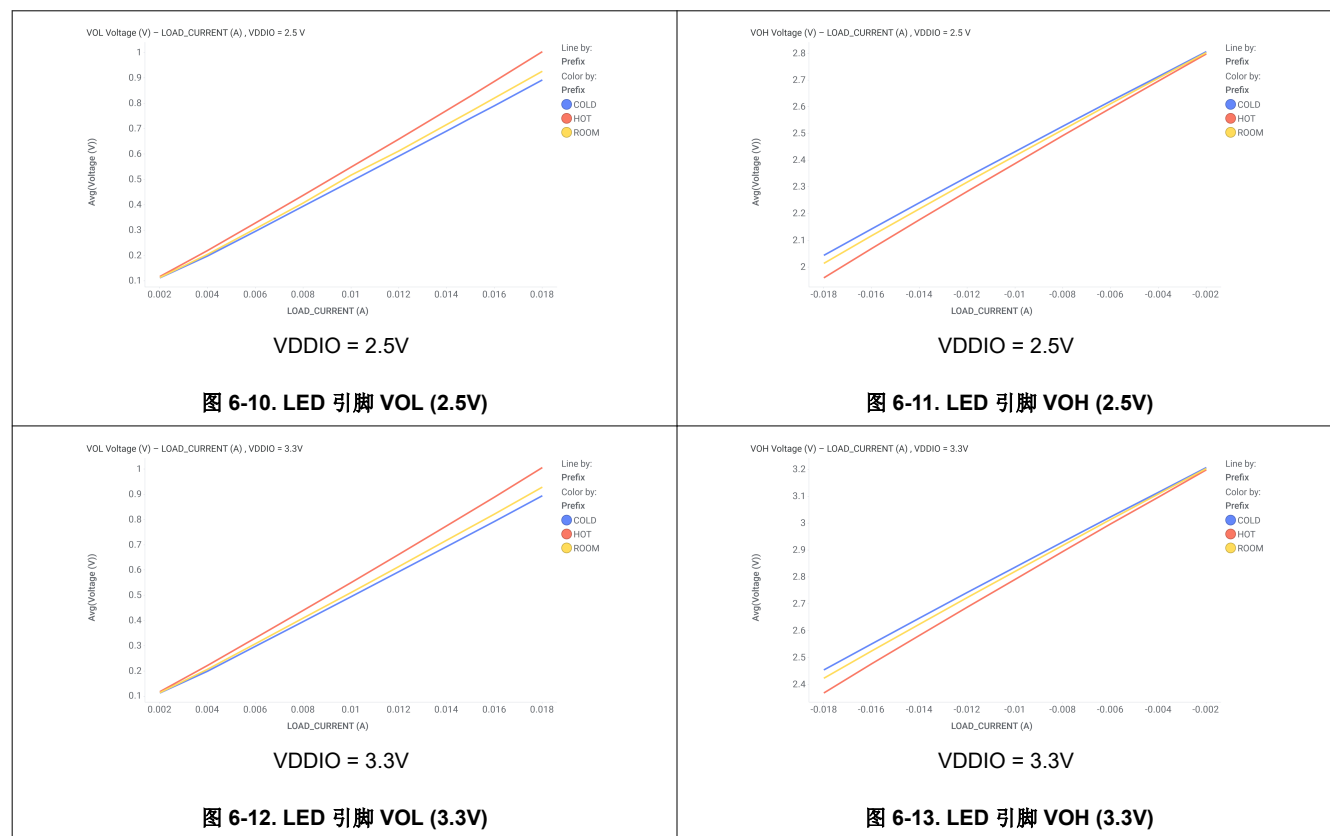


图 6-9. WAKE 时序

6.8 典型特性



7 详细说明

7.1 概述

DP83TC812S-Q1 是一款 100BASE-T1 车载以太网物理层收发器。该器件符合 IEEE 802.3bw 标准和面向汽车应用的 AEC-Q100 标准。DP83TC812S-Q1 可与 BroadR-Reach PHY 和 100BASE-T1 PHY 进行互操作。

DP83TC812S-Q1 还支持 Open Alliance TC-10 低功耗模式，从而进一步节能。PHY 支持 WAKE 和 INH 引脚，可在系统中实现 TC-10 功能。

该器件经过专门设计，运行速度为 100Mbps，同时满足严格的汽车级 EMC 限制要求。DP83TC812S-Q1 通过单根非屏蔽双绞线电缆在 66.667MHz 处发送 PAM3 三元符号。该器件具有应用灵活性；可在一个 36 引脚 VQFN 可湿侧面封装中支持 MII、RMII、RGMII 和 SGMII。

DP83TC812S-Q1 中提供了广泛的诊断工具套件，适用于系统内使用以及用于启动的调试、合规性和系统原型设计。DP83TC812S-Q1 符合 IEC61000-4-2 4 级静电放电限制，还包含一个用于实时检测 ESD 事件的片上 ESD 传感器。

7.2 功能方框图

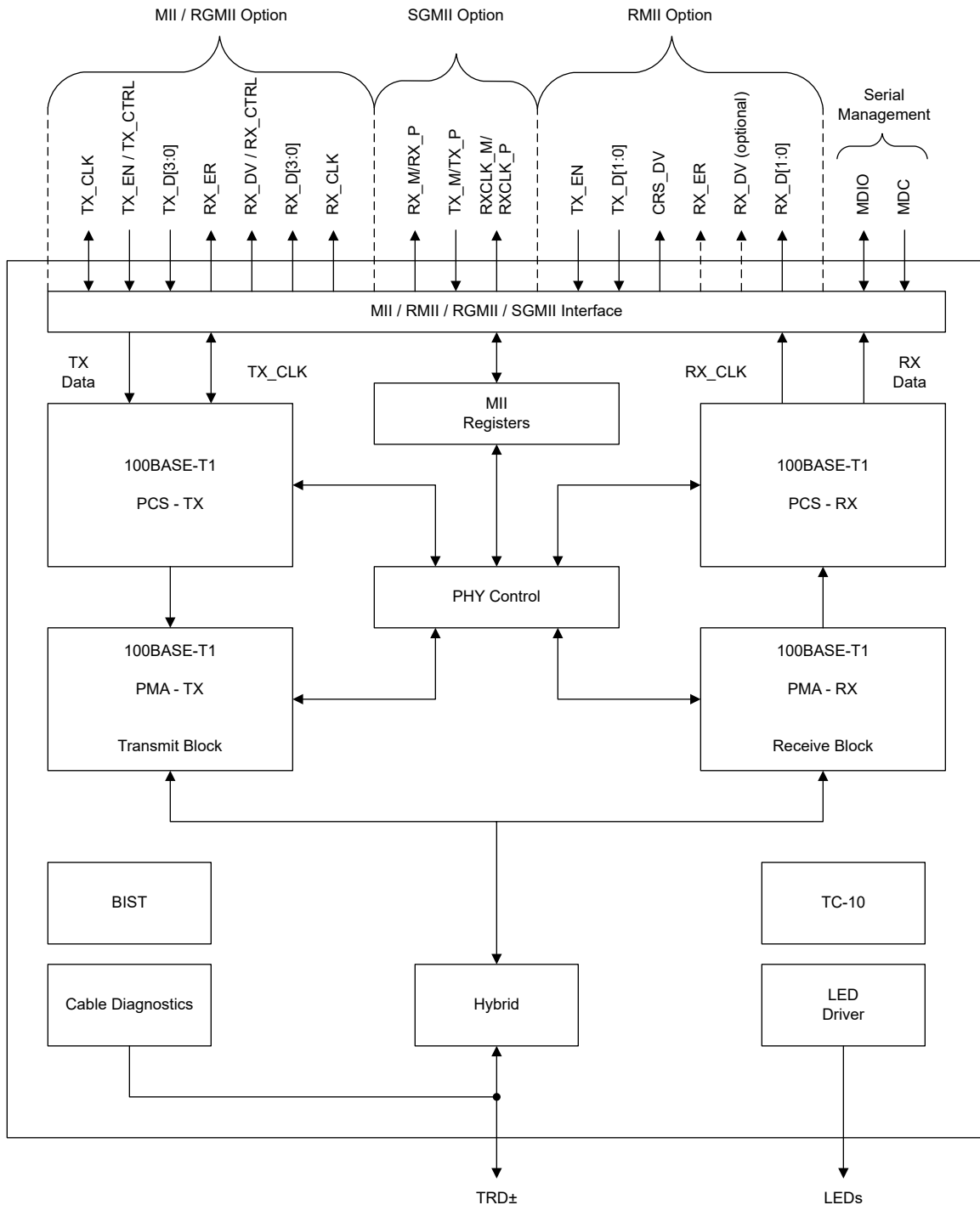


图 7-1. DP83TC812S-Q1

7.3 特性说明

备注

另请参阅 [DP83TC812](#)、[DP83TC813](#) 和 [DP83TC814 : Open Alliance 规范合规性配置](#)，了解有关用于合规性测试的寄存器设置的更多信息。使用这些寄存器设置，才能实现合规性测试期间观察到的相同性能。

7.3.1 诊断工具套件

DP83TC812 诊断工具套件可提供用于监测正常运行、器件级调试、系统级调试、故障检测和合规性测试的机制。该工具套件包括带 PRBS 数据的内置自检、各种环回模式、信号质量指示器 (SQI)、时域反射计 (TDR)、欠压监测器、静电放电监测器和 IEEE 802.3bw 测试模式。

7.3.1.1 信号质量指示器

当 DP83TC812-Q1 处于激活状态时，使用信号质量指示器基于器件 SNR 读数来确定链路的质量。SQI 可表示为 8 级指标。可通过寄存器 0x871 访问信号质量指示。PHY 持续监测 SQI PHY，从而获得实时的链路信号质量状态。

寄存器 0x871 中的位 [3:1] 提供 SQI 值，而位 [7:5] 提供自上次读取以来最差的 SQI 值。寄存器 0x871[3:1] 中报告的 SQI 值直接映射到 Open Alliance 所需的 SQI 级别。

要获得最准确的 SQI 报告，请使用 TI [DP83TC812](#)、[DP83TC813](#) 和 [DP83TC814 : Open Alliance 规范合规性测试配置](#) 应用手册中介绍的初始化例程。

表 7-1. 信号质量指示器

寄存器 0x871[3:1]	OPEN ALLIANCE SQI 等级	链路质量
0x0	0 (最差)	链路不良/无链路
0x1	1	
0x2	2	
0x3	3	
0x4	4	链路良好/出色
0x5	5	
0x6	6	
0x7	7 (最佳)	

7.3.1.2 静电放电检测

对电子电路而言，静电放电非常危险，若缓解不当，就会导致短期问题（信号完整性、链路丢失、数据包丢失）及长期可靠性故障。DP83TC812 包含强大的集成 ESD 电路，还具有 ESD 检测架构。在 MDI 引脚上独立检测 ESD 事件，用于进一步分析和调试。

此外，DP83TC812 还提供中断状态标志；当记录 ESD 事件时，可设置寄存器 0x12[11]。使用同一寄存器的位 [3] 将此中断路由到 INT_N 引脚。寄存器 0x442[14:9] 存储自上次电以来发生的 ESD 事件的数量。ESDS 寄存器会忽略硬件和软件复位，以防止不必要的清除。

7.3.1.3 时域反射法

除了估算电缆开路和短路故障外，时域反射法还有助于确定电缆、连接器和终端的质量。DP83TC812-Q1 通过所连接的双绞线电缆发送测试脉冲。发送的脉冲会沿电缆继续传输，并在每次出现缺陷和故障时进行反射，从而使器件能够测量所有反射的返回时间和强度（振幅）。借助该技术，DP83TC812-Q1 能够识别电缆中的开路和短路故障。

在寄存器 0x1E 中设置位 [15] 激活 TDR。操作步骤如下。

- 配置 DP83TC812-Q1 (根据 TI DP83TC812、DP83TC813 和 DP83TC814 : Open Alliance 规范合规性测试配置应用手册中的初始化设置)
- 验证连接到 PHY 的链路伙伴为静默。在 TDR 执行期间链路断开。
- 运行 TDR 前配置设置, 如 TI DP83TC812、DP83TC813 和 DP83TC814 : Open Alliance 规范合规性测试配置应用手册中所列。
- 通过将寄存器 0x1E[15] 设置为 “1” 来启动 TDR。
- 等待 100ms, 然后读取寄存器 0x1E[1:0]
 - 如果寄存器读取 0b10, 则 TDR 已成功执行。
- 如果 TDR 成功执行, 则读取寄存器 0x310 以获取 TDR 结果。
 - 0x310[7] : 0 = 未检测到电缆故障或 1 = 检测到电缆故障
 - 0x310[6] : 0 = 电缆故障为短路或 1 = 电缆故障为开路
 - 如果检测到有效电缆故障, 则寄存器 0x310[5:0] 存储位置值 (以米为单位) 。

7.3.1.4 电压感测

DP83TC812 可提供用于监测电源引脚电压的传感器。默认情况下, DP83TC812 中的欠压监测功能始终处于活动状态。如果检测到欠压情况, 会在寄存器 0x0013 中设置中断状态标志。也可以选择使用同一寄存器将这些中断路由至 INT 引脚。

按照以下步骤读取各个传感器。

- 对寄存器 0x0467 = 0x6004 进行编程; 初始配置监测器
- 对寄存器 0x046A = 0x00A3 进行编程; 启用监测器
- 使用相应的设置配置寄存器 0x0468, 以便选择所需传感器。
 - VDDA 传感器: 使用 0x0468 = 0x0920
 - VSLEEP 传感器: 使用 0x0468 = 0x1920
 - VDDMAC 传感器: 使用 0x0468 = 0x2920
 - VDDIO 传感器: 使用 0x0468 = 0x3920
- 读取寄存器 0x047B[14:7] 并将此输出代码转换为十进制数。
- 使用以下公式中的输出代码获取传感器的绝对值。有关相应传感器的常数值, 请参阅表 7-2。
 - $vdda_value = 3.3 + (vdda_output_code - vdda_output_mean_code) \times slope_vdda_sensor$
 - $vsleep_value = 3.3 + (vsleep_output_code - vsleep_output_mean_code) \times slope_vsleep_sensor$
 - $vddmac_value = 3.3 + (vddmac_output_code - vddmac_output_mean_code) \times slope_vddmac_sensor$
 - $vddio_value = 3.3 + (vddio_output_code - vddio_output_mean_code) \times slope_vddio_sensor$

表 7-2. 传感器常量值

传感器	常量	值
VDDA	vdda_output_mean_code	126
	slope_vdda_sensor	0.0088
VSLEEP	vsleep_output_mean_code	134
	slope_vsleep_sensor	0.0088
VDDMAC	vddmac_output_mean_code	205
	slope_vddmac_sensor	0.016
VDDIO	vddio_output_mean_code	205
	slope_vddio_sensor	0.016

7.3.1.5 BIST 和环回模式

DP83TC812 包含数据路径内置自检 (BIST) 功能, 可检查 PHY 级和系统级数据路径。BIST 具有以下集成功能, 可在不依靠 MAC 或外部数据生成器硬件/软件的情况下进行系统级数据传输测试 (吞吐量等) 和诊断。

为便于评估, 请使用 DP83TC812 中提供的以下功能:

1. 环回模式
2. 数据生成器
 - a. 可定制的 MAC 数据包生成器
 - b. 发送数据包计数器
 - c. PRBS 流发生器
3. 数据校验器
 - a. 接收到的 MAC 数据包错误校验器
 - b. 接收到的数据包计数器：统计接收到的数据包及接收到包含错误数据包的数量
 - c. PRBS 锁和 PRBS 错误校验器

7.3.1.5.1 数据生成器和校验器

DP83TC812 支持内置的伪随机数据生成器和校验器，它们可与环回模式结合使用来检查数据路径。对数据生成器进行编程，以生成用户定义的 MAC 数据包或 PRBS 流。

所生成 MAC 数据包的以下参数可配置（有关所需配置，请参阅寄存器 <0x061B>、寄存器 <0x061A> 和寄存器 <0x0624>）：

- 数据包长度
- 数据包间间隙
- 需发送或持续传输的数据包的规定数量
- 数据包数据类型：增量/固定/PRBS
- 每个数据包的有效字节数

7.3.1.5.2 xMII 回送

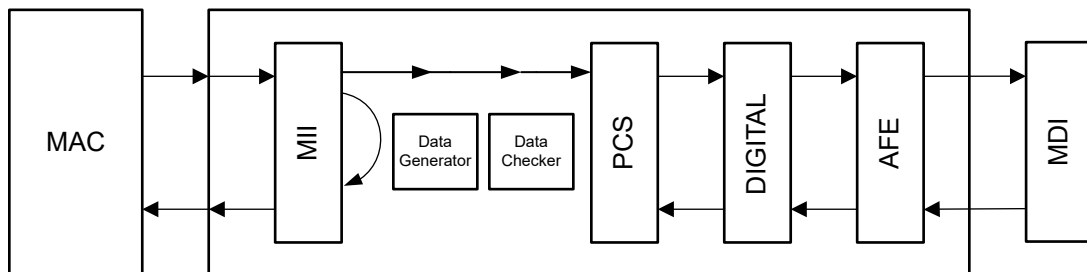


图 7-2. 没有数据生成器的 xMII 环回

xMII 环回是通过 PHY 的最浅环路，并且 xMII 环回是验证 MAC 和 PHY 之间通信的有用测试模式。当处于 xMII 环回模式时，对于从 TX 路径上连接的 MAC 发送的数据，会在 DP83TC812 内部环回至 RX 引脚，MAC 能够在此处检查器件。在 xMII 环回模式下没有链路指示。

启用环回

写入寄存器 0x0000 = 0x6100

为 MAC 端启用数据生成器/校验器

数据在 MAC TX 引脚外部生成

根据 MAC 接口模式，使用以下寄存器设置来启用校验器。

- 对于 RGMII，请写入寄存器 0x0619 = 0x1004
- 对于 SGMII，请写入寄存器 0x0619 = 0x1114
- 对于 RMII，请写入寄存器 0x0619 = 0x1224
- 对于 MII，请写入寄存器 0x0619 = 0x1334

检查来自 MAC 端的传入数据

可在 MAC 接口 RX 引脚上验证数据。

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆端启用数据生成器/校验器

不适用，因为数据在 MAC 接口 TX 引脚上从外部生成。

检查电缆端的数据

不适用，因为 PRBS 流校验器仅与内部 PRBS 发生器配合使用。

其他系统要求

生成的数据将进入电缆端。

7.3.1.5.3 PCS 环回

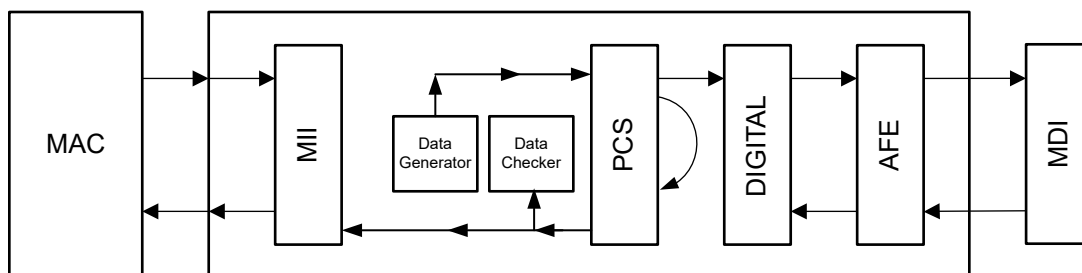


图 7-3. 带数据生成器的 PCS 环回

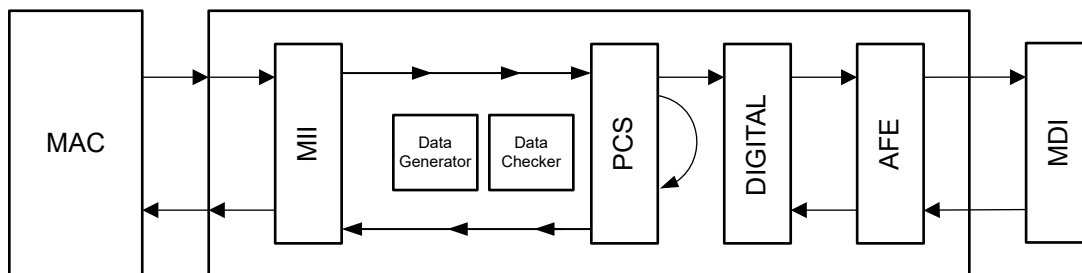


图 7-4. 不带数据生成器的 PCS 环回

PCS 环回在退出 PCS 并进入 PMA 之前环回数据。在发送路径上从 MAC 接收的数据通过 PHY 内的数字块传送，然后在此处通过接收路径将数据路由回 MAC。DP83TC812 接收 PMA 电路采用隔离配置，以防止争用。

启用环回

写入寄存器 0x0016 = 0x0102

为 MAC 端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

写入寄存器 0x0619 = 0x1555

检查来自 MAC 端的传入数据

通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

写入寄存器 0x0619 = 0x0557

检查电缆端的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
 - a. 位 [7:0] = 接收到的错误字节数
 - b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态 (1'b1 表示锁定)

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

7.3.1.5.4 数字环回

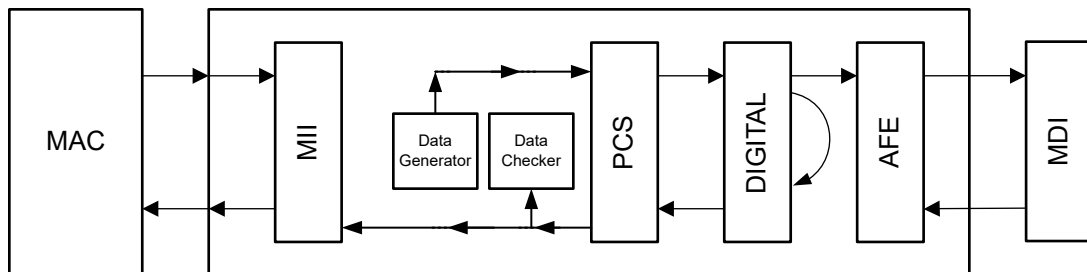


图 7-5. 带数据生成器的数字环回

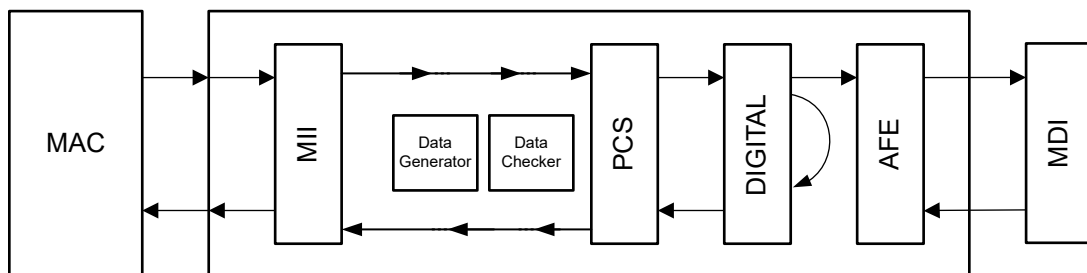


图 7-6. 不带数据生成器的数字环回

数字环回在退出数字模式并进入 AFE 之前环回数据。在发送路径上从 MAC 接收的数据通过 PHY 内的数字块传送，然后在此处通过接收路径将数据路由回 MAC。DP83TC812 接收模拟电路采用隔离配置，以防止争用。

启用环回

写入寄存器 0x0016 = 0x0104

为 MAC 端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

写入寄存器 0x0619 = 0x1555

检查来自 MAC 端的传入数据

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

写入寄存器 0x0619 = 0x0557

检查电缆端的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
 - a. 位 [7:0] = 接收到的错误字节数
 - b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态 (1'b1 表示锁定)

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

7.3.1.5.5 模拟环回

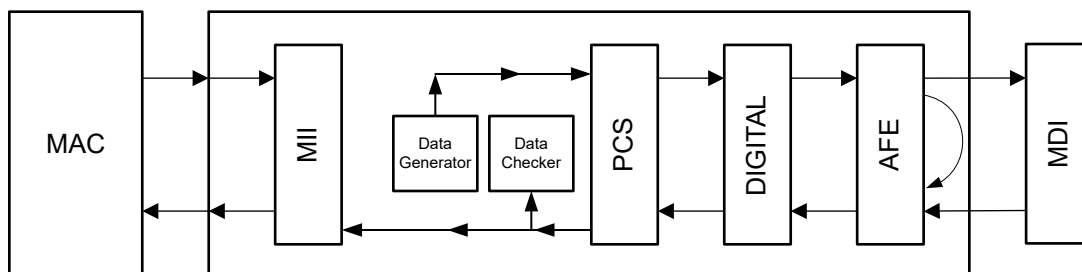


图 7-7. 带有数据生成器的模拟环回

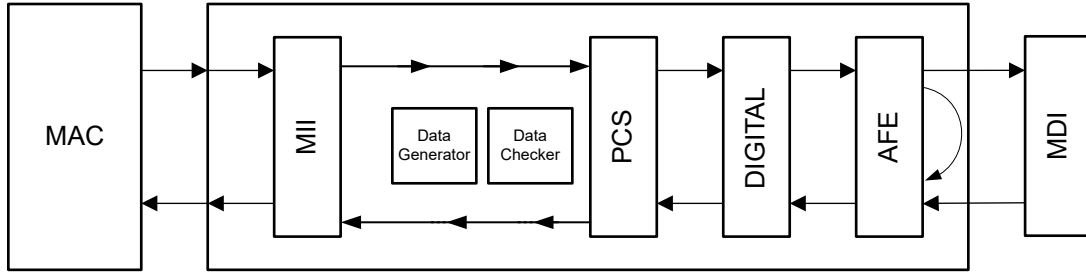


图 7-8. 不带数据生成器的模拟环回

模拟环回使用来自末端接 MDI 的回传信号，并解码混合模式中的这些信号，将数据返回到 MAC。

启用环回

写入寄存器 0x0016 = 0x0108

为 MAC 端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

写入寄存器 0x0619 = 0x1555

检查来自 MAC 端的传入数据

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

写入寄存器 0x0619 = 0x0557

检查电缆端的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
 - a. 位 [7:0] = 接收到的错误字节数
 - b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态 (1'b1 表示锁定)

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

7.3.1.5.6 反向环回

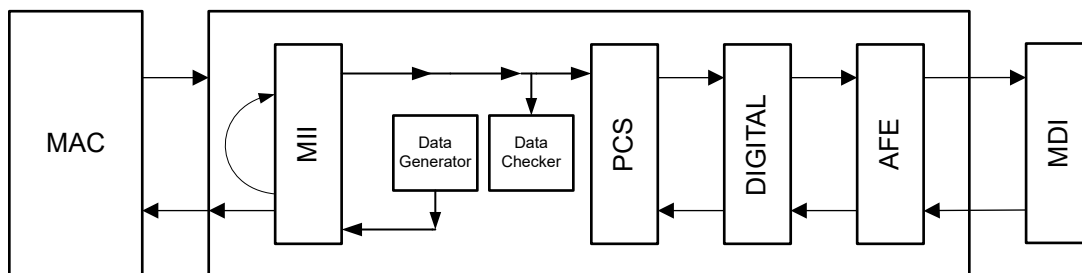


图 7-9. 带数据生成器的反向环回

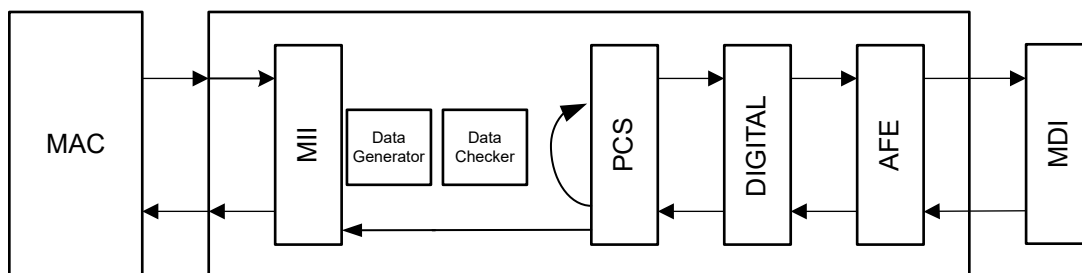


图 7-10. 不带数据生成器的反向环回

反向环回在 MDI 上接收数据，并将数据传递到整个接收块，然后在 PCS 层内将数据环回至发送块。数据通过 MDI 传回到连接的链路伙伴。为了避免争用，MAC 发送路径被隔离。

启用环回

写入寄存器 0x0016 = 0x0110

为 MAC 端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

根据 MAC 接口模式，使用以下寄存器设置来启用校验器。

- 对于 RGMII，请写入寄存器 0x0619 = 0x1004
- 对于 SGMII，请写入寄存器 0x0619 = 0x1114
- 对于 RMII，请写入寄存器 0x0619 = 0x1224
- 对于 MII，请写入寄存器 0x0619 = 0x1334

检查来自 MAC 端的传入数据

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆端启用数据生成器/校验器

写入寄存器 0x0624 = 0x55BF

写入寄存器 0x0619 = 0x0557

检查电缆端的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
 - a. 位 [7:0] = 接收到的错误字节数
 - b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态 (1'b1 表示锁定)

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

7.3.2 合规性测试模式

备注

另请参阅 [DP83TC812](#)、[DP83TC813](#) 和 [DP83TC814](#) : [Open Alliance 规范合规性配置](#) 应用手册，了解有关用于合规性测试的寄存器设置的更多信息。使用这些寄存器设置，才能实现合规性测试期间观察到的相同性能。

DP83TC812-Q1 支持 IEEE 802.3bw 子条款 96.5.2 中要求的所有四种 PMA 合规性测试模式。这些合规性测试模式包括：

- 发送器波形功率谱密度 (PSD) 掩模
- 振幅
- 失真
- 100BASE-T1 主器件抖动
- 100BASE-T1 从器件抖动
- 压降
- 发送器频率
- 频率容差
- 回波损耗
- 模式转换

使用三个 GPIO 中的任何一个输出 TX_TCLK，以便进行 100BASE-T1 从器件抖动测量。如需将 TX_TCLK 路由至 CLKOUT 引脚，以便进行 100BASE-T1 从模式抖动测量，请写入寄存器 0x045F = 0x000D。将器件配置为从器件模式。

7.3.2.1 测试模式 1

测试模式 1 评估发送器压降。在测试模式 1 下，DP83TC812-Q1 将发送 “+1” 符号且持续时间至少为 600ns，然后发送 “-1” 符号且持续时间至少为 600ns。在禁用此测试模式之前，该模式持续重复。

可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的位[15:13] = 0b001 来启用测试模式 1。

7.3.2.2 测试模式 2

测试模式 2 可评估发送器 100BASE-T1 主模式的抖动情况。在测试模式 2 下，DP83TC812-Q1 将发送 {+1,-1} 数据符号序列。该发送器会从本地基准时钟同步发送的符号。

可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的 bits[15:13] = 0b010 来启用测试模式 2。

7.3.2.3 测试模式 4

测试模式 4 可评估发送器失真情况。在测试模式 4 下，DP83TC812-Q1 DP83TC812R-Q1 将发送根据方程式 1 生成的符号序列：

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

位序列 $x0_n$ 和 $x1_n$ 根据扰频器及方程式 2 和方程式 3 组合生成。

$$x0_n = \text{Scr}_n[0] \quad (2)$$

$$x1_n = \text{Scr}_n[1]^{\text{Scr}_n[4]} \quad (3)$$

表 7-3 展示 3 位半字节的示例流。

表 7-3. 发送器测试模式 4 符号映射

$x1_n$	$x0_n$	PAM3 SYMBOL
0	0	0
0	1	+1
1	0	0
1	1	-1

可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的 bits[15:13] = 0b100 来启用测试模式 4。

7.3.2.4 测试模式 5

测试模式 5 可评估发送器 PSD 屏蔽情况。在测试模式 5 下，DP83TC812-Q1 将发送 PAM3 符号的假随机序列。可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的 bits[15:13] = 0b101 来启用测试模式 5。

7.4 器件功能模式

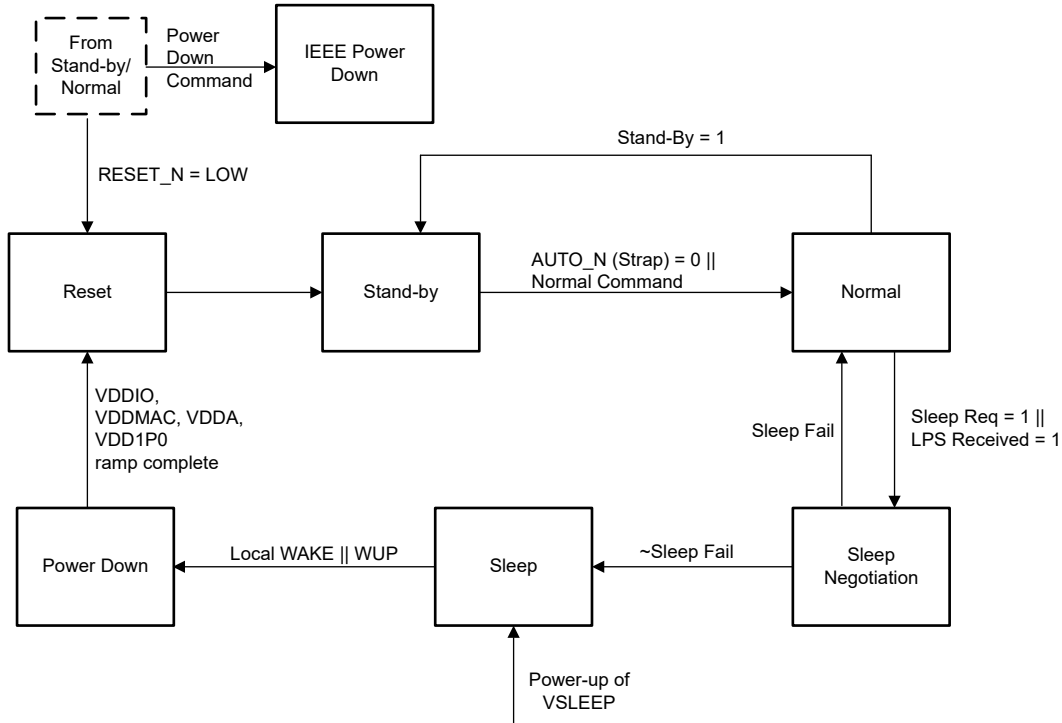


图 7-11. 功耗状态图

7.4.1 断电

当任何电源轨低于 POR 阈值 ($\approx 0.6V$) 时, PHY 将处于断电状态。所有数字 IO 都将保持高阻抗状态, 且模拟块被禁用。断电状态时不存在 PMA 终端。

7.4.2 复位

如果将 $\overline{RESET}$ 拉至低电平 (最短复位脉冲时间) 或通过设置寄存器 [0x1F] 的位 [15] 来启动硬件复位, 则会在上电时激活复位。复位期间, 所有数字电路连同寄存器设置一起被清除。复位完成后, 将对器件自举进行重新采样、相应地设置相关的自举寄存器。复位时不存在 PMA 终端。

7.4.3 待机

只要包括 VSLEEP 在内的所有电源可用并且器件自举进入托管运行状态, 该器件 (仅限 100BASE-T1 主模式) 就会在上电和复位后自动进入待机模式。

在待机模式下, 除 PCS 和 PMA 块外, 所有 PHY 功能均可运行。也不存在 PMA 终端。处于待机模式时, 无法建立链路, 不能发送或接收数据。SMI 功能正常运行, 寄存器配置得到维护。

如果通过自举设置将器件配置为自主运行, 则 PHY 会在 POR 完成后, 自动切换到正常运行模式。

7.4.4 正常

从自主运行或托管运行进入正常模式。在自主运行时, PHY 将在 POR 完成后自动尝试与有效链路伙伴建立链路。

在管理运行中, 需执行 SMI 访问才能使器件退出待机状态 (仅限 100BASE-T1 从模式); 通过 SMI 发出的命令可使器件退出待机状态并启用 PCS 和 PMA 块。所有器件都能以正常模式运行。

将寄存器 0x18B[6] 设置为等于 “1” 后, 通过 SMI 访问使能自主运行。请注意, 该位在链路建立后自动清零。

7.4.5 睡眠确认

当 PHY 从链路伙伴接收到低功耗睡眠请求时，PHY 进入睡眠确认模式。在此模式下，PHY 允许 MAC 有 8ms 的时间来决定是否必须启用 TC-10 睡眠模式。如果 MAC 决定允许 TC-10，则 PHY 继续在 TC-10 状态机中执行下一步。但是，MAC 可以决定中止 TC-10，然后 PHY 返回正常模式。可以通过禁用 TC10 或通过利用 GPIO，使用寄存器设置来中止 TC10。如果通过禁用 TC10 功能中止 TC10，则在睡眠请求中止后重新启用 TC10 功能。

7.4.6 睡眠请求

从正常模式转换到睡眠模式时，进入睡眠请求状态。这是一种中间状态，用于平稳转换到睡眠模式。在睡眠请求模式下，PHY 发送 LPS 代码组，通知链路伙伴已请求睡眠状态。

一旦 PHY 进入睡眠请求模式，PHY `s_rqst_timer` (默认值 = 16ms) 就会开始。链路伙伴处的 LPS 解码会触发 LPS 已接收中断。在睡眠请求状态下，器件等待链路伙伴发送 LPS 符号。一旦器件接收到 LPS 符号，器件就会转换到 SLEEP_SILENT 状态。如果 `sleep_rqst_timer` 在器件接收到 LPS 代码之前到期，则器件会进入睡眠失败状态。。

7.4.7 睡眠失败

处于 `sleep_request` 状态或 `sleep_silent` 状态时，如果 `Sleep_rqst_timer` 到期，则 PHY 进入睡眠失败模式。这表明链路伙伴尚未进入睡眠模式。进入睡眠失败模式后，PHY 转换为至正常模式。

7.4.8 睡眠

如果设置了睡眠启用，则 `sleep_silent` 状态下的 PHY 会在 MDI 线路变为静默后转换为睡眠模式；但是，如果未设置睡眠启用，则器件会在 MDI 线路变为静默后转换为待机模式。默认情况下，设置睡眠启用。进入睡眠模式后，除 MDI 上能量检测外，将禁用所有 PHY 块。在睡眠模式下，所有寄存器配置都会丢失。处于睡眠模式时，无法建立链路，不能传输或接收数据，不可访问 SMI。

备注

当 PHY 处于睡眠模式时，MAC 接口不得由以太网 MAC 驱动。

7.4.9 唤醒

用户可以通过以下方法唤醒 DP83TC812S-Q1：通过在 MDI 检测能量远程唤醒或者使用 WAKE 引脚本地唤醒。对于本地唤醒，WAKE 引脚一定会被拉到高电平。如果 WAKE 引脚连接至低电平，则仅当在 MDI 上检测到能量时 PHY 才会退出睡眠状态。

7.4.10 TC10 系统示例

以下方框图说明了 TC10 睡眠和唤醒功能在系统中的工作原理。

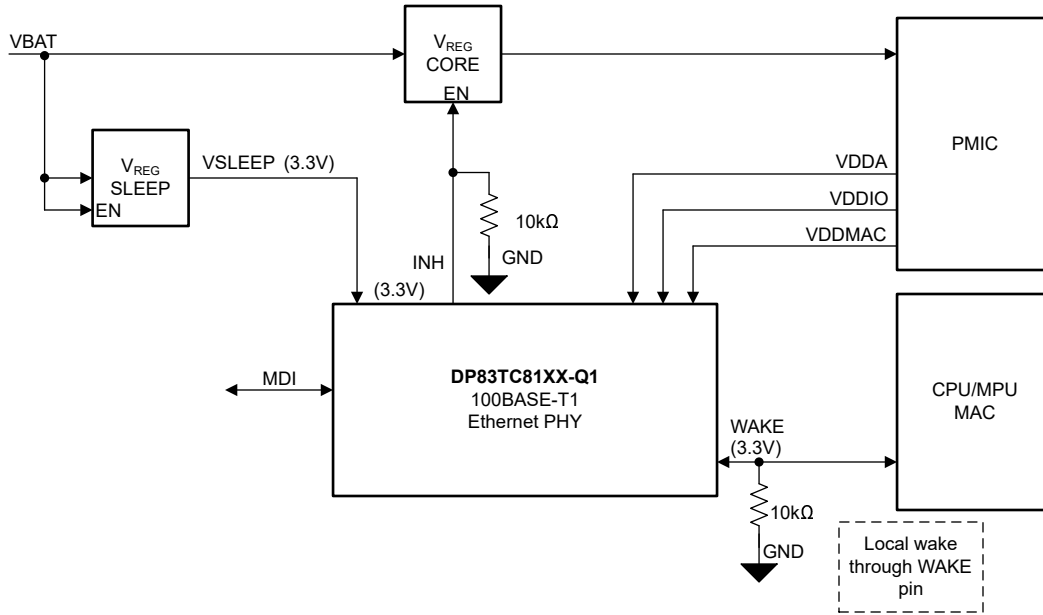


图 7-12. TC10 系统示例 - 远程唤醒

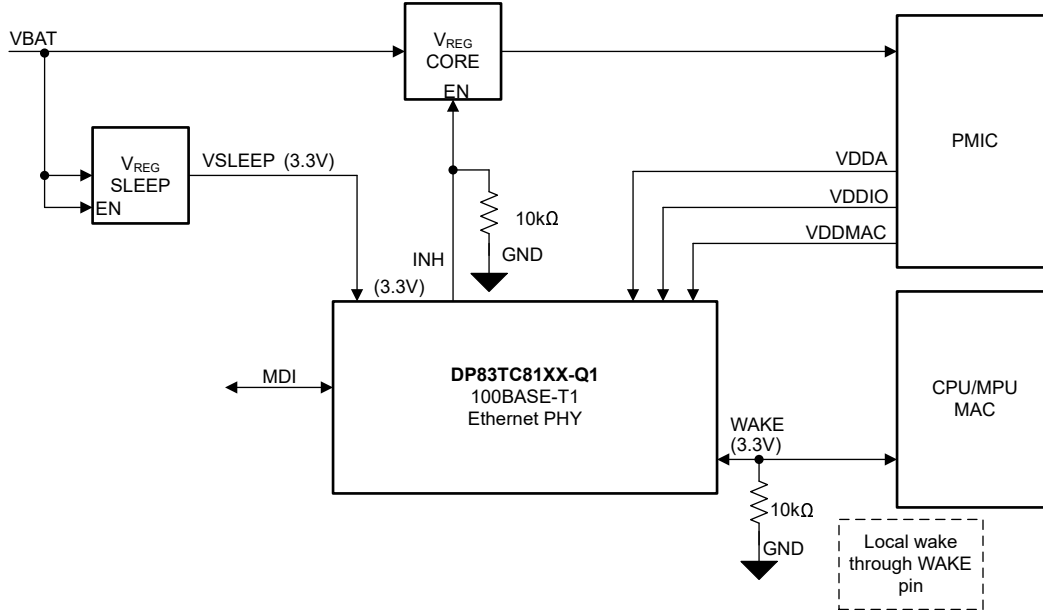


图 7-13. TC10 系统示例 - 本地唤醒

远程唤醒

对于远程唤醒，系统的初始状态为 TC10 睡眠。PHY 和 MAC 的内核电压关闭，但 PHY 的 VSLEEP 电压存在。有时，MDI 线路接收唤醒脉冲 (WUP)。PHY 接收该消息，如果序列有效，则 PHY 唤醒并将 INH 引脚驱动至高电平。INH 引脚用作稳压器 (即 LDO) 的使能输入。稳压器打开并为电源管理器件供电。然后，电源管理器件为 PHY、MAC 以及系统上的所有其他器件供电。整个系统上电并开始运行。

唤醒转发

DP83TC812-Q1

支持唤醒转发特性。当器件在 MDI 上接收到唤醒请求 (WUR) 或唤醒脉冲 (MDI) 时, PHY 会在 WAKE 引脚上发送 40 μ s 高电平脉冲。该脉冲这可用于唤醒系统上处于 TC - 10 睡眠状态的任何其他 PHY。

本地唤醒

对于本地唤醒, 假定系统的某些部分已经处于工作状态, 并且 PHY 处于 TC10 睡眠状态。例如, 系统可以让微控制器处于工作模式, 以控制 PHY 的 WAKE 引脚。当 MCU 需要将 PHY 从 TC10 睡眠状态唤醒时, MCU 会将 WAKE 引脚升至 3.3V 以发送唤醒脉冲 (最短 40 μ s)。PHY 唤醒并将 INH 引脚驱动至高电平。INH 引脚用作稳压器 (即 LDO) 的使能输入。稳压器打开并为电源管理器件供电。然后, 电源管理器件向 PHY 供电。系统上依赖于 PHY 唤醒的任何其他器件现在都可以上电, 并且系统开始运行。

本地睡眠

当 PHY 处于正常运行模式并且 MAC 需要将 PHY 置于 TC10 睡眠状态时, MAC 使用 PHY 上的 SMI 启动 TC10 睡眠过程。然后, DP83TC812-Q1 在 MDI 上将 LPS 信号发送给链路伙伴。如果链路伙伴也同意进入 TC10 睡眠状态, 则主机 PHY 进入 TC10 睡眠状态。然后, 链路伙伴释放 INH 引脚, 并且通过外部下拉电阻器将链路伙伴拉至低电平。使用 INH 引脚作为使能输入的稳压器关闭。PHY、MAC 和依赖于稳压器的任何其他器件关闭。PHY 上仍存在 VSLEEP 电压并继续保持 TC10 睡眠状态。

7.4.11 媒体相关接口

7.4.11.1 100BASE-T1 主模式和 100BASE-T1 从模式配置

使用硬件自举或通过寄存器访问均可配置 100BASE-T1 主模式和 100BASE-T1 从模式。

LED_0 能够控制 100BASE-T1 主模式和 100BASE-T1 从模式自举配置。默认情况下配置为 100BASE-T1 从模式, 因为 LED_0 引脚带有内部下拉电阻器。如果优先通过硬件自举来配置 100BASE-T1 主模式, 则需添加外部上拉电阻器。

此外, **MMD1_PMA_CTRL_2 寄存器 (地址 0x1834)** 中的第 [14] 位可控制 100BASE-T1 主模式和 100BASE-T1 从模式配置。设置该位时, 将启用 100BASE-T1 主模式。

7.4.11.2 自动极性检测和校正

在链路训练过程中, DP83TC812-Q1 100BASE-T1 从器件能够检测极性反转并自动校正错误。如果检测到极性反转, 100BASE-T1 从器件会自行反转发送的信号以考虑误差, 并验证与 100BASE-T1 主器件的兼容性。100BASE-T1 主器件的极性始终被视为正确, 因为极性检测和校正完全由 100BASE-T1 从器件处理。

在不需要校正的情况下, 禁用自动极性校正。使用寄存器 0x0553 可禁用自动极性校正。

7.4.11.3 Jabber 检测

如果从未在 rcv_max_timer 中检测到或接收到流结束分隔符 ESD1 和 ESD2, 则 jabber 功能可防止 PCS 接收状态机锁定到 DATA 状态。如果最大接收 DATA 状态计时器超时, 则 PCS 接收状态机复位并转换为 IDLE 状态。IEEE 802.3bw 规定 Jabber 超时设置为 1.08ms $\pm$ 54 μ s。默认情况下, DP83TC812 中的 Jabber 超时设置为 1.1ms。该计时器可在寄存器 0x496[10:0] 中进行配置。

7.4.11.4 交错检测

借助交错功能, DP83TC812-Q1 可以检测并解交错来自自己连接链路伙伴的串行流。三元符号的两个可能的交错序列包括: (TA_n、TB_n) 或 (TB_n、TA_n)。

7.4.12 MAC 接口

7.4.12.1 媒体独立接口

媒体独立接口 (MII) 是一个同步 4 位宽半字节数据接口, 用于将 PHY 连接到 MAC。MII 完全符合 IEEE 802.3-2015 第 22 条。PHY 在 MII 输出引脚 (其中包括 PHY 在 MII 模式下运行时的 TX_CLK 输出) 上具有内部串联终端电阻器。在此模式下, 不要将 MII-TX 引脚悬空或置于高阻态。

表 7-4 总结了 MII 信号。

表 7-4. MII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
控制信号	TX_EN、TX_ER
	RX_DV、RX_ER
时钟信号	TX_CLK
	RX_CLK

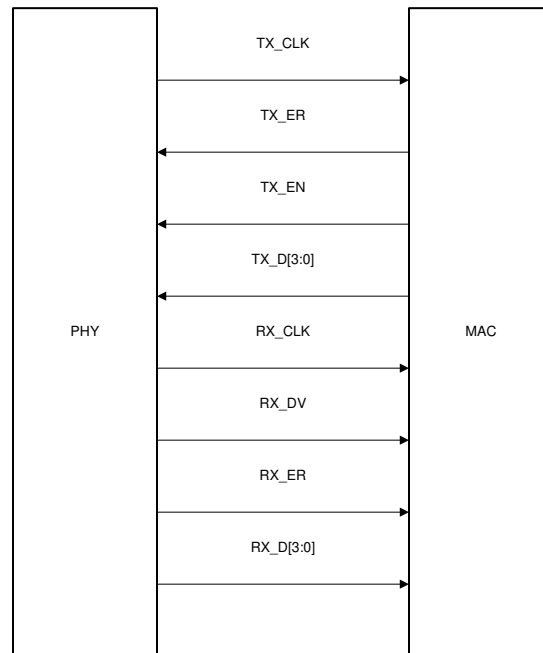


图 7-14. MII 信号

表 7-5. MII 发送编码

TX_EN	TX_ER	TX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1111	保留
1	0	0000 至 1111	正常数据发送
1	1	0000 至 1111	发送错误传播

表 7-6. MII 接收编码

RX_DV	RX_ER	RX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000	正常帧间
0	1	0001 至 1101	保留
0	1	1110	错误载波指示
0	1	1111	保留
1	0	0000 至 1111	正常数据接收
1	1	0000 至 1111	有错误的数据接收

7.4.12.2 简化媒体独立接口

DP83TC812-Q1 集成了 RMII 协会在 RMII Revision 1.2 和 1.0 中定义的简化媒体独立接口 (RMII)。该接口旨在为第 22 条中指定的 IEEE 802.3u MII 提供一种引脚数更少的替代方案。从架构上讲, RMII 规范在 MII 的任一侧提供了一个额外的调节层, 但在没有 MII 的情况下可实现。

DP83TC812-Q1 提供两种类型的 RMII 操作: RMII 从模式和 RMII 主模式。在 RMII 从模式下, DP83TC812-Q1 由 50MHz CMOS 电平振荡器供电, 该振荡器由 MAC 提供或与 MAC 基准时钟同步。在 RMII 主工作模式下, DP83TC812-Q1 通过连接 XI 引脚的 25MHz CMOS 级振荡器, 或连接 XI 与 XO 引脚的 25MHz 晶体工作。当自举至 RMII 主导模式时, 会在 RX_D3 上自动启用 50MHz 输出时钟。将 50MHz 输出时钟路由到 MAC。

RMII 规范具有以下特性:

- MAC 和 PHY 之间共享的单个时钟基准
- 提供独立的 2 位宽发送和接收数据路径

在该模式下, 发送与接收路径均采用 50MHz 内部基准时钟, 每个时钟周期可传输两比特数据。

RMII 信号概述如 表 7-7 所示:

表 7-7. RMII 信号

功能	引脚
数据信号	TX_D[1:0]
	RX_D[1:0]
控制信号	TX_EN
	CRS_DV

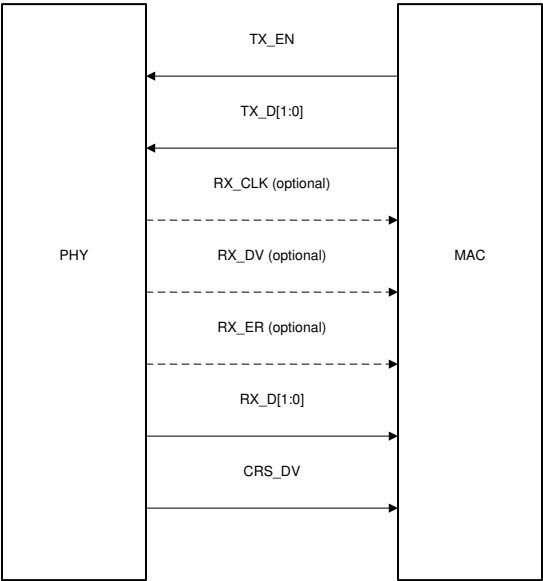


图 7-15. RMII 信号

表 7-8. RMII 发送编码

TX_EN	TX_D[1:0]	说明
0	00 至 11	正常帧间
1	00 至 11	正常数据发送

表 7-9. RMII 接收编码

CRS_DV	RX_ER	RX_D[1:0]	说明
0	0	00 至 11	正常帧间

表 7-9. RMII 接收编码 (续)

CRS_DV	RX_ER	RX_D[1:0]	说明
0	1	00	正常帧间
0	1	01 至 11	保留
1	0	00 至 11	正常数据接收
1	1	00 至 11	有错误的数据接收

RMII 从模式：TX_D[1:0] 上的数据以 XI 引脚上的基准时钟上升沿为基准锁存在 PHY 上。数据以 XI 引脚上的相同上升时钟边沿为基准显示在 RX_D[1:0] 上。

RMII 主模式：TX_D[1:0] 上的数据以 RX_D3 引脚上的时钟边沿为基准锁存在 PHY 上。数据以 RX_D3 引脚上相同上升时钟边沿为基准呈现在 RX_D[1:0] 上。

DP83TC812-Q1 RMII 提供一个 RX_DV 信号，该信号提供了一种更简单的方法来恢复接收数据，而无需将 RX_DV 与 CRS_DV 指示分开。即使 RMII 规范不需要 RX_ER，也支持 RX_ER。

RMII 包括一个可编程 FIFO，可以调整基准时钟和恢复时钟之间的频率差。可编程 FIFO 位于寄存器 0x0011[9:8] 和寄存器 0x0648[9:7] 中，可根据预期的最大数据包大小和时钟精度大幅减少内部传播延迟。

表 7-10. XI 时钟 PPM = ±100ppm

寄存器 0x0011 <9:8>	寄存器 0x0648 <9:7>	使 PHY 延迟递增	无错误的最大数据包长度
01	010	默认值	2250
10	100	80ns	7250

7.4.12.3 简化千兆位媒体独立接口

DP83TC812-Q1 还支持 RGMII 2.0 版指定的简化千兆位媒体独立接口 (RGMII)，并支持 LVCMOS。RGMII 旨在减少连接 MAC 和 PHY 所需的引脚数。为实现这一目标，将对控制信号进行多路复用。时钟的上升沿和下降沿都用于对发送和接收路径中的控制信号引脚进行采样。在时钟的上升沿对数据进行采样。对于 100Mbps 运行，RX_CLK 和 TX_CLK 都以 25MHz 运行。

RGMII 信号概述如表 7-11 所示：

表 7-11. RGMII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
控制信号	TX_CTRL
	RX_CTRL
时钟信号	TX_CLK
	RX_CLK

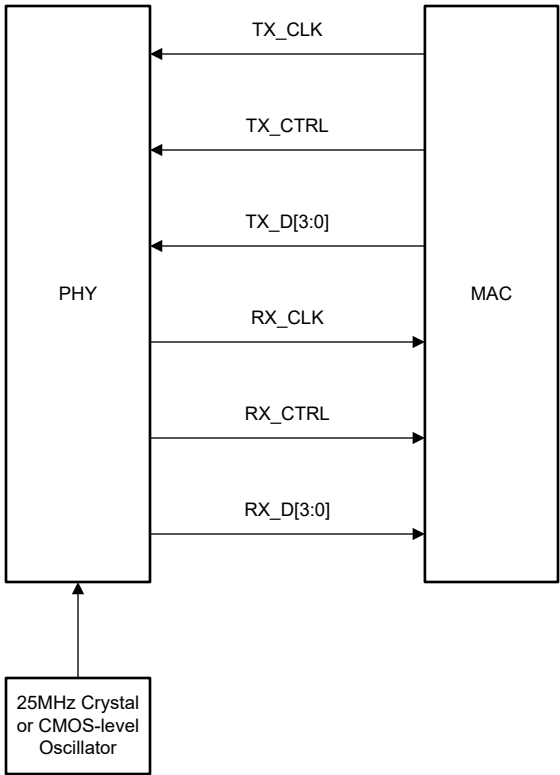


图 7-16. RGMII 连接

表 7-12. RGMII 发送编码

TX_CTRL (正边沿)	TX_CTRL (负边沿)	TX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1111	保留
1	0	0000 至 1111	发送错误传播
1	1	0000 至 1111	正常数据发送

表 7-13. RGMII 接收编码

RX_CTRL (正边沿)	RX_CTRL (负边沿)	RX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1101	保留
0	1	1110	错误载波指示
0	1	1111	保留
1	0	0000 至 1111	有错误的数据接收
1	1	0000 至 1111	正常数据接收

在数据包接收期间，RX_CLK 可以在正脉冲或负脉冲上延伸，以适应从内部自由运行时钟到恢复时钟（数据同步）的切换。由于双倍数据速率 (DDR) 仅在 1Gbps 运行模式下需要，而 DP83TC812-Q1 不支持该模式，因此数据可以在时钟的下降沿重复。

DP83TC812-Q1 支持带内状态指示，有助于简化链路状态检测。RX_D[3:0] 引脚上的帧间信号如表 7-14 所示。

表 7-14. RGMII 带内状态

RX_CTRL	RX_D3	RX_D[2:1]	RX_D0
00 注意： 带内状态仅在 RX_CTRL 为低电平时有效	双工状态： 0 = 半双工 1 = 全双工	RX_CLK 时钟速度： 00 = 2.5 MHz 01 = 25 MHz 10 = 125 MHz 11 = 保留	链路状态： 0 = 未建立链路 1 = 已建立有效链路

7.4.12.4 串行千兆位媒体独立接口

串行千兆位媒体独立接口 (SGMII) 提供了一种在 MAC 与 PHY 之间传输数据的方法，与 MII (14 引脚)、RMII (7 引脚) 或 RGMII (12 引脚) 相比，其信号引脚 (4 引脚) 明显减少。SGMII 使用低电压差分信号 (LVDS)，可减少发射并提高信号质量。

DP83TC812 SGMII 能以 4 线制模式运行。SGMII 可通过硬件自举进行配置。以 4 线制运行时，两个差分对用于发送和接收数据。时钟和数据恢复在 MAC 和 PHY 中执行。

由于 DP83TC812 以 100Mbps 的速率运行，因此 SGMII 的 1.25Gbps 速率过高。SGMII 规范通过在帧内复制每个字节 10 次来实现 100Mbps 运行。帧延长发生在 IEEE 802.3 PCS 层上方，这可防止帧起始定界符出现多次。

由于 DP83TC812 仅支持 100Mbps 速度，因此可通过在寄存器 0x608 中设置位 [0] = 0b0 来禁用 SGMII 自动协商。

表 7-15 中总结了 SGMII 信号。

表 7-15. SGMII 信号

功能	引脚
数据信号	TX_M、TX_P
	RX_M、RX_P

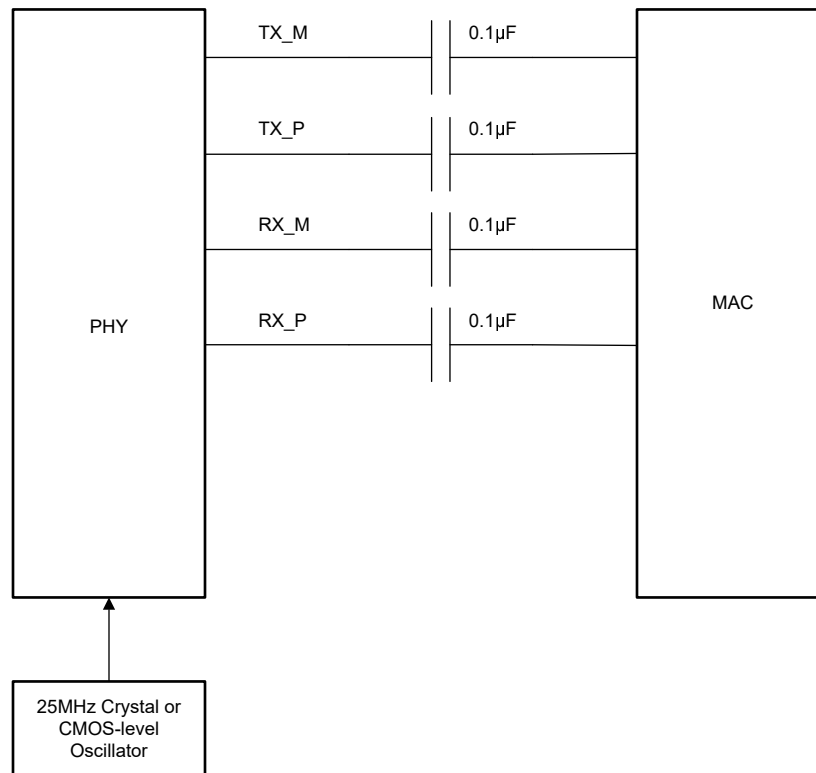


图 7-17. SGMII 连接

7.4.13 串行管理接口

串行管理接口 (SMI) 支持访问 DP83TC812S-Q1 内部寄存器空间，以便获得状态信息与配置。SMI 帧和基址寄存器符合 IEEE 802.3 第 22 条规定。实施的寄存器组包括 IEEE 802.3 标准规定的寄存器以及其他几个寄存器，能够提高 DP83TC812S-Q1 的可见性与可控性。此外，DP83TC812S-Q1 包括添加到 IEEE 802.3bw 定义的第 45 条中的控制和状态寄存器。使用第 22 条访问可访问第 45 条寄存器字段。

SMI 包括管理时钟 (MDC) 和管理输入和输出数据引脚 (MDIO)。外部管理实体 (也称为站 (STA)) 提供 MDC，可在 24MHz 的最大时钟速率下运行。MDC 不应持续运行，在总线空闲时外部管理实体可关闭 MDC。

外部管理实体并由 PHY 提供 MDIO。MDIO 引脚上的数据在 MDC 的上升沿锁存。MDIO 引脚需要一个能够在空闲与转换期间将 MDIO 拉至 VDDIO 的上拉电阻器 (2.2K Ω)。

最多 9 个 DP83TC812S-Q1 PHY 可共用一条公共 SMI 总线。为区分 PHY，采用了 4 位地址。上电复位期间，DP83TC812S-Q1 通过锁存 PHYAD[3:0] 配置引脚来确定地址。

在上电复位后的首个周期内，管理实体不得启动 SMI 事务。为维持有效运行，在硬复位取消置位之后，SMI 总线必须至少在一个 MDC 周期保持未激活状态。在正常 MDIO 事务中，寄存器地址直接取自管理帧 reg_addr 字段，因此允许直接访问 32 个 16 位寄存器 (包括 IEEE 802.3 定义的寄存器和特定于供应商的寄存器)。数据字段用于读取和写入操作。开始代码由 <01> 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读操作期间发生资源争用，在第一个比特周期间，没有器件能够主动驱动 MDIO 信号。对于寻址到的 DP83TC812S-Q1，能够在第二个转换位时，通过 0 驱动 MDIO，随后，可通过所需数据驱动。

对于写操作，站管理实体会将数据写入寻址到的 DP83TC812S-Q1，因此不需要进行 MDIO 转换。转换时间由管理实体通过插入 <10> 来填充。

表 7-16. SMI 协议结构

SMI 协议	<idle> <start> <op code> <device address> <reg address> <turnaround> <data> <idle>
读取操作	<idle><01><10><AAAA><RRRR><Z0><XXXX XXXX XXXX XXXX><idle>
写入操作	<idle><01><01><AAAA><RRRR><10><XXXX XXXX XXXX XXXX><idle>

7.4.13.1 直接寄存器访问

直接寄存器访问可用于前 31 个寄存器 (0x0 至 0x1F)。

7.4.13.2 扩展寄存器空间访问

DP83TC812S-Q1 的 SMI 功能支持利用寄存器 REGCR (0x0D) 与 ADDAR (0x0E) 以及 IEEE 802.3ah 草案第 22 条定义的 MDIO 可管理器件 (MMD) 间接方法，对扩展寄存器组进行读写访问，从而访问第 45 条定义的扩展寄存器组。

备注

地址高于 0x001F 的寄存器需要间接访问。对于间接访问，必须遵循寄存器写入序列。MMD 值定义了寄存器组的器件地址 (DEVAD)。对于间接访问，必须在寄存器 0x000D (REGCR) 位[4:0]中配置 DEVAD

DP83TC812S-Q1 支持 3 个 MMD 器件地址：

1. MMD1F (供应商特定寄存器) : DEVAD [4:0] = '1111'
2. MMD1 (IEEE 802.3az 定义的寄存器) : DEVAD [4:0] = '00001'
3. MMD3 (IEEE 802.3az 定义的寄存器) : DEVAD [4:0] = '00011'

表 7-17. MMD 寄存器空间划分

MMD 寄存器空间	寄存器地址范围
MMD1F	0x0000 - 0x0FFF

表 7-17. MMD 寄存器空间划分 (续)

MMD 寄存器空间	寄存器地址范围
MMD1	0x1000 - 0x1FFF
MMD3	0x3000 - 0x3FFF

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。这些描述使用器件地址进行 MMD1F 寄存器访问 (DEVAD[4:0] = 11111)。

7.4.13.3 写入操作 (无后增量)

如需在扩展寄存器组中写入寄存器：

指令	示例：设置寄存器 0x0170 = 0C50
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR (0x0D)。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR (0x0E)。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F (数据, 无后增量函数字段 = 01, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50

随后写入寄存器 ADDAR (第 4 步)，继续重写由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

7.4.13.4 读取操作 (无后增量)

如需读取扩展寄存器组中的寄存器：

指令	示例：读取 0x0170
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F (数据, 无后增量函数字段 = 01, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E

随后读取寄存器 ADDAR (第 4 步)，继续读取由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

7.4.13.5 写入操作 (有后增量)

在写入操作之后，若要写入扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

指令	示例：设置寄存器 0x0170 = 0C50 和寄存器 0x0171 = 0x0011
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.从寄存器 ADDAR 中写入寄存器地址。	将寄存器 0x0E 写入值 0x0170

指令	示例：设置寄存器 0x0170 = 0C50 和寄存器 0x0171 = 0x0011
3.将值 0x801F (数据, 读取和写入时的后增量函数段 = 10, DEVAD = 31) 或值 0xC01F (数据, 写入时的后增量函数段 = 11, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50
5.随后写入寄存器 ADDAR (第 4 步), 写入由地址寄存器值所选择下一个更高地址的数据寄存器; 每次访问之后, 地址寄存器都会递增。	将寄存器 0x0E 写入值 0x0011

第 4 步写入寄存器 0x0170 至 0x0C50, 由于启用了后增量, 因此第 5 步写入寄存器 0x0171 至 0x0011。

7.4.13.6 读取操作 (有后增量)

在读取操作之后, 若要读取扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值:

指令	示例：读取寄存器 0x0170 和 0x0171
1.将值 0x001F (地址函数段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F (数据, 读取和写入时的后增量函数段 = 10, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E
5.随后读取寄存器 ADDAR (第 4 步), 读取由地址寄存器值所选择下一个更高地址的数据寄存器; 每次访问之后, 地址寄存器都会递增。	读取寄存器 0x0E

第 4 步读取寄存器 0x0170, 由于启用了后增量, 因此第 5 步读取寄存器 0x0171。

7.5 编程

7.5.1 搭接配置

DP83TC812S-Q1 使用功能引脚作为配置 (strap) 选项, 以便将器件置于特定运行模式。在上电和硬件复位时对这些引脚的值进行采样 (通过 RESET 引脚或寄存器访问)。一些自举引脚支持 3 级和 2 级配置, 下面将进一步详细描述。PHY 地址配置 (RX_DV/RX_CTRL 和 RX_ER) 是 3 级配置, 而所有其他配置均为 2 级。可通过配置或串行管理接口来完成器件配置。

备注

由于配置 (strap) 引脚在复位置为无效后为功能引脚, 因此配置 (strap) 引脚不得直接与 VDDIO、VDDMAC 或 GND 相连。为确保正常运行, 需要使用上拉和/或下拉电阻器。

备注

单独使用 VDDMAC 和 VDDIO 时, 将配置 (strap) 电阻器连接到正确的电压轨。表 7-20 列出了每个引脚的电压域。

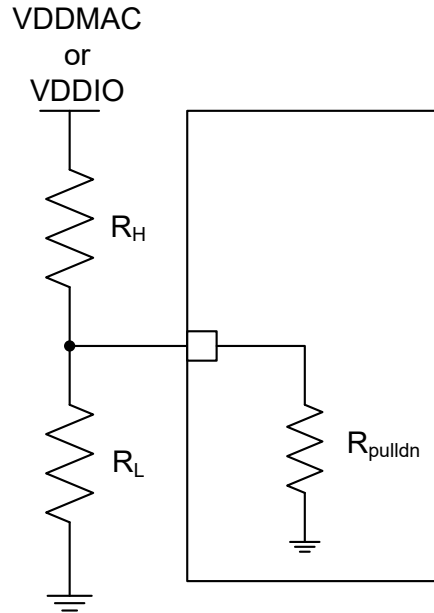


图 7-18. 配置 (Strap) 电路

R_{pullDn} 值包含在数据表的电气特性表中。

表 7-18. 建议用于 PHY 的 3 级配置电阻比

MODE3	理想 RH (k Ω) (VDDIO = 3.3V) ⁽¹⁾	理想 RH (k Ω) (VDDIO = 2.5V) ⁽²⁾	理想 RH (k Ω) (VDDIO = 1.8V) ⁽¹⁾
1	断开	断开	断开
2	13	12	4
3	4.5	2	0.8

(1) 容差为 10% 的配置电阻。

(2) 容差为 1% 的配置电阻。

表 7-19. 建议采用的 2 级配置电阻

模式	理想 RH (k Ω) ⁽¹⁾
1	断开
2	2.49

(1) 可以使用容差高达 10% 的配置电阻。

下表介绍了 PHY 配置自举：

表 7-20. 自举

引脚名称	引脚编号	域	默认模式	自举功能			说明
RX_DV/ RX_CTRL	15	VDDMAC	1	模式	PHY_AD[0]	PHY_AD[2]	PHY_AD : PHY 地址 ID
				1	0	0	
				2	0	1	
				3	1	1	
RX_ER	14	VDDMAC	1	模式	PHY_AD[1]	PHY_AD[3]	PHY_AD : PHY 地址 ID
				1	0	0	
				2	0	1	
				3	1	1	

表 7-20. 自举 (续)

引脚名称	引脚编号	域	默认模式	自举功能			说明
CLKOUT	16	VDDMAC	1	模式	AUTO		AUTO : 自主禁用。 这是针对 LED_1 的相同方案。如果 CLKOUT 引脚配置为 LED_1 引脚, 则自动配置功能也移至 CLKOUT 引脚。
				1	0		
				2	1		
RX_D0	26	VDDMAC	1	模式	MAC[0]		MAC : MAC 接口选择
				1	0		
				2	1		
RX_D1	25	VDDMAC	1	模式	MAC[1]		MAC : MAC 接口选择
				1	0		
				2	1		
RX_D2	24	VDDMAC	1	模式	MAC[2]		MAC : MAC 接口选择
				1	0		
				2	1		
RX_D3	23	VDDMAC	1	模式	CLKOUT_PIN		CLKOUT_PIN : 该配置确定了哪个引脚用于输出时钟。
				1	0		
				2	1		
LED_0	35	VDDIO	1	模式	MS		MS : 100BASE-T1 主器件和 100BASE-T1 从器件选择
				1	0		
				2	1		
LED_1	6	VDDIO	1	模式	AUTO		AUTO : 自主禁用 这是用于控制 AUTO 功能的默认 strap 配置引脚。如果此引脚配置为 CLKOUT, 则 AUTO 功能移至引脚 16。
				1	0		
				2	1		

备注

请参阅 [DP83TC812](#)、[DP83TC813](#) 和 [DP83TC814 : Open Alliance 规范合规性配置应用手册](#), 了解有关用于合规性测试的寄存器设置的更多信息。使用这些寄存器设置, 才能实现合规性测试期间观察到的相同性能。建议使用托管模式 Strap 配置选项, 以防止在执行上述应用手册中的软件配置时启动链路建立过程。软件配置完成后, 可通过将位 0x018B[6] 设置为“1”从托管模式中移除 PHY。该位在链路建立后自动清零

RX_D3 配置引脚具有控制 CLKOUT (引脚 16) 和 LED_1 (引脚 6) 输出状态的特殊功能。下面的 [表 7-21](#) 显示了 RX_D3 配置 (strap) 状态对引脚 16 和引脚 6 的影响。请注意, RX_D3 选项仅更改引脚功能, 而不更改电压域。引脚 16 始终处于 VDDMAC 域中, 引脚 6 始终处于 VDDIO 域中。如果 VDDIO 和 VDDMAC 处于不同的电压电位, 则必须验证 VDDIO 和 VDDMAC 以确保引脚 16 和引脚 6 配置到各自的电压域。

在时钟输出菊花链应用中, 如果 VDDMAC 和 VDDIO 处于不同的电压, 则时钟输出必须路由至引脚 6。DP83TC812 的内部振荡器在 VDDIO 域中运行, 因此时钟输出也必须在 VDDIO 域的引脚 (如引脚 6) 上使用。在 VDDMAC 和 VDDIO 相同的时钟输出菊花链应用中, 忽略此要求。在未使用时钟输出的应用中, 忽略此要求。

表 7-21. 时钟输出引脚选择

CLKOUT_PIN	说明
0	引脚 16 是时钟输出, 引脚 6 是 LED_1 引脚。AUTO 由引脚 6 上的配置控制。
1	引脚 6 是时钟输出, 引脚 16 是 LED_1 引脚。AUTO 由引脚 16 上的配置控制。

表 7-22. 100BASE-T1 主模式和 100BASE-T1 从模式选择配置

MS	说明
0	100BASE-T1 从模式配置
1	100BASE-T1 主模式配置

表 7-23. 自主模式自举

AUTO	说明
0	自主模式，PHY 能够在上电后建立链路
1	托管模式，必须根据寄存器写入，允许 PHY 在上电后建立链路

表 7-24. MAC 接口选择自举

MAC[2]	MAC[1]	MAC[0]	说明
0	0	0	SGMII (4 线制) ⁽¹⁾
0	0	1	MII
0	1	0	RMII 从模式
0	1	1	RMII 引导器
1	0	0	RGMII (对齐模式)
1	0	1	RGMII (TX 内部延迟模式)
1	1	0	RGMII (TX 和 RX 内部延迟模式)
1	1	1	RGMII (RX 内部延迟模式)

(1) SGMII 配置模式仅在“S”型器件型号上可用。对于“R”型器件型号，此配置模式保留

表 7-25. PHY 地址自举

PHY_AD[3:0]	RX_CTRL 配置模式	RX_ER 配置模式	说明 节 7.5.1
0000	1	1	PHY 地址：0b000000 (0x0)
0001	-	-	不适用
0010	-	-	不适用
0011	-	-	不适用
0100	2	1	PHY 地址：0b001000 (0x4)
0101	3	1	PHY 地址：0b001010 (0x5)
0110	-	-	不适用
0111	-	-	不适用
1000	1	2	PHY 地址：0b010000 (0x8)
1001	-	-	不适用
1010	1	3	PHY 地址：0b010100 (0xA)
1011	-	-	不适用
1100	2	2	PHY 地址：0b011000 (0xC)
1101	3	2	PHY 地址：0b011010 (0xD)
1110	2	3	PHY 地址：0b011100 (0xE)
1111	3	3	PHY 地址：0b011110 (0xF)

7.5.2 LED 配置

DP83TC812S-Q1 最多支持三个可配置发光二极管 (LED) 引脚：LED_0、LED_1 和 LED_2 (CLKOUT)。LED 上可多路复用若干功能，用于不同工作模式。使用寄存器 0x0450 选择 LED 操作。默认情况下，DP83TC813 的引脚 14 输出 CLKOUT 信号。要改为在引脚 14 上接收 LED1 信号，请写入以下寄存器：

写入寄存器 0x045F = 0x000F

写入寄存器 0x0452 = 0x0000

写入寄存器 0x0451 = 0x0009

由于 LED 输出引脚也用作搭接引脚，外部元件需要搭接，因此，用户必须考虑 LED 使用情况，避免出现竞用。具体来说，当 LED 输出用于直接驱动 LED 时，每个输出驱动器的活动状态取决于相应输入在上电或硬件复位时所采样的逻辑电平。

图 7-19 展示了两直接将 LED 连接至 DP83TC812S-Q1 的正确方法

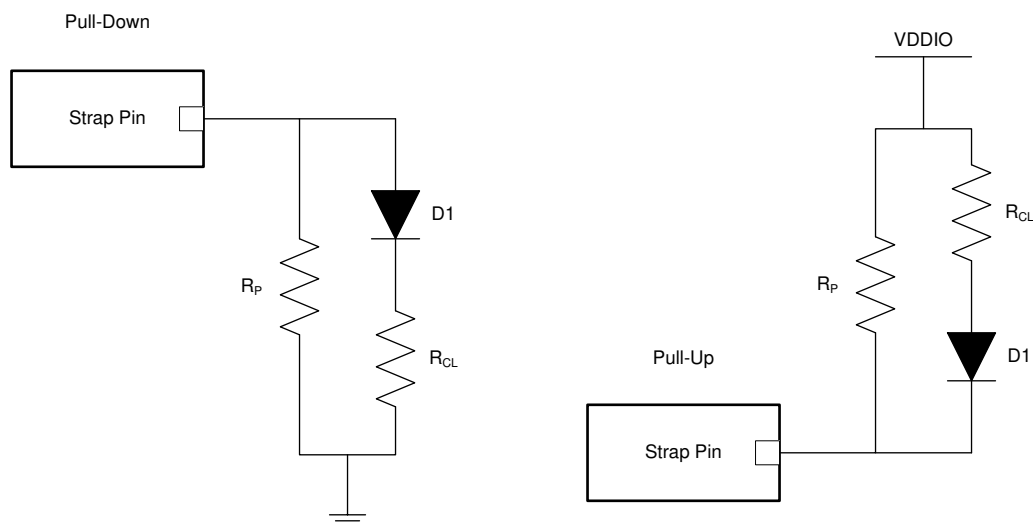


图 7-19. Strap 配置连接示例

7.5.3 PHY 地址配置

DP83TC812S-Q1 可通过自举引脚设置为响应九个可能的 PHY 地址中的任何一个。上电或硬件复位时，PHY 地址锁存在器件中。系统中的串行管理总线上的每个 PHY 都必须具有唯一的 PHY 地址。

默认情况下，DP83TC812S-Q1 锁存至 PHY 地址 0 (<0b00000>)。通过将上拉电阻器添加至节 7.5.3 中的自举引脚，更改此地址。

8 寄存器映射

8.1 寄存器访问汇总

有两种不同方法可用于访问字段内寄存器。直接寄存器访问方法仅适用于前 31 个寄存器 (0x0 至 0x1F)。访问 0x1F 以上的寄存器时, 必须使用 [7.4.13.2](#) 中所述间接方法 (扩展寄存器空间)。

表 8-1. MMD 寄存器空间划分

MMD 寄存器空间	寄存器地址范围
MMD1F	0x0000 - 0x0FFF
MMD1	0x1000 - 0x1FFF
MMD3	0x3000 - 0x3FFF

备注

对于 MMD1 和 MMD3, 寄存器地址的最高有效半字节用于表示相应的 MMD 空间。实际寄存器访问操作过程中必须忽略该半字节。例如, 访问寄存器 0x1836 时, 使用 0x1 作为 MMD 指示器, 0x0836 作为寄存器地址。

表 8-2. 寄存器访问汇总

寄存器字段	寄存器访问方法
0x0 至 0x1F	直接访问
	间接访问, MMD1F = '1111' 示例: 如需读取无后增量 MMD1F 字段中的寄存器 0x17 第 1) 步: 将 0x1F 写入寄存器 0xD 第 2) 步: 将 0x17 写入寄存器 0xE 第 3) 步: 将 0x401F 写入寄存器 0xD 第 4) 步: 读取寄存器 0xE
MMD1F 字段 0x20 - 0xFFFF	间接访问, MMD1F = '1111' 示例: 如需读取无后增量 MMD1F 字段中的寄存器 0x462 第 1) 步: 将 0x1F 写入寄存器 0xD 第 2) 步: 将 0x462 写入寄存器 0xE 第 3) 步: 将 0x401F 写入寄存器 0xD 第 4) 步: 读取寄存器 0xE
MMD1 字段 0x0 - 0xFFFF	间接访问, MMD1 = '0001' 示例: 如需读取无后增量 MMD1 字段中的寄存器 0x7 (寄存器 0x1007) 第 1) 步: 将 0x1 写入寄存器 0xD 第 2) 步: 将 0x7 写入寄存器 0xE 第 3) 步: 将 0x4001 写入寄存器 0xD 第 4) 步: 读取寄存器 0xE

8.2 DP83TC812 寄存器

表 8-3 列出了 DP83TC812 寄存器的存储器映射寄存器。表 8-3 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-3. DP83TC812 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	BMCR		节 8.2.1
1h	BMSR		节 8.2.2
2h	PHYIDR1		节 8.2.3
3h	PHYIDR2		节 8.2.4
10h	PHYSTS		节 8.2.5
11h	PHYSCR		节 8.2.6
12h	MISR1		节 8.2.7
13h	MISR2		节 8.2.8
15h	RECR		节 8.2.9
16h	BISCR		节 8.2.10
18h	MISR3		节 8.2.11
19h	REG_19		节 8.2.12
1Bh	TC10 中止寄存器		节 8.2.13
1Eh	CDCR		节 8.2.14
1Fh	PHYRCR		节 8.2.15
133h	Register_133		节 8.2.16
17Fh	Register_17F		节 8.2.17
180h	Register_180		节 8.2.18
181h	Register_181		节 8.2.19
182h	Register_182		节 8.2.20
183h	LPS_CFG4		节 8.2.21
184h	LPS_CFG		节 8.2.22
185h	LPS_CFG5		节 8.2.23
187h	LPS_CFG7		节 8.2.24
188h	LPS_CFG8		节 8.2.25
189h	LPS_CFG9		节 8.2.26
18Ah	LPS_CFG10		节 8.2.27
18Bh	LPS_CFG2		节 8.2.28
18Ch	LPS_CFG3		节 8.2.29
18Eh	LPS_STATUS		节 8.2.30
300h	TDR_TX_CFG		节 8.2.31
301h	TAP_PROCESS_CFG		节 8.2.32
302h	TDR_CFG1		节 8.2.33
303h	TDR_CFG2		节 8.2.34
304h	TDR_CFG3		节 8.2.35
305h	TDR_CFG4		节 8.2.36
306h	TDR_CFG5		节 8.2.37
310h	TDR_TC1		节 8.2.38

表 8-3. DP83TC812 寄存器 (续)

偏移	首字母缩写词	寄存器名称	部分
430h	A2D_REG_48		节 8.2.39
442h	A2D_REG_66		节 8.2.40
444h	A2D_REG_68		节 8.2.41
450h	LEDS_CFG_1		节 8.2.42
451h	LEDS_CFG_2		节 8.2.43
452h	IO_MUX_CFG_1		节 8.2.44
453h	IO_MUX_CFG_2		节 8.2.45
456h	IO_MUX_CFG		节 8.2.46
45Dh	CHIP_SOR_1		节 8.2.47
45Fh	LED1_CLKOUT_ANA_CTRL		节 8.2.48
489h	TX_INTER_CFG		节 8.2.49
496h	JABBER_CFG		节 8.2.50
497h	TEST_MODE_CTRL		节 8.2.51
553h	PG_REG_4		节 8.2.52
560h	TC1_CFG_RW		节 8.2.53
561h	TC1_LINK_FAIL_LOSS		节 8.2.54
562h	TC1_LINK_TRAINING_TIME		节 8.2.55
563h	NO_LINK_TH		节 8.2.56
600h	RGMII_CTRL		节 8.2.57
601h	RGMII_FIFO_STATUS		节 8.2.58
602h	RGMII_CLK_SHIFT_CTRL		节 8.2.59
608h	SGMII_CTRL_1		节 8.2.60
60Ah	SGMII_STATUS		节 8.2.61
60Ch	SGMII_CTRL_2		节 8.2.62
60Dh	SGMII_FIFO_STATUS		节 8.2.63
618h	PRBS_STATUS_1		节 8.2.64
619h	PRBS_CTRL_1		节 8.2.65
61Ah	PRBS_CTRL_2		节 8.2.66
61Bh	PRBS_CTRL_3		节 8.2.67
61Ch	PRBS_STATUS_2		节 8.2.68
61Dh	PRBS_STATUS_3		节 8.2.69
61Eh	PRBS_STATUS_4		节 8.2.70
620h	PRBS_STATUS_5		节 8.2.71
622h	PRBS_STATUS_6		节 8.2.72
623h	PRBS_STATUS_7		节 8.2.73
624h	PRBS_CTRL_4		节 8.2.74
625h	PATTERN_CTRL_1		节 8.2.75
626h	PATTERN_CTRL_2		节 8.2.76
627h	PATTERN_CTRL_3		节 8.2.77
628h	PMATCH_CTRL_1		节 8.2.78
629h	PMATCH_CTRL_2		节 8.2.79
62Ah	PMATCH_CTRL_3		节 8.2.80

表 8-3. DP83TC812 寄存器 (续)

偏移	首字母缩写词	寄存器名称	部分
639h	TX_PKT_CNT_1		节 8.2.81
63Ah	TX_PKT_CNT_2		节 8.2.82
63Bh	TX_PKT_CNT_3		节 8.2.83
63Ch	RX_PKT_CNT_1		节 8.2.84
63Dh	RX_PKT_CNT_2		节 8.2.85
63Eh	RX_PKT_CNT_3		节 8.2.86
648h	RMII_CTRL_1		节 8.2.87
649h	RMII_STATUS_1		节 8.2.88
871h	dsp_reg_71		节 8.2.89
1000h	MMD1_PMA_CTRL_1		节 8.2.90
1001h	MMD1_PMA_STATUS_1		节 8.2.91
1007h	MMD1_PMA_STAUS_2		节 8.2.92
100Bh	MMD1_PMA_EXT_ABILITY_1		节 8.2.93
1012h	MMD1_PMA_EXT_ABILITY_2		节 8.2.94
1834h	MMD1_PMA_CTRL_2		节 8.2.95
1836h	MMD1_PMA_TEST_MODE_CTRL		节 8.2.96
3000h	MMD3_PCS_CTRL_1		节 8.2.97
3001h	MMD3_PCS_Status_1		节 8.2.98

复杂的位访问类型经过编码可适应小型表单元。表 8-4 展示了适用于此部分中访问类型的代码。

表 8-4. DP83TC812 访问类型代码

访问类型	代码	说明
读取类型		
H	H	由硬件置位或清零
R	R	读取
RC	R C	读取 以清零
RH	R H	读取 由硬件置位或清零
写入类型		
W	W	写入
W0S	W 0S	写入 0 以进行设置
W1S	W 1S	写入 1 以进行设置
WSC	W	写入
复位或默认值		
-n		复位后的值或默认值

8.2.1 BMCR 寄存器 (偏移 = 0h) [复位 = 2100h]

表 8-5 中显示了 BMCR。

返回到[汇总表](#)。

表 8-5. BMCR 寄存器字段说明

位	字段	类型	复位	说明
15	MII 复位	RH/W1S	0h	该位会自动清零 0h = 无复位 1h = 数字输入复位, 所有 MII 寄存器 (0x0 - 0xF) 复位为默认值
14	xMII 回送	R/W	0h	1b = 使能 MII 回送 0b = 禁用 MII 回送 当 xMII 回送模式激活时, xMII TXD 上的传输数据在内部回送到 xMII RXD。使能 xMII 回送时不会生成链路指示。
13	速度选择	R	1h	速度选择: 速度始终为 100Mbps
12	自动协商使能	R	0h	自动协商: 此器件不支持
11	断电	R/W	0h	该位可以被编程为进入和退出 IEEE 断电模式 当使用 INT_N 作为断电引脚时, 该位提供状态 0h = 正常模式 1h = IEEE 断电
10	Isolate	R/W	0h	隔离: 将端口与 xMII 隔离 (串行管理接口除外) 0h = 正常模式 1h = 使能隔离模式
9	RESERVED	R	0h	保留
8	双工模式	R	1h	0h = 半双工 1h = 全双工
7	RESERVED	R	0h	保留
6-0	RESERVED	R	0h	保留

8.2.2 BMSR 寄存器 (偏移 = 1h) [复位 = 0061h]

表 8-6 中显示了 BMSR。

返回到[汇总表](#)。

表 8-6. BMSR 寄存器字段说明

位	字段	类型	复位	说明
15	100Base-T4	R	0h	始终为 0 - PHY 无法执行 100Base-T4
14	100Base-X 全双工	R	0h	0h = PHY 无法执行全双工 100Base-X 1h = PHY 能够执行全双工 100Base-X
13	100Base-X 半双工	R	0h	0h = PHY 无法执行半双工 100Base-X 1h = PHY 能够执行半双工 100Base-X
12	10Mbps 全双工	R	0h	0h = PHY 无法在全双工模式下以 10Mbps 的速度运行 1h = PHY 能够在全双工模式下以 10Mb/s 的速度运行
11	10Mbps 半双工	R	0h	0h = PHY 无法在半双工模式下以 10Mbps 的速度运行 1h = PHY 能够在全双工模式下以 10Mb/s 的速度运行
10-7	RESERVED	R	0h	保留
6	MF 前导码抑制	R	1h	0h = PHY 不接受前导码受抑制的管理帧 1h = PHY 会接受前导码受抑制的管理帧
5	自动协商完成	R	1h	0h = 自动协商过程未完成 (仍在进行、已禁用或复位) 1h = 自动协商过程已完成
4	远程故障	H	0h	0h = 未检测到远程故障情况 1h = 检测到远程故障情况
3	自动协商能力	R	0h	0h = PHY 无法执行自动协商 1h = PHY 能够执行自动协商
2	链路状态 (锁存低电平)	0h	0h = 链路至少断开一次 1h = 链路已建立	0h = 未检测到 Jabber 条件 1h = 检测到 Jabber 条件
1	Jabber 检测	H	0h	
0	扩展功能	R	1h	0h = 仅基本寄存器组功能 1h = 扩展寄存器功能

8.2.3 PHYIDR1 寄存器 (偏移 = 2h) [复位 = 2000h]

PHYIDR1 如表 8-7 所示。

返回到[汇总表](#)。

表 8-7. PHYIDR1 寄存器字段说明

位	字段	类型	复位	说明
15-0	组织唯一标识符 1	R	2000h	器件的唯一标识符

8.2.4 PHYIDR2 寄存器 (偏移 = 3h) [复位 = A271h]

PHYIDR2 如表 8-8 所示。

返回到[汇总表](#)。

表 8-8. PHYIDR2 寄存器字段说明

位	字段	类型	复位	说明
15-10	组织唯一标识符 2	R	28h	器件的唯一标识符
9-4	模型编号	R	27h	器件的唯一标识符
3-0	版本号	R	1h	器件的唯一标识符 0h = 器件版本 1.0 1h = 器件版本 2.0

8.2.5 PHYSTS 寄存器 (偏移 = 10h) [复位 = 0004h]

表 8-9 中显示了 PHYSTS。

返回到[汇总表](#)。

表 8-9. PHYSTS 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	receive_error_latch	H	0h	自上次读取以来的接收器错误计数。读取后清除
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	信号检测	R/W0S	0h	通道正常，锁存为低电平 0h = 通道正常已复位 1h = 通道正常已设置
9	解码器锁状态 (锁存为低电平)	R/W0S	0h	解码器锁，锁存为低电平 0h = 解码器至少解锁一次 1h = 解码器锁定
8	RESERVED	R	0h	保留
7	中断引脚状态	H	0h	中断引脚状态，读取 0x12 时清零 0h = 中断引脚已设置 1h = 未设置中断引脚
6	RESERVED	R	0h	保留
5	jabber_dtct	R	0h	与 reg.0x1.1 重复
4	RESERVED	R	0h	保留
3	MII 回送状态	R	0h	MII 回送状态 0h = 无 MII 回送 1h = MII 回送
2	双工模式状态	R	1h	双工模式状态 0h = 半双工 1h = 全双工
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

8.2.6 PHYSCR 寄存器 (偏移 = 11h) [复位 = 010Bh]

表 8-10 中显示了 PHYSCR。

返回到[汇总表](#)。

表 8-10. PHYSCR 寄存器字段说明

位	字段	类型	复位	说明
15	禁用 CLK125	R/W	0h	1h = 禁用 CLK125 (由 CLK125 端口提供)
14	使能节电模式	R/W	0h	从寄存器使能省电模式配置
13-12	节能模式	R/W	0h	0h = 正常模式 1h = IEEE 模式：将所有数字和模拟块断电、如果位 [11] 设置为零，PLL 也断电 0b10 = 保留 0b11 = 保留
11	SGMII 软复位	R/WSC	0h	SGMII 数字复位 该位自动清零
10	PHY_ADDR 0x00 处的 MAC 隔离	R/W	0h	仅当 PHY 地址为 0x00 时，才使能 MAC 隔离 Reg0x0[10] 适用于所有 PHY 地址，包括 0x00 0h = 正常模式 1h = 隔离模式 (PHY 不向 MAC 输出)
9-8	RMII TX FIFO 深度	R/W	1h	0h = 4 个半字节 1h = 5 个半字节 2h = 6 个半字节
7	RESERVED	R	0h	保留
6-4	RESERVED	R	0h	保留
3	中断极性	R/W	1h	0h = 高电平有效 1h = 低电平有效
2	强制中断	R/W	0h	1h = 强制中断引脚
1	中断启用	R/W	1h	0h = 禁用中断 1h = 启用中断
0	中断引脚配置	R/W	1h	0h = 将 INT_N 引脚配置成断电输入引脚 1h = 将 INT_N 引脚配置成中断输出引脚

8.2.7 MISR1 寄存器 (偏移 = 12h) [复位 = 0000h]

MISR1 如表 8-11 所示。

返回到[汇总表](#)。

表 8-11. MISR1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	能量检测更改状态	H	0h	当 MDI 能量检测输出发生变化时, 状态更改为 1 读取该寄存器时状态被清零
13	链路状态更改状态启用	H	0h	当链路状态发生变化时, 状态更改为 1 读取该寄存器时状态被清零
12	局域网唤醒状态	H	0h	当接收到 WOL 时, 状态更改为 1 读取该寄存器时状态被清零
11	ESD 故障检测状态	H	0h	当检测到 ESD 故障时, 状态更改为 1 读取该寄存器时状态被清零
10	训练完成状态	H	0h	当训练完成时, 状态更改为 1 读取该寄存器时状态被清零
9	虚假载波计数器半满状态	H	0h	当错误的载波计数器达到半满时, 状态变为 1 读取此寄存器时状态被清除
8	RX 错误计数器半满状态	H	0h	当 0x15 处的 RX 错误计数器为半满时, 状态更改为 1 读取该寄存器时状态被清零
7	链路质量更改指示	R/W	0h	使能链路质量状态中断。 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
6	能量检测更改指示	R/W	0h	更改能量检测历史记录时启用中断状态 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
5	链路状态更改指示	R/W	0h	使能链路状态变化时中断 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
4	局域网唤醒指示	R/W	0h	使能发生 WoL 检测时中断 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
3	ESD 故障检测指示	R/W	0h	使能发生 ESD 检测事件时中断 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
2	链路训练已完成指示	R/W	0h	使能发生 M/S 链路训练完成事件时中断 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
1	虚假载波计数器半满指示	R/W	0h	使能载波计数器寄存器半满事件时中断 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
0	RX 错误计数器半满指示	R/W	0h	使能接收错误计数器寄存器半满事件时中断 0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示

8.2.8 MISR2 寄存器 (偏移 = 13h) [复位 = 0000h]

MISR2 如表 8-12 所示。

返回到[汇总表](#)。

表 8-12. MISR2 寄存器字段说明

位	字段	类型	复位	说明
15	欠压状态	H	0h	当检测到欠压时，状态更改为 1 读取该寄存器时状态被清零
14	过压状态	H	0h	当检测到过欠压时，状态更改为 1 读取该寄存器时状态被清零
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	睡眠模式状态	H	0h	当睡眠模式更改时，状态更改为 1 读取该寄存器时状态被清零
9	数据极性更改状态	H	0h	当检测到 MDI 线路极性变化时，状态更改为 1 读取该寄存器时状态被清零
8	Jabber 检测状态	H	0h	当检测到 Jabber 时，状态更改为 1 读取该寄存器时状态被清零
7	欠压指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态，则使能 INT_N 引脚上的指示
6	过压指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态，则使能 INT_N 引脚上的指示
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	数据极性更改指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态，则使能 INT_N 引脚上的指示
0	Jabber 检测指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态，则使能 INT_N 引脚上的指示

8.2.9 RECR 寄存器 (偏移 = 15h) [复位 = 0000h]

表 8-13 中显示了 RECR。

返回到[汇总表](#)。

表 8-13. RECR 寄存器字段说明

位	字段	类型	复位	说明
15-0	RX 错误计数	RC	0h	RX_ER 计数器：当出现一个有效载波（仅当 RX_DV 被置位情况下），并且至少出现一个无效数据符号时，每检测到一个接收错误，该 16 位计数器就会递增一次。RX_ER 计数器在 xMII 回送模式下不计数。处于最大计数 (0xFFFF) 时，该计数器停止计数。当计数器超过半满 (0x7FFF) 时，生成一个中断事件。该计数器会在读取时清零。

8.2.10 BISCR 寄存器 (偏移 = 16h) [复位 = 0100h]

表 8-14 中显示了 BISCR。

返回到[汇总表](#)。

表 8-14. BISCR 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	PRBS 锁定丢失锁存状态	H	0h	
9	RESERVED	R	0h	保留
8	内核功率模式	R	1h	0h = 内核处于断电或睡眠模式 1h = 内核处于正常通电模式
7	RESERVED	R	0h	保留
6	在 xMII 回送中向 MDI 进行数据传输	R/W	0h	xMII 回送期间的发送数据控制 0h = 在 xMII 回送期间抑制数据 1h = 在 xMII 回送期间在 MDI 上传输数据
5-2	回送模式	R/W	0h	使能除 PCS 回送之外的回送。0x16[1] 必须为 0 1h = 数字回送 2h = 模拟回送 4h = 反向回送 8h = 外部回送
1	使能 PCS 回送	R/W	0h	0h = 禁用 PCS 回送 1h = 使能 PCS 回送
0	RESERVED	R	0h	保留

8.2.11 MISR3 寄存器 (偏移 = 18h) [复位 = 00X5h]

MISR3 如表 8-15 所示。

返回到[汇总表](#)。

表 8-15. MISR3 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	无链路状态	H	0h	训练开始后, 如果在 0x563 处编程的时间内未注意到链路, 状态更改为 1 读取该寄存器时状态被清零
13	睡眠失败状态	H	0h	当睡眠协商失败时, 状态更改为 1 读取该寄存器时状态被清除
12	上电复位完成状态	H	0h	电源工作后, 当上电复位完成后, 状态更改为 1 读取该寄存器时状态被清零
11	无帧状态	H	0h	当未检测到帧时, 状态更改为 1 直到 读取该寄存器时状态被清零
10	WUR 已接收状态	H	0h	当从链路伙伴接收到 WUR 命令时, 状态更改为 1 读取该寄存器时状态被清除
9	远程唤醒状态	H	0h	如果器件远程唤醒, 则上电后状态为 1 读取该寄存器时状态被清除
8	LPS 已接收状态	H	0h	当从链路伙伴接收到 LPS 命令时, 状态更改为 1 读取该寄存器时状态被清除
7	RESERVED	R	0h	保留
6	无链路指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
5	睡眠失败指示	R/W	1h	0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
4	上电复位完成指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
3	无帧指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
2	WUR 已接收指示	R/W	1h	0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
1	远程唤醒指示	R/W	0h	0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示
0	LPS 已接收指示	R/W	1h	0h = 指示已禁用 1h = 如果设置了相应的中断状态, 则使能 INT_N 引脚上的指示

8.2.12 REG_19 寄存器 (偏移 = 19h) [复位 = 0800h]

REG_19 如表 8-16 所示。

返回到[汇总表](#)。

表 8-16. REG_19 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	DSP 能量检测	R	0h	检测到 DSP 能量状态
9-5	RESERVED	R	0h	保留
4-0	PHY 地址	R	0h	从配置 (strap) 中锁存的 PHY 地址

8.2.13 TC10 中止寄存器 (偏移 = 1Bh) [复位 = 0000h]

TC10 中止寄存器如表 8-17 所示。

返回到[汇总表](#)。

表 8-17. TC10 中止寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	通过 GPIO 中止睡眠	R/W	0h	使用 GPIO 使能 TC10 中止。被用作 LED 的 CLKOUT/LED_1 引脚之一可用于中止 0h = 使用 GPIO 禁用 TC10 中止 1h = 使用 GPIO 使能 TC10 中止
0	睡眠中止	R/W	0h	由 TC10 标准定义的 loc_sleep_abprt。处于 SLEEP_ACK 状态时中止睡眠协商 0h = 允许 TC10 睡眠协商 1h = 中止 TC10 睡眠协商

8.2.14 CDCR 寄存器 (偏移 = 1Eh) [复位 = 0000h]

表 8-18 中显示了 CDCR。

返回到[汇总表](#)。

表 8-18. CDCR 寄存器字段说明

位	字段	类型	复位	说明
15	TDR 启动	RH/W1S	0h	TDR 运行完成后，位被清零 1h = 起始 TDR
14	TDR 自动运行启用	R/W	0h	0h = 使用 0x1E[15] 手动启动 TDR 1h = 在链路断开时自动启动 TDR
13-2	RESERVED	R	0h	保留
1	TDR 完成状态	R	0h	0h = TDR 正在进行或未启动 1h = TDR 完成
0	TDR 失败状态	R	0h	0h = TDR 成功运行 1h = TDR 运行失败

8.2.15 PHYRCR 寄存器 (偏移 = 1Fh) [复位 = 0000h]

表 8-19 中显示了 PHYRCR。

返回到[汇总表](#)。

表 8-19. PHYRCR 寄存器字段说明

位	字段	类型	复位	说明
15	硬复位	RH/W1S	0h	硬件复位 (复位数字 + 寄存器文件) 该位可自行清零 0h = 正常运行 1h = 复位 PHY 并将寄存器清零。不对带子进行重新采样。
14	软复位	RH/W1S	0h	0h = 正常运行 1h = 重启 PHY。复位 PHY 但不将寄存器清零。不对带子进行重新采样。该位为自清零位。
13	RESERVED	R	0h	保留
12-8	RESERVED	R	0h	保留
7	待机模式	R/W	0h	0h = 正常运行 1h = 使能待机模式
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4-0	RESERVED	R	0h	保留

8.2.16 Register_133 (偏移 = 133h) [复位 = 0000h]

Register_133 如表 8-20 所示。

返回到[汇总表](#)。

表 8-20. Register_133 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	链路建立状态	R	0h	由 C&S 定义的链路建立状态
13	PHY 控制输入发送数据模式	R	0h	PHY 控制输入发送数据状态
12	链路状态	R	0h	由链路监测器设置链路状态
11-8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	解码器锁状态	R	0h	解码器状态 0h = 解码器未锁定 1h = 解码器已锁定
1	本地接收器状态	R	0h	本地接收器状态 0h = 本地 PHY 接收的链路无效 1h = 本地 PHY 接收到有效链路
0	远程接收器状态	R	0h	远程接收器状态 0h = 远程 PHY 接收到无效链路 1h = 远程 PHY 接收的链路有效

8.2.17 Register_17F (偏移 = 17Fh) [复位 = 4028h]

Register_17F 如表 8-21 所示。

返回到[汇总表](#)。

表 8-21. Register_17F 字段说明

位	字段	类型	复位	说明
15	WAKE 引脚发送的 WUR	R/W	0h	当 WAKE 引脚传输脉冲时，使能 WUR 传输 WAKE 脉冲宽度的阈值可通过 0x17F[7:0] 进行配置 1h = 使能发送 WUR
14	WUP 使能	R/W	1h	本地唤醒后启用 WUP 传输 当通过 Strap 使 PHY 在待机模式下上电时，此选项可有效使用 0h = 禁用 WUP 传输 1h = 使能 WUP 攒
13-8	RESERVED	R	0h	保留
7-0	唤醒脉冲阈值	R/W	28h	在活动链路期间启动 WUR 所需的唤醒脉冲的宽度 (以微秒为单位)

8.2.18 Register_180 (偏移 = 180h) [复位 = 0000h]

Register_180 如表 8-22 所示。

返回到[汇总表](#)。

表 8-22. Register_180 字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0h	保留
4-3	睡眠请求计时器配置	R/W	0h	0h = 16ms 1h = 4ms 2h = 32ms 3h = 40ms
2	RESERVED	R	0h	保留
1-0	睡眠确认计时器配置	R/W	0h	0h = 8ms 1h = 6ms 2h = 24ms 3h = 32ms

8.2.19 Register_181 (偏移 = 181h) [复位 = 0000h]

Register_181 如表 8-23 所示。

返回到[汇总表](#)。

表 8-23. Register_181 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-0	RX LPS 计数	R	0h	指示接收到的 LPS 代码数量

8.2.20 Register_182 (偏移 = 182h) [复位 = 0000h]

Register_182 如表 8-24 所示。

返回到[汇总表](#)。

表 8-24. Register_182 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-0	RX WUR 计数	R	0h	指示接收到的 WUR 代码数量

8.2.21 LPS_CFG4 寄存器 (偏移 = 183h) [复位 = 0000h]

LPS_CFG4 如表 8-25 所示。

返回到[汇总表](#)。

表 8-25. LPS_CFG4 寄存器字段说明

位	字段	类型	复位	说明
15	在禁用传输状态下发送 WUP	R/W	0h	当 PHY 控制处于 DISABLE_TRANSMIT 状态时，向该位写入 1 以发送 WUP
14	强制 LPS 睡眠使能	R/W	0h	从 LPS SM 到 PHY 控制 SM 的睡眠强制控制使能
13	强制 LPS 睡眠	R/W	0h	从 LPS SM 到 PHY 控制 SM 强制睡眠的值
12	强制使能 TX LPS	R/W	0h	强制使能 TX_LPS
11	强制 TX LPS	R/W	0h	强制使用 TX_LPS 的值
10	强制 LPS 链路控制使能	R/W	0h	强制链路控制使能到 LPS 状态机
9	强制 LPS 连杆控制	R/W	0h	从 LPS 状态机强制设置链路控制值
8	强制 LPS 状态机使能	R/W	0h	强制使能 LPS 状态机
7	RESERVED	R	0h	保留
6-0	强制 LPS 状态机值	R/W	0h	强制 LPS 状态机的值

8.2.22 LPS_CFG 寄存器 (偏移 = 184h) [复位 = 0223h]

LPS_CFG 如表 8-26 所示。

返回到[汇总表](#)。

表 8-26. LPS_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	cfg_reset_wur_cnt_rx_data	R/W	0h	设置后，在接收数据时复位 WUR 接收到的符号计数器
14-13	RESERVED	R	0h	保留
12	cfg_reset_lps_cnt_rx_data	R/W	0h	设置后，在接收数据时复位 LPS 接收到的符号计数器
11-10	RESERVED	R	0h	保留
9	cfg_reset_wur_cnt_tx_data	R/W	1h	设置后，在发送数据时重置传输的 WUR 符号计数
8-7	RESERVED	R	0h	保留
6	cfg_reset_lps_cnt_tx_data	R/W	0h	设置后，在发送数据时重置传输的 LPS 符号计数
5	cfg_wake_fwd_en_wup_psv_link	R/W	1h	在 PASSIVE_LINK 模式下，如果接收到 WUP，用于使能/禁用 WAKE 引脚上的唤醒转发的控制 0h = 禁用唤醒转发 1h = 使能唤醒转发
4	唤醒转发强制	R/W	0h	1b = WAKE 引脚上的强制脉冲，脉冲宽度可通过位 [3:2] 配置，该位可自行清零
3-2	唤醒转发脉冲宽度	R/W	0h	配置 WAKE 引脚上用于唤醒转发的脉冲宽度：00b 的脉冲宽度：50μs 01b：500μs 10b：2ms 11b：20ms
1	唤醒转发启用	R/W	1h	在接收到 WUR 命令时使能 WAKE 引脚的唤醒转发 0h = 使能唤醒转发 1h = 禁用唤醒转发
0	cfg_wake_fwd_en_wup	R/W	1h	如果设置该位，则在接收到 WUP 符号时使能唤醒转发 0h = 不在 WAKE 引脚上执行唤醒转发 1h = 在 WAKE 引脚上执行 WAKE 转发

8.2.23 LPS_CFG5 寄存器 (偏移 = 185h) [复位 = 0000h]

LPS_CFG5 如表 8-27 所示。

返回到[汇总表](#)。

表 8-27. LPS_CFG5 寄存器字段说明

位	字段	类型	复位	说明
15-13	WUP 计时器	R/W	0h	PHY 控制 SM 保持在 WAKE_TRANSMIT 内的时间 0h = 1ms 1h = 0.7ms 2h = 1.3ms 3h = 0.85ms 4h = 1.5ms 5h = 2ms 6h = 2.5ms 7h = 3ms
12-4	RESERVED	R	0h	保留
3-2	WUR 符号缝隙	R/W	0h	两个 WUR 符号之间允许的最大间隙用于确认 WUR
1-0	LPS 符号缝隙	R/W	0h	两个 LPS 符号之间允许的最大间隙用于确认 LPS

8.2.24 LPS_CFG7 寄存器 (偏移 = 187h) [复位 = 0000h]

LPS_CFG7 如表 8-28 所示。

返回到[汇总表](#)。

表 8-28. LPS_CFG7 寄存器字段说明

位	字段	类型	复位	说明
15	LPS 在极限位置停止	R/W	0h	将器件配置为在发送完 0x1879:0 中配置的代码数量后停止发送 LPS 代码 0h = 即使在达到限值后也继续 1h = 达到限值后停止
14-8	RESERVED	R	0h	保留
9-0	LPS 限制选择	R/W	0h	指示在 tx_lps_done 变为 true 之前要传输的 LPS 符号数量

8.2.25 LPS_CFG8 寄存器 (偏移 = 188h) [复位 = 0080h]

LPS_CFG8 如表 8-29 所示。

返回到[汇总表](#)。

表 8-29. LPS_CFG8 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-0	WUR 符号编号	R/W	80h	指示要传输的 WUR 符号数量

8.2.26 LPS_CFG9 寄存器 (偏移 = 189h) [复位 = 0040h]

LPS_CFG9 如表 8-30 所示。

返回到[汇总表](#)。

表 8-30. LPS_CFG9 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-0	cfg_rx_lps_sel	R/W	40h	指示要接收以设置 lps_rcv 的 LPS 符号的数量

8.2.27 LPS_CFG10 寄存器 (偏移 = 18Ah) [复位 = 0040h]

LPS_CFG10 如表 8-31 所示。

返回到[汇总表](#)。

表 8-31. LPS_CFG10 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-0	cfg_rx_wur_sel	R/W	40h	指示要接收以确认 WUR 并执行唤醒转发的 WUR 符号数量

8.2.28 LPS_CFG2 寄存器 (偏移 = 18Bh) [复位 = 1C4Bh]

LPS_CFG2 如表 8-32 所示。

返回到[汇总表](#)。

表 8-32. LPS_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	cfg_stop_sleep_neg_on_n o_send_n	R/W	1h	如果设置了该位, 当链路断开时, TC10 静态电流会从 SLEEP_ACK 或 SLEEP_REQ 状态恢复为正常状态
11	cfg_stop_sleep_neg_on_a ctivity	R/W	1h	当 PHY 发送或接收数据包时, 设置该位将停止睡眠协商, 当器件处于 SLEEP_ACK 或 SLEEP_REQ 状态 (当睡眠协商正在进行时) 时, TC10 状态机将恢复到正常状态
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	cfg_tc10_dis_bond_pad_b ypass	R/W	0h	TC10 启用 0h = 使能 TC10 功能 1h = 禁用 TC10 功能
7	RESERVED	R	0h	读取时忽略
6	cfg_auto_mode_en	R/W	1h	LPS 自主模式使能 if(RX_D3_strap == 1) reset_val = ~CLKOUT_strap else reset_val = ~LED_1_strap 此位在链路建立后自动清零 0h = AUTO 模式已禁用 1h = AUTO 模式使能
5	cfg_lps_mon_en	R/W	0h	使能正常至待机切换 0h = 禁用过热/欠压时正常至待机切换 1h = 使能过热/欠压时正常至待机切换
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	cfg_lps_sleep_en	R/W	1h	在成功的睡眠协商后, 使能到待机模式而不是睡眠模式的转换 (称为 TC10_SBY) 0h = 在协商 LPS 后进入待机模式 1h = 在协商 LPS 后进入睡眠模式
0	RESERVED	R	0h	保留

8.2.29 LPS_CFG3 寄存器 (偏移 = 18Ch) [复位 = 0000h]

LPS_CFG3 如表 8-33 所示。

返回到[汇总表](#)。

表 8-33. LPS_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8-0	cfg_lps_pwr_mode	RH/W1S	0h	001h = 正常命令 002h = 睡眠请求 010h = 待机命令 080h = WUR 命令

8.2.30 LPS_STATUS 寄存器 (偏移 = 18Eh) [复位 = 0000h]

LPS_STATUS 如表 8-34 所示。

返回到[汇总表](#)。

表 8-34. LPS_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R	0h	保留
6-0	status_lps_st	R	0h	LPS SM 状态 01h = SLEEP 02h = STANDBY 04h = NORMAL 08h = SLEEP_ACK 10h = SLEEP_REQ 20h = SLEEP_FAIL 40h = SLEEP_SILENT 41h = PASSIVE_LINK

8.2.31 TDR_TX_CFG 寄存器 (偏移 = 300h) [复位 = 2710h]

TDR_TX_CFG 如表 8-35 所示。

返回到[汇总表](#)。

表 8-35. TDR_TX_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-0	cfg_tdr_tx_duration	R/W	2710h	TDR 传输持续时间 (默认以 usec 为单位) : 10000usec

8.2.32 TAP_PROCESS_CFG 寄存器 (偏移 = 301h) [复位 = 1703h]

TAP_PROCESS_CFG 如表 8-36 所示。

返回到[汇总表](#)。

表 8-36. TAP_PROCESS_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12-8	cfg_end_tap_index	R/W	17h	TDR 期间峰值检测扫描的结束回波系数索引
7-5	RESERVED	R	0h	保留
4-0	cfg_start_tap_index	R/W	3h	TDR 期间峰值检测扫描的起始回波系数索引

8.2.33 TDR_CFG1 寄存器 (偏移 = 302h) [复位 = 0045h]

TDR_CFG1 如表 8-37 所示。

返回到[汇总表](#)。

表 8-37. TDR_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-4	cfg_forward_shadow	R/W	4h	计算本地最大值时要考虑的相邻回波系数抽头数
3-2	cfg_post_silence_time	R/W	1h	静音后状态计时器 (以 ms 为单位) 0x00 : 0ms 0x01 : 10ms 0x10 : 100ms 0x11 : 1000ms
1-0	cfg_pre_silence_time	R/W	1h	预静音后状态计时器 (以 ms 为单位) 0x00 : 0ms 0x01 : 10ms 0x10 : 100ms 0x11 : 1000ms

8.2.34 TDR_CFG2 寄存器 (偏移 = 303h) [复位 = 0419h]

TDR_CFG2 如表 8-38 所示。

返回到[汇总表](#)。

表 8-38. TDR_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12-8	cfg_tdr_filt_loc_offset	R/W	4h	动态峰值公式的抽头索引偏移, cfg_start_tap_index + 1'b1
7-0	cfg_tdr_filt_init	R/W	19h	动态峰值阈值公式的 x=start_tap_index 时的 peak_th 值

8.2.35 TDR_CFG3 寄存器 (偏移 = 304h) [复位 = 0030h]

TDR_CFG3 如表 8-39 所示。

返回到[汇总表](#)。

表 8-39. TDR_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	cfg_tdr_filt_slope	R/W	30h	动态峰值阈值公式的斜率 (0.4)

8.2.36 TDR_CFG4 寄存器 (偏移 = 305h) [复位 = 0004h]

TDR_CFG4 如表 8-40 所示。

返回到[汇总表](#)。

表 8-40. TDR_CFG4 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8-7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5-4	hpf_gain_tdr	R/W	0h	TDR 期间的 HPF 增益代码
3-0	pga_gain_tdr	R/W	4h	TDR 期间的 PGA 增益代码

8.2.37 TDR_CFG5 寄存器 (偏移 = 306h) [复位 = 000Ah]

TDR_CFG5 如表 8-41 所示。

返回到[汇总表](#)。

表 8-41. TDR_CFG5 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3-0	cfg_cable_delay_num	R/W	Ah	配置每米电缆的传播延迟 (以纳秒为单位) 。这用于故障位置估计 有效值 : 4 'd0 至 4 'd11 - [4.5:0.1:5.6]ns 默认值 : 4 'd10 (5.5ns)

8.2.38 TDR_TC1 寄存器 (偏移 = 310h) [复位 = 0000h]

TDR_TC1 如表 8-42 所示。

返回到[汇总表](#)。

表 8-42. TDR_TC1 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	peak_detect	R	0h	如果在电缆中检测到故障，则设置 0h = 未在电缆中检测到故障 1h = 在电缆中检测到故障
6	peak_sign	R	0h	不连续的性质。仅在设置了 peak_detect 时有效 0h = 短接至 GND、电源或 MDI 引脚之间 1h = 开路。适用于单线和双线开路故障
5-0	peak_loc_in_meters	R	0h	以米为单位的故障位置 (仅当设置了 peak_detect 时有效)

8.2.39 A2D_REG_48 寄存器 (偏移 = 430h) [复位 = 0770h]

A2D_REG_48 如表 8-43 所示。

返回到[汇总表](#)。

表 8-43. A2D_REG_48 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11-8	dll_tx_delay_ctrl_rgmii_sl	R/W	7h	在 RGMII 模式下控制 TX DLL，步幅为 312.5ps，影响 CLK_90 输出。 延迟 = ((以十进制计 Bit[11:8]) + 1)*312.5 ps
7-4	dll_rx_delay_ctrl_rgmii_sl	R/W	7h	以 312.5ps 的步长在 RGMII 模式下控制 RX DLL，影响 CLK_90 输出。 延迟 = ((以十进制计 Bit[7:4]) + 1)*312.5 ps
3-0	RESERVED	R	0h	保留

8.2.40 A2D_REG_66 寄存器 (偏移 = 442h) [复位 = 0000h]

A2D_REG_66 如表 8-44 所示。

返回到[汇总表](#)。

表 8-44. A2D_REG_66 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14-9	ESD 事件计数	R	0h	字段表示铜通道上的 ESD 事件数
8	RESERVED	R	0h	保留
7-5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3-0	RESERVED	R	0h	保留

8.2.41 A2D_REG_68 寄存器 (偏移 = 444h) [复位 = 0000h]

A2D_REG_68 如表 8-45 所示。

返回到[汇总表](#)。

表 8-45. A2D_REG_68 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R	0h	保留
3	goto_sleep_force_val	R/W	0h	睡眠模式强制值：
2	goto_sleep_force_control	R/W	0h	睡眠模式强制控制：
1	wake_fwd_force_val	R/W	0h	WAKE 输出强制值：
0	wake_fwd_force_control	R/W	0h	WAKE 输出值强制控制： 1h = 强制控制使能。输出值由 0x0444[1] 设置

8.2.42 LEDS_CFG_1 寄存器 (偏移 = 450h) [复位 = 2610h]

LEDS_CFG_1 如表 8-46 所示。

返回到[汇总表](#)。

表 8-46. LEDS_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	禁用 LED 延展	R/W	0h	0h = LED 脉冲根据“LED 闪烁速率”字段内的闪烁速率延展 1h = LED 脉冲直接连接至 RX_DV (用于 RX 活动) 和 TX_CTRL (用于 TX 活动)
13-12	LED 闪烁速率	R/W	2h	0h = 20Hz (50ms) 1h = 10Hz (100ms) 2h = 5Hz (200ms) 3h = 2Hz (500ms)
11-8	LED_2 选项	R/W	6h	0h = 链路正常 1h = 链路正常 + 进行 TX/RX 活动时闪烁 2h = 链路正常 + 进行 TX 活动时闪烁 3h = 链路正常 + 进行 RX 活动时闪烁 4h = 链路正常 + 100Base-T1 引导器 5h = 链路正常 + 100Base-T1 从器件 6h = 具有延展选项的 TX/RX 活动 7h = 保留 8h = 保留 9h = 链路丢失 (在读取寄存器 0x1 以前, 保持点亮状态) Ah = PRBS 错误 (出错时切换) Bh = 具有延展选项的 XMII TX/RX 错误
7-4	LED_1 选项	R/W	1h	0h = 链路正常 1h = 链路正常 + 进行 TX/RX 活动时闪烁 2h = 链路正常 + 进行 TX 活动时闪烁 3h = 链路正常 + 进行 RX 活动时闪烁 4h = 链路正常 + 100Base-T1 引导器 5h = 链路正常 + 100Base-T1 从器件 6h = 具有延展选项的 TX/RX 活动 7h = 保留 8h = 保留 9h = 链路丢失 (在读取寄存器 0x1 以前, 保持点亮状态) Ah = PRBS 错误 (出错时切换) Bh = 具有延展选项的 XMII TX/RX 错误
3-0	LED_0 选项	R/W	0h	0h = 链路正常 1h = 链路正常 + 进行 TX/RX 活动时闪烁 2h = 链路正常 + 进行 TX 活动时闪烁 3h = 链路正常 + 进行 RX 活动时闪烁 4h = 链路正常 + 100Base-T1 引导器 5h = 链路正常 + 100Base-T1 从器件 6h = 具有延展选项的 TX/RX 活动 7h = 保留 8h = 保留 9h = 链路丢失 (在读取寄存器 0x1 以前, 保持点亮状态) Ah = PRBS 错误 (出错时切换) Bh = 具有延展选项的 XMII TX/RX 错误

8.2.43 LEDS_CFG_2 寄存器 (偏移 = 451h) [复位 = 0049h]

LEDS_CFG_2 如表 8-47 所示。

返回到[汇总表](#)。

表 8-47. LEDS_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15	clk_o_gpio_ctrl_3	R/W	0h	CLKOUT gpio 控制的 MSB。该位提供用于配置 CLKOUT 的额外选项 如果设置为 1，则该位会更改 0x453 的 ofclk_o_gpio_ctrl 位的影响 寄存器 0x453[2:0] 将控制 CLKOUT，如下所示 0h = pwr_seq_done 1h = 来自模拟的 loc_wake_req 2h = loc_wake_req 至 PHY 控制 3h = tx_lps_done 4h = tx_lps_done_64 5h = tx_lps 6h = pcs rx sm - 接收 7h = pcs tx sm - tx_enable
14	led_1_gpio_ctrl_3	R/W	0h	MSB of LED_1 gpio 控制。该位提供用于配置 LED_0 的额外选项 如果设置为 1，则该位会改变 0x452 的 led_1_gpio_ctrl 位的效果 寄存器 0x452[10:8] 将控制 LED_1，如下所示 0h = pwr_seq_done 1h = 来自模拟的 loc_wake_req 2h = loc_wake_req 至 PHY 控制 3h = tx_lps_done 4h = tx_lps_done_64 5h = tx_lps 6h = pcs rx sm - 接收 7h = pcs tx sm - tx_enable
13	led_0_gpio_ctrl_3	R/W	0h	MSB of LED_0 gpio 控制。该位提供用于配置 LED_0 的额外选项 如果设置为 1，则该位会改变 0x452 的 led_0_gpio_ctrl 位的效果 寄存器 0x452[2:0] 将控制 LED_0，如下所示 0h = pwr_seq_done 1h = 来自模拟的 loc_wake_req 2h = loc_wake_req 至 PHY 控制 3h = tx_lps_done 4h = tx_lps_done_64 5h = tx_lps 6h = pcs rx sm - 接收 7h = pcs tx sm - tx_enable
12-9	RESERVED	R	0h	保留
8	led_2_drv_en	R/W	0h	0h = LED_2 处于正常运行模式 1h = 驱动 LED_2 的值 (被驱动的值位 7)
7	led_2_drv_val	R/W	0h	如果设置了位 8，则这是 LED_2 的值 注意：只有在 CLK_OUT 配置为 LED_2 时，才没有 LED_2
6	led_2_polarity	R/W	1h	LED_2 极性。注意：只有在 CLK_OUT 配置为 LED_2 时，才没有 LED_2 0h = 低电平有效 1h = 高电平有效
5	led_1_drv_en	R/W	0h	注意：只有在 CLK_OUT 配置为 LED_2 时，才没有 LED_2 0h = LED_1 处于正常运行模式 1h = 驱动 LED_1 的值 (被驱动的值位 4)
4	led_1_drv_val	R/W	0h	如果设置了位 5，则这是 LED_1 的值
3	led_1_polarity	R/W	1h	LED_1 极性：if(RX_D3_strap == 1) reset_val = ~CLKOUT_strap else reset_val = ~LED_1_strap 0h = 低电平有效 1h = 高电平有效
2	led_0_drv_en	R/W	0h	0 - LED_0 处于正常运行模式 1 - 驱动 LED_0 的值 (被驱动的值位 1)

表 8-47. LEDS_CFG_2 寄存器字段说明 (续)

位	字段	类型	复位	说明
1	led_0_drv_val	R/W	0h	如果设置了位 2, 则这是 LED_1 的值
0	led_0_polarity	R/W	1h	LED_0 极性: reset_val = ~LED_0_strap 0h = 低电平有效 1h = 高电平有效

8.2.44 IO_MUX_CFG_1 寄存器 (偏移 = 452h) [复位 = 0000h]

IO_MUX_CFG_1 如表 8-48 所示。

返回到[汇总表](#)。

表 8-48. IO_MUX_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15	led_1_clk_div_2_en	R/W	0h	如果 led_1_gpio 配置为 led_1_clk_source, 选择 led_1_clk_source 的时钟 2 分频
14-12	led_1_clk_source	R/W	0h	如果 clk_out 多路复用为 LED_1 IO, 则该字段控制 clk_out 源: 000b - XI 时钟 001b - 200M pll 时钟 010b - 67MHz ADC 时钟 (恢复) 011b - 自由 200MHz 时钟 100b - 25M MII 时钟衍生 200M LD 时钟 101b - 25MHz 时钟至 PLL (XI 或 XI/2) 或 POR 时钟 110b - 内核 100MHz 时钟 111b - 67MHz DSP 时钟 (已恢复, 1/3 占空比)
11	led_1_clk_inv_en	R/W	0h	如果 led_1_gpio 配置为 led_1_clk_source, 选择 led_1_clk_source 的时钟反相
10-8	led_1_gpio_ctrl	R/W	0h	控制 LED_1 IO 的输出: 000b - LED_1 (默认: LINK + ACT) 001b - LED_1 时钟多路复用器输出 010b - WoL 011b - 欠压指示 100b - 1588 TX 101b - 1588 RX 110b - ESD 111b - 中断 if(RX_D3_strap == 1) reset_val = 3'b001 else reset_val = 3'b000
7	led_0_clk_div_2_en	R/W	0h	如果 led_0_gpio 配置为 led_0_clk_source, 选择 led_0_clk_source 的时钟 2 分频
6-4	led_0_clk_source	R/W	0h	如果 clk_out 多路复用为 LED_0 IO, 则该字段控制 clk_out 源: 0h = XI 时钟 1h = 200M pll 时钟 2h = 67MHz ADC 时钟 (恢复) 3h = 自由 200MHz 时钟 4h = 来自 200M LD 时钟的 25M MII 时钟 5h = 25MHz 时钟到 PLL (XI 或 XI/2) 或 POR 时钟 6h = 内核 100MHz 时钟 7h = 67MHz DSP 时钟 (恢复, 1/3 占空比)
3	led_0_clk_inv_en	R/W	0h	如果 led_0_gpio 配置为 led_0_clk_source, 选择 led_0_clk_source 的时钟反相
2-0	led_0_gpio_ctrl	R/W	0h	控制 LED_0 IO 的输出: 0h = LED_0 (默认: LINK) 001b = LED_0 时钟多路复用器输出 010b = WoL 011b = 欠压指示 100b = 1588 TX 101b = 1588 RX 110b = ESD 111b = 中断

8.2.45 IO_MUX_CFG_2 寄存器 (偏移 = 453h) [复位 = 0001h]

IO_MUX_CFG_2 如表 8-49 所示。

返回到[汇总表](#)。

表 8-49. IO_MUX_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15	cfg_tx_er_on_led1	R/W	0h	将 LED_1 引脚配置为 tx_er 引脚, 并将 LED_1 引脚配置为输入
14-9	RESERVED	R	0h	保留
8	clk_o_clk_div_2_en	R/W	0h	如果 clk_out 配置为输出 clk_o_clk_source, 选择 clk_o_clk_source 的时钟 2 分频
7-4	clk_o_clk_source	R/W	0h	如果 clk_out 多路复用为 CLK_O IO, 则该字段控制 clk_out 源 : 0000b - XI 时钟 0001b - 200M pll 时钟 0010b - 67MHz ADC 时钟 (已恢复) 0011b - 自由 200MHz 时钟 0100b - 25M MII 时钟衍生自 200M LD 时钟 0101b - 25MHz 时钟至 PLL (XI 或 XI/2) 或 POR 时钟 0110b - 内核 100MHz 时钟 0111b - 67MHz DSP 时钟 (已恢复, 1/3 占空比) 1000b - CLK25_50 (RMII 为 50MHz, 其他为 25MHz) 1001b - 50M RMII RX clk 1010b - SGMII ser1z clk 1011b - SGMII deser1z clk 1100b - 30ns 走时 1101b - 40ns 走时 1110b - DLL TX CLK 1111b - DLL RX CLK
3	clk_o_clk_inv_en	R/W	0h	如果 clk_out 配置为输出 clk_o_clk_source, 选择 clk_o_clk_source 的时钟反相
2-0	clk_o_gpio_ctrl	R/W	1h	控制 CLK_O IO 的输出 : 000b - LED_1 001b - CLKOUT 时钟多路复用器输出 010b - WoL 011b - 欠压指示 100b - 1588 TX 101b - 1588 RX 110b - ESD 111b - 中断 如果搭接配置了 pin6(LED_1)则自动完成配置至 3'h0 如菊花链 CLKOUT if(RX_D3_strap ==1) reset_val = 3'b000 else reset_val = 3'b001

8.2.46 IO_MUX_CFG 寄存器 (偏移 = 456h) [复位 = 0000h]

表 8-50 中显示了 IO_MUX_CFG。

返回到[汇总表](#)。

表 8-50. IO_MUX_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-14	rx_pins_pupd_value	R/W	0h	当 RX 引脚 PUPD 强制控制使能时，PUPD 由该寄存器控制 0h = 无拉取 1h = 上拉 2h = 下拉 3h = 保留
13	rx_pins_pupd_force_control	R/W	0h	在 RX MAC 引脚上使能 PUPD 强制控制 0h = 无强制控制 1h = 使能强制控制
12-11	tx_pins_pupd_value	R/W	0h	当 TX 引脚 PUPD 强制控制使能时，PUPD 由该寄存器控制 0h = 无拉取 1h = 上拉 2h = 下拉 3h = 保留
10	tx_pins_pupd_force_control	R/W	0h	在 TX MAC 引脚上使能 PUPD 强制控制 0h = 无强制控制 1h = 使能强制控制
9-5	mac_rx_impedance_ctrl	R/W	0h	RX MAC 接口 PAD 阻抗控制
4-0	mac_tx_impedance_ctrl	R/W	0h	TX MAC 接口 PAD 阻抗控制

8.2.47 CHIP_SOR_1 寄存器 (偏移 = 45Dh) [复位 = 0000h]

CHIP_SOR_1 如表 8-51 所示。

返回到[汇总表](#)。

表 8-51. CHIP_SOR_1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14	RESERVED	R	0h	保留
13	LED1_POR	R	0h	上电时进行的 LED_1 配置 (strap) 采样
12	RX_D3_POR	R	0h	上电时进行的 RX_D3 配置 (strap) 采样
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	LED0_STRAP	R	0h	上电或复位时进行的 LED_0 配置 (strap) 采样
8	RXD3_STRAP	R	0h	复位时进行的 RX_D3 配置 (strap) 采样
7	RXD2_STRAP	R	0h	上电或复位时进行的 RX_D2 配置 (strap) 采样
6	RXD1_STRAP	R	0h	上电或复位时进行的 RX_D1 配置 (strap) 采样
5	RXD0_STRAP	R	0h	上电或复位时进行的 RX_D0 配置 (strap) 采样
4	RXCLK_STRAP	R	0h	上电或复位时进行的 RX_CLK 配置 (strap) 采样
3-2	RXER_STRAP	R	0h	上电或复位时进行的 RX_ER 配置 (strap) 采样
1-0	RXDV_STRAP	R	0h	上电或复位时进行的 RX_DV 配置 (strap) 采样

8.2.48 LED1_CLKOUT_ANA_CTRL 寄存器 (偏移 = 45Fh) [复位 = 000Ch]

LED1_CLKOUT_ANA_CTRL 如表 8-52 所示。

返回到[汇总表](#)。

表 8-52. LED1_CLKOUT_ANA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13-5	RESERVED	R	0h	保留
4	clkout_ana_sel_1p0v_sl	R/W	0h	用于选择模拟测试时钟之间的测试线路
3-2	led_1_ana_mux_ctrl	R/W	3h	选择要在 LED_1 引脚上发送的信号 如果 Pin6(LED_1) 被捆绑为菊花链 CLKOUT, 则自动选择数字输出 if(RX_D3_strap == 1) reset_val = 2'b00 else reset_val = 2'b11 0h = 菊花链时钟 1h = 测试模式的 TX_TCLK 2h = ANA 测试时钟 3h = 来自数字的 clkout_out_1p0v_sl
1-0	clkout_ana_mux_ctrl	R/W	0h	选择要在 CLKOUT 引脚上发送的信号 如果 Pin6(LED_1) 被捆绑为菊花链 CLKOUT, 则自动选择数字输出 if(RX_D3_strap == 1) reset_val = 2'b11 else reset_val = 2'b00 0h = 菊花链时钟 1h = 测试模式的 TX_TCLK 2h = ANA 测试时钟 3h = 来自数字的 clkout_out_1p0v_sl

8.2.49 TX_INTER_CFG 寄存器 (偏移 = 489h) [复位 = 0001h]

TX_INTER_CFG 如表 8-53 所示。

返回到[汇总表](#)。

表 8-53. TX_INTER_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	保留
2	cfg_force_tx_interleave	R/W	0h	在 Tx 上强制执行交错
1	cfg_tx_interleave_en	R/W	0h	如果在 Rx 上检测到交错，则在 tx 上使能交错 0h = 禁用 Tx 上的交错 1h = 如果在 Rx 上检测到交错，则使能 Tx 上的交错
0	cfg_interleave_det_en	R/W	1h	使能交错检测 0h = 禁用交错检测 1h = 使能交错检测

8.2.50 JABBER_CFG 寄存器 (偏移 = 496h) [复位 = 044Ch]

JABBER_CFG 如表 8-54 所示。

返回到[汇总表](#)。

表 8-54. JABBER_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10-0	cfg_rcv_jab_timer_val	R/W	44Ch	Jabber 超时计数，以 usec 为单位

8.2.51 TEST_MODE_CTRL 寄存器 (偏移 = 497h) [复位 = 01C0h]

表 8-55 中显示了 TEST_MODE_CTRL。

返回到[汇总表](#)。

表 8-55. TEST_MODE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	保留
9-4	cfg_test_mode1_symbol_cnt	R/W	1Ch	在 test_mode_1 中发送的 +1/ - 1 符号的数量 $N = 2 + 2^*$ CFG_TEST_MODE1_SYMBOL_CNT
3-0	RESERVED	R	0h	保留

8.2.52 PG_REG_4 寄存器 (偏移 = 553h) [复位 = 0000h]

PG_REG_4 如表 8-56 所示。

返回到[汇总表](#)。

表 8-56. PG_REG_4 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	force_pol_en	R/W	0h	使能极性强制 0h = MDI 自动极性 1h = MDI 强制极性
12	force_pol_val	R/W	0h	极性强制值。仅当位 [13] 为 1 时有效。 0h = 强制正常极性 1h = 强制反转极性
11-0	RESERVED	R	0h	保留

8.2.53 TC1_CFG_RW 寄存器 (偏移 = 560h) [复位 = 07E4h]

TC1_CFG_RW 如表 8-57 所示。

返回到[汇总表](#)。

表 8-57. TC1_CFG_RW 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12-11	cfg_link_status_metric	R/W	0h	选择 C&S 定义的后续链路建立信号 0h = link_up_c_and_s 1h = link_monitor_status 2h = (phy_control = SEND_DATA) 3h = TC1 规范中的 comm_ready
10-5	cfg_link_failure_multihot	R/W	3Fh	在给定情况下，每个位都支持记录链路故障： bit[5] - SQI 大于寄存器 cfg_bad_sqi_thrs 中配置的阈值 bit[6] - RCV_JABBER_DET5 - BAD_SSD bit[7] - LINK_FAILED bit[8] - RX_ERROR bit[9] - BAD_END bit[10] - RESERVED
4-3	cfg_comm_timer_thrs	R/W	0h	为 TC1 通信就绪选择迟滞计时器值 0h = 2ms 1h = 500us 2h = 1ms 3h = 4ms
2-0	cfg_bad_sqi_thrs	R/W	4h	用来递增 TC1 定义的链路故障计数的 SQI 阈值。每当 SQI 比阈值更差时，TC1 定义的链路故障计数 (寄存器 0x0561 位 [9:0]) 就会递增

8.2.54 TC1_LINK_FAIL_LOSS 寄存器 (偏移 = 561h) [复位 = 0000h]

TC1_LINK_FAIL_LOSS 如表 8-58 所示。

返回到[汇总表](#)。

表 8-58. TC1_LINK_FAIL_LOSS 寄存器字段说明

位	字段	类型	复位	说明
15-10	link_losses	R	0h	自上次下电上电以来发生的链路中断数 (根据 TC1 规范)
9-0	link_failures	R	0h	自上次下电上电之后未导致链路中断的链路故障数 (根据 TC1 规范)

8.2.55 TC1_LINK_TRAINING_TIME 寄存器 (偏移 = 562h) [复位 = 0000h]

TC1_LINK_TRAINING_TIME 如表 8-59 所示。

返回到[汇总表](#)。

表 8-59. TC1_LINK_TRAINING_TIME 寄存器字段说明

位	字段	类型	复位	说明
15	comm_ready	R	0h	TC1 通信就绪信号 (针对更高层进行了优化的链路状态指示, 以指示是否可以通过链路进行通信) 0h = 无法通信 1h = 可以进行通信
14-8	RESERVED	R	0h	保留
7-0	lq_ltt	R	0h	最后一次链路训练的链路训练时间 (依据 TC1 规范)

8.2.56 NO_LINK_TH 寄存器 (偏移 = 563h) [复位 = 0096h]

NO_LINK_TH 如表 8-60 所示。

返回到[汇总表](#)。

表 8-60. NO_LINK_TH 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	cfg_no_link_timer_th	R/W	96h	如果在此时间量 (以毫秒为单位) 内未获得链路, 则会中断 (如果使能)

8.2.57 RGMII_CTRL 寄存器 (偏移 = 600h) [复位 = 0030h]

RGMII_CTRL 如表 8-61 所示。

返回到[汇总表](#)。

表 8-61. RGMII_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R	0h	保留
6-4	rgmii_tx_half_full_th	R/W	3h	如果是半字节, 则表示 RGMII TX 同步 FIFO 半满阈值
3	cfg_rgmii_en	R/W	0h	RGMII 使能位 默认来自搭接配置 if(RX_D2_strap == 1) reset_val = 1 else reset_val = 0 0h = 禁用 RGMII 1h = 启用 RGMII
2	inv_rgmii_txd	R/W	0h	反转 RGMII Tx 线序 - 完全交换 [3:0] -- [0:3]
1	inv_rgmii_rxd	R/W	0h	反转 RGMII Rx 线序-完全交换 [3:0] -- [0:3]
0	sup_tx_err_fd_rgmii	R/W	0h	该位可以禁用 TX_ERR 指示输入

8.2.58 RGMII_FIFO_STATUS 寄存器 (偏移 = 601h) [复位 = 0000h]

RGMII_FIFO_STATUS 如表 8-62 所示。

返回到[汇总表](#)。

表 8-62. RGMII_FIFO_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	rgmii_tx_af_full_err	R	0h	RGMII Tx 先进先出填满错误
0	rgmii_tx_af_empty_err	R	0h	RGMII Tx 先进先出为空错误

8.2.59 RGMII_CLK_SHIFT_CTRL 寄存器 (偏移 = 602h) [复位 = 0000h]

RGMII_CLK_SHIFT_CTRL 如表 8-63 所示。

返回到[汇总表](#)。

表 8-63. RGMII_CLK_SHIFT_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	cfg_rgmii_rx_clk_shift_sel	R/W	0h	0 : 时钟和数据对齐 1 : PIN 上的时钟相对于 RGMII_RX 数据延迟了 90 度 if({RX_D2_strap, RX_D1_strap} == 2'b11) reset_val = 1 else reset_val = 0 0h = 时钟和数据对齐 1h = PIN 上的时钟相对于 RGMII_RX 数据延迟 90 度
0	cfg_rgmii_tx_clk_shift_sel	R/W	0h	当 RGMII_TX_CLK & RGMII_TXD 对齐时使用此模式 if({RX_D2_strap, RX_D1_strap, RX_D0_strap} == 3'b101) reset_val = 1 else if({RX_D2_strap, RX_D1_strap, RX_D0_strap} == 3'b110) reset_val = 1 else reset_val = 0

8.2.60 SGMII_CTRL_1 寄存器 (偏移 = 608h) [复位 = 007Bh]

SGMII_CTRL_1 如表 8-64 所示。

返回到[汇总表](#)。

表 8-64. SGMII_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	sgmii_tx_err_dis	R/W	0h	SGMII TX 禁用位错误
14	cfg_align_idx_force_en	R/W	0h	强制字边界索引选择
13-10	cfg_align_idx_value	R/W	0h	当设置了 cfg_align_idx_force，此值设置 iword 边界索引
9	cfg_sgmii_en	R/W	0h	SGMII 使能位 默认来自搭接配置 if({RX_D2_strap, RX_D1_strap, RX_D0_strap} == 3'b000) reset_val = 1 else reset_val = 0 0h = SGMII MAC i/f 已禁用 1h = SGMII MAC i/f 已使能
8	cfg_sgmii_rx_pol_invert	R/W	0h	SGMII RX 总线极性反转
7	cfg_sgmii_tx_pol_invert	R/W	0h	SGMII TX 总线极性反转
6-5	serdes_tx_bits_order	R/W	3h	SERDES TX 位顺序 (输入到数字内核)
4	serdes_rx_bits_order	R/W	1h	SERDES RX 位顺序 (数字内核的输出) 0 - MSB 在前 (默认值) 1 - LSB 在前 (相反顺序)
3	cfg_sgmii_align_pkt_en	R/W	1h	用于将读取 TX 数据包的开始位置 (朝向串行器) 同 tx_even 脉冲对齐。与 Code_Group/OSET FSM 代码时隙同步。默认值为 “1”，当使用 “0” 时，我们返回 Gemini 代码
2-1	sgmii_autoneg_timer	R/W	1h	选择 SGMII 自动协商计时器的持续时间 0h = 1.6ms 1h = 2us 2h = 800us 3h = 11ms
0	sgmii_autoneg_en	R/W	1h	sgmii 自动协商使能 0h = SGMII 自动协商禁用 1h = SGMII 自动协商启用

8.2.61 SGMII_STATUS 寄存器 (偏移 = 60Ah) [复位 = 0000h]

SGMII_STATUS 如表 8-65 所示。

返回到[汇总表](#)。

表 8-65. SGMII_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	sgmii_page_received	R	0h	读取位时被清零。指示接收到新的自动协商页面
11	SGMII 链路状态	R	0h	0h = SGMII 链路断开 1h = SGMII 链路建立
10	sgmii_autoneg_complete	R	0h	SGMII 自动协商完成指示 0h = SGMII 自动协商未完成 1h = SGMII 自动协商已完成
9	cfg_align_en	R	0h	字边界 FSM - 对齐指示
8	cfg_sync_status	R	0h	字边界 FSM - 同步状态指示
7-4	cfg_align_idx	R	0h	字边界索引选择
3-0	RESERVED	R	0h	保留

8.2.62 SGMII_CTRL_2 寄存器 (偏移 = 60Ch) [复位 = 0024h]

SGMII_CTRL_2 如表 8-66 所示。

返回到[汇总表](#)。

表 8-66. SGMII_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	保留
8	sgmii_cdr_lock_force_val	R/W	0h	SGMII cdr 锁定强制值
7	sgmii_cdr_lock_force_ctrl	R/W	0h	SGMII cdr 锁定强制使能
6	sgmii_mr_restart_an	RH/W1S	0h	重新启动 SGMII 自动协商
5-3	tx_half_full_th	R/W	4h	SGMII TX 同步 FIFO 半满阈值
2-0	rx_half_full_th	R/W	4h	SGMII RX 同步 FIFO 半满阈值

8.2.63 SGMII_FIFO_STATUS 寄存器 (偏移 = 60Dh) [复位 = 0000h]

SGMII_FIFO_STATUS 如表 8-67 所示。

返回到[汇总表](#)。

表 8-67. SGMII_FIFO_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R	0h	保留
3	sgmii_rx_af_full_err	H	0h	SGMII RX 先进先出填满错误 0h = 无错误指示 1h = 已指示 SGMII RX 先进先出填满错误
2	sgmii_rx_af_empty_err	H	0h	SGMII RX 先进先出为空错误 0h = 无错误指示 1h = 已指示 SGMII RX 先进先出为空错误
1	sgmii_tx_af_full_err	H	0h	SGMII TX 先进先出填满错误 0h = 无错误指示 1h = 已指示 SGMII TX 先进先出填满错误
0	sgmii_tx_af_empty_err	H	0h	SGMII TX fifo 为空错误 0h = 无错误指示 1h = 已指示 SGMII TX 先进先出为空错误

8.2.64 PRBS_STATUS_1 寄存器 (偏移 = 618h) [复位 = 0000h]

PRBS_STATUS_1 如表 8-68 所示。

返回到[汇总表](#)。

表 8-68. PRBS_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	prbs_err_ov_cnt	R	0h	保存 PRBS 校验器接收的错误计数器溢出数。当写入寄存器 0x001B 位 [0] 或位 [1] 后，此寄存器中的值被锁定。计数器在 0xFF 停止。注意：当 PRBS 计数器在单一模式下工作时，溢出计数器无效

8.2.65 PRBS_CTRL_1 寄存器 (偏移 = 619h) [复位 = 0574h]

PRBS_CTRL_1 如表 8-69 所示。

返回到[汇总表](#)。

表 8-69. PRBS_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	cfg_pkt_gen_64	R/W	0h	0h = 在数据包生成模式下发送 1518 字节数据包 1h = 在数据包生成模式下发送 64 字节数据包
12	send_pkt	RH/W1S	0h	使能带有固定/增量数据的 MAC 生成数据包, 具有 CRC (必须设置 pkt_gen_en, 并且必须清零 cfg_pkt_gen_prbs), 并在设置 pkt_done 时自动清零
11	RESERVED	R	0h	保留
10-8	cfg_prbs_chk_sel	R/W	5h	000: 校验器从 RGMII TX 接收 001: 校验器从 SGMII TX 接收 010: 校验器从 RMII RX 接收 011: 校验器从 MII 接收 101: 校验器从 Cu RX 接收 110: 保留 111: 保留
7	RESERVED	R	0h	保留
6-4	cfg_prbs_gen_sel	R/W	7h	000: PRBS 发送到 RGMII RX 001: PRBS 发送到 SGMII RX 010: PRBS 发送到 RMII RX 011: PRBS 发送到 MII RX 101: PRBS 发送到 Cu TX 110: 保留 111: 保留
3	cfg_prbs_cnt_mode	R/W	0h	0h = 单一模式, 当其中一个 PRBS 计数器达到最大值时, PRBS 校验器停止计数。 1h = 连续模式, 当其中一个 PRBS 计数器达到最大值时, 产生脉冲且计数器再次从零开始计数
2	cfg_prbs_chk_enable	R/W	1h	启用 PRBS 校验器
1	cfg_pkt_gen_prbs	R/W	0h	如果设置: (1) 设置 pkt_gen_en 后, 将连续生成 PRBS 数据包 (3) 清零 pkt_gen_en 后, PRBS RX 校验器仍处于使能状态 如果清零: (1) 设置 pkt_gen_en 后, 将生成非 PRBS 数据包 (3) 清零 pkt_gen_en 后, PRBS RX 校验器也将禁用
0	pkt_gen_en	R/W	0h	使能/禁用 prbs/数据包生成器 0h = 禁用 prbs/数据包生成器 1h = 使能 prbs/数据包生成器

8.2.66 PRBS_CTRL_2 寄存器 (偏移 = 61Ah) [复位 = 05DCh]

PRBS_CTRL_2 如表 8-70 所示。

返回到[汇总表](#)。

表 8-70. PRBS_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	数据包长度	R/W	5DCh	设置生成的 PRBS 数据包或非 PRBS 数据包之间的数据包长度 (以字节为单位)

8.2.67 PRBS_CTRL_3 寄存器 (偏移 = 61Bh) [复位 = 007Dh]

PRBS_CTRL_3 如表 8-71 所示。

返回到[汇总表](#)。

表 8-71. PRBS_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-0	PRBS IPG	R/W	7Dh	设置生成的 PRBS 数据包或非 PRBS 数据包之间的 IPG (单位为字节)

8.2.68 PRBS_STATUS_2 寄存器 (偏移 = 61Ch) [复位 = 0000h]

PRBS_STATUS_2 如表 8-72 所示。

返回到[汇总表](#)。

表 8-72. PRBS_STATUS_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	PRBS 校验器字节计数	R	0h	保存 PRBS 校验器接收的总字节数。 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFF 处停止 如果对 0x620[1]=1 进行编程之后读取计数器，则该计数器清零

8.2.69 PRBS_STATUS_3 寄存器 (偏移 = 61Dh) [复位 = 0000h]

PRBS_STATUS_3 如表 8-73 所示。

返回到[汇总表](#)。

表 8-73. PRBS_STATUS_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	PRBS 校验器数据包计数-1	R	0h	保存 PRBS 校验器接收的数据包总数的位 [15:0] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定。 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x61D 和 0x61E，则该计数器清零

8.2.70 PRBS_STATUS_4 寄存器 (偏移 = 61Eh) [复位 = 0000h]

PRBS_STATUS_4 如表 8-74 所示。

返回到[汇总表](#)。

表 8-74. PRBS_STATUS_4 寄存器字段说明

位	字段	类型	复位	说明
15-0	PRBS 校验器数据包计数-2	R	0h	保存 PRBS 校验器接收的数据包总数的位 [31:16] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x61D 和 0x61E，则该计数器清零

8.2.71 PRBS_STATUS_5 寄存器 (偏移 = 620h) [复位 = 0000h]

PRBS_STATUS_5 如表 8-75 所示。

返回到[汇总表](#)。

表 8-75. PRBS_STATUS_5 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	保留
12	MAC 数据包生成完成	R	0h	在传输所有带有 CRC 的 MAC 数据包时设置 0h = 正在发送 MAC 数据包 1h = MAC 数据包传输完成
11	MAC 数据包生成器繁忙	R	0h	0h = 数据包发生器未在工作 1h = 数据包发生器正在工作
10	PRBS 校验器数据包计数溢出状态	R	0h	如果 PRBS 校验器数据包计数溢出, 则该状态位设置为 1 在使用 0x620[1] 清零 PRBS 字节计数器后, 该溢出状态被清零
9	PRBS 校验器字节计数溢出状态	R	0h	如果 PRBS 校验器字节计数溢出, 则该状态位设置为 1 在使用 0x620[1] 清零 PRBS 字节计数器后, 该溢出状态被清零
8	PRBS 锁定	R	0h	1h = PRBS 校验器已锁定并与接收到的数据流同步
7-0	PRBS 错误计数	R	0h	向位 0 写入 1 会锁定所有 PRBS 计数器 向 bit1 写入 1 会在读取这些特定寄存器时锁定所有 PRBS 计数器并使计数器清零 在写入后位 [1:0] 自行清零 在写入 bit0/bit1 后读取位 [7:0] 会给出 PRBS 校验器接收到的错误位数 当 PRBS 计数模式设置为零时, 计数在 0xFF 停止

8.2.72 PRBS_STATUS_6 寄存器 (偏移 = 622h) [复位 = 0000h]

PRBS_STATUS_6 如表 8-76 所示。

返回到[汇总表](#)。

表 8-76. PRBS_STATUS_6 寄存器字段说明

位	字段	类型	复位	说明
15-0	PRBS 数据包错误计数-1	R	0h	保存 PRBS 校验器接收的包含错误的数据包总数的位 [15:0] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x622 和 0x623，则该计数器清零

8.2.73 PRBS_STATUS_7 寄存器 (偏移 = 623h) [复位 = 0000h]

PRBS_STATUS_7 如表 8-77 所示。

返回到[汇总表](#)。

表 8-77. PRBS_STATUS_7 寄存器字段说明

位	字段	类型	复位	说明
15-0	PRBS 数据包错误计数-2	R	0h	保存 PRBS 校验器接收的包含错误的数据包总数的位 [31:16] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x622 和 0x623，则该计数器清零

8.2.74 PRBS_CTRL_4 寄存器 (偏移 = 624h) [复位 = 5511h]

PRBS_CTRL_4 如表 8-78 所示。

返回到[汇总表](#)。

表 8-78. PRBS_CTRL_4 寄存器字段说明

位	字段	类型	复位	说明
15-8	MAC 数据包数据	R/W	55h	当 MAC 数据包模式设置为固定模式时要发送的固定数据
7-6	MAC 数据包模式	R/W	0h	0h = 增量 1h = 固定 2h = PRBS 3h = PRBS
5-3	MAC 数据包中的模式长度	R/W	2h	数据包中有效模式的字节数 (最大为 6)
2-0	MAC 数据包模式的数据包计数	R/W	1h	0h = 1 个数据包 1h = 10 个数据包 2h = 100 个数据包 3h = 1000 个数据包 4h = 10000 个数据包 5h = 100000 个数据包 6h = 1000000 个数据包 7h = 连续数据包

8.2.75 PATTERN_CTRL_1 寄存器 (偏移 = 625h) [复位 = 0000h]

PATTERN_CTRL_1 如表 8-79 所示。

返回到[汇总表](#)。

表 8-79. PATTERN_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	MAC 数据包中的模式 [15:0]	R/W	0h	MAC 数据包中可编程模式的字节 0、1

8.2.76 PATTERN_CTRL_2 寄存器 (偏移 = 626h) [复位 = 0000h]

PATTERN_CTRL_2 如表 8-80 所示。

返回到[汇总表](#)。

表 8-80. PATTERN_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	MAC 数据包中的模式 [31:16]	R/W	0h	MAC 数据包中可编程模式的字节 2、3

8.2.77 PATTERN_CTRL_3 寄存器 (偏移 = 627h) [复位 = 0000h]

PATTERN_CTRL_3 如表 8-81 所示。

返回到[汇总表](#)。

表 8-81. PATTERN_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	MAC 数据包中的模式 [47:32]	R/W	0h	MAC 数据包中可编程模式的字节 4、5

8.2.78 PMATCH_CTRL_1 寄存器 (偏移 = 628h) [复位 = 0000h]

PMATCH_CTRL_1 如表 8-82 所示。

返回到[汇总表](#)。

表 8-82. PMATCH_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	MAC 数据包中的目标地址 [15:0]	R/W	0h	生成的 MAC 数据包中的目标地址字段

8.2.79 PMATCH_CTRL_2 寄存器 (偏移 = 629h) [复位 = 0000h]

PMATCH_CTRL_2 如表 8-83 所示。

返回到[汇总表](#)。

表 8-83. PMATCH_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	MAC 数据包中的目标地址 [31:16]	R/W	0h	生成的 MAC 数据包中的目标地址字段

8.2.80 PMATCH_CTRL_3 寄存器 (偏移 = 62Ah) [复位 = 0000h]

PMATCH_CTRL_3 如表 8-84 所示。

返回到[汇总表](#)。

表 8-84. PMATCH_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	MAC 数据包中的目标地址 [47:32]	R/W	0h	生成的 MAC 数据包中的目标地址字段

8.2.81 TX_PKT_CNT_1 寄存器 (偏移 = 639h) [复位 = 0000h]

TX_PKT_CNT_1 如表 8-85 所示。

返回到[汇总表](#)。

表 8-85. TX_PKT_CNT_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	TX 数据包计数 [15:0]	RC	0h	来自 MAC 的 TX 数据包计数器的低 16 位 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清零

8.2.82 TX_PKT_CNT_2 寄存器 (偏移 = 63Ah) [复位 = 0000h]

TX_PKT_CNT_2 如表 8-86 所示。

返回到[汇总表](#)。

表 8-86. TX_PKT_CNT_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	TX 数据包计数 [31:16]	RC	0h	来自 MAC 的 TX 数据包计数器的高 16 位 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清零

8.2.83 TX_PKT_CNT_3 寄存器 (偏移 = 63Bh) [复位 = 0000h]

TX_PKT_CNT_3 如表 8-87 所示。

返回到[汇总表](#)。

表 8-87. TX_PKT_CNT_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	TX 错误数据包计数	RC	0h	来自 MAC 的有 CRC 错误的 TX 数据包计数器 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清零

8.2.84 RX_PKT_CNT_1 寄存器 (偏移 = 63Ch) [复位 = 0000h]

RX_PKT_CNT_1 如表 8-88 所示。

返回到[汇总表](#)。

表 8-88. RX_PKT_CNT_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	RX 数据包计数 [15:0]	RC	0h	自 MDI 接收的 RX 数据包计数器的低 16 位 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清零

8.2.85 RX_PKT_CNT_2 寄存器 (偏移 = 63Dh) [复位 = 0000h]

RX_PKT_CNT_2 如表 8-89 所示。

返回到[汇总表](#)。

表 8-89. RX_PKT_CNT_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	RX 数据包计数 [31:16]	RC	0h	自 MDI 接收的 RX 数据包的高 16 位 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清零

8.2.86 RX_PKT_CNT_3 寄存器 (偏移 = 63Eh) [复位 = 0000h]

RX_PKT_CNT_3 如表 8-90 所示。

返回到[汇总表](#)。

表 8-90. RX_PKT_CNT_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	RX 错误数据包计数	RC	0h	有错误 (CRC 错误) 的 Rx 数据包计数器 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清零

8.2.87 RMII_CTRL_1 寄存器 (偏移 = 648h) [复位 = 0120h]

RMII_CTRL_1 如表 8-91 所示。

返回到[汇总表](#)。

表 8-91. RMII_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	保留
10	RMII TXD 延迟禁用	R/W	0h	如果设置该位, 则在 RMII 模式下禁用 TXD 的延迟
9-7	RMII 半满阈值	R/W	2h	RMII Rx FIFO 的 FIFO 半满阈值 (以半字节为单位)
6	RMII 使能	R/W	0h	1h = RMII 启用
5	cfg_rmii_bypass_afifo_en	R/W	1h	0h = RMII 异步先进先出未旁路 1h = RMII 异步先进先出旁路使能
4	RMII 从模式启用	R/W	0h	不建议配置该位。可用作状态位 1h = 使能 RMII 从器件模式
3	RESERVED	R	0h	保留
2	RESERVED	R	0h	保留
1	RMII Rev1.0 使能	R/W	0h	1h = 启用 RMII rev1.0
0	RMII 增强模式启用	R/W	0h	1h = 启用 RMII 增强模式

8.2.88 RMII_STATUS_1 寄存器 (偏移 = 649h) [复位 = 0000h]

RMII_STATUS_1 如表 8-92 所示。

返回到[汇总表](#)。

表 8-92. RMII_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15-2	RESERVED	R	0h	保留
1	RMII FIFO 为空错误	R	0h	在读取位时清零 RMII FIFO 下溢错误状态
0	RMII FIFO 填满错误	R	0h	在读取位时清零 RMII FIFO 溢出错误状态

8.2.89 dsp_reg_71 寄存器 (偏移 = 871h) [复位 = 0000h]

dsp_reg_71 如表 8-93 所示。

返回到[汇总表](#)。

表 8-93. dsp_reg_71 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	保留
7-5	最差 SQI	0h	自上次读取后的最差 SQI 值	
4	RESERVED	R	0h	保留
3-1	SQI 值	R	0h	SQI 值
0	RESERVED	R	0h	保留

8.2.90 MMD1_PMA_CTRL_1 寄存器 (偏移 = 1000h) [复位 = 0000h]

MMD1_PMA_CTRL_1 如表 8-94 所示。

返回到[汇总表](#)。

表 8-94. MMD1_PMA_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	PMA 复位	R/W	0h	1h = PMA 复位
14-1	RESERVED	R	0h	保留
0	PMA 环回	R/W	0h	1h =设置 PMA 回送

8.2.91 MMD1_PMA_STATUS_1 寄存器 (偏移 = 1001h) [复位 = 0000h]

MMD1_PMA_STATUS_1 如表 8-95 所示。

返回到[汇总表](#)。

表 8-95. MMD1_PMA_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	保留
2	链路状态	R	0h	链路监控状态机的链路状态 1h = 链路已建立
1-0	RESERVED	R	0h	保留

8.2.92 MMD1_PMA_STAUS_2 寄存器 (偏移 = 1007h) [复位 = 003Dh]

MMD1_PMA_STAUS_2 如表 8-96 所示。

返回到[汇总表](#)。

表 8-96. MMD1_PMA_STAUS_2 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	保留
5-0	PMA PMD 类型选择	R	3Dh	PMA 或 PMD 类型选择字段 111101b = 100BASE-T1 PMA 或 PMD

8.2.93 MMD1_PMA_EXT_ABILITY_1 寄存器 (偏移 = 100Bh) [复位 = 0800h]

MMD1_PMA_EXT_ABILITY_1 如表 8-97 所示。

返回到[汇总表](#)。

表 8-97. MMD1_PMA_EXT_ABILITY_1 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11	扩展功能	R	1h	0h = PMA/PMD 不具有低扩展功能 1h = PMA/PMD 具有 BASE-T1 扩展功能
10-0	RESERVED	R	0h	保留

8.2.94 MMD1_PMA_EXT_ABILITY_2 寄存器 (偏移 = 1012h) [复位 = 0001h]

MMD1_PMA_EXT_ABILITY_2 如表 8-98 所示。

返回到[汇总表](#)。

表 8-98. MMD1_PMA_EXT_ABILITY_2 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R	0h	保留
0	100BASE-T1 能力	R	1h	0h = PMA/PMD 不支持 100BASE-T1 1h = PMA/PMD 支持 100BASE-T1

8.2.95 MMD1_PMA_CTRL_2 寄存器 (偏移 = 1834h) [复位 = 8000h]

MMD1_PMA_CTRL_2 如表 8-99 所示。

返回到[汇总表](#)。

表 8-99. MMD1_PMA_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	主模式从模式配置	R/W	0h	0h = 将 PHY 配置为从器件 1h = 将 PHY 配置为主器件
13-4	RESERVED	R	0h	保留
3-0	类型选择	R	0h	类型选择字段 0h = 100BASE-T1

8.2.96 MMD1_PMA_TEST_MODE_CTRL 寄存器 (偏移 = 1836h) [复位 = 0000h]

MMD1_PMA_TEST_MODE_CTRL 如表 8-100 所示。

返回到[汇总表](#)。

表 8-100. MMD1_PMA_TEST_MODE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-13	合规性测试模式	R/W	0h	100BASE-T1 测试模式控制 000b = 正常模式运行 001b = 测试模式 1 010b = 测试模式 2 011b = 保留 100b = 测试模式 4 101b = 测试模式 5 110b = 保留 111b = 保留
12-0	RESERVED	R	0h	保留

8.2.97 MMD3_PCS_CTRL_1 寄存器 (偏移 = 3000h) [复位 = 0000h]

MMD3_PCS_CTRL_1 如表 8-101 所示。

返回到[汇总表](#)。

表 8-101. MMD3_PCS_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	PCS 复位	R/W	0h	将位复位，自清零。 当写入此位 1 时： 1.在 MMD3/MMD7 处复位寄存器 (非供应商特定)。 2.复位 brk_top 请注意：该寄存器为 WSC (写自清零)，不是只读寄存器
14	PCS_loopback	R/W	0h	该位由 PCS_Reset 清零
13-11	RESERVED	R	0h	保留
10	RX 时钟可停止	R/W	0h	RW，复位值 = 1。 1 = PHY 可以在 LPI 期间停止接收时钟 0 = 时钟不可停止 注意：这种触发器在胶合逻辑下实现
9-0	RESERVED	R	0h	保留

8.2.98 MMD3_PCS_Status_1 寄存器 (偏移 = 3001h) [复位 = 0000h]

MMD3_PCS_Status_1 如表 8-102 所示。

返回到[汇总表](#)。

表 8-102. MMD3_PCS_Status_1 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	保留
11	TX LPI 已收到	R	0h	0h = 未收到 LPI 1h = Tx PCS 已收到 LPI
10	RX LPI 已收到	R	0h	0h = 未收到 LPI 1h = Rx PCS 已收到 LPI
9	TX LPI 指示	R	0h	0h = PCS 当前未收到 LPI 1h = TX PCS 当前正在接收 LPI
8	RX LPI 指示	R	0h	0h = PCS 当前未收到 LPI 1h = RX PCS 当前正在接收 LPI
7	RESERVED	R	0h	保留
6	TX 时钟可停止	R	0h	0h = 时钟不可停止 1h = MAC 可以在 LPI 期间停止时钟
5-0	RESERVED	R	0h	保留

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DP83TC812 是一款单端口 100Mbps 汽车以太网 PHY。它符合 IEEE 802.3bw 标准，支持通过 MII、RMII、RGMII 或 SGMII 连接至以太网 MAC。在以太网应用中使用该器件时，必须满足某些要求，才能实现正常运行。以下各小节旨在帮助选择合适的元件并完成所需连接。

备注

有关用于合规性测试的寄存器设置的更多信息，请参阅 SNLA389 应用手册。必须使用这些寄存器设置，才能实现合规性测试期间观察到的相同性能。

9.2 典型应用

图 9-2 至图 9-6 展示了 DP83TC812x-Q1 的一些典型应用。

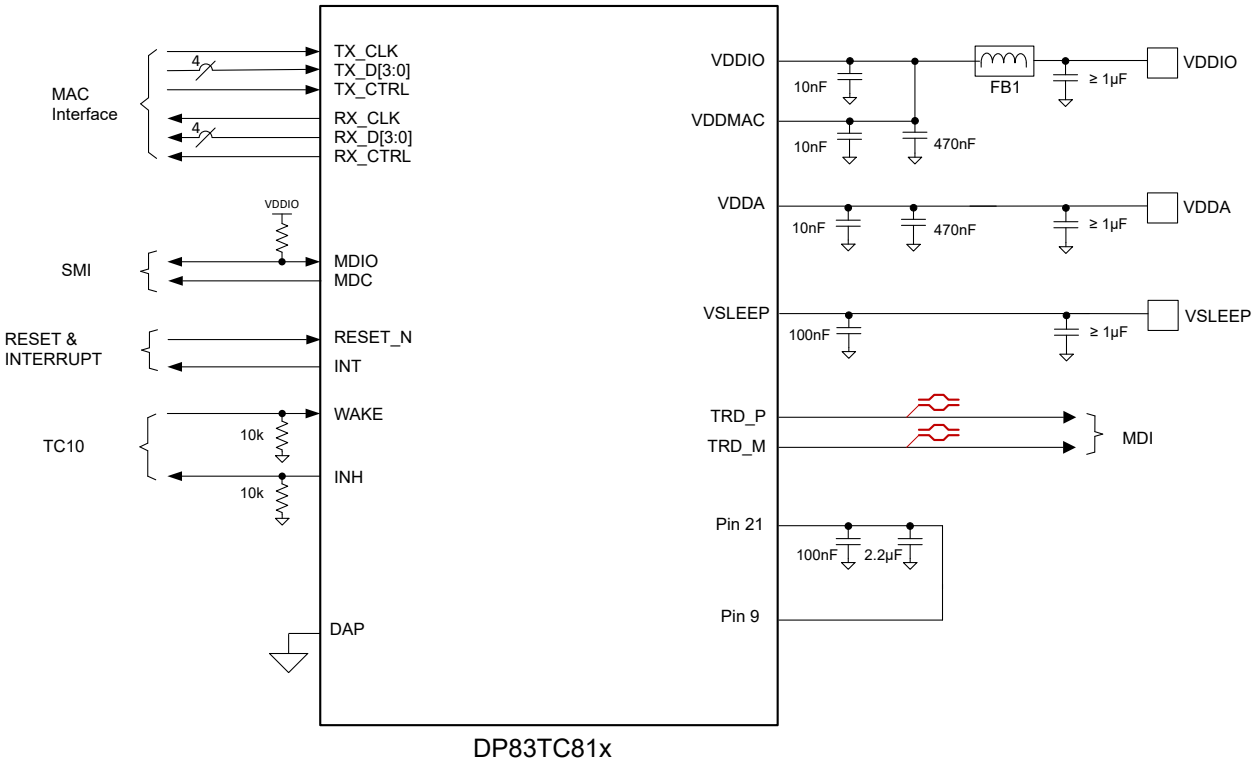


图 9-1. 典型应用 (通用)

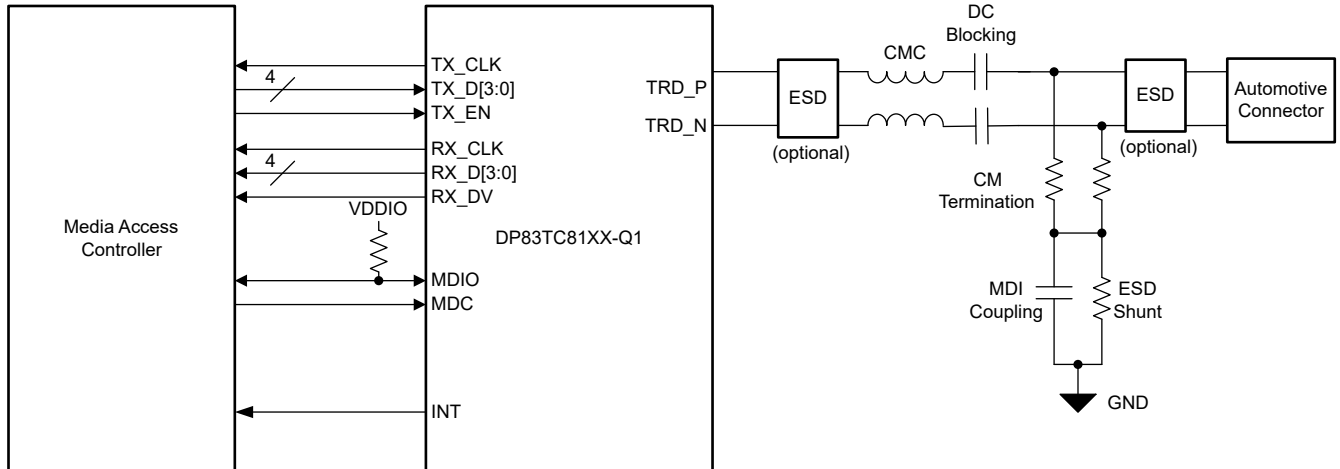


图 9-2. 典型应用 (MII)

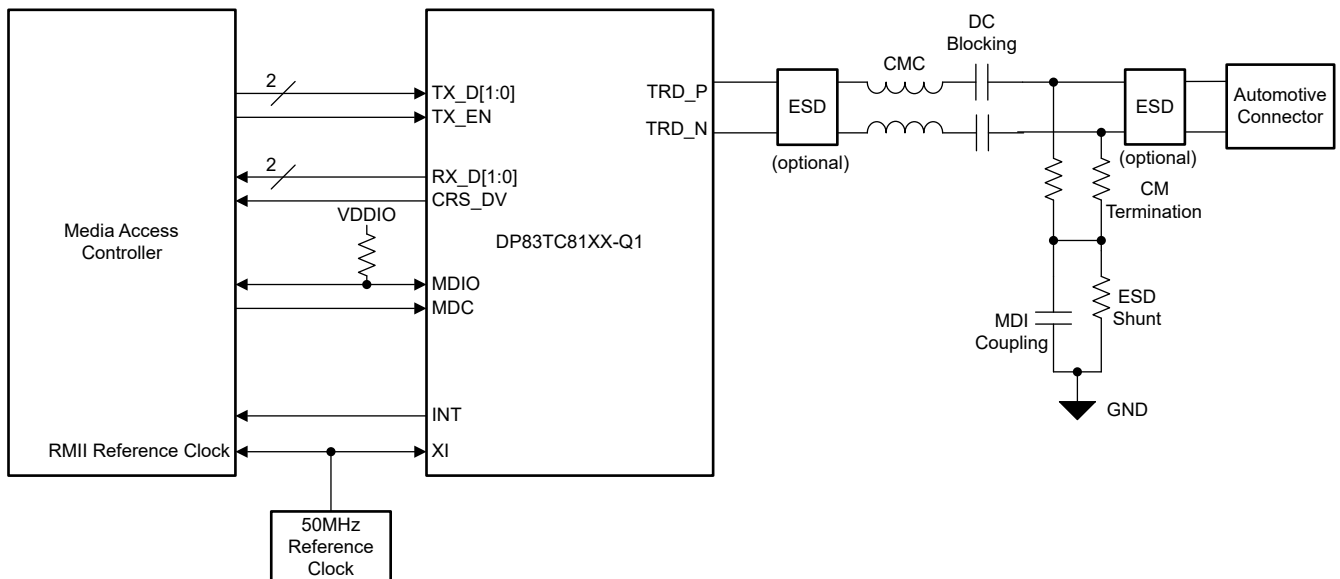


图 9-3. 典型应用 (RMII 从器件)

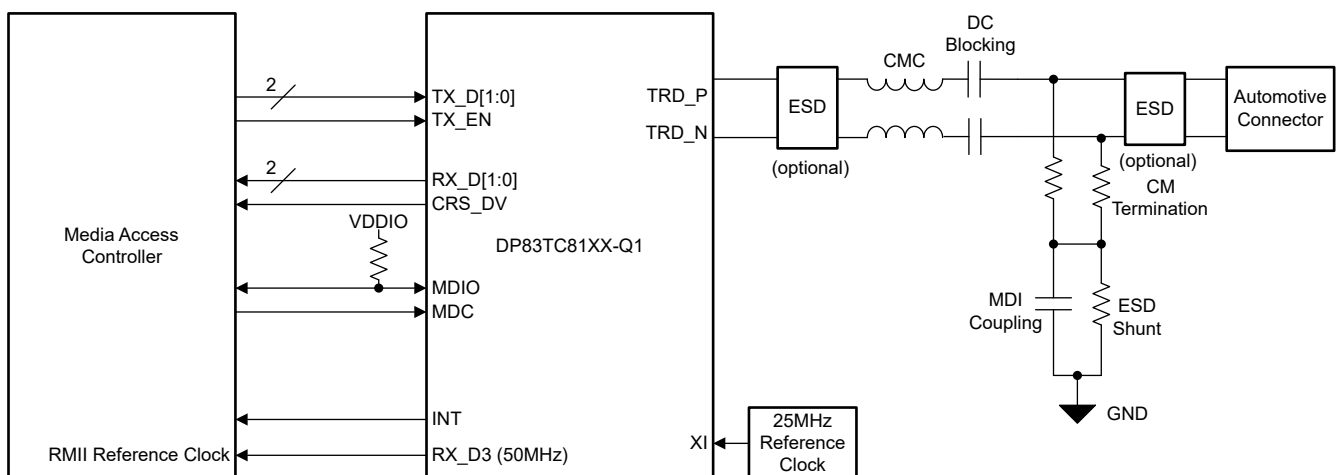


图 9-4. 典型应用 (RMII 主器件)

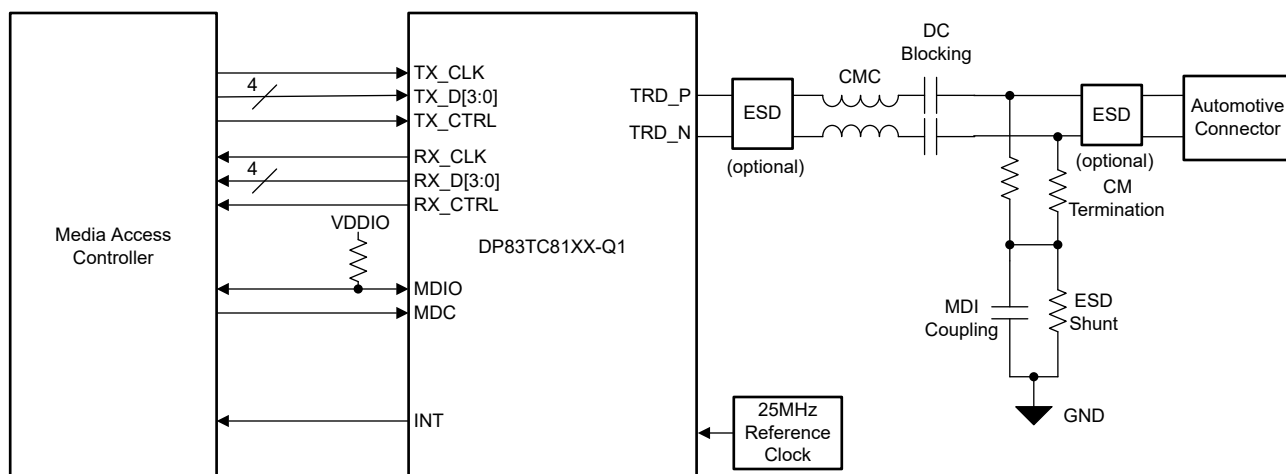


图 9-5. 典型应用 (RGMII)

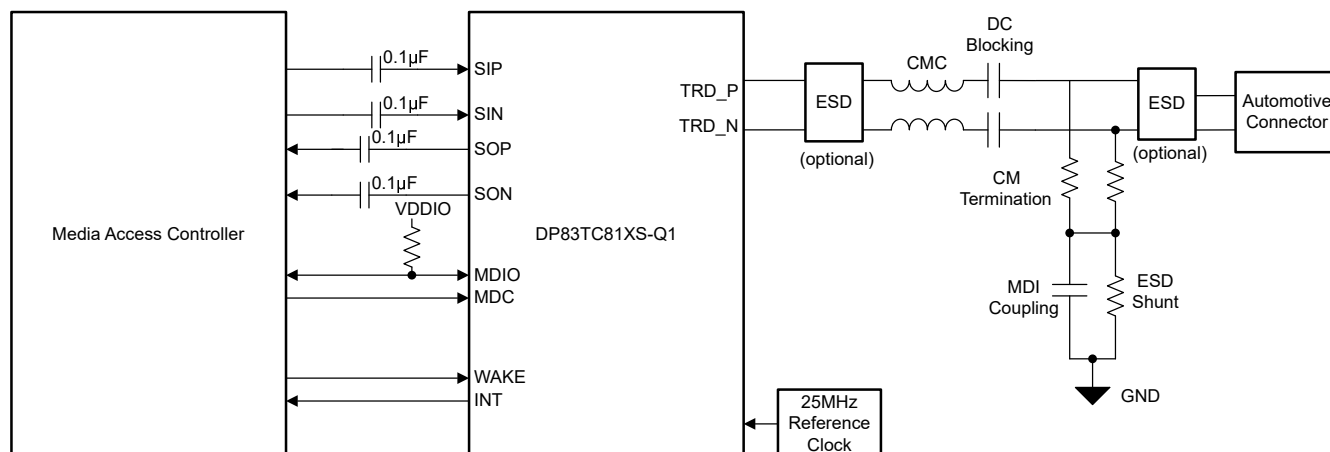


图 9-6. 典型应用 (SGMII)

9.2.1 设计要求

对于这些典型应用，请使用下表中的设计参数。请参阅节 9.3，详细了解连接图。

表 9-1. 设计参数

设计参数	示例值
V_{DDIO}	1.8V、2.5V 或 3.3V
V_{DDMAC}	1.8V、2.5V 或 3.3V
V_{DDA}	3.3V
V_{SLEEP}	3.3V
去耦电容器 V_{DDIO} ^{(1) (2)}	0.01 μ F
(可选) V_{DDIO} ⁽²⁾ 铁氧体磁珠	100MHz 时为 1k Ω (BLM18KG601SH1D)
去耦电容器 V_{DDMAC} ⁽¹⁾	0.01 μ F、0.47 μ F
V_{DDMAC} 铁氧体磁珠	100MHz 时为 1k Ω (BLM18KG601SH1D)
去耦电容器 V_{DDA} ⁽¹⁾	0.01 μ F、0.47 μ F
(可选) V_{DDA} 铁氧体磁珠	100MHz 时为 1k Ω (BLM18KG601SH1D)
去耦电容 V_{SLEEP}	0.1 μ F

表 9-1. 设计参数 (续)

设计参数	示例值
直流阻断电容器 ⁽¹⁾	0.1 μ F
共模扼流圈	200 μ H
共模终端电阻器 ⁽³⁾	1k Ω
MDI 耦合电容器 ⁽¹⁾	4.7nF
ESD 分流器 ⁽¹⁾	100k Ω
基准时钟	25MHz

- (1) 建议使用容差为 10% 的组件。
 (2) 如果 VDDIO 与 VDDMAC 分开，则在 VDDIO 上便需要额外的铁氧体磁珠和 0.47 μ F 电容器。
 (3) 建议使用容差为 1% 的组件。

9.2.1.1 物理媒体连接

共模扼流圈下方不允许存在金属。CMC 会将噪声注入其下方的金属，从而影响系统的发射和抗扰度性能。由于 DP83TC812S-Q1 是电压模式线路驱动器，因此无需外部终端电阻器。ESD 分流器和 MDI 耦合电容器必须接地。验证共模终端电阻器的容差为 1% 或以下，以便改善差分耦合。

9.2.1.1.1 共模扼流圈建议

建议将以下 CMC 与 DP83TC812S-Q1 配合使用：

表 9-2. 建议 CMC

制造商	器件型号
Pulse Electronics	AE2002
Murata	DLW43MH201XK2L
Murata	DLW32MH201XK2
TDK	ACT1210L-201

表 9-3. CMC 电气规格

参数	典型值	单位	条件
插入损耗	-0.5	dB	1 - 30MHz
	-1.0	dB	30 - 60MHz
回波损耗	-26	dB	1 - 30MHz
	-20	dB	30 - 60MHz
共模抑制	-24	dB	1MHz
	-42	dB	10 - 100MHz
	-25	dB	400MHz
差分共模抑制	-70	dB	1 - 10MHz
	-50	dB	100MHz
	-24	dB	1000MHz

9.2.2 详细设计过程

使用以太网 PHY 创建新系统设计时，请遵循以下原理图捕获过程：

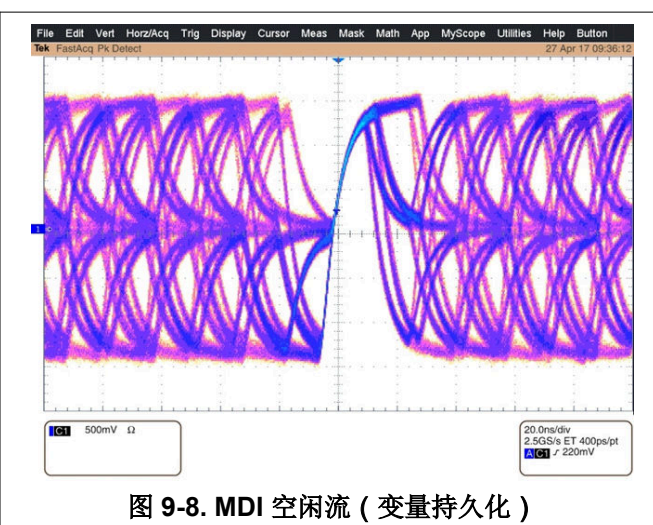
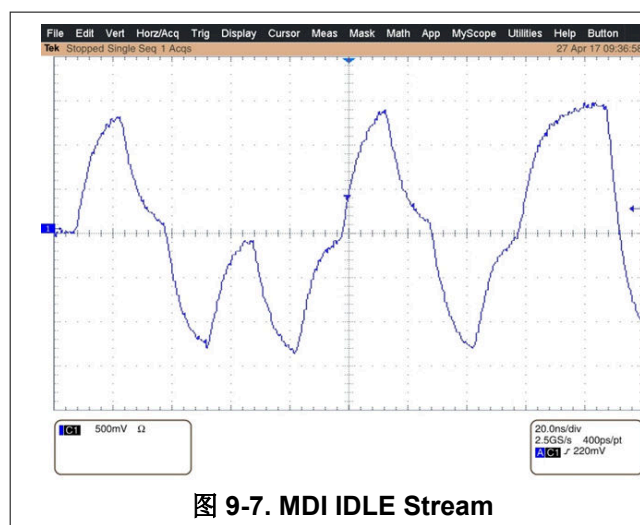
1. 使用原理图检查清单中的“Strap 配置工具”选项卡选择正确的外部自举电阻器。
2. 使用节 7.5.1 中所述所需的 PHY 硬件配置。
3. 浏览并使用原理图检查清单中的“Pinwise 检查清单”选项卡并作为原理图设计的指南。
4. 使用 DP83TC812、DP83TC813 和 DP83TC814: Open Alliance 规范合规性配置，作为为连接到 TRD_M 和 TRD_P 引脚的 MDI 电路选择元件的指南。

应遵循如下布局过程：

1. 靠近电路板边缘布置 PHY，以便将短 MDI 布线连接至所需连接器。
2. 布置 MDI 外部组件：CMC、直流阻断电容器、CM 终端、MDI 耦合电容器和 ESD 分流器。
3. 在顶层 CMC 下方创建金属浇注禁止区域，之后在顶层下方至少创建一层。
4. MDI TRD_M 和 TRD_P 布线通过 $100\ \Omega$ 差分方式进行。
5. 靠近 XI 和 XO 引脚布置时钟源。
6. 在 MII、RMII 或 RGMII 模式下，xMII 引脚布线为 $50\ \Omega$ ，且为以接地为基准的单端连接。
7. 发送路径 xMII 引脚的连接方式可使设置和保存计时不违反 PHY 要求。
8. 接收路径 xMII 引脚的连接方式可使设置和保持计时不违反 MAC 要求。
9. 在 SGMII 模式下运行时，xMII RX_P、RX_M、TX_P 和 TX_M 引脚的连接方式能够实现 $100\ \Omega$ 差分。
10. 靠近 PHY 布置 MDIO 上拉电阻器。
11. 浏览原理图检查清单中的“布局检查清单”选项卡并作为您的设计指南。

9.2.3 应用曲线

在标称条件下，使用 PHY 评估模块获取以下曲线。



9.3 电源相关建议

DP83TC812S-Q1 能在宽 IO 电源电压范围 (3.3V、2.5V 或 1.8V) 内运行。不需要电源时序控制。请注意，在 VDDA 与 VDDIO 保持稳定之前，不得驱动输入引脚。推荐的电源去耦网络如下图所示：为了改善传导发射，可以在电源和 PHY 去耦网络之间放置一个可选的铁氧体磁珠。

典型的 TC-10 应用方框图以及电源和外设如下所示。TPS7B81-Q1 是建议用作 VSLEEP 电源轨的 3.3V LDO 的器件型号。此 LDO 具有低静态电流，专为 TC-10 应用而设计。

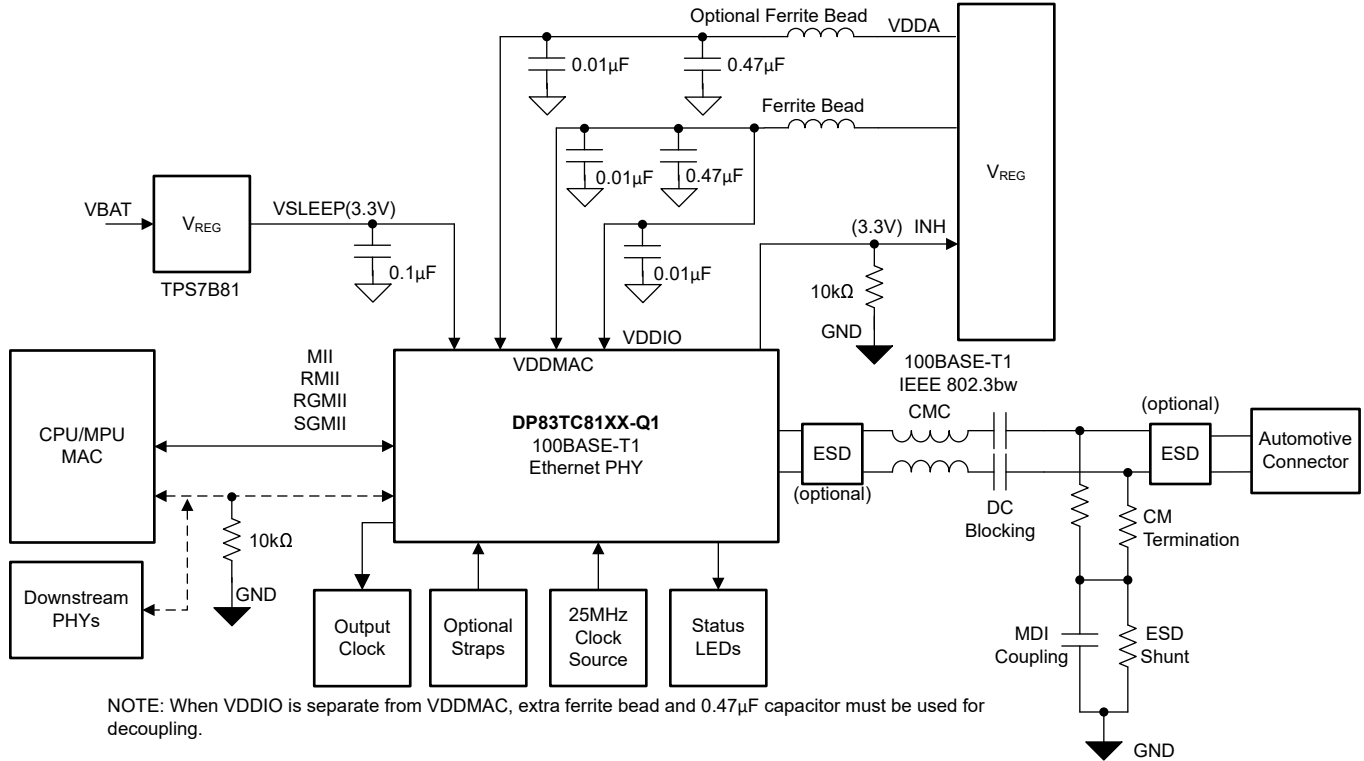


图 9-9. 带外设的典型 TC-10 应用

当 VDDIO 和 VDDMAC 分开时，两个电压轨必须具有包含铁氧体磁珠、0.47µF 和 0.01µF 电容的专用网络。VSLEEP 也可以连接到 VDDA，在此配置中必须保留 0.1µF 电容。

9.4 布局

9.4.1 布局指南

9.4.1.1 信号布线

PCB 布线存在损耗，长布线会降低信号质量。布线必须尽可能短。除非另有说明，否则所有信号布线必须为 50Ω 单端阻抗。差分布线必须为 50Ω 单端和 100Ω 差分。确保阻抗始终可控。阻抗不连续性会产生反射，从而导致发射和信号完整性问题。对于所有信号布线（特别是差分信号对），必须避免出现残桩。

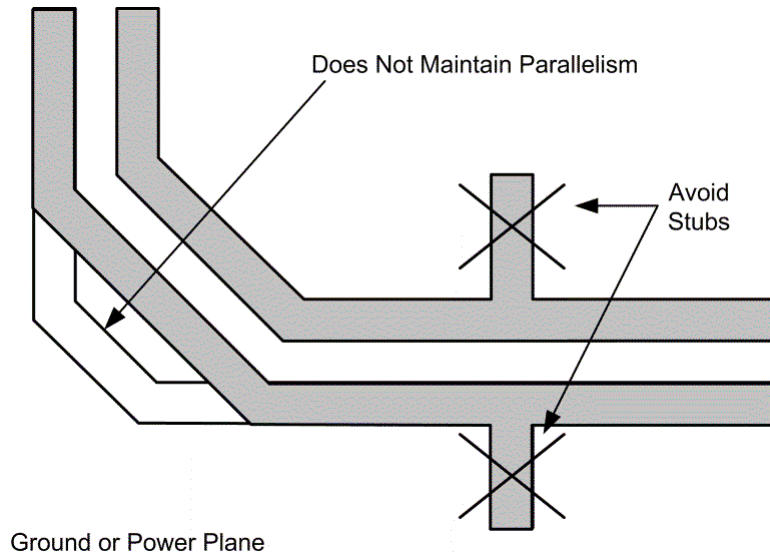


图 9-10. 差分信号布线

在差分对内，布线必须相互平行，长度匹配。匹配的长度可充分减小延迟差异，避免增加共模噪声和发射。长度匹配对 MAC 接口连接也很重要。所有发送信号布线的长度必须相互匹配，所有接收信号布线的长度也必须相互匹配。对于 SGMII 差分布线，请建议将偏差不匹配保持在 20ps 以下。

理想情况下，信号路径布线上不得出现交叉。高速信号布线必须在内部层上布线，以提高 EMC 性能。然而，过孔会导致阻抗不连续情形发生，必须最大限度减少过孔情形。在同一层布线差分信号对。不同层的信号之间至少要有一个返回路径平面，否则不得存在交叉情形。差分对之间必须始终保持恒定的耦合距离。为提高便利性和效率，TI 建议首先布线关键信号（即 MDI 差分对、基准时钟和 MAC IF 布线）。

9.4.1.2 返回路径

一般情况下，在所有信号布线下都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加明显。无论如何，必须避免信号布线之间的返回路径中断。穿过分离平面的信号不仅可能导致返回路径电流不可预测，还可能影响信号质量，导致发射问题。

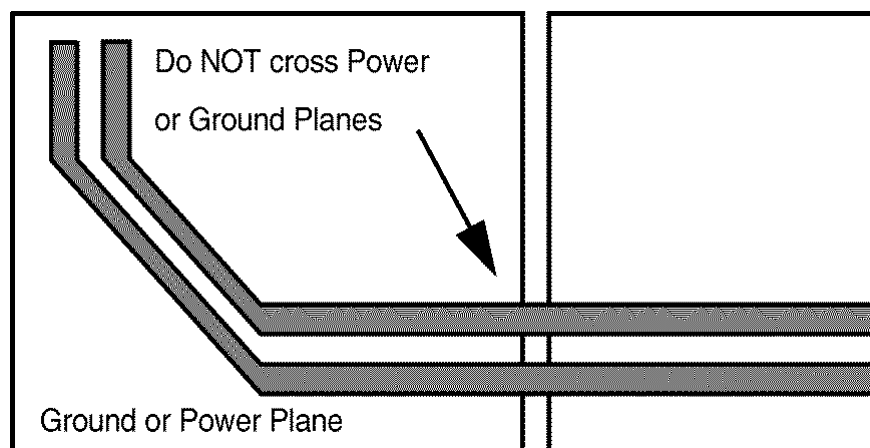


图 9-11. 电源平面和接地平面分裂

9.4.1.3 金属浇注

所有非信号或电源的金属浇注都必须接地。系统中不得有悬空金属，差分布线之间不得有金属。

9.4.1.4 PCB 层堆叠

为满足信号完整性和性能要求，建议至少使用四层 PCB。但是，在条件允许的情况下，必须使用六层及以上的 PCB。

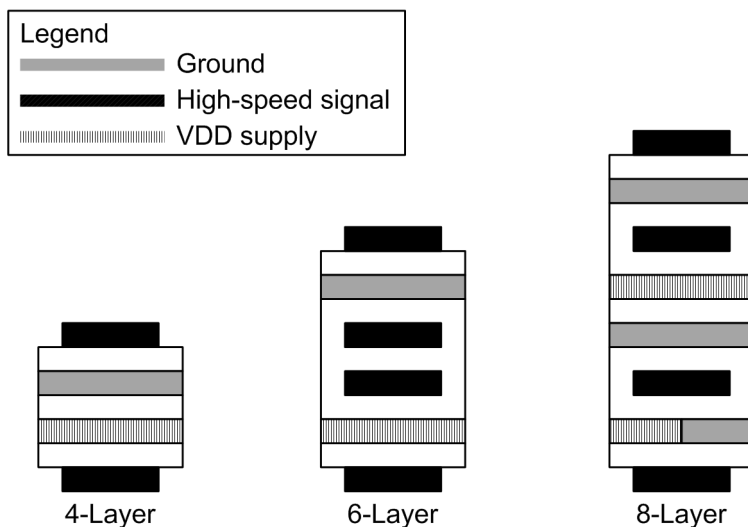


图 9-12. 建议 PCB 层堆叠

9.4.2 布局示例

有一款评估板基准适用于 DP83TC812-Q1。DP83TC812EVM-MC 是一款介质转换器板，可用于实现互操作性和误码率测试。

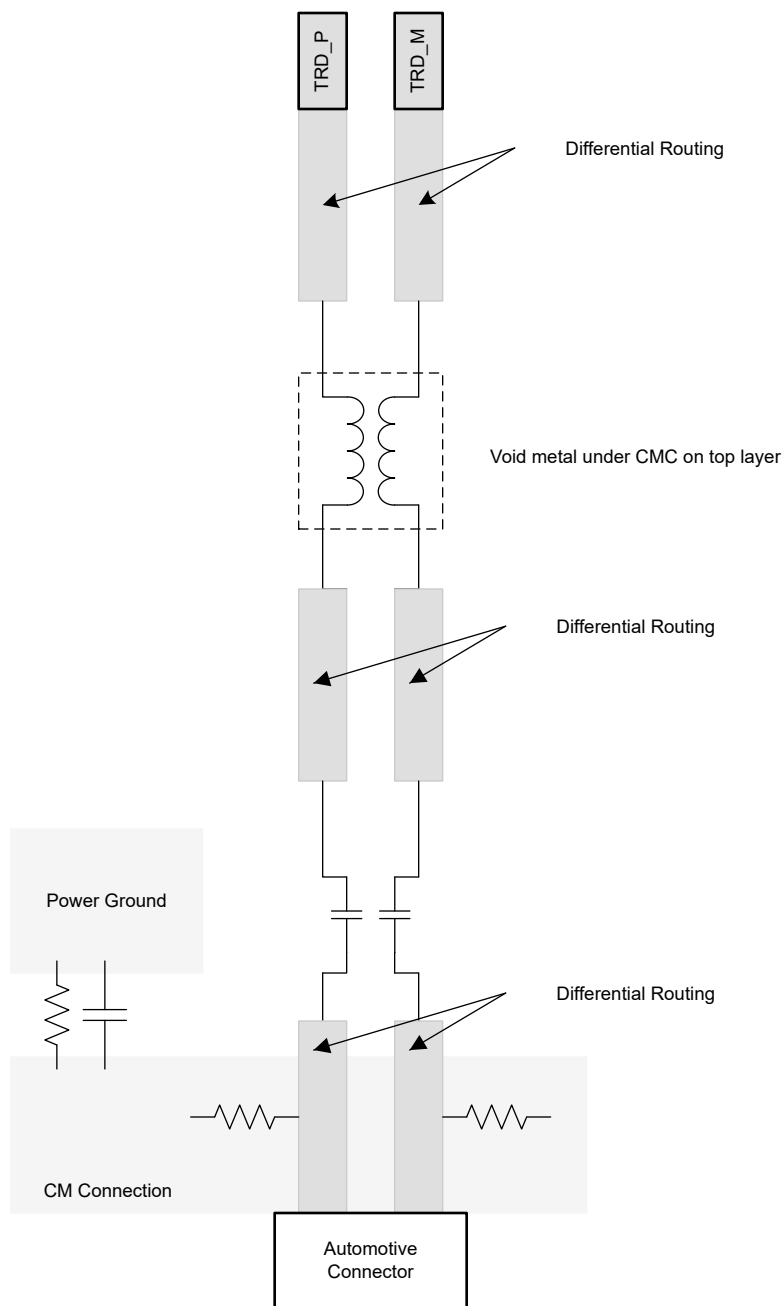


图 9-13. MDI 低通滤波器布局建议

10 器件和文档支持

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与某些技术领域的预期语言不同。

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 社区资源

10.4 商标

PHYTER™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (November 2024) to Revision D (July 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了引脚功能表，以阐明电源轨上拉电阻器的贴装情况.....	4
• 更新了引脚域表.....	4
• 更新了上电时序图.....	24
• 添加了信息，以阐明必须同时读取寄存器 0x063C、0x063D 和 0x063E.....	35
• 更新了 RGMII 发送编码中的编码情况顺序.....	49
• 更新了 RGMII 接收编码中的编码情况顺序.....	49
• 更新了“寄存器空间划分”中的地址范围.....	52
• 更新了寄存器地址范围.....	52
• 更新了“MMD 寄存器空间划分”中的寄存器地址范围.....	59
• 更新了典型应用 (通用) 图.....	162

Changes from Revision B (January 2023) to Revision C (November 2024)

Page

• 更新了引脚 9 和引脚 21 的引脚说明和封装标签.....	4
• 表 5-1 引脚功能：更新了 MDIO 引脚说明，以包括“合规性测试模式”部分的链接.....	4
• 表 6-1 引脚功能：更新了 SGMII 模式下 RX_D3 的说明.....	4
• 表 6-1 引脚功能：更新了引脚 15 说明，以包括含将引脚 15 编程为 RX_DV 和 CRS_DV 的寄存器写入.....	4
• 表 6-1 引脚功能：阐明了在 RGMII 从器件模式下不使用 RX_D3 和 RX_D2.....	4
• 为清晰起见，删除了内部延迟启用模式和内部延迟禁用模式的 RGMII 时序图并创建了新的 RGMII 发送时序图	24
• 更正了寄存器 0x310 位 6 的说明.....	33
• 更正了用于启用数据生成器/校验器的寄存器写入顺序.....	36
• 更新了“串行管理接口”部分，使用了更好的措辞且更加清晰明了度.....	52
• 表 7-25.PHY 地址自举：更正了 PHY 地址 0xC 和 0xD 的二进制表示.....	54
• 删除了寄存器 0x18 位 15、寄存器 0x60B、寄存器 0x609、寄存器 0x603，以及寄存器 0x12 位 7.....	60
• 更新了寄存器 0x456 位说明.....	60
• 更新了寄存器 0x1F 位 15 和位 14 的说明.....	60
• 添加了通用典型应用图.....	162
• 更新了 RGMII 典型应用图以包括 25MHz 输入.....	162
• 简化并更新了详细设计过程并添加了原理图检查清单的链接.....	165

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83TC812RRHARQ1	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812RRHARQ1.A	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812RRHATQ1	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812RRHATQ1.A	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812R
DP83TC812SRHARQ1	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S
DP83TC812SRHARQ1.A	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S
DP83TC812SRHATQ1	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S
DP83TC812SRHATQ1.A	Active	Production	VQFN (RHA) 36	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	812S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

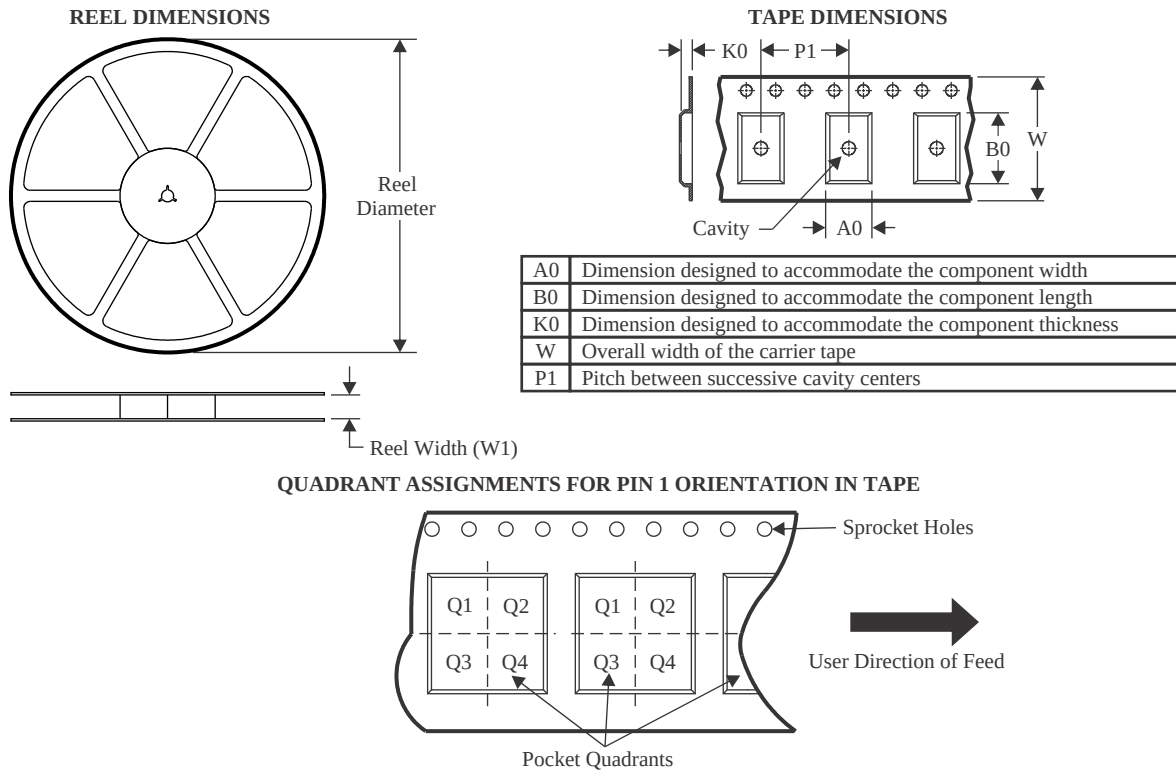
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

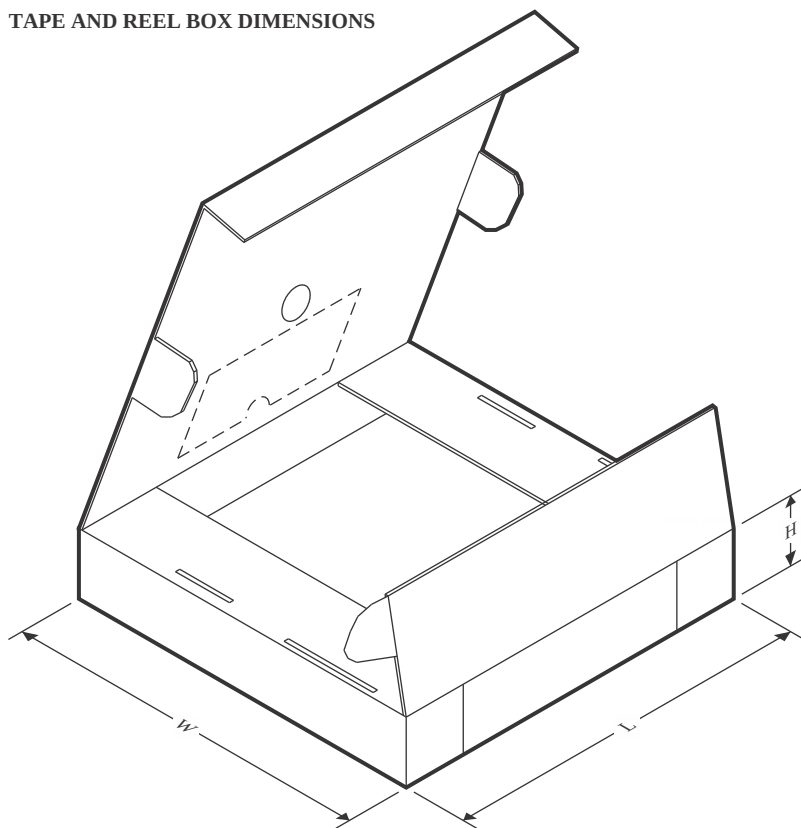
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83TC812RRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812RRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812RRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812RRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DP83TC812SRHATQ1	VQFN	RHA	36	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83TC812RRHARQ1	VQFN	RHA	36	2500	367.0	367.0	35.0
DP83TC812RRHARQ1	VQFN	RHA	36	2500	367.0	367.0	38.0
DP83TC812RRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0
DP83TC812RRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0
DP83TC812SRHARQ1	VQFN	RHA	36	2500	367.0	367.0	35.0
DP83TC812SRHARQ1	VQFN	RHA	36	2500	367.0	367.0	38.0
DP83TC812SRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0
DP83TC812SRHATQ1	VQFN	RHA	36	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

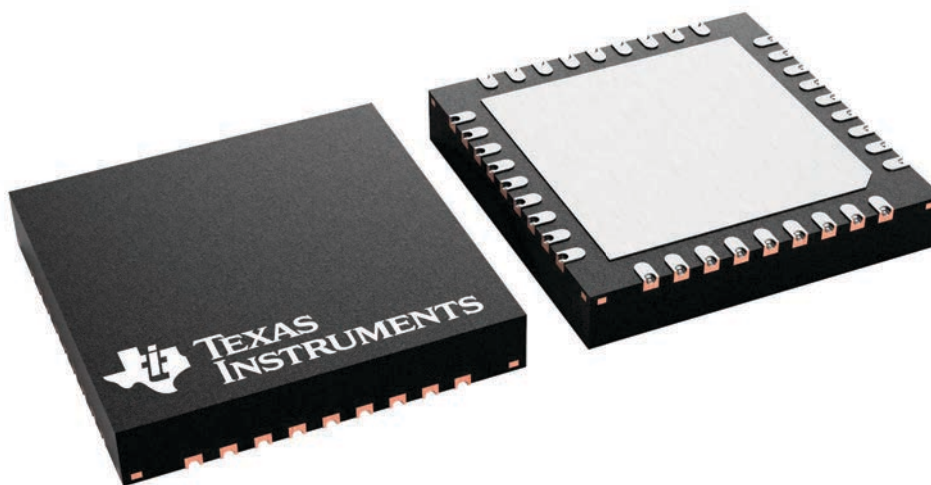
RHA 36

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

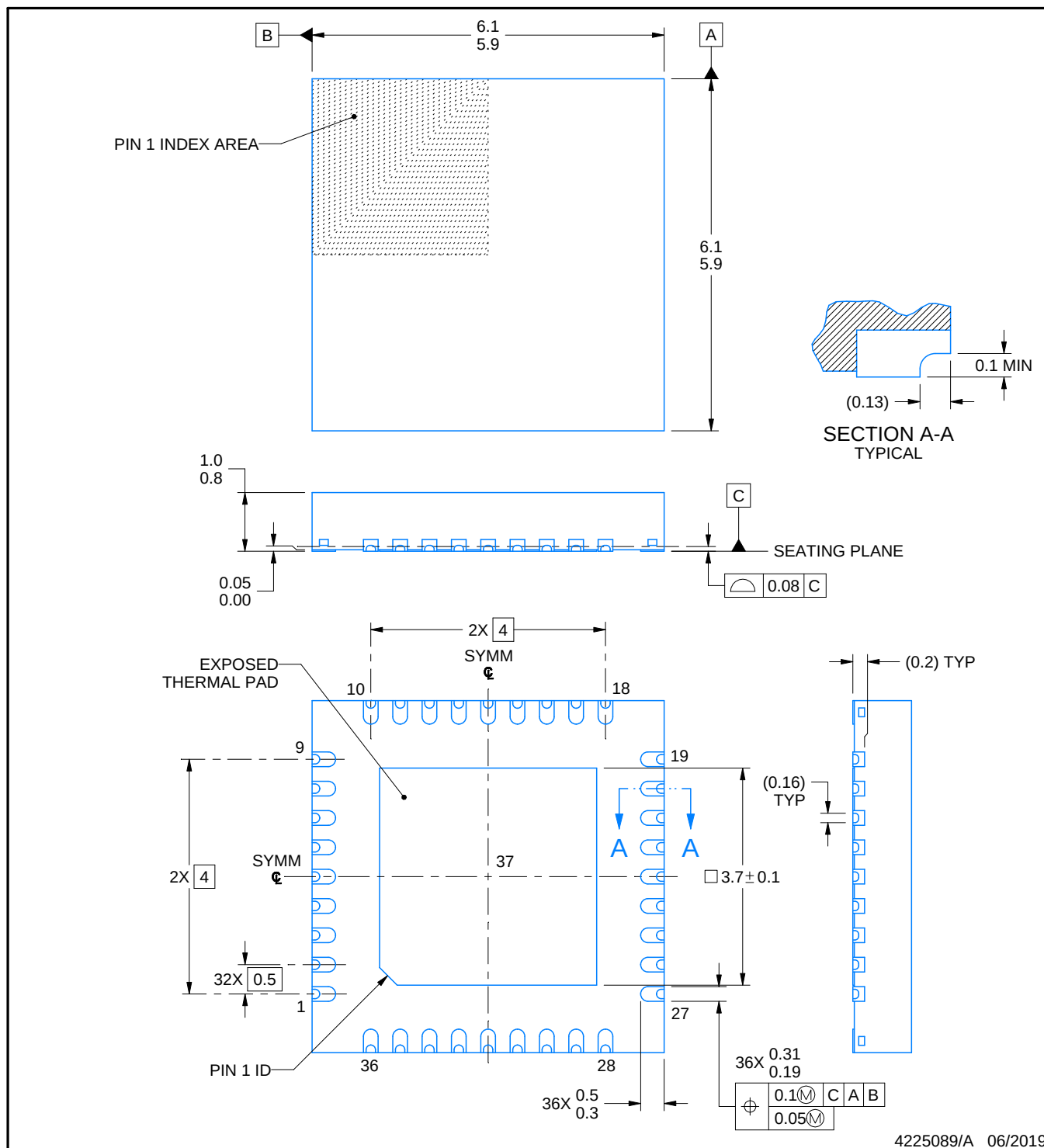


4228438/A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

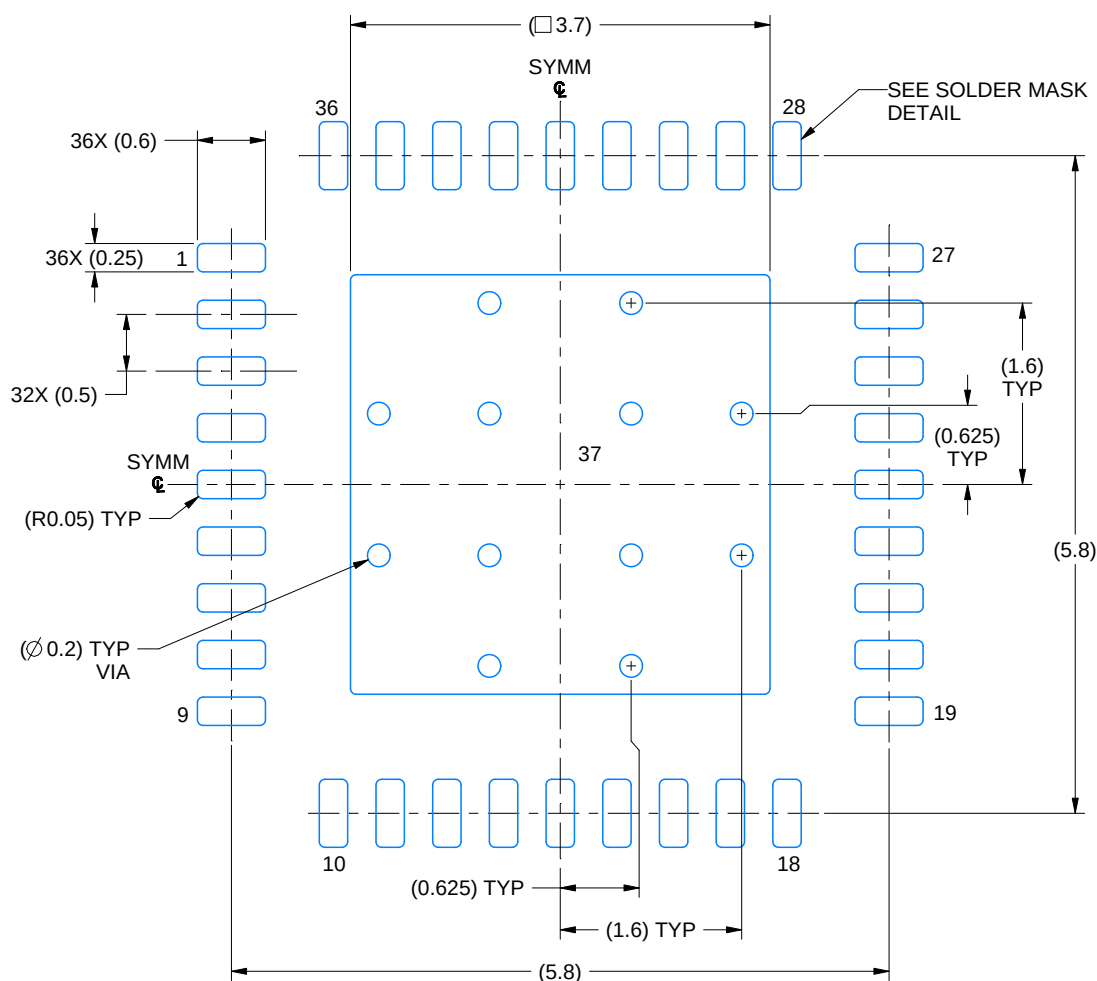
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4225089/A 06/2019

NOTES: (continued)

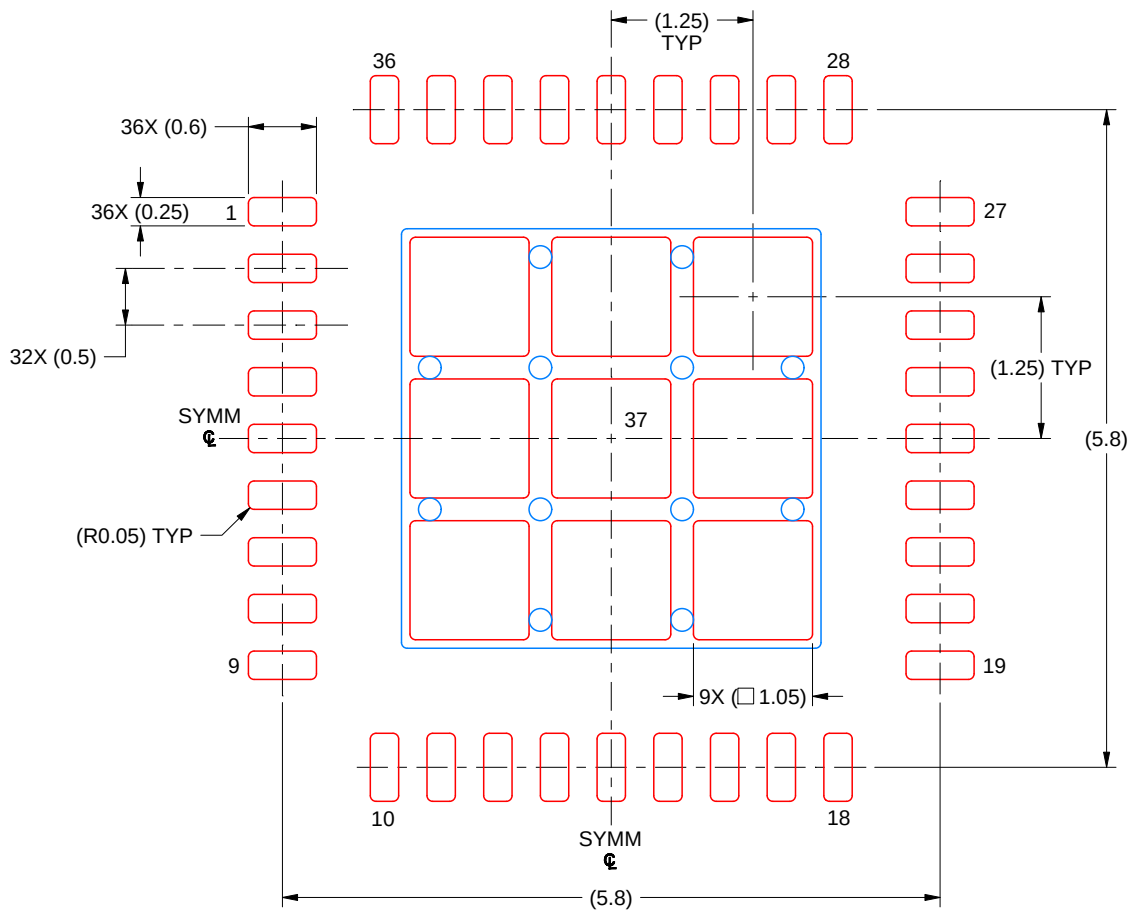
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 37
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月