TEXAS INSTRUMENTS
DP83TC1103-Q1
ZHDS498 – OCTOBER 2026

DP83TC1103x-Q1 100Base-T1 汽车级以太网 PHY 收发器，具有 IEEE802.1AS 和 TC10 睡眠唤醒功能

1 特性

- IEEE802.3bw 符合 100BASE-T1 PHY
- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：-40°C 至 +125°C，T_A
- IEEE 802.1AS 时间同步
  - 高精度 1pps 信号
    - 同步抖动：< ±15ns（可选择缩短至 ±1ns）
    - 同步偏移：< ±30ns
  - 多个用于事件捕获和触发的 IO
- 符合 OA TC-10 标准的睡眠、唤醒
- 强大的 EMC 性能
  - IEC62228-5，符合 OA EMC 标准
  - IEC61000-4-2 ESD 4 级 MDI：±8kV CD
  - 符合 SAE J2962-3 EMC 标准
  - 39dBm DPI 抗扰度，具有 ±5% 不对称性
  - GPS 和 GLONASS 频段的辐射发射 < 4dB μV
  - 带状线发射：符合 II 类标准
- MAC 接口：MII、RMII、RGMII、SGMII
- 多源 P2P 兼容，与其他供应商的 100BASE-T1 兼容 - 具有 BOM 选项
- 48V 就绪：VBAT 瞬变对 MDI 的影响，瞬态电压高达 ±70V
- 诊断工具套件
  - 信号质量指示 (SQI) 和时域反射法 (TDR)
  - ESD 传感器
  - PPM 监测器可提供外部时钟 ppm 漂移（精度高达 ±100ppb）
- 单 3.3V 电源

2 应用

- ADAS
  - 雷达同步
- 车身电子装置和照明
  - 车身控制模块
  - 区域控制模块
- 远程信息处理

3 说明

DP83TC1103x-Q1 是一款符合 IEEE 802.3bw 和 Open Alliance (OA) 标准的汽车级 100Base-T1 以太网物理层收发器。该器件提供通过单一非屏蔽/屏蔽双绞线电缆发送和接收数据所需的所有物理层功能，以及 xMII 接口灵活性。

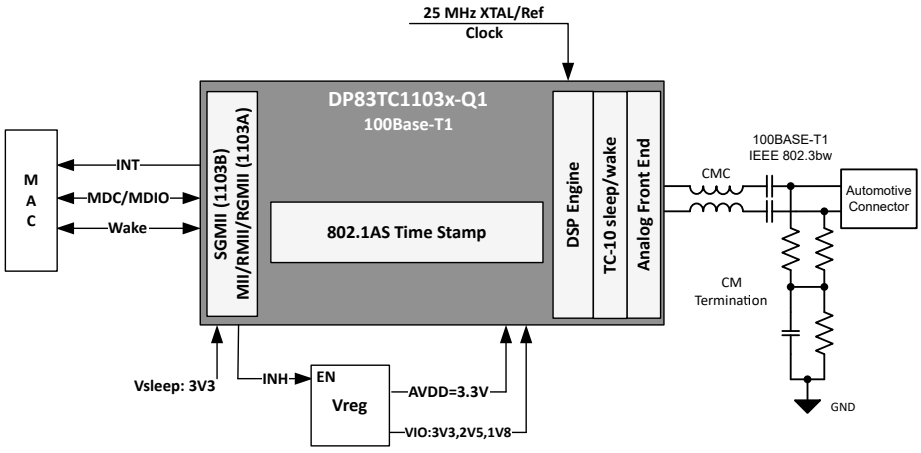
DP83TC1103x-Q1 集成了 IEEE802.1AS/IEEE1588v2，从而为时间敏感型实时控制应用提供高度精确的时间同步和硬件时间戳。

DP83TC1103x-Q1 支持 OA TC-10 低功耗睡眠特性，具有唤醒转发功能，可在无需通信时降低系统功耗。

封装信息

器件型号	封装(1)	封装尺寸(2)
DP83TC1103A-Q1	RHA（VQFN，36）	6.00mm × 6.00mm
DP83TC1103B-Q1	RHA（VQFN，36）	6.00mm × 6.00mm

(1) 有关更多信息，请参阅 节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....3
5 引脚配置和功能.....4
5.1 引脚电源域.....12
5.2 引脚状态.....14
5.3 引脚多路复用.....23
6 规格.....24
6.1 绝对最大额定值.....24
6.2 ESD 等级.....24
6.3 建议运行条件.....24
6.4 热性能信息.....25
6.5 电气特性.....25
6.6 时序要求.....27
6.7 计时示意图.....31
6.8 典型特性.....38
7 详细说明.....39
7.1 概述.....39
7.2 功能方框图.....39
7.3 特性说明.....40
7.4 器件功能模式.....69
7.5 编程.....78
8 DP83TC1103 寄存器.....82
9 应用和实施.....186
9.1 应用信息.....186
9.2 典型应用.....186
9.3 电源相关建议.....189
9.4 布局.....190
10 器件和文档支持.....194
10.1 器件支持.....194
10.2 接收文档更新通知.....194
10.3 支持资源.....194
10.4 商标.....194
10.5 静电放电警告.....194
10.6 术语表.....194
11 修订历史记录.....194
12 机械、封装和可订购信息.....195

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

器件型号	TC10	MII/RMII/RGMII	SGMII	MACsec	802.1AS	AVB 时钟	封装兼容
DP83TC812R-Q1	是	是	否	否	否	否	是
DP83TC812S-Q1	是	是	是	否	否	否	是
DP83TC814R-Q1	否	是	否	否	否	否	是
DP83TC814S-Q1	否	是	是	否	否	否	是
DP83TC813R-Q1	是	是	否	否	否	否	否 (28-QFN)
DP83TC813S-Q1	是	是	是	否	否	否	
DP83TC815-Q1	是	是	是	否	是	否	是
DP83TC1103A-Q1	是	是	否	否	是	否	是（具有补偿功能的多源）
DP83TC1103B-Q1	是	否	是	否	是	否	
DP83TC816-Q1	是	是	是	否	是	是	是
DP83TC817S-Q1	是	是	是	是	是	否	是
DP83TC818S-Q1	是	是	是	是	是	是	是

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

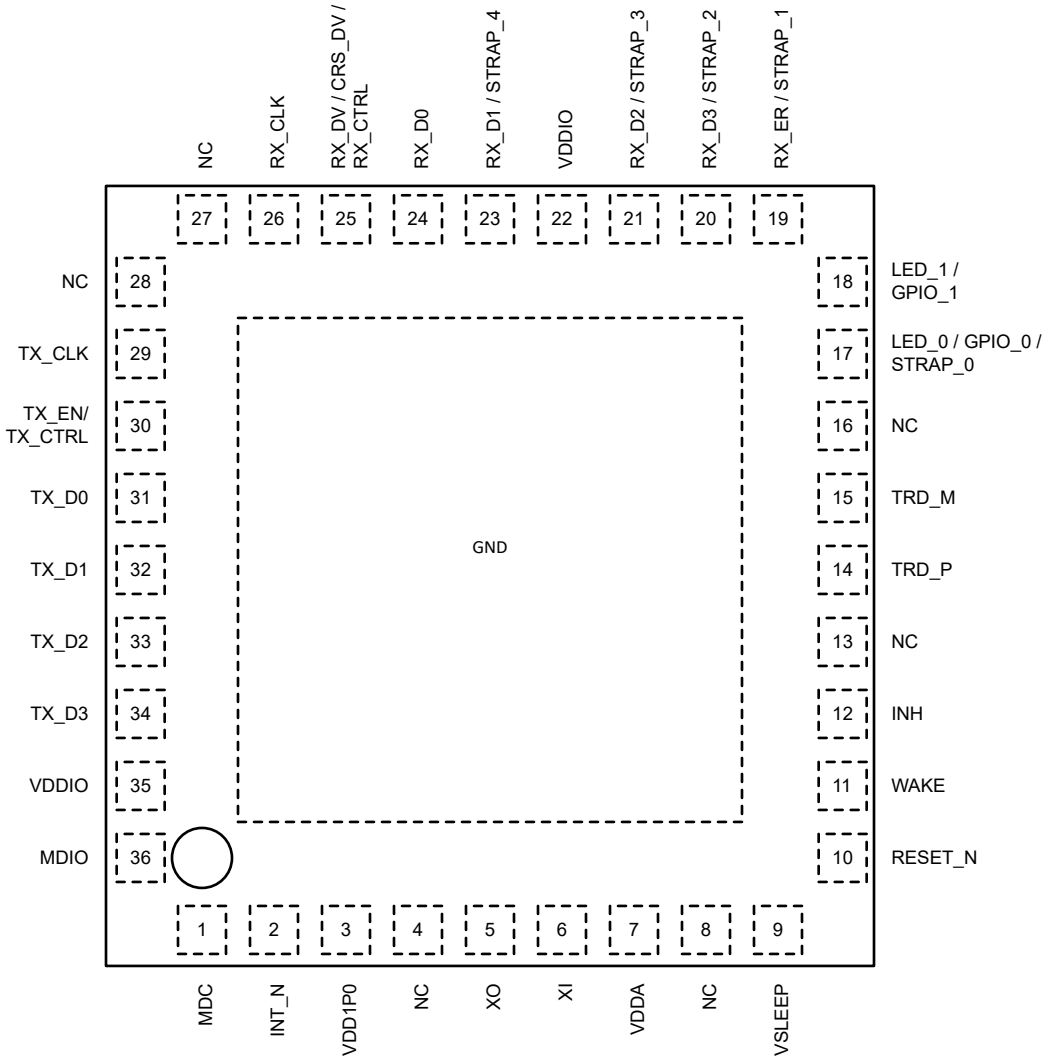


图 5-1. DP83TC1103A-Q1 36 引脚 QFN 6mm x 6mm

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能 - DP83TC1103A-Q1

引脚		类型[1]	说明
名称[2]	编号		
MAC 接口			
RX_CLK	26	S、PD、O	**接收时钟：**在 MII 和 RGMII 模式下，接收时钟提供 25MHz 基准时钟。 **在 RMII 模式下未使用**
RX_D0	24	PD、O	**接收数据：**对电缆上接收的符号进行解码并将其从这些引脚发出，发送操作与 RX_CLK 的上升沿同步。当 RX_DV 被置为有效时，这些符号包含有效数据。半字节 RX_D[3:0] 在 MII 和 RGMII 模式下发送。2 位 RX_D[1:0] 在 RMII 模式下发送。 如果 PHY 自举进入 RMII 主模式，则会自动在 TX_CLK 上输出 50MHz 时钟基准。该时钟必须馈送到 MAC。
RX_D1/ STRAP_4	23	S、PD、O	
RX_D2/ STRAP_3	21		
RX_D3/ STRAP_2	20		
RX_DV/ CRS_DV/ RX_CTRL	25	PD、O	**接收数据有效：**该引脚指示在 MII 模式下 RX_D[3:0] 上何时出现有效数据。 **载波侦听数据有效：**该引脚将载波侦听和数据有效合并到异步信号中。当 CRS_DV 置为有效时，数据会在 RMII 模式下出现在 RX_D[1:0] 上。 **RGMII 接收控制：**接收控制将接收数据有效指示和接收错误指示组合成单个信号。RX_DV 在 RX_CLK 的上升沿出现，RX_ER 在 RX_CLK 的下降沿出现。
RX_ER/ STRAP_1	19	S、PD、O	**接收错误：**在 MII 和 RMII 模式下，该引脚指示在接收到的数据包中检测到接收错误符号。在 MII 模式下，RX_ER 与 RX_CLK 的上升沿同步置为高电平。在 RMII 模式下，RX_ER 与基准时钟的上升沿同步置为高电平。在 MII 或 RMII 模式下，该引脚是**可选的**，因为 PHY 会在发生接收错误时自动损坏数据。 **在 RGMII 模式下未使用**
TX_CLK	29	I、O	**发送时钟：**在 MII 模式下，发送时钟为 25MHz 输出（50Ω 驱动器）。在 RGMII 模式下，该时钟从 MAC 层提供给 PHY。必须在 RGMII 模式下提供 25MHz 时钟，以满足节 6.6 中所述的 RGMII 时序要求 **RMII 主模式：** 如果 PHY 自举进入 RMII 主模式，则会自动在 TX_CLK 上输出 50MHz 时钟基准。该时钟必须馈送到 MAC。
TX_D0	31	I	**发送数据：**在 MII 和 RGMII 模式下，在 TX_CLK 的上升沿之前，从 MAC 接收发送数据半字节 TX_D[3:0]。在 RMII 模式下，在基准时钟上升沿之前，从 MAC 接收 TX_D[1:0]。在 RMII 从模式下，不使用 TX_D[3:2]。
TX_D1	32		
TX_D2	33		
TX_D3	34		
TX_EN/ TX_CTRL	30	I	**发送启用：**在 MII 模式下，发送启用在发送时钟的上升沿之前出现。TX_EN 表示 TX_D[3:0] 上存在有效数据输入。在 RMII 主导模式下，发送启用在 RX_D3 的上升沿之前出现。TX_EN 表示 TX_D[1:0] 上存在有效数据输入。 **RGMII 发送控制：**发送控制将发送启用和发送错误指示组合成单个信号。TX_EN 在 TX_CLK 的上升沿之前出现；TX_ER 在 TX_CLK 的下降沿之前出现。
串行管理接口			
MDC	1	I	**管理数据时钟：**MDIO 串行管理输入和输出数据的同步时钟。该时钟可以与 MAC 发送与接收时钟异步。最大时钟速率为 20MHz。没有最低时钟速率。
MDIO	36	OD、IO	**管理数据输入/输出：**双向管理数据信号（可由管理站或 PHY 提供）。该引脚需要一个上拉电阻器。在系统中，如果多个 PHY 使用同一条 MDIO-MDC 总线，则必须在 MDIO 线路上使用连接至 VDDIO 的单个上拉电阻器。 建议使用 2.2kΩ 至 9kΩ 的电阻器。 为了通过 Open Alliance 合规性测试，需要进行 MDIO/MDC 访问。请参阅节 7.3.8。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能 - DP83TC1103A-Q1（续）

引脚		类型[1]	说明
名称[2]	编号		
控制接口			
INH	12	I/O、OD	**INH：**INH（高电平有效输出）。当 PHY 处于 TC-10 睡眠状态时，该引脚为 Hi-Z。在所有其他 PHY 状态下，该引脚为高电平。实现 TC-10 电路时，必须使用 2kΩ - 10kΩ 范围内的外部下拉电阻器。如果多个器件共用 INH 引脚，则必须使用单个下拉电阻器。
INT_N	2	PU、OD、IO	**中断：**低电平有效输出，发生中断时置位为低电平。此引脚具有弱内部上拉电阻。必须访问寄存器才可启用各种中断触发。一旦设置中断事件标志，就需要访问寄存器来清除中断事件。可使用寄存器 *[0x0011]* 将该引脚配置为高电平有效输出。 当 INT_N 为低电平时，建议读取寄存器 12-13 的中断状态。该引脚还可以用作断电控制，将该引脚置为低电平会将 PHY 置于断电模式，而置为高电平会将 PHY 置于正常模式。此功能也可以通过寄存器 *0x0011* 启用。
RESET_N	10	PU、I	**复位：**低电平有效输入，用于初始化或重新初始化 PHY。将该引脚置位为低电平（至少 1µs），可强制执行复位过程。所有内部寄存器都会重新初始化为寄存器映射部分为每一位规定的默认状态。取消置位复位后，将对所有自举引脚重新采样。
WAKE	11	PD、I/O	**唤醒：**输入/输出引脚，默认为高电平有效输入。作为输入，该引脚将 PHY 从 TC-10 睡眠状态唤醒。在上电时将该引脚置为高电平会使 PHY 退出睡眠状态。在实现 TC-10 电路时，可以使用 10kΩ 外部下拉电阻器，以防止意外唤醒。该引脚可直接连接到 VSLEEP，也可通过电阻器拉至 VSLEEP 以唤醒器件。 该引脚还支持唤醒转发特性，即 PHY 生成的 WAKE 脉冲随后用于唤醒同一系统中的其他 PHY。
时钟接口			
XI	6	I	**基准时钟输入 (RMII)：**RMII 主模式下的基准时钟 25MHz 晶体或振荡器。RMII 从模式下的基准时钟 50MHz CMOS 级振荡器。 **基准时钟输入（其他 MAC 接口）：**基准时钟 25MHz 晶振或振荡器输入。该器件支持通过引脚 XI 和 XO 连接的外部晶振谐振器，或仅连接至引脚 XI 且 XO 悬空的外部 CMOS 电平振荡器。在菊花链运行中，该引脚还可以接受来自其他器件（例如以太网 MAC 或另一个以太网 PHY）的时钟输入。 如果使用晶体，则将 100Ω 电阻器与 XI 引脚串联
XO	5	O	**基准时钟输出：**XO 引脚仅用于晶振。CMOS 级振荡器与 XI 相连时，该引脚必须悬空。
LED/GPIO 接口			
LED_0/ GPIO_0/ STRAP_0	17	S、PD、IO	**LED_0：**链路状态 LED。也可以通过选择寄存器将该引脚用作 LED 或时钟输出。
LED_1/ GPIO_1	18	PD、IO	**LED_1：**链路状态，在进行 TX/RX 活动时闪烁。也可以通过选择 Strap 配置/寄存器将该引脚用作 LED 或时钟输出。
媒体相关接口			
TRD_M	15	IO	**差分发送和接收：**为 100BASE-T1 运行配置的双向差分信号，符合 IEEE 802.3bw 标准。
TRD_P	14		
电源连接			
GND	GND	接地	**接地：**它必须始终连接到电源接地。
VDD1P0	3	电源	**VDD1P0 电源去耦电容器** Pin3 上不支持外部电源。建议使用 2.2µF 和 0.1µF 陶瓷去耦电容器。
VDDA	7	电源	**内核电源：**3.3V 建议使用 0.47µF 和 0.01µF 陶瓷去耦电容器；可以使用可选的铁氧体磁珠。
VDDIO	35、22	电源	**IO 电源：**1.8V、2.5V 或 3.3V 建议在引脚 22 上使用铁氧体磁珠、0.47µF 和 0.01µF 陶瓷去耦电容器，在引脚 35 上使用 0.01µF 陶瓷去耦电容器

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能 - DP83TC1103A-Q1（续）

引脚		类型[1]	说明
名称[2]	编号		
VSLEEP	9	电源	**VSLEEP 电源：**3.3V 建议使用 0.1µF 陶瓷去耦电容器。
无连接			
NC	4	–	**NC：**这些引脚上未连接信号
NC	8	–	
NC	13	–	
NC	16	–	
NC	27	–	
NC	28	–	

Copyright © 2026 Texas Instruments Incorporated

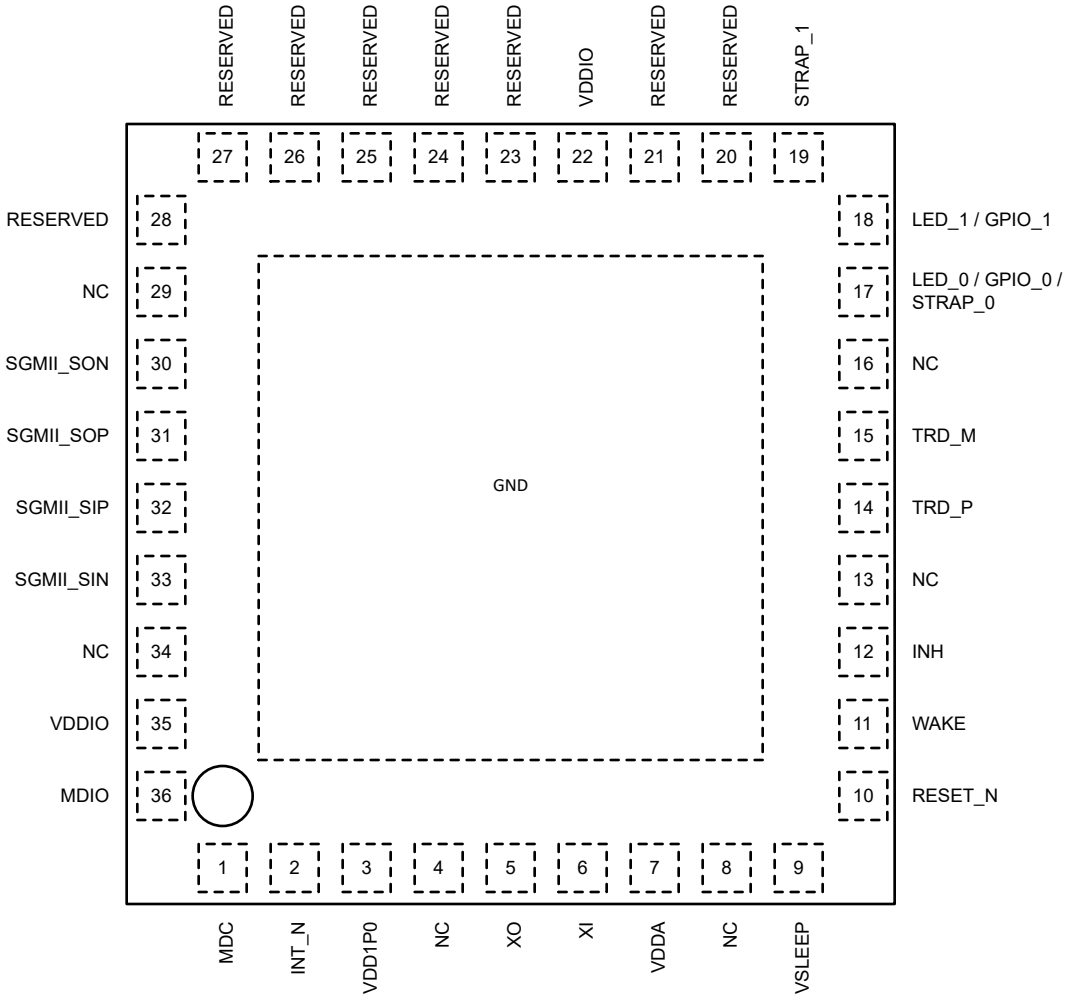


图 5-2. DP83TC1103B-Q1 36 引脚 QFN 6mm × 6mm

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 引脚功能 - DP83TC1103B-Q1

引脚		类型[1]	说明
名称[2]	编号		
MAC 接口			
SGMII_SON	30	PD、O	**接收数据：**对电缆上接收的符号进行解码并将其从这些引脚发出。SGMII_SOP 和 SGMII_SON 是 SGMII LVDS 发送器的正极端子和负极端子 当器件处于 RESET 模式时，或者如果器件的电源正在斜升（在上电复位之前），则不得从外部驱动这些引脚
SGMII_SOP	31		
SGMII_SIP	32	I	**发送数据：**SGMII_SIP 和 SGMII_SIN 是 SGMII LVDS 接收器的正极端子和负极端子。来自 MAC 的数据在这些引脚上接收，经过解码后通过 MDI 电缆介质发送出去。
SGMII_SIN	33		
串行管理接口			
MDC	1	I	**管理数据时钟：**MDIO 串行管理输入和输出数据的同步时钟。该时钟可以与 MAC 发送与接收时钟异步。最大时钟速率为 20MHz。没有最低时钟速率。
MDIO	36	OD、IO	**管理数据输入/输出：**双向管理数据信号（可由管理站或 PHY 提供）。该引脚需要一个上拉电阻器。在系统中，如果多个 PHY 使用同一条 MDIO-MDC 总线，则必须在 MDIO 线路上使用连接至 VDDIO 的单个上拉电阻器。 建议使用 2.2kΩ 至 9kΩ 的电阻器。 为了通过 Open Alliance 合规性测试，需要进行 MDIO/MDC 访问。请参阅节 7.3.8。
控制接口			
INH	12	I/O、OD	**INH：**INH（高电平有效输出）。当 PHY 处于 TC-10 睡眠状态时，该引脚为 Hi-Z。在所有其他 PHY 状态下，该引脚为高电平。实现 TC-10 电路时，必须使用 2kΩ - 10kΩ 范围内的外部下拉电阻器。如果多个器件共用 INH 引脚，则必须使用单个下拉电阻器。
INT_N	2	PU、OD、IO	**中断：**低电平有效输出，发生中断时置位为低电平。此引脚具有弱内部上拉电阻。必须访问寄存器才可启用各种中断触发。一旦设置中断事件标志，就需要访问寄存器来清除中断事件。可使用寄存器 *[0x0011]* 将该引脚配置为高电平有效输出。 当 INT_N 为低电平时，建议读取寄存器 12-13 的中断状态。该引脚还可以用作断电控制，将该引脚置为低电平会将 PHY 置于断电模式，而置为高电平会将 PHY 置于正常模式。此功能也可以通过寄存器 *0x0011* 启用。
RESET_N	10	PU、I	**复位：**低电平有效输入，用于初始化或重新初始化 PHY。将该引脚置位为低电平（至少 1µs），可强制执行复位过程。所有内部寄存器都会重新初始化为寄存器映射部分为每一位规定的默认状态。取消置位复位后，将对所有自举引脚重新采样。
WAKE	11	PD、I/O	**唤醒：**输入/输出引脚，默认为高电平有效输入。作为输入，该引脚将 PHY 从 TC-10 睡眠状态唤醒。在上电时将该引脚置为高电平会使 PHY 退出睡眠状态。在实现 TC-10 电路时，可以使用 10kΩ 外部下拉电阻器，以防止意外唤醒。该引脚可直接连接到 VSLEEP，也可通过电阻器拉至 VSLEEP 以唤醒器件。 该引脚还支持唤醒转发特性，即 PHY 生成的 WAKE 脉冲随后用于唤醒同一系统中的其他 PHY。
时钟接口			
XI	6	I	**基准时钟输入：**基准时钟 25MHz 晶体振或振荡器输入。该器件支持通过引脚 XI 和 XO 连接的外部晶振谐振器，或仅连接至引脚 XI 且 XO 悬空的外部 CMOS 电平振荡器。在菊花链运行中，该引脚还可以接受来自其他器件（例如以太网 MAC 或另一个以太网 PHY）的时钟输入。 如果使用晶体，则将 100Ω 电阻器与 XI 引脚串联
XO	5	O	**基准时钟输出：**XO 引脚仅用于晶振。CMOS 级振荡器与 XI 相连时，该引脚必须悬空。
LED/GPIO 接口			
LED_0/GPIO_0/STRAP_0	17	S、PD、IO	**LED_0：**链路状态 LED。也可以通过选择寄存器将该引脚用作 LED 或时钟输出。
LED_1/GPIO_1	18	PD、IO	**LED_1：**链路状态，在进行 TX/RX 活动时闪烁。也可以通过选择 Strap 配置/寄存器将该引脚用作 LED 或时钟输出。

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 引脚功能 - DP83TC1103B-Q1（续）

引脚		类型(1)	说明
名称(2)	编号		
媒体相关接口			
TRD_M	15	IO	**差分发送和接收：**为 100BASE-T1 运行配置的双向差分信号，符合 IEEE 802.3bw 标准。
TRD_P	14		
电源连接			
GND	GND	接地	**接地：**它必须始终连接到电源接地。
VDD1P0	3	电源	**VDD1P0 电源去耦电容器** Pin3 上不支持外部电源。建议使用 2.2μF 和 0.1μF 陶瓷去耦电容器。
VDDA	7	电源	**内核电源：**3.3V 建议使用 0.47μF 和 0.01μF 陶瓷去耦电容器；可以使用可选的铁氧体磁珠。
VDDIO	35、22	电源	**IO 电源：**1.8V、2.5V 或 3.3V 建议在引脚 22 上使用铁氧体磁珠、0.47μF 和 0.01μF 陶瓷去耦电容器，在引脚 35 上使用 0.01μF 陶瓷去耦电容器
VSLEEP	9	电源	**VSLEEP 电源：**3.3V 建议使用 0.1μF 陶瓷去耦电容器。
无连接			
NC	4	–	**NC：**这些引脚上未连接信号
NC	8	–	
NC	13	–	
NC	16	–	
NC	29	–	
NC	34	–	
配置 (STRAP)			
STRAP_1	19	S、PD	**配置 (Strap) 输入：**用作 PHY 地址配置 (Strap)
RESERVED			
RESERVED	20	I	保留：可以连接到不超过 VDDIO 电压的信号
RESERVED	21	I	保留：可以连接到不超过 VDDIO 电压的信号
RESERVED	23	I，PD	保留：可以连接到不超过 VDDIO 电压的信号 **当器件处于 RESET 模式时，或者如果器件的电源正在斜升（在上电复位之前），则不得从外部驱动该引脚** 虽然在器件处于正常工作状态时该引脚预期处于输入模式，但在器件初始化配置完成之前，该引脚可由 DP83TC1103-Q1 驱动
RESERVED	24	I，PD	保留：可以连接到不超过 VDDIO 电压的信号 虽然在器件处于正常工作状态时该引脚预期处于输入模式，但在器件初始化配置完成之前，该引脚可由 DP83TC1103-Q1 驱动
RESERVED	25	I，PD	保留：可以连接到不超过 VDDIO 电压的信号 虽然在器件处于正常工作状态时该引脚预期处于输入模式，但在器件初始化配置完成之前，该引脚可由 DP83TC1103-Q1 驱动
RESERVED	26	I，PD	保留：可以连接到不超过 VDDIO 电压的信号 **在器件初始化配置完成之前，该引脚上可能存在 25MHz 时钟切换**
RESERVED	27	I	保留：可连接到 VDDIO 电源或不超过 VDDIO 电压的信号
RESERVED	28	I	保留：可以连接到不超过 VDDIO 电压的信号

(1) 引脚类型：
I = 输入

Copyright © 2026 Texas Instruments Incorporated

O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉
S = 自举配置引脚 (所有配置引脚都有弱内部上拉或下拉电阻)

(2) 未使用引脚时，请遵循上表中提供的建议连接要求。如果引脚无所需终端，则可以保持悬空。

Copyright © 2026 Texas Instruments Incorporated

5.1 引脚电源域

表 5-3. 引脚域 DP83TC1103A-Q1

带有外部上拉电阻器的输入引脚应上拉至表中所示的域

引脚编号	引脚名称	电压域
1	MDC	VDDIO
2	INT_N	VDDIO
5	XO	VDDIO
6	XI	VDDIO
10	RESET_N	VDDIO
11	WAKE	VSLEEP
12	INH	VSLEEP
14	TRD_P	VDDA
15	TRD_M	VDDA
17	LED_0/GPIO_1	VDDIO
18	LED_1/GPIO_1	VDDIO
19	RX_ER	VDDIO
20	RX_D3	VDDIO
21	RX_D2	VDDIO
23	RX_D1	VDDIO
24	RX_D0	VDDIO
25	RX_DV/RX_CTRL	VDDIO
26	RX_CLK	VDDIO
29	TX_CLK	VDDIO
30	TX_EN/TX_CTRL	VDDIO
31	TX_D0	VDDIO
32	TX_D1	VDDIO
33	TX_D2	VDDIO
34	TX_D3	VDDIO
36	MDIO	VDDIO

Copyright © 2026 Texas Instruments Incorporated

表 5-4. 引脚域 — DP83TC1103B-Q1

带有外部上拉电阻器的输入引脚应上拉至表中所示的域

引脚编号	引脚名称	电压域
1	MDC	VDDIO
2	INT_N	VDDIO
5	XO	VDDIO
6	XI	VDDIO
10	RESET_N	VDDIO
11	WAKE	VSLEEP
12	INH	VSLEEP
14	TRD_P	VDDA
15	TRD_M	VDDA
17	LED_0/GPIO_1	VDDIO
18	LED_1/GPIO_1	VDDIO
19	STRAP_1	VDDIO
20	RESERVED	VDDIO
21	RESERVED	VDDIO
23	RESERVED	VDDIO
24	RESERVED	VDDIO
25	RESERVED	VDDIO
26	RESERVED	VDDIO
27	RESERVED	VDDIO
28	RESERVED	VDDIO
30	SGMII_SON	VDDIO
31	SGMII_SOP	VDDIO
32	SGMII_SIP	VDDIO
33	SGMII_SIN	VDDIO
36	MDIO	VDDIO

Copyright © 2026 Texas Instruments Incorporated

5.2 引脚状态

表 5-5. 引脚状态 DP83TC1103A-Q1 — 上电/复位

引脚编号	引脚名称	上电/复位		
		引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无
2	INT_N	OD、O	PU	9
3	VDD1P0	电源	无	无
5	XO	O	无	无
6	XI	I	无	无
7	VDDA	电源	无	无
9	VSLEEP	电源	无	无
10	RESET_N	I	PU	9
11	WAKE	I/O	PD	455
12	INH	OD、O	无	无
14	TRD_P	IO	无	无
15	TRD_M	IO	无	无
17	LED_0/GPIO_1	I	PD	9
18	LED_1/GPIO_1	I	PD	9
19	RX_ER	I	PD	6
20	RX_D3	I	PD	9
21	RX_D2	I	PD	9
22	VDDIO	电源	无	无
23	RX_D1	I	PD	9
24	RX_D0	I	PD	9
25	RX_DV/RX_CTRL	I	PD	6
26	RX_CLK	I	PD	9
29	TX_CLK	I	无	无
30	TX_EN/TX_CTRL	I	无	无
31	TX_D0	I	无	无
32	TX_D1	I	无	无
33	TX_D2	I	无	无
34	TX_D3	I	无	无
35	VDDIO	电源	无	无
36	MDIO	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-6. 引脚状态 DP83TC1103A-Q1 — TC10 睡眠

引脚编号	引脚名称	TC10 睡眠（所有电源均打开）		
		引脚状态[1]	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无
2	INT_N	OD、O	PU	9
3	VDD1P0	电源	无	无
5	XO	O	无	无
6	XI	I	无	无
7	VDDA	电源	无	无
9	VSLEEP	电源	无	无
10	RESET_N	I	PU	9
11	WAKE	I/O	PD	455
12	INH	OD、O	无	无
14	TRD_P	IO	无	无
15	TRD_M	IO	无	无
17	LED_0/GPIO_1	I	PD	9
18	LED_1/GPIO_1	I	PD	9
19	RX_ER	I	PD	6
20	RX_D3	I	PD	9
21	RX_D2	I	PD	9
22	VDDIO	电源	无	无
23	RX_D1	I	PD	9
24	RX_D0	I	PD	9
25	RX_DV/RX_CTRL	I	PD	6
26	RX_CLK	I	PD	9
29	TX_CLK	I	无	无
30	TX_EN/TX_CTRL	I	无	无
31	TX_D0	I	无	无
32	TX_D1	I	无	无
33	TX_D2	I	无	无
34	TX_D3	I	无	无
35	VDDIO	电源	无	无
36	MDIO	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 引脚状态 DP83TC1103A-Q1 — MAC 隔离和 IEEE PWDN

引脚编号	引脚名称	MAC 隔离			IEEE PWDN		
		引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无	I	无	无
2	INT_N	OD、O	PU	9	OD、O	PU	9
3	VDD1P0	电源	无	无	电源	无	无
5	XO	O	无	无	O	无	无
6	XI	I	无	无	I	无	无
7	VDDA	电源	无	无	电源	无	无
9	VSLEEP	电源	无	无	电源	无	无
10	RESET_N	I	PU	9	I	PU	9
11	WAKE	IO	PD	455	IO	PD	455
12	INH	OD、O	无	无	OD、O	无	无
14	TRD_P	IO	无	无	IO	无	无
15	TRD_M	IO	无	无	IO	无	无
17	LED_0/GPIO_1	O	无	无	O	无	无
18	LED_1/GPIO_1	O	无	无	O	无	无
19	RX_ER	I	PD	6	I	PD	6
20	RX_D3	I	PD	9	O	无	无
21	RX_D2	I	PD	9	O	无	无
22	VDDIO	电源	无	无	电源	无	无
23	RX_D1	I	PD	9	O	无	无
24	RX_D0	I	PD	9	O	无	无
25	RX_DV/ RX_CTRL	I	PD	6	O	无	无
26	RX_CLK	I	PD	9	O	无	无
29	TX_CLK	I	PD	9	I	无	无
30	TX_EN/ TX_CTRL	I	PD	9	I	无	无
31	TX_D0	I	PD	9	I	无	无
32	TX_D1	I	PD	9	I	无	无
33	TX_D2	I	PD	9	I	无	无
34	TX_D3	I	PD	9	I	无	无
35	VDDIO	电源	无	无	电源	无	无
36	MDIO	OD、IO	无	无	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-8. 引脚状态 DP83TC1103A-Q1 — MII 和 RGMII

引脚编号	引脚名称	MII			RGMII		
		引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无	I	无	无
2	INT_N	OD、O	PU	9	OD、O	PU	9
3	VDD1P0	电源	无	无	电源	无	无
5	XO	O	无	无	O	无	无
6	XI	I	无	无	I	无	无
7	VDDA	电源	无	无	电源	无	无
9	VSLEEP	电源	无	无	电源	无	无
10	RESET_N	I	PU	9	I	PU	9
11	WAKE	IO	PD	455	IO	PD	455
12	INH	OD、O	无	无	OD、O	无	无
14	TRD_P	IO	无	无	IO	无	无
15	TRD_M	IO	无	无	IO	无	无
17	LED_0/GPIO_1	O	无	无	O	无	无
18	LED_1/GPIO_1	O	无	无	O	无	无
19	RX_ER	O	无	无	I	PD	6
20	RX_D3	O	无	无	O	无	无
21	RX_D2	O	无	无	O	无	无
22	VDDIO	电源	无	无	电源	无	无
23	RX_D1	O	无	无	O	无	无
24	RX_D0	O	无	无	O	无	无
25	RX_DV/ RX_CTRL	O	无	无	O	无	无
26	RX_CLK	O	无	无	O	无	无
29	TX_CLK	O	无	无	I	无	无
30	TX_EN/ TX_CTRL	I	无	无	I	无	无
31	TX_D0	I	无	无	I	无	无
32	TX_D1	I	无	无	I	无	无
33	TX_D2	I	无	无	I	无	无
34	TX_D3	I	无	无	I	无	无
35	VDDIO	电源	无	无	电源	无	无
36	MDIO	OD、IO	无	无	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-9. 引脚状态 DP83TC1103A-Q1 — RMII 主模式和 RMII 从模式

引脚编号	引脚名称	RMII 主模式			RMII 从模式		
		引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无	I	无	无
2	INT_N	OD、O	PU	9	OD、O	PU	9
3	VDD1P0	电源	无	无	电源	无	无
5	XO	O	无	无	O	无	无
6	XI	I	无	无	I	无	无
7	VDDA	电源	无	无	电源	无	无
9	VSLEEP	电源	无	无	电源	无	无
10	RESET_N	I	PU	9	I	PU	9
11	WAKE	IO	PD	455	IO	PD	455
12	INH	OD、O	无	无	OD、O	无	无
14	TRD_P	IO	无	无	IO	无	无
15	TRD_M	IO	无	无	IO	无	无
17	LED_0/GPIO_0	O	无	无	O	无	无
18	LED_1/GPIO_1	O	无	无	O	无	无
19	RX_ER/ RX_CTRL	I	PD	9	I	PD	9
20	RX_D3	I，PD	无	无	I	PD	9
21	RX_D2	I	PD	9	I	PD	9
22	VDDIO	电源	无	无	电源	无	无
23	RX_D1	O	无	无	O	无	无
24	RX_D0	O	无	无	O	无	无
25	RX_DV	O	无	无	O	无	无
26	RX_CLK	I	PD	9	I	PD	9
29	TX_CLK	O、50MHz	无	无	I	无	无
30	TX_EN/ TX_CTRL	I	无	无	I	无	无
31	TX_D0	I	无	无	I	无	无
32	TX_D1	I	无	无	I	无	无
33	TX_D2	I	无	无	I	无	无
34	TX_D3	I	无	无	I	无	无
35	VDDIO	电源	无	无	电源	无	无
36	MDIO	OD、IO	无	无	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-10. 引脚状态 DP83TC1103B-Q1 — 上电/复位

引脚编号	引脚名称	上电/复位		
		引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无
2	INT_N	OD、O	PU	9
3	VDD1P0	电源	无	无
5	XO	O	无	无
6	XI	I	无	无
7	VDDA	电源	无	无
9	VSLEEP	电源	无	无
10	RESET_N	I	PU	9
11	WAKE	I/O	PD	455
12	INH	OD、O	无	无
14	TRD_P	IO	无	无
15	TRD_M	IO	无	无
17	LED_0/GPIO_1	I	PD	9
18	LED_1/GPIO_1	I	PD	9
19	STRAP_1	I	PD	6
20	RESERVED	I	无	无
21	RESERVED	I	无	无
22	VDDIO	电源	无	无
23	RESERVED	I	PD	9
24	RESERVED	I	PD	9
25	RESERVED	I	PD	6
26	RESERVED	I	PD	9
27	RESERVED	I	无	无
28	RESERVED	I	无	无
30	SGMII_SON	I	无	无
31	SGMII_SOP	I	无	无
32	SGMII_SIP	I	无	无
33	SGMII_SIN	I	无	无
35	VDDIO	电源	无	无
36	MDIO	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-11. 引脚状态 DP83TC1103B-Q1 — TC10 睡眠

引脚编号	引脚名称	TC10 睡眠（所有电源均打开）		
		引脚状态[1]	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无
2	INT_N	OD、O	PU	9
3	VDD1P0	电源	无	无
5	XO	O	无	无
6	XI	I	无	无
7	VDDA	电源	无	无
9	VSLEEP	电源	无	无
10	RESET_N	I	PU	9
11	WAKE	I/O	PD	455
12	INH	OD、O	无	无
14	TRD_P	IO	无	无
15	TRD_M	IO	无	无
17	LED_0/GPIO_1	I	PD	9
18	LED_1/GPIO_1	I	PD	9
19	STRAP_1	I	PD	6
20	RESERVED	I	无	无
21	RESERVED	I	无	无
22	VDDIO	电源	无	无
23	RESERVED	I	PD	9
24	RESERVED	I	PD	9
25	RESERVED	I	PD	6
26	RESERVED	I	PD	9
27	RESERVED	I	无	无
28	RESERVED	I	无	无
30	SGMII_SON	I	无	无
31	SGMII_SOP	I	无	无
32	SGMII_SIP	I	无	无
33	SGMII_SIN	I	无	无
35	VDDIO	电源	无	无
36	MDIO	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-12. 引脚状态 DP83TC1103B-Q1 — MAC 隔离和 IEEE PWDN

引脚编号	引脚名称	MAC 隔离			IEEE PWDN		
		引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无	I	无	无
2	INT_N	OD、O	PU	9	OD、O	PU	9
3	VDD1P0	电源	无	无	电源	无	无
5	XO	O	无	无	O	无	无
6	XI	I	无	无	I	无	无
7	VDDA	电源	无	无	电源	无	无
9	VSLEEP	电源	无	无	电源	无	无
10	RESET_N	I	PU	9	I	PU	9
11	WAKE	IO	PD	455	IO	PD	455
12	INH	OD、O	无	无	OD、O	无	无
14	TRD_P	IO	无	无	IO	无	无
15	TRD_M	IO	无	无	IO	无	无
17	LED_0/GPIO_1	O	无	无	O	无	无
18	LED_1/GPIO_1	O	无	无	O	无	无
19	STRAP_1	I	PD	6	I	PD	6
20	RESERVED	I	PD	9	I	无	无
21	RESERVED	I	PD	9	I	无	无
22	VDDIO	电源	无	无	电源	无	无
23	RESERVED	I	PD	9	O	无	无
24	RESERVED	I	PD	9	O	无	无
25	RESERVED	I	PD	6	O	无	无
26	RESERVED	I	PD	9	O	无	无
27	RESERVED	I	无	无	I	无	无
28	RESERVED	I	无	无	I	无	无
30	SGMII_SON	I	无	无	I	无	无
31	SGMII_SOP	I	无	无	I	无	无
32	SGMII_SIP	I	无	无	I	无	无
33	SGMII_SIN	I	无	无	I	无	无
35	VDDIO	电源	无	无	电源	无	无
36	MDIO	OD、IO	无	无	OD、IO	无	无

Copyright © 2026 Texas Instruments Incorporated

表 5-13. 引脚状态 DP83TC1103B-Q1 — SGMII

引脚编号	引脚名称	SGMII		
		引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
1	MDC	I	无	无
2	INT_N	OD、O	PU	9
3	VDD1P0	电源	无	无
5	XO	O	无	无
6	XI	I	无	无
7	VDDA	电源	无	无
9	VSLEEP	电源	无	无
10	RESET_N	I	PU	9
11	WAKE	IO	PD	455
12	INH	OD、O	无	无
14	TRD_P	IO	无	无
15	TRD_M	IO	无	无
17	LED_0/GPIO_0	O	无	无
18	LED_1/GPIO_1	O	无	无
19	STRAP_1	I	PD	6
20	RESERVED	I	无	无
21	RESERVED	I	无	无
22	VDDIO	电源	无	无
23	RESERVED	I	PD	9
24	RESERVED	I	PD	9
25	RESERVED	I	PD	6
26	RESERVED	I	PD	9
27	RESERVED	I	无	无
28	RESERVED	I	无	无
30	SGMII_SON	O	无	无
31	SGMII_SOP	O	无	无
32	SGMII_SIP	I	无	无
33	SGMII_SIN	I	无	无
35	VDDIO	电源	无	无
36	MDIO	OD、IO	无	无

(1) 类型：I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉

Copyright © 2026 Texas Instruments Incorporated

5.3 引脚多路复用

下表详细介绍了 GPIO 引脚上可用的不同功能。

LED： 引脚配置为 LED 指示。

事件触发/捕获： 通过配置引脚来捕获和触发 802.1AS 时间戳生成的事件

PTP 中断： 配置引脚以输出 802.1AS/PTP 特定中断

50/25MHz PTP 输入： PTP 的 50/25MHz 基准时钟

PPM 监测器： 引脚配置为外部时钟输入，以相对于内部时钟监测 PPM

表 5-14. 引脚多路复用 — DP83TC1103x-Q1 GPIO

字段	引脚	默认值	LED	事件触发/捕获	50/25MHz PTP 输入	PTP 中断	PPM 监测器
LED_0/GPIO_0	17	LED_0	是	是	是	是	是
LED_1/GPIO_1	18	LED_1	是	是		是	

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	典型值	最大值	单位
输入电压	VDDA	-0.3		4	V
输入电压	VDDIO (3.3V)	-0.3		4	V
输入电压	VDDIO(2.5V)	-0.3		4	V
输入电压	VDDIO(1.8V)	-0.3		4	V
输入电压	VSLEEP	-0.3		4	V
引脚	MDI（TRD_M、TRD_P）	-0.3		4	V
输入电压	MDC、RESET、XI、LED_1、RX_ER、RX_CTRL、RX_D[3:0]、TX_CLK、TX_CTRL、TX_D[3:0]、LED_0、MDIO、GPIO	-0.3		VDDIO + 0.3	V
输入电压	RESERVED	-0.3		VDDIO + 0.3	V
输出电压	INH	-0.3		VSLEEP + 0.3	V
输入电压	WAKE	-0.3		VSLEEP + 0.3	V
输出电压	INT、LED_1、RX_CTRL、RX_D[3:0]、RX_CLK、LED_0、MDIO、GPIO	-0.3		4	V
输入电压	SGMII_SIP、SGMII_SIN	-0.3		VDDIO+0.3	V
输出电压	SGMII_SOP、SGMII_SON	-0.3		4	V
输出电压	RESERVED	-0.3		4	V
T_J	结温	-40		150	°C
T_{stg}	贮存温度	-65		150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
			TRD_M、TRD_P 引脚	±8000	
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±500	
		IEC 61000-4-2 接触放电	TRD_M、TRD_P 引脚	±8000	

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDDIO	IO 电源电压，以 1.8V 运行	1.665	1.8	1.935	V
	IO 电源电压，以 2.5V 运行	2.3125	2.5	2.6875	
	IO 电源电压，以 3.3V 运行	3.0525	3.3	3.5475	
VDDA	内核电源电压，3.3V	2.97	3.3	3.63	V
VSLEEP	睡眠电源电压，3.3V	2.97	3.3	3.63	V

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
T_A	环境温度	-40		125	°C

6.4 热性能信息

热指标(1)		DP83TC1103-Q1 RHA (VQFN) 36 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	11.5	°C/W
$R_{\theta JB}$	结至电路板热阻	14.2	°C/W
Ψ_{JT}	结至顶部特征参数	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	14.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	5.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
符合 100BASE-T1 PMA 标准						
V_{OD-MDI}	输出差分电压	$R_{L(diff)}$ = 100 Ω			2.2	V
$R_{MDI-Diff}$	集成差分输出终端	TRD_P 和 TRD_M		100		Ω
自举直流特性（2 级）						
V_{MODE1}	模式 1 配置电压范围	VDDIO = 3.3V±7.5%，2 级 Strap 配置	0		0.8	V
V_{MODE2}	模式 2 配置电压范围	VDDIO = 3.3V±7.5%，2 级 Strap 配置	2		VDDIO	V
V_{MODE1}	模式 1 配置电压范围	VDDIO = 2.5V±7.5%，2 级 Strap 配置	0		0.7	V
V_{MODE2}	模式 2 配置电压范围	VDDIO = 2.5V±7.5%，2 级 Strap 配置	1.7		VDDIO	V
V_{MODE1}	模式 1 配置电压范围	VDDIO = 1.8V±7.5%，2 级 Strap 配置	0		0.35 × VDDIO	V
V_{MODE2}	模式 2 配置电压范围	VDDIO = 1.8V±7.5%，2 级 Strap 配置	0.65 × VDDIO		VDDIO	V
IO 特性						
V_{IH}	高电平输入电压	VDDIO = 1.8V ±7.5%	0.65 × VDDIO			V
V_{IL}	低电平输入电压	VDDIO = 1.8V ±7.5%			0.35 × VDDIO	V
V_{OH}	高电平输出电压	I_{OH} = -2mA，VDDIO = 1.8V±7.5%	VDDIO-0.45			V
V_{OL}	低电平输出电压	I_{OH} = -2mA，VDDIO = 1.8V±7.5%			0.45	V
I_{IH}	输入高电流(1)	VIN = VDDIO，除 XI 和 WAKE 之外的所有引脚	-10		10	µA
I_{IH-XI}	输入高电流(1)	VIN = VDDIO、XI 引脚	-15		15	µA
I_{IL-XI}	输入低电流(1)	VIN = GND、XI 引脚	-15		15	µA
I_{IL}	输入低电流(1)	VIN = GND、除 XI 以外的所有引脚、RESET_N 引脚	-10		10	µA
I_{IL-RST}	输入低电流	VIN = GND、$\overline{\text{RESET}}$ 引脚	-500		0	µA

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
Iozh	三态输出高电流(2)	VIN = VDDIO，除 RX_CTRL 和 RX_ER 之外的所有引脚	-10		10	µA
Iozh	三态输出高电流(2)	VIN = VDDIO、RX_CTRL 和 RX_ER	-52		52	µA
Iozl	三态输出低电流(2)	VOUT = GND	-10		10	µA
R_{pulldn}	内部下拉电阻	RX_D[3:0]、RX_CLK、LED_0、LED_1、TX_CTRL	6.2	8.4	10.7	kΩ
R_{pulldn}	内部下拉电阻	RX_CTRL、RX_ER	4.725	5.8	7.2	kΩ
R_{pulldn}	内部下拉电阻	WAKE	320	455	590	kΩ
R_{pullup}	内部上拉电阻器	INT、RESET	6.3	9	11.2	kΩ
XI V_{IH}	高电平输入电压		1.3		VDDIO	V
XI V_{IL}	低电平输入电压				0.5	V
C_{IN}	输入电容 XI			1		pF
C_{IN}	输入电容输入引脚			5		pF
C_{OUT}	输出电容 XO			1		pF
C_{OUT}	输出电容输出引脚			5		pF
R_{series}	集成 MAC 串联终端电阻器	RX_D[3:0]、RX_ER、RX_DV、RX_CLK	35	50	65	Ω
功耗 VDDIO						
I(VDDIO = 3.3V)	MII	适用于 1103A-Q1		20	25	mA
I(VDDIO = 3.3V)	RMII			19	25	mA
I(VDDIO = 3.3V)	RGMII			17	23	mA
I(VDDIO = 3.3V)	SGMII	适用于 1103B-Q1		10	14	mA
I(VDDIO = 2.5V)	MII	适用于 1103A-Q1		14	18	mA
I(VDDIO = 2.5V)	RMII			13	18	mA
I(VDDIO = 2.5V)	RGMII			12	16	mA
I(VDDIO = 2.5V)	SGMII	适用于 1103B-Q1		6	9	mA
I(VDDIO = 1.8V)	MII	适用于 1103A-Q1		10	13	mA
I(VDDIO = 1.8V)	RMII			9	13	mA
I(VDDIO = 1.8V)	RGMII			8	12	mA
I(VDDIO = 1.8V)	SGMII	适用于 1103B-Q1		4	6	mA
I(VDDIO = 3.3V)	MII	802.1AS 已启用，适用于 1103A-Q1		22	28	mA
I(VDDIO = 3.3V)	RMII			23	28	mA
I(VDDIO = 3.3V)	RGMII			20	28	mA
I(VDDIO = 3.3V)	SGMII	802.1AS 已启用，适用于 1103B-Q1		13	22	mA
I(VDDIO = 2.5V)	MII	802.1AS 已启用，适用于 1103A-Q1		16	22	mA
I(VDDIO = 2.5V)	RMII			15	21	mA
I(VDDIO = 2.5V)	RGMII			14	19	mA
I(VDDIO = 2.5V)	SGMII	802.1AS 已启用，适用于 1103B-Q1		8	15	mA
I(VDDIO = 1.8V)	MII	802.1AS 已启用，适用于 1103A-Q1		11	17	mA
I(VDDIO = 1.8V)	RMII			11	17	mA
I(VDDIO = 1.8V)	RGMII			8	17	mA
I(VDDIO = 1.8V)	SGMII	802.1AS 已启用，适用于 1103B-Q1		6	12	mA
功耗：内核电源						

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I(VDDA = 3.3V)	xMII	802.1AS 已禁用，适用于 1103A-Q1		71	172	mA
	SGMII	802.1AS 已禁用，适用于 1103B-Q1		91	193	mA
功耗：内核电源，802.1AS 启用						
I(VDDA = 3.3V)	xMII	802.1AS 已启用，适用于 1103A-Q1		87	194	mA
	SGMII	802.1AS 已启用，适用于 1103B-Q1		107	215	mA
功耗：低功耗模式						
I(VDDA = 3.3V)	RESET			17	103	mA
I(VDDIO = 3.3V)	RESET	VDDIO		12	18	mA
I(VDDIO = 2.5V)	RESET			8.5	14	mA
I(VDDIO = 1.8V)	RESET			6	10	mA
I(VDDA = 3.3V)	IEEE 断电			15	98	mA
I(VDDIO = 3.3V)	IEEE 断电	VDDIO		12	18	mA
I(VDDIO = 1.8V)	IEEE 断电			8	11	mA
I(VDDIO = 2.5V)	IEEE 断电			8	14	mA
I(VDDA = 3.3V)	待机			31	119	mA
I(VDDIO = 3.3V)	待机	xMII、VDDIO，适用于 1103A-Q1		15	22	mA
	待机	SGMII、VDDIO，适用于 1103B-Q1		12	15	mA
I(VDDIO = 2.5V)	待机	xMII、VDDIO，适用于 1103A-Q1		11	16	mA
	待机	SGMII、VDDIO，适用于 1103B-Q1		8	13	mA
I(VDDIO = 1.8V)	待机	xMII、VDDIO，适用于 1103A-Q1		8	13	mA
	待机	SGMII、VDDIO，适用于 1103B-Q1		6	8	mA
I(VSLEEP)	TC-10 睡眠	所有其他电源均关闭		7	18	µA
	TC-10 睡眠	所有其他电源均关闭、启用快速唤醒模式		25	50	µA
I(VDDIO = 3.3V)	TC-10 睡眠、电源开启	VDDIO		12	16	mA
I(VDDIO = 2.5V)	TC-10 睡眠、电源开启			8.5	12	mA
I(VDDIO = 1.8V)	TC-10 睡眠、电源开启			6	9	mA
I(VDDA = 3.3V)	TC-10 睡眠、电源开启			35	132	mA
SGMII 输入						
V_{IDTH}	输入差分电压容差	SI_P 和 SI_N、交流耦合	0.1			V
$R_{IN-DIFF}$	接收器差动输入阻抗（直流）		80		120	Ω
SGMII 输出						
	时钟信号占空比	SO_P 和 SO_N、交流耦合、0101010101 模式	48		52	%
	输出差分电压	SO_P 和 SO_N，交流耦合	150		400	mV

(1) 适用于引脚：MDC、TX_CLK、TX_CTRL、TX_D[3:0] 和 RESET_N
(2) 适用于引脚：RX_D[3:0]、RX_CLK、RX_CTRL、MDIO、INT_N 和 XO。

6.6 时序要求

参数		测试条件	最小值	标称值	最大值	单位
MII 时序						
T1.1	TX_CLK 高电平/低电平时间		16	20	24	ns

Copyright © 2026 Texas Instruments Incorporated

6.6 时序要求（续）

参数		测试条件	最小值	标称值	最大值	单位
T1.2	TX_D[3:0]，TX_ER、TX_EN 设置为 TX_CLK		10			ns
T1.3	TX_D[3:0]，来自 TX_CLK 的 TX_ER、TX_EN 保持		0			ns
T2.1	RX_CLK 高电平/低电平时间		16	20	24	ns
T2.2	RX_D[3:0]、RX_ER、RX_DV 相对于 RX_CLK 上升的延迟时间		10		30	ns
RMII 主模式时序						
T3.1	RMII 主模式时钟周期			20		ns
	RMII 主时钟占空比		35		65	%
T3.2	TX_D[1:0]、TX_ER、TX_EN 相对于 RMII 主时钟的建立时间		4			ns
T3.3	TX_D[1:0]、TX_ER、TX_EN 相对于 RMII 主时钟的保持时间		2			ns
T3.4	RX_D[1:0]、RX_ER、CRS_DV 相对于 RMII 主时钟上升沿的延迟时间		4	10	14	ns
RMII 从模式时序						
T3.1	输入基准时钟周期			20		ns
	基准时钟占空比		35		65	%
T3.2	TX_D[1:0]、TX_ER、TX_EN 设置，到 XI 时钟上升		4			ns
T3.3	TX_D[1:0]、TX_ER、TX_EN 保持，从 XI 时钟上升		2			ns
T3.4	RX_D[1:0]、RX_ER、CRS_DV 延迟，从 XI 时钟上升		4		14	ns
RGMII 输入时序						
T_{cyc}	时钟周期时长	TX_CLK	36	40	44	ns
$T_{setup(align)}$	TX_D[3:0]、TX_CTRL 相对于 TX_CLK 的建立时间（对齐模式）		1	2		ns
$T_{hold(align)}$	TX_D[3:0]、TX_CLK 相对于 TX_CTRL 的保持时间（对齐模式）		1	2		ns
RGMII 输出时序						
$T_{skew(align)}$	RX_D[3:0]，RX_CLK 后的 RX_CTRL 延迟（已启用对齐模式）	在 PHY 引脚上	-1.2		1.2	ns
$T_{setup(shift)}$	RX_D[3:0]、RX_CTRL 相对于 RX_CLK 的延迟（移位模式启用，默认设置）	在 PHY 引脚上	2			ns
T_{cyc}	时钟周期时长	RX_CLK	36	40	44	ns
Duty_G	占空比	RX_CLK	45	50	55	%
SMI 时序						
T4.1	MDC 至 MDIO（输出）延迟时间	25pF 负载电容	0		40	ns
T4.2	MDIO（输入）至 MDC 建立时间		10			ns
T4.3	MDIO（输入）至 MDC 保持时间		10			ns
	MDC 频率			2.5	20	MHz
上电时序						
T5.1	电源斜坡时间：AVDD、DVDD、VDDIO(1)		0.2		8	ms
T5.1	电源斜坡时间：Vsleep(1)		0.4		8	ms
T5.2	电源斜坡延迟偏移：适用于所有电源				10	ms
T5.3	XTAL 启动/稳定：上电至 XI 良好/稳定			1.5		ms
T5.4	从上电到振荡器稳定的时间				10	ms
	最后一个电源上电，稳定时钟至复位释放				10	ms
T5.5	上电后至 SMI 就绪：为寄存器访问发送 MDC 前导码之前所需的上电后等待时间		10			ms

Copyright © 2026 Texas Instruments Incorporated

6.6 时序要求（续）

参数		测试条件	最小值	标称值	最大值	单位
T5.6	上电至配置 (strap) 锁存				10	ms
T5.8	上电至空闲流				10	ms
复位时序 (RESET_N)						
T6.1	复位脉冲宽度：能够复位的最小复位脉冲宽度		100			µs
T6.2	复位至 SMI 就绪：为寄存器访问发送 MDC 前导码之前所需的复位后等待时间		1			ms
T6.3	复位至 Strap 配置锁存：硬件配置引脚转换为输出驱动器			80		µs
T6.4	复位为空闲流				1800	µs
唤醒请求和唤醒脉冲时序						
T7.1	本地唤醒脉冲持续时间		40			µs
T7.2	本地唤醒至 INH 转换				40	µs
T7.3	基于能量检测的唤醒脉冲持续时间				0.7	ms
T7.4	基于能量检测的唤醒至 INH 转换				0.7	ms
T7.5	基于能量检测的唤醒至 WAKE 转发脉冲				1.4	ms
发送延迟时序						
	TX_EN 置位的 MII 上升沿 TX_CLK 至 MD 上的 SSD 符号		190		275	ns
	TX_EN 置位的 MII 上升沿 TX_CLK 至 MD 上的 SSD 符号	PTP 启用	170		275	ns
	RMII 从模式上升沿 XI 时钟在 MDI 上置位 TX_EN 至 SSD 符号		350		473	ns
	RMII 主模式上升沿时钟在 MDI 上置位 TX_EN 至 SSD 符号		340		462	ns
	TX_CTRL 置位的 RGMII 上升沿 TX_CLK 至 MDI 上的 SSD 符号		340		493	ns
	SGMII 的第一个符号至 MDI 上的 SSD 符号		375		505	ns
接收延迟时序						
	MDI 上的 SSD 符号到 RX_DV 置位的 RX_CLK 的 MII 上升沿		420		530	ns
	MDI 上的 SSD 符号到 RX_DV 置位的 RX_CLK 的 MII 上升沿	PTP 启用	450		600	ns
	MDI 上的 SSD 符号到 CRS_DV 置位的 XI 时钟从模式 RMII 上升沿		499		660	ns
	MDI 上的 SSD 符号到 CRS_DV 置位的主时钟的主 RMII 上升沿		499		720	ns
	MDI 上的 SSD 符号至 RX_CTRL 已置位 RGMII RX_CLK 的上升沿		450		590	ns
	MDI 上的 SSD 符号至 SGMII 的第一个符号		727		884	ns
25MHz 振荡器要求						
	频率容差		-100		+100	ppm
	上升/下降时间 (10%-90%)				8	ns
	抖动容差 (RMS)				25	ps
	外部时钟模式下的 XI 占空比		40		60	%
50MHz 振荡器要求						
	频率			50		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm
	上升/下降时间 (10% - 90%)				4	ns
	占空比		35		65	%
25MHz 晶振要求						
	频率			25		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm

Copyright © 2026 Texas Instruments Incorporated

6.6 时序要求（续）

参数		测试条件	最小值	标称值	最大值	单位
	等效串联电阻				100	Ω

(1) 对于斜坡速率超过 8ms 的电源，在最后一个电源稳定后，需要一个复位脉冲。

Copyright © 2026 Texas Instruments Incorporated

6.7 计时示意图

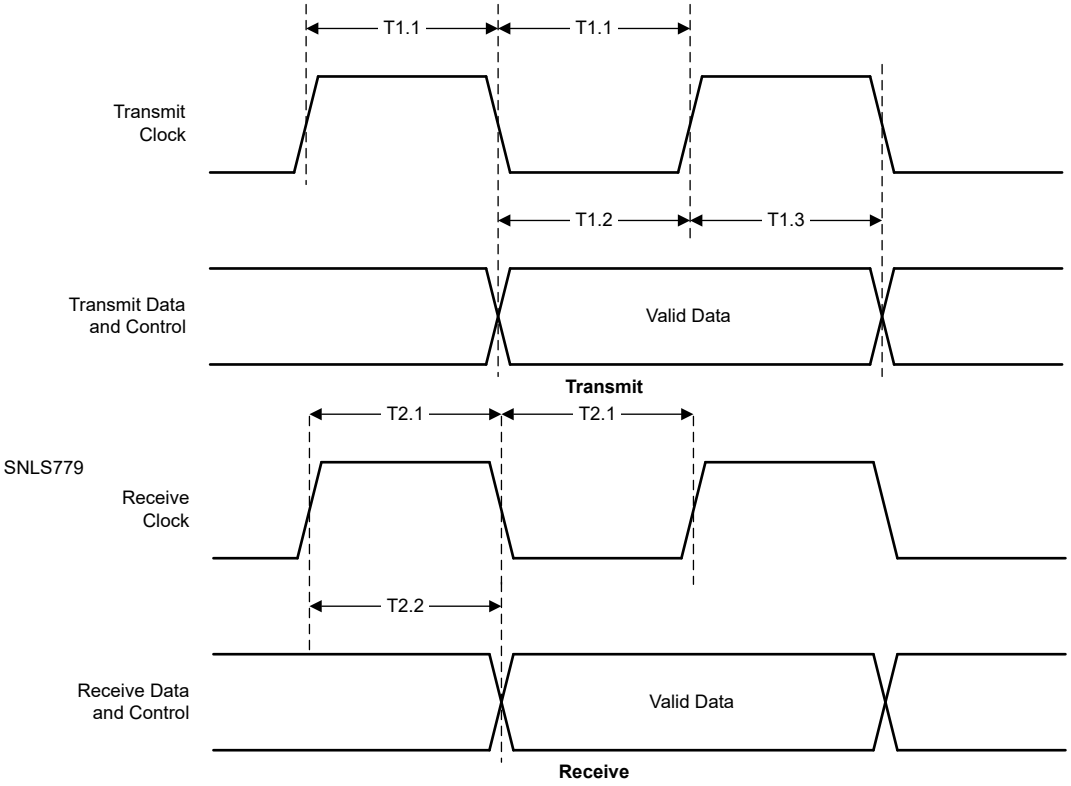


图 6-1. MII 时序

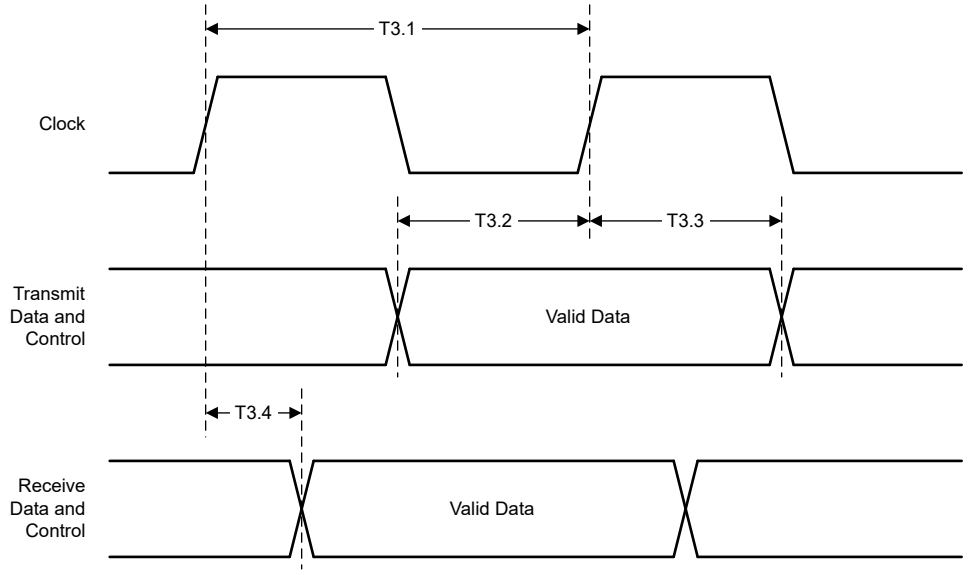


图 6-2. RMII 发送和接收时序

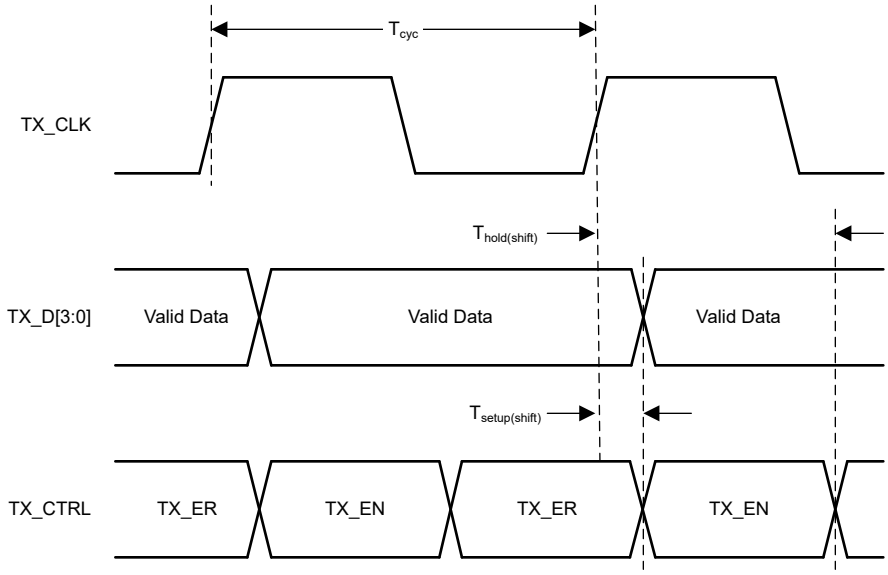


图 6-3. RGMII 发送时序（启用内部延迟）

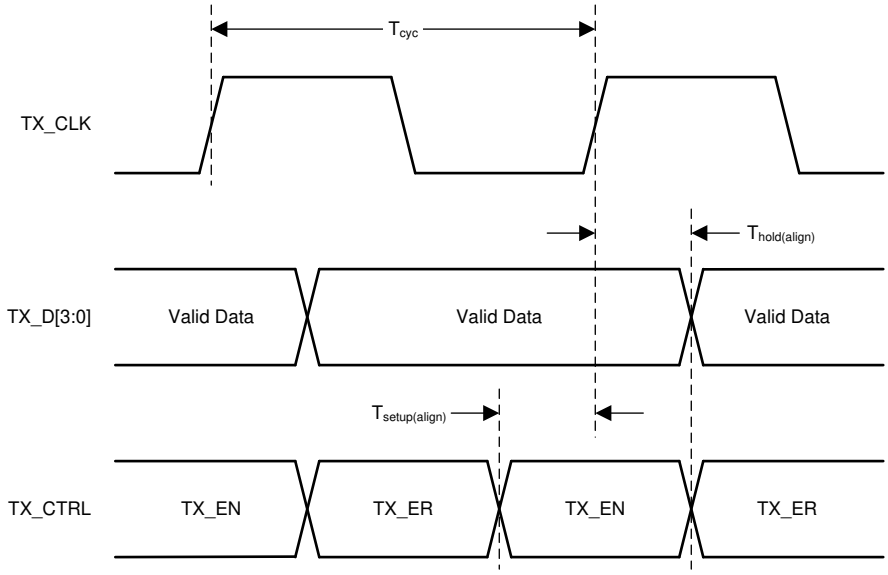


图 6-4. RGMII 发送时序（禁用内部延迟）

Copyright © 2026 Texas Instruments Incorporated

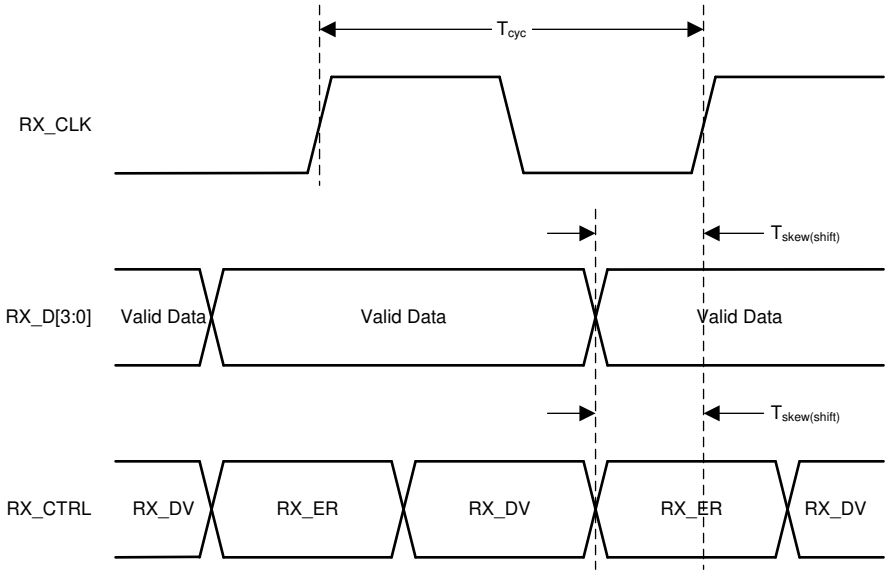


图 6-5. RGMII 接收时序（启用内部延迟）

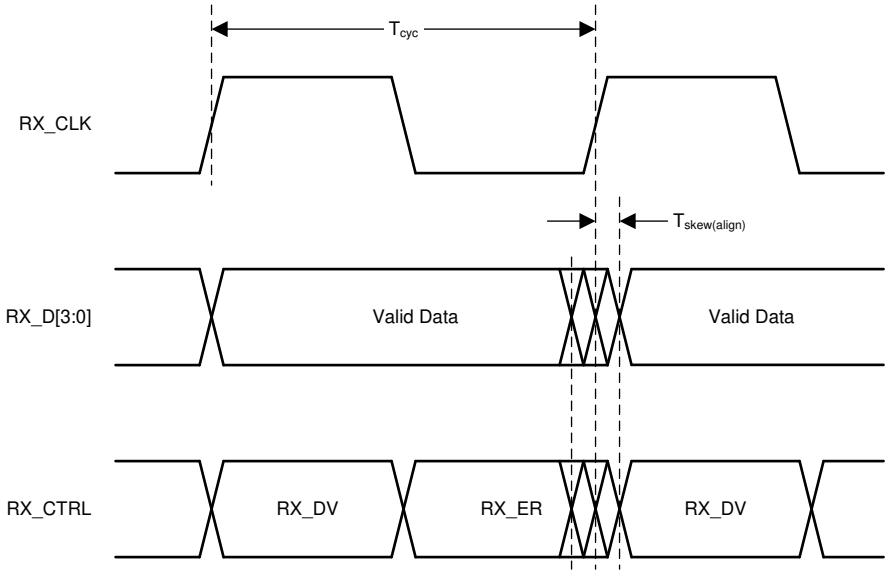


图 6-6. RGMII 接收时序（禁用内部延迟）

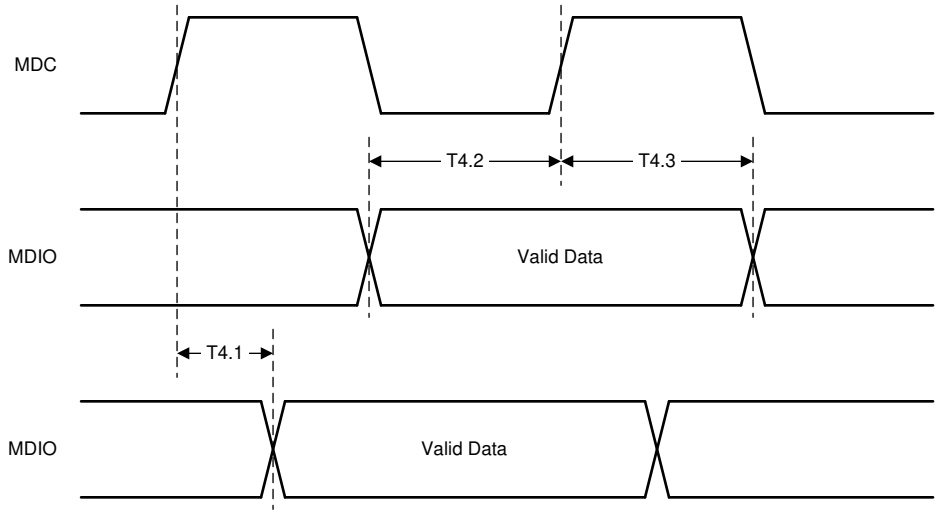


图 6-7. 串行管理时序

Copyright © 2026 Texas Instruments Incorporated

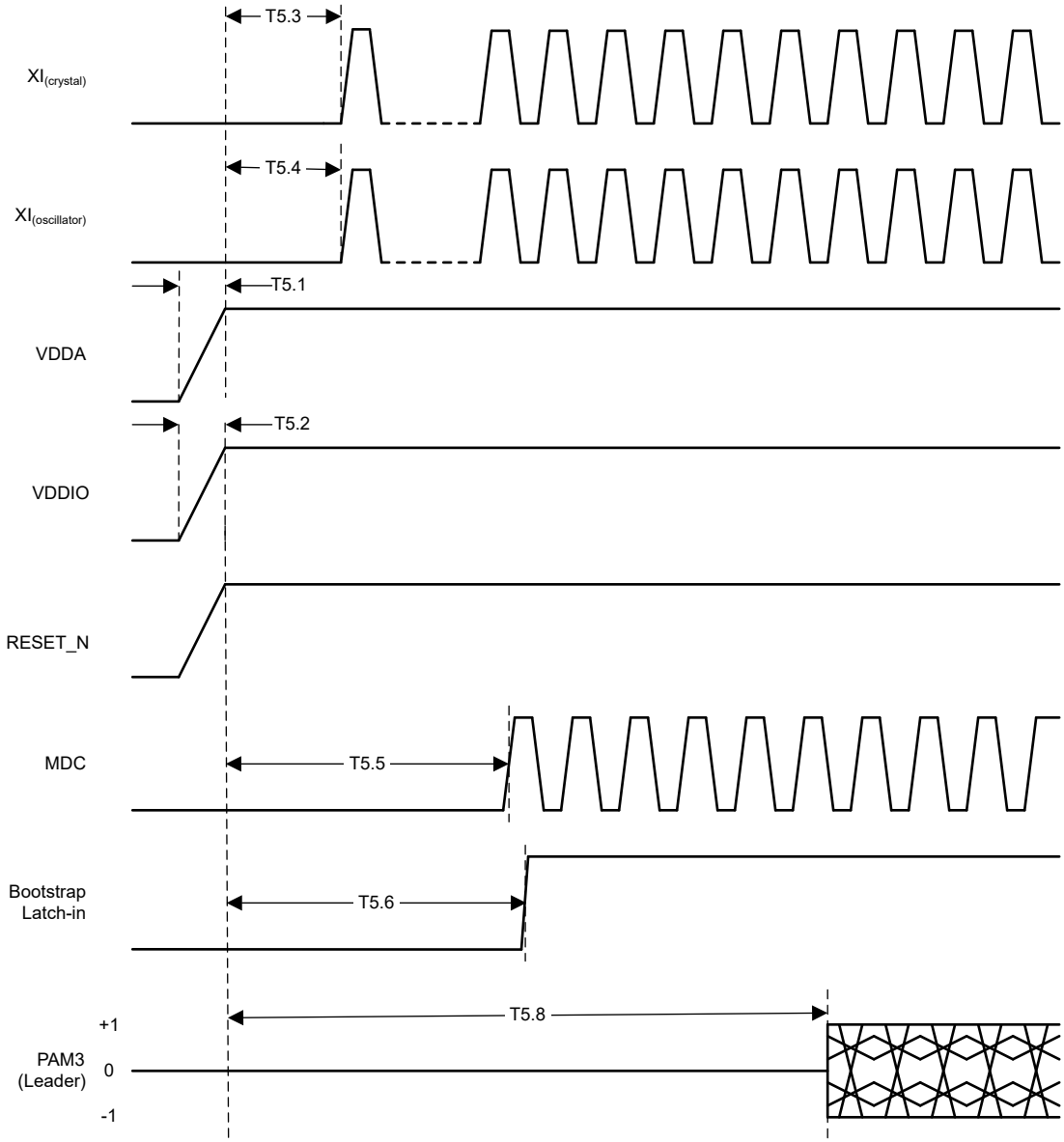

T5.3
XI(crystal)
T5.4
XI(oscillator)
T5.1
VDDA
T5.2
VDDIO
RESET_N
MDC
T5.5
Bootstrap
Latch-in
T5.6
T5.8
+1
PAM3
(Leader)
0
-1

图 6-8. 上电时序

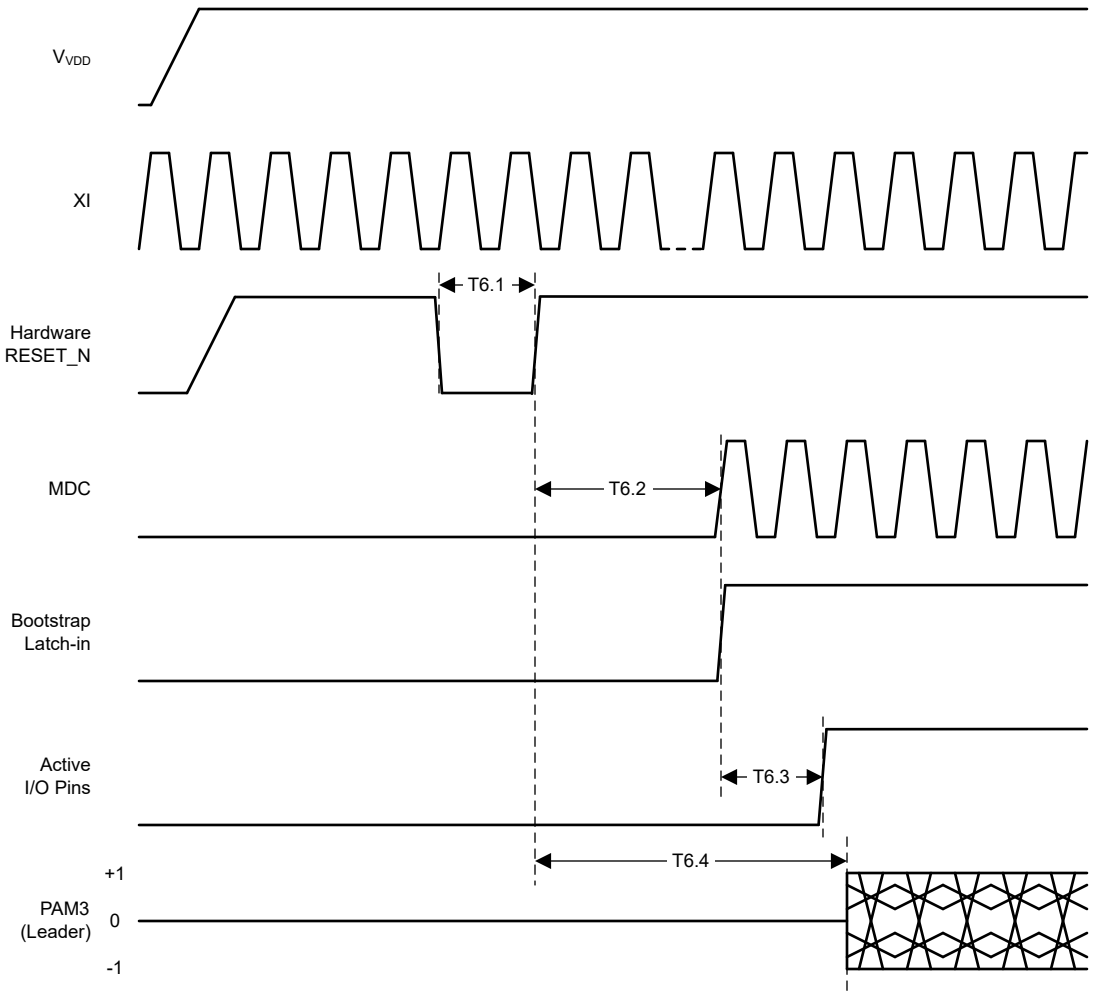


图 6-9. 复位时序

Copyright © 2026 Texas Instruments Incorporated

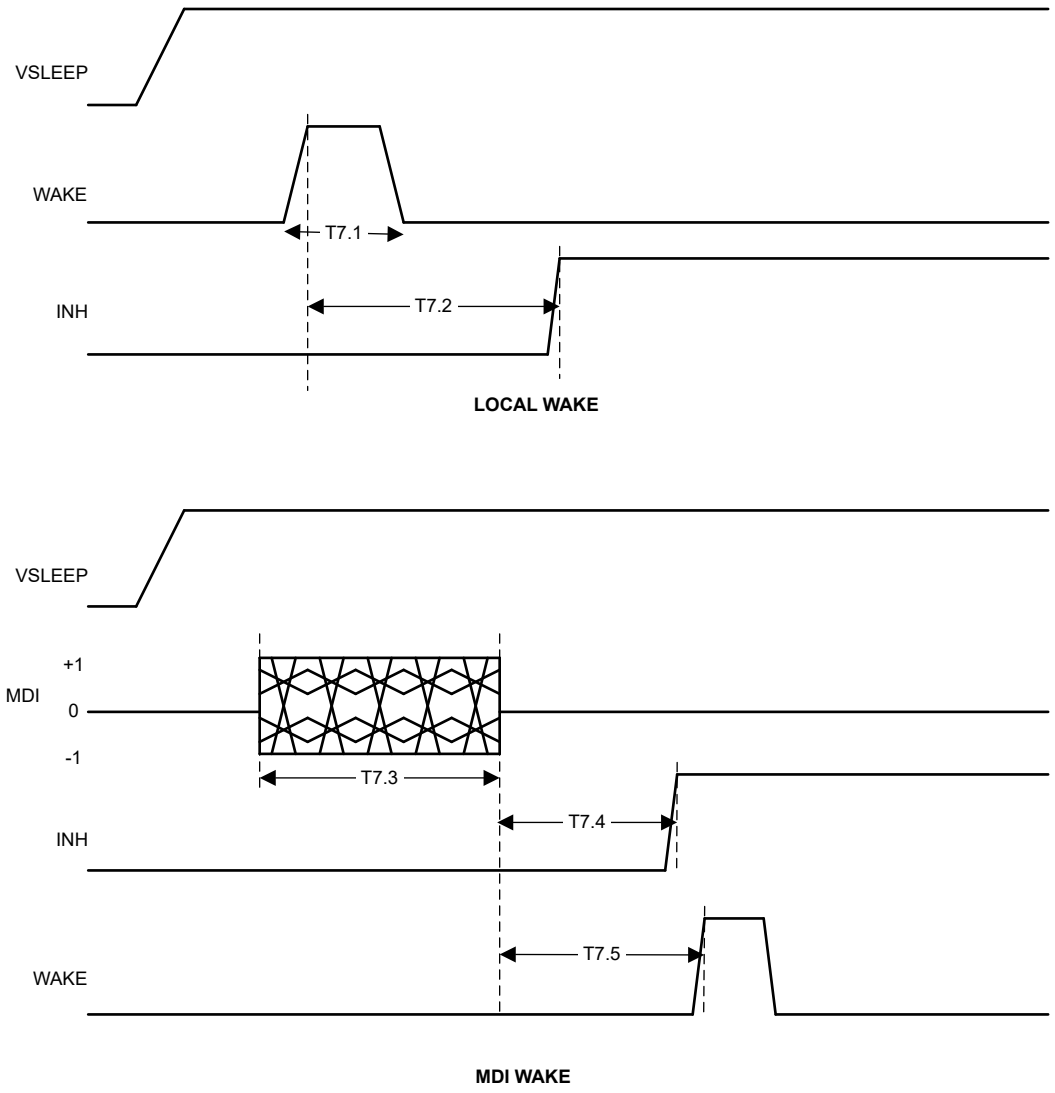

VSLEEP
WAKE
T7.1
INH
T7.2
LOCAL WAKE
VSLEEP
MDI
+1
0
-1
T7.3
T7.4
INH
T7.5
WAKE
MDI WAKE

图 6-10. WAKE 时序

6.8 典型特性

图 6-11 和 图 6-12 显示了 DP83TC1103x-Q1 MDI 引脚的典型特性。

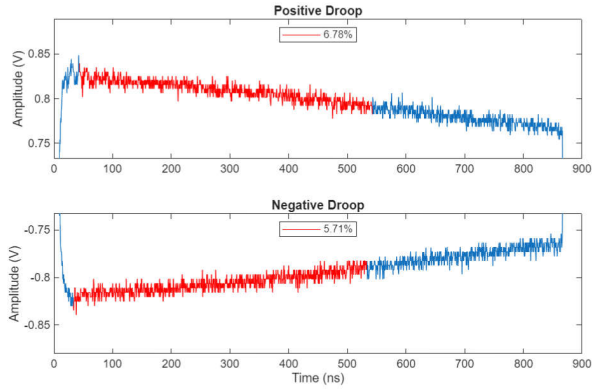


图 6-11. 典型 Tx 压降

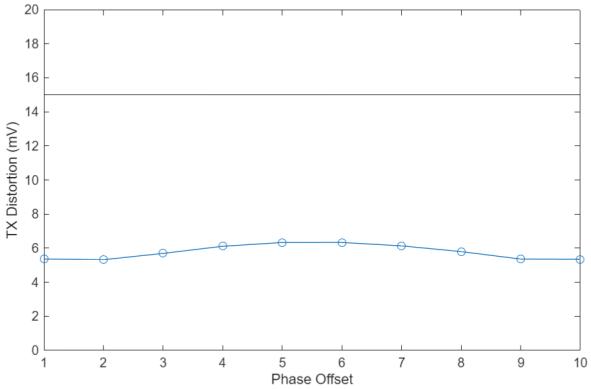


图 6-12. 典型 Tx 失真

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

DP83TC1103x-Q1 是一款 100BASE-T1 汽车级以太网 PHY，可提供 100Mbps 全双工通信。DP83TC1103x-Q1 符合 IEEE 802.3bw 标准和面向汽车级应用的 AEC-Q100 标准。

该器件经过专门设计，运行速度为 100Mbps，同时满足严格的汽车级 EMC 限制要求。DP83TC1103x-Q1 通过非屏蔽单双绞线电缆以 66.667MHz 的频率发送 PAM3 三元符号。DP83TC1103x-Q1 具有应用灵活性，可在单个 36 引脚 VQFN 可湿性侧面封装中支持 MII、RMII 和 RGMII。

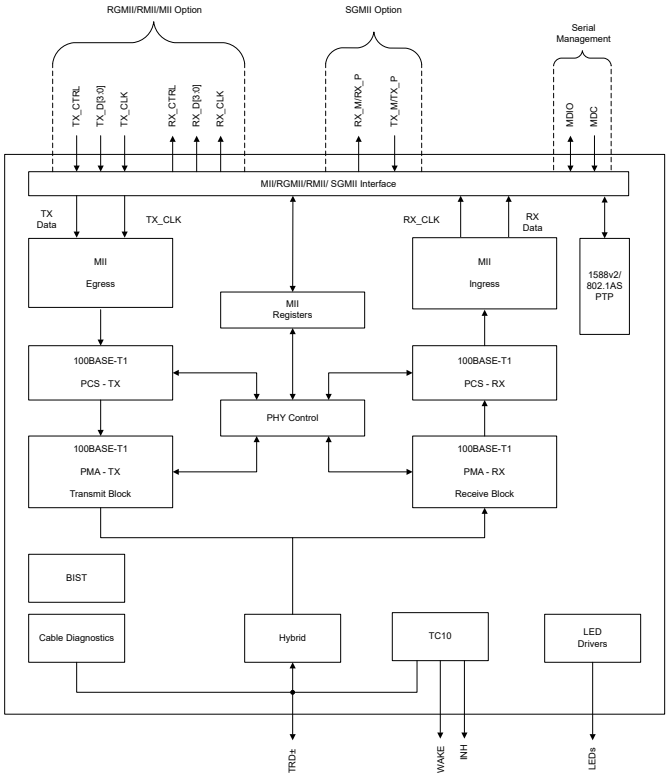
PHY 集成了 1588v2/802.1AS 硬件时间戳，可实现高度精确的时间同步。

DP83TC1103x-Q1 支持 Open Alliance TC-10 低功耗模式，可使用以太网 UTP 实现更低功耗的 ECU 睡眠/唤醒，并且无需额外接线（例如单线唤醒）。PHY 还提供唤醒转发功能，无需建立链路，从而能够非常快速地唤醒网络。PHY 支持 WAKE 和 INH 引脚，可在系统中实现 TC-10 功能。DP83TC1103x-Q1 支持从睡眠状态快速唤醒，通过在睡眠期间保留 PHY 配置，即使在主机启动之前，PHY 也可以唤醒和建立链路。

DP83TC1103x-Q1 中提供了广泛的诊断工具套件，适用于系统内使用以及用于启动的调试、合规性和系统原型设计。DP83TC1103x-Q1 符合 IEC61000-4-2 4 级静电放电限制，还包含一个用于实时检测 ESD 事件的片上 ESD 传感器。

DP83TC1103x-Q1 专为大幅减小热足迹、实现低有功功率和多个低功耗模式而构建。DP83TC1103x-Q1 支持局域网唤醒魔术包，使上游器件能够选择进入低功耗状态。此外，该器件可以进入睡眠状态并保持该状态，直到在 MDI 上检测到能量或通过 WAKE 引脚在本地唤醒。

7.2 功能方框图



Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

7.3.1 IEEE802.1AS 特性

DP83TC1103x-Q1 集成了 IEEE 1588v2/802.1AS 时间戳和其他附加硬件引擎，可提供高度精确的同步，同步抖动高达 ±15ns（对于点对点连接，可选择缩短至 ±1ns）。

DP83TC1103x-Q1 还能提供高质量时间同步时钟信号，以实现 ADAS 传感器数据同步、角雷达线性调频脉冲同步、激光雷达和 V2X 等 1pps 信号的系统级同步。

备注

文档中的 ***802.1AS***、***1588***、***1588v2***、***PTP*** 等术语可互换使用。

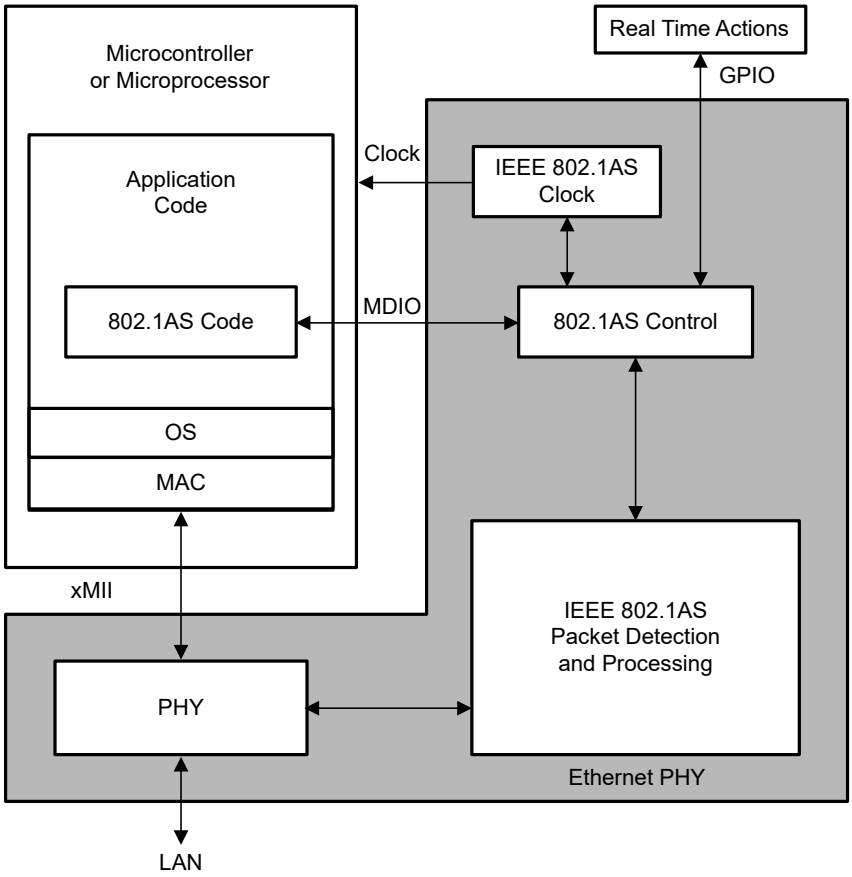


图 7-1. DP83TC1103x-Q1 PTP 系统示例应用

PTP 实现包含以下主要功能块：

- IEEE802.1AS 时钟：该模块提供可调时钟，用作所有 PTP 时间戳相关功能的时间源。
- IEEE802.1AS PTP 时间戳：该模块提供时间戳和数据包修改功能。
- IEEE802.1AS 时钟事件和 GPIO：该模块提供时钟事件和 GPIO 功能，用于启用输入事件时间戳和输出基于时钟比较的输出/中断状态。
- IEEE802.1AS 中断：该模块提供中断生成、屏蔽和状态指示功能。
- IEEE802.1AS 寄存器：该模块包含所有配置、控制和状态寄存器相关信息。

下面列出了用于实现 IEEE802.1AS PTP 的寄存器地址范围：

Copyright © 2026 Texas Instruments Incorporated

表 7-1. IEEE802.1AS PTP 寄存器地址

地址
0x0D00 至 0x0D0A
0x0D10 至 0x0D1D
0x0D20 至 0x0D2B
0x0D30 至 0x0D3F
0x0D40 至 0x0D4F
0x0D50 至 0x0D54
0x0DE0、0x0DF0

备注

在通过 0x0D00 启用 PTP 或访问任何 PTP 寄存器之前，寄存器 0x05B7 的位 5 必须从 0->1->0 切换。此外，要使用恢复的 200M 和 100M 作为 PTP 的基准，请设置 0x05B7[5]=1。

IEEE802.1AS 提供了一种时间同步协议，通常称为精确时间协议 (PTP)，用于通过以太网来同步时间。DP83TC1103x-Q1 通过为三个时间关键型元件提供硬件支持来支持启用了 IEEE802.1AS 的以太网应用。

- IEEE802.1AS 同步时钟生成
- 用于时钟同步的数据包时间戳
- 通过 GPIO 触发事件和设置时间戳

7.3.1.1 PTP 时钟配置

7.3.1.1.1 PTP 基准时钟

可在可通过寄存器 0xD27 选择的以下不同基准时钟上运行 IEEE802.1AS 时钟

1. 基于 PLL 的 250MHz/125MHz 时钟
2. 基于 MDI 数据的 200MHz/100MHz 恢复时钟
3. 外部基准时钟
4. 基于分数 (Frac) PLL (PTP_PLL) 的时钟输出

对于 PTP 应用，建议在 250MHz PLL 时钟或 200MHz 恢复时钟上运行 IEEE802.1AS 计时器。仅当 GPIO 上需要与 IEEE802.1AS 同步的时钟输出时，才建议使用 Frac PLL 的时钟输出。

7.3.1.1.2 PTP 同步时钟（挂钟）

DP83TC1103x-Q1 中的 PTP 时钟是所有 IEEE802.1AS PTP 相关功能的可读或可写时间源。PTP 时钟是一种高精度振荡器和一个以秒和纳秒为单位的计数器。

该时钟包含秒（32 位字段）和纳秒（30 位字段）计数器。当纳秒计数器达到 1×10^9 时，纳秒计数器恢复为零，秒计数器递增 1。此外，还提供可调整时间的分数纳秒（亚纳秒 - 2^{-32} ns 单位）计数器。PTP_RATE_DIR 控件以高于或低于基准时钟的频率运行。每个周期的时钟计数器增量根据使用的基准时钟而变化，并且等于与 PTP 基准时钟对应的周期（以 ns 为单位）。分数 PLL 用于生成非整数同步时钟输出。使用分数 PLL 时无需外部 VCXO。

Copyright © 2026 Texas Instruments Incorporated

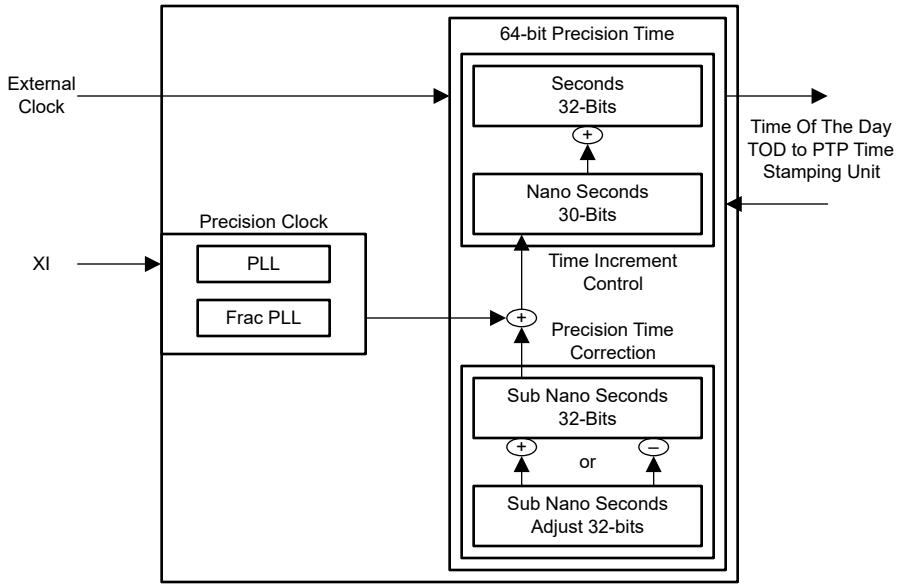


图 7-2. PTP 时间戳 - 时钟

该时钟不支持负时间值。如果系统中需要负时间，主机软件必须从 PHY 时钟时间转换到实际时间。

该时钟也不支持规范定义的秒字段的高 16 位（版本 2 指定了一个 48 位秒字段）。如果要求高 16 位值大于 0，则必须由主机软件进行处理。秒字段仅每 136 年翻转一次，从而显著减少主机软件的负担。

7.3.1.1.2.1 PTP 时间读取或写入

PTP 时间读取或写入使用同一寄存器 PTP_TDR 来完成。由于时间值为 62 位，因此需要对寄存器读取/写入 4 次才能访问整个时间值。通过 PTP 时间数据寄存器设置的时间涉及将所有四个时间字段写入 PTP_TDR，然后通过 PTP 控制寄存器发出“加载 PTP 时钟”命令。通过首先设置 PTP 控制寄存器中的“读取 PTP 时钟”命令，然后读取所有四个时间字段，也可以使用 PTP_TDR 寄存器读取时间值。

写入时间值需要按照相同的顺序执行以下步骤
1. 将 Clock_time_ns[15:0] 写入 PTP_TDR
2. 将 Clock_time_ns[31:16] 写入 PTP_TDR
3. 将 Clock_time_sec[15:0] 写入 PTP_TDR
4. 将 Clock_time_sec[31:16] 写入 PTP_TDR
5. 通过设置“加载 PTP 时钟”位写入 PTP_CTL

读取时间值需要按照相同的顺序执行以下步骤
1. 通过设置“读取 PTP 时钟”位写入 PTP_CTL
2. 从 PTP_TDR 中读取 Clock_time_ns[15:0]
3. 从 PTP_TDR 中读取 Clock_time_ns[31:16]
4. 从 PTP_TDR 中读取 Clock_time_sec[15:0]
5. 从 PTP_TDR 中读取 Clock_time_sec[31:16]

7.3.1.1.2.2 PTP 时钟初始化

在器件上电时的软件初始化期间，可初始化 PTP 时钟，以便为与主时钟同步做好准备。在启用 IEEE802.1AS 功能之前，必须配置 PTP_CLKSRC 寄存器，以确保正常运行。在尝试初始同步期间，系统时钟可能与 PTP 主时钟相差有点远，因此系统时钟很可能需要进行步进时间调整，以使时钟更接近实际时间。之后，当系统时钟接近与主时钟同步时，连续时间调整方法或临时时间调整方法可能是理想选择。

Copyright © 2026 Texas Instruments Incorporated

7.3.1.1.2.3 PTP 时钟调整

本节介绍了可用于更新时钟时间值的选项。DP83TC1103x-Q1 提供了多种根据同步协议的结果更新 IEEE802.1AS 时钟的方法：

- 直接读取/可写（直接设置或读取时间）
- 可通过加法/减法调节（步进时间调整）
- 频率可扩展（连续时间调整）
- 临时频率控制（临时时间调整）

直接读取/可写 - 通过在时钟寄存器 (PTP_TDR) 中设置新时间，可直接将系统时间时钟设置为某个值。时钟/计时器的初始设置可能需要直接写入一个时间值。

可通过加/减法调整 - 也可通过在当前时间值上添加/减去一个值来调整时间。要添加一个值，必须将该值写入 PTP_TDR 寄存器。要减去一个值，可以将秒和纳秒字段的 32 位二进制补码表示写入 PTP_TDR 寄存器。若要加/减，必须以相同的顺序写入以下寄存器

1. 将 Clock_time_ns[15:0] 写入 PTP_TDR
2. 将 Clock_time_ns[31:16] 写入 PTP_TDR
3. 将 Clock_time_sec[15:0] 写入 PTP_TDR
4. 将 Clock_time_sec[31:16] 写入 PTP_TDR
5. 通过设置“步进 PTP 时钟”位写入 PTP_CTL

频率可扩展 - 可以设置系统来对 IEEE802.1AS PTP 时钟执行连续时间调整。可通过寄存器控制来调整频率（时钟/计时器速率），以便与主时钟的频率相匹配。这也称为**永久频率调整。**通过对频率调整值进行编程，可以将时钟编程为以调整后的频率值运行。通过频率调整，可以对每个基准时钟周期进行 2^{-32} ns 的时序校正。

- **频率调整** - 通过对频率调整值进行编程，可以将时钟编程为以调整后的频率值运行。通过频率调整，可以对每个基准时钟周期进行 2^{-32} ns 的时序校正。通过频率调整，时钟会随时间校正偏移，避免由时间值的步进调整引起任何潜在的副作用。

临时频率（时间）控制：允许通过以修改后的频率运行一段时间来进行时间校正。这也称为**临时频率调整**。通过对频率调整值和持续时间进行编程，可以将时钟编程为以临时调整的频率值运行。通过频率调整，可以对每个基准时钟周期进行 2^{-32} ns 的时序校正。通过频率调整，时钟会随时间校正偏移，避免由时间值的步进调整引起任何潜在的副作用。也可以对时钟进行编程，通过包含频率调整持续时间来执行临时调整的频率值。

根据同步协议的结果，可以使用多种方法来更新 PHY 的 IEEE802.1AS 时钟。用于更新时钟值的方法取决于时间值的差异。例如，在初次尝试同步时，时钟之间的值可能相差过大，因此需要进行步进调整或直接设置时间。稍后，当时钟的值非常接近时，临时频率调整方法可能是理想选择。

7.3.1.1.3 PTP 时间寄存器

表 7-2. PTP 控制和时间寄存器

寄存器名称	寄存器地址
PTP 控制寄存器 (PTP_CTL)	0x0D00
PTP 时间数据寄存器 (PTP_TDR)	0x0D01
PTP 时钟源寄存器 (PTP_CLKSRC)	0x0D27
PTP 调试选择 (PTP_DEBUG_SEL)	0x0DF0

表 7-3. PTP 时间调整和时钟输出控制寄存器

寄存器名称	寄存器地址
PTP 临时速率持续时间低寄存器 (PTP_TRDL)	0x0D1A
PTP 临时速率持续时间高寄存器 (PTP_TRDH)	0x0D1B
PTP 速率低寄存器 (PTP_Ratel)	0x0D04
PTP 速率高寄存器 (PTP_RATEH)	0x0D05

Copyright © 2026 Texas Instruments Incorporated

表 7-3. PTP 时间调整和时钟输出控制寄存器（续）

寄存器名称	寄存器地址
基频控制 (FREQ_CTL_1)	0x0D35
基频控制 (FREQ_CTL_2)	0x0D36
调度器控制 (SCH_CTL_1)	0x0D33
调度器控制 (SCH_CTL_2)	0x0D34
PTP 时钟输出控制寄存器 (PTP_COC)	0x0D20

7.3.1.2 数据包时间戳

本节仅提供以下方面的详细信息：

- 可用的同步时钟选项和运行模式
- IEEE802.1AS 发送数据包解析器和时间戳单元
- IEEE802.1AS 接收数据包解析器和时间戳单元

7.3.1.2.1 传输（出口）数据包解析器和时间戳

IEEE802.1AS PTP 传输解析器可监控传输数据包数据，以检测 IEEE802.1AS 事件报文。传输解析器可以检测直接在第 2 层以太网数据包或 PTP VLAN 数据包中传输的 PTP 事件报文。在检测到 PTP 事件报文时，该器件会捕获传输时间戳并向主机 (MAC) 提供时间戳以进行处理。除了基于 PTP 事件的滤波之外，还可以选择过滤具有特定域编号的 PTP 事件帧并为其添加时间戳。

由于主机 (MAC) 知道数据包传输的顺序，因此只记录时间戳（无需记录序列号或其他信息）。如果需要，该器件可以选择记录 16 位 SequenceId 和 4 位 messageType 字段，并为 PTP 事件报文的八位位组 20-29 生成 12 位哈希值。该器件可以缓冲四个时间戳。

如果启用，则可在传输时间戳就绪时生成中断。

一步操作：

在某些情况下，可以将发送器设置为在一步模式下运行。对于同步消息，一步式器件可以自动在发送的数据包中插入时间戳信息。这样就不需要主机 (MAC) 读取时间戳并发送后续消息。

7.3.1.2.2 接收（入口）数据包解析器和时间戳

IEEE802.1AS/1588v2 接收解析器可监视接收数据包数据，以检测 IEEE1588 版本 1 和版本 2 事件报文。接收解析器可以检测以太网数据包中直接传输的 PTP 事件报文。在检测到 PTP 事件报文时，该器件会捕获接收时间戳并向主机 (MAC) 提供时间戳值。除了时间戳，该器件还会记录 16 位 SequenceId 和 4 位 messageType 字段，并为 PTP 事件报文的八位位组 20-29 生成一个 12 位哈希值。该器件可以缓冲四个时间戳。

如果启用，则在接收时间戳就绪时生成中断。

接收时间戳插入：

DP83TC1103x-Q1 可通过在接收到的数据包中插入时间戳来向主机 (MAC) 提供时间戳。这样就可以采用一种简单的方法来将数据包传送到软件，而无需将时间戳与正确的数据包相匹配。这样就无需通过串行管理接口读取接收时间戳。

7.3.1.2.3 PTP 发送和接收时间戳寄存器

表 7-4. PTP 发送和接收时间戳寄存器

寄存器名称	寄存器地址
PTP 发送配置寄存器 0 (PTP_TXCFG0)	0x0D12
PTP 发送配置寄存器 1 (PTP_TXCFG1)	0x0D13
PTP 接收配置寄存器 0 (PTP_RXCFG0)	0x0D15
接收配置寄存器 1 (PTP_RXCFG1)	0x0D16

Copyright © 2026 Texas Instruments Incorporated

表 7-4. PTP 发送和接收时间戳寄存器（续）

寄存器名称	寄存器地址
PTP 接收配置寄存器 2 (PTP_RXCFG2)	0x0D17
PTP 接收配置寄存器 3 (PTP_RXCFG3)	0x0D18
PTP 接收配置寄存器 4 (PTP_RXCFG4)	0x0D19
事件时间戳存储配置 (PTP_EVNT_TSU_CFG)	0x0D1C
PTP 发送时间戳寄存器 (PTP_TXTS)	0x0D08
PTP 接收时间戳寄存器 (PTP_RXTS)	0x0D09
PTP 偏移寄存器 (PTP_OFF)	0x0D29
PTP 接收哈希寄存器 (PTP_RXHASH)	0x0D2B
PTP 以太网类型寄存器 (PTP_ETR)	0x0D28
PHY 状态帧配置寄存器 0 (PSF_CFG0)	0x0D14
PHY 状态帧配置寄存器 1 (PSF_CFG1)	0x0D21
PHY 状态帧配置寄存器 2 (PSF_CFG2)	0x0D22
PHY 状态帧配置寄存器 3 (PSF_CFG3)	0x0D23
PHY 状态帧配置寄存器 4 (PTP_PKTSTS4)	0x0D24
PTP ONESTEP 偏移寄存器 (PTP_ONESTEP_OFF)	0x0D40
PTP 域滤波器控件	0x0D49

7.3.1.3 事件触发和时间戳

本节介绍了用于实现 IEEE 802.1AS PTP 事件触发和事件捕获配置的输入/输出功能。

7.3.1.3.1 事件触发（输出）

可对 DP83TC1103x-Q1 进行编程，以便根据 IEEE802.1AS 时间值，在配置为输出引脚的 GPIO 上生成触发信号。可以对每个触发器进行编程，以生成一次性上升沿或下降沿，这是可编程宽度的单个脉冲。DP83TC1103x-Q1 还可用于生成周期性输出信号。

对于每次触发，主机 (MAC) 都会指定所需的 GPIO 和触发发生时间。当内部 PTP 时钟与编程的触发激活时间匹配时，将生成触发信号。

该器件支持多达 8 个触发信号，可在任何 GPIO 信号引脚上输出这些信号。可将多个触发信号分配给一个 GPIO，从而能够生成更复杂的波形（即一系列不同宽度的脉冲）。触发信号通过“或”运算共同形成组合信号。可通过 PTP 触发配置寄存器配置这些触发信号，并通过 PTP 控制寄存器启用它们。触发时间和宽度设置通过 PTP 控制和时间数据寄存器进行控制。可以对每个触发信号进行编程，以在完成时或发生错误时生成相应的状态。

可以对 DP83TC1103x-Q1 进行编程，以便使用触发功能输出每秒脉冲 (PPS) 信号。

7.3.1.3.1.1 触发器初始化

要初始化触发器，可使用相应的 PTP 触发器配置寄存器来设置触发器配置。启动触发器包括以下步骤：

1. 设置 PTP 控制寄存器 (PTP_CTL) 中的“触发器加载”位以及触发器的“触发器选择”设置。如果之前启用了触发器，这将禁用触发器。
2. 写入 PTP_TDR: Start_time_ns[15:0]。
3. 写入 PTP_TDR：初始状态、等待翻转、Start_time_ns[29:16]（初始状态是 GPIO 在触发开始之前的阶段）（如果设置了等待翻转位，该位表示在时钟时间的秒字段从 0xFFFF_FFFF 翻转至 0 之前不会启动触发器。）
4. 写入 PTP_TDR: Start_time_sec[15:0]。
5. 写入 PTP_TDR: Start_time_sec[31:16]。
6. 写入 PTP_TDR: Pulsewidth[15:0]。

Copyright © 2026 Texas Instruments Incorporated

7. 写入 PTP_TDR: Pulsewidth[31:16]。
8. 写入 PTP_TDR: Pulsewidth2[15:0]。
9. 写入 PTP_TDR: Pulsewidth2[31:16]。
10. 设置 PTP_CTL 寄存器中的“触发器启用”位以及触发器的“触发器选择”设置

对于边沿类型信号，脉冲宽度 2 被解释为 16 位秒字段，脉冲宽度 1 是 30 位纳秒字段。

对于触发器 0 和 1，当用于单脉冲或周期脉冲类型信号时，脉宽控制第一个脉冲宽度，脉宽 2 值控制第二个脉冲宽度（总周期为脉宽+脉宽 2）。对于脉冲宽度和脉冲宽度 2，bits[31:30] 表示秒字段，bits[29:0] 表示纳秒字段。

对于周期性模式下的所有其他触发器，高脉冲宽度和低脉冲宽度相同（周期是脉冲宽度的两倍），并且不使用脉冲宽度 2。对于脉冲宽度，bits[31:30] 表示秒字段、bits[29:0] 表示纳秒字段。

如果写入了所有适当的字段，则无需执行步骤 10。如果字段与以前的设置相同，则可以跳过后一个对 PTP_TDR 寄存器的写入，并可以排除步骤 10。

读取触发器控制设置与写入这些值的过程类似。
1. 设置 PTP 控制寄存器 (PTP_CTL) 中的“触发器读取”位以及触发器的“触发器选择”设置。
2. 按照上述顺序从 PTP_TDR 中读取字段。

请注意，对于周期性信号，要读回的时间值是下一个编程触发时间，而不是开始触发时间（这些值可以是或不同的值）。此功能仅对诊断目的至关重要。

7.3.1.3.2 事件时间戳（输入）

可通过监测输入信号对 DP83TC1103x-Q1 进行编程，以便为事件添加时间戳。可以监控该事件的上升沿、下降沿或两者。事件时间戳单元最多可监控 8 个事件，这些事件可设置为任何 GPIO 信号引脚。PTP 事件时间戳存储在一个队列中，从而允许存储多达 8 个时间戳。当事件时间戳可用时，该器件会设置 PTP 状态寄存器中的“Event Ready”位。

PTP_ESTS 提供了有关可用事件时间戳的详细信息，包括事件编号、上升/下降方向并指示由于器件事件队列溢出而错过的事件。事件时间戳值必须**调整为 14ns**（IEEE802.1AS 基准时钟频率的 3 倍周期 250MHz + 2ns），以补偿输入路径和同步延迟。补偿的时间值取决于 IEEE802.1AS 基准时钟频率。调整时间取决于编程的基准频率，必须根据主机选择的时钟进行调整。事件时间戳单元通过 PTP 事件配置寄存器 (PTP_EVNT) 进行配置。可以对 GPIO 引脚上的外部事件输入进行监控并添加时间戳，分辨率为 4(8) ns。如果在 PTP 状态寄存器中启用了事件中断功能，则在检测到事件时会生成中断。

可将每个事件监测器置于单个事件捕获模式。在该模式下，事件监测器会捕获单个事件时间戳。

7.3.1.3.2.1 时间戳存储和读取

PTP 事件时间戳存储在一个队列中，从而允许存储多达 8 个时间戳。主机可通过 PTP 事件数据寄存器 (PTP_EDATA) 读取时间戳值。读取事件时间戳的过程如下：

1. 读取 PTP_ESTS 以确定事件时间戳是否可用。
2. 从 PTP_EDATA 读取：扩展事件状态[15:0]（仅当 PTP_ESTS：“检测到多个事件”为 1 时可用）
3. 从 PTP_EDATA 读取： Timestamp_ns[15:0]
4. 从 PTP_EDATA 读取：Timestamp_ns[29:16]（高 2 位始终为 0）
5. 从 PTP_EDATA 读取： Timestamp_sec[15:0]
6. 从 PTP_EDATA 读取：Timestamp_sec[31:16]
7. 重复步骤 1-6，直到 PTP_ESTS = 0

如果需要，软件可以根据“PTP_ESTS:Event 时间戳更改长度”字段的值，跳过全部或部分时间戳读取。

Copyright © 2026 Texas Instruments Incorporated

7.3.1.3.3 事件捕获和输出触发寄存器

表 7-5. 事件捕获和输出触发寄存器

寄存器名称	寄存器地址
PTP 触发配置寄存器 (PTP_TRIG)	0x0D10
PTP 事件配置寄存器 (PTP_EVNT)	0x0D11
PTP 触发状态寄存器 (PTP_TSTS)	0x0D03
PTP 事件 GPIO 选择 (PTP_EVENT_GPIO_SEL)	0x0D30
PTP 事件状态寄存器 (PTP_ESTS)	0x0D0A
PTP 事件数据寄存器 (PTP_EDATA)：对于扩展事件状态	0x0D0B
PTP 事件数据寄存器 (PTP_EDATA)：添加时间戳时	0x0D0B
PTP 状态寄存器 (PTP_STS)	0x0D02

7.3.1.4 PTP 中断

PTP 模块可以使用器件上的 INT_N 引脚中断系统，与来自 PHY 的其他中断共享此事件。或者，编程器件以使用 GPIO (PTP_INTCTL) 引脚来生成与其他 PHY 中断分开的 PTP 中断。

使用共享中断引脚：

主机 (MAC) 可以使用 INT_N 引脚并且必须使用 PTP 状态寄存器 (PTP_STS) 中的中断使能来配置哪些 PTP 功能会生成中断。

使用 GPIO 引脚：

要使用 GPIO 引脚生成中断，主机 (MAC) 必须使用 GPIO 引脚对 PTP_INTCTL 寄存器进行编程以用于中断。中断是一个高电平有效信号，通过开漏功能来实现（驱动低电平，通过外部上拉电阻拉至高电平）。软件还必须使用 PTP 状态寄存器 (PTP_STS) 中的中断使能来配置哪些 PTP 函数会生成中断。由于不需要检查 MISR 是否存在中断，这种机制可以略微简化 PTP 中断的处理流程。

7.3.1.5 PTP I/O 配置

DP83TC1103x-Q1 具有一组通用输入/输出 (GPIO) 引脚，可通过配置来满足各种应用需求。这些 GPIO 引脚可用于输入事件监控、输出脉冲生成、或输出唯一串行位流。

当针对 PTP 应用进行配置时，GPIO 可与 IEEE802.1AS PTP 密切配合，以生成和监测与精确时钟同步的精确定时信号。GPIO 输出引脚可配置为在出现特定时间时启动输出，该时间由板载精确时间时钟保持。同样，可以相对于精确的时钟来捕获和记录输入事件的特定到达时间。

除了 PTP 数据包时间戳外，IEEE802.1AS 时钟值还可以根据 GPIO 输入保存到一组时钟捕获寄存器中。GPIO 输出引脚可配置为在配置的特定时间内启动输出。如果将 LED 引脚用作 GPIO，则必须在配置 GPIO 功能之前禁用 LED 功能。

表 7-6. DP83TC1103x-Q1 IEEE802.1AS PTP 功能映射

字段	引脚	50/25MHz PTP 输入	PTP 同步时钟	PTP 中断	事件触发	事件捕获
LED_0/GPIO_0	17	是		是	是	是
LED_1/GPIO_1	18			是	是	是

7.3.2 TC10 睡眠唤醒

DP83TC1103x-Q1 是一款具有 TC-10 省电特性的 100BASE-T1 以太网 PHY，具有以下特性。

- 符合 Open Alliance TC10 标准

- 7μA（典型值，27°C）、18μA（最大值，125°C）睡眠电流
- 用于以太网唤醒的唤醒转发特性
- 快速唤醒
- 符合 Open Alliance TC1 互操作性和 EMC 标准

此方框图显示了为支持 TC10 睡眠/唤醒特性而进行的 DP83TC1103x-Q1 系统级集成。

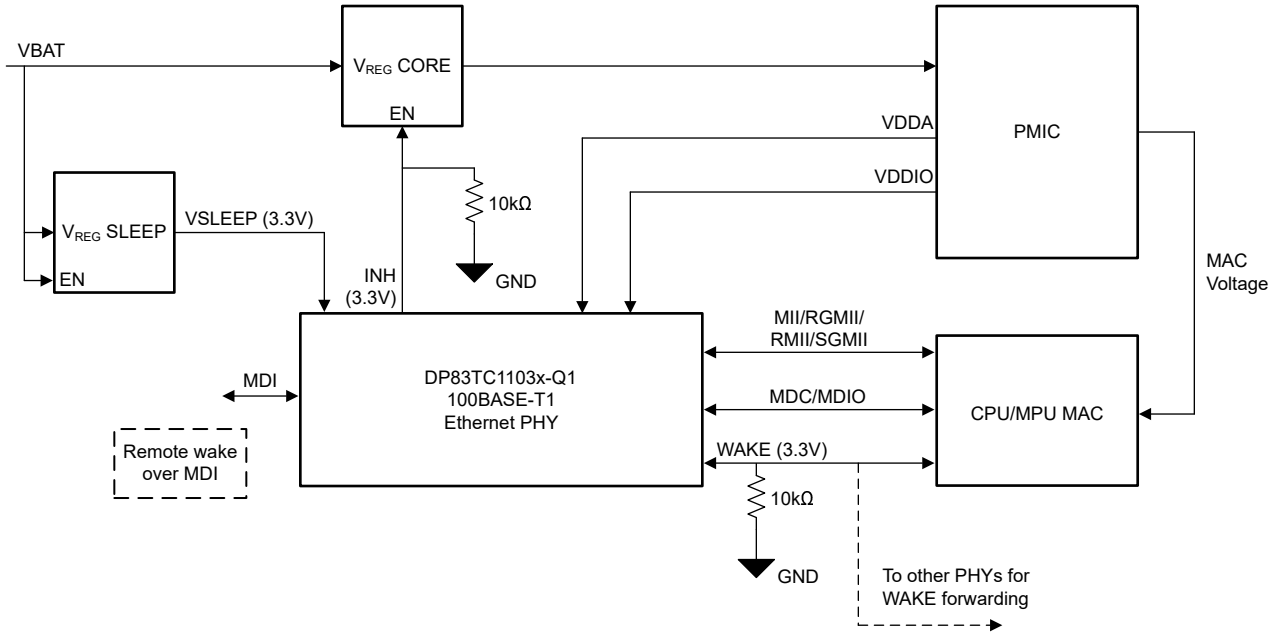


图 7-3. 系统方框图

7.3.2.1 支持 TC10 的 PHY 功能

以下各节详细介绍了支持 TC10 的以太网 PHY (DP83TC1103x-Q1) 的主要功能。

7.3.2.1.1 从睡眠模式切换到唤醒模式

7.3.2.1.1.1 本地唤醒检测

要在本地唤醒 PHY（本地唤醒），需要在 WAKE 引脚上强制施加一个宽度大于 40μs 的脉冲。WAKE 引脚上 PHY 内部的检测电路可抑制任何宽度小于 10μs 的脉冲，并可靠地检测任何大于 40μs 的脉冲。PHY 本地唤醒检测功能不需要内核电源（VDD1P0、VDDA、VDDIO）。

唤醒后，PHY 将从睡眠模式切换到唤醒模式并将 INH 拉至高电平。

对于本地唤醒，假定系统的某些部分已经处于活动状态，并且 PHY 处于 TC10 睡眠模式。例如，系统可以让微控制器处于工作模式，以控制 PHY 的 WAKE 引脚。当 MCU 需要将 PHY 从 TC10 睡眠模式唤醒时，它会将 WAKE 引脚升至 3.3V 以发送唤醒脉冲。

7.3.2.1.1.2 帧传输和接收

要远程唤醒链路伙伴，PHY 必须发送一个定义的 PAM3 符号序列，持续时间为 1ms ± 0.3ms。WUP 传输是在本地唤醒后进行的，无需任何手动干预，前提是器件已配置为自主模式并且引脚复位不会置位。如果器件已搭接至管理模式或器件处于复位状态，则仅在器件切换至正常模式后才会发送 WUP。

在睡眠模式下，为了将 PHY 从睡眠模式唤醒，远程链路伙伴会发送 WUP。PHY 检测 WUP 并从睡眠模式切换到正常运行模式。PHY 进行 WUP 检测时不需要内核电源（VDDA、VDDIO、VDD1P0）。传入的 WUP 信号必须符合 IEEE802.3 中定义的 100Base-T1 PMA 信号 PSD 屏蔽标准。

Copyright © 2026 Texas Instruments Incorporated

7.3.2.1.2 唤醒转发

当其中一个 PHY 远程唤醒时，唤醒转发是一种唤醒连接到同一唤醒线路的其他 PHY 的方法。当 PHY 在接收到 WUP（远程唤醒）时从睡眠状态唤醒时，PHY 会在唤醒线路上发送宽度大于 40 µs 的脉冲，以便在无需任何手动干预的情况下唤醒连接到同一唤醒线路的其他 PHY。

PHY 在活动链路期间接收到特殊 WUR 符号时也可以执行唤醒转发。可通过对 ***reg<0x018C>= 0x0080*** 进行编程，在一个 PHY 上启动 WUR。链路伙伴 PHY 在接收到这些 WUR 符号时会转发宽度为 40 µs 的唤醒脉冲。

备注

在未建立链路的情况下对 ***0x018C = 0x0080*** 进行编程，会使 PHY 在链路建立后立即启动 WUR。

7.3.2.1.3 切换到睡眠 - 睡眠协商

可从通过链路建立连接的两个 PHY 之一启动睡眠协商。启动后，这两个 PHY 都会经过协商并顺利过渡到睡眠状态。

通过在任何 PHY 上对 ***reg<0x018C> = 0x0002*** 进行编程，可以启动睡眠协商（本地睡眠请求）。

备注

只有当 PHY 之间存在活动链路时，才能启动睡眠模式。如果在没有建立链路的情况下对 ***0x018C = 0x0002*** 进行编程，PHY 会在链路建立后立即启动睡眠状态。

下面详细说明了 PHY 在协商过程中所经历的状态。

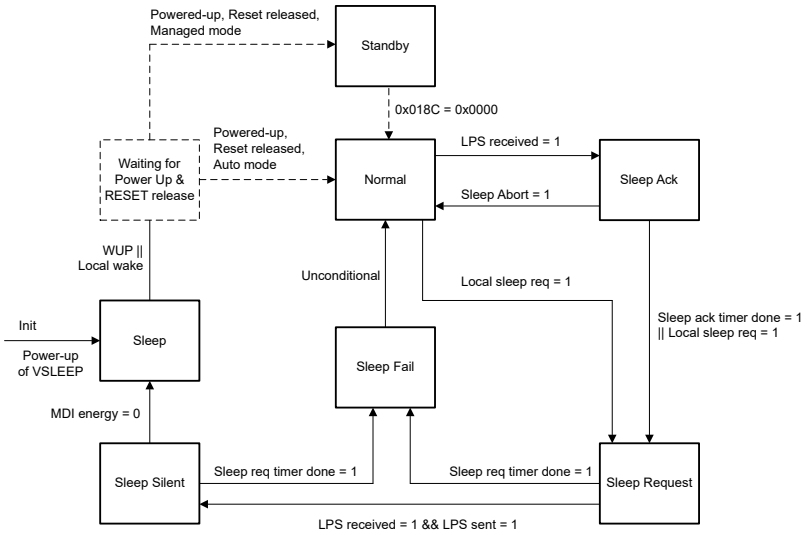


图 7-4. 睡眠状态图

只需要 MAC/控制器干预功能来启动睡眠和结束睡眠。所有其他状态切换都是通过两个 PHY 之间的交互发生的，无需外部干预，下文将进行说明，仅供参考。

7.3.2.1.3.1 睡眠确认

当 PHY 从链路伙伴接收到 LPS 符号时，PHY 会从正常状态（链接状态）切换到睡眠确认状态。

在此切换期间，将初始化 8ms 的计时器 (SLEEP_ACK_TIMER)，并发出中断以指示 MAC 链路伙伴正在请求进行睡眠状态。默认情况下启用中断 (LPS_int) (***reg<0x0018>[0]=1***)。

MAC 可以选择中止睡眠请求

- 对 ***reg<0x001B> = 0x0001*** 进行编程（或）

- 在 LED_1 上驱动高电平脉冲以中止睡眠请求（默认情况下禁用此功能，并且必须在睡眠协商前通过对 ***reg<0x001B> = 0x0002*** 进行编程来启用）

如果 MAC 中止睡眠请求，PHY 会切换回正常状态。如果 MAC 选择在 SLEEP_ACK_TIMER 到期之前不中止睡眠请求，PHY 会切换到睡眠请求状态。

7.3.2.1.3.2 睡眠请求

启动睡眠模式（本地启动）的 PHY 从正常状态切换到睡眠请求状态。当 PHY 切换为睡眠请求状态时，将初始化一个 16ms 的计时器 (SLEEP_REQ_TIMER) 并发送 LPS 符号（至少 64 位）。然后，PHY 等待链路伙伴发回 LPS 符号。从链路伙伴接收回 LPS 符号后，PHY 切换为静默睡眠状态。如果在 SLEEP_REQ_TIMER 到期之前未接收到 LPS 符号，PHY 会切换为睡眠故障状态。

对于远程启动睡眠模式的 PHY，如果 MAC 选择不中止睡眠请求，该 PHY 将从正常状态切换为睡眠确认请求状态。当 PHY 切换为睡眠请求状态时，将初始化一个 16ms 的计时器 (SLEEP_REQ_TIMER) 并发送 LPS 符号（至少 64 位）。发送 LPS 符号后，PHY 将切换为静默睡眠状态。

7.3.2.1.3.3 休眠静默

PHY 从睡眠请求状态切换为睡眠静默模式，并等待线路静默。如果线路静默，PHY 将从静默睡眠状态切换为睡眠状态。如果 PHY 在 SLEEP_REQ_TIMER 到期之前没有变为静默状态（当 PHY 移至睡眠请求状态时，将初始化 16ms 计时器）。

7.3.2.1.3.4 睡眠失败

如果在 SLEEP_REQ_TIMER 到期之前未接收到 LPS 符号，或者线路在 SLEEP_REQ_TIMER 到期之前未静默，则 PHY 无法切换为睡眠状态。当 PHY 进入此状态时，会设置睡眠失败中断标志 (0x0018[13])。INT_N 引脚上的此标志指示可通过 0x0018[5] 启用。

在进行此切换之后，PHY 将无条件切换至正常状态。

7.3.2.1.3.5 睡眠

协商成功后，PHY 切换为睡眠状态。在睡眠模式下，INH 从高电平切换为低电平。为了获得超低功耗，可以切断内核电源（VDDA、VDDIO）。VDD1P0 会在 PHY 内部切断。

在此睡眠状态下，PHY 等待本地唤醒或远程唤醒，最终切换到正常状态。

首次上电后，PHY 进入该睡眠状态直到在 WAKE 引脚或 MDI 线路上观察到活动。

备注

在这种睡眠状态下，TI 建议不要驱动所有由 MAC/控制器控制的引脚并将其保持在 Hi-Z 状态。在内核电源切断之前，必须将引脚设为 Hi-Z。在睡眠模式下，PHY 不需要 XI 上的 25MHz 时钟，TI 建议不要驱动 MAC/控制器。在睡眠模式下，PHY 内部的 XI、XO 引脚上的晶体振荡器也将被禁用。

7.3.2.1.3.6 强制睡眠

通过对 ***reg<0x0444> = 0x000C*** 进行编程，可以绕过睡眠协商，将 PHY 置于睡眠状态。

为了采用这种强制睡眠模式，WAKE 必须驱动低电平，并且 MDI 线路必须保持静默。使 MDI 线路静默写入 ***0x523 = 0x0001***。否则，在强制进入睡眠模式后，PHY 会立即切换到运行状态。

7.3.2.2 用于睡眠应用的电源网络

DP83TC1103x-Q1 在 VSLEEP、VDDA、VDDIO 的电源时序控制方面没有任何限制。VLSEEP 电源斜降完成后，PHY 中的睡眠功能将立即激活。PHY 的核心功能在最后一个内核电源斜降完成后或器件从睡眠状态切换到功能状态后 10ms 内有效，以较晚者为准。

在睡眠模式下需要最低电流消耗的系统中，可以切断内核电源。VDD1P0 会在 PHY 内部切断。

Copyright © 2026 Texas Instruments Incorporated

下图显示了供电网络的一些配置。

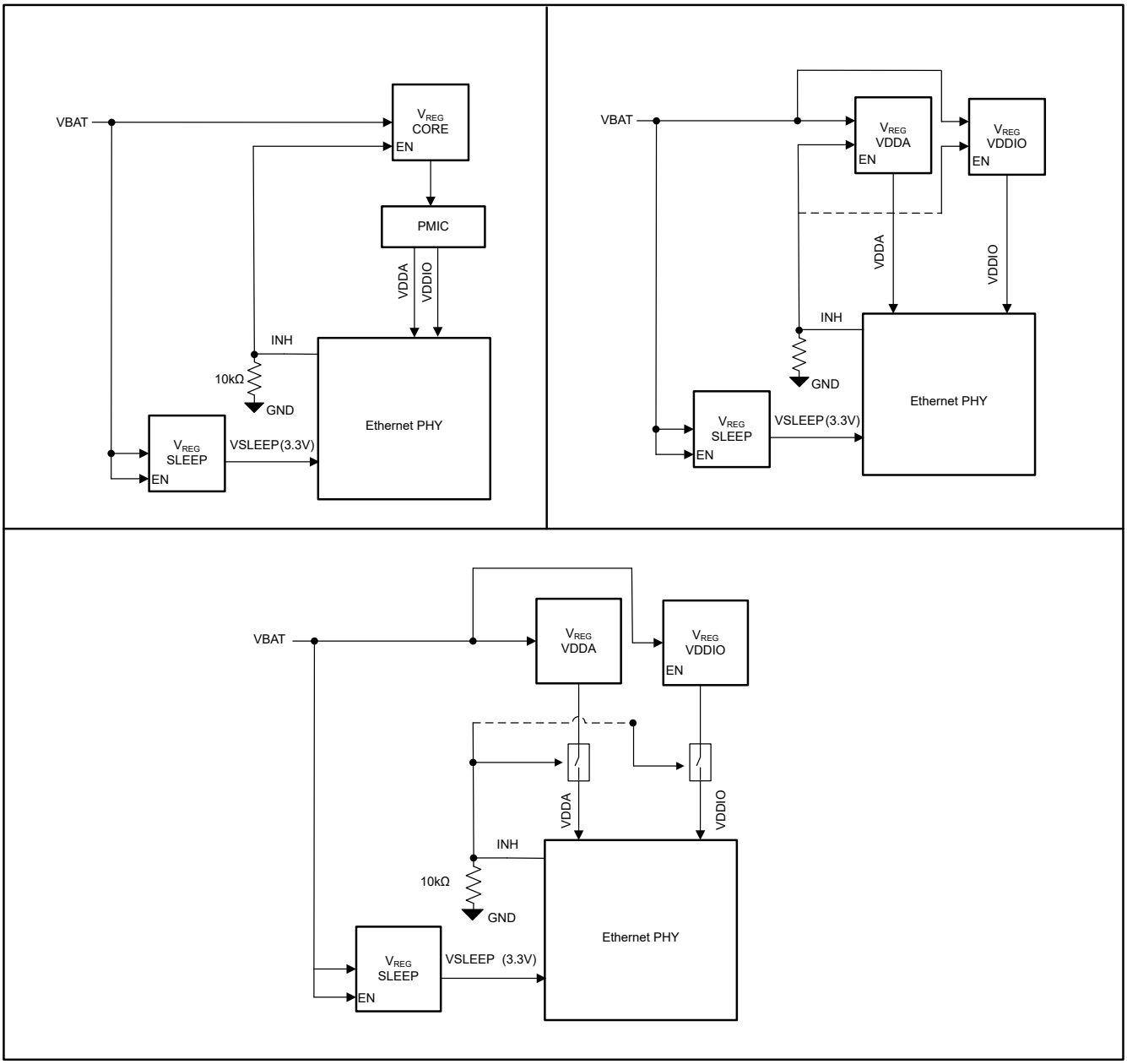


图 7-5. 核心电源网络

即使电源未切断，PHY 也不会发生故障，但 PHY 从内核电源消耗的电流较大。下表显示了在电源被切断和电源完好无损时，睡眠模式下的电流比较。

表 7-7. 电流消耗比较

序号	电源	单位	电流消耗（最大值）	
			电源切断	电源完好
1	VSLEEP	mA	0.018	0.018
2	VDDA	mA	0	50
3	VDDIO (3.3V)	mA	0	23

Copyright © 2026 Texas Instruments Incorporated

表 7-7. 电流消耗比较（续）

序号	电源	单位	电流消耗（最大值）	
			电源切断	电源完好
4	总电流	mA	0.018	73

许多电源网络在同一 PCB 板上可用的不同 PHY 之间共享 PMIC，以减少元件数量和电路板面积。

在这种情况下，不同 PHY 的 INH 可以连接在一起，并且该信号函数采用“线或”式连接（由于 INH 的开漏配置）。只有在所有 PHY 都处于睡眠模式后，才会切断电源。因此，即使一个或某些 PHY 处于睡眠状态，电源也会产生高电流消耗。在这种情况下，处于睡眠状态的 PHY 的功能会受到影响。为了在上述情况下实现最低功耗，必须分离两个 PHY 的 PMIC。

下图显示了一个电源网络示例，其中两个 PHY 共享同一 PMIC。

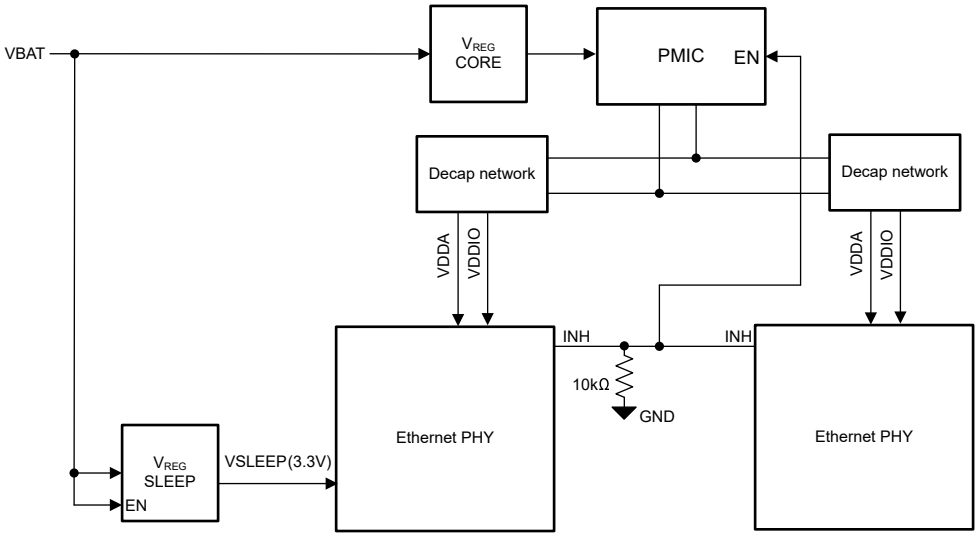


图 7-6. 具有共享内核电源的电源网络

7.3.2.3 非 TC10 应用的配置

在不需要 TC10 睡眠/唤醒功能的应用中，建议 DP83TC1103x-Q1 采用以下配置。

硬件配置

即使使用了 *“TC10 禁用”* 配置，也必须遵循以下硬件配置。

- VSLEEP 引脚可连接至 VDDA（或任何 3.3V 电源）。
- WAKE 引脚必须直接或通过低于 10kΩ 的电阻，上拉至相应的 VSLEEP 电源连接。WAKE 引脚无法上拉至 VDDIO 电源。
- INH 可以保持悬空。

软件配置

要禁用 TC10 功能，必须将附加设置 ***reg<0x018B>[8] = 1*** 与其他初始化设置一起编程。如果相应地设置 *“TC10 禁用”* 配置，以禁用 TC10，则不需要这种额外的配置。

Copyright © 2026 Texas Instruments Incorporated

7.3.2.4 其他睡眠功能

通过 WAKE 引脚初始化 WUR

如*“唤醒转发”*一节所述，可通过寄存器写入启动 WUR。除了寄存器选项外，如果 40 µs 在 PHY 的 WAKE 引脚上驱动>PHY 的脉冲，则也可以从 PHY 启动 WUR。若要启用此功能，必须对 reg<0x017F>[15] = 1 进行编程。

可编程唤醒转发脉冲宽度

PHY 接收到 WUR 时在 WAKE 引脚上转发的脉冲宽度是可编程的。表 7-8 展示了每个可用脉冲宽度选项所需的寄存器写入。

表 7-8. WUR 唤醒脉冲宽度

序号	脉冲宽度	寄存器写入
1	50 µs	0x0184[3:2] = 2'b00
2	500 µs	0x0184[3:2] = 2'b01
3	2ms	0x0184[3:2] = 2'b10
4	20ms	0x0184[3:2] = 2'b11

该器件通过 WUP 从睡眠状态唤醒时的转发唤醒脉冲是不可编程的。

7.3.2.5 快速唤醒

在 ECU 的典型睡眠唤醒周期（唤醒后）中，SoC/主机启动需要很长时间。需要对寄存器进行编程才能建立链路的 PHY 在 SoC 完成链路建立阶段之前不会启动链路过程。以太网 PHY 的链路建立过程需要 100ms，之后链路才能进行通信，这会增加延迟。

DP83TC1103x-Q1 支持自定义快速唤醒功能，可缩短从唤醒到通信就绪的延时时间。下图显示了从唤醒到建立链路以及具有和不具有快速唤醒功能时的时序差异。

Copyright © 2026 Texas Instruments Incorporated

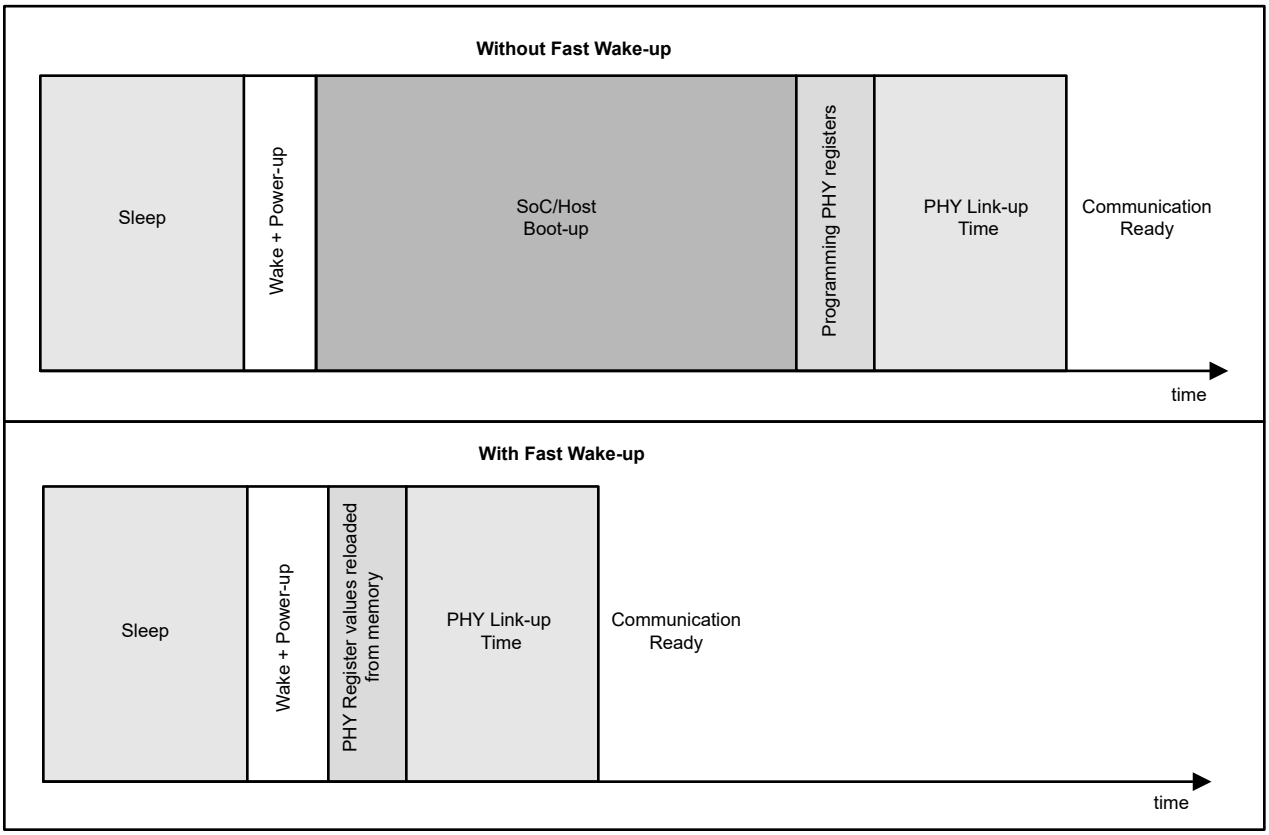


图 7-7. 快速唤醒时序方框图

DP83TC1103x-Q1 集成了在睡眠和唤醒周期内存储寄存器信息所需的低功耗存储器。存储在该存储器中的寄存器值在 PHY 唤醒和内核上电后自动加载。由于不需要对寄存器进行 SoC/主机编程，PHY 可以独立地处于通信就绪状态，从而显著减少从唤醒到通信就绪的延迟。

VSLEEP 域中集成了一个存储器，因此即使内核电源（VDDA、VDD1P0、VDDIO）在睡眠状态下关闭，信息也不受影响。当 VSLEEP 电源关闭时，该存储器为易失性存储器并被擦除。

备注

寄存器存储器在引脚复位置为有效时被清除。除非是清除寄存器存储器，否则在睡眠唤醒周期内不得将 RESET_N 置为有效。

当内核电源打开时，必须至少对存储在存储器中的寄存器值进行一次编程。这意味着只有从第二个睡眠唤醒周期中才能看到延迟降低。下面的状态转换图也显示了这一点。

Copyright © 2026 Texas Instruments Incorporated

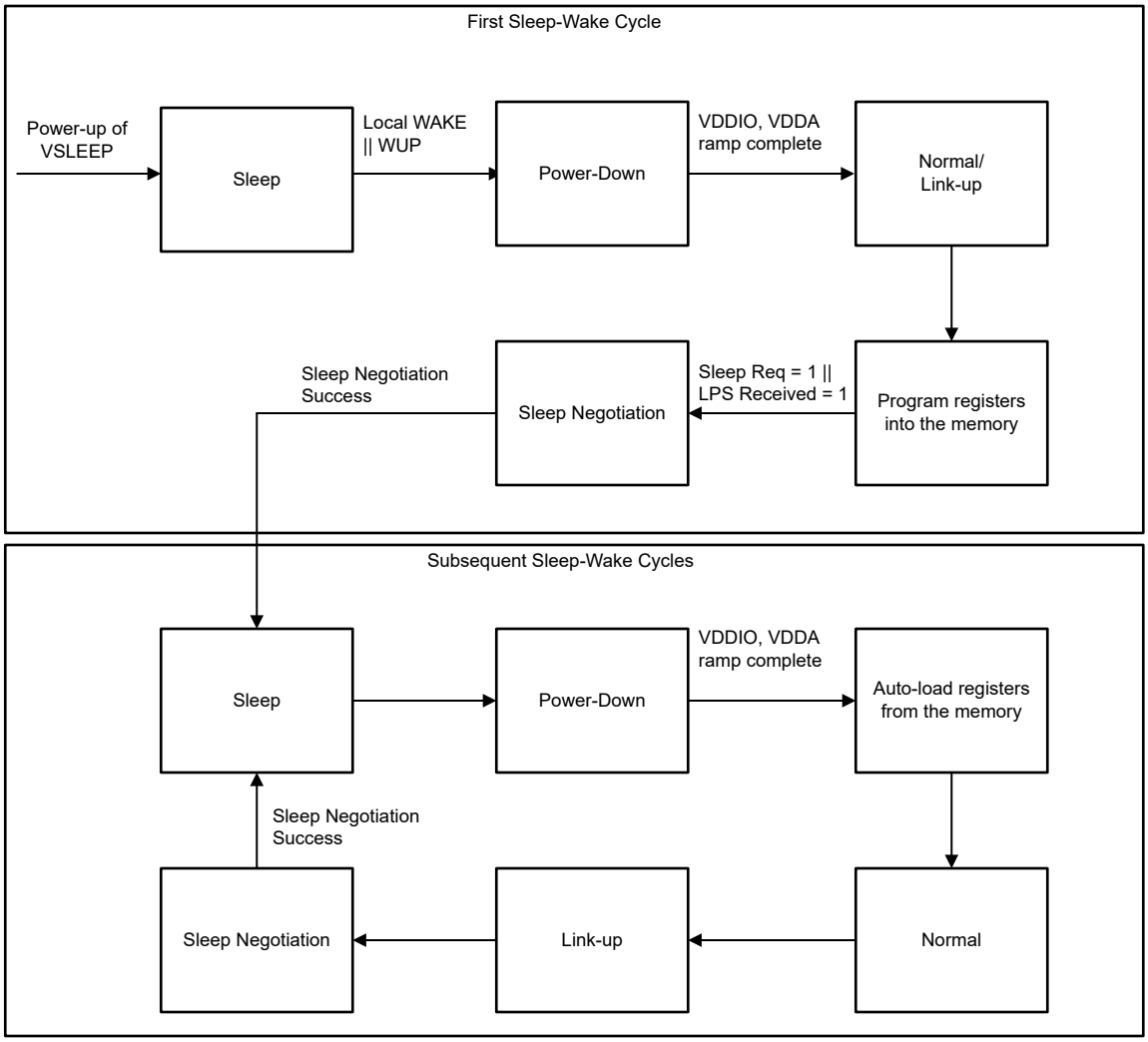


图 7-8. 快速唤醒状态机

在链路建立、待机模式、正常模式期间或通信期间，可以在下一次睡眠协商之前随时完成将寄存器编程到存储器中的操作。即使在后续的睡眠唤醒周期中，也可以将寄存器编程到存储器中。

对存储器进行编程的过程：

- 将 VSLEEP 上电。PHY 进入睡眠状态。
- 让 PHY 使用本地或远程唤醒功能从睡眠状态唤醒。
- 将内核电源（VDDIO、VDDA）上电
- 让 SoC 启动。
- 对 PHY 的寄存器进行编程并让 PHY 建立链路。
- 按照以下序列将寄存器编程到存储器中（在链路建立或通信期间的任何时间）
  - 按相同的顺序对以下寄存器进行编程以实现快速唤醒
    - 0x523 = 0x0001
    - 0x01D2 = 0x0004
    - 0x01D2 = 0x0014
    - 0x01D2 = 0x0004
    - 等待至少 200µs
    - 0x01BE = 0x0560

Copyright © 2026 Texas Instruments Incorporated

- 对于要存储的每个寄存器值，请按以下顺序操作
  - 0x01BC =<要存储的寄存器地址>
  - 0x01BD =<要存储的寄存器数据>
  - 0x01BE = 0x0760
  - 等待至少 200µs
- 从下一个唤醒周期加载存储器并自动加载寄存器值。

若要在任何时候清除存储器，请将引脚 RESET 置为有效（RESET_N =低电平）或对寄存器 0x01BE = 0x0060 进行编程。

7.3.3 PPM 监测器

DP83TC1103x-Q1 具有一个内置 PPM 监测器，用于计算任意两个内部时钟源之间或外部时钟源与任何内部时钟源之间的频率偏移。PPM 监测器是一款连续监测器，可提供两个时钟源之间的实时频率偏移。

PPM 监测器接收基准时钟，并将频率偏移与监控时钟进行比较。可从以下选项中选择基准时钟和监控时钟：

- 25MHz XI 时钟输入
- 内部主器件发送 200MHz 时钟
- 200MHz 的 MDI 恢复时钟
- GPIO 上的外部时钟输入（LED_0）
- PTP 触发 0 输出
- SGMII 恢复时钟
- 250MHz 的 PLL 时钟

备注

必须选择用于比较的两个时钟源的最高频率时钟作为监测时钟。监控时钟频率和基准时钟频率之间的最大比率可以为 5（比率越小，精度越高）。监视器 CLK 允许的最小频率为 12.5MHz。

以下软件序列可用于读取频率偏移

1. 在按照以下步骤配置设置之前，通过对 0x01AF[13]= 0 进行编程来禁用 PPM 监测器
2. 通过对寄存器字段 0x01AF[12:9]、0x01AF[8:5]、0x01AF[15:14] 进行编程，来选择参考时钟和监控时钟
3. 选择 ppm 监测器的刷新周期（例如 1ms、10ms、100ms 等）。监测器精度随刷新周期的增加而提高。刷新周期必须是监控时钟周期和基准时钟周期的公共倍数。
4. 对监控时钟计数和基准时钟计数进行编程
   - {0x01A4, 0x01A3} =刷新周期/监控时钟周期
   - {0x01A6, 0x01A5} =刷新周期/基准时钟周期
5. 通过对 0x01AF[13]= 1 编程启用 PPM 监测器
6. 等待至少一个刷新周期完成，写入 0x01AF[4]= 1 以锁存 ppm 监测值并读取状态寄存器 {0x01AE, 0x01AD}
   - 如果 0x01AE[15] = 0，则 ppm 偏移为负，而如果 0x01AE[15] = 1，则 ppm 偏移为正。
   - 监控时钟的 PPM 偏移 = {0x01AE[14:0],0x01AD[15:0]}/ {0x01A4, 0x01A3}

示例 - 配置 PPM 监测器：

计算 12.5MHz 外部时钟（在 GPIO5 上）、25MHz XI 输入时钟之间的 PPM 偏移，刷新周期为 10ms

表 7-9. 配置 PPM 监测器的序列示例

STEP	说明	编程	备注
1	禁用 PPM 监测器	0x01AF = 0x0000	
2	选择基准时钟（GPIO5 输入）和监控时钟（XI 时钟输入）	0x01AF = 0xC800	启用 PPM 监测器和时钟选择使用同一个寄存器。注意不要覆盖寄存器的其他字段
3	选择刷新周期 = 10ms	-	

Copyright © 2026 Texas Instruments Incorporated

表 7-9. 配置 PPM 监测器的序列示例（续）

STEP	说明	编程	备注
4	对监控时钟计数和基准时钟计数进行编程	0x01A4 = 0x0003 0x01A3 = 0xD090 0x01A6 = 0x0001 0x01A5 = 0xE848	对于 10ms 刷新周期的计数值 • 25MHz 下为 250000 • 12.5MHz 下为 125000
5	启用 PPM 监测器	0x01AF = 0xE800	启用 PPM 监测器和时钟选择使用同一个寄存器。注意不要覆盖寄存器的其他字段
6	在至少一个刷新周期后锁存 PPM 值	0x01AF = 0xE810	锁存 PPM 值以读取寄存器。
7	读取 PPM 偏移值寄存器	读取寄 0x01AE 和 0x01AD	对于 12.5MHz + 0ppm 的外部时钟，XI 输入为 25MHz + 100ppm，读出值为 0x01AE = 0x8000 和 0x01AD = 0x0019
8	计算 PPM 偏移	-	PPM 偏移 = 0x0019/0x0003D090 = 1e-4 (100ppm)

配置 PPM 监测器解锁中断：

如果监控时钟的 PPM 超过配置的阈值，PPM 监测器还可用于提供解锁中断。

以下软件序列可用于配置中断阈值

1. 在按照以下步骤配置设置之前，通过对 0x01AF[13]= 0 进行编程来禁用 PPM 监测器
2. 必须指示除中断之外的 PPM 阈值
3. 计算计数器寄存器阈值
   - 阈值 = 监测时钟计数（加载到寄存器 0x01A4、0x01A3 中的值）× PPM 阈值
4. 将值加载到寄存器
   - 在寄存器 {0x01A8、0x01A7} 中加载正 PPM 阈值 = 监测时钟计数 × 正 PPM，超过该值会标记中断
   - 在寄存器 {0x01AA、0x01A9} 中加载负 PPM 阈值 = 监测时钟计数 × 负 PPM，超过该值会标记中断
5. （可选）通过对 0x0017 = 0x0008 编程，在 INT_N 引脚上启用中断指示。无论是否在 INT_N 上启用中断指示，寄存器 0x0017 的位 11 中都提供了状态
6. 通过对 0x01AF[13]= 1 编程启用 PPM 监测器
7. 等待至少 1 个刷新周期并从 0x0017[11] 读取状态

示例 - 配置 PPM 监测器中断：

按表 7-9 中所示，对前面的示例启用中断，其中 PPM 阈值选择为 200ppm

表 7-10. 配置 PPM 监测器中断的序列示例

STEP	说明	编程	备注
1	禁用 PPM 监测器	0x01AF[13] = 0	
2	选择 PPM 阈值	-	为该示例选择 200ppm
3	计算计数器寄存器阈值	-	计数器寄存器阈值 = 200 × 10^{-6} × 250000 = 50
4	编程时钟计数器寄存器阈值	0x01A8 = 0x0000 0x01A7 = 0x0032 0x01AA = 0x0003 0x01A9 = 0xD090	在寄存器 {0x01A8,0x01A7} 和 {0x01AA,0x01A9} 中加载计数器阈值
5	在 INT_N 引脚上启用 PPM 中断指示	0x0017 = 0x0008	
6	启用 PPM 监测器	0x01AF[13] =1	
7	等待至少 1 个刷新周期并读取状态	读取 0x0017[11]	

Copyright © 2026 Texas Instruments Incorporated

7.3.4 时钟抖动

为了减少时钟和数据切换产生的辐射，DP83TC1103x-Q1 在内部系统时钟和 MAC 接口时钟、数据引脚上支持时钟抖动。时钟的频率随时间进行调制，以分散信号能量并减少辐射。图 7-9 显示了使用三角和锯齿曲线随时间变化的抖动时钟频率示例。

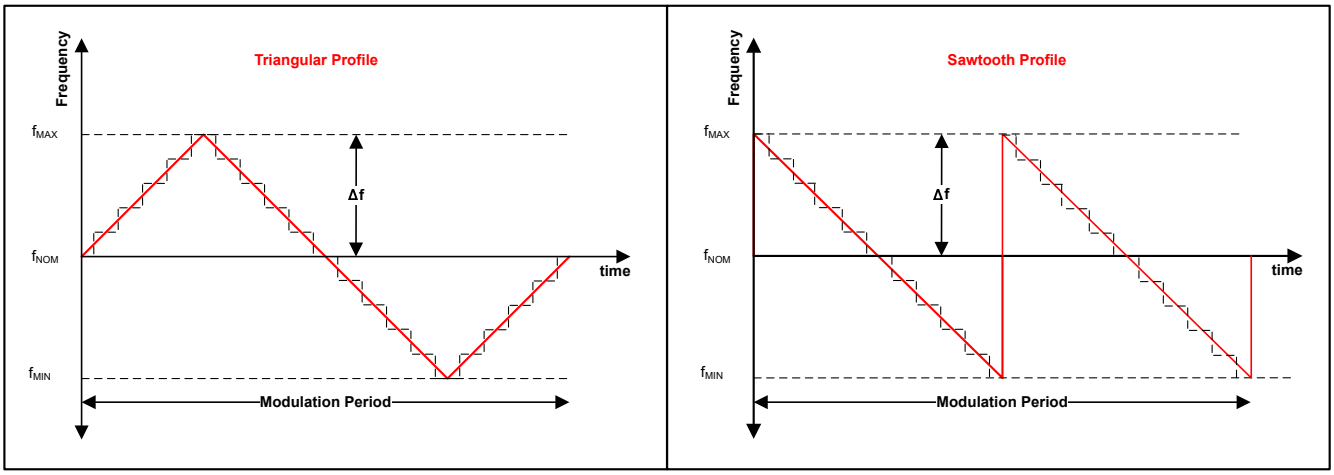


图 7-9. 时钟抖动频率曲线

可使用寄存器 0x05A8 启用和禁用抖动。有单独的选项可用于实现内部内核时钟和 MAC 接口的抖动。

备注

注意：MAC 接口抖动仅适用于 MII、RMII 和 RGMII 接口。SGMII MAC 接口输出不能抖动。

为了调整 EMC 性能，DP83TC1103x-Q1 上提供了以下抖动选项

- **抖动配置文件：**
  - 提供三角形和锯齿配置文件
- **抖动调制周期：** Δ(f) 的平均值为 0 的周期时间。
  - EMC 性能随着调制周期的增加而得到更高的提升。
- **抖动最大频率偏移 (Δ(f))：**配置频率偏移相对于时钟平均频率的最大比率
  - Δ(f) 越大，EMC 性能越高

使用寄存器 0x05A1 和 0x05A8 进行编程可提供上述选项

抖动 MAC 接口的影响：

时钟抖动会导致 MAC 接口信号的时钟周期在调制周期内收缩和延长。这会导致数据包之间的数据包间隙缩小或延长。MAC 接口参考时钟的输出时钟周期也会缩小或延长。表 7-11 展示了数据包间隙和 RGMII MAC 接口周期的比较。

表 7-11. 具有抖动功能的 IPG 和时钟周期变化

序号	Δf/f	抖动调制时间	25MHz 周跳	IPG 变化	25MHz 时钟周期变化
锯齿/三角形					
1	1%	8.33us	±1	±0.5 字节	±0.4ns
2	2%	8.33us	±2	±1 字节	±0.8ns
3	2%	16.66us	±4	±2 字节	±0.8ns

启用 MAC 接口抖动后，确定以太网 MAC 符合 IPG 收缩和时钟周期变化的要求。

Copyright © 2026 Texas Instruments Incorporated

7.3.5 输出转换控制

DP83TC1103x-Q1 提供控制 MAC 接口输出引脚和 GPIO 转换率的选项。下表显示了其中每个输出引脚可用的选项。

表 7-12. 输出转换控制选项

序号	引脚	转换率选项	控制寄存器
1	RX_CLK RX_D0 RX_D1 RX_D2 RX_D3 RX_CTRL RX_ER	转换模式 - 1（最慢） 转换模式 - 2 转换模式 - 3 转换模式 - 4 转换模式 - 5 转换模式 - 6 转换模式 - 7（最快）	0x0456[9:5]
2	TX_CLK		0x0456[4:0]
3	LED_1/GPIO_1		0x0461[12:8]
4	LED_0/GPIO_0		0x0461[4:0]

表 7-13 - 表 7-15 说明了不同转换模式、CLOAD 和 VDDIO 下的典型上升/下降时间变化。

表 7-13. CLOAD = 5pF、VDDIO = 3.3V 时上升/下降时间与转换模式间的关系

转换模式	上升/下降时间
1	4.1ns
2	3.5ns
3	3.0ns
4	2.7ns
5	2.4ns
6	2.0ns
7	1.6ns

表 7-14. CLOAD = 5pF、转换模式 = 4 时上升/下降时间与 CLOAD 间的关系

CLOAD	上升/下降时间
5pF	2.7ns
15pF	3.4ns
25pF	4.2ns

表 7-15. CLOAD = 5pF、转换模式 = 4 时上升/下降时间与 VDDIO 间的关系

VDDIO	上升/下降时间
3.3V	2.7ns
2.5V	2.4ns
1.8V	2.2ns

7.3.6 诊断工具套件

DP83TC1103x-Q1 诊断工具套件可提供用于监测正常运行、器件级调试、系统级调试、故障检测和合规性测试的机制。该工具套件包括带 PRBS 数据的内置自检、各种环回模式、信号质量指示器 (SQI)、时域反射计 (TDR)、静电放电监测器和 IEEE 802.3bw 测试模式。

Copyright © 2026 Texas Instruments Incorporated

7.3.6.1 信号质量指示器

当 DP83TC1103x-Q1 处于激活状态时，信号质量指示器可以基于器件产生的 SNR 读数来确定链路的质量。SQI 可表示为 8 级指标。可通过寄存器 0x871 访问信号质量指示。SQI 由 PHY 持续监控，从而获得实时的链路信号质量状态。

寄存器 0x871 中的位 [3:1] 提供 SQI 值，而位 [7:5] 提供自上次读取以来最差的 SQI 值。寄存器 0x871[3:1] 中报告的 SQI 值直接映射到 Open Alliance 所需的 SQI 级别。

表 7-16. 信号质量指示器

寄存器 0x871[3:1]	OPEN ALLIANCE SQI 等级	链路质量
0x0	0（最差）	链路不良/无链路
0x1	1	
0x2	2	
0x3	3	
0x4	4	链路良好/出色
0x5	5	
0x6	6	
0x7	7（最佳）	

7.3.6.2 静电放电检测

对电子电路而言，静电放电非常危险，若缓解不当，就会导致短期问题（信号完整性、链路丢弃、数据包丢失）及长期可靠性故障。DP83TC1103x-Q1 包含强大的集成 ESD 电路，还具有 ESD 检测架构。可在 MDI 引脚上独立检测 ESD 事件，用于进一步分析和调试。

此外，DP83TC1103x-Q1 还提供中断状态标志；当记录 ESD 事件时，可设置 *寄存器 0x12[11]*。可以使用同一寄存器的位 [3] 将此中断路由到 INT_N 引脚。*寄存器 0x442[14:9]* 存储自上电以来发生的 ESD 事件的数量。为防止不必要的清除，ESDS 寄存器会忽略硬件和软件复位。

7.3.6.3 时域反射法

除了估算电缆开路和短路故障外，时域反射法还有助于确定电缆、连接器和终端的质量。DP83TC1103x-Q1 通过所连接的双绞线电缆发送测试脉冲。发送的脉冲会沿电缆继续传输，并在每次出现缺陷和故障时进行反射，从而使器件能够测量所有反射的返回时间和强度（振幅）。借助该技术，DP83TC1103x-Q1 能够识别电缆中的开路和短路故障。

通过在寄存器 0x1E 中设置位 [15]，可激活 TDR。表 7-17 概述了该过程。请注意，连接到 PHY 的链路伙伴必须静默。在 TDR 执行期间链路断开。

表 7-17. TDR 运行步骤

序列	说明	寄存器读取/写入
步骤 1： 适用于 DP83TC1103x-Q1 作为主器件	通过写入寄存器强制断开链路，并使链路伙伴静默。如果发生有效开路和短路电缆故障，即使不执行步骤 1，TDR 仍能正常工作。电缆状态良好时，如果绕过此步骤，TDR 寄存器 0x001E 可能显示 *Fail*。	写入寄存器[0x1834]= 0x8001 以使主器件静默。
步骤 1： 适用于 DP83TC1103x-Q1 作为从器件	通过写入寄存器强制断开链路，并使链路伙伴静默。在有效的开路和短路电缆故障时，TDR 没有步骤 1 仍然能正常工作。电缆状态良好时，如果绕过此步骤，TDR 寄存器 0x001E 可能显示 *Fail*。	如果 DP83TC1103x-Q1 是链路伙伴，则在链路伙伴上写入 reg[0x1834] = 0x8001 以使其静默。如果使用其他 PHY、请联系供应商以进行寄存器写入，从而使链路伙伴静默

Copyright © 2026 Texas Instruments Incorporated

表 7-17. TDR 运行步骤（续）

序列	说明	寄存器读取/写入
第 2 步	TDR 配置：运行前	Reg[0x0523] = 0x0001 Reg[0x04DF] = 0x0003 Reg[0x0827] = 0x3800 Reg[0x0301] = 0x1700 Reg[0x0302] = 0x0045 Reg[0x0303] = 0x042D Reg[0x0304] = 0x0026 Reg[0x0305] = 0x0015 Reg[0x001F] = 0x4000 Reg[0x0523] = 0x0000 Reg[0x001F] = 0x0000 Reg[0x001E]= 0x8000
第 3 步	开始 TDR	Reg[0x001E(15)] = 1
第 4 步	等待 100ms（应该足以让 TDR 收敛，从而准确测量最长电缆长度）	
第 5 步	读取 0x001E[1:0] = [TDR done : TDR fail]。值必须为 [1,0]。只有读取到正确值时，故障类型和位置才有效。[1,0] 以外的值表示线路上有一些噪声导致 TDR 失败。	
第 6 步	读取故障类型和位置。	读取寄存器 0x0310 以了解故障状态和故障类型。对于故障类型：
		TDR_TC-1 Reg 0x0310[7] = peak_detect
		0b — 未检测到故障
		1b — 检测到故障
		TDR_TC-1 Reg 0x0310[6] = peak_sign
		0b — short
		1b — 开路
		**只有在电缆中检测到故障时，peak_sign 才有效。如果检测到有效故障：寄存器 0x0310[5:0] = 是故障位置（以米为单位）。

7.3.7 BIST 和环回模式

DP83TC1103x-Q1 包含数据路径内置自检 (BIST) 功能，可检查 PHY 级和系统级数据路径。BIST 具有以下集成功能，可在不依靠 MAC 或外部数据生成器硬件/软件的情况下进行系统级数据传输测试（吞吐量等）和诊断。

DP83TC1103x-Q1 具有以下可用于轻松评估的功能。

- 环回模式
- 数据生成器
  1. 可定制的 MAC 数据包生成器
  2. 发送数据包计数器
  3. PRBS 流发生器
- 数据校验器
  1. 接收到的 MAC 数据包错误校验器
  2. 接收到的数据包计数器：统计接收到的数据包及接收到包含错误数据包的数量
  3. PRBS 锁和 PRBS 错误校验器

7.3.7.1 数据生成器和校验器

DP83TC1103x-Q1 支持内置的伪随机数据生成器和校验器，它们可与环回模式结合使用来检查数据路径。可对数据生成器进行编程，进而生成用户定义的 MAC 数据包或 PRBS 流。

Copyright © 2026 Texas Instruments Incorporated

可配置所生成 MAC 数据包的以下参数（有关所需配置，请参阅寄存器 <0x061B>、寄存器 <0x061A> 和寄存器 <0x0624>）：

- 数据包长度
- 数据包间间隙
- 需发送或持续传输的数据包的规定数量
- 数据包数据类型：增量/固定/PRBS
- 每个数据包的有效字节数

7.3.7.2 xMII 回送

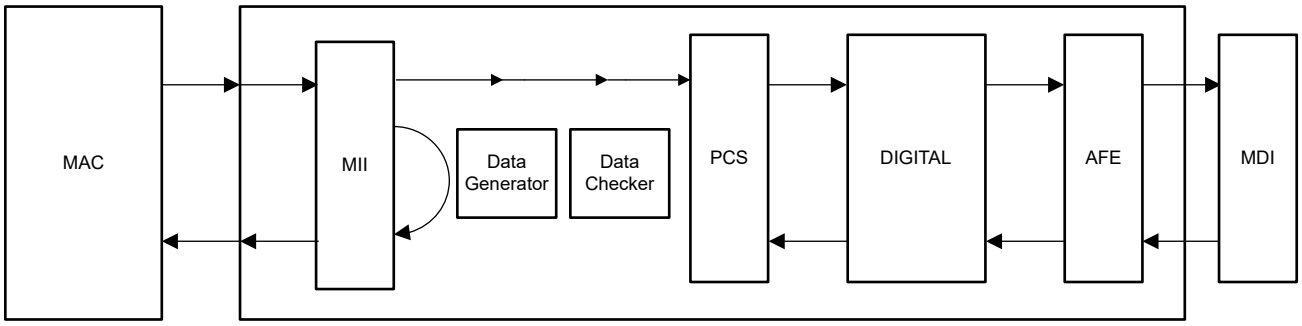


图 7-10. 没有数据生成器的 xMII 环回

xMII 环回是穿过 PHY 的最短环路。这是一种用于验证 MAC 和 PHY 之间的通信的测试模式。当处于 xMII 环回模式时，对于从 TX 路径上连接的 MAC 发送的数据，会在 DP83TC1103x-Q1 内部环回至 RX 引脚，MAC 能够在此处进行检查。在 xMII 环回模式下没有链路指示。

启用环回

写入寄存器 0x0000 = 0x6100

为 MAC 端启用数据生成器/校验器

数据在 MAC TX 引脚外部生成

根据 MAC 接口模式，使用以下寄存器设置来启用校验器。

- 对于 RGMII，请写入寄存器 0x0619 = 0x1004
- 对于 SGMII，请写入寄存器 0x0619 = 0x1114
- 对于 RMII，请写入寄存器 0x0619 = 0x1224
- 对于 MII，请写入寄存器 0x0619 = 0x1334

检查来自 MAC 端的传入数据

可在 MAC 接口 RX 引脚上验证数据。

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆侧启用数据生成器/校验器

不适用，因为数据在 MAC 接口 TX 引脚上从外部生成。

检查电缆侧的数据

不适用，因为 PRBS 流校验器仅与内部 PRBS 发生器配合使用。

Copyright © 2026 Texas Instruments Incorporated

其他系统要求

生成的数据将进入电缆端。

7.3.7.3 PCS 环回

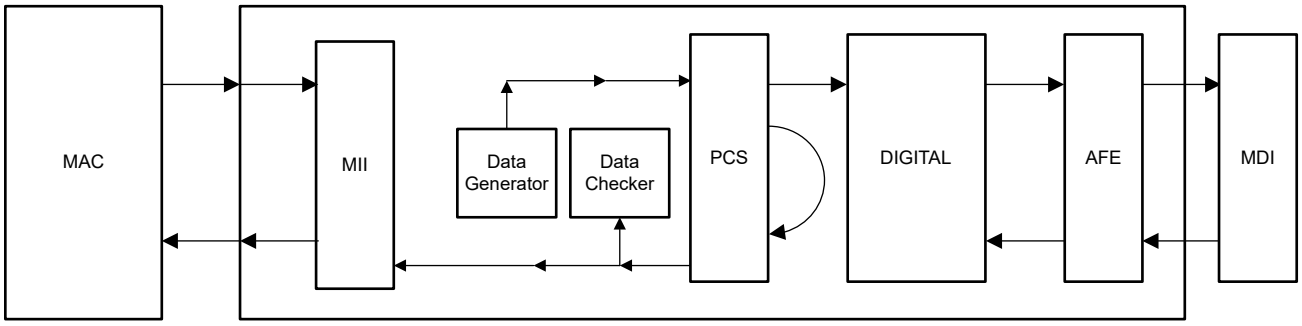


图 7-11. 带数据生成器的 PCS 环回

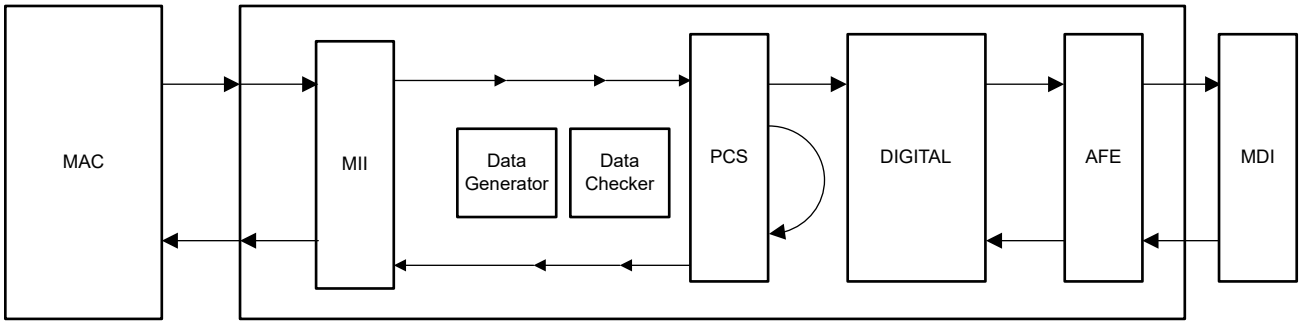


图 7-12. 不带数据生成器的 PCS 环回

PCS 环回在数据退出 PCS 和进入 PMA 之前循环回数据。在发送路径上从 MAC 接收的数据通过 PHY 内的数字块传送，然后在此处通过接收路径将数据路由回 MAC。DP83TC1103x-Q1 接收 PMA 电路采用隔离配置，以防止争用。

启用环回

写入寄存器 0x0552 = 0x0000

写入寄存器 0x0016 = 0x0102

为 MAC 端启用数据生成器/校验器

写入寄存器 0x0619 = 0x1555

写入寄存器 0x0624 = 0x55BF

检查来自 MAC 端的传入数据

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆侧启用数据生成器/校验器

写入寄存器 0x0619 = 0x0557

写入寄存器 0x0624 = 0x55BF

Copyright © 2026 Texas Instruments Incorporated

检查电缆侧的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
   a. 位 [7:0] = 接收到的错误字节数
   b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态（1'b1 表示锁定）

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

7.3.7.4 数字环回

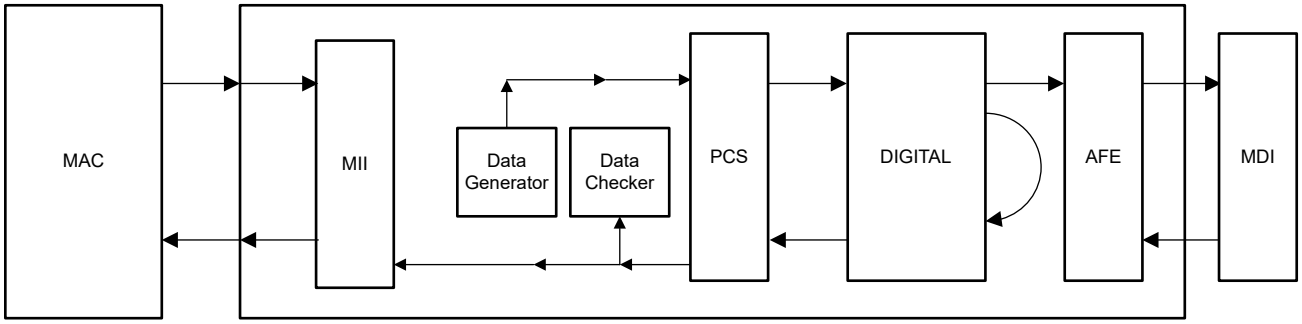


图 7-13. 带数据生成器的数字环回

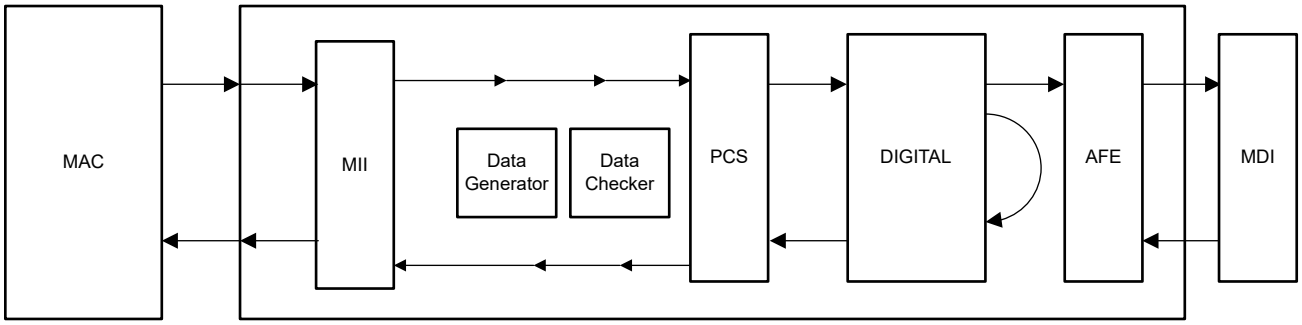


图 7-14. 不带数据生成器的数字环回

数字环回在退出数字模式并进入 AFE 之前环回数据。在发送路径上从 MAC 接收的数据通过 PHY 内的数字块传送，然后在此处通过接收路径将数据路由回 MAC。DP83TC1103x-Q1 接收模拟电路采用隔离配置，以防止争用。

启用环回

写入寄存器 0x0868 = 0x085A

写入寄存器 0x04DF = 0x0006

写入寄存器 0x0016 = 0x0104

为 MAC 端启用数据生成器/校验器

写入寄存器 0x0619 = 0x1555

Copyright © 2026 Texas Instruments Incorporated

写入寄存器 0x0624 = 0x55BF

检查来自 MAC 端的传入数据

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆侧启用数据生成器/校验器

写入寄存器 0x0619 = 0x0557

写入寄存器 0x0624 = 0x55BF

检查电缆侧的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
   a. 位 [7:0] = 接收到的错误字节数
   b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态（1'b1 表示锁定）

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

7.3.7.5 模拟环回

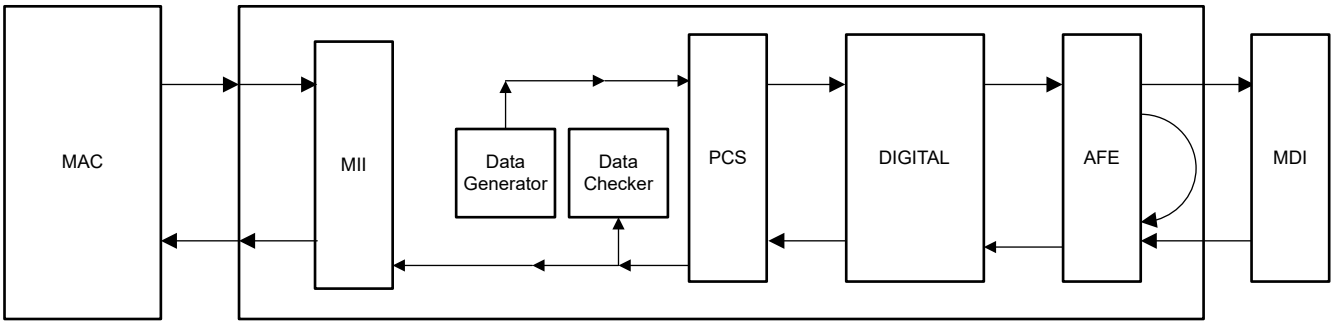


图 7-15. 带有数据生成器的模拟环回

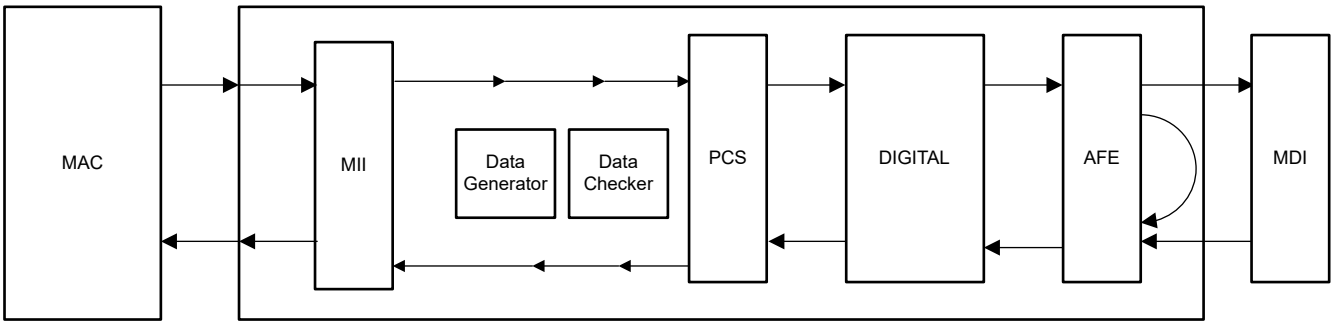


图 7-16. 不带数据生成器的模拟环回

模拟环回使用来自未端接 MDI 的回传信号，并解码混合模式中的这些信号，将数据返回到 MAC。

Copyright © 2026 Texas Instruments Incorporated

启用环回

写入寄存器

- 0x0868 = 0x085A
- 0x04DF = 0x0006
- 0x0016 = 0x0108
- 0x0802 = 0x4A47
- 0x001F = 0x4000

为 MAC 端启用数据生成器/校验器

写入寄存器

- 0x0619 = 0x1555
- 0x0624 = 0x55BF

检查来自 MAC 端的传入数据

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆侧启用数据生成器/校验器

写入寄存器

- 0x0619 = 0x0557
- 0x0624 = 0x55BF

检查电缆侧的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
   a. 位 [7:0] = 接收到的错误字节数
   b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态（1'b1 表示锁定）

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

7.3.7.6 反向环回

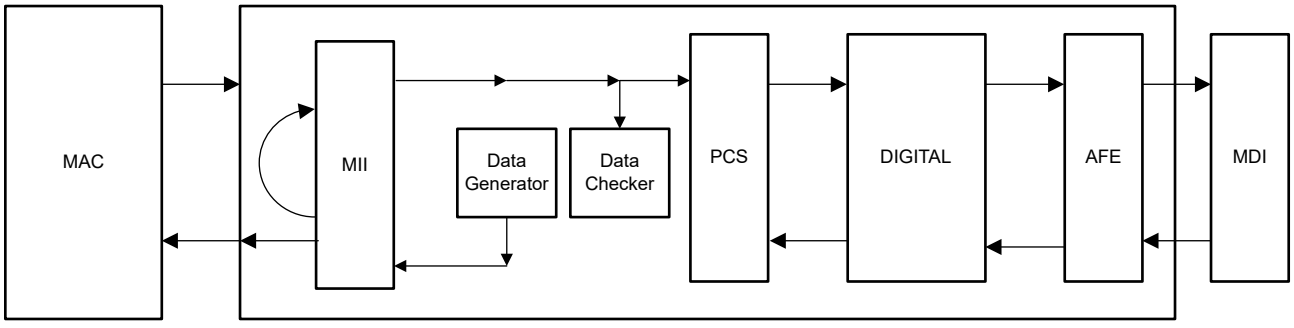


图 7-17. 带数据生成器的反向环回

Copyright © 2026 Texas Instruments Incorporated

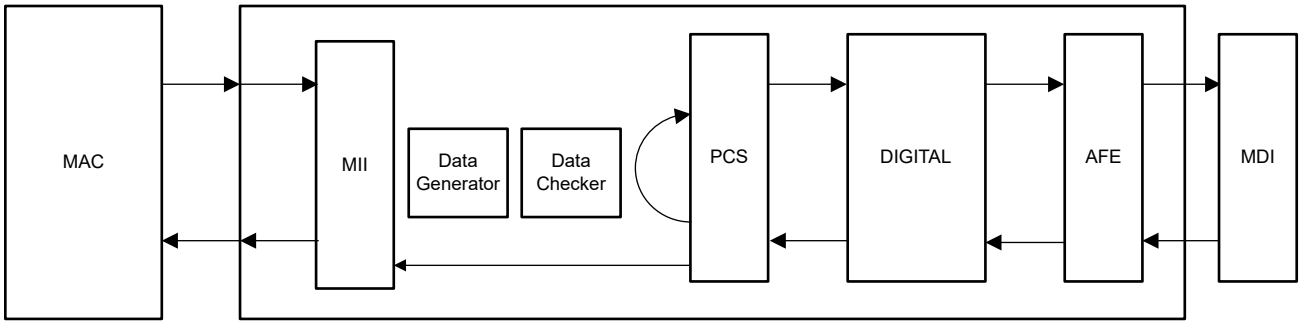


图 7-18. 不带数据生成器的反向环回

反向环回在 MDI 上接收数据，并将数据传递到整个接收块，然后在 PCS 层内将数据环回至发送块。数据通过 MDI 传回到连接的链路伙伴。为了避免争用，MAC 发送路径被隔离。

启用环回

写入寄存器 0x0016 = 0x0110

为 MAC 端启用数据生成器/校验器

根据 MAC 接口模式，使用以下寄存器设置来启用校验器。

- 对于 RGMII，请写入寄存器 0x0619 = 0x1004
- 对于 SGMII，请写入寄存器 0x0619 = 0x1114
- 对于 RMII，请写入寄存器 0x0619 = 0x1224
- 对于 MII，请写入寄存器 0x0619 = 0x1334

写入寄存器 0x0624 = 0x55BF

检查来自 MAC 端的传入数据

也可以通过读取寄存器 0x063C、0x063D、0x063E 在内部检查数据。必须按照这一此顺序一起读取这些寄存器。

为电缆侧启用数据生成器/校验器

写入寄存器 0x0619 = 0x0557

写入寄存器 0x0624 = 0x55BF

检查电缆侧的数据

1. 写入寄存器 0x0620[1] = 1'b1
2. 读取寄存器 0x620
   a. 位 [7:0] = 接收到的错误字节数
   b. 位 [8] = 传入数据时 PRBS 校验器处于锁定状态（1'b1 表示锁定）

重复步骤 1 和 2 以持续检查传入数据流的错误状态。

其他系统要求

内部 PRBS 生成的数据通过 MDI 和 MAC 接口传输。

Copyright © 2026 Texas Instruments Incorporated

7.3.8 合规性测试模式

备注

必须使用 TI 应用手册 SDAA127 中概述的寄存器设置来实现所需的 OA 合规性能。要获取该应用手册，请联系 TI。

IEEE 802.3bw 第 96.5.2 小节要求使用四种 PMA 合规性测试模式，DP83TC1103x-Q1 支持这些模式。这些合规性测试模式包括发送器波形功率谱密度 (PSD) 掩码、振幅、失真、100BASE-T1 主模式抖动、100BASE-T1 从模式抖动、压降、发送器频率、频率容差、回波损耗和模式转换。

TX_TCLK 可路由至 LED_1 引脚以进行 100BASE-T1 从模式抖动测量。可以在寄存器 0x45F 中启用该功能。此器件必须配置为从模式。

7.3.8.1 测试模式 1

测试模式 1 评估发送器压降。在模式 1 下，DP83TC1103x-Q1 会发送“+1”符号且持续时间至少为 600ns，然后发送“–1”符号且持续时间至少为 600ns。在禁用此测试模式之前，该模式持续重复。

可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的 bits[15:13] = 0b001 来启用测试模式 1。

7.3.8.2 测试模式 2

测试模式 2 可评估发送器 100BASE-T1 主模式的抖动情况。在测试模式 2 下，DP83TC1103x-Q1 会发送一个 {+1,-1} 数据符号序列。该发送器会从本地基准时钟同步发送的符号。

可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的 bits[15:13] = 0b010 来启用测试模式 2。

7.3.8.3 测试模式 4

测试模式 4 可评估发送器失真情况。在测试模式 4 下，DP83TC1103x-Q1 将发送根据方程式 1 生成的符号序列：

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

位序列 x0n 和 x1n 根据扰频器及方程式 2 和方程式 3 组合生成。

$$'x0_n = Scr_n[0] \quad (2)$$

$$x1_n = Scr_n[1]^{Scr_n[4]} \quad (3)$$

表 7-18 中显示了 3 位半字节的示例流。

表 7-18. 发送器测试模式 4 符号映射

x1n	x0n	PAM3 SYMBOL
0	0	0
0	1	+1
1	0	0
1	1	-1

可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的 bits[15:13] = 0b100 来启用测试模式 4。

7.3.8.4 测试模式 5

测试模式 5 可评估发送器 PSD 屏蔽情况。在测试模式 5 下，DP83TC1103x-Q1 会发送 PAM3 符号的伪随机序列。

可以通过设置 MMD1_PMA_TEST_MODE_CTRL 寄存器 (0x1836) 中的 bits[15:13] = 0b101 来启用测试模式 5。

Copyright © 2026 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 电源模式

DP83TC1103x-Q1 支持不同的功耗模式，包括功能模式和低功耗模式，例如待机模式、TC10 睡眠、IEEE 断电。下图展示了这些功耗模式之间的状态转换图。

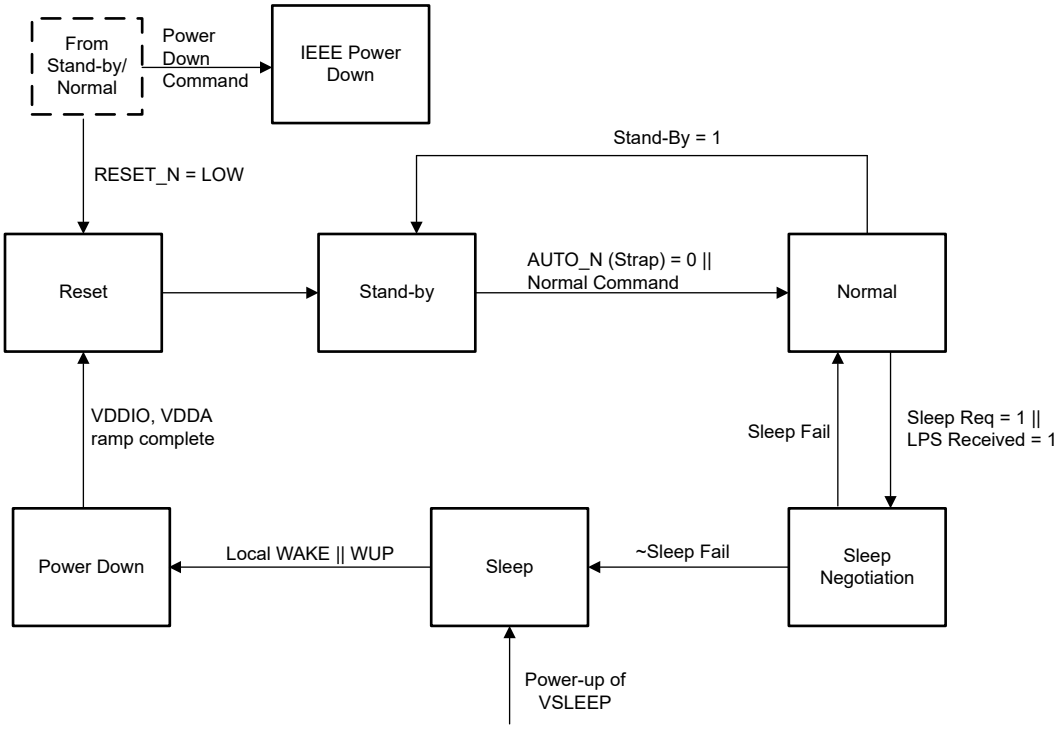


图 7-19. 功耗状态图

7.4.1.1 断电

当任何电源导轨低于 POR 阈值时，PHY 将处于断电状态。所有数字 IO 都将保持高阻抗状态，且模拟块被禁用。断电状态时不存在 PMA 终端。

表 7-19. POR 阈值

电源	POR 阈值
VDDA/VDDIO/VSLEEP	0.6V

7.4.1.2 复位

如果将 $\overline{\text{RESET}}$ 拉至低电平（最短复位脉冲时间）或通过设置寄存器 [0x1F] 的位 [15] 来启动硬件复位，则会在上电时激活复位。复位期间，所有数字电路连同寄存器设置一起被清除。复位完成后，将对器件自举进行重新采样、相应地设置相关的自举寄存器。复位时不存在 PMA 终端。

7.4.1.3 待机

只要包括 VSLEEP 在内的所有电源可用并且器件自举进入托管运行状态，该器件（仅限 100BASE-T1 主模式）就会在上电和复位后自动进入待机模式。

在待机模式下，除 PCS 和 PMA 块外，所有 PHY 功能均可运行。也不存在 PMA 终端。处于待机模式时，无法建立链路，不能发送或接收数据。SMI 功能正常运行，寄存器配置得到维护。

如果通过自举设置将器件配置为自主运行，则 PHY 会在 POR 完成后，自动切换到正常运行模式。

Copyright © 2026 Texas Instruments Incorporated

7.4.1.4 正常

可从自主或管理运行进入正常模式。在自主运行时，PHY 将在 POR 完成后自动尝试与有效链路伙伴建立链路。

在管理运行中，需执行 SMI 访问才能使器件退出待机状态；通过 SMI 发出的命令可使器件退出待机状态并启用 PCS 和 PMA 块。所有器件都能以正常模式运行。

将寄存器 0x18B[6] 设置为等于“1”后，可通过 SMI 访问启用自主运行。请注意，该位在链路建立后自动清零。

7.4.1.5 睡眠

进入睡眠模式后，除能量检测外，将禁用所有 PHY 块。在睡眠模式下，所有寄存器配置都会丢失。处于睡眠模式时，无法建立链路，不能传输或接收数据，不可访问 SMI。

建议在睡眠模式下切断除 VSLEEP 之外的所有电源，以实现最低功耗。

7.4.2 媒体相关接口

7.4.2.1 100BASE-T1 主模式和 100BASE-T1 从模式配置

DP83TC1103x-Q1 默认处于 100Base-T1 从模式，更改默认运行模式需要更改寄存器配置。MMD1_PMA_CTRL_2 寄存器（地址 0x1834）中的第 [14] 位可控制 100BASE-T1 主模式和 100BASE-T1 从模式配置。设置该位时，将启用 100BASE-T1 主模式。

7.4.2.2 自动极性检测和校正

在链路训练过程中，DP83TC1103x-Q1 100BASE-T1 从模式能够检测极性反转并自动校正错误。如果检测到极性反转，100BASE-T1 从模式会反转其自己的发送信号以考虑误差，并建立与 100BASE-T1 主模式的兼容性。100BASE-T1 主器件的极性始终被视为正确，因为极性检测和校正完全由 100BASE-T1 从器件处理。

在不需要自动极性校正的情况下，可以禁用自动极性校正功能。通过寄存器 0x0553 可禁用自动极性校正。

7.4.2.3 Jabber 检测

如果从未在 rcv_max_timer 中检测到或接收到流结束分隔符 ESD1 和 ESD2，则 jabber 功能可防止 PCS 接收状态机锁定到 DATA 状态。如果最大接收 DATA 状态计时器超时，则 PCS 接收状态机复位并转换为 IDLE 状态。IEEE 802.3bw 规定 Jabber 超时设置为 1.08ms ± 54 µs。默认情况下，DP83TC1103x-Q1 中的 Jabber 超时设置为 1.1ms。该计时器可在寄存器 0x496[10:0] 中进行配置。

7.4.2.4 交错检测

借助交错功能，DP83TC1103x-Q1 可以检测并解交错来自己连接链路伙伴的串行流。三元符号两种可能的交错序列包括：(TA_n, TB_n) 或 (TB_n, TA_n)。

7.4.3 MAC 接口

7.4.3.1 媒体独立接口

媒体独立接口 (MII) 是一个同步 4 位宽半字节数据接口，用于将 PHY 连接到 MAC。MII 完全符合 IEEE 802.3-2015 第 22 条。PHY 在 MII 输出引脚（其中包括 PHY 在 MII 模式下运行时的 TX_CLK 输出）上具有内部串联终端电阻器。在此模式下，建议不要将 MII/TX 引脚悬空或置于高阻态

表 7-20 中总结了 MII 信号。

表 7-20. MII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
控制信号	TX_EN、TX_ER
	RX_DV、RX_ER

Copyright © 2026 Texas Instruments Incorporated

表 7-20. MII 信号（续）

功能	引脚
时钟信号	TX_CLK
	RX_CLK

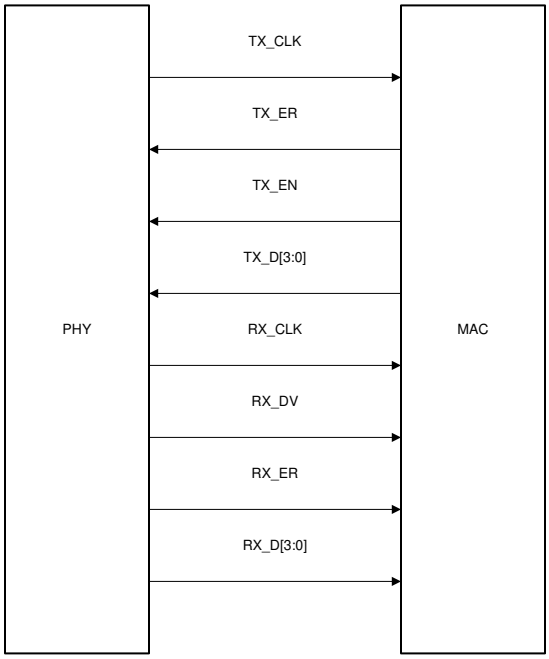


图 7-20. MII 信令

表 7-21. MII 发送编码

TX_EN	TX_ER	TX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1111	保留
1	0	0000 至 1111	正常数据发送
1	1	0000 至 1111	发送错误传播

Copyright © 2026 Texas Instruments Incorporated

表 7-22. MII 接收编码

RX_DV	RX_ER	RX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000	正常帧间
0	1	0001 至 1101	保留
0	1	1110	错误载波指示
0	1	1111	保留
1	0	0000 至 1111	正常数据接收
1	1	0000 至 1111	有错误的数据接收

7.4.3.2 简化媒体独立接口

DP83TC1103x-Q1 集成了 RMII 协会在 RMII 修订版 1.2 和 1.0 中定义的简化媒体独立接口（RMII）。该接口旨在为第 22 条中指定的 IEEE 802.3u MII 提供一种引脚数更少的替代方案。从架构上讲，RMII 规范在 MII 的任一侧提供了一个额外的调节层，但在没有 MII 的情况下可实现。

DP83TC1103x-Q1 提供两种类型的 RMII 运行：RMII 从模式和 RMII 主模式。在 RMII 从模式下，DP83TC1103x-Q1 由 50MHz CMOS 电平振荡器供电，该振荡器由 MAC 提供或与 MAC 基准时钟同步。在 RMII 主运行模式下，DP83TC1103x-Q1 通过连接 XI 引脚的 25MHz CMOS 电平振荡器，或连接 XI 与 XO 引脚的 25MHz 晶体工作。当自举至 RMII 主模式时，会在 TX_CLK 上自动启用 50MHz 输出时钟。该 50MHz 输出时钟必须路由到 MAC。

RMII 规范具有以下特性：

- MAC 和 PHY 之间共享的单个时钟基准
- 提供独立的 2 位宽发送和接收数据路径

在该模式下，发送与接收路径均采用 50MHz 内部基准时钟，每个时钟周期可传输两比特数据。

RMII 信号概述如 表 7-23 所示：

表 7-23. RMII 信号

功能	引脚
数据信号	TX_D[1:0]
	RX_D[1:0]
控制信号	TX_EN
	CRS_DV

Copyright © 2026 Texas Instruments Incorporated

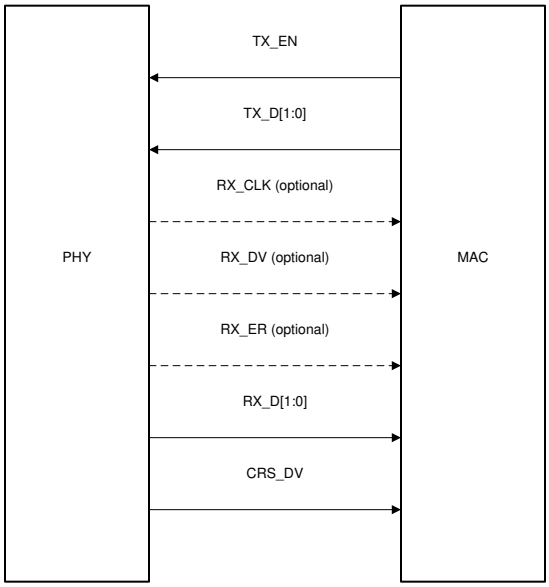


图 7-21. RMII 信令

表 7-24. RMII 发送编码

TX_EN	TX_D[1:0]	说明
0	00 至 11	正常帧间
1	00 至 11	正常数据发送

表 7-25. RMII 接收编码

CRS_DV	RX_ER	RX_D[1:0]	说明
0	0	00 至 11	正常帧间
0	1	00	正常帧间
0	1	01 至 11	保留
1	0	00 至 11	正常数据接收
1	1	00 至 11	有错误的数据接收

RMII 主模式：TX_D[1:0] 上的数据以 TX_CLK 引脚上的基准时钟上升沿为基准锁存在 PHY 上。数据以 TX_CLK 引脚上的相同时钟上升沿为基准呈现在 RX_D[1:0]上。

DP83TC1103x-Q1 RMII 提供一个 RX_DV 信号，该信号提供了一种更简单的方法来恢复接收数据，而无需将 RX_DV 与 CRS_DV 指示分开。即使 RMII 规范不要求 RX_ER，该信号也受到支持。

RMII 包括一个可编程 FIFO，可以调整基准时钟和恢复时钟之间的频率差。可编程 FIFO 位于寄存器 0x0011[9:8] 和寄存器 0x0648[9:7] 中，可根据预期的最大数据包大小和时钟精度大幅减少内部传播延迟。

表 7-26. XI 时钟 PPM = ±100ppm

寄存器 0x0011 <9:8>	寄存器 0x0648 <9:7>	使 PHY 延迟递增	无错误的最大数据包长度
01	010	默认值	2250
10	100	80ns	7250

7.4.3.3 简化千兆位媒体独立接口

DP83TC1103x-Q1 还支持 RGMII 2.0 版指定的简化千兆位媒体独立接口 (RGMII)，并支持 LVCMOS。RGMII 旨在减少连接 MAC 和 PHY 所需的引脚数。为实现这一目标，将对控制信号进行多路复用。时钟的上升沿和下降沿

Copyright © 2026 Texas Instruments Incorporated

都用于对发送和接收路径中的控制信号引脚进行采样。在时钟的上升沿对数据进行采样。对于 100Mbps 运行，RX_CLK 和 TX_CLK 都以 25MHz 运行。

RGMII 信号概述如 表 7-27 所示：

表 7-27. RGMII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
控制信号	TX_CTRL
	RX_CTRL
时钟信号	TX_CLK
	RX_CLK

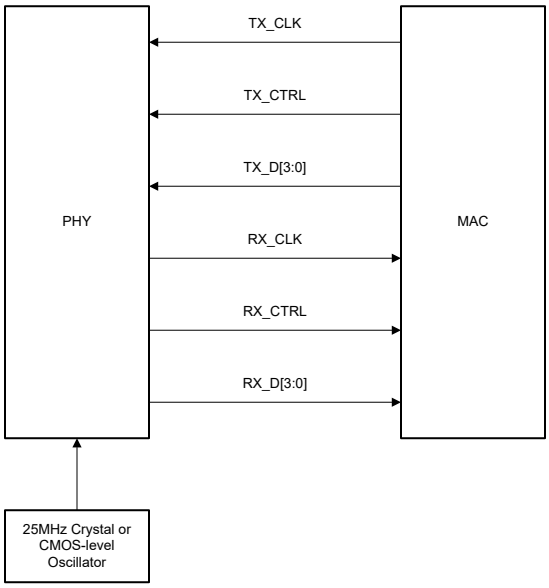


图 7-22. RGMII 连接

表 7-28. RGMII 发送编码

TX_CTRL（正边沿）	TX_CTRL（负边沿）	TX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1111	保留
1	0	0000 至 1111	发送错误传播
1	1	0000 至 1111	正常数据发送

Copyright © 2026 Texas Instruments Incorporated

表 7-29. RGMII 接收编码

RX_CTRL（正边沿）	RX_CTRL（负边沿）	RX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1101	保留
0	1	1110	错误载波指示
0	1	1111	保留
1	0	0000 至 1111	有错误的数据接收
1	1	0000 至 1111	正常数据接收

在数据包接收期间，RX_CLK 可以在正脉冲或负脉冲上延伸，以适应从内部自由运行时钟到恢复时钟（数据同步）的切换。由于双倍数据速率 (DDR) 仅在 1Gbps 运行模式下需要，而 DP83TC1103x-Q1 不支持该模式，因此数据可以在时钟的下降沿进行复制。

DP83TC1103x-Q1 支持带内状态指示，有助于简化链路状态检测。RX_D[3:0] 引脚上的帧间信号如表 7-30 所示。

表 7-30. RGMII 带内状态

RX_CTRL	RX_D3	RX_D[2:1]	RX_D0
00 **注意：** 带内状态仅在 RX_CTRL 为低电平时有效	**双工状态：** 0 = 半双工 1 = 全双工	**RX_CLK 时钟速度：** 00 = 2.5 MHz 01 = 25 MHz 10 = 125 MHz 11 = 保留	**链路状态：** 0 = 未建立链路 1 = 已建立有效链路

7.4.3.4 串行千兆位媒体独立接口

串行千兆位媒体独立接口 (SGMII) 提供了一种在 MAC 与 PHY 之间传输数据的方法，与 MII（14 引脚）、RMII（7 引脚）或 RGMII（12 引脚）相比，其信号引脚（4 引脚）明显减少。SGMII 使用低电压差分信号 (LVDS)，可减少发射并提高信号质量。

DP83TC1103x-Q1 SGMII 能够以 4 线制模式运行。SGMII 可通过硬件自举进行配置。以 4 线制运行时，两个差分对用于发送和接收数据。时钟和数据恢复在 MAC 和 PHY 中执行。

由于 DP83TC1103x-Q1 以 100Mbps 的速率运行，因此 SGMII 的 1.25Gbps 速率过高。SGMII 规范通过在帧内复制每个字节 10 次来实现 100Mbps 运行。帧延长发生在 IEEE 802.3 PCS 层上方，这可防止帧起始定界符出现多次。

DP83TC1103x-Q1 仅支持 100Mbps 速度，因此可通过在 *寄存器 0x608* 中设置位 [0] = 0b0 来禁用 SGMII 自动协商。

“SGMII 信号”中总结了 SGMII 信号。

表 7-31. SGMII 信号

功能	引脚
数据信号	SGMII_SIP、SGMII_SIN
	SGMII_SOP、SGMII_SON

Copyright © 2026 Texas Instruments Incorporated

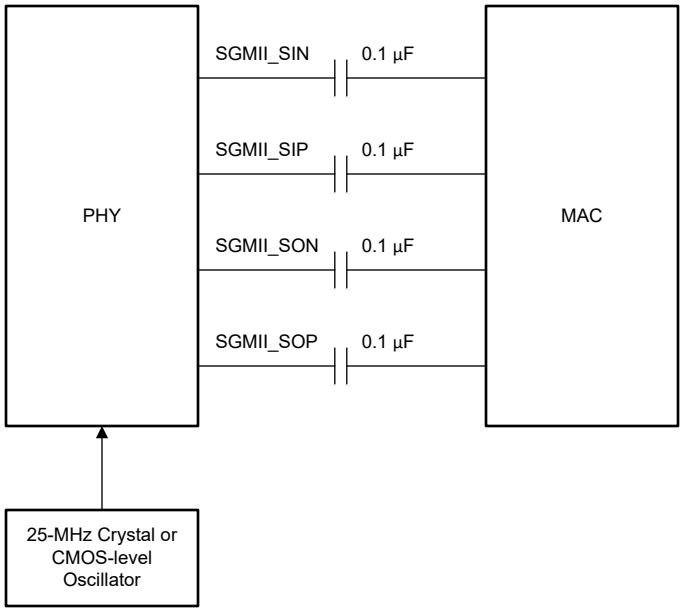


图 7-23. SGMII 连接

7.4.4 串行管理接口

串行管理接口 (SMI) 支持访问 DP83TC1103x-Q1 内部寄存器空间，以便获得状态信息与配置。SMI 帧和基址寄存器符合 IEEE 802.3 第 22 条规定。实施的寄存器组包括 IEEE 802.3 标准规定的寄存器以及其他几个寄存器，能够提高 DP83TC1103x-Q1 的可见性与可控性。此外，DP83TC1103x-Q1 还在 IEEE 802.3bw 定义的第 45 条中添加了控制和状态寄存器。使用第 22 条访问可访问第 45 条寄存器字段。

SMI 包括管理时钟 (MDC) 和管理输入和输出数据引脚 (MDIO)。MDC 由外部管理实体 (也称为站 (STA)) 提供。MDC 不应持续运行，在总线空闲时可由外部管理实体关闭。

MDIO 由外部管理实体和 PHY 提供。MDIO 引脚上的数据在 MDC 的上升沿锁存。MDIO 引脚需要一个能够在空闲与转换期间将 MDIO 拉高的上拉电阻器 (2.2KΩ)。

最多 8 个 DP83TC1103A-Q1 或 4 个 DP83TC1103B-Q1 PHY 可共用一条公共 SMI 总线。为区分 PHY，采用了 4 位地址。上电复位期间，DP83TC1103x-Q1 通过锁存 PHYAD[3:0] 配置引脚来确定其地址。

在上电复位后的首个周期内，管理实体不得启动 SMI 事务。为维持有效运行，在硬复位取消置位之后，SMI 总线必须至少在一个 MDC 周期保持未激活状态。在正常 MDIO 事务中，寄存器地址直接取自管理帧 reg_addr 字段，因此允许直接访问 32 个 16 位寄存器 (包括 IEEE 802.3 定义的寄存器和特定于供应商的寄存器) 。数据字段用于读取和写入操作。开始代码由 <01> 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读操作期间发生资源争用，在第一个比特周转期间，没有器件能够主动驱动 MDIO 信号。对于寻址到的 DP83TC1103x-Q1，能够通过将第二个周转位设为零驱动 MDIO，随后输出所需数据。

对于写操作，站管理实体会将数据写入寻址到的 DP83TC1103x-Q1，因此不需要进行 MDIO 周转。转换时间由管理实体通过插入 <10> 来填充。

表 7-32. SMI 协议结构

SMI 协议	<idle> <start> <op code> <device address> <reg address> <turnaround> <data> <idle>
读取操作	<idle><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><idle>
写入操作	<idle><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><idle>

Copyright © 2026 Texas Instruments Incorporated

7.4.4.1 扩展寄存器空间访问

DP83TC1103x-Q1 的 SMI 功能支持使用寄存器 REGCR (0x0D) 和 ADDAR (0x0E) 以及 IEEE 802.3ah 草案第 22 条所定义的 MDIO 管理器件 (MMD) 间接方法对扩展寄存器组进行读写访问，从而访问第 45 条所定义的扩展寄存器组。

备注

地址高于 0x001F 的寄存器需要间接访问。对于间接访问，必须遵循寄存器写入序列。MMD 值定义了寄存器组的器件地址 (DEVAD)。对于间接访问，必须在寄存器 0x000D (REGCR) 位[4:0]中配置 DEVAD

DP83TC1103x-Q1 支持 3 个 MMD 器件地址：

1. MMD1F（供应商特定寄存器）：DEVAD [4:0] = ‘11111’
2. MMD1（IEEE 802.3az 定义的寄存器）：DEVAD [4:0] = ‘00001’
3. MMD3（IEEE 802.3az 定义的寄存器）：DEVAD [4:0] = ‘00011’

表 7-33. MMD 寄存器空间划分

MMD 寄存器空间	寄存器地址范围
MMD1F	0x0000 - 0x0FFF
MMD1	0x1000 - 0x1FFF
MMD3	0x3000 - 0x3FFF

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。这些描述使用器件地址进行 MMD1F 寄存器访问 (DEVAD[4:0] = 11111)。

7.4.4.2 写入操作（无后增量）

如需在扩展寄存器组中写入寄存器：

指令	示例：设置寄存器 0x0170 = 0C50
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR (0x0D)。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR (0x0E)。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50

随后写入寄存器 ADDAR（第 4 步），继续重写由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

7.4.4.3 读取操作（无后增量）

如需读取扩展寄存器组中的寄存器：

指令	示例：读取 0x0170
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170

Copyright © 2026 Texas Instruments Incorporated

指令	示例：读取 0x0170
3.将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E

随后读取寄存器 ADDAR（第 4 步），继续读取由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

7.4.4.4 写入操作（有后增量）

在写入操作之后，若要写入扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

指令	示例：设置寄存器 0x0170 = 0C50 和寄存器 0x0171 = 0x0011
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.从寄存器 ADDAR 中写入寄存器地址。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F（数据，读取和写入时的后增量函数字段 = 10，DEVAD = 31）或值 0xC01F（数据，写入时的后增量函数字段 = 11，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50
5.随后写入寄存器 ADDAR（第 4 步），写入由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。	将寄存器 0x0E 写入值 0x0011

第 4 步写入寄存器 0x0170 至 0x0C50，由于启用了后增量，因此第 5 步写入寄存器 0x0171 至 0x0011。

7.4.4.5 读取操作（有后增量）

在读取操作之后，若要读取扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

指令	示例：读取寄存器 0x0170 和 0x0171
1.将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F（数据，读取和写入时的后增量函数字段 = 10，DEVAD = 31）写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E
5.随后读取寄存器 ADDAR（第 4 步），读取由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。	读取寄存器 0x0E

第 4 步读取寄存器 0x0170，由于启用了后增量，因此第 5 步读取寄存器 0x0171。

7.5 编程

7.5.1 搭接配置

DP83TC1103x-Q1 使用功能引脚作为 Strap 配置选项，以便将器件置于特定运行模式。在上电和硬件复位时对这些引脚的值进行采样（通过 $\overline{\text{RESET}}$ 引脚或寄存器访问）。可通过配置或串行管理接口来完成器件配置。

Copyright © 2026 Texas Instruments Incorporated

备注

由于 Strap 配置引脚在复位取消置位后为功能引脚，因此请勿直接将功能引脚与 VDDIO 或 GND 相连。为确保正常运行，需要使用上拉、下拉电阻器。

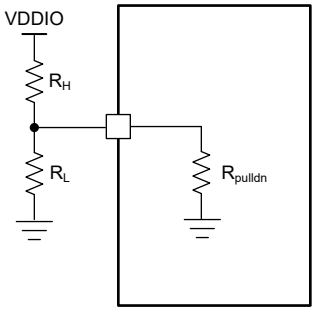


图 7-24. 配置 (Strap) 电路

R_{pulldn} 值包含在数据表的电气特性表中。

表 7-34. 建议采用的 2 级配置电阻

模式	理想 RH (kΩ)(1)(2)
1	任意值开路或下拉
2	2.49

(1) 可以使用容差高达 10% 的配置电阻。
(2) 若要在 1.8V VDDIO 的客户应用中获得更多裕度，可使用 2.1kΩ ±10% 上拉电阻器，或将 2.49kΩ 电阻器的精度限制为 1%。

下表介绍了 PHY 配置自举：

表 7-35. 自举 — DP83TC1103A-Q1

引脚名称	引脚编号	域	默认模式	自举功能		说明
LED_0/ GPIO_0/ STRAP_0	17	VDDIO	1	**模式**	**PHY_AD[2]**	PHY_AD：PHY 地址 ID
				1	0	
				2	1	
RX_ER/ STRAP_1	19	VDDIO	1	**模式**	**PHY_AD[1]**	
				1	0	
				2	1	
RX_D3/ STRAP_2	20	VDDIO	1	**模式**	**PHY_AD[0]**	
				1	0	
				2	1	
RX_D2/ STRAP_3	21	VDDIO	1	**模式**	**MAC[1]**	MAC：MAC 接口选择
				1	0	
				2	1	
RX_D1/ STRAP_4	23	VDDIO	1	**模式**	**MAC[0]**	
				1	0	
				2	1	
LED_1/ GPIO_1	18	VDDIO	1	**模式**	**测试**	不要将该引脚的 Strap 配置设为 MODE=2（上拉）
				0	正常	
				1	请勿使用	

Copyright © 2026 Texas Instruments Incorporated

表 7-36. 自举 — DP83TC1103B-Q1

引脚名称	引脚编号	域	默认模式	自举功能		说明
LED_0/ GPIO_0/ STRAP_0	17	VDDIO	1	模式	PHY_AD[1]	PHY_AD：PHY 地址 ID
				1	0	
				2	1	
STRAP_1	19	VDDIO	1	模式	PHY_AD[0]	
				1	0	
				2	1	
LED_1/ GPIO_1	18	VDDIO	1	模式	测试	不要将该引脚的 Strap 配置设为 MODE=2（上拉）
				0	正常	
				1	请勿使用	

备注

请参阅 OPEN Alliance 应用手册，其中提供了用于合规性测试的寄存器配置。必须使用这些寄存器设置，才能实现合规性测试期间观察到的相同性能。

表 7-37. MAC 接口选择自举 — DP83TC1103A-Q1

MAC[1]	MAC[0]	说明
0	0	RGMII-ID（仅 RX 延迟）
0	1	RGMII（无内部延迟）
1	0	RMII 主模式
1	1	RMII 从模式(1)

(1) 只能通过引导引脚配置 RMII 从模式。配置引导引脚并对寄存器 0x0432 = 0x0004 进行编程。

备注

DP83TC1103B-Q1 不支持 MAC 接口选择 Strap 配置。

表 7-38. PHY 地址自举 — DP83TC1103A-Q1

PHY_AD[2:0]	STRAP_0 模式	STRAP_1 MODE	STRAP_2 MODE	说明节 7.5.1
000	1	1	1	PHY 地址：d27 (0x1B)
001	1	1	2	PHY 地址：d25 (0x19)
010	1	2	1	PHY 地址：d21 (0x15)
011	1	2	2	PHY 地址：d19 (0x13)
100	2	1	1	PHY 地址：d9 (0x09)
101	2	1	2	PHY 地址：d7 (0x07)
110	2	2	1	PHY 地址：d3 (0x03)
111	2	2	2	PHY 地址：d1 (0x01)

表 7-39. PHY 地址自举 — DP83TC1103B-Q1

PHY_AD[1:0]	STRAP_0 模式	STRAP_1 MODE	说明节 7.5.1
00	1	1	PHY 地址：d27 (0x1B)
01	1	2	PHY 地址：d21 (0x15)
10	2	1	PHY 地址：d9 (0x09)
11	2	2	PHY 地址：d3 (0x03)

Copyright © 2026 Texas Instruments Incorporated

7.5.1.1 LED 配置

DP83TC1103x-Q1 最多支持两个可配置发光二极管 (LED) 引脚：LED_0、LED_1。LED 上可多路复用若干功能，用于不同工作模式。使用寄存器 0x0450 选择 LED 操作。

由于 LED 输出引脚也用作搭接引脚，外部元件需要搭接，因此，用户必须考虑 LED 使用情况，避免出现资源争夺问题。具体来说，当 LED 输出用于直接驱动 LED 时，每个输出驱动器的活动状态取决于相应输入在上电或硬件复位时所采样的逻辑电平。

图 7-25 显示了两种直接将 LED 连接至 DP83TC1103x-Q1 的正确方法。

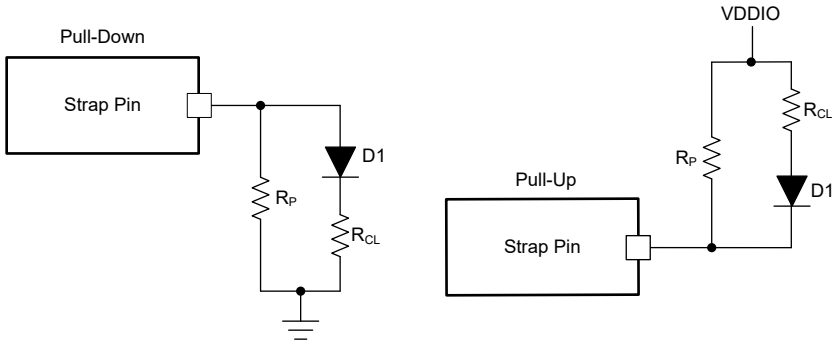


图 7-25. Strap 配置连接示例

8 DP83TC1103 寄存器

表 8-1 列出了 DP83TC1103 寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. DP83TC1103 寄存器

偏移	缩写	寄存器名称	部分
0x0	BMCR	IEEE 控制寄存器	节 8.1
0x1	BMSR	IEEE 状态寄存器	节 8.2
0x2	PHYIDR1	PHY 标识符寄存器 - 1	节 8.3
0x3	PHYIDR2	PHY 标识符寄存器 - 2	节 8.4
0x10	PHYSTS	PHY 状态寄存器	节 8.5
0x11	PHYSCR	软件控制寄存器	节 8.6
0x12	MISR1	中断寄存器 -1	节 8.7
0x13	MISR2	中断寄存器 -2	节 8.8
0x15	RECR	RX 错误计数寄存器	节 8.9
0x16	BISCR	BIST 控制寄存器	节 8.10
0x17	MISR4	中断寄存器 -4	节 8.11
0x18	MISR3	中断寄存器 -3	节 8.12
0x19	REG_19	PHY 地址状态寄存器	节 8.13
0x1A	REG_1A	接收符号状态寄存器	节 8.14
0x1B	TC10_ABORT_REG	TC10 中止寄存器	节 8.15
0x1E	CDCR	TDR 运行状态寄存器	节 8.16
0x1F	PHYRCR	复位控制寄存器	节 8.17
0x3E	Register_3E	Register_3E	节 8.18
0x133	Register_133	CnS 状态寄存器	节 8.19
0x17F	Register_17F	WUR WUP 配置寄存器	节 8.20
0x181	Register_181	已接收 LPS 计数寄存器	节 8.21
0x182	Register_182	已接收 WUR 计数寄存器	节 8.22
0x184	LPS_CFG	低功耗配置寄存器 - 0	节 8.23
0x18B	LPS_CFG2	低功耗配置寄存器 - 2	节 8.24
0x18C	LPS_CFG3	低功耗配置寄存器 - 3	节 8.25
0x18D	LINK_FAIL_CNT	链路故障计数寄存器	节 8.26
0x18E	LPS_STATUS	低功耗状态寄存器	节 8.27
0x1A0	PCF	PHY 控制帧配置寄存器	节 8.28
0x1A2	MISC1	SA DA 配置寄存器	节 8.29
0x1A3	PPM0	PPM 监控配置寄存器 - 0	节 8.30
0x1A4	PPM1	PPM 监控配置寄存器 - 1	节 8.31
0x1A5	PPM2	PPM 监控配置寄存器 - 2	节 8.32
0x1A6	PPM3	PPM 监控配置寄存器 - 3	节 8.33
0x1A7	PPM4	PPM 监控配置寄存器 - 4	节 8.34
0x1A8	PPM5	PPM 监控配置寄存器 - 5	节 8.35
0x1A9	PPM6	PPM 监控配置寄存器 - 6	节 8.36
0x1AA	PPM7	PPM 监控配置寄存器 - 7	节 8.37
0x1AD	PPM10	PPM 监控配置寄存器 - 10	节 8.38

Copyright © 2026 Texas Instruments Incorporated

表 8-1. DP83TC1103 寄存器（续）

偏移	缩写	寄存器名称	部分
0x1AE	PPM11	PPM 监控配置寄存器 - 11	节 8.39
0x1AF	PPM12	PPM 监控配置寄存器 - 12	节 8.40
0x1BE	fwu_reg_3	快速唤醒寄存器 - 3	节 8.41
0x1D2	spare_reg_tc10	快速唤醒备用寄存器	节 8.42
0x310	TDR_TC1	TDR 状态寄存器	节 8.43
0x402	ANA_LD_CTRL_3	VDDIO 电平状态寄存器	节 8.44
0x430	A2D_REG_48	RGMII ID 控制寄存器	节 8.45
0x440	A2D_REG_64	ESD 事件计数寄存器 - 0	节 8.46
0x442	A2D_REG_66	ESD 事件计数寄存器 - 1	节 8.47
0x444	A2D_REG_68	TC10 强制控制寄存器	节 8.48
0x450	LEDS_CFG_1	LED 配置寄存器 - 1	节 8.49
0x451	LEDS_CFG_2	LED 配置寄存器 - 2	节 8.50
0x452	IO_MUX_CFG_1	IO 多路复用寄存器 - 1	节 8.51
0x453	IO_MUX_CFG_2	IO 多路复用寄存器 - 2	节 8.52
0x456	IO_MUX_CFG	xMII 阻抗控制寄存器	节 8.53
0x45D	CHIP_SOR_1	配置 (strap) 状态寄存器	节 8.54
0x45F	LED1_ANA_CTRL	LED_1 控制寄存器	节 8.55
0x461	IMPEDANCE_CTRL_1	阻抗控制寄存器 - 1	节 8.56
0x4EE	LINKUP_TIMER_1	链路建立计时器寄存器 - 1	节 8.57
0x4EF	LINKUP_TIMER_2	链路建立计时器寄存器 - 2	节 8.58
0x523	TX_PR_FILT_CTRL	MDI 发送强制寄存器	节 8.59
0x551	PG_REG_1	CRS_DV 控制寄存器	节 8.60
0x552	PG_REG_3	PG_REG_3	节 8.61
0x553	PG_REG_4	自动极性校正控制寄存器	节 8.62
0x561	TC1_LINK_FAIL_LOSS	TC1 链路故障计数寄存器	节 8.63
0x562	TC1_LINK_TRAINING_TIME	TC1 链路训练时间寄存器	节 8.64
0x563	NO_LINK_TH	无链路中断时间阈值寄存器	节 8.65
0x5A0	DITH_CTRL_0	抖动控制寄存器 - 0	节 8.66
0x5A1	DITH_CTRL_1	抖动控制寄存器 - 1	节 8.67
0x5A8	DITH_RFI_EN_CTRL	抖动启用寄存器	节 8.68
0x5B2	CFG_PCF_DMAC_ADDR	PCF DMAC 的可配置的最后两个字节	节 8.69
0x5B7	SPARE_IN_FROM_DIG_SL_1	具有可配置模拟位的寄存器	节 8.70
0x5B8	CONTROL_REG_1	LED_GPIO 使能寄存器	节 8.71
0x600	RGMII_CTRL	RGMII 控制寄存器	节 8.72
0x601	RGMII_FIFO_STATUS	RGMII FIFO 状态寄存器	节 8.73
0x602	RGMII_CLK_SHIFT_CTRL	RGMII 移位控制寄存器	节 8.74
0x608	SGMII_CTRL_1	SGMII 控制寄存器 - 1	节 8.75
0x60A	SGMII_STATUS	SGMII 状态寄存器	节 8.76
0x60C	SGMII_CTRL_2	SGMII 控制寄存器 - 2	节 8.77
0x60D	SGMII_FIFO_STATUS	SGMII FIFO 状态寄存器	节 8.78
0x618	PRBS_STATUS_1	PRBS 状态寄存器 - 1	节 8.79
0x619	PRBS_CTRL_1	PRBS 控制寄存器 - 1	节 8.80

Copyright © 2026 Texas Instruments Incorporated

表 8-1. DP83TC1103 寄存器（续）

偏移	缩写	寄存器名称	部分
0x61A	PRBS_CTRL_2	PRBS 控制寄存器 - 2	节 8.81
0x61B	PRBS_CTRL_3	PRBS 控制寄存器 - 3	节 8.82
0x61C	PRBS_STATUS_2	PRBS 状态寄存器 - 2	节 8.83
0x61D	PRBS_STATUS_3	PRBS 状态寄存器 - 3	节 8.84
0x61E	PRBS_STATUS_4	PRBS 状态寄存器 - 4	节 8.85
0x620	PRBS_STATUS_5	PRBS 状态寄存器 - 5	节 8.86
0x622	PRBS_STATUS_6	PRBS 状态寄存器 - 6	节 8.87
0x623	PRBS_STATUS_7	PRBS 状态寄存器 - 7	节 8.88
0x624	PRBS_CTRL_4	PRBS 控制寄存器 - 4	节 8.89
0x625	PATTERN_CTRL_1	BIST 模式控制寄存器 - 1	节 8.90
0x626	PATTERN_CTRL_2	BIST 模式控制寄存器 - 2	节 8.91
0x627	PATTERN_CTRL_3	BIST 模式控制寄存器 - 3	节 8.92
0x628	PMATCH_CTRL_1	BIST 匹配控制寄存器 - 1	节 8.93
0x629	PMATCH_CTRL_2	BIST 匹配控制寄存器 - 2	节 8.94
0x62A	PMATCH_CTRL_3	BIST 匹配控制寄存器 - 3	节 8.95
0x638	PKT_CRC_STAT	BIST CRC 状态寄存器	节 8.96
0x639	TX_PKT_CNT_1	xMII TX 数据包计数寄存器 - 1	节 8.97
0x63A	TX_PKT_CNT_2	xMII TX 数据包计数寄存器 - 2	节 8.98
0x63B	TX_PKT_CNT_3	xMII TX 数据包计数寄存器 - 3	节 8.99
0x63C	RX_PKT_CNT_1	xMII RX 数据包计数寄存器 - 1	节 8.100
0x63D	RX_PKT_CNT_2	xMII RX 数据包计数寄存器 - 2	节 8.101
0x63E	RX_PKT_CNT_3	xMII RX 数据包计数寄存器 - 3	节 8.102
0x648	RMII_CTRL_1	RMII 控制寄存器	节 8.103
0x649	RMII_STATUS_1	RMII FIFO 状态寄存器	节 8.104
0xD00	PTP_CTL	PTP 控制寄存器	节 8.105
0xD01	PTP_TDR	PTP 时间数据寄存器	节 8.106
0xD02	PTP_STS	PTP 状态寄存器	节 8.107
0xD03	PTP_TSTS	PTP 触发状态寄存器	节 8.108
0xD04	PTP_RATEL	PTP 速率低寄存器	节 8.109
0xD05	PTP_RATEH	PTP 速率高寄存器	节 8.110
0xD08	PTP_TXTS	PTP 发送时间戳寄存器	节 8.111
0xD09	PTP_RXTS	PTP 接收时间戳寄存器	节 8.112
0xD0A	PTP_ESTS	PTP 事件状态寄存器	节 8.113
0xD10	PTP_TRIG	PTP 触发配置寄存器	节 8.114
0xD11	PTP_EVNT	PTP 事件配置寄存器	节 8.115
0xD12	PTP_TXCFG0	PTP 发送配置寄存器 - 0	节 8.116
0xD13	PTP_TXCFG1	PTP 发送配置寄存器 - 1	节 8.117
0xD14	PSF_CFG0	PHY 状态帧配置寄存器 - 0	节 8.118
0xD15	PTP_RXCFG0	PTP 接收配置寄存器 0	节 8.119
0xD16	PTP_RXCFG1	PTP 接收配置寄存器 1	节 8.120
0xD17	PTP_RXCFG2	PTP 接收配置寄存器 2	节 8.121
0xD18	PTP_RXCFG3	PTP 接收配置寄存器 3	节 8.122

Copyright © 2026 Texas Instruments Incorporated

表 8-1. DP83TC1103 寄存器（续）

偏移	缩写	寄存器名称	部分
0xD19	PTP_RXCFG4	PTP 接收配置寄存器 4	节 8.123
0xD1A	PTP_TRDL	PTP 临时速率持续时间低寄存器	节 8.124
0xD1B	PTP_TRDH	PTP 临时速率持续时间高寄存器	节 8.125
0xD1C	PTP_EVNT_TSU_CFG	事件时间戳存储配置	节 8.126
0xD1D	PSF_TRIG_TS_EN	触发器时间戳 PHY 状态帧启用	节 8.127
0xD20	PTP_COC	PTP 时钟输出控制寄存器	节 8.128
0xD21	PSF_CFG1	Phy 状态帧配置寄存器 1	节 8.129
0xD22	PSF_CFG2	Phy 状态帧配置寄存器 2	节 8.130
0xD23	PSF_CFG3	Phy 状态帧配置寄存器 3	节 8.131
0xD24	PSF_CFG4	Phy 状态帧配置寄存器 4	节 8.132
0xD26	PTP_INTCTL	PTP 中断控制寄存器	节 8.133
0xD27	PTP_CLKSRC	PTP 时钟源寄存器	节 8.134
0xD28	PTP_ETYPE	PTP 以太网类型寄存器	节 8.135
0xD29	PTP_OFF	PTP 偏移寄存器	节 8.136
0xD2B	PTP_RXHASH	PTP 接收哈希寄存器	节 8.137
0xD30	PTP_EVENT_GPIO_SEL	PTP 事件 GPIO 选择	节 8.138
0xD32	TX_SMD_GPIO_CTL	TX 路径 SMD 检测和 GPIO 控制	节 8.139
0xD33	SCH_CTL_1	调度器控制 1	节 8.140
0xD34	SCH_CTL_2	调度器控制 2	节 8.141
0xD35	FREQ_CTL_1	基频控制 1	节 8.142
0xD36	FREQ_CTL_2	基频控制 2	节 8.143
0xD37	PTP_RATEL_ACC_ONLY	PTP 速率精度仅 LSB 寄存器	节 8.144
0xD38	PTP_RATEH_ACC_ONLY	PTP 速率精度仅 MSB 寄存器和启用	节 8.145
0xD39	PTP_PLL_CTL	PTP_PLL 控制寄存器	节 8.146
0xD3A	PTP_PLL_RD_1	PTP 时间戳读取寄存器 1	节 8.147
0xD3B	PTP_PLL_RD_2	PTP 时间戳读取寄存器 2	节 8.148
0xD3C	PTP_PLL_RD_3	PTP 时间戳读取寄存器 3	节 8.149
0xD3D	PTP_PLL_RD_4	PTP 时间戳读取寄存器 4	节 8.150
0xD3E	PTP_PLL_RD_5	PTP 时间戳读取寄存器 5	节 8.151
0xD3F	PTP_PLL_RD_6	PTP 时间戳读取寄存器 6	节 8.152
0xD40	PTP_ONESTEP_OFF	PTP ONESTEP 偏移寄存器	节 8.153
0xD45	PTP_PSF_VLAN_CFG_1	PSF VLAN 配置 1	节 8.154
0xD46	PTP_PSF_VLAN_CFG_2	PSF VLAN 配置 2	节 8.155
0xD47	PTP_PSF_VLAN_CFG_3	PSF VLAN 配置 3	节 8.156
0xD48	MAX_IPV4_LENGTH	PSF IPv4 数据包长度	节 8.157
0xD49	PTP_TXCFG_2	PTP 域滤波器控制	节 8.158
0xD4A	PSF_DMAC_1	PSF DMAC 地址 1	节 8.159
0xD4B	PSF_DMAC_2	PSF DMAC 地址 2	节 8.160
0xD4C	PSF_DMAC_3	PSF DMAC 地址 3	节 8.161
0xD4D	PSF_SMAC_1	PSF SMAC 地址 1	节 8.162
0xD4E	PSF_SMAC_2	PSF SMAC 地址 2	节 8.163
0xD4F	PSF_SMAC_3	PSF SMAC 地址 3	节 8.164

Copyright © 2026 Texas Instruments Incorporated

表 8-1. DP83TC1103 寄存器（续）

偏移	缩写	寄存器名称	部分
0xD50	PSF_ETYPE	PSF 以太网类型	节 8.165
0xD51	IPV4_DA_1	PSF 目标地址 1	节 8.166
0xD52	IPV4_DA_2	PSF 目标地址 2	节 8.167
0xD53	PSF_SOURCE_UDP_PORT	PSF UDP 源端口地址	节 8.168
0xD54	PSF_DESTINATION_UDP_PORT	PSF UDP 目标端口地址	节 8.169
0xDE0	PTP_LAT_COMP_CTRL	PTP 延迟补偿控制	节 8.170
0xDF0	PTP_DEBUG_SEL	PTP 调试选择	节 8.171
0x1000	MMD1_PMA_CTRL_1	PMA 控制 1	节 8.172
0x1001	MMD1_PMA_STATUS_1	PMA 状态 1	节 8.173
0x1007	MMD1_PMA_STAUS_2	PMA 状态 2	节 8.174
0x100B	MMD1_PMA_EXT_ABILITY_1	PMA Extended 1	节 8.175
0x1012	MMD1_PMA_EXT_ABILITY_2	PMA Extended 2	节 8.176
0x1834	MMD1_PMA_CTRL_2	PMA 控制 2	节 8.177
0x1836	MMD1_PMA_TEST_MODE_CTRL	PMA 测试	节 8.178
0x3000	MMD3_PCS_CTRL_1	PCS 控制	节 8.179
0x3001	MMD3_PCS_Status_1	PCS 状态	节 8.180

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. DP83TC1103 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
RC	R C	读取 以清零
RH	R H	读取 由硬件置位或清零
写入类型		
W	W	写入
W1S	W 1S	写入 1 以进行设置
WSC	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1 BMCR 寄存器（偏移 = 0x0）[复位 = 0x2100]

图 8-1 展示了 BMCR，表 8-3 中对此进行了介绍。

返回到汇总表。

图 8-1. BMCR 寄存器

15	14	13	12	11	10	9	8
MII 复位	启用 MII 环回	速度选择	自动协商使能	IEEE 断电启用	启用 MAC 隔离	RESERVED	双工模式选择
R-0/W1S-0x0	R/W-0x0	R-0x1	R-0x0	R/W-0x0	R/W-0x0	R-0x0	R-0x1

Copyright © 2026 Texas Instruments Incorporated

图 8-1. BMCR 寄存器（续）

7	6	5	4	3	2	1	0
RESERVED	RESERVED						
R-0x0	R-0x0						

表 8-3. BMCR 寄存器字段说明

位	字段	类型	复位	说明
15	MII 复位	R-0/W1S	0x0	1b = 数字输入复位并且所有 MII 寄存器 (0x0 - 0xF) 复位为默认值 0b = 无复位 该位自动清零
14	启用 MII 环回	R/W	0x0	1b = 启用 MII 环回 0b = 禁用 MII 环回 当 xMII 环回模式激活时，xMII TXD 上的传输数据在内部环回到 xMII RXD。 使能 xMII 回送时不会生成链路指示。
13	速度选择	R	0x1	速度选择：速度始终为 100Mbps
12	自动协商使能	R	0x0	自动协商：此器件不支持
11	IEEE 断电启用	R/W	0x0	该位可以被编程为进入和退出 IEEE 断电模式 当使用 INT_N 作为断电引脚时，该位提供状态 1b = 断电模式 0b =正常模式
10	启用 MAC 隔离	R/W	0x0	1b = 隔离模式（PHY 不向 MAC 输出） 0b = 正常模式
9	RESERVED	R	0x0	保留
8	双工模式选择	R	0x1	1b = 全双工 0b = 半双工
7	RESERVED	R	0x0	保留
6:0	RESERVED	R	0x0	保留

8.2 BMSR 寄存器（偏移 = 0x1）[复位 = 0x0061]

图 8-2 展示了 BMSR，表 8-4 中对此进行了介绍。

返回到汇总表。

图 8-2. BMSR 寄存器

15	14	13	12	11	10	9	8
100Base-T4 支持	100Base-X 全双工支持	100Base-X 半双工支持	10Mbps 全双工支持，	10Mbps 半双工支持	RESERVED		
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0		
7	6	5	4	3	2	1	0
RESERVED	SMI 前导码抑制	RESERVED	RESERVED	自动协商能力	链路状态（锁存低电平）	Jabber 检测	扩展寄存器功能
R-0x0	R-0x1	R-0x1	R-0x0	R-0x0	RH-0x0	RC-0x0	R-0x1

表 8-4. BMSR 寄存器字段说明

位	字段	类型	复位	说明
15	100Base-T4 支持	R	0x0	0b = PHY 不支持 100BASE-T4
14	100Base-X 全双工支持	R	0x0	0b = PHY 不支持全双工 100BASE-X
13	100Base-X 半双工支持	R	0x0	0b = PHY 不支持半双工 100BASE-X

Copyright © 2026 Texas Instruments Incorporated

表 8-4. BMSR 寄存器字段说明（续）

位	字段	类型	复位	说明
12	10Mbps 全双工支持，	R	0x0	0b = PHY 在全双工模式下不支持 10Mb/s
11	10Mbps 半双工支持	R	0x0	0b = PHY 在半双工模式下不支持 10Mb/s
10:7	RESERVED	R	0x0	保留
6	SMI 前导码抑制	R	0x1	1b = PHY 接受前导码受抑制的管理帧。 0b = PHY 不接受前导码受抑制的管理帧
5	RESERVED	R	0x1	保留
4	RESERVED	R	0x0	保留
3	自动协商能力	R	0x0	0b = PHY 不进行自动协商
2	链路状态（锁存低电平）	RH	0x0	1b = 链路建立 0b = 链路断开至少一次
1	Jabber 检测	RC	0x0	1b = 检测到 Jabber 条件 0b = 未检测到 Jabber 条件
0	扩展寄存器功能	R	0x1	1b = 扩展寄存器功能 0b = 仅具有基本寄存器组功能

8.3 PHYIDR1 寄存器（偏移 = 0x2）[复位 = 0x2000]

图 8-3 展示了 PHYIDR1，表 8-5 对其进行了介绍。

返回到汇总表。

图 8-3. PHYIDR1 寄存器

15	14	13	12	11	10	9	8
组织唯一标识符 1							
R-0x2000							
7	6	5	4	3	2	1	0
组织唯一标识符 1							
R-0x2000							

表 8-5. PHYIDR1 寄存器字段说明

位	字段	类型	复位	说明
15:0	组织唯一标识符 1	R	0x2000	器件的唯一标识符

8.4 PHYIDR2 寄存器（偏移 = 0x3）[复位 = 0xA2F0]

图 8-4 展示了 PHYIDR2，表 8-6 对其进行了介绍。

返回到汇总表。

图 8-4. PHYIDR2 寄存器

15	14	13	12	11	10	9	8
唯一标识符 2						模型编号	
R-0x28						R-0x2F	
7	6	5	4	3	2	1	0
模型编号				版本号			
R-0x2F				R-0x0			

Copyright © 2026 Texas Instruments Incorporated

表 8-6. PHYIDR2 寄存器字段说明

位	字段	类型	复位	说明
15:10	唯一标识符 2	R	0x28	器件的唯一标识符
9:4	模型编号	R	0x2F	器件的唯一标识符
3:0	版本号	R	0x0	器件的唯一标识符

8.5 PHYSTS 寄存器（偏移 = 0x10）[复位 = 0x0004]

图 8-5 展示了 PHYSTS，表 8-7 中对此进行了介绍。

返回到汇总表。

图 8-5. PHYSTS 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	解码器锁状态（锁存为低电平）	RESERVED
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	RH-0x0	R-0x0
7	6	5	4	3	2	1	0
中断引脚状态	RESERVED	RESERVED	RESERVED	MII 回送状态	双工模式状态	RESERVED	RESERVED
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x1	R-0x0	R-0x0

表 8-7. PHYSTS 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11	RESERVED	R	0x0	保留
10	RESERVED	R	0x0	保留
9	解码器锁状态（锁存为低电平）	RH	0x0	1b = 解码器被锁定 0b = 解码器至少解锁一次
8	RESERVED	R	0x0	保留
7	中断引脚状态	R	0x0	中断引脚状态，读取 0x12 时清除 1b = 未设置中断引脚 0b =已设置中断引脚
6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3	MII 回送状态	R	0x0	1b = MII 环回启用 0b = MII 环回禁用
2	双工模式状态	R	0x1	1b = 全双工 0b = 半双工
1	RESERVED	R	0x0	保留
0	RESERVED	R	0x0	保留

8.6 PHYSCR 寄存器（偏移 = 0x11）[复位 = 0x010B]

图 8-6 展示了 PHYSCR，表 8-8 中对此进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

图 8-6. PHYSCR 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED		SGMII 软复位	PHY_ADDR 0x00 处的 MAC 隔离	RMII TX FIFO 深度	
R-0x0	R-0x0	R-0x0		R/WSC-0x0	R/W-0x0	R/W-0x1	
7	6	5	4	3	2	1	0
RESERVED	RESERVED			中断极性	强制中断	中断启用	中断引脚配置
R-0x0	R-0x0			R/W-0x1	R/W-0x0	R/W-0x1	R/W-0x1

表 8-8. PHYSCR 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13:12	RESERVED	R	0x0	保留
11	SGMII 软复位	R/WSC	0x0	SGMII 数字复位 该位自动清零
10	PHY_ADDR 0x00 处的 MAC 隔离	R/W	0x0	仅当 PHY 地址为 0x00 才启用 MAC 隔离 Reg0x0[10] 适用于包括 0x00 在内的所有 PHY 地址 1b = 隔离模式（PHY 不向 MAC 输出） 0b = 正常模式
9:8	RMII TX FIFO 深度	R/W	0x1	00b = 4 个半字节 01b = 5 个半字节 10b = 6 个半字节 11b = 8 个半字节
7	RESERVED	R	0x0	保留
6:4	RESERVED	R	0x0	保留
3	中断极性	R/W	0x1	1b = 低电平有效 0b = 高电平有效
2	强制中断	R/W	0x0	1b = 强制中断引脚
1	中断启用	R/W	0x1	1b = 启用中断 0b = 禁用中断
0	中断引脚配置	R/W	0x1	1b = 将 INT_N 引脚配置为中断输出引脚 0b = 将 INT_N 引脚配置为断电输入引脚

8.7 MISR1 寄存器（偏移 = 0x12）[复位 = 0x0000]

图 8-7 展示了 MISR1，表 8-9 对其进行了介绍。

返回到汇总表。

图 8-7. MISR1 寄存器

15	14	13	12	11	10	9	8
RESERVED	能量检测更改状态	链路状态更改状态启用	局域网唤醒状态	ESD 故障检测状态	训练完成状态	RESERVED	RX 错误计数器半满状态
R-0x0	RC-0x0	RC-0x0	RC-0x0	RC-0x0	RC-0x0	R-0x0	RC-0x0
7	6	5	4	3	2	1	0
RESERVED	能量检测更改指示	链路状态更改指示	局域网唤醒指示	ESD 故障检测指示	训练完成指示	RESERVED	RX 错误计数器半满指示

Copyright © 2026 Texas Instruments Incorporated

图 8-7. MISR1 寄存器（续）

R-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R-0x0	R/W-0x0

表 8-9. MISR1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	能量检测更改状态	RC	0x0	当 MDI 能量检测输出发生变化时，状态更改为 1 读取该寄存器时状态被清除
13	链路状态更改状态启用	RC	0x0	当链路状态发生变化时，状态更改为 1 读取该寄存器时状态被清除
12	局域网唤醒状态	RC	0x0	当接收到 WOL 时，状态更改为 1。 读取该寄存器时状态被清除
11	ESD 故障检测状态	RC	0x0	当检测到 ESD 故障时，状态更改为 1 读取该寄存器时状态被清除
10	训练完成状态	RC	0x0	当训练完成时，状态更改为 1 读取该寄存器时状态被清除
9	RESERVED	R	0x0	保留
8	RX 错误计数器半满状态	RC	0x0	当 0x15 处的 RX 错误计数器为半满时，状态更改为 1 读取该寄存器时状态被清除
7	RESERVED	R	0x0	保留
6	能量检测更改指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
5	链路状态更改指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
4	局域网唤醒指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
3	ESD 故障检测指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
2	训练完成指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
1	RESERVED	R	0x0	保留
0	RX 错误计数器半满指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示

8.8 MISR2 寄存器（偏移 = 0x13）[复位 = 0x0000]

图 8-8 展示了 MISR2，表 8-10 对其进行了介绍。

返回到汇总表。

图 8-8. MISR2 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	数据极性更改状态	Jabber 检测状态
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	RC-0x0	RC-0x0
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	数据极性更改指示	Jabber 检测指示
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R/W-0x0	R/W-0x0

Copyright © 2026 Texas Instruments Incorporated

表 8-10. MISR2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11	RESERVED	R	0x0	保留
10	RESERVED	R	0x0	保留
9	数据极性更改状态	RC	0x0	当检测到 MDI 线路极性变化时，状态更改为 1 读取该寄存器时状态被清除
8	Jabber 检测状态	RC	0x0	当检测到 Jabber 时，状态更改为 1 读取该寄存器时状态被清除
7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3	RESERVED	R	0x0	保留
2	RESERVED	R	0x0	保留
1	数据极性更改指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
0	Jabber 检测指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示

8.9 RECR 寄存器（偏移 = 0x15）[复位 = 0x0000]

图 8-9 展示了 RECR，表 8-11 中对此进行了介绍。

返回到汇总表。

图 8-9. RECR 寄存器

15	14	13	12	11	10	9	8
RX 错误计数							
RC-0x0							
7	6	5	4	3	2	1	0
RX 错误计数							
RC-0x0							

表 8-11. RECR 寄存器字段说明

位	字段	类型	复位	说明
15:0	RX 错误计数	RC	0x0	RX_ER 计数器： 当出现一个有效载波（仅当 RX_DV 被置位情况下），并且至少出现一个无效数据符号时，每检测到一个接收错误，该 16 位计数器就会递增一次。RX_ER 计数器在 xMII 回送模式下不计数。达到最大计数 (0xFFFF) 时，该计数器停止计数。 当计数器超过半满 (0x7FFF) 时，生成一个中断。 该计数器会在读取时清零。

8.10 BISCR 寄存器（偏移 = 0x16）[复位 = 0x0100]

图 8-10 展示了 BISCR，表 8-12 中对此进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

图 8-10. BISCR 寄存器

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	RESERVED
R-0x0					R-0x0	R-0x0	R-0x1
7	6	5	4	3	2	1	0
RESERVED	在 xMII 回送中向 MDI 进行数据传输	回送模式				使能 PCS 回送	RESERVED
R-0x0	R/W-0x0	R/W-0x0				R/W-0x0	R-0x0

表 8-12. BISCR 寄存器字段说明

位	字段	类型	复位	说明
15:11	RESERVED	R	0x0	保留
10	RESERVED	R	0x0	保留
9	RESERVED	R	0x0	保留
8	RESERVED	R	0x1	保留
7	RESERVED	R	0x0	保留
6	在 xMII 回送中向 MDI 进行数据传输	R/W	0x0	0b = 在 xMII 环回期间抑制向 MDI 传输数据 1b = 在 xMII 环回期间向 MDI 传输数据
5:2	回送模式	R/W	0x0	使能除 PCS 回送之外的回送。0x16[1] 应为 0 0001b = 数字环回 0010b = 模拟环回 0100b = 反向环回 1000b = 外部环回
1	使能 PCS 回送	R/W	0x0	0b = 禁用 PCS 环回 1b =启用 PCS 环回
0	RESERVED	R	0x0	保留

8.11 MISR4 寄存器（偏移 = 0x17）[复位 = 0x0000]

图 8-11 展示了 MISR4，表 8-13 对其进行了介绍。

返回到汇总表。

图 8-11. MISR4 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	PPM 监控器解锁状态	RESERVED		
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0		
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	PPM 监控器解锁指示	RESERVED		
R-0x0	R-0x0	R-0x0	R-0x0	R/W-0x0	R-0x0		

表 8-13. MISR4 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-13. MISR4 寄存器字段说明（续）

位	字段	类型	复位	说明
13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11	PPM 监控器解锁状态	R	0x0	当 PPM 监控测器解锁时，状态更改为 1 读取该寄存器时状态被清除
10:7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3	PPM 监控器解锁指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
2:0	RESERVED	R	0x0	保留

8.12 MISR3 寄存器（偏移 = 0x18）[复位 = 0x0035]

图 8-12 展示了 MISR3，表 8-14 对其进行了介绍。

返回到汇总表。

图 8-12. MISR3 寄存器

15	14	13	12	11	10	9	8
RESERVED	无链路状态	睡眠失败状态	上电复位完成状态	无帧状态	WUR 已接收状态	远程唤醒指示	LPS 已接收状态
R-0x0	RC-0x0	RC-0x0	RC-0x0	RC-0x0	RC-0x0	RC-0x0	RC-0x0
7	6	5	4	3	2	1	0
RESERVED	无链路指示	睡眠失败指示	上电复位完成指示	无帧指示	WUR 已接收指示	RESERVED	LPS 已接收指示
R-0x0	R/W-0x0	R/W-0x1	R/W-0x1	R/W-0x0	R/W-0x1	R-0x0	R/W-0x1

表 8-14. MISR3 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	无链路状态	RC	0x0	训练开始后，如果在 0x563 处编程的时间内未注意到链路，状态更改为 1 读取该寄存器时状态被清除
13	睡眠失败状态	RC	0x0	当睡眠协商失败时，状态更改为 1 读取该寄存器时状态被清除
12	上电复位完成状态	RC	0x0	电源工作后，当上电复位完成后，状态更改为 1 读取该寄存器时状态被清除
11	无帧状态	RC	0x0	当未检测到帧时，状态更改为 1 直到 读取该寄存器时状态被清除
10	WUR 已接收状态	RC	0x0	当从链路伙伴接收到 WUR 命令时，状态更改为 1 读取该寄存器时状态被清除
9	远程唤醒指示	RC	0x0	如果器件远程唤醒，则上电后状态为 1 读取该寄存器时状态被清除
8	LPS 已接收状态	RC	0x0	当从链路伙伴接收到 LPS 命令时，状态更改为 1 读取该寄存器时状态被清除
7	RESERVED	R	0x0	保留
6	无链路指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示

Copyright © 2026 Texas Instruments Incorporated

表 8-14. MISR3 寄存器字段说明（续）

位	字段	类型	复位	说明
5	睡眠失败指示	R/W	0x1	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
4	上电复位完成指示	R/W	0x1	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
3	无帧指示	R/W	0x0	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
2	WUR 已接收指示	R/W	0x1	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示
1	RESERVED	R	0x0	保留
0	LPS 已接收指示	R/W	0x1	1b = 如果设置了相应的中断状态，则启用 INT_N 引脚上的指示 0b = 禁用指示

8.13 REG_19 寄存器（偏移 = 0x19）[复位 = 0x0800]

图 8-13 展示了 REG_19，表 8-15 对其进行了介绍。

返回到汇总表。

图 8-13. REG_19 寄存器

15	14	13	12	11	10	9	8
RESERVED		RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	
R-0x0		R-0x0	R-0x0	R-0x1	R-0x0	R-0x0	
7	6	5	4	3	2	1	0
RESERVED			PHY 地址				
R-0x0			R-0x0				

表 8-15. REG_19 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11	RESERVED	R	0x1	保留
10	RESERVED	R	0x0	保留
9:5	RESERVED	R	0x0	保留
4:0	PHY 地址	R	0x0	从配置 (strap) 中锁存的 PHY 地址

8.14 REG_1A 寄存器（偏移 = 0x1A）[复位 = 0x0000]

图 8-14 展示了 REG_1A，表 8-16 对其进行了介绍。

返回到汇总表。

图 8-14. REG_1A 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

图 8-14. REG_1A 寄存器（续）

RESERVED	数据极性状态	RESERVED	Jabber 检测禁用
R-0x0	R-0x0	R-0x0	R/W-0x0

表 8-16. REG_1A 寄存器字段说明

位	字段	类型	复位	说明
15:5	RESERVED	R	0x0	保留
4	数据极性状态	R	0x0	0b =正常极性 1b = 反极性
3:1	RESERVED	R	0x0	保留
0	Jabber 检测禁用	R/W	0x0	0b = Jabber 检测启用 1b = Jabber 检测禁用

8.15 TC10_ABORT_REG 寄存器（偏移 = 0x1B）[复位 = 0x0000]

图 8-15 展示了 TC10_ABORT_REG，表 8-17 对其进行了介绍。

返回到汇总表。

图 8-15. TC10_ABORT_REG 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED						通过 GPIO 中止睡眠	睡眠中止
R-0x0						R/W-0x0	R/W-0x0

表 8-17. TC10_ABORT_REG 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0	保留
1	通过 GPIO 中止睡眠	R/W	0x0	可以通过在 GPIO 上驱动为高电平来中止睡眠 1b = 使用 GPIO_1 来中止睡眠 0b = GPIO 不用于中止睡眠
0	睡眠中止	R/W	0x0	该位设置为 1 以中止睡眠 在转换到正常模式时清除

8.16 CDCR 寄存器（偏移 = 0x1E）[复位 = 0x0000]

图 8-16 展示了 CDCR，表 8-18 中对此进行了介绍。

返回到汇总表。

图 8-16. CDCR 寄存器

15	14	13	12	11	10	9	8
TDR 启动	TDR 自动运行启用	RESERVED					
RH/W1S-0x0	R/W-0x0	R-0x0					
7	6	5	4	3	2	1	0
RESERVED						TDR 完成状态	TDR 失败状态

Copyright © 2026 Texas Instruments Incorporated

图 8-16. CDCR 寄存器（续）

R-0x0	R-0x0	R-0x0

表 8-18. CDCR 寄存器字段说明

位	字段	类型	复位	说明
15	TDR 启动	RH/W1S	0x0	1b = 启动 TDR TDR 运行完成后，位被清零
14	TDR 自动运行启用	R/W	0x0	1b = 在链路断开时自动启动 TDR 0b = 使用 0x1E[15] 手动启动 TDR
13:2	RESERVED	R	0x0	保留
1	TDR 完成状态	R	0x0	1b = TDR 完成 0b = TDR 正在进行或未启动
0	TDR 失败状态	R	0x0	当 TDR 完成状态为 1 时，该位指示 TDR 是否成功运行 1b = TDR 运行失败 0b = TDR 运行成功

8.17 PHYRCR 寄存器（偏移 = 0x1F）[复位 = 0x0000]

图 8-17 展示了 PHYRCR，表 8-19 中对此进行了介绍。

返回到汇总表。

图 8-17. PHYRCR 寄存器

15	14	13	12	11	10	9	8
硬复位	软复位	软复位 2	RESERVED	RESERVED			
R-0/W1S-0x0	R-0/W1S-0x0	R-0/W1S-0x0	R-0x0	R-0x0			
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED				
R-0x0	R-0x0	R-0x0	R-0x0				

表 8-19. PHYRCR 寄存器字段说明

位	字段	类型	复位	说明
15	硬复位	R-0/W1S	0x0	复位数字内核和寄存器文件 该位为自清零位
14	软复位	R-0/W1S	0x0	复位数字内核，但寄存器文件不复位 该位为自清零位
13	软复位 2	R-0/W1S	0x0	复位寄存器文件 该位为自清零位
12	RESERVED	R	0x0	保留
11:7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留
4:0	RESERVED	R	0x0	保留

8.18 Register_3E（偏移 = 0x3E）[复位 = 0x0000]

图 8-18 展示了 Register_3E，表 8-20 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-18. Register_3E

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED		cfg_leader_scr_rst_on_dsp_fail	cfg_follower_scr_rst_on_dsp_fail	RESERVED	RESERVED	RESERVED	RESERVED
R-0x0		R/W-0x0	R/W-0x0	R-0x0	R-0x0	R-0x0	R-0x0

表 8-20. Register_3E 字段说明

位	字段	类型	复位	说明
15:6	RESERVED	R	0x0	保留
5	cfg_leader_scr_rst_on_dsp_fail	R/W	0x0	当 PHY 配置为主模式时，DSP 回退时启用扰频器复位
4	cfg_follower_scr_rst_on_dsp_fail	R/W	0x0	当 PHY 配置为从模式时，DSP 回退时启用扰频器复位
3	RESERVED	R	0x0	保留
2	RESERVED	R	0x0	保留
1	RESERVED	R	0x0	保留
0	RESERVED	R	0x0	保留

8.19 Register_133（偏移 = 0x133）[复位 = 0x0000]

图 8-19 展示了 Register_133，表 8-21 对其进行了介绍。

返回到汇总表。

图 8-19. Register_133

15	14	13	12	11	10	9	8
RESERVED	链路建立状态	PHY 控制输入发送数据模式	链路状态	RESERVED			
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0			
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	解码器锁状态	本地接收器状态	远程接收器状态
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0

表 8-21. Register_133 字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	链路建立状态	R	0x0	由 CnS 定义的链路建立状态
13	PHY 控制输入发送数据模式	R	0x0	PHY 控制输入发送数据状态
12	链路状态	R	0x0	由链路监测器设置的链路状态
11:8	RESERVED	R	0x0	保留
7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-21. Register_133 字段说明（续）

位	字段	类型	复位	说明
3	RESERVED	R	0x0	保留
2	解码器锁状态	R	0x0	解码器锁状态
1	本地接收器状态	R	0x0	本地接收器状态
0	远程接收器状态	R	0x0	远程接收器状态

8.20 Register_17F（偏移 = 0x17F）[复位 = 0x4028]

图 8-20 展示了 Register_17F，表 8-22 对其进行了介绍。

返回到汇总表。

图 8-20. Register_17F

15	14	13	12	11	10	9	8
WAKE 引脚发送的 WUR	启用 WUP	RESERVED					
R/W-0x0	R/W-0x1	R-0x0					
7	6	5	4	3	2	1	0
唤醒脉冲阈值							
R/W-0x28							

表 8-22. Register_17F 字段说明

位	字段	类型	复位	说明
15	WAKE 引脚发送的 WUR	R/W	0x0	当在 WAKE 引脚上传输脉冲时，启用 WUR 传输 1b = 启用 WUR 发送 可以通过 0x17F[7:0] 来配置 WAKE 脉冲宽度的阈值
14	启用 WUP	R/W	0x1	在本地唤醒后启用 WUP 传输 1b = 启用 WUP 传输 0b = 禁用 WUP 传输 当 PHY 通过配置 (strap) 在待机模式下加电时，可以有效使用该选项
13:8	RESERVED	R	0x0	保留
7:0	唤醒脉冲阈值	R/W	0x28	在活动链路期间启动 WUR 所需的唤醒脉冲的宽度（以微秒为单位）

8.21 Register_181（偏移 = 0x181）[复位 = 0x0000]

图 8-21 展示了 Register_181，表 8-23 对其进行了介绍。

返回到汇总表。

图 8-21. Register_181

15	14	13	12	11	10	9	8
RESERVED						RX LPS 计数	
R-0x0						R-0x0	
7	6	5	4	3	2	1	0
RX LPS 计数							
R-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-23. Register_181 字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R	0x0	保留
9:0	RX LPS 计数	R	0x0	指示接收到的 LPS 代码数量

8.22 Register_182（偏移 = 0x182）[复位 = 0x0000]

图 8-22 展示了 Register_182，表 8-24 对其进行了介绍。

返回到汇总表。

图 8-22. Register_182

15	14	13	12	11	10	9	8
RESERVED						RX WUR 计数	
R-0x0						R-0x0	
7	6	5	4	3	2	1	0
RX WUR 计数							
R-0x0							

表 8-24. Register_182 字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R	0x0	保留
9:0	RX WUR 计数	R	0x0	指示接收到的 WUR 代码数量

8.23 LPS_CFG 寄存器（偏移 = 0x184）[复位 = 0x0203]

图 8-23 展示了 LPS_CFG，表 8-25 中对此进行了介绍。

返回到汇总表。

图 8-23. LPS_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED		RESERVED	RESERVED		RESERVED	RESERVED
R-0x0	R-0x0		R-0x0	R-0x0		R-0x1	R-0x0
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	唤醒转发强制	唤醒转发脉冲宽度		唤醒转发启用	RESERVED
R-0x0	R-0x0	R-0x0	R/W-0x0	R/W-0x0		R/W-0x1	R-0x1

表 8-25. LPS_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14:13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11:10	RESERVED	R	0x0	保留
9	RESERVED	R	0x1	保留
8:7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-25. LPS_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4	唤醒转发强制	R/W	0x0	1b = WAKE 引脚上的强制脉冲 脉冲宽度可通过位 [3:2] 配置 该位可自行清零
3:2	唤醒转发脉冲宽度	R/W	0x0	配置 WAKE 引脚上用于唤醒转发的脉冲宽度 00b = 50us 01b = 500us 10b = 2ms 11b = 20ms
1	唤醒转发启用	R/W	0x1	接收到 WUR 命令时在 WAKE 引脚上启用唤醒转发 0b = 启用唤醒转发 1b = 禁用唤醒转发
0	RESERVED	R	0x1	保留

8.24 LPS_CFG2 寄存器（偏移 = 0x18B）[复位 = 0x1C4B]

图 8-24 展示了 LPS_CFG2，表 8-26 对其进行了介绍。

返回到汇总表。

图 8-24. LPS_CFG2 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	在链路断开时停止睡眠协商	在活动时停止睡眠协商	RESERVED	RESERVED	TC10 禁用
R-0x0	R-0x0	R-0x0	R/W-0x1	R/W-0x1	R-0x1	R-0x0	R/W-0x0
7	6	5	4	3	2	1	0
RESERVED	自主模式	转换到待机状态	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
R-0x0	R/W-0x1	R/W-0x0	R-0x0	R-0x1	R-0x0	R-0x1	R-0x1

表 8-26. LPS_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留
12	在链路断开时停止睡眠协商	R/W	0x1	1b = 如果链路在协商期间断开，则停止睡眠协商
11	在活动时停止睡眠协商	R/W	0x1	1b = 当在 SLEEP_ACK 状态下注意到来自 MAC 的活动时，停止睡眠协商
10	RESERVED	R	0x1	保留
9	RESERVED	R	0x0	保留
8	TC10 禁用	R/W	0x0	0b = 启用 TC10 1b = 禁用 TC10 默认值由 RX_CLK 配置 (strap) 决定
7	RESERVED	R	0x0	保留
6	自主模式	R/W	0x1	1b = PHY 在上电时进入正常模式 0b = PHY 在上电时进入待机模式 默认值由 LED_1 配置 (strap) 决定 该位在链路建立后清零。
5	转换到待机状态	R/W	0x0	1b = 启用过热/过压/欠压时正常到待机转换 0b = 禁用过热/过压/欠压时正常到待机转换
4	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-26. LPS_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
3	RESERVED	R	0x1	保留
2	RESERVED	R	0x0	保留
1	RESERVED	R	0x1	保留
0	RESERVED	R	0x1	保留

8.25 LPS_CFG3 寄存器（偏移 = 0x18C）[复位 = 0x0000]

图 8-25 展示了 LPS_CFG3，表 8-27 对其进行了介绍。

返回到汇总表。

图 8-25. LPS_CFG3 寄存器

15	14	13	12	11	10	9	8
RESERVED							电源状态进入
R-0x0							RH/W1S-0x0
7	6	5	4	3	2	1	0
电源状态进入							
RH/W1S-0x0							

表 8-27. LPS_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R	0x0	保留
8:0	电源状态进入	RH/W1S	0x0	00000001b = 正常命令 00000010b = 睡眠请求 00010000b = 待机命令 10000000b = WUR 命令

8.26 LINK_FAIL_CNT 寄存器（偏移 = 0x18D）[复位 = 0x0000]

图 8-26 展示了 LINK_FAIL_CNT，表 8-28 中对此进行了介绍。

返回到汇总表。

图 8-26. LINK_FAIL_CNT 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
链路丢失计数							
R-0x0							

表 8-28. LINK_FAIL_CNT 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x0	保留
7:0	链路丢失计数	R	0x0	TI 自定义链路丢失计数器： 计数在链路状态的下降沿递增 读取该寄存器时计数被清除

Copyright © 2026 Texas Instruments Incorporated

8.27 LPS_STATUS 寄存器（偏移 = 0x18E）[复位 = 0x0000]

图 8-27 显示了 LPS_STATUS，表 8-29 中对此进行了介绍。

返回到汇总表。

图 8-27. LPS_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED	电源状态状况						
R-0x0	R-0x0						

表 8-29. LPS_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15:7	RESERVED	R	0x0	保留
6:0	电源状态状况	R	0x0	00000001b = 睡眠模式 00000010b = 待机模式 00000100b = 正常模式 00001000b = 睡眠确认 00010000b = 睡眠请求 00100000b = 睡眠失败 01000000b = 睡眠静默

8.28 PCF 寄存器（偏移 = 0x1A0）[复位 = 0x0000]

图 8-28 展示了 PCF，表 8-30 中对此进行了介绍。

返回到汇总表。

图 8-28. PCF 寄存器

15	14	13	12	11	10	9	8
RESERVED	PHY 控制帧错误状态	PHY 控制帧正常状态	RESERVED				PHY 控制帧目标地址
R-0x0	R-0x0	R-0x0	R-0x0				R/W-0x0
7	6	5	4	3	2	1	0
PHY 控制帧中断		PHY 控制帧广播禁用	PHY 控制帧缓冲区大小				PHY 控制帧启用
R/W-0x0		R/W-0x0	R/W-0x0				R/W-0x0

表 8-30. PCF 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	PHY 控制帧错误状态	R	0x0	指示自上次读取该寄存器以来在 PCF 帧中检测到错误。该位在读取后清零除。
13	PHY 控制帧正常状态	R	0x0	指示自上次读取该寄存器以来 PCF 帧已完成且没有错误。该位在读取后清零除。
12:9	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-30. PCF 寄存器字段说明（续）

位	字段	类型	复位	说明
8	PHY 控制帧目标地址	R/W	0x0	为 PHY 控制帧选择 MAC 目标地址： 0：使用 MAC 地址 [08 00 17 0B 6B 0F] 1：使用 MAC 地址 [08 00 17 00 00 00] 在设置了多播位（即 09 00 17）时，器件还会识别具有以上地址的数据包
7:6	PHY 控制帧中断	R/W	0x0	PCF 中断控制和状态： 位 7 - 在 INT_N 引脚上启用 PCF 帧错误状态指示 位 6 - 在 INT_N 引脚上启用 PCF 帧正常状态指示 状态在 0x1A0[14:13] 中提供
5	PHY 控制帧广播禁用	R/W	0x0	默认情况下，器件接受 PHY 地址字段为 0x1F 的广播 PHY 控制帧。如果该位设置为 1，则 PHY 控制帧必须具有一个与器件 PHY 地址完全匹配的 PHY 地址字段。
4:1	PHY 控制帧缓冲区大小	R/W	0x0	确定用于发送的缓冲区大小，以允许 PHY 控制帧检测。所有数据包在通过此缓冲区时延迟。如果设置为 0，则数据包不会延迟并且 PHY 控制帧在目标地址字段后截断
0	PHY 控制帧启用	R/W	0x0	使用 PHY 控制帧启用寄存器写入

8.29 MISC1 寄存器（偏移 = 0x1A2）[复位 = 0x0002]

图 8-29 展示了 MISC1，表 8-31 对其进行了介绍。

返回到汇总表。

图 8-29. MISC1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED	交换 DA SA	RESERVED	RESERVED	RESERVED			
R-0x0	R/W-0x0	R-0x0	R-0x0	R-0x2			

表 8-31. MISC1 寄存器字段说明

位	字段	类型	复位	说明
15:7	RESERVED	R	0x0	保留
6	交换 DA SA	R/W	0x0	1b = 交换数据包的目标地址和源地址字段以进行调试
5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3:0	RESERVED	R	0x2	保留

8.30 PPM0 寄存器（偏移 = 0x1A3）[复位 = 0xF423]

图 8-30 展示了 PPM0，表 8-32 对其进行了介绍。

返回到汇总表。

图 8-30. PPM0 寄存器

15	14	13	12	11	10	9	8
监控器时钟计数 [15:0]							
R/W-0xF423							

Copyright © 2026 Texas Instruments Incorporated

图 8-30. PPM0 寄存器（续）

7	6	5	4	3	2	1	0
监控器时钟计数 [15:0]							
R/W-0xF423							

表 8-32. PPM0 寄存器字段说明

位	字段	类型	复位	说明
15:0	监控器时钟计数 [15:0]	R/W	0xF423	PPM 监控器中监控器时钟计数器的低 16 位 监控器时钟计数 = 刷新周期/监控器时钟周期 刷新周期可以是监控器周期和基准时钟周期的任意公倍数

8.31 PPM1 寄存器（偏移 = 0x1A4）[复位 = 0x0000]

图 8-31 展示了 PPM1，表 8-33 对其进行了介绍。

返回到汇总表。

图 8-31. PPM1 寄存器

15	14	13	12	11	10	9	8
监控器时钟计数 [31:16]							
R/W-0x0							
7	6	5	4	3	2	1	0
监控器时钟计数 [31:16]							
R/W-0x0							

表 8-33. PPM1 寄存器字段说明

位	字段	类型	复位	说明
15:0	监控器时钟计数 [31:16]	R/W	0x0	PPM 监控器中监控器时钟计数器的高 16 位 监控器时钟计数 = 刷新周期/监控器时钟周期 刷新周期可以是监控器周期和基准时钟周期的任意公倍数

8.32 PPM2 寄存器（偏移 = 0x1A5）[复位 = 0x30D3]

图 8-32 展示了 PPM2，表 8-34 对其进行了介绍。

返回到汇总表。

图 8-32. PPM2 寄存器

15	14	13	12	11	10	9	8
基准时钟计数 [15:0]							
R/W-0x30D3							
7	6	5	4	3	2	1	0
基准时钟计数 [15:0]							
R/W-0x30D3							

表 8-34. PPM2 寄存器字段说明

位	字段	类型	复位	说明
15:0	基准时钟计数 [15:0]	R/W	0x30D3	PPM 监控器中基准时钟计数器的低 16 位 基准时钟计数 = 刷新周期/基准时钟周期 刷新周期可以是监控器周期和基准时钟周期的任意公倍数

Copyright © 2026 Texas Instruments Incorporated

8.33 PPM3 寄存器（偏移 = 0x1A6）[复位 = 0x0000]

图 8-33 展示了 PPM3，表 8-35 对其进行了介绍。

返回到汇总表。

图 8-33. PPM3 寄存器

15	14	13	12	11	10	9	8
基准时钟计数 [31:16]							
R/W-0x0							
7	6	5	4	3	2	1	0
基准时钟计数 [31:16]							
R/W-0x0							

表 8-35. PPM3 寄存器字段说明

位	字段	类型	复位	说明
15:0	基准时钟计数 [31:16]	R/W	0x0	PPM 监控器中基准时钟计数器的高低 16 位 基准时钟计数 = 刷新周期/基准时钟周期 刷新周期可以是监控器周期和基准时钟周期的任意公倍数

8.34 PPM4 寄存器（偏移 = 0x1A7）[复位 = 0x0000]

图 8-34 展示了 PPM4，表 8-36 对其进行了介绍。

返回到汇总表。

图 8-34. PPM4 寄存器

15	14	13	12	11	10	9	8
PPM 监控器中断阈值计数 - 1 [15:0]							
R/W-0x0							
7	6	5	4	3	2	1	0
PPM 监控器中断阈值计数 - 1 [15:0]							
R/W-0x0							

表 8-36. PPM4 寄存器字段说明

位	字段	类型	复位	说明
15:0	PPM 监控器中断阈值计数 - 1 [15:0]	R/W	0x0	PPM 监控器中断阈值计数的低 16 位 - 1： PPM 监控器中断阈值计数 1 = 监控器时钟计数 PPM，超过该值应标记中断

8.35 PPM5 寄存器（偏移 = 0x1A8）[复位 = 0x0000]

图 8-35 展示了 PPM5，表 8-37 对其进行了介绍。

返回到汇总表。

图 8-35. PPM5 寄存器

15	14	13	12	11	10	9	8
PPM 监控器中断阈值计数 - 1 [31:16]							
R/W-0x0							
7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

图 8-35. PPM5 寄存器（续）

PPM 监控器中断阈值计数 - 1 [31:16]
R/W-0x0

表 8-37. PPM5 寄存器字段说明

位	字段	类型	复位	说明
15:0	PPM 监控器中断阈值计数 - 1 [31:16]	R/W	0x0	PPM 监控器中断阈值计数的高 16 位 -1： PPM 监控器中断阈值计数 1 = 监控器时钟计数 PPM，超过该值应标记中断

8.36 PPM6 寄存器（偏移 = 0x1A9）[复位 = 0x0000]

图 8-36 展示了 PPM6，表 8-38 对其进行了介绍。

返回到汇总表。

图 8-36. PPM6 寄存器

15	14	13	12	11	10	9	8
PPM 监控器中断阈值计数 - 2 [15:0]							
R/W-0x0							
7	6	5	4	3	2	1	0
PPM 监控器中断阈值计数 - 2 [15:0]							
R/W-0x0							

表 8-38. PPM6 寄存器字段说明

位	字段	类型	复位	说明
15:0	PPM 监控器中断阈值计数 - 2 [15:0]	R/W	0x0	PPM 监控器中断阈值计数的低 16 位 - 2： PPM 监控器中断阈值计数 2 = 监控器时钟计数 - (监控器时钟计数 负 PPM，超过该值应标记中断)

8.37 PPM7 寄存器（偏移 = 0x1AA）[复位 = 0x0000]

图 8-37 展示了 PPM7，表 8-39 对其进行了介绍。

返回到汇总表。

图 8-37. PPM7 寄存器

15	14	13	12	11	10	9	8
PPM 监控器中断阈值计数 - 2 [31:16]							
R/W-0x0							
7	6	5	4	3	2	1	0
PPM 监控器中断阈值计数 - 2 [31:16]							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-39. PPM7 寄存器字段说明

位	字段	类型	复位	说明
15:0	PPM 监控器中断阈值计数 - 2 [31:16]	R/W	0x0	PPM 监控器中断阈值计数的高 16 位 -2 : PPM 监控器中断阈值计数 2 = 监控器时钟计数 - (监控器时钟计数 负 PPM，超过该值应标记中断)

8.38 PPM10 寄存器 (偏移 = 0x1AD) [复位 = 0x0000]

图 8-38 展示了 PPM10，表 8-40 对其进行了介绍。

返回到汇总表。

图 8-38. PPM10 寄存器

15	14	13	12	11	10	9	8
PPM 监控器输出 [15:0]							
R/W-0x0							
7	6	5	4	3	2	1	0
PPM 监控器输出 [15:0]							
R/W-0x0							

表 8-40. PPM10 寄存器字段说明

位	字段	类型	复位	说明
15:0	PPM 监控器输出 [15:0]	R/W	0x0	PPM 监控器输出 如果 0x01AE[15] = 0，则 ppm 偏移为负，如果 0x01AE[15] = 1，则 ppm 偏移为正 监控器时钟的 PPM 偏移 = {0x01AE[14:0],0x01AD[15:0]}/ {0x01A4, 0x01A3}

8.39 PPM11 寄存器 (偏移 = 0x1AE) [复位 = 0x0000]

图 8-39 展示了 PPM11，表 8-41 对其进行了介绍。

返回到汇总表。

图 8-39. PPM11 寄存器

15	14	13	12	11	10	9	8
PPM 监控器输出 [31:16]							
R/W-0x0							
7	6	5	4	3	2	1	0
PPM 监控器输出 [31:16]							
R/W-0x0							

表 8-41. PPM11 寄存器字段说明

位	字段	类型	复位	说明
15:0	PPM 监控器输出 [31:16]	R/W	0x0	PPM 监控器输出 如果 0x01AE[15] = 0，则 ppm 偏移为负，如果 0x01AE[15] = 1，则 ppm 偏移为正 监控器时钟的 PPM 偏移 = {0x01AE[14:0],0x01AD[15:0]}/ {0x01A4, 0x01A3}

Copyright © 2026 Texas Instruments Incorporated

8.40 PPM12 寄存器（偏移 = 0x1AF）[复位 = 0x0000]

图 8-40 展示了 PPM12，表 8-42 对其进行了介绍。

返回到汇总表。

图 8-40. PPM12 寄存器

15	14	13	12	11	10	9	8
PPM 监控器外部时钟选择		PPM 监视器使能	PPM 监控器的基准时钟选择				PPM 监控器的监控器时钟选择
R/W-0x0		R/W-0x0	R/W-0x0				R/W-0x0
7	6	5	4	3	2	1	0
PPM 监控器的监控器时钟选择			锁存 PPM 监控测器值	RESERVED		RESERVED	
R/W-0x0			R/W-0x0	R-0x0		R-0x0	

表 8-42. PPM12 寄存器字段说明

位	字段	类型	复位	说明
15:14	PPM 监控器外部时钟选择	R/W	0x0	为 PPM 监控器的外部时钟输入选择 GPIO 引脚： 0x2 = LED_0
13	PPM 监视器使能	R/W	0x0	PPM 监控器启用： 0x0 = 禁用 PPM 监控器 0x1 = 启用 PPM 监控测器
12:9	PPM 监控器的基准时钟选择	R/W	0x0	选择 PPM 监控器的基准时钟 0x0 = XI 输入 0x1 = 200MHz 恢复时钟 0x2 = 250MHz 的 PLL CLK 0x3 = PTP PLL 0x4 = 外部时钟输入 0x5 = 200MHz 主模式发送时钟 0x6 = SGMII 恢复时钟 0x7 = PTP 触发 0
8:5	PPM 监控器的监控器时钟选择	R/W	0x0	为 PPM 监控器选择监控器时钟 0x0 = XI 输入 0x1 = 200MHz 恢复时钟 0x2 = 250MHz 的 PLL CLK 0x3 = PTP PLL 0x4 = 外部时钟输入 0x5 = 200MHz 主模式发送时钟 0x6 = SGMII 恢复时钟 0x7 = PTP 触发 0
4	锁存 PPM 监控测器值	R/W	0x0	将 ppm 监控器值锁存到影子寄存器 0x0 = 禁用 PPM 状态读取 0x1 = 启用 PPM 状态读取
3:2	RESERVED	R	0x0	保留
1:0	RESERVED	R	0x0	保留

8.41 fwu_reg_3 寄存器（偏移 = 0x1BE）[复位 = 0x0158]

图 8-41 展示了 fwu_reg_3，表 8-43 对其进行了介绍。

返回到汇总表。

图 8-41. fwu_reg_3 寄存器

15	14	13	12	11	10	9	8

Copyright © 2026 Texas Instruments Incorporated

图 8-41. fwu_reg_3 寄存器（续）

RESERVED				RESERVED	快速唤醒存储器负载启用	快速唤醒加载触发器	快速唤醒存储器复位
R-0x0				R-0x0	R/W-0x0	R/W-0x0	R/W-0x1
7	6	5	4	3	2	1	0
RESERVED						RESERVED	
R-0x16						R-0x0	

表 8-43. fwu_reg_3 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留
11	RESERVED	R	0x0	保留
10	快速唤醒存储器负载启用	R/W	0x0	将该位编程为 1 以便可以将寄存器地址和数据加载到存储器中
9	快速唤醒加载触发器	R/W	0x0	将寄存器地址和数据编程到 0x1BC 和 0x1BD 后，将该位编程为 1 该位为自清零位
8	快速唤醒存储器复位	R/W	0x1	0x0 = 复位存储器
7:2	RESERVED	R	0x16	保留
1:0	RESERVED	R	0x0	保留

8.42 spare_reg_tc10 寄存器（偏移 = 0x1D2）[复位 = 0x0000]

图 8-42 展示了 spare_reg_tc10，表 8-44 对其进行了介绍。

返回到汇总表。

图 8-42. spare_reg_tc10 寄存器

15	14	13	12	11	10	9	8
配置快速唤醒							
R/W-0x0							
7	6	5	4	3	2	1	0
配置快速唤醒							
R/W-0x0							

表 8-44. spare_reg_tc10 寄存器字段说明

位	字段	类型	复位	说明
15:0	配置快速唤醒	R/W	0x0	要启用快速唤醒存储器程序 0x01D2 = 0x0004 0x01D2 = 0x0014 0x01D2 = 0x0004

8.43 TDR_TC1 寄存器（偏移 = 0x310）[复位 = 0x0000]

图 8-43 展示了 TDR_TC1，表 8-45 对其进行了介绍。

返回到汇总表。

图 8-43. TDR_TC1 寄存器

15	14	13	12	11	10	9	8
RESERVED							RESERVED
R-0x0							R-0x0

Copyright © 2026 Texas Instruments Incorporated

图 8-43. TDR_TC1 寄存器（续）

7	6	5	4	3	2	1	0
故障检测状态	故障类型	TDR 故障位置					
R-0x0	R-0x0	R-0x0					

表 8-45. TDR_TC1 寄存器字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R	0x0	保留
8	RESERVED	R	0x0	保留
7	故障检测状态	R	0x0	1b = 在电缆中检测到故障 0b = 在电缆中未检测到故障
6	故障类型	R	0x0	0b = 短接至 GND、电源或 MDI 引脚之间 1b = 开路。适用于单线和双线开路故障
5:0	TDR 故障位置	R	0x0	故障位置（以米为单位）（仅当故障检测状态 = 1 时有效）

8.44 ANA_LD_CTRL_3 寄存器（偏移 = 0x402）[复位 = 0x0000]

图 8-44 展示了 ANA_LD_CTRL_3，表 8-46 对其进行了介绍。

返回到汇总表。

图 8-44. ANA_LD_CTRL_3 寄存器

15	14	13	12	11	10	9	8
VDDIO 电源电平		RESERVED	RESERVED	RESERVED		RESERVED	
R-0x0		R-0x0	R-0x0	R-0x0		R-0x0	
7	6	5	4	3	2	1	0
RESERVED				RESERVED		RESERVED	
R-0x0				R-0x0		R-0x0	

表 8-46. ANA_LD_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15:14	VDDIO 电源电平	R	0x0	PHY 检测到的 VDDIO 电平： 00b = 1.8V VDDIO 01b = 2.5V VDDIO 11b = 3.3V VDDIO
13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11:10	RESERVED	R	0x0	保留
9:8	RESERVED	R	0x0	保留
7:4	RESERVED	R	0x0	保留
3	RESERVED	R	0x0	保留
2:0	RESERVED	R	0x0	保留

8.45 A2D_REG_48 寄存器（偏移 = 0x430）[复位 = 0x0AA0]

图 8-45 展示了 A2D_REG_48，表 8-47 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-45. A2D_REG_48 寄存器

15	14	13	12	11	10	9	8
RESERVED			RESERVED	RGMII TX 移位延迟			
R-0x0			R-0x0	R/W-0xA			
7	6	5	4	3	2	1	0
RGMII RX 移位延迟				RESERVED			
R/W-0xA				R-0x0			

表 8-47. A2D_REG_48 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11:8	RGMII TX 移位延迟	R/W	0xA	控制 RGMII 模式下的内部延迟，采用 312.5ps 步骤 延迟 = (十进制位 (Bit[7:4]) + 1) x 312.5ps
7:4	RGMII RX 移位延迟	R/W	0xA	控制 RGMII 模式下的内部延迟，采用 312.5ps 步骤 延迟 = (十进制位 (Bit[7:4]) + 1) x 312.5ps
3:0	RESERVED	R	0x0	保留

8.46 A2D_REG_64 寄存器 (偏移 = 0x440) [复位 = 0x0001]

图 8-46 展示了 A2D_REG_64，表 8-48 对其进行了介绍。

返回到汇总表。

图 8-46. A2D_REG_64 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED						
R-0x0	R-0x0						
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED	RESERVED	RESERVED	ESD 事件计数器禁用
R-0x0			R-0x0	R-0x0	R-0x0	R-0x0	R/W-0x1

表 8-48. A2D_REG_64 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14:5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3	RESERVED	R	0x0	保留
2	RESERVED	R	0x0	保留
1	RESERVED	R	0x0	保留
0	ESD 事件计数器禁用	R/W	0x1	1b = 禁用 ESD 计数器 0b =启用 ESD 计数器 切换该位使 ESD 计数器清零

8.47 A2D_REG_66 寄存器 (偏移 = 0x442) [复位 = 0x0000]

图 8-47 展示了 A2D_REG_66，表 8-49 对其进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

图 8-47. A2D_REG_66 寄存器

15	14	13	12	11	10	9	8
RESERVED	ESD 事件计数						RESERVED
R-0x0	R-0x0						R-0x0
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED			
R-0x0			R-0x0	R-0x0			

表 8-49. A2D_REG_66 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14:9	ESD 事件计数	R	0x0	字段表示铜通道上的 ESD 事件数
8	RESERVED	R	0x0	保留
7:5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3:0	RESERVED	R	0x0	保留

8.48 A2D_REG_68 寄存器（偏移 = 0x444）[复位 = 0x0000]

图 8-48 展示了 A2D_REG_68，表 8-50 对其进行了介绍。

返回到汇总表。

图 8-48. A2D_REG_68 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED				睡眠强制值	睡眠强制启用	WAKE 引脚强制值	WAKE 引脚强制启用
R-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 8-50. A2D_REG_68 寄存器字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R	0x0	保留
3	睡眠强制值	R/W	0x0	1b = 当“睡眠强制启用”设置为 1 时强制睡眠
2	睡眠强制启用	R/W	0x0	1b = 睡眠强制启用（必须设置睡眠强制值）
1	WAKE 引脚强制值	R/W	0x0	当设置 WAKE 引脚强制启用时 WAKE 引脚上的强制值 1b = 高电平 0b = 低电平
0	WAKE 引脚强制启用	R/W	0x0	1b = 启用 WAKE 引脚强制控制

8.49 LEDS_CFG_1 寄存器（偏移 = 0x450）[复位 = 0x2610]

图 8-49 展示了 LEDS_CFG_1，表 8-51 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-49. LEDS_CFG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED	禁用 LED 延展	LED 闪烁速率		RESERVED			
R-0x0	R/W-0x0	R/W-0x2		R-0x6			
7	6	5	4	3	2	1	0
LED_1 选项				LED_0 选项			
R/W-0x1				R/W-0x0			

表 8-51. LEDS_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	禁用 LED 延展	R/W	0x0	0b = 根据“LED 闪烁速率”字段中的闪烁速率进行 LED 脉冲延展 1b = LED 脉冲直接连接到 RX_DV（用于 RX 活动）和 TX_CTRL（用于 TX 活动）
13:12	LED 闪烁速率	R/W	0x2	为活动配置时 LED 的闪烁速率 00b = 20Hz (50ms) 01b = 10Hz (100ms) 10b = 5Hz (200ms) 11b = 2Hz (500ms)
11:8	RESERVED	R	0x6	保留
7:4	LED_1 选项	R/W	0x1	0x0：链路正常 0x1：链路正常 + TX/RX 活动时闪烁 0x2：链路正常 + TX 活动时闪烁 0x3：链路正常 + RX 活动时闪烁 0x4：链路正常 + 100Base-T1 主器件 0x5：链路正常 + 100Base-T1 从器件 0x6：TX/RX 活动（带延展选项） 0x7：保留 0x8：保留 0x9：链路丢失（保持开启状态直至读取寄存器 0x1） 0xB：xMII TX/RX 错误（带延展选项）
3:0	LED_0 选项	R/W	0x0	0x0：链路正常 0x1：链路正常 + TX/RX 活动时闪烁 0x2：链路正常 + TX 活动时闪烁 0x3：链路正常 + RX 活动时闪烁 0x4：链路正常 + 100Base-T1 主器件 0x5：链路正常 + 100Base-T1 从器件 0x6：TX/RX 活动（带延展选项） 0x7：保留 0x8：保留 0x9：链路丢失（保持开启状态直至读取寄存器 0x1） 0xB：xMII TX/RX 错误（带延展选项）

8.50 LEDS_CFG_2 寄存器（偏移 = 0x451）[复位 = 0x0009]

图 8-50 展示了 LEDS_CFG_2，表 8-52 对其进行了介绍。

返回到汇总表。

图 8-50. LEDS_CFG_2 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED				RESERVED
R-0x0	R-0x0	R-0x0	R-0x0				R-0x0
7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

图 8-50. LEDS_CFG_2 寄存器（续）

RESERVED	RESERVED	LED_1 强制启用	LED_1 强制值	LED_1 极性	LED_0 强制启用	LED_0 强制值	LED_0 极性
R-0x0	R-0x0	R/W-0x0	R/W-0x0	R/W-0x1	R/W-0x0	R/W-0x0	R/W-0x1

表 8-52. LEDS_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留
12:9	RESERVED	R	0x0	保留
8	RESERVED	R	0x0	保留
7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	LED_1 强制启用	R/W	0x0	1b = 强制在 LED_1 引脚上设置“LED_1 强制值”
4	LED_1 强制值	R/W	0x0	当设置 LED_1 强制启用时，该位决定 LED_1 的输出 0b = 低电平 1b = 高电平
3	LED_1 极性	R/W	0x1	LED_1 的极性： 0b = 低电平有效极性 1b = 高电平有效极性 默认值由 LED_1 上的配置 (strap) 决定。如果将配置 (strap) 布置于电源，则 LED_1 极性为 0，否则 LED_1 极性为 1。
2	LED_0 强制启用	R/W	0x0	1b = 强制在 LED_0 引脚上设置“LED_0 强制值”
1	LED_0 强制值	R/W	0x0	当设置 LED_0 强制启用时，该位决定 LED_0 的输出 0b = 低电平 1b = 高电平
0	LED_0 极性	R/W	0x1	LED_0 的极性： 0b = 低电平有效极性 1b = 高电平有效极性 默认值由 LED_0 上的配置 (strap) 决定。如果将配置 (strap) 布置于电源，则 LED_0 极性为 0，否则 LED_0 极性为 1。

8.51 IO_MUX_CFG_1 寄存器（偏移 = 0x452）[复位 = 0x0000]

图 8-51 展示了 IO_MUX_CFG_1，表 8-53 对其进行了介绍。

返回到汇总表。

图 8-51. IO_MUX_CFG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED			RESERVED	LED_1 配置		
R-0x0	R-0x0			R-0x0	R/W-0x0		
7	6	5	4	3	2	1	0
RESERVED	RESERVED			RESERVED	LED_0 配置		
R-0x0	R-0x0			R-0x0	R/W-0x0		

表 8-53. IO_MUX_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14:12	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-53. IO_MUX_CFG_1 寄存器字段说明（续）

位	字段	类型	复位	说明
11	RESERVED	R	0x0	保留
10:8	LED_1 配置	R/W	0x0	000b = (默认值：链路) 010b = WoL 011b = 欠压指示 110b = ESD 111b = 中断
7	RESERVED	R	0x0	保留
6:4	RESERVED	R	0x0	保留
3	RESERVED	R	0x0	保留
2:0	LED_0 配置	R/W	0x0	000b = (默认值：链路) 010b = WoL 011b = 欠压指示 110b = ESD 111b = 中断

8.52 IO_MUX_CFG_2 寄存器（偏移 = 0x453）[复位 = 0x0001]

图 8-52 展示了 IO_MUX_CFG_2，表 8-54 对其进行了介绍。

返回到汇总表。

图 8-52. IO_MUX_CFG_2 寄存器

15	14	13	12	11	10	9	8
在 LED_1 上启用 TX_ER	RESERVED						RESERVED
R/W-0x0	R-0x0						R-0x0
7	6	5	4	3	2	1	0
RESERVED				RESERVED	RESERVED		
R-0x0				R-0x0	R-0x1		

表 8-54. IO_MUX_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15	在 LED_1 上启用 TX_ER	R/W	0x0	将 LED_1 引脚配置为 TX_ER
14:9	RESERVED	R	0x0	保留
8	RESERVED	R	0x0	保留
7:4	RESERVED	R	0x0	保留
3	RESERVED	R	0x0	保留
2:0	RESERVED	R	0x1	保留

8.53 IO_MUX_CFG 寄存器（偏移 = 0x456）[复位 = 0x0021]

图 8-53 示出了 IO_MUX_CFG，表 8-55 中对此进行了介绍。

返回到汇总表。

图 8-53. IO_MUX_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED		RESERVED	RESERVED		RESERVED	阻抗控制 - RX 引脚	
R-0x0		R-0x0	R-0x0		R-0x0	R/W-0x1	

Copyright © 2026 Texas Instruments Incorporated

图 8-53. IO_MUX_CFG 寄存器（续）

7	6	5	4	3	2	1	0
阻抗控制 - RX 引脚				阻抗控制 - TX_CLK			
R/W-0x1				R/W-0x1			

表 8-55. IO_MUX_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留
12:11	RESERVED	R	0x0	保留
10	RESERVED	R	0x0	保留
9:5	阻抗控制 - RX 引脚	R/W	0x1	RX_CLK、RX_D[3:0]、RX_CTRL、RX_ER 的阻抗控制 1h = 转换模式 -1 2h = 转换模式 -2 3h = 转换模式 -3 4h = 转换模式 -4 5h = 转换模式 -5 6h = 转换模式 -6 7h = 转换模式 -7
4:0	阻抗控制 - TX_CLK	R/W	0x1	1h = 转换模式 -1 2h = 转换模式 -2 3h = 转换模式 -3 4h = 转换模式 -4 5h = 转换模式 -5 6h = 转换模式 -6 7h = 转换模式 -7

8.54 CHIP_SOR_1 寄存器（偏移 = 0x45D）[复位 = 0x0000]

图 8-54 展示了 CHIP_SOR_1，表 8-56 对其进行了介绍。

返回到汇总表。

图 8-54. CHIP_SOR_1 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	STRAP_2 值	STRAP_1 值	RESERVED	STRAP_0 值
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
STRAP_5 值	STRAP_4 值	STRAP_3 值	RESERVED	RESERVED		RESERVED	
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0		R-0x0	

表 8-56. CHIP_SOR_1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留
12	RESERVED	R	0x0	保留
11	STRAP_2 值	R	0x0	上电或复位时进行的配置 (strap) 采样
10	STRAP_1 值	R	0x0	上电或复位时进行的配置 (strap) 采样
9	RESERVED	R	0x0	保留
8	STRAP_0 值	R	0x0	上电或复位时进行的配置 (strap) 采样

Copyright © 2026 Texas Instruments Incorporated

表 8-56. CHIP_SOR_1 寄存器字段说明（续）

位	字段	类型	复位	说明
7	STRAP_5 值	R	0x0	上电或复位时进行的配置 (strap) 采样
6	STRAP_4 值	R	0x0	上电或复位时进行的配置 (strap) 采样
5	STRAP_3 值	R	0x0	上电或复位时进行的配置 (strap) 采样
4	RESERVED	R	0x0	保留
3:2	RESERVED	R	0x0	保留
1:0	RESERVED	R	0x0	保留

8.55 LED1_ANA_CTRL 寄存器（偏移 = 0x45F）[复位 = 0x000C]

图 8-55 展示了 LED1_ANA_CTRL，表 8-57 对其进行了介绍。

返回到汇总表。

图 8-55. LED1_ANA_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED					
R-0x0	R-0x0	R-0x0					
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED		LED_1 时钟多路复用器控制	
R-0x0			R-0x0	R-0x3		R/W-0x0	

表 8-57. LED1_ANA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13:5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3:2	RESERVED	R	0x3	保留
1:0	LED_1 时钟多路复用器控制	R/W	0x0	00b = 用于菊花链的 25MHz XI 时钟 01b = 用于测试模式的 TX_TCLK 寄存器 0x5B7 必须编程为 0x0443 以实现 LED_1 引脚上的时钟输出

8.56 IMPEDANCE_CTRL_1 寄存器（偏移 = 0x461）[复位 = 0x0101]

图 8-56 展示了 IMPEDANCE_CTRL_1，表 8-58 对其进行了介绍。

返回到汇总表。

图 8-56. IMPEDANCE_CTRL_1 寄存器

15	14	13	12	11	10	9	8
RESERVED			阻抗控制 - LED_1				
R-0x0			R/W-0x1				
7	6	5	4	3	2	1	0
RESERVED			阻抗控制 - LED_0				
R-0x0			R/W-0x1				

Copyright © 2026 Texas Instruments Incorporated

表 8-58. IMPEDANCE_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留
12:8	阻抗控制 - LED_1	R/W	0x1	1h = 转换模式 -1 2h = 转换模式 -2 3h = 转换模式 -3 4h = 转换模式 -4 5h = 转换模式 -5 6h = 转换模式 -6 7h = 转换模式 -7
7:5	RESERVED	R	0x0	保留
4:0	阻抗控制 - LED_0	R/W	0x1	1h = 转换模式 -1 2h = 转换模式 -2 3h = 转换模式 -3 4h = 转换模式 -4 5h = 转换模式 -5 6h = 转换模式 -6 7h = 转换模式 -7

8.57 LINKUP_TIMER_1 寄存器（偏移 = 0x4EE）[复位 = 0x0000]

图 8-57 展示了 LINKUP_TIMER_1，表 8-59 对其进行了介绍。

返回到汇总表。

图 8-57. LINKUP_TIMER_1 寄存器

15	14	13	12	11	10	9	8
链路建立计时器 [15:0]							
R-0x0							
7	6	5	4	3	2	1	0
链路建立计时器 [15:0]							
R-0x0							

表 8-59. LINKUP_TIMER_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	链路建立计时器 [15:0]	R	0x0	根据上电或软复位或链路断开（以较晚者为准）计算的链路建立计时器 链路建立时间（以 ns 为单位）= 链路建立计时器 [31:0]*40

8.58 LINKUP_TIMER_2 寄存器（偏移 = 0x4EF）[复位 = 0x0000]

图 8-58 展示了 LINKUP_TIMER_2，表 8-60 对其进行了介绍。

返回到汇总表。

图 8-58. LINKUP_TIMER_2 寄存器

15	14	13	12	11	10	9	8
链路建立计时器 [31:16]							
R-0x0							
7	6	5	4	3	2	1	0
链路建立计时器 [31:16]							
R-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-58. LINKUP_TIMER_2 寄存器（续）

表 8-60. LINKUP_TIMER_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	链路建立计时器 [31:16]	R	0x0	根据上电或软复位或链路断开（以较晚者为准）计算的链路建立计时器 链路建立时间（以 ns 为单位）= 链路建立计时器 [31:0]*40

8.59 TX_PR_FILT_CTRL 寄存器（偏移 = 0x523）[复位 = 0x0000]

图 8-59 展示了 TX_PR_FILT_CTRL，表 8-61 中对此进行了介绍。

返回到汇总表。

图 8-59. TX_PR_FILT_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED					RESERVED	MDI 极性反转	MDI 发送禁用
R-0x0					R-0x0	R/W-0x0	R/W-0x0

表 8-61. TX_PR_FILT_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:3	RESERVED	R	0x0	保留
2	RESERVED	R	0x0	保留
1	MDI 极性反转	R/W	0x0	1b = 反转 MDI 发送侧的极性
0	MDI 发送禁用	R/W	0x0	1b = 禁用 MDI 上的发送 0b = 启用 MDI 上的发送

8.60 PG_REG_1 寄存器（偏移 = 0x551）[复位 = 0x0010]

图 8-60 展示了 PG_REG_1，表 8-62 对其进行了介绍。

返回到汇总表。

图 8-60. PG_REG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED			RMII CRS_DV 配置	RESERVED			
R-0x0			R/W-0x1	R-0x0			

表 8-62. PG_REG_1 寄存器字段说明

位	字段	类型	复位	说明
15:5	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-62. PG_REG_1 寄存器字段说明（续）

位	字段	类型	复位	说明
4	RMII CRS_DV 配置	R/W	0x1	将引脚 25 配置为 RX_DV 或 CRS_DV： 1b = 引脚 25 为 CRS_DV 0b = 引脚 25 为 RX_DV
3:0	RESERVED	R	0x0	保留

8.61 PG_REG_3 寄存器（偏移 = 0x552）[复位 = 0x0008]

图 8-61 展示了 PG_REG_3，表 8-63 对其进行了介绍。

返回到汇总表。

图 8-61. PG_REG_3 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x8							
7	6	5	4	3	2	1	0
RESERVED							
R-0x8							

表 8-63. PG_REG_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	RESERVED	R	0x8	保留

8.62 PG_REG_4 寄存器（偏移 = 0x553）[复位 = 0x0000]

图 8-62 展示了 PG_REG_4，表 8-64 对其进行了介绍。

返回到汇总表。

图 8-62. PG_REG_4 寄存器

15	14	13	12	11	10	9	8
RESERVED		强制接收极性强制启用	接收极性强制值	RESERVED			
R-0x0		R/W-0x0	R/W-0x0	R-0x0			
7	6	5	4	3	2	1	0
RESERVED							
R-0x0							

表 8-64. PG_REG_4 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	0x0	保留
13	强制接收极性强制启用	R/W	0x0	0x0553[13:12] = 2'b10 : Disable Auto-Polarity Correction and force no polarity inversion 0x0553[13:12] = 2'b11 : Disable Auto-Polarity Correction and force polarity inversion
12	接收极性强制值	R/W	0x0	0x0553[13:12] = 2'b10 : Disable Auto-Polarity Correction and force no polarity inversion 0x0553[13:12] = 2'b11 : Disable Auto-Polarity Correction and force polarity inversion

Copyright © 2026 Texas Instruments Incorporated

表 8-64. PG_REG_4 寄存器字段说明（续）

位	字段	类型	复位	说明
11:0	RESERVED	R	0x0	保留

8.63 TC1_LINK_FAIL_LOSS 寄存器（偏移 = 0x561）[复位 = 0x0000]

图 8-63 展示了 TC1_LINK_FAIL_LOSS，表 8-65 对其进行了介绍。

返回到汇总表。

图 8-63. TC1_LINK_FAIL_LOSS 寄存器

15	14	13	12	11	10	9	8
链路丢失						链路故障	
R-0x0						R-0x0	
7	6	5	4	3	2	1	0
链路故障							
R-0x0							

表 8-65. TC1_LINK_FAIL_LOSS 寄存器字段说明

位	字段	类型	复位	说明
15:10	链路丢失	R	0x0	自上次下电上电以来 TC1 中定义的链路丢失数
9:0	链路故障	R	0x0	TC1 中定义的链路故障 未导致链路断开的链路故障数（包括 RX 错误、不良 SSD、不良 ESD、不良 SQI）

8.64 TC1_LINK_TRAINING_TIME 寄存器（偏移 = 0x562）[复位 = 0x0000]

图 8-64 展示了 TC1_LINK_TRAINING_TIME，表 8-66 对其进行了介绍。

返回到汇总表。

图 8-64. TC1_LINK_TRAINING_TIME 寄存器

15	14	13	12	11	10	9	8
通信就绪	RESERVED						
R-0x0	R-0x0						
7	6	5	4	3	2	1	0
链路训练时间							
R-0x0							

表 8-66. TC1_LINK_TRAINING_TIME 寄存器字段说明

位	字段	类型	复位	说明
15	通信就绪	R	0x0	TC1 中定义的通信就绪 1b = PHY 已准备好进行通信
14:8	RESERVED	R	0x0	保留
7:0	链路训练时间	R	0x0	通过软复位测得的链路训练时间（以毫秒为单位）

8.65 NO_LINK_TH 寄存器（偏移 = 0x563）[复位 = 0x0096]

图 8-65 展示了 NO_LINK_TH，表 8-67 中对此进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

图 8-65. NO_LINK_TH 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
无链路计时器阈值							
R/W-0x96							

表 8-67. NO_LINK_TH 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x0	保留
7:0	无链路计时器阈值	R/W	0x96	无链路中断的时间阈值（以毫秒为单位）

8.66 DITH_CTRL_0 寄存器（偏移 = 0x5A0）[复位 = 0x3042]

图 8-66 展示了 DITH_CTRL_0，表 8-68 对其进行了介绍。

返回到汇总表。

图 8-66. DITH_CTRL_0 寄存器

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	抖动方向
R-0x0	R-0x0	R-0x1	R-0x1	R-0x0	R-0x0	R-0x0	R/W-0x0
7	6	5	4	3	2	1	0
RESERVED				RESERVED			
R-0x4				R-0x2			

表 8-68. DITH_CTRL_0 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	RESERVED	R	0x0	保留
13	RESERVED	R	0x1	保留
12	RESERVED	R	0x1	保留
11	RESERVED	R	0x0	保留
10	RESERVED	R	0x0	保留
9	RESERVED	R	0x0	保留
8	抖动方向	R/W	0x0	选择锯齿曲线类型 0x0 = 反向锯齿曲线 0x1 = 上升锯齿曲线
7:4	RESERVED	R	0x4	保留
3:0	RESERVED	R	0x2	保留

8.67 DITH_CTRL_1 寄存器（偏移 = 0x5A1）[复位 = 0x640D]

图 8-67 展示了 DITH_CTRL_1，表 8-69 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-67. DITH_CTRL_1 寄存器

15	14	13	12	11	10	9	8
抖动频率阶跃							
R/W-0x64							
7	6	5	4	3	2	1	0
抖动调制周期							
R/W-0xD							

表 8-69. DITH_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15:8	抖动频率阶跃	R/W	0x64	配置抖动的最大频率偏移 0x05A1[15:8] = (所需 (Δ(f)/f) *2^{17})/(0x5A1[7:0]) 默认 Δ(f)/f = 1% 将 Δ(f)/f 限制到 ≤ 2%
7:0	抖动调制周期	R/W	0xD	配置抖动调制周期 0x5A1[7:0] = 抖动调制周期/640 ns 默认调制周期 = 13*640ns = 8.34 us

8.68 DITH_RFI_EN_CTRL 寄存器（偏移 = 0x5A8）[复位 = 0x0D07]

图 8-68 展示了 DITH_RFI_EN_CTRL，表 8-70 中对此进行了介绍。

返回到汇总表。

图 8-68. DITH_RFI_EN_CTRL 寄存器

15	14	13	12	11	10	9	8
抖动曲线		RESERVED	抖动启用	MAC 接口抖动启用	内核时钟抖动启用	RESERVED	
R/W-0x0		R-0x0	R/W-0x0	R/W-0x1	R/W-0x1	R-0x107	
7	6	5	4	3	2	1	0
RESERVED							
R-0x107							

表 8-70. DITH_RFI_EN_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:14	抖动曲线	R/W	0x0	选择抖动频率曲线 0x0 = 锯齿 0x1 = 三角形
13	RESERVED	R	0x0	保留
12	抖动启用	R/W	0x0	1b = 启用时钟抖动引擎
11	MAC 接口抖动启用	R/W	0x1	1b = 启用 RMII、RGMII、MII MAC 接口输出抖动
10	内核时钟抖动启用	R/W	0x1	1b = 启用内部数字时钟抖动
9:0	RESERVED	R	0x107	保留

8.69 CFG_PCF_DMAC_ADDR 寄存器（偏移 = 0x5B2）[复位 = 0x0F6B]

图 8-69 展示了 CFG_PCF_DMAC_ADDR，表 8-71 中对此进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-69. CFG_PCF_DMAC_ADDR 寄存器

15	14	13	12	11	10	9	8
cfg_pcf_dmac_addr							
R/W-0xF6B							
7	6	5	4	3	2	1	0
cfg_pcf_dmac_addr							
R/W-0xF6B							

表 8-71. CFG_PCF_DMAC_ADDR 寄存器字段说明

位	字段	类型	复位	说明
15:0	cfg_pcf_dmac_addr	R/W	0xF6B	PCF DMAC 的可配置的最后两个字节

8.70 SPARE_IN_FROM_DIG_SL_1 寄存器（偏移 = 0x5B7）[复位 = 0x0043]

图 8-70 展示了 SPARE_IN_FROM_DIG_SL_1，表 8-72 对其进行了介绍。

返回到汇总表。

图 8-70. SPARE_IN_FROM_DIG_SL_1 寄存器

15	14	13	12	11	10	9	8
RESERVED				RESERVED			
R-0x0				R-0x43			
7	6	5	4	3	2	1	0
RESERVED							
R-0x43							

表 8-72. SPARE_IN_FROM_DIG_SL_1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留
11:0	RESERVED	R	0x43	保留

8.71 CONTROL_REG_1 寄存器（偏移 = 0x5B8）[复位 = 0x0001]

图 8-71 展示了 CONTROL_REG_1，表 8-73 对其进行了介绍。

返回到汇总表。

图 8-71. CONTROL_REG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED		RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	LED GPIO 禁用
R-0x0		R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R/W-0x1

表 8-73. CONTROL_REG_1 寄存器字段说明

位	字段	类型	复位	说明
15:6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-73. CONTROL_REG_1 寄存器字段说明（续）

位	字段	类型	复位	说明
4	RESERVED	R	0x0	保留
3	RESERVED	R	0x0	保留
2	RESERVED	R	0x0	保留
1	RESERVED	R	0x0	保留
0	LED GPIO 禁用	R/W	0x1	1b = 禁用 LED_0/GPIO_0 和 LED_1/GPIO_1 引脚功能。引脚处于输入模式，带下拉 0b = 启用 LED_0/GPIO_0 和 LED_1/GPIO_1 引脚功能。默认启用的功能为 LED 输出

8.72 RGMII_CTRL 寄存器（偏移 = 0x600）[复位 = 0x002X]

图 8-72 显示了 RGMII_CTRL，表 8-74 中对此进行了介绍。

返回到汇总表。

图 8-72. RGMII_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED	RGMII TX FIFO 半满阈值			RGMII 启用	反转 RGMII TX 数据线	反转 RGMII RX 数据线	RESERVED
R-0x0	R/W-0x2			R/W-0xX	R/W-0x1	R/W-0x0	R-0x0

表 8-74. RGMII_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:7	RESERVED	R	0x0	保留
6:4	RGMII TX FIFO 半满阈值	R/W	0x2	RGMII TX 同步 FIFO 半满阈值
3	RGMII 启用	R/W	0x0	1b = RGMII 启用 0b = RGMII 禁用 默认值在配置 (strap) 中锁存
2	反转 RGMII TX 数据线	R/W	0x1	0b = 将 RGMII TXD[3:0] TX_D3 反转为 TX_D0 TX_D2 反转为 TX_D1 TX_D1 反转为 TX_D2 TX_D0 反转为 TX_D3
1	反转 RGMII RX 数据线	R/W	0x0	1b = 将 RGMII RXD[3:0] RX_D3 反转为 RX_D0 RX_D2 反转为 RX_D1 RX_D1 反转为 RX_D2 RX_D0 反转为 RX_D3
0	RESERVED	R	0x0	保留

8.73 RGMII_FIFO_STATUS 寄存器（偏移 = 0x601）[复位 = 0x0000]

图 8-73 显示了 RGMII_FIFO_STATUS，表 8-75 中对此进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-73. RGMII_FIFO_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED						RGMII TX FIFO 填满错误	RGMII TX FIFO 为空错误
R-0x0						R-0x0	R-0x0

表 8-75. RGMII_FIFO_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0	保留
1	RGMII TX FIFO 填满错误	R	0x0	1b = 已指示 RGMII TX 填满错误 0b = 无空 FIFO 错误 该位仅在器件复位时清除
0	RGMII TX FIFO 为空错误	R	0x0	1b = 已指示 RGMII TX 为空错误 0b = 无空 FIFO 错误 该位仅在器件复位时清除

8.74 RGMII_CLK_SHIFT_CTRL 寄存器（偏移 = 0x602）[复位 = 0x000X]

图 8-74 示出了 RGMII_CLK_SHIFT_CTRL，表 8-76 中对此进行了介绍。

返回到汇总表。

图 8-74. RGMII_CLK_SHIFT_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED						RGMII RX 移位	RGMII TX 移位
R-0x0						R/W-0xX	R/W-0xX

表 8-76. RGMII_CLK_SHIFT_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0	保留
1	RGMII RX 移位	R/W	0x0	0b = 时钟和数据对齐 1b = 时钟按 DLL RX 移位延迟中编程的值在内部延迟
0	RGMII TX 移位	R/W	0x0	0b = 时钟和数据对齐 1b = 时钟按 DLL TX 移位延迟中编程的值在内部延迟

8.75 SGMII_CTRL_1 寄存器（偏移 = 0x608）[复位 = 0x0X7B]

图 8-75 展示了 SGMII_CTRL_1，表 8-77 对其进行了介绍。

返回到汇总表。

图 8-75. SGMII_CTRL_1 寄存器

15	14	13	12	11	10	9	8
SGMII TX 错误禁用	RESERVED	RESERVED				SGMII 启用	SGMII TX 极性反转

Copyright © 2026 Texas Instruments Incorporated

图 8-75. SGMII_CTRL_1 寄存器（续）

R/W-0x0	R-0x0		R-0x0			R/W-0xX	R/W-0x0
7	6	5	4	3	2	1	0
SGMII TX 极性反转	RESERVED		RESERVED	RESERVED	RESERVED		SGMII 自动协商使能
R/W-0x0	R-0x3		R-0x1	R-0x1	R-0x1		R/W-0x1

表 8-77. SGMII_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	SGMII TX 错误禁用	R/W	0x0	1b = 禁用 SGMII TX 错误指示 0b = 启用 SGMII TX 错误指示
14	RESERVED	R	0x0	保留
13:10	RESERVED	R	0x0	保留
9	SGMII 启用	R/W	0x0	1b = SGMII 启用 0b = SGMII 禁用 默认值在配置 (strap) 中锁存
8	SGMII TX 极性反转	R/W	0x0	1b = 反转 SGMII SOP/N 极性
7	SGMII TX 极性反转	R/W	0x0	1b = 反转 SGMII SIP/N 极性
6:5	RESERVED	R	0x3	保留
4	RESERVED	R	0x1	保留
3	RESERVED	R	0x1	保留
2:1	RESERVED	R	0x1	保留
0	SGMII 自动协商使能	R/W	0x1	1b = 启用 SGMII 自动协商 0b = 禁用 SGMII 自动协商

8.76 SGMII_STATUS 寄存器（偏移 = 0x60A）[复位 = 0x0000]

图 8-76 显示了 SGMII_STATUS，表 8-78 中对此进行了介绍。

返回到汇总表。

图 8-76. SGMII_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED			接收到 SGMII 页面	SGMII 链路状态	SGMII 自动协商状态	字边界对齐指示	字边界同步状态
R-0x0			R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
RESERVED				RESERVED			
R-0x0				R-0x0			

表 8-78. SGMII_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留
12	接收到 SGMII 页面	R	0x0	1b = 接收到新的自动协商页面 0b = 未接收到新的自动协商页面
11	SGMII 链路状态	R	0x0	1b = SGMII 链路建立 0b = SGMII 链路断开
10	SGMII 自动协商状态	R	0x0	1b = SGMII 自动协商已完成
9	字边界对齐指示	R	0x0	1b = 对齐

Copyright © 2026 Texas Instruments Incorporated

表 8-78. SGMII_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
8	字边界同步状态	R	0x0	1b = 已实现同步 0b = 未实现同步
7:4	RESERVED	R	0x0	保留
3:0	RESERVED	R	0x0	保留

8.77 SGMII_CTRL_2 寄存器（偏移 = 0x60C）[复位 = 0x0044]

图 8-77 展示了 SGMII_CTRL_2，表 8-79 对其进行了介绍。

返回到汇总表。

图 8-77. SGMII_CTRL_2 寄存器

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	RESERVED
R-0x0					R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
SGMII TX FIFO 半满阈值				SGMII RX FIFO 半满阈值			
R/W-0x4				R/W-0x4			

表 8-79. SGMII_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15:11	RESERVED	R	0x0	保留
10	RESERVED	R	0x0	保留
9	RESERVED	R	0x0	保留
8	RESERVED	R	0x0	保留
7:4	SGMII TX FIFO 半满阈值	R/W	0x4	SGMII TX 同步 FIFO 半满阈值
3:0	SGMII RX FIFO 半满阈值	R/W	0x4	SGMII RX 同步 FIFO 半满阈值

8.78 SGMII_FIFO_STATUS 寄存器（偏移 = 0x60D）[复位 = 0x0000]

图 8-78 显示了 SGMII_FIFO_STATUS，表 8-80 中对此进行了介绍。

返回到汇总表。

图 8-78. SGMII_FIFO_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED				SGMII RX FIFO 填满错误	SGMII RX FIFO 为空错误	SGMII TX FIFO 填满错误	SGMII TX FIFO 为空错误
R-0x0				RC-0x0	RC-0x0	RC-0x0	RC-0x0

表 8-80. SGMII_FIFO_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R	0x0	保留
3	SGMII RX FIFO 填满错误	RC	0x0	1b = 已指示 SGMII RX FIFO 填满错误 0b = 无错误指示

Copyright © 2026 Texas Instruments Incorporated

表 8-80. SGMII_FIFO_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
2	SGMII RX FIFO 为空错误	RC	0x0	1b = 已指示 SGMII RX FIFO 为空错误 0b = 无错误指示
1	SGMII TX FIFO 填满错误	RC	0x0	1b = 已指示 SGMII TX FIFO 填满错误 0b = 无错误指示
0	SGMII TX FIFO 为空错误	RC	0x0	1b = 已指示 SGMII TX FIFO 为空错误 0b = 无错误指示

8.79 PRBS_STATUS_1 寄存器（偏移 = 0x618）[复位 = 0x0000]

图 8-79 展示了 PRBS_STATUS_1，表 8-81 对其进行了介绍。

返回到汇总表。

图 8-79. PRBS_STATUS_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
PRBS 错误溢出计数器							
R-0x0							

表 8-81. PRBS_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x0	保留
7:0	PRBS 错误溢出计数器	R	0x0	保存 PRBS 校验器接收的错误计数器溢出数。 当写入寄存器 prbs_status_6 位 [0] 或位 [1] 后，此寄存器中的值被锁定。计数器在 0xFF 时停止。 注意：当 PRBS 计数器在单一模式下工作时，溢出计数器无效

8.80 PRBS_CTRL_1 寄存器（偏移 = 0x619）[复位 = 0x0574]

图 8-80 展示了 PRBS_CTRL_1，表 8-82 对其进行了介绍。

返回到汇总表。

图 8-80. PRBS_CTRL_1 寄存器

15	14	13	12	11	10	9	8
RESERVED		RESERVED	发送数据包	RESERVED	PRBS 校验选择		
R-0x0		R-0x0	R-0/W1S-0x0	R-0x0	R/W-0x5		
7	6	5	4	3	2	1	0
RESERVED	PRBS 发送选择			PRBS 计数模式	PRBS 校验器启用	PRBS 生成启用	PRBS 或数据包生成启用
R-0x0	R/W-0x7			R/W-0x0	R/W-0x1	R/W-0x0	R/W-0x0

表 8-82. PRBS_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	0x0	保留
13	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-82. PRBS_CTRL_1 寄存器字段说明（续）

位	字段	类型	复位	说明
12	发送数据包	R-0/W1S	0x0	允许通过 CRC 生成具有固定/增量数据的 MAC 数据包 （必须设置 0x619[0] 并且必须清除 0x619[1]） 在设置 pkt_done 后自动清除 1b = 通过 CRC 发送 MAC 数据包 0b = 停止 MAC 数据包
11	RESERVED	R	0x0	保留
10:8	PRBS 校验选择	R/W	0x5	选择 PRBS 校验器接收方向 000b = 校验器从 RGMII TX 接收 001b = 校验器从 SGMII TX 接收 101b = 校验器从 MDI RX 接收
7	RESERVED	R	0x0	保留
6:4	PRBS 发送选择	R/W	0x7	选择 PRBS 发送方向 000b = PRBS 发送到 RGMII RX 001b = PRBS 发送到 SGMII RX 101b = PRBS 发送到 MDI TX
3	PRBS 计数模式	R/W	0x0	1b = 连续模式，当其中一个 PRBS 计数器达到最大值时，产生脉冲且计数器再次从零开始计数 0b = 单一模式，当其中一个 PRBS 计数器达到最大值时，PRBS 校验器停止计数。
2	PRBS 校验器启用	R/W	0x1	启用 PRBS 校验器（以接收数据） 需要启用才能使 0x63C、0x63D、0x63E 中的计数器正常工作 1b = 启用 PRBS 校验器
1	PRBS 生成启用	R/W	0x0	如果设置了 0x619[0]，则 1b =发送 PRBS 数据包 0b = 发送非 PRBS 数据包（这种情况下，PRBS 校验器也被禁用）
0	PRBS 或数据包生成启用	R/W	0x0	1b = 启用数据包/PRBS 生成器 0b = 禁用数据包/PRBS 生成器

8.81 PRBS_CTRL_2 寄存器（偏移 = 0x61A）[复位 = 0x05DC]

图 8-81 展示了 PRBS_CTRL_2，表 8-83 对其进行了介绍。

返回到汇总表。

图 8-81. PRBS_CTRL_2 寄存器

15	14	13	12	11	10	9	8
数据包长度							
R/W-0x5DC							
7	6	5	4	3	2	1	0
数据包长度							
R/W-0x5DC							

表 8-83. PRBS_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	数据包长度	R/W	0x5DC	设置生成的 PRBS 数据包或非 PRBS 数据包之间的数据包长度（以字节为单位）

8.82 PRBS_CTRL_3 寄存器（偏移 = 0x61B）[复位 = 0x007D]

图 8-82 展示了 PRBS_CTRL_3，表 8-84 对其进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

图 8-82. PRBS_CTRL_3 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
PRBS IPG							
R/W-0x7D							

表 8-84. PRBS_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x0	保留
7:0	PRBS IPG	R/W	0x7D	设置生成的 PRBS 数据包或非 PRBS 数据包之间的 IPG（单位为字节）

8.83 PRBS_STATUS_2 寄存器（偏移 = 0x61C）[复位 = 0x0000]

图 8-83 展示了 PRBS_STATUS_2，表 8-85 对其进行了介绍。

返回到汇总表。

图 8-83. PRBS_STATUS_2 寄存器

15	14	13	12	11	10	9	8
PRBS 校验器字节计数							
R-0x0							
7	6	5	4	3	2	1	0
PRBS 校验器字节计数							
R-0x0							

表 8-85. PRBS_STATUS_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	PRBS 校验器字节计数	R	0x0	保存 PRBS 校验器接收到的总字节数 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFF 处停止 如果对 0x620[1]=1 进行编程之后读取计数器，则该计数器清零

8.84 PRBS_STATUS_3 寄存器（偏移 = 0x61D）[复位 = 0x0000]

图 8-84 展示了 PRBS_STATUS_3，表 8-86 对其进行了介绍。

返回到汇总表。

图 8-84. PRBS_STATUS_3 寄存器

15	14	13	12	11	10	9	8
PRBS 校验器数据包计数-1							
R-0x0							
7	6	5	4	3	2	1	0
PRBS 校验器数据包计数-1							
R-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-84. PRBS_STATUS_3 寄存器（续）

表 8-86. PRBS_STATUS_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	PRBS 校验器数据包计数-1	R	0x0	保存 PRBS 校验器接收的数据包总数的位 [15:0] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x61D 和 0x61E，则该计数器清零

8.85 PRBS_STATUS_4 寄存器（偏移 = 0x61E）[复位 = 0x0000]

图 8-85 展示了 PRBS_STATUS_4，表 8-87 对其进行了介绍。

返回到汇总表。

图 8-85. PRBS_STATUS_4 寄存器

15	14	13	12	11	10	9	8
PRBS 校验器数据包计数-2							
R-0x0							
7	6	5	4	3	2	1	0
PRBS 校验器数据包计数-2							
R-0x0							

表 8-87. PRBS_STATUS_4 寄存器字段说明

位	字段	类型	复位	说明
15:0	PRBS 校验器数据包计数-2	R	0x0	保存 PRBS 校验器接收的数据包总数的位 [31:16] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x61D 和 0x61E，则该计数器清零

8.86 PRBS_STATUS_5 寄存器（偏移 = 0x620）[复位 = 0x0000]

图 8-86 展示了 PRBS_STATUS_5，表 8-88 对其进行了介绍。

返回到汇总表。

图 8-86. PRBS_STATUS_5 寄存器

15	14	13	12	11	10	9	8
RESERVED			MAC 数据包生成完成	MAC 数据包生成器繁忙	PRBS 校验器数据包计数溢出状态	PRBS 校验器字节计数溢出状态	PRBS 锁定
R-0x0			R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
PRBS 错误计数							
R-0x0							

表 8-88. PRBS_STATUS_5 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-88. PRBS_STATUS_5 寄存器字段说明（续）

位	字段	类型	复位	说明
12	MAC 数据包生成完成	R	0x0	在通过 CRC 发送所有 MAC 数据包时设置 1b = MAC 数据包发送完成 0b = 正在发送 MAC 数据包
11	MAC 数据包生成器繁忙	R	0x0	1b = 数据包生成器正在工作 0b = 数据包生成器未在工作
10	PRBS 校验器数据包计数溢出状态	R	0x0	如果 PRBS 校验器数据包计数溢出，则该状态位设置为 1 在使用 0x620[1] 清零 PRBS 字节计数器后，该溢出状态被清除
9	PRBS 校验器字节计数溢出状态	R	0x0	如果 PRBS 校验器字节计数溢出，则该状态位设置为 1 在使用 0x620[1] 清零 PRBS 字节计数器后，该溢出状态被清除
8	PRBS 锁定	R	0x0	1b = PRBS 校验器已锁定并与接收到的数据流同步
7:0	PRBS 错误计数	R	0x0	向 bit0 写入 1 会锁定所有 PRBS 计数器 向 bit1 写入 1 会在读取这些特定寄存器时锁定所有 PRBS 计数器并使计数器清零 在写入后位 [1:0] 自行清零 在写入 bit0/bit1 后读取位 [7:0] 会给出 PRBS 校验器接收到的错误位数 当 PRBS 计数模式设置为零时，计数在 0xFF 停止

8.87 PRBS_STATUS_6 寄存器（偏移 = 0x622）[复位 = 0x0000]

图 8-87 展示了 PRBS_STATUS_6，表 8-89 对其进行了介绍。

返回到汇总表。

图 8-87. PRBS_STATUS_6 寄存器

15	14	13	12	11	10	9	8
PRBS 数据包错误计数-1							
R-0x0							
7	6	5	4	3	2	1	0
PRBS 数据包错误计数-1							
R-0x0							

表 8-89. PRBS_STATUS_6 寄存器字段说明

位	字段	类型	复位	说明
15:0	PRBS 数据包错误计数-1	R	0x0	保存 PRBS 校验器接收的包含错误的数据包总数的位 [15:0] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x622 和 0x623，则该计数器清零

8.88 PRBS_STATUS_7 寄存器（偏移 = 0x623）[复位 = 0x0000]

图 8-88 展示了 PRBS_STATUS_7，表 8-90 对其进行了介绍。

返回到汇总表。

图 8-88. PRBS_STATUS_7 寄存器

15	14	13	12	11	10	9	8
PRBS 数据包错误计数-2							
R-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-88. PRBS_STATUS_7 寄存器（续）

7	6	5	4	3	2	1	0
PRBS 数据包错误计数-2							
R-0x0							

表 8-90. PRBS_STATUS_7 寄存器字段说明

位	字段	类型	复位	说明
15:0	PRBS 数据包错误计数-2	R	0x0	保存 PRBS 校验器接收的包含错误的数据包总数的位 [31:16] 当写入 0x620[0] 或 0x620[1] 时，寄存器中的值锁定 当 PRBS 计数模式设置为零时，计数在 0xFFFFFFFF 处停止 如果对 0x620[1]=1 进行编程之后按照相同顺序读取 0x622 和 0x623，则该计数器清零

8.89 PRBS_CTRL_4 寄存器（偏移 = 0x624）[复位 = 0x5511]

图 8-89 展示了 PRBS_CTRL_4，表 8-91 对其进行了介绍。

返回到汇总表。

图 8-89. PRBS_CTRL_4 寄存器

15	14	13	12	11	10	9	8
MAC 数据包数据							
R/W-0x55							
7	6	5	4	3	2	1	0
MAC 数据包模式		MAC 数据包中的模式长度			MAC 数据包模式的数据包计数		
R/W-0x0		R/W-0x2			R/W-0x1		

表 8-91. PRBS_CTRL_4 寄存器字段说明

位	字段	类型	复位	说明
15:8	MAC 数据包数据	R/W	0x55	当 MAC 数据包模式设置为固定模式时要发送的固定数据
7:6	MAC 数据包模式	R/W	0x0	00b =增量 01b =固定 10b = PRBS 11b = PRBS
5:3	MAC 数据包中的模式长度	R/W	0x2	MAC 数据包具有目标地址、源地址、编程模式、PRBS/固定/增量数据 编程模式的长度可以通过该寄存器配置。可以通过 0x625、0x626、0x627 对模式进行编程 000b = 6 字节 001b = 1 字节 010b = 2 字节 011b = 3 字节 100b = 4 字节 101b = 5 字节 110b = 6 字节 111b = 6 字节

Copyright © 2026 Texas Instruments Incorporated

表 8-91. PRBS_CTRL_4 寄存器字段说明（续）

位	字段	类型	复位	说明
2:0	MAC 数据包模式的数据包计数	R/W	0x1	000b = 1 个数据包 001b = 10 个数据包 010b = 100 个数据包 011b = 1000 个数据包 100b = 10000 个数据包 101b = 100000 个数据包 110b = 1000000 个数据包 111b = 连续数据包

8.90 PATTERN_CTRL_1 寄存器（偏移 = 0x625）[复位 = 0x0000]

图 8-90 展示了 PATTERN_CTRL_1，表 8-92 对其进行了介绍。

返回到汇总表。

图 8-90. PATTERN_CTRL_1 寄存器

15	14	13	12	11	10	9	8
MAC 数据包中的模式 [15:0]							
R/W-0x0							
7	6	5	4	3	2	1	0
MAC 数据包中的模式 [15:0]							
R/W-0x0							

表 8-92. PATTERN_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	MAC 数据包中的模式 [15:0]	R/W	0x0	MAC 数据包中可编程模式的字节 0、1

8.91 PATTERN_CTRL_2 寄存器（偏移 = 0x626）[复位 = 0x0000]

图 8-91 展示了 PATTERN_CTRL_2，表 8-93 对其进行了介绍。

返回到汇总表。

图 8-91. PATTERN_CTRL_2 寄存器

15	14	13	12	11	10	9	8
MAC 数据包中的模式 [31:16]							
R/W-0x0							
7	6	5	4	3	2	1	0
MAC 数据包中的模式 [31:16]							
R/W-0x0							

表 8-93. PATTERN_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	MAC 数据包中的模式 [31:16]	R/W	0x0	MAC 数据包中可编程模式的字节 2、3

Copyright © 2026 Texas Instruments Incorporated

8.92 PATTERN_CTRL_3 寄存器（偏移 = 0x627）[复位 = 0x0000]

图 8-92 展示了 PATTERN_CTRL_3，表 8-94 对其进行了介绍。

返回到汇总表。

图 8-92. PATTERN_CTRL_3 寄存器

15	14	13	12	11	10	9	8
MAC 数据包中的模式 [47:32]							
R/W-0x0							
7	6	5	4	3	2	1	0
MAC 数据包中的模式 [47:32]							
R/W-0x0							

表 8-94. PATTERN_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	MAC 数据包中的模式 [47:32]	R/W	0x0	MAC 数据包中可编程模式的字节 4、5

8.93 PMATCH_CTRL_1 寄存器（偏移 = 0x628）[复位 = 0x0000]

图 8-93 展示了 PMATCH_CTRL_1，表 8-95 对其进行了介绍。

返回到汇总表。

图 8-93. PMATCH_CTRL_1 寄存器

15	14	13	12	11	10	9	8
MAC 数据包中的目标地址 [15:0]							
R/W-0x0							
7	6	5	4	3	2	1	0
MAC 数据包中的目标地址 [15:0]							
R/W-0x0							

表 8-95. PMATCH_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	MAC 数据包中的目标地址 [15:0]	R/W	0x0	生成的 MAC 数据包中的目标地址字段

8.94 PMATCH_CTRL_2 寄存器（偏移 = 0x629）[复位 = 0x0000]

图 8-94 展示了 PMATCH_CTRL_2，表 8-96 对其进行了介绍。

返回到汇总表。

图 8-94. PMATCH_CTRL_2 寄存器

15	14	13	12	11	10	9	8
MAC 数据包中的目标地址 [31:16]							
R/W-0x0							
7	6	5	4	3	2	1	0
MAC 数据包中的目标地址 [31:16]							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-94. PMATCH_CTRL_2 寄存器（续）

表 8-96. PMATCH_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	MAC 数据包中的目标地址 [31:16]	R/W	0x0	生成的 MAC 数据包中的目标地址字段

8.95 PMATCH_CTRL_3 寄存器（偏移 = 0x62A）[复位 = 0x0000]

图 8-95 展示了 PMATCH_CTRL_3，表 8-97 对其进行了介绍。

返回到汇总表。

图 8-95. PMATCH_CTRL_3 寄存器

15	14	13	12	11	10	9	8
MAC 数据包中的目标地址 [47:32]							
R/W-0x0							
7	6	5	4	3	2	1	0
MAC 数据包中的目标地址 [47:32]							
R/W-0x0							

表 8-97. PMATCH_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	MAC 数据包中的目标地址 [47:32]	R/W	0x0	生成的 MAC 数据包中的目标地址字段

8.96 PKT_CRC_STAT 寄存器（偏移 = 0x638）[复位 = 0x0000]

图 8-96 展示了 PKT_CRC_STAT，表 8-98 中对此进行了介绍。

返回到汇总表。

图 8-96. PKT_CRC_STAT 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED						RX 不良 CRC	TX 不良 CRC
R-0x0						R-0x0	R-0x0

表 8-98. PKT_CRC_STAT 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0	保留
1	RX 不良 CRC	R	0x0	1b = 在从 MDI 接收器接收的数据包中检测到 CRC 错误
0	TX 不良 CRC	R	0x0	1b = 在从 MDI 发送器上发送的数据包中检测到 CRC 错误

8.97 TX_PKT_CNT_1 寄存器（偏移 = 0x639）[复位 = 0x0000]

图 8-97 展示了 TX_PKT_CNT_1，表 8-99 对其进行了介绍。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

图 8-97. TX_PKT_CNT_1 寄存器

15	14	13	12	11	10	9	8
TX 数据包计数 [15:0]							
R-0x0							
7	6	5	4	3	2	1	0
TX 数据包计数 [15:0]							
R-0x0							

表 8-99. TX_PKT_CNT_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	TX 数据包计数 [15:0]	R	0x0	MAC 计数器中 TX 数据包的低 16 位 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清除

8.98 TX_PKT_CNT_2 寄存器（偏移 = 0x63A）[复位 = 0x0000]

图 8-98 展示了 TX_PKT_CNT_2，表 8-100 对其进行了介绍。

返回到汇总表。

图 8-98. TX_PKT_CNT_2 寄存器

15	14	13	12	11	10	9	8
TX 数据包计数 [31:16]							
R-0x0							
7	6	5	4	3	2	1	0
TX 数据包计数 [31:16]							
R-0x0							

表 8-100. TX_PKT_CNT_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	TX 数据包计数 [31:16]	R	0x0	MAC 计数器中 TX 数据包的高低 16 位 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清除

8.99 TX_PKT_CNT_3 寄存器（偏移 = 0x63B）[复位 = 0x0000]

图 8-99 展示了 TX_PKT_CNT_3，表 8-101 对其进行了介绍。

返回到汇总表。

图 8-99. TX_PKT_CNT_3 寄存器

15	14	13	12	11	10	9	8
TX 错误数据包计数							
R-0x0							
7	6	5	4	3	2	1	0
TX 错误数据包计数							
R-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-101. TX_PKT_CNT_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	TX 错误数据包计数	R	0x0	带有 CRC 错误计数器的 MAC 中的 TX 数据包 注意：按顺序读取 0x639、0x63A、0x63B 时，寄存器被清除

8.100 RX_PKT_CNT_1 寄存器（偏移 = 0x63C）[复位 = 0x0000]

图 8-100 展示了 RX_PKT_CNT_1，表 8-102 对其进行了介绍。

返回到汇总表。

图 8-100. RX_PKT_CNT_1 寄存器

15	14	13	12	11	10	9	8
RX 数据包计数 [15:0]							
R-0x0							
7	6	5	4	3	2	1	0
RX 数据包计数 [15:0]							
R-0x0							

表 8-102. RX_PKT_CNT_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	RX 数据包计数 [15:0]	R	0x0	从 MDI 接收的 RX 数据包的低 16 位 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清除

8.101 RX_PKT_CNT_2 寄存器（偏移 = 0x63D）[复位 = 0x0000]

图 8-101 展示了 RX_PKT_CNT_2，表 8-103 对其进行了介绍。

返回到汇总表。

图 8-101. RX_PKT_CNT_2 寄存器

15	14	13	12	11	10	9	8
RX 数据包计数 [31:16]							
R-0x0							
7	6	5	4	3	2	1	0
RX 数据包计数 [31:16]							
R-0x0							

表 8-103. RX_PKT_CNT_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	RX 数据包计数 [31:16]	R	0x0	从 MDI 接收的 RX 数据包的高低 16 位 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器被清除

8.102 RX_PKT_CNT_3 寄存器（偏移 = 0x63E）[复位 = 0x0000]

图 8-102 展示了 RX_PKT_CNT_3，表 8-104 对其进行了介绍。

返回到汇总表。

图 8-102. RX_PKT_CNT_3 寄存器

15	14	13	12	11	10	9	8

Copyright © 2026 Texas Instruments Incorporated

图 8-102. RX_PKT_CNT_3 寄存器（续）

RX 错误数据包计数							
R-0x0							
7	6	5	4	3	2	1	0
RX 错误数据包计数							
R-0x0							

表 8-104. RX_PKT_CNT_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	RX 错误数据包计数	R	0x0	有错误（CRC 错误）的 Rx 数据包计数器 注意：按顺序读取 0x63C、0x63D、0x63E 时，寄存器将清除

8.103 RMII_CTRL_1 寄存器（偏移 = 0x648）[复位 = 0x01X0]

图 8-103 展示了 RMII_CTRL_1，表 8-105 对其进行了介绍。

返回到汇总表。

图 8-103. RMII_CTRL_1 寄存器

15	14	13	12	11	10	9	8
RESERVED				RESERVED	RESERVED	RMII 半满阈值	
R-0x0				R-0x0	R-0x0	R/W-0x2	
7	6	5	4	3	2	1	0
RMII 半满阈值	启用 RMII	RESERVED	RMII 从模式启用	RESERVED	RESERVED	RMII Rev1.0 使能	RMII 增强模式启用
R/W-0x2	R/W-0xX	R-0x1	R/W-0xX	R-0x0	R-0x0	R/W-0x0	R/W-0x0

表 8-105. RMII_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留
11	RESERVED	R	0x0	保留
10	RESERVED	R	0x0	保留
9:7	RMII 半满阈值	R/W	0x2	RMII Rx FIFO 的 FIFO 半满阈值（以半字节为单位）
6	启用 RMII	R/W	0x0	1b = RMII 启用
5	RESERVED	R	0x1	保留
4	RMII 从模式启用	R/W	0x0	1b = 启用 RMII 从模式 不建议配置该位。可用作状态位
3	RESERVED	R	0x0	保留
2	RESERVED	R	0x0	保留
1	RMII Rev1.0 使能	R/W	0x0	1b = 启用 RMII rev1.0
0	RMII 增强模式启用	R/W	0x0	1b = 启用 RMII 增强模式

8.104 RMII_STATUS_1 寄存器（偏移 = 0x649）[复位 = 0x0000]

图 8-104 展示了 RMII_STATUS_1，表 8-106 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-104. RMII_STATUS_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED						RMII FIFO 为空错误	RMII FIFO 填满错误
R-0x0						R-0x0	R-0x0

表 8-106. RMII_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0	保留
1	RMII FIFO 为空错误	R	0x0	在读取位时清除 RMII FIFO 下溢错误状态
0	RMII FIFO 填满错误	R	0x0	在读取位时清除 RMII FIFO 溢出错误状态

8.105 PTP_CTL 寄存器（偏移 = 0xD00）[复位 = 0x0000]

图 8-105 展示了 PTP_CTL，表 8-107 中对此进行了介绍。

返回到汇总表。

该寄存器为 PTP 802.1AS 运行提供基本控制

图 8-105. PTP_CTL 寄存器

15	14	13	12	11	10	9	8
RESERVED			触发选择			触发器禁用	触发器启用
R-0x0			R/W-0x0			R/W-0x0	R/W-0x0
7	6	5	4	3	2	1	0
触发器读取	触发器加载	读取 PTP 时钟	加载 PTP 时钟	步进 PTP 时钟	启用 PTP	PTP 禁用	PTP 复位
R/W-0x0	R/W-0x0	WSC-0x0	WSC-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 8-107. PTP_CTL 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留
12:10	触发选择	R/W	0x0	PTP 触发器选择： 该字段选择用于加载控制信息或启用触发器的触发器。 000b = 触发器-0 001b = 触发器-1 010b = 触发器-2 011b = 触发器-3 100b = 触发器-4 101b = 触发器-5 110b = 触发器-6 111b = 触发器-7
9	触发器禁用	R/W	0x0	禁用 PTP 触发器： 设置该位会禁用所选触发器。该位不指示触发器的禁用状态。使用 PTP 触发器状态寄存器来确定触发器状态。该位为自清零位并始终回读为 0。 禁用触发器不会将其与 GPIO 引脚断开连接。如果触发器分配给 GPIO，则触发器值仍驱动至 GPIO。

Copyright © 2026 Texas Instruments Incorporated

表 8-107. PTP_CTL 寄存器字段说明（续）

位	字段	类型	复位	说明
8	触发器启用	R/W	0x0	启用 PTP 触发器： 设置该位会启用所选触发器。该位不指示触发器的启用状态。使用 PTP 触发器状态寄存器来确定触发器状态。该位为自清零位并始终回读为 0。
7	触发器读取	R/W	0x0	读取 PTP 触发器： 设置该位会开始触发器读取过程。根据该寄存器中“触发器选择”位的设置来选择触发器。设置该位后，随后读取 PTP_TDR 寄存器将返回触发器控制值。 该位为自清零位并始终回读为 0。
6	触发器加载	R/W	0x0	加载 PTP 触发器： 设置该位会禁用所选触发器并开始触发器加载过程。根据该寄存器中“触发器选择”位的设置来选择触发器。设置该位后，后续写入 PTP_TDR 的将设置所选触发器的“触发器控制”字段。 写入所有字段或设置了该寄存器中的“触发器启用”位后，“触发器件加载”完成。该位为自清零位，并且当通过写入所有“触发器控制”字段或设置“触发器启用”来完成“触发器加载”时，该位回读为 0。
5	读取 PTP 时钟	WSC	0x0	读取 PTP 时钟： 设置该位会使器件对 PTP 时钟时间值进行采样。可通过 PTP_TDR 寄存器提供时间值以便读取。 该位为自清零位并始终回读为 0。
4	加载 PTP 时钟	WSC	0x0	加载 PTP 时钟： 设置该位会使器件从先前写入 PTP_TDR 寄存器的数据中加载 PTP 时钟时间值。 该位为自清零位并始终回读为 0。
3	步进 PTP 时钟	R/W	0x0	步进 PTP 时钟： 设置该位会使器件向 PTP 时钟添加一个值。要添加的值是之前写入 PTP_TDR 寄存器的值。 该位为自清零位并始终回读为 0。
2	启用 PTP	R/W	0x0	启用 PTP 时钟： 该位设置会启用 PTP 时钟。读取该位将返回当前启用的值。 将 0 写入该位无影响。
1	PTP 禁用	R/W	0x0	禁用 PTP 时钟： 设置该位会禁用 PTP 时钟。将 0 写入该位无影响。该位为自清零位并始终回读为 0。
0	PTP 复位	R/W	0x0	复位 PTP 时钟： 设置该位会复位 PTP 时钟和相关逻辑。此外，除了 PTP_COC 和 PTP_CLKSRC 寄存器外，802.1AS 寄存器会复位。 与该寄存器中的其他位不同，该位不是自清零位，必须写入 0 才能使得时钟和逻辑不复位。

8.106 PTP_TDR 寄存器（偏移 = 0xD01）[复位 = 0x0000]

图 8-106 展示了 PTP_TDR，表 8-108 中对此进行了介绍。

返回到汇总表。

该寄存器提供了一种读取和写入 802.1AS “时间”和“触发器控制”值的机制。该寄存器的功能由 PTP 控制寄存器中的控件决定

图 8-106. PTP_TDR 寄存器

15	14	13	12	11	10	9	8
时间数据							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-106. PTP_TDR 寄存器（续）

7	6	5	4	3	2	1	0
时间数据							
R/W-0x0							

表 8-108. PTP_TDR 寄存器字段说明

位	字段	类型	复位	说明
15:0	时间数据	R/W	0x0	时间数据： 按照 PTP 控制寄存器中控件进行的选择，读取时连续返回“时钟”时间或“触发器控制”信息的 16 位值。除了可用字段之外的其他读取始终返回 0。 按照 PTP 控制寄存器中控件进行的选择，写入时连续存储“时钟”时间或“触发器控制”信息的 16 位值。

8.107 PTP_STS 寄存器（偏移 = 0xD02）[复位 = 0x0000]

图 8-107 展示了 PTP_STS，表 8-109 中对此进行了介绍。

返回到汇总表。

该寄存器为 802.1AS PTP 运行提供基本状态和中断控制。

图 8-107. PTP_STS 寄存器

15	14	13	12	11	10	9	8
RESERVED				TX 时间戳就绪	RX 时间戳就绪	触发器完成	事件就绪
R-0x0				R-0x0	R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
RESERVED				TX 时间戳就绪中启用	RX 时间戳就绪中启用	触发器完成中断启用	事件就绪使能
R-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 8-109. PTP_STS 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留
11	TX 时间戳就绪	R	0x0	发送时间戳就绪： 发送时间戳可用于出站 PTP 报文。 如果没有其他时间戳就绪，则在读取发送时间戳时该位被清除。
10	RX 时间戳就绪	R	0x0	接收时间戳就绪： 接收时间戳可用于入站 PTP 报文。 如果没有其他时间戳就绪，则在读取接收时间戳时该位被清除。
9	触发器完成	R	0x0	PTP 触发器完成： 发生了 PTP 触发。该位在读出时被清零。仅当通过触发器配置寄存器为触发器开启“触发器通知”时，才会设置该位。 请注意，如果设置了定期触发，除非编程的触发器导致了错误条件，否则不会将此中断置为有效。如果设置了 TRIG_IF_LATE 位，即使是错误条件也不会发出中断
8	事件就绪	R	0x0	PTP 事件时间戳就绪： PTP 事件时间戳可用。 如果没有其他事件时间戳就绪，则在读取 PTP 事件状态寄存器时该位被清除。
7:5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-109. PTP_STS 寄存器字段说明（续）

位	字段	类型	复位	说明
3	TX 时间戳就绪中启用	R/W	0x0	启用发送时间戳中断： 在发送时间戳就绪时启用中断。
2	RX 时间戳就绪中启用	R/W	0x0	启用接收时间戳中断： 在接收时间戳就绪时启用中断。
1	触发器完成中断启用	R/W	0x0	启用触发器中断： 在触发器完成时启用中断。
0	事件就绪使能	R/W	0x0	启用事件中断： 在事件时间戳就绪时启用中断。

8.108 PTP_TSTS 寄存器（偏移 = 0xD03）[复位 = 0x0000]

图 8-108 展示了 PTP_TSTS，表 8-110 中对此进行了介绍。

返回到汇总表。

该寄存器提供 802.1AS PTP 触发器的状态。该寄存器中的位指示每个触发器模块的当前状态。如果在 PTP 触发器配置寄存器中设置了相关的通知启用 (TRIG_NOTIFY)，则会设置错误位

图 8-108. PTP_TSTS 寄存器

15	14	13	12	11	10	9	8
触发器-7 错误指示	触发器-7 活动状态	触发器-6 错误指示	触发器-6 活动状态	触发器-5 错误指示	触发器-5 活动状态	触发器-4 错误指示	触发器-4 活动状态
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
触发器-3 错误指示	触发器-3 活动状态	触发器-2 错误指示	触发器-2 活动状态	触发器-1 错误指示	触发器-1 活动状态	触发器-0 错误指示	触发器-0 活动状态
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0

表 8-110. PTP_TSTS 寄存器字段说明

位	字段	类型	复位	说明
15	触发器-7 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
14	触发器-7 活动状态	R	0x0	该位指示触发器已启用但尚未完成。
13	触发器-6 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
12	触发器-6 活动状态	R	0x0	该位指示触发器已启用但尚未完成。
11	触发器-5 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
10	触发器-5 活动状态	R	0x0	该位指示触发器已启用但尚未完成。
9	触发器-4 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
8	触发器-4 活动状态	R	0x0	该位指示触发器已启用但尚未完成。
7	触发器-3 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
6	触发器-3 活动状态	R	0x0	该位指示触发器已启用但尚未完成。
5	触发器-2 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
4	触发器-2 活动状态	R	0x0	该位指示触发器已启用但尚未完成。

Copyright © 2026 Texas Instruments Incorporated

表 8-110. PTP_TSTS 寄存器字段说明（续）

位	字段	类型	复位	说明
3	触发器-1 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
2	触发器-1 活动状态	R	0x0	该位指示触发器已启用但尚未完成。
1	触发器-0 错误指示	R	0x0	该位指示触发器编程不当，无法在当前时间之前的某个时间触发。当触发器禁用和/或重新布设时，该位清零。
0	触发器-0 活动状态	R	0x0	该位指示触发器已启用但尚未完成。

8.109 PTP_RATEL 寄存器（偏移 = 0xD04）[复位 = 0x0000]

图 8-109 展示了 PTP_RATEL，表 8-111 中对此进行了介绍。

返回到汇总表。

该寄存器包含 PTP 速率控制的低 16 位。PTP 速率控制指示对基准时钟周期进行正调整或负调整（以 2^{-32} ns 为单位）。在每个基准时钟周期，通过增加 ref_clk_period +/- PTP_Rate 来调整 PTP 时钟。将 PTP 速率写入 PTP_RATEH，然后写入 PTP_RATEL。速率在写入 PTP_RATEL 寄存器时生效

图 8-109. PTP_RATEL 寄存器

15	14	13	12	11	10	9	8
PTP 速率控制低							
R/W-0x0							
7	6	5	4	3	2	1	0
PTP 速率控制低							
R/W-0x0							

表 8-111. PTP_RATEL 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 速率控制低	R/W	0x0	PTP 速率控制低 16 位： 写入该寄存器会设置速率控制值的低 16 位。速率控制值的单位是 2^{-32} ns。写入该寄存器时，全速率控制值加载到器件中。

8.110 PTP_RATEH 寄存器（偏移 = 0xD05）[复位 = 0x0000]

图 8-110 展示了 PTP_RATEH，表 8-112 中对此进行了介绍。

返回到汇总表。

该寄存器包含 26 位 PTP 速率控制的高 10 位。此外，它还包含一个方向控制，指示器件的运行速度是快于还是慢于基准时钟频率。设置 PTP 速率时，先写入该寄存器，然后写入 PTP_RATEL 寄存器。速率在写入 PTP_RATEL 寄存器时生效。

图 8-110. PTP_RATEH 寄存器

15	14	13	12	11	10	9	8
PTP 速率方向	临时速率启用使能	RESERVED				PTP 速率控制高	
R/W-0x0	R/W-0x0	R-0x0				R/W-0x0	
7	6	5	4	3	2	1	0
PTP 速率控制高							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-110. PTP_RATEH 寄存器（续）

表 8-112. PTP_RATEH 寄存器字段说明

位	字段	类型	复位	说明
15	PTP 速率方向	R/W	0x0	该位的设置控制器件是以高于还是低于基准时钟的频率运行。 0x0 = PTP 速率值在每个表示较低频率的周期添加到时钟中 0x1 = PTP 速率值在每个表示较高频率的周期从时钟中减去
14	临时速率启用使能	R/W	0x0	PTP 临时速率： 设置该位会使速率在 PTP 临时速率持续时间寄存器 (PTP_TRD) 中设置的持续时间内应用于时钟。 0x0 = 正常速率 0x1 = 临时速率
13:10	RESERVED	R	0x0	保留
9:0	PTP 速率控制高	R/W	0x0	PTP 速率控制高 10 位： 写入该寄存器会设置速率控制值的高 10 位。速率控制值的单位是 2^{-32} ns。

8.111 PTP_TXTS 寄存器（偏移 = 0xD08）[复位 = 0x0000]

图 8-111 展示了 PTP_TXTS，表 8-113 中对此进行了介绍。

返回到汇总表。

该寄存器提供了一种读取发送时间戳的机制。字段的读取顺序如下：
Timestamp_ns [15:0]；
Overflow_cnt[1:0]、Timestamp_ns[29:16]；
Timestamp_sec[15:0]、
Timestamp_sec[31:16]
Overflow_cnt 值指示是否由于发送时间戳队列溢出而丢弃了时间戳。如果缺少额外的时间戳，则溢出计数器将停留在值 3。
注意：
每个发送时间戳信息由四次读取组成。要访问下一个可用的发送时间戳信息，需要读取 TXTS_RDY 状态（0xD02，位 11）。

图 8-111. PTP_TXTS 寄存器

15	14	13	12	11	10	9	8
PTP TX 时间戳							
R-0x0							
7	6	5	4	3	2	1	0
PTP TX 时间戳							
R-0x0							

表 8-113. PTP_TXTS 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP TX 时间戳	R	0x0	PTP 发送时间戳： 读取该寄存器会在四次 16 位读取中返回发送时间戳。

8.112 PTP_RXTS 寄存器（偏移 = 0xD09）[复位 = 0x0000]

图 8-112 展示了 PTP_RXTS，表 8-114 中对此进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

该寄存器提供了一种读取接收时间戳和标识信息的机制。字段的读取顺序如下：
Timestamp_ns [15:0]
Overflow_cnt[1:0]、Timestamp_ns[29:16]
Timestamp_sec[15:0]
Timestamp_sec[31:16]
sequenceId[15:0]
messageType[3:0]、source_hash[11:0]
Overflow_cnt 值指示时间戳是否由于发送时间戳队列溢出而被丢弃。如果缺少额外的时间戳，则溢出计数器将停留在值 3。
注意：
每个接收时间戳信息由六次读取组成。要访问下一个可用的接收时间戳信息，需要读取 RXTS_RDY 状态（0xD02，位 12）。

图 8-112. PTP_RXTS 寄存器

15	14	13	12	11	10	9	8
PTP RX 时间戳							
R-0x0							
7	6	5	4	3	2	1	0
PTP RX 时间戳							
R-0x0							

表 8-114. PTP_RXTS 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP RX 时间戳	R	0x0	PTP 接收时间戳： 读取该寄存器会在连续 16 位读取中返回接收时间戳和标识信息。

8.113 PTP_ESTS 寄存器（偏移 = 0xD0A）[复位 = 0x0000]

图 8-113 展示了 PTP_ESTS，表 8-115 中对此进行了介绍。

返回到汇总表。

该寄存器提供事件时间戳单元的状态。读取该寄存器将提供事件数据寄存器中包含的下一个事件时间戳的状态。如果该寄存器为 0，则事件数据寄存器中没有事件时间戳。读取该寄存器会自动移动到队列中的下一个事件。

图 8-113. PTP_ESTS 寄存器

15	14	13	12	11	10	9	8
RESERVED						已错过事件计数器	
R-0x0						R-0x0	
7	6	5	4	3	2	1	0
事件时间戳更改长度		检测到事件边沿	检测到事件编号			检测到多个事件	检测到 PTP 事件
R-0x0		R-0x0	R-0x0			R-0x0	R-0x0

表 8-115. PTP_ESTS 寄存器字段说明

位	字段	类型	复位	说明
15:11	RESERVED	R	0x0	保留
10:8	已错过事件计数器	R	0x0	已错过事件数： 指示在该时间戳之前 EVNT_NUM 指示的已错过的事件数。如果错过 7 个以上的事件，该计数值停留在 7。

Copyright © 2026 Texas Instruments Incorporated

表 8-115. PTP_ESTS 寄存器字段说明（续）

位	字段	类型	复位	说明
7:6	事件时间戳更改长度	R	0x0	事件时间戳长度： 指示时间戳字段长度（以 16 位字为单位）减 1。虽然所有字段都可用，但该字段表示包含的数据与上一个事件时间戳不同的字段数。这使软件能够避免读取更重要的字段（如果它们自上一个时间戳以来没有发生变化）。该字段对单个事件和多个事件均有效。 下面显示了每个设置有新数据的最不重要字段的数量 0x0 = 一个 16 位字段是新字段 (Timestamp_ns[15:0]) 0x1 = 两个 16 位字段是新字段 0x2 = 三个 16 位字段是新字段 0x3 = 所有四个 16 位字段都是新字段
5	检测到事件边沿	R	0x0	事件边沿配置： 指示事件是上升事件还是下降事件。如果“检测到多个事件”位设置为 1，则该位指示 EVNT_NUM 指示的事件的上升/下降方向。 0x0 = 检测到下降沿 0x1 = 检测到上升沿
4:2	检测到事件编号	R	0x0	事件编号： 指示检测到事件的事件时间戳单元。如果“检测到多个事件”位为 1，则指示捕获的最小事件编号。如果在该时间戳之前错过了事件，则指示捕获的最小事件编号，其中至少错过了一个事件。
1	检测到多个事件	R	0x0	多个事件检测： 指示同时检测到多个事件。如果检测到多个事件，则扩展事件状态字段可用作从事件数据寄存器读取的第一个数据。 0x0 = 检测到单个事件 0x1 = 检测到多个事件
0	检测到 PTP 事件	R	0x0	指示其中一个事件时间戳单元检测到事件

8.114 PTP_TRIG 寄存器（偏移 = 0xD10）[复位 = 0x0000]

图 8-114 展示了 PTP_TRIG，表 8-116 中对此进行了介绍。

返回到汇总表。

该寄存器为 IEEE 802.1AS 触发器提供基本配置。要将配置写入触发器，请设置 TRIG_WR 位以及 TRIG_SEL 和其他控制信息。要从触发器读取配置，请将 TRIG_SEL 编码设置为所需的触发器，并将 TRIG_WR 位设置为 0。随后读取 PTP_TRIG 寄存器会返回配置信息。
注意：
如果在延迟触发条件下设置切换触发器，则会看到脉冲。
在延迟触发条件下，脉冲触发器不会提供配置宽度的脉冲。

图 8-114. PTP_TRIG 寄存器

15	14	13	12	11	10	9	8
触发脉冲选择	触发周期启用	延迟触发	触发通知启用	触发器 GPIO 选择			
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			
7	6	5	4	3	2	1	0
触发器切换模式	RESERVED			触发选择			触发器配置写入
R/W-0x0	R-0x0			R/W-0x0			R/W-0x0

表 8-116. PTP_TRIG 寄存器字段说明

位	字段	类型	复位	说明
15	触发脉冲选择	R/W	0x0	触发脉冲： 设置该位会导致触发器生成脉冲，而不是单个上升沿或下降沿。

Copyright © 2026 Texas Instruments Incorporated

表 8-116. PTP_TRIG 寄存器字段说明（续）

位	字段	类型	复位	说明
14	触发周期启用	R/W	0x0	触发周期性： 设置该位会使触发器生成周期信号。如果该位为 0，则触发器会根据“触发器控制”设置生成单个脉冲或边沿。
13	延迟触发	R/W	0x0	延迟触发控制： 如果将触发器编程为小于当前时间的时间值，设置该位将允许立即触发。这提供了一种产生立即触发或立即开始生成周期信号的机制。对于周期信号，如果设置了该位并且发生延迟触发，则不会生成通知。仅将此功能用于触发器 0 或触发器 1。 必须在加载触发器（加载时间戳）之前对该位进行编程。
12	触发通知启用	R/W	0x0	触发通知启用： 设置该位可以在触发完成时报告触发状态或在延迟触发导致的错误检测时报告触发状态。如果启用了触发中断，通知也会导致产生中断。
11:8	触发器 GPIO 选择	R/W	0x0	GPIO 触发器输出配置： 将该字段设置为非零值会将触发器连接到相关 GPIO 引脚。 0x0 = 未选择 GPIO 0x1 = LED_0 0x2 = LED_1 0x3 = RX_ER
7	触发器切换模式	R/W	0x0	触发器切换模式启用： 设置该位会使触发器进入切换模式。在切换模式下，初始值被忽略，触发器输出在触发时间切换。
6:4	RESERVED	R	0x0	保留
3:1	触发选择	R/W	0x0	触发器配置选择： 该字段选择用于配置读取或写入的触发器。
0	触发器配置写入	R/W	0x0	触发器配置写入： 设置该位会生成所选触发器的配置写入。该位为自清零位并始终回读为 0。

8.115 PTP_EVNT 寄存器（偏移 = 0xD11）[复位 = 0x0000]

图 8-115 展示了 PTP_EVNT，表 8-117 中对此进行了介绍。

返回到汇总表。

该寄存器为 IEEE 802.1AS 事件提供基本配置。要将配置写入事件时间戳单元，请设置 EVNT_WR 位以及 EVNT_SEL 和其他控制信息。要从事件时间戳单元读取配置，请将 EVNT_SEL 编码设置为所需的事件，并将 EVNT_WR 位设置为 0。随后读取 PTP_EVNT 寄存器会返回配置信息。

图 8-115. PTP_EVNT 寄存器

15	14	13	12	11	10	9	8
RESERVED	事件上升检测启用	事件下降检测启用	单个事件捕获	事件 GPIO 选择			
R-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			
7	6	5	4	3	2	1	0
RESERVED				事件选择			事件配置写入
R-0x0				R/W-0x0			R/W-0x0

表 8-117. PTP_EVNT 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	事件上升检测启用	R/W	0x0	事件上升检测启用： 启用所选事件输入上的上升沿转换检测。

Copyright © 2026 Texas Instruments Incorporated

表 8-117. PTP_EVNT 寄存器字段说明（续）

位	字段	类型	复位	说明
13	事件下降检测启用	R/W	0x0	事件下降检测启用： 启用所选事件输入上的下降沿转换检测。
12	单个事件捕获	R/W	0x0	单个事件捕获： 将该位设置为 1 会启用单个事件捕获操作。在发生有效事件时间戳捕获时 EVNT_RISE 和 EVNT_FALL 被清除。
11:8	事件 GPIO 选择	R/W	0x0	GPIO 事件捕获配置： 将该字段设置为非零值会将事件连接到相关 GPIO 引脚。该字段还可用于根据触发器输出或 AVB 时钟输出捕获事件 0x0 = 未选择 GPIO 0x1 = LED_0 0x2 = LED_1 0x3 = RX_ER 0xB = 触发 0 0xC = 触发 1
7:4	RESERVED	R	0x0	保留
3:1	事件选择	R/W	0x0	事件选择： 该字段选择事件时间戳单元以进行配置读取或写入。 000b = 事件-0 001b = 事件-1 010b = 事件-2 011b = 事件-3 100b = 事件-4 101b = 事件-5 110b = 事件-6 111b = 事件-7
0	事件配置写入	R/W	0x0	事件配置写入： 设置该位会生成所选事件时间戳单元的配置写入。

8.116 PTP_TXCFG0 寄存器（偏移 = 0xD12）[复位 = 0x0000]

图 8-116 展示了 PTP_TXCFG0，表 8-118 对其进行了介绍。

返回到汇总表。

该寄存器为 IEEE 802.1AS 发送时间戳操作提供配置。

图 8-116. PTP_TXCFG0 寄存器

15	14	13	12	11	10	9	8
同步报文一步用户	TX 时间戳信息启用	插入延迟请求	NTP 时间戳启用	忽略二步标志	禁用一步 CRC	校验和校正一步	IP 地址过滤
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
7	6	5	4	3	2	1	0
第 2 层时间戳启用	IPv6 时间戳启用	IPv4 时间戳启用	PTP 版本				发送时间戳启用使能
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0				R/W-0x0

表 8-118. PTP_TXCFG0 寄存器字段说明

位	字段	类型	复位	说明
15	同步报文一步用户	R/W	0x0	同步报文一步启用： 启用向发送同步报文中自动插入时间戳。器件会自动解析报文并将时间戳插入正确位置。 重新生成 UDP 校验和与 CRC 字段。

Copyright © 2026 Texas Instruments Incorporated

表 8-118. PTP_TXCFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
14	TX 时间戳信息启用	R/W	0x0	启用报文类型、哈希值、序列 ID 以及时间戳的锁存，以发送事件数据包并通过 PSF 发送这些字段
13	插入延迟请求	R/W	0x0	在 Delay_Resp 中插入 Delay_Req 时间戳： 如果该位设置为 1，器件会将已发送 Delay_Req 报文的时间戳插入到入站 Delay_Resp 报文中。最新时间戳用于任何入站 Delay_Resp 报文。必须通过 PTP 接收配置寄存器启用接收时间戳插入逻辑。
12	NTP 时间戳启用	R/W	0x0	启用 NTP 数据包时间戳： 如果该位设置为 0、则器件会检查 UDP 协议字段中是否存在 PTP 事件消息（值 319）。 如果该位设置为 1，则器件会检查 UDP 协议字段中是否存在 NTP 事件报文（值 123）。该设置适用于发送和接收数据包解析引擎。
11	忽略二步标志	R/W	0x0	对于一步运行，忽略 Two_Step 标志： 如果该位设置为 0，并且如果在 PTP 标头的标志字段中设置了 Two_Step 位，则器件不会插入时间戳。 如果该位设置为 1，器件会插入一个与 Two_Step 标志设置无关的时间戳。
10	禁用一步 CRC	R/W	0x0	禁用一步运行的 CRC 校验： 如果该位设置为 0，并且传入帧存在 CRC 错误，则器件会强制进行一步运行的 CRC 错误校验。 如果该位设置为 1，即使传入的 CRC 无效，器件也会发送具有有效 CRC 的一步帧。
9	校验和校正一步	R/W	0x0	启用一步运行的 UDP 校验和校正： 为报文启用 UDP 校验和校正，包括插入时间戳。通过修改 UDP 数据的最后两个字节 来校正校验和。最后两个字节必须由 MAC 作为 0 发送。必须设置此控件，以实现正确的 IPv6/UDP 一步运行。该控件对第 2 层以太网报文无效。
8	IP 地址过滤	R/W	0x0	启用 IEEE 802.1AS 定义的 IP 地址过滤： 允许使用 IANA 分配的 IP 目标地址过滤 UDP/IP 事件报文。 如果该位设置为 1，则不会为 IP 目标地址与 IANA 分配的地址不匹配的数据包添加时间戳。该字段影响 IPv4 和 IPv6 运行。如果该字段设置为 0，IP 目标地址会被忽略。
7	第 2 层时间戳启用	R/W	0x0	第 2 层时间戳启用： 启用对 IEEE 802.3/以太网封装 PTP 事件报文的检测。
6	IPv6 时间戳启用	R/W	0x0	IPv6 时间戳启用： 启用对 UDP/IPv6 封装 PTP 事件报文的检测。
5	IPv4 时间戳启用	R/W	0x0	IPv4 时间戳启用： 启用对 UDP/IPv4 封装 PTP 事件报文的检测。
4:1	PTP 版本	R/W	0x0	PTP 版本： 启用特定版本的 IEEE 802.1AS 规范的时间戳捕获。可将该字段编程为 1 到 15 之间的任意值，从而支持 IEEE 802.1AS 规范的未来版本。值 0 会将禁用版本检查（不推荐）。
0	发送时间戳启用使能	R/W	0x0	发送时间戳启用： 为发送启用时间戳捕获。

8.117 PTP_TXCFG1 寄存器（偏移 = 0xD13）[复位 = 0x0000]

图 8-117 展示了 PTP_TXCFG1，表 8-119 对其进行了介绍。

返回到汇总表。

该寄存器提供数据和屏蔽字段来过滤 PTP 报文中的第一个字节。如果所有屏蔽位都设置为 0，则禁用此功能。

Copyright © 2026 Texas Instruments Incorporated

图 8-117. PTP_TXCFG1 寄存器

15	14	13	12	11	10	9	8
发送 Byte0 屏蔽							
R/W-0x0							
7	6	5	4	3	2	1	0
发送 Byte0 数据							
R/W-0x0							

表 8-119. PTP_TXCFG1 寄存器字段说明

位	字段	类型	复位	说明
15:8	发送 Byte0 屏蔽	R/W	0x0	Byte0 掩码： 用于匹配 PTP 报文中 Byte0 的位掩码。任何位中的 1 都可以实现相关数据位的匹配。如果不需要匹配，请将掩码的所有位设置为 0
7:0	发送 Byte0 数据	R/W	0x0	Byte0 数据： 用于匹配 PTP 报文中 Byte0 的数据。

8.118 PSF_CFG0 寄存器（偏移 = 0xD14）[复位 = 0x4700]

图 8-118 展示了 PSF_CFG0，表 8-120 对其进行了介绍。

返回到汇总表。

该寄存器提供 PHY 状态帧功能的配置。

图 8-118. PSF_CFG0 寄存器

15	14	13	12	11	10	9	8
RESERVED	PSF 端接字段添加启用能	RESERVED	PSF MAC 源地址		PSF 最小前导码		
R-0x0	R/W-0x1	R-0x0	R/W-0x0		R/W-0x7		
7	6	5	4	3	2	1	0
PSF 字节序控制	PSF 数据包类型	PSF 传送启用	PSF 错误传送启用	PSF TX 时间戳启用	PSF RX 时间戳启用	PSF 触发器启用	PSF 事件启用
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 8-120. PSF_CFG0 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留
14	PSF 端接字段添加启用能	R/W	0x1	1b = 启用为 PSF 数据包添加端接字段
13	RESERVED	R	0x0	保留
12:11	PSF MAC 源地址	R/W	0x0	PHY 状态帧 Mac 源地址： 0x0 = 使用 Mac 地址 [08 00 17 0B 6B 0F] 0x1 = 使用 MAC 地址 [08 00 17 00 00 00] 0x2 = 使用 Mac 多播目标地址 0x3 = 使用 MAC 地址 [00 00 00 00 00 00]
10:8	PSF 最小前导码	R/W	0x7	PHY 状态帧最小前导码： 确定在 MII 接口上发送数据包所需的最小前导码字节。TI 建议将该值设置为 MAC 可承受的最小值。
7	PSF 字节序控制	R/W	0x0	PHY 状态帧字节序控制： 对于状态报文中的每个 16 位字段，数据通常按网络字节顺序显示（最高有效字节首先显示）。 如果该位设置为 1，则字节数据字段将反转，使得最低有效字节首先显示。

Copyright © 2026 Texas Instruments Incorporated

表 8-120. PSF_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
6	PSF 数据包类型	R/W	0x0	该位控制用于 PHY 状态帧的数据包类型： 0x0 = 第 2 层以太网数据包 0x1 = IPv4 数据包。
5	PSF 传送启用	R/W	0x0	PHY 控制帧读取 PHY 状态帧启用： 启用 PHY 控制帧读取数据的 PHY 状态帧传送。通过 PHY 控制帧读取的数据在 PHY 状态帧中返回。
4	PSF 错误传送启用	R/W	0x0	PSF 错误 PHY 状态帧启用： 启用 PHY 状态帧错误的 PHY 状态帧传送。该位不会独立启用 PHY 状态帧操作。必须设置其他启用位之一才能生成 PHY 状态帧。
3	PSF TX 时间戳启用	R/W	0x0	发送时间戳 PHY 状态帧启用： 启用发送时间戳的 PHY 状态帧传送。
2	PSF RX 时间戳启用	R/W	0x0	接收时间戳 PHY 状态帧启用： 启用接收时间戳的 PHY 状态帧传送。
1	PSF 触发器启用	R/W	0x0	触发 PHY 状态帧启用： 启用触发器状态的 PHY 状态帧传送输。
0	PSF 事件启用	R/W	0x0	事件 PHY 状态帧启用： 启用事件时间戳的 PHY 状态帧传送。

8.119 PTP_RXCFG0 寄存器（偏移 = 0xD15）[复位 = 0x0000]

图 8-119 展示了 PTP_RXCFG0，表 8-121 对其进行了介绍。

返回到汇总表。

该寄存器为 IEEE 802.1AS 接收时间戳运行提供配置。

图 8-119. PTP_RXCFG0 寄存器

15	14	13	12	11	10	9	8
域匹配启用	备用主模式时间戳启用	IP 地址数据选择	用户编程的 IP 地址过滤启用	仅 PTP 接收从模式	IP 地址过滤启用		
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0		
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
L2 时间戳启用	IPv6 时间戳启用：	IPv4 时间戳启用：	RX PTP 版本				接收时间戳启用
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0				R/W-0x0

表 8-121. PTP_RXCFG0 寄存器字段说明

位	字段	类型	复位	说明
15	域匹配启用	R/W	0x0	域匹配启用： 如果设置为 1，则接收时间戳单元要求 PTP 标头的域编号字段（八位位组 4）与 PTP_RXCFG3 寄存器的 PTP_DOMAIN 字段中编程的值匹配。如果设置为 0，则接收时间戳会忽略 PTP_DOMAIN 字段。
14	备用主模式时间戳启用	R/W	0x0	备用主模式时间戳禁用： 如果设置了 Alternate_Leader 标志，则禁用时间戳生成。 0x0 = 忽略 Alternate_Leader 标志 0x1 = 如果 Alternate_Leader 为 1，则不生成时间戳
13	IP 地址数据选择	R/W	0x0	IP 地址数据选择： 选择可通过 PTP_RXCFG2 寄存器访问的 IP 地址部分。 0x0 = 两个最高有效八位位组 0x1 = 两个最低有效八位位组

Copyright © 2026 Texas Instruments Incorporated

表 8-121. PTP_RXCFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
12	用户编程的 IP 地址过滤启用	R/W	0x0	启用用户编程的 IP 地址过滤： 启用使用可编程 IP 地址检测 UDP/IP 事件报文。使用 PTP_RXCFG2 寄存器设置 IP 地址。
11	仅 PTP 接收从模式	R/W	0x0	仅接收从模式： 默认情况下，接收时间戳单元为满足其他要求的事件报文提供时间戳。将该位设置为 1 可防止为 Delay_Req 报文加上时间戳，方法是需要将控制字段 (PTP 报文中的偏移 32) 设置为 1 以外的值。
10:8	IP 地址过滤启用	R/W	0x0	启用 IEEE 802.1AS 定义的 IP 地址过滤： 使用 IANA 分配的 IP 目标地址，启用 UDP/IP 事件报文检测。该字段影响 IPv4 和 IPv6 运行。 如果 IP 目标地址与以下地址匹配则为 PTP 报文捕获时间戳： bxx1：目标 IP 地址为 224.0.1.129 bx1x：目标 IP 地址为 224.0.1.130 - 132 b1xx：目标 IP 地址为 224.0.0.107
7	L2 时间戳启用	R/W	0x0	第 2 层时间戳启用： 启用对 IEEE 802.3/以太网封装 PTP 事件报文的检测。
6	IPv6 时间戳启用：	R/W	0x0	IPv6 时间戳启用： 启用对 UDP/IPv6 封装 PTP 事件报文的检测。
5	IPv4 时间戳启用：	R/W	0x0	IPv4 时间戳启用： 启用对 UDP/IPv4 封装 PTP 事件报文的检测。
4:1	RX PTP 版本	R/W	0x0	PTP 版本： 启用特定版本的 IEEE 802.1AS 规范的时间戳捕获。可将该字段编程为 1 到 15 之间的任意值，从而支持 IEEE 802.1AS 规范的未来版本。值 0 会将禁用版本检查（不推荐）。
0	接收时间戳启用	R/W	0x0	接收时间戳启用： 为接收启用时间戳捕获。

8.120 PTP_RXCFG1 寄存器（偏移 = 0xD16）[复位 = 0x0000]

图 8-120 展示了 PTP_RXCFG1，表 8-122 对其进行了介绍。

返回到汇总表。

该寄存器提供数据和屏蔽字段来过滤 PTP 报文中的第一个字节。如果所有屏蔽位都设置为 0，则禁用此功能。

图 8-120. PTP_RXCFG1 寄存器

15	14	13	12	11	10	9	8
接收 Byte0 掩码							
R/W-0x0							
7	6	5	4	3	2	1	0
接收 Byte0 数据							
R/W-0x0							

表 8-122. PTP_RXCFG1 寄存器字段说明

位	字段	类型	复位	说明
15:8	接收 Byte0 掩码	R/W	0x0	Byte0 掩码： 用于匹配接收 PTP 报文中 Byte0 的位掩码。任何位中的 1 都可以实现相关数据位的匹配。如果不需要匹配，请将掩码的所有位设置为 0。
7:0	接收 Byte0 数据	R/W	0x0	Byte0 数据： 用于匹配接收 PTP 报文中 Byte0 的数据。

Copyright © 2026 Texas Instruments Incorporated

8.121 PTP_RXCFG2 寄存器（偏移 = 0xD17）[复位 = 0x0000]

图 8-121 展示了 PTP_RXCFG2，表 8-123 对其进行了介绍。

返回到汇总表。

该寄存器为编程提供 IP 地址，用于筛选数据包以检测 PTP 事件报文。IPv4 地址为 32 位，因此要写入 IP 地址，软件必须写入两个 16 位值。PTP_RXCFG0 寄存器中的 USER_IP_SEL 位选择可以通过该寄存器访问的 IP 地址的八位位组。
例如，要写入 IP 地址 224.0.1.129，软件应执行以下操作：
1.将 PTP_RXCFG0 寄存器中的 USER_IP_SEL 位设置为 0
2.将 0xE000 (224.00) t 写入 PTP_RXCFG2
3.将 PTP_RXCFG0 寄存器中的 USER_IP_SEL 位设置为 1
4.将 0x0181 (01.129) 写入 PTP_RXCFG2
读取该寄存器将返回 USER_IP_SEL 选择的 IP 地址字段。

图 8-121. PTP_RXCFG2 寄存器

15	14	13	12	11	10	9	8
接收 IP 地址数据							
R/W-0x0							
7	6	5	4	3	2	1	0
接收 IP 地址数据							
R/W-0x0							

表 8-123. PTP_RXCFG2 寄存器字段说明

位	字段	类型	复位	说明
15:0	接收 IP 地址数据	R/W	0x0	接收 IP 地址数据： 要读取或写入的 IP 地址字段的 16 位。PTP_RXCFG0 寄存器中的“IP 地址数据选择”位选择要读取或写入的 IP 地址中的一部分。 - RX_CFG0 中的“IP 地址数据选择”== 0 -> 以正常字节格式设置 PTP_RXCFG2 寄存器中 IPv4/IPv6 地址的 MSB 的 2 个字节。 - RX_CFG0 中的“IP 地址数据选择”==1 ->以正常字节格式设置 PTP_RXCFG2 寄存器中 IPv4/IPv6 地址的 LSB 的 2 个字节。 使用 IPv4 时，可以设置完整的 IP 地址；使用 IPv6 时，仅比较 16 字节地址的 MSB 的 2 个字节和 16 字节地址的 LSB 的 2 个字节。

8.122 PTP_RXCFG3 寄存器（偏移 = 0xD18）[复位 = 0xC000]

图 8-122 展示了 PTP_RXCFG3，表 8-124 对其进行了介绍。

返回到汇总表。

该寄存器为 IEEE 802.1AS 接收时间戳运行提供扩展配置。

图 8-122. PTP_RXCFG3 寄存器

15	14	13	12	11	10	9	8
时间戳后的 RX 最小 IFG				校验和错误的时间戳	CRC 错误时间戳	RESERVED	插入时间戳
R/W-0xC				R/W-0x0	R/W-0x0	R-0x0	R/W-0x0
7	6	5	4	3	2	1	0
PTP 域匹配值							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-124. PTP_RXCFG3 寄存器字段说明

位	字段	类型	复位	说明
15:12	时间戳后的 RX 最小 IFG	R/W	0xC	最小帧间间隙： 当时间戳附加到 PTP 报文时，数据包的长度可以延长。这可以将数据包之间的帧间间隙 (IFG) 减少多达 8 字节时间 (10MB 时为 6400ns、100Mb 时为 640ns、1G 时为 64ns)。该字段设置数据包之间的 IFG 最小值。如果 IFG 设置为大于实际的 IFG，则后续数据包的前导码字节会被丢弃。尽可能将该值设置为所连接 MAC 能够支持的最低值。
11	校验和错误的时间戳	R/W	0x0	如果 UDP 校验和错误存在以下情况，则记录时间戳： 默认情况下，对于存在 UDP 校验和错误的数据包，会丢弃时间戳。 如果设置了该位，则时间戳可以正常使用。
10	CRC 错误时间戳	R/W	0x0	如果 CRC 错误存在以下情况，则记录时间戳： 默认情况下，对于存在 CRC 错误的数据包，会丢弃时间戳。如果设置了该位，则时间戳可以正常使用。
9	RESERVED	R	0x0	保留
8	插入时间戳	R/W	0x0	启用时间戳插入： 启用时间戳插入，可将时间戳插入到包含 PTP 事件报文的数据包中。 如果设置了该位，则不可以通过 PTP 接收时间戳寄存器使用时间戳。
7:0	PTP 域匹配值	R/W	0x0	PTP 域值： PTP 报文 domainNumber 字段的值。如果 PTP_RXCFG0:DOMAIN_EN 设置为 1，则仅当接收 PTP 报文中的 domainNumber 与此字段中的值匹配时，接收时间戳单元才捕获时间戳。如果 DOMAIN_EN 位设置为 0，则会忽略 domainNumber 字段。

8.123 PTP_RXCFG4 寄存器（偏移 = 0xD19）[复位 = 0x0000]

图 8-123 展示了 PTP_RXCFG4，表 8-125 对其进行了介绍。

返回到汇总表。

该寄存器为 IEEE 802.1AS 接收时间戳运行提供扩展配置。在更改该寄存器中的任何字段之前，使用（通过 PTP_RXCFG3[8]）禁用时间戳插入。

图 8-123. PTP_RXCFG4 寄存器

15	14	13	12	11	10	9	8
IPV4 UDP 校验和修改	秒时间戳启用	秒时间戳长度		RX 时间戳纳秒字段偏移量			
R/W-0x0	R/W-0x0	R/W-0x0		R/W-0x0			
7	6	5	4	3	2	1	0
RX 时间戳纳秒字段偏移量		RX 时间戳秒字段偏移量					
R/W-0x0		R/W-0x0					

表 8-125. PTP_RXCFG4 寄存器字段说明

位	字段	类型	复位	说明
15	IPV4 UDP 校验和修改	R/W	0x0	启用 IPV4 UDP 修改： 启用时间戳插入后，该位控制如何为 IPV4 PTP 事件报文处理 UDP 校验和。 如果设置为 0，则器件清除 UDP 校验和。如果检测到 UDP 校验和错误，则器件会强制进行 CRC 错误校验。 如果设置为 1，则器件不会清除 UDP 校验和。而是生成一个 2 字节的值来校正 UDP 校验和，并将其紧邻 PTP 报文附加 到其后。如果检测到传入的 UDP 校验和错误，器件会在修改后的字段中引起 UDP 校验和错误。仅当传入数据包在 PTP 报文后包含两个额外字节的 UDP 数据时，才使用此功能。请勿对使用第 1 版 IEEE 802.1AS 规范的系统启用此功能。
14	秒时间戳启用	R/W	0x0	启用时间戳秒数： 当启用时间戳插入时，将该位设置为 1 会插入秒字段。如果设置为 0，则仅在数据包中插入时间戳的 纳秒部分。如果“插入间戳”为 0，则该位会被忽略。 该位适用于将时间戳插入 PTP。
13:12	秒时间戳长度	R/W	0x0	已插入时间戳的秒字段长度： 对于 PTP 报文，该字段指示要插入 PTP 报文的秒数字段的长度。如果“插入时间戳”为 0 或 TS_SEC_EN 为 0，则该字段会被忽略。 0x0 = 仅秒字段的最低有效字节 0x1 = 秒字段的两个最低有效字节 0x2 = 秒字段的三个最低有效字节 0x3 = 秒字段的全部四个字节
11:6	RX 时间戳纳秒字段偏移量	R/W	0x0	接收时间戳纳秒字段偏移量： 将时间戳插入到接收的 PTP 报文中时，该字段为纳秒字段提供偏移量。偏移量指相对于 PTP 报文开头处的字节偏移量。如果“插入时间戳”为 0，则该字段会被忽略。
5:0	RX 时间戳秒字段偏移量	R/W	0x0	接收时间戳秒字段偏移量： 将时间戳插入到接收的 PTP 报文中时，该字段为秒字段提供偏移量。偏移量指相对于 PTP 报文开头处的字节偏移量。如果“插入时间戳”为 0，则该字段会被忽略。

8.124 PTP_TRDL 寄存器（偏移 = 0xD1A）[复位 = 0x0000]

图 8-124 展示了 PTP_TRDL，表 8-126 中对此进行了介绍。

返回到汇总表。

该寄存器包含持续时间（以时钟周期为单位）的低 16 位，以按照 PTP_RATEH 和 PTP_RATEL 寄存器中的编程使用临时速率。由于临时速率在写入 PTP_RATEL 寄存器时生效，因此请在设置临时速率之前对该寄存器进行编程。每次使用临时速率寄存器时，无需对该寄存器进行重新编程。

图 8-124. PTP_TRDL 寄存器

15	14	13	12	11	10	9	8
临时费率持续时间 [15:10]							
R/W-0x0							
7	6	5	4	3	2	1	0
临时费率持续时间 [15:10]							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-126. PTP_TRDL 寄存器字段说明

位	字段	类型	复位	说明
15:0	临时费率持续时间 [15:10]	R/W	0x0	PTP 临时速率持续时间低 16 位： 该寄存器设置临时速率的持续时间，单位为时钟周期数。实际持续时间取决于临时费率的值。

8.125 PTP_TRDH 寄存器（偏移 = 0xD1B）[复位 = 0x0000]

图 8-125 展示了 PTP_TRDH，表 8-127 中对此进行了介绍。

返回到汇总表。

该寄存器包含持续时间（以时钟周期为单位）的高 10 位，以按照 PTP_RATEH 和 PTP_RATEL 寄存器中的编程使用临时速率。由于临时速率在写入 PTP_RATEL 寄存器时生效，因此请在设置临时速率之前对该寄存器进行编程。每次使用临时速率寄存器时，无需对该寄存器进行重新编程。

图 8-125. PTP_TRDH 寄存器

15	14	13	12	11	10	9	8
RESERVED						临时速率持续时间 [25:16]	
R-0x0						R/W-0x0	
7	6	5	4	3	2	1	0
临时速率持续时间 [25:16]							
R/W-0x0							

表 8-127. PTP_TRDH 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R	0x0	保留
9:0	临时速率持续时间 [25:16]	R/W	0x0	PTP 临时速率持续时间高 10 位： 该寄存器设置临时速率的持续时间，单位为时钟周期数。实际持续时间取决于临时费率的值。

8.126 PTP_EVNT_TSU_CFG 寄存器（偏移 = 0xD1C）[复位 = 0x0002]

图 8-126 展示了 PTP_EVNT_TSU_CFG，表 8-128 中对此进行了介绍。

返回到汇总表。

该寄存器提供相关配置，用于存储时间戳以及使用 PSF 向主机发送数据

图 8-126. PTP_EVNT_TSU_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED					RESERVED	完整触发器时间戳存储启用	完整事件时间戳存储启用
R-0x0					R-0x0	R/W-0x1	R/W-0x0

表 8-128. PTP_EVNT_TSU_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:3	RESERVED	R	0x0	保留
2	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-128. PTP_EVNT_TSU_CFG 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	完整触发器时间戳存储启用	R/W	0x1	1b = 允许存储触发器的完整时间戳，与前一个事件时间戳的变化无关
0	完整事件时间戳存储启用	R/W	0x0	1b = 允许存储事件的完整时间戳，与前一个事件时间戳的变化无关

8.127 PSF_TRIG_TS_EN 寄存器（偏移 = 0xD1D）[复位 = 0x0000]

图 8-127 展示了 PSF_TRIG_TS_EN，表 8-129 中对此进行了介绍。

返回到汇总表。

该寄存器启用与所生成触发器的边沿相对应的时间戳的 PHY 状态帧传送。

图 8-127. PSF_TRIG_TS_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
触发器时间戳 PHY 状态帧启用							
R/W-0x0							

表 8-129. PSF_TRIG_TS_EN 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x0	保留
7:0	触发器时间戳 PHY 状态帧启用	R/W	0x0	该字段启用与所生成触发器的边沿相对应的时间戳的 PHY 状态帧传送。每个位对应于 1 个触发器单元的启用，如下所示： 8'b00000001：为 trigger0 边沿时间戳启用 PSF 传送 8'b00000010：为 trigger1 边沿时间戳启用 PSF 传送 8'b00000100：为 trigger2 边沿时间戳启用 PSF 传送 8'b00001000：为 trigger3 边沿时间戳启用 PSF 传送 8'b00010000：为 trigger4 边沿时间戳启用 PSF 传送 8'b00100000：为 trigger5 边沿时间戳启用 PSF 传送 8'b01000000：为 trigger6 边沿时间戳启用 PSF 传送 8'b10000000：为 trigger7 边沿时间戳启用 PSF 传送

8.128 PTP_COC 寄存器（偏移 = 0xD20）[复位 = 0x000A]

图 8-128 展示了 PTP_COC，表 8-130 中对此进行了介绍。

返回到汇总表。

该寄存器提供 PTP 时钟同步输出 N 分频时钟的配置。

图 8-128. PTP_COC 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED							
R-0xA							

Copyright © 2026 Texas Instruments Incorporated

表 8-130. PTP_COC 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x0	保留
7:0	RESERVED	R	0xA	保留

8.129 PSF_CFG1 寄存器（偏移 = 0xD21）[复位 = 0x0000]

图 8-129 展示了 PSF_CFG1，表 8-131 对其进行了介绍。

返回到汇总表。

该寄存器提供 PHY 状态帧功能的配置。具体而言，该寄存器中的 16 位值用作 PHY 状态帧的 PTP 标头数据的前 16 位。

图 8-129. PSF_CFG1 寄存器

15	14	13	12	11	10	9	8
RESERVED				PTP 版本字段			
R-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PTP TransportSpecific 字段				PTP 报文类型字段			
R/W-0x0				R/W-0x0			

表 8-131. PSF_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留
11:8	PTP 版本字段	R/W	0x0	PTP v2 versionPTP 字段： 该字段包含使用 MII 接收数据接口在状态数据包中从 PHY 发送到本地 MAC 的 versionPTP 字段。
7:4	PTP TransportSpecific 字段	R/W	0x0	PTP v2 标头 transportSpecific 字段： 该字段包含使用 MII 接收数据接口在状态数据包中从 PHY 发送到本地 MAC 的 transportSpecific 字段。
3:0	PTP 报文类型字段	R/W	0x0	PTP v2 messageType 字段： 该字段包含使用 MII 接收数据接口在状态数据包中从 PHY 发送到本地 MAC 的 messageType 字段。

8.130 PSF_CFG2 寄存器（偏移 = 0xD22）[复位 = 0x0000]

图 8-130 展示了 PSF_CFG2，表 8-132 对其进行了介绍。

返回到汇总表。

该寄存器提供 PHY 状态帧功能的配置。具体而言，该寄存器中的 16 位值用作 IPv4 PHY 状态帧的 IP 源地址的前 16 位。

图 8-130. PSF_CFG2 寄存器

15	14	13	12	11	10	9	8
IP 源地址 1							
R/W-0x0							
7	6	5	4	3	2	1	0
IP 源地址 0							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-130. PSF_CFG2 寄存器（续）

表 8-132. PSF_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15:8	IP 源地址 1	R/W	0x0	IP 源地址的第二个字节： 该字段包含 IP 源地址的第二个字节。
7:0	IP 源地址 0	R/W	0x0	IP 源地址的第一个字节： 该字段包含 IP 源地址的最高有效字节。

8.131 PSF_CFG3 寄存器（偏移 = 0xD23）[复位 = 0x0000]

图 8-131 展示了 PSF_CFG3，表 8-133 对其进行了介绍。

返回到汇总表。

该寄存器提供 PHY 状态帧功能的配置。具体而言，该寄存器中的 16 位值用作 IPv4 PHY 状态帧的 IP 源地址的第二个前 16 位。

图 8-131. PSF_CFG3 寄存器

15	14	13	12	11	10	9	8
IP 源地址 3							
R/W-0x0							
7	6	5	4	3	2	1	0
IP 源地址 2							
R/W-0x0							

表 8-133. PSF_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15:8	IP 源地址 3	R/W	0x0	IP 源地址的第四个字节： 该字段包含 IP 源地址的第四个字节。
7:0	IP 源地址 2	R/W	0x0	IP 源地址的第三个字节： 该字段包含 IP 源地址的第三个字节。

8.132 PSF_CFG4 寄存器（偏移 = 0xD24）[复位 = 0x0000]

图 8-132 展示了 PSF_CFG4，表 8-134 对其进行了介绍。

返回到汇总表。

该寄存器提供 PHY 状态帧功能的配置。具体而言，该寄存器中的 16 位值用来协助计算 IPv4 PHY 状态帧的 IP 校验和。

图 8-132. PSF_CFG4 寄存器

15	14	13	12	11	10	9	8
IP 校验和							
R/W-0x0							
7	6	5	4	3	2	1	0
IP 校验和							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-134. PSF_CFG4 寄存器字段说明

位	字段	类型	复位	说明
15:0	IP 校验和	R/W	0x0	IP 校验和： 该字段包含 IP 标头中所有固定值的一补码的预计算值。器件会添加总长度和标识值以生成最终校验和。

8.133 PTP_INTCTL 寄存器（偏移 = 0xD26）[复位 = 0x0000]

图 8-133 展示了 PTP_INTCTL，表 8-135 中对此进行了介绍。

返回到汇总表。

该寄存器提供 IEEE 802.1AS 中断功能的配置，允许 PTP 中断使用任何 GPIO 引脚。

图 8-133. PTP_INTCTL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED				PTP 中断 GPIO 选择			
R-0x0				R/W-0x0			

表 8-135. PTP_INTCTL 寄存器字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R	0x0	保留
3:0	PTP 中断 GPIO 选择	R/W	0x0	PTP 中断 GPIO 选择： 要在 GPIO 引脚上启用中断，请将该字段设置为所需的 GPIO。 0x0 = INT_N 0x1 = LED_0 0x2 = LED_1

8.134 PTP_CLKSRC 寄存器（偏移 = 0xD27）[复位 = 0x0084]

图 8-134 展示了 PTP_CLKSRC，表 8-136 中对此进行了介绍。

返回到汇总表。

该寄存器为驱动 IEEE 802.1AS 硬件逻辑的基准时钟源提供配置。802.1AS 纳秒时钟加法器也使用源时钟周期，以来在每个基准时钟周期添加适当的值。

图 8-134. PTP_CLKSRC 寄存器

15	14	13	12	11	10	9	8
PTP 时钟基准选择-1		PTP 基准时钟分频启用	PTP 时钟基准选择-2		PTP 基准时钟分频值		
R/W-0x0		R/W-0x0	R/W-0x0		R/W-0x1		
7	6	5	4	3	2	1	0
PTP 基准时钟分频值	PTP 时钟源周期						
R/W-0x1	R/W-0x4						

Copyright © 2026 Texas Instruments Incorporated

表 8-136. PTP_CLKSRC 寄存器字段说明

位	字段	类型	复位	说明
15:14	PTP 时钟基准选择-1	R/W	0x0	PTP 时钟源选择： 为 PTP 基准时钟选择可能的时钟源 {PTP 时钟基准选择-1、PTP 时钟基准选择-2} 的映射如下所示： b1000：来自 LED_0 的外部基准 b0000：PLL 250M b0100：PLL 125M b0001：恢复时钟 200M b0101：恢复时钟 100M
13	PTP 基准时钟分频启用	R/W	0x0	时钟分频启用： 如果设置为 1，则允许按照其值在 CLK_DIV_VAL 中编程系数对 PTP 基准时钟进行分频。
12:11	PTP 时钟基准选择-2	R/W	0x0	PTP 时钟源选择： 为 PTP 基准时钟选择可能的时钟源 {PTP 时钟基准选择-1、PTP 时钟基准选择-2} 的映射如下所示： b1000：来自 LED_0 的外部基准 b0000：PLL 250M b0100：PLL 125M b0001：恢复时钟 200M b0101：恢复时钟 100M
10:7	PTP 基准时钟分频值	R/W	0x1	时钟分频值： 当时钟源选择是使用“PTP 基准时钟分频启用”进行 N 分频时，这些位用作 N 值。
6:0	PTP 时钟源周期	R/W	0x4	PTP 时钟源周期： 该字段配置 PTP 时钟源周期（以纳秒为单位）。将时钟源周期编程为 > 2

8.135 PTP_ETYPE 寄存器（偏移 = 0xD28）[复位 = 0xF788]

图 8-135 展示了 PTP_ETYPE，表 8-137 中对此进行了介绍。

返回到汇总表。

该寄存器提供用于 PTP 以太网传输（第 2 层）的以太网类型 (Ethertype) 字段。

图 8-135. PTP_ETYPE 寄存器

15	14	13	12	11	10	9	8
PTP EtherType							
R/W-0xF788							
7	6	5	4	3	2	1	0
PTP EtherType							
R/W-0xF788							

表 8-137. PTP_ETYPE 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP EtherType	R/W	0xF788	PTP EtherType： 该字段包含“以太网类型”字段，用于检测在以太网第 2 层传输的 PTP 报文。 以反向字节格式对该寄存器进行编程。例如，PTP 数据包中的预期 ethertype 为 0x88F7，因此将 0xF788 设置为默认值。

Copyright © 2026 Texas Instruments Incorporated

8.136 PTP_OFF 寄存器（偏移 = 0xD29）[复位 = 0x0000]

图 8-136 展示了 PTP_OFF，表 8-138 中对此进行了介绍。

返回到汇总表。

该寄存器为第 2 层以太网帧中的 PTP 报文提供字节偏移量。

图 8-136. PTP_OFF 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
PTP 报文字段偏移量							
R/W-0x0							

表 8-138. PTP_OFF 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x0	保留
7:0	PTP 报文字段偏移量	R/W	0x0	PTP 报文偏移量： 该字段包含前一个标头中 PTP 报文的偏移量，以字节为单位。对于第 2 层，该偏移量相对于以太网类型字段。对于 UDP/IP，则是相对于 UDP 标头末尾的偏移量。

8.137 PTP_RXHASH 寄存器（偏移 = 0xD2B）[复位 = 0x0000]

图 8-137 展示了 PTP_RXHASH，表 8-139 中对此进行了介绍。

返回到汇总表。

该寄存器提供 PTP 接收数据包解析器的源标识哈希过滤器的配置。如果启用，则仅当十个八位位组 sourcePortIdentity 字段上的哈希函数与编程值正确匹配时，接收解析逻辑才会提供接收时间戳。源标识哈希过滤器不影响时间戳插入。

图 8-137. PTP_RXHASH 寄存器

15	14	13	12	11	10	9	8
RESERVED			接收哈希启用	接收哈希			
R-0x0			R/W-0x0	R/W-0x0			
7	6	5	4	3	2	1	0
接收哈希							
R/W-0x0							

表 8-139. PTP_RXHASH 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留
12	接收哈希启用	R/W	0x0	接收哈希启用： 允许根据十个八位位组 sourcePortIdentity 字段上的哈希函数过滤 PTP 报文。
11:0	接收哈希	R/W	0x0	接收哈希： 该字段包含传入 PTP 事件报文的预期源标识哈希值。

Copyright © 2026 Texas Instruments Incorporated

8.138 PTP_EVENT_GPIO_SEL 寄存器（偏移 = 0xD30）[复位 = 0x0000]

图 8-138 展示了 PTP_EVENT_GPIO_SEL，表 8-140 中对此进行了介绍。

返回到汇总表。

该寄存器控制让哪些 IO 成输入端，以在其上启用事件时间戳。

图 8-138. PTP_EVENT_GPIO_SEL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED				GPIO 事件启用			
R-0x0				R/W-0x0			

表 8-140. PTP_EVENT_GPIO_SEL 寄存器字段说明

位	字段	类型	复位	说明
15:5	RESERVED	R	0x0	保留
4:0	GPIO 事件启用	R/W	0x0	GPIO 启用 PTP 事件时间戳： 写入这些寄存器可以使 GPIO 成为输入端从而启用事件时间戳 Bit[0] = 1：LED_0 设置为输入端 Bit[1] = 1：LED_1 设置为输入端 Bit[2] = 1：RX_ER 设置为输入端

8.139 TX_SMD_GPIO_CTL 寄存器（偏移 = 0xD32）[复位 = 0x001F]

图 8-139 展示了 TX_SMD_GPIO_CTL，表 8-141 中对此进行了介绍。

返回到汇总表。

该寄存器控制具有双 VLAN 标记的 PTP 帧的解析。

图 8-139. TX_SMD_GPIO_CTL 寄存器

15	14	13	12	11	10	9	8
双 VLAN 标记解析启用	RESERVED	RESERVED					RESERVED
R/W-0x0	R-0x0	R-0x0					R-0x0
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED			
R-0x0			R-0x1	R-0xF			

表 8-141. TX_SMD_GPIO_CTL 寄存器字段说明

位	字段	类型	复位	说明
15	双 VLAN 标记解析启用	R/W	0x0	1b = 启用对具有双 VLAN 标记的已接收数据包的解析
14	RESERVED	R	0x0	保留
13:9	RESERVED	R	0x0	保留
8:5	RESERVED	R	0x0	保留
4	RESERVED	R	0x1	保留
3:0	RESERVED	R	0xF	保留

Copyright © 2026 Texas Instruments Incorporated

8.140 SCH_CTL_1 寄存器（偏移 = 0xD33）[复位 = 0x0000]

图 8-140 展示了 SCH_CTL_1，表 8-142 对其进行了介绍。

返回到汇总表。

包含调度器用于调度较大 PPM 调整的步长速率的 LSB 16 位。

图 8-140. SCH_CTL_1 寄存器

15	14	13	12	11	10	9	8
调度器步长速率 [15:0]							
R/W-0x0							
7	6	5	4	3	2	1	0
调度器步长速率 [15:0]							
R/W-0x0							

表 8-142. SCH_CTL_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	调度器步长速率 [15:0]	R/W	0x0	用于调度较大 PPM 调整的调度器步长速率的低 16 位： 调度器使用的 24 位速率步长的位 15:0（仅在永久速率变化期间适用并且微调度器用于小步长的速率变化），分辨率为 2^{-32}ns。根据 mr_base_freq[31:0] 计算时钟周期，然后使用以 ppm 为单位的所需步长速率计算以 ns 为单位的步长速率。按照 2^{-32} 调节该值以获得编程为 mr_step_rate 的值。

8.141 SCH_CTL_2 寄存器（偏移 = 0xD34）[复位 = 0x0300]

图 8-141 展示了 SCH_CTL_2，表 8-143 对其进行了介绍。

返回到汇总表。

包含调度器用于调度较大 PPM 调整的步长速率的 MSB 8 位以及 PTP_PLL 和累加器的旁路选项。

图 8-141. SCH_CTL_2 寄存器

15	14	13	12	11	10	9	8
RESERVED						PTP PLL 的旁路调度器	计时器的旁路调度器
R-0x0						R/W-0x1	R/W-0x1
7	6	5	4	3	2	1	0
调度器步长速率 [23:16]							
R/W-0x0							

表 8-143. SCH_CTL_2 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R	0x0	保留
9	PTP PLL 的旁路调度器	R/W	0x1	PTP_PLL 的旁路调度器： 进入 PTP_PLL 的旁路调度器控制速率（仅在永久速率变化期间适用）。当设置该位且未设置位 8 时，调度器控制的速率调整会应用于计时器，但 PTP_PLL 会获得总 PTP 速率调整。当设置该位和位 8 时，基于调度器的调整会被旁路。

Copyright © 2026 Texas Instruments Incorporated

表 8-143. SCH_CTL_2 寄存器字段说明（续）

位	字段	类型	复位	说明
8	计时器的旁路调度器	R/W	0x1	计时器的旁路调度器： 进入计时器的旁路调度器控制速率（仅在永久速率变化期间适用）。当设置该位且未设置位 9 时，调度器控制的速率调整会应用于 PTP_PLL，但计时器会获得总 PTP 速率调整。当设置该位和位 9 时，基于调度器的调整会被旁路。
7:0	调度器步长速率 [23:16]	R/W	0x0	用于调度较大 PPM 调整的调度器步长速率的 MSB 8 位： 调度器使用的 24 位速率步长的位 23:16（仅在永久速率变化期间以及微调度器用于小步长的速率变化时适用），分辨率为 2^{-32}ns。根据 mr_base_freq[31:0] 计算时钟周期。使用以 ppm 为单位的所需步长速率值计算以 ns 为单位的步长速率。按照 2^{-32} 调节该值以获得编程为 mr_step_rate 的值。

8.142 FREQ_CTL_1 寄存器（偏移 = 0xD35）[复位 = 0xCCCD]

图 8-142 展示了 FREQ_CTL_1，表 8-144 对其进行了介绍。

返回到汇总表。

包含可为 PTP_PLL 编程的基频的 LSB 16 位。

图 8-142. FREQ_CTL_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0xCCCD							
7	6	5	4	3	2	1	0
RESERVED							
R-0xCCCD							

表 8-144. FREQ_CTL_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	RESERVED	R	0xCCCD	保留

8.143 FREQ_CTL_2 寄存器（偏移 = 0xD36）[复位 = 0xCCCC]

图 8-143 展示了 FREQ_CTL_2，表 8-145 对其进行了介绍。

返回到汇总表。

包含可为 PTP_PLL 编程的基频的 MSB 16 位。

图 8-143. FREQ_CTL_2 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0xCCCC							
7	6	5	4	3	2	1	0
RESERVED							
R-0xCCCC							

Copyright © 2026 Texas Instruments Incorporated

表 8-145. FREQ_CTL_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	RESERVED	R	0xCCCC	保留

8.144 PTP_RATEL_ACC_ONLY 寄存器（偏移 = 0xD37）[复位 = 0x0000]

图 8-144 展示了 PTP_RATEL_ACC_ONLY，表 8-146 中对此进行了介绍。

返回到汇总表。

包含仅累加器速率调整值的 LSB 16 位。

图 8-144. PTP_RATEL_ACC_ONLY 寄存器

15	14	13	12	11	10	9	8
PTP 累加器速率控制 [15:0]							
R/W-0x0							
7	6	5	4	3	2	1	0
PTP 累加器速率控制 [15:0]							
R/W-0x0							

表 8-146. PTP_RATEL_ACC_ONLY 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 累加器速率控制 [15:0]	R/W	0x0	PTP 累加器的速率控制值： 当设置 0xD38[14] 时，写入该寄存器会设置 PTP 累加器速率控制值的位 15:0。速率控制值的单位是 2^{-32} ns。该速率调整不适用于 PTP_PLL。PTP_PLL 速率调整仍可通过寄存器 0xD04 和 0xD05 控制。

8.145 PTP_RATEH_ACC_ONLY 寄存器（偏移 = 0xD38）[复位 = 0x0000]

图 8-145 展示了 PTP_RATEH_ACC_ONLY，表 8-147 中对此进行了介绍。

返回到汇总表。

包含仅累加器速率调整值的 MSB 10 位。还包含仅累加器速率调整的启用和方向。

图 8-145. PTP_RATEH_ACC_ONLY 寄存器

15	14	13	12	11	10	9	8
PTP 累加器方向	PTP 累加器模式启用	PTP 累加器速率启用	RESERVED			PTP 累加器速率控制 [25:16]	
R/W-0x0	R/W-0x0	R/W-0x0	R-0x0			R/W-0x0	
7	6	5	4	3	2	1	0
PTP 累加器速率控制 [25:16]							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-147. PTP_RATEH_ACC_ONLY 寄存器字段说明

位	字段	类型	复位	说明
15	PTP 累加器方向	R/W	0x0	PTP 速率仅累加器方向： 该位的设置控制器件是以高于还是低于基准时钟的频率运行。仅当设置 0xD38[14] 位时，该方向才会与 0xD37 和 0xD38[9:0] 一起应用。 0：较高频率。在每个周期，“PTP 累加器速率控制”值添加到时钟中 1：较低频率。在每个周期，从时钟中减去“PTP 累加器速率控制”值
14	PTP 累加器模式启用	R/W	0x0	PTP 累加器模式： 设置该位会根据寄存器 0xD37 和 0xD38[9:0] 使 PTP 累加器在每个时钟周期递增。 0x0 = 0xD04、0xD05 中的累积值 0x1 = 0xD37、0xD38[9:0] 中的累积值
13	PTP 累加器速率启用	R/W	0x0	累加器模式下的 PTP 临时速率启用： 设置该位也会将临时速率调整应用于 PTP 累加器（除了 PTP PLL） 0x0 = 当累加器模式启用时，临时速率调整不应用于 PTP 累加器 0x1 = 当累加器模式启用时，临时速率调整应用于 PTP 累加器
12:10	RESERVED	R	0x0	保留
9:0	PTP 累加器速率控制 [25:16]	R/W	0x0	PTP 速率仅累加器高 10 位： 当设置 0xD38[14] 时，写入该寄存器会设置 PTP 累加器速率控制值的位 25:16。速率控制值的单位是 2^{-32} ns。该速率调整不适用于 PTP_PLL。PTP_PLL 速率调整仍通过寄存器 0xD04 和 0xD05 控制。

8.146 PTP_PLL_CTL 寄存器（偏移 = 0xD39）[复位 = 0x0025]

图 8-146 展示了 PTP_PLL_CTL，表 8-148 中对此进行了介绍。

返回到汇总表。

用于配置 PTP_PLL 趋稳时间并启用 PTP 时间戳存储的寄存器。

图 8-146. PTP_PLL_CTL 寄存器

15	14	13	12	11	10	9	8
RESERVED						半速率启用	PTP PLL 相位字 [32]
R-0x0						R-0x0	R-0x0
7	6	5	4	3	2	1	0
捕获 PTP 时间	PTP 调度器稳定计时器						
R/W-0x0	R/W-0x25						

表 8-148. PTP_PLL_CTL 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R	0x0	保留
9	半速率启用	R	0x0	PTP_PLL 设置半速率： 在 PLL_125M 用作基准时钟的模式下，为 NCO 设置半速率。
8	PTP PLL 相位字 [32]	R	0x0	PTP_PLL 相位字位 32： PTP_PLL 相位字的位 32
7	捕获 PTP 时间	R/W	0x0	捕获 PTP 时间和 PTP_PLL 字： 用于捕获当前 33 位 PTP_PLL 字以及 64 位 PTP 时间。设置该触发器会同时存储 PTP 时钟时间戳（32 位秒累加器、32 位纳秒累加器）和 33 位 PTP_PLL 字，可通过 0xD39 - 0xD3F 读取它们。此位可自行清除。

Copyright © 2026 Texas Instruments Incorporated

表 8-148. PTP_PLL_CTL 寄存器字段说明（续）

位	字段	类型	复位	说明
6:0	PTP 调度器稳定计时器	R/W	0x25	PTP_PLL 调度器稳定计时器： PTP_PLL 为任何速率变化提供无抖动输出所用的周期数，定义了进入 PTP_PLL 的速率变化延迟。每次更改 PTP_PLL 的值时，都会在调度器中使用。

8.147 PTP_PLL_RD_1 寄存器（偏移 = 0xD3A）[复位 = 0x0000]

图 8-147 展示了 PTP_PLL_RD_1，表 8-149 对其进行了介绍。

返回到汇总表。

PTP 计时器纳秒计数器读取值。

图 8-147. PTP_PLL_RD_1 寄存器

15	14	13	12	11	10	9	8
PTP 时间戳 [15:0]							
R-0x0							
7	6	5	4	3	2	1	0
PTP 时间戳 [15:0]							
R-0x0							

表 8-149. PTP_PLL_RD_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 时间戳 [15:0]	R	0x0	PTP 时间纳秒 LSB 字： PTP 计时器纳秒计数器的位 15 - 0。

8.148 PTP_PLL_RD_2 寄存器（偏移 = 0xD3B）[复位 = 0x0000]

图 8-148 展示了 PTP_PLL_RD_2，表 8-150 对其进行了介绍。

返回到汇总表。

PTP 计时器纳秒计数器读取值。

图 8-148. PTP_PLL_RD_2 寄存器

15	14	13	12	11	10	9	8
PTP 时间戳 [31:16]							
R-0x0							
7	6	5	4	3	2	1	0
PTP 时间戳 [31:16]							
R-0x0							

表 8-150. PTP_PLL_RD_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 时间戳 [31:16]	R	0x0	PTP 时间纳秒 MSB 字： PTP 计时器纳秒计数器的位 31 - 16。

Copyright © 2026 Texas Instruments Incorporated

8.149 PTP_PLL_RD_3 寄存器（偏移 = 0xD3C）[复位 = 0x0000]

图 8-149 展示了 PTP_PLL_RD_3，表 8-151 对其进行了介绍。

返回到汇总表。

PTP 计时器秒计数器读取值。

图 8-149. PTP_PLL_RD_3 寄存器

15	14	13	12	11	10	9	8
PTP 时间戳 [47:32]							
R-0x0							
7	6	5	4	3	2	1	0
PTP 时间戳 [47:32]							
R-0x0							

表 8-151. PTP_PLL_RD_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 时间戳 [47:32]	R	0x0	PTP 时间秒 LSB 字： PTP 计时器秒计数器的位 15 - 0。

8.150 PTP_PLL_RD_4 寄存器（偏移 = 0xD3D）[复位 = 0x0000]

图 8-150 展示了 PTP_PLL_RD_4，表 8-152 对其进行了介绍。

返回到汇总表。

PTP 计时器秒计数器读取值。

图 8-150. PTP_PLL_RD_4 寄存器

15	14	13	12	11	10	9	8
PTP 时间戳 [63:48]							
R-0x0							
7	6	5	4	3	2	1	0
PTP 时间戳 [63:48]							
R-0x0							

表 8-152. PTP_PLL_RD_4 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 时间戳 [63:48]	R	0x0	PTP 时间秒 MSB 字： PTP 计时器秒计数器的位 31 - 16。

8.151 PTP_PLL_RD_5 寄存器（偏移 = 0xD3E）[复位 = 0x0000]

图 8-151 展示了 PTP_PLL_RD_5，表 8-153 对其进行了介绍。

返回到汇总表。

PTP_PLL 相位字读取值。

图 8-151. PTP_PLL_RD_5 寄存器

15	14	13	12	11	10	9	8
PTP 时间戳 [79:64]							

Copyright © 2026 Texas Instruments Incorporated

图 8-151. PTP_PLL_RD_5 寄存器（续）

R-0x0							
7	6	5	4	3	2	1	0
PTP 时间戳 [79:64]							
R-0x0							

表 8-153. PTP_PLL_RD_5 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 时间戳 [79:64]	R	0x0	PTP_PLL 相位 LSB 字： PTP_PLL 相位字的位 15 - 0。

8.152 PTP_PLL_RD_6 寄存器（偏移 = 0xD3F）[复位 = 0x0000]

图 8-152 展示了 PTP_PLL_RD_6，表 8-154 对其进行了介绍。

返回到汇总表。

PTP_PLL 相位字读取值。

图 8-152. PTP_PLL_RD_6 寄存器

15	14	13	12	11	10	9	8
PTP 时间戳 [95:80]							
R-0x0							
7	6	5	4	3	2	1	0
PTP 时间戳 [95:80]							
R-0x0							

表 8-154. PTP_PLL_RD_6 寄存器字段说明

位	字段	类型	复位	说明
15:0	PTP 时间戳 [95:80]	R	0x0	PTP_PLL 相位 MSB 字： PTP_PLL 相位字的位 31 - 16。

8.153 PTP_ONESTEP_OFF 寄存器（偏移 = 0xD40）[复位 = 0x0000]

图 8-153 展示了 PTP_ONESTEP_OFF，表 8-155 中对此进行了介绍。

返回到汇总表。

控制插入 PTP 数据包的一步时间戳的偏移值。

图 8-153. PTP_ONESTEP_OFF 寄存器

15	14	13	12	11	10	9	8
PTP 累加器速率控制 [31:26]						PTP 一步时间戳偏移量添加启用	PTP 一步时间戳偏移量
R/W-0x0						R/W-0x0	R/W-0x0
7	6	5	4	3	2	1	0
PTP 一步时间戳偏移量							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

表 8-155. PTP_ONESTEP_OFF 寄存器字段说明

位	字段	类型	复位	说明
15:10	PTP 累加器速率控制 [31:26]	R/W	0x0	PTP 累加器速率控制值： 仅当设置 0xD38[14] 时，写入该寄存器会设置 PTP 累加器速率控制值的位 31:26。 速率控制值的单位是 2^{-32} ns。该速率调整不适用于 PTP_PLL。 PTP_PLL 速率调整仍通过寄存器 0xD04 和 0xD05 控制。
9	PTP 一步时间戳偏移量添加启用	R/W	0x0	PTP 一步时间戳偏移量添加启用： 设置该位会在一步时间戳插入期间将偏移量（载入 0xD40[8:0] 中）添加到插入 PTP 数据包的时间戳
8:0	PTP 一步时间戳偏移量	R/W	0x0	PTP 一步时间戳偏移量： 当启用 0xD40[9] 时，该偏移值会在一步运行期间添加到插入的时间戳。

8.154 PTP_PSF_VLAN_CFG_1 寄存器（偏移 = 0xD45）[复位 = 0x0000]

图 8-154 展示了 PTP_PSF_VLAN_CFG_1，表 8-156 对其进行了介绍。

返回到汇总表。

PSF 数据包 VLAN 标记的配置

图 8-154. PTP_PSF_VLAN_CFG_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED						PSF 的双 VLAN 标记启用	PSF 的 VLAN 标记启用
R-0x0						R/W-0x0	R/W-0x0

表 8-156. PTP_PSF_VLAN_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0	保留
1	PSF 的双 VLAN 标记启用	R/W	0x0	1b = 允许为 PSF 数据包添加双 VLAN 标记
0	PSF 的 VLAN 标记启用	R/W	0x0	1b = 允许为 PSF 数据包添加 VLAN 标签

8.155 PTP_PSF_VLAN_CFG_2 寄存器（偏移 = 0xD46）[复位 = 0x0000]

图 8-155 展示了 PTP_PSF_VLAN_CFG_2，表 8-157 对其进行了介绍。

返回到汇总表。

PSF 数据包 VLAN 标记的配置

图 8-155. PTP_PSF_VLAN_CFG_2 寄存器

15	14	13	12	11	10	9	8
PSF 的 VLAN 标记 1							
R/W-0x0							
7	6	5	4	3	2	1	0
PSF 的 VLAN 标记 1							
R/W-0x0							

Copyright © 2026 Texas Instruments Incorporated

图 8-155. PTP_PSF_VLAN_CFG_2 寄存器（续）

表 8-157. PTP_PSF_VLAN_CFG_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	PSF 的 VLAN 标记 1	R/W	0x0	当 0x0D45[0]=1 时，添加到 PSF 数据包的 VLAN 标签 1

8.156 PTP_PSF_VLAN_CFG_3 寄存器（偏移 = 0xD47）[复位 = 0x0000]

图 8-156 展示了 PTP_PSF_VLAN_CFG_3，表 8-158 对其进行了介绍。

返回到汇总表。

PSF 数据包 VLAN 标记的配置

图 8-156. PTP_PSF_VLAN_CFG_3 寄存器

15	14	13	12	11	10	9	8
PSF 的 VLAN 标记 2							
R/W-0x0							
7	6	5	4	3	2	1	0
PSF 的 VLAN 标记 2							
R/W-0x0							

表 8-158. PTP_PSF_VLAN_CFG_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	PSF 的 VLAN 标记 2	R/W	0x0	当 0x0D45[1]=1 时，添加到 PSF 数据包的 VLAN 标签 2

8.157 MAX_IPV4_LENGTH 寄存器（偏移 = 0xD48）[复位 = 0x0724]

图 8-157 展示了 MAX_IPV4_LENGTH，表 8-159 对其进行了介绍。

返回到汇总表。

图 8-157. MAX_IPV4_LENGTH 寄存器

15	14	13	12	11	10	9	8
RESERVED				mr_ipv4_length_2			
R-0x0				R/W-0x1C			
7	6	5	4	3	2	1	0
mr_ipv4_length_2		mr_ipv4_length_1					
R/W-0x1C		R/W-0x24					

表 8-159. MAX_IPV4_LENGTH 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留
11:6	mr_ipv4_length_2	R/W	0x1C	为 PSF IPV4 配置最大数据包长度。IPv4 数据包长度的最大值为 0x3E
5:0	mr_ipv4_length_1	R/W	0x24	为 PSF IPV4 配置最大数据包长度。IPv4 数据包长度的最大值为 0x3E

Copyright © 2026 Texas Instruments Incorporated

8.158 PTP_TXCFG_2 寄存器（偏移 = 0xD49）[复位 = 0x0000]

图 8-158 展示了 PTP_TXCFG_2，表 8-160 对其进行了介绍。

返回到汇总表。

图 8-158. PTP_TXCFG_2 寄存器

15	14	13	12	11	10	9	8
RESERVED						mr_ptp_domain_tx	
R-0x0						R/W-0x0	
7	6	5	4	3	2	1	0
mr_ptp_domain_tx						mr_pkt_cfg_en	tx_domain_en
R/W-0x0						R/W-0x0	R/W-0x0

表 8-160. PTP_TXCFG_2 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R	0x0	保留
9:2	mr_ptp_domain_tx	R/W	0x0	设置 Tx 数据包的 PTP 域过滤
1	mr_pkt_cfg_en	R/W	0x0	设置是否在 PSF 中为 DMAC/SMAC 启用了可配置性
0	tx_domain_en	R/W	0x0	1b = 在 PTP TX 上启用域过滤 0b = 在 PTP TX 上禁用域过滤波

8.159 PSF_DMAC_1 寄存器（偏移 = 0xD4A）[复位 = 0x1B01]

图 8-159 展示了 PSF_DMAC_1，表 8-161 对其进行了介绍。

返回到汇总表。

图 8-159. PSF_DMAC_1 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_dmac							
R/W-0x1B01							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_dmac							
R/W-0x1B01							

表 8-161. PSF_DMAC_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_dmac	R/W	0x1B01	带反转字节的 PSF DMAC byte_1 和 byte_2。（byte_2、byte_1）

8.160 PSF_DMAC_2 寄存器（偏移 = 0xD4B）[复位 = 0x0019]

图 8-160 展示了 PSF_DMAC_2，表 8-162 对其进行了介绍。

返回到汇总表。

图 8-160. PSF_DMAC_2 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_dmac							
R/W-0x19							
7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

图 8-160. PSF_DMAC_2 寄存器（续）

mr_pkt_sts_ipv4_dmac
R/W-0x19

表 8-162. PSF_DMAC_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_dmac	R/W	0x19	带反转字节的 PSF DMAC byte_3 和 byte_4。（byte_4、byte_3）

8.161 PSF_DMAC_3 寄存器（偏移 = 0xD4C）[复位 = 0x0000]

图 8-161 展示了 PSF_DMAC_3，表 8-163 对其进行了介绍。

返回到汇总表。

图 8-161. PSF_DMAC_3 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_dmac							
R/W-0x0							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_dmac							
R/W-0x0							

表 8-163. PSF_DMAC_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_dmac	R/W	0x0	带反转字节的 PSF DMAC byte_5 和 byte_6。（byte_6、byte_5）

8.162 PSF_SMAC_1 寄存器（偏移 = 0xD4D）[复位 = 0x0008]

图 8-162 展示了 PSF_SMAC_1，表 8-164 对其进行了介绍。

返回到汇总表。

图 8-162. PSF_SMAC_1 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_smac							
R/W-0x8							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_smac							
R/W-0x8							

表 8-164. PSF_SMAC_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_smac	R/W	0x8	带反转字节的 PSF SMAC byte_1 和 byte_2。（byte_2、byte_1）

8.163 PSF_SMAC_2 寄存器（偏移 = 0xD4E）[复位 = 0x0B17]

图 8-163 展示了 PSF_SMAC_2，表 8-165 对其进行了介绍。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

图 8-163. PSF_SMAC_2 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_smac							
R/W-0xB17							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_smac							
R/W-0xB17							

表 8-165. PSF_SMAC_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_smac	R/W	0xB17	带反转字节的 PSF SMAC byte_3 和 byte_4。（byte_4、byte_3）

8.164 PSF_SMAC_3 寄存器（偏移 = 0xD4F）[复位 = 0x0F6B]

图 8-164 展示了 PSF_SMAC_3，表 8-166 对其进行了介绍。

返回到汇总表。

图 8-164. PSF_SMAC_3 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_smac							
R/W-0xF6B							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_smac							
R/W-0xF6B							

表 8-166. PSF_SMAC_3 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_smac	R/W	0xF6B	带反转字节的 PSF SMAC byte_5 和 byte_6。（byte_6、byte_5）

8.165 PSF_ETYPE 寄存器（偏移 = 0xD50）[复位 = 0xF788]

图 8-165 展示了 PSF_ETYPE，表 8-167 中对此进行了介绍。

返回到汇总表。

图 8-165. PSF_ETYPE 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_etype							
R/W-0xF788							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_etype							
R/W-0xF788							

表 8-167. PSF_ETYPE 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_etype	R/W	0xF788	PSF 以太网类型 byte_1、byte_2，用于具有反转字节的 L2 数据包（byte_2、byte1）

Copyright © 2026 Texas Instruments Incorporated

8.166 IPV4_DA_1 寄存器（偏移 = 0xD51）[复位 = 0x00E0]

图 8-166 展示了 IPV4_DA_1，表 8-168 对其进行了介绍。

返回到汇总表。

图 8-166. IPV4_DA_1 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_da							
R/W-0xE0							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_da							
R/W-0xE0							

表 8-168. IPV4_DA_1 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_da	R/W	0xE0	具有反转字节的 PSF DA byte_1、byte_2（byte_2、byte_1）

8.167 IPV4_DA_2 寄存器（偏移 = 0xD52）[复位 = 0x8101]

图 8-167 展示了 IPV4_DA_2，表 8-169 对其进行了介绍。

返回到汇总表。

图 8-167. IPV4_DA_2 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_ipv4_da							
R/W-0x8101							
7	6	5	4	3	2	1	0
mr_pkt_sts_ipv4_da							
R/W-0x8101							

表 8-169. IPV4_DA_2 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_ipv4_da	R/W	0x8101	具有反转字节的 PSF DA byte_3、byte_4（byte_4、byte_3）

8.168 PSF_SOURCE_UDP_PORT 寄存器（偏移 = 0xD53）[复位 = 0x3F01]

图 8-168 展示了 PSF_SOURCE_UDP_PORT，表 8-170 中对此进行了介绍。

返回到汇总表。

图 8-168. PSF_SOURCE_UDP_PORT 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_udp_s_port							
R/W-0x3F01							
7	6	5	4	3	2	1	0
mr_pkt_sts_udp_s_port							
R/W-0x3F01							

Copyright © 2026 Texas Instruments Incorporated

表 8-170. PSF_SOURCE_UDP_PORT 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_udp_s_port	R/W	0x3F01	具有反转字节的 PSF S_PORT byte_1、byte_2（byte_2、byte_1）

8.169 PSF_DESTINATION_UDP_PORT 寄存器（偏移 = 0xD54）[复位 = 0x3F01]

图 8-169 展示了 PSF_DESTINATION_UDP_PORT，表 8-171 中对此进行了介绍。

返回到汇总表。

图 8-169. PSF_DESTINATION_UDP_PORT 寄存器

15	14	13	12	11	10	9	8
mr_pkt_sts_udp_d_port							
R/W-0x3F01							
7	6	5	4	3	2	1	0
mr_pkt_sts_udp_d_port							
R/W-0x3F01							

表 8-171. PSF_DESTINATION_UDP_PORT 寄存器字段说明

位	字段	类型	复位	说明
15:0	mr_pkt_sts_udp_d_port	R/W	0x3F01	具有反转字节的 PSF D_PORT byte_1、byte_2（byte_2、byte_1）

8.170 PTP_LAT_COMP_CTRL 寄存器（偏移 = 0xDE0）[复位 = 0xC000]

图 8-170 展示了 PTP_LAT_COMP_CTRL，表 8-172 中对此进行了介绍。

返回到汇总表。

图 8-170. PTP_LAT_COMP_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0xC0							
7	6	5	4	3	2	1	0
RESERVED		RESERVED	RESERVED	抖动延迟补偿启用 - 接收路径	抖动延迟补偿启用 - 发送路径	延迟补偿启用 - 接收路径	延迟补偿启用 - 发送路径
R-0x0		R-0x0	R-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 8-172. PTP_LAT_COMP_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0xC0	保留
7:6	RESERVED	R	0x0	保留
5	RESERVED	R	0x0	保留
4	RESERVED	R	0x0	保留
3	抖动延迟补偿启用 - 接收路径	R/W	0x0	启用抖动后，在 Rx 侧启用固定延迟补偿以实现 2 步 PTP 时间戳
2	抖动延迟补偿启用 - 发送路径	R/W	0x0	启用抖动后，在 Tx 侧启用固定延迟补偿以实现 2 步 PTP 时间戳
1	延迟补偿启用 - 接收路径	R/W	0x0	在 Rx 侧启用固定延迟补偿以实现 2 步 PTP 时间戳
0	延迟补偿启用 - 发送路径	R/W	0x0	在 Tx 侧启用固定延迟补偿以实现 2 步 PTP 时间戳

Copyright © 2026 Texas Instruments Incorporated

8.171 PTP_DEBUG_SEL 寄存器（偏移 = 0xDF0）[复位 = 0x0000]

图 8-171 展示了 PTP_DEBUG_SEL，表 8-173 中对此进行了介绍。

返回到汇总表。

图 8-171. PTP_DEBUG_SEL 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED						RESERVED	PTP 外部基准支持使能
R-0x0						R-0x0	R/W-0x0

表 8-173. PTP_DEBUG_SEL 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0	保留
1	RESERVED	R	0x0	保留
0	PTP 外部基准支持使能	R/W	0x0	在 PTP 外部基准时钟模式下，默认条件下，支持的最低频率 > 35MHz。设置该位可支持更低频率（达到 25MHz）

8.172 MMD1_PMA_CTRL_1 寄存器（偏移 = 0x1000）[复位 = 0x0000]

图 8-172 展示了 MMD1_PMA_CTRL_1，表 8-174 对其进行了介绍。

返回到汇总表。

图 8-172. MMD1_PMA_CTRL_1 寄存器

15	14	13	12	11	10	9	8
PMA 复位	RESERVED						
R/W-0x0	R-0x0						
7	6	5	4	3	2	1	0
RESERVED							PMA 环回
R-0x0							R/W-0x0

表 8-174. MMD1_PMA_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	PMA 复位	R/W	0x0	1b = PMA 复位
14:1	RESERVED	R	0x0	保留
0	PMA 环回	R/W	0x0	1b =设置 PMA 回送

8.173 MMD1_PMA_STATUS_1 寄存器（偏移 = 0x1001）[复位 = 0x0000]

图 8-173 展示了 MMD1_PMA_STATUS_1，表 8-175 对其进行了介绍。

返回到汇总表。

图 8-173. MMD1_PMA_STATUS_1 寄存器

15	14	13	12	11	10	9	8
RESERVED							

Copyright © 2026 Texas Instruments Incorporated

图 8-173. MMD1_PMA_STATUS_1 寄存器（续）

R-0x0							
7	6	5	4	3	2	1	0
RESERVED					链路状态	RESERVED	
R-0x0					R-0x0	R-0x0	

表 8-175. MMD1_PMA_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
15:3	RESERVED	R	0x0	保留
2	链路状态	R	0x0	1b = 链路已建立
1:0	RESERVED	R	0x0	保留

8.174 MMD1_PMA_STAUS_2 寄存器（偏移 = 0x1007）[复位 = 0x003D]

图 8-174 展示了 MMD1_PMA_STAUS_2，表 8-176 对其进行了介绍。

返回到汇总表。

图 8-174. MMD1_PMA_STAUS_2 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED		PMA PMD 类型选择					
R-0x0		R-0x3D					

表 8-176. MMD1_PMA_STAUS_2 寄存器字段说明

位	字段	类型	复位	说明
15:6	RESERVED	R	0x0	保留
5:0	PMA PMD 类型选择	R	0x3D	PMA 或 PMD 类型选择字段 111101b = 100BASE-T1 PMA 或 PMD

8.175 MMD1_PMA_EXT_ABILITY_1 寄存器（偏移 = 0x100B）[复位 = 0x0800]

图 8-175 展示了 MMD1_PMA_EXT_ABILITY_1，表 8-177 对其进行了介绍。

返回到汇总表。

图 8-175. MMD1_PMA_EXT_ABILITY_1 寄存器

15	14	13	12	11	10	9	8
RESERVED				扩展功能	RESERVED		
R-0x0				R-0x1	R-0x0		
7	6	5	4	3	2	1	0
RESERVED							
R-0x0							

表 8-177. MMD1_PMA_EXT_ABILITY_1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-177. MMD1_PMA_EXT_ABILITY_1 寄存器字段说明（续）

位	字段	类型	复位	说明
11	扩展功能	R	0x1	1b = PMA/PMD 具有 BASE-T1 扩展功能 0b = PMA/PMD 没有 BASE-T1 扩展功能
10:0	RESERVED	R	0x0	保留

8.176 MMD1_PMA_EXT_ABILITY_2 寄存器（偏移 = 0x1012）[复位 = 0x0001]

图 8-176 展示了 MMD1_PMA_EXT_ABILITY_2，表 8-178 对其进行了介绍。

返回到汇总表。

图 8-176. MMD1_PMA_EXT_ABILITY_2 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0x0							
7	6	5	4	3	2	1	0
RESERVED							100BASE-T1 功能
R-0x0							R-0x1

表 8-178. MMD1_PMA_EXT_ABILITY_2 寄存器字段说明

位	字段	类型	复位	说明
15:1	RESERVED	R	0x0	保留
0	100BASE-T1 功能	R	0x1	1b = PMA/PMD 支持 100BASE-T1 0b = PMA/PMD 不支持 100BASE-T1

8.177 MMD1_PMA_CTRL_2 寄存器（偏移 = 0x1834）[复位 = 0xX000]

图 8-177 展示了 MMD1_PMA_CTRL_2，表 8-179 对其进行了介绍。

返回到汇总表。

图 8-177. MMD1_PMA_CTRL_2 寄存器

15	14	13	12	11	10	9	8
RESERVED	主模式从模式配置	RESERVED					
R-0x1	R/W-0xX	R-0x0					
7	6	5	4	3	2	1	0
RESERVED				类型选择			
R-0x0				R-0x0			

表 8-179. MMD1_PMA_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x1	保留
14	主模式从模式配置	R/W	0x0	1b = 将 PHY 配置为主模式 0b = 将 PHY 配置为从模式
13:4	RESERVED	R	0x0	保留
3:0	类型选择	R	0x0	类型选择字段 0000b = 100Base-T1

Copyright © 2026 Texas Instruments Incorporated

8.178 MMD1_PMA_TEST_MODE_CTRL 寄存器（偏移 = 0x1836）[复位 = 0x0000]

图 8-178 展示了 MMD1_PMA_TEST_MODE_CTRL，表 8-180 对其进行了介绍。

返回到汇总表。

图 8-178. MMD1_PMA_TEST_MODE_CTRL 寄存器

15	14	13	12	11	10	9	8
合规性测试模式			RESERVED				
R/W-0x0			R-0x0				
7	6	5	4	3	2	1	0
RESERVED							
R-0x0							

表 8-180. MMD1_PMA_TEST_MODE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15:13	合规性测试模式	R/W	0x0	100BASE-T1 测试模式控制 000b = 正常模式运行 001b = 测试模式 1 010b = 测试模式 2 011b = 保留 100b = 测试模式 4 101b = 测试模式 5 110b = 保留 111b = 保留
12:0	RESERVED	R	0x0	保留

8.179 MMD3_PCS_CTRL_1 寄存器（偏移 = 0x3000）[复位 = 0x0000]

图 8-179 展示了 MMD3_PCS_CTRL_1，表 8-181 对其进行了介绍。

返回到汇总表。

图 8-179. MMD3_PCS_CTRL_1 寄存器

15	14	13	12	11	10	9	8
PCS 复位	PCS 环回	RESERVED			RX 时钟可停止	RESERVED	
R/W-0x0	R/W-0x0	R-0x0			R/W-0x0	R-0x0	
7	6	5	4	3	2	1	0
RESERVED							
R-0x0							

表 8-181. MMD3_PCS_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
15	PCS 复位	R/W	0x0	复位位，自清零。 当向该位写入 1 时： 1. 在 MMD3/MMD7 处复位寄存器（非供应商特定）。 2.复位 brk_top 请注意：该寄存器为 WSC（写自清零），不是只读寄存器！
14	PCS 环回	R/W	0x0	该位由 PCS_Reset 清零
13:11	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-181. MMD3_PCS_CTRL_1 寄存器字段说明（续）

位	字段	类型	复位	说明
10	RX 时钟可停止	R/W	0x0	RW，复位值 = 1。 1= PHY 可以在 LPI 期间停止接收时钟 0 = 时钟不可停止 注意：该触发器在胶合逻辑下实现
9:0	RESERVED	R	0x0	保留

8.180 MMD3_PCS_Status_1 寄存器（偏移 = 0x3001）[复位 = 0x0000]

图 8-180 展示了 MMD3_PCS_Status_1，表 8-182 对其进行了介绍。

返回到汇总表。

图 8-180. MMD3_PCS_Status_1 寄存器

15	14	13	12	11	10	9	8
RESERVED				TX LPI 已收到	RX LPI 已收到	TX LPI 指示	RX LPI 指示
R-0x0				RC-0x0	RC-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
RESERVED	TX 时钟可停止	RESERVED					
R-0x0	R-0x0	R-0x0					

表 8-182. MMD3_PCS_Status_1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留
11	TX LPI 已收到	RC	0x0	1= Tx PCS 已收到 LPI 0 = 未收到 LPI
10	RX LPI 已收到	RC	0x0	1= Rx PCS 已收到 LPI 0 = 未收到 LPI
9	TX LPI 指示	R	0x0	1= TX PCS 当前正在接收 LPI 0 = PCS 当前未接收 LPI
8	RX LPI 指示	R	0x0	1= RX PCS 当前正在接收 LPI 0 = PCS 当前未接收 LPI
7	RESERVED	R	0x0	保留
6	TX 时钟可停止	R	0x0	1= MAC 可以在 LPI 期间停止时钟 0= 时钟不可停止
5:0	RESERVED	R	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DP83TC1103x-Q1 是一款单端口 100Mbps 汽车以太网 PHY。它符合 IEEE 802.3bw 标准，支持通过 MII、RMII、RGMII 或 SGMII 连接至以太网 MAC。在以太网应用中使用该器件时，必须满足某些要求，才能实现正常运行。以下各小节旨在帮助选择合适的元件并完成所需连接。

备注

必须使用 TI 应用手册 SDAA127 *DP83TC815 和 DP83TC816：Open Alliance 规范合规性测试配置* 中概述的寄存器设置来实现所需的 OA 合规性能。要获取该应用手册，请联系 TI。

9.2 典型应用

图 9-1 至图 9-5 展示了 DP83TC1103x-Q1 的一些典型应用。

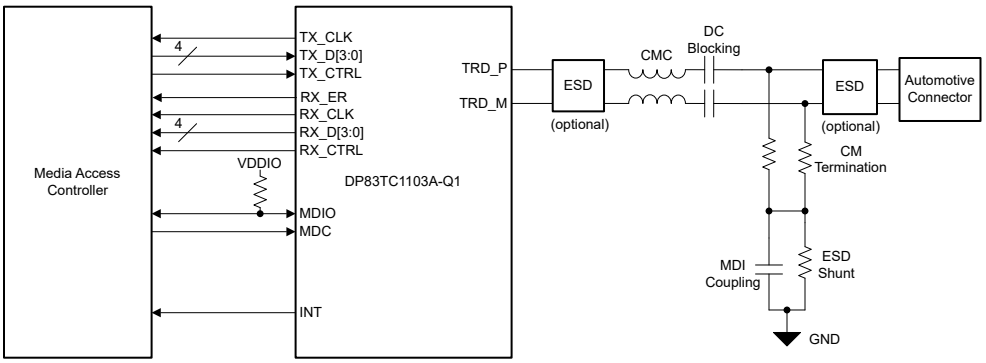


图 9-1. 典型应用 (MII)

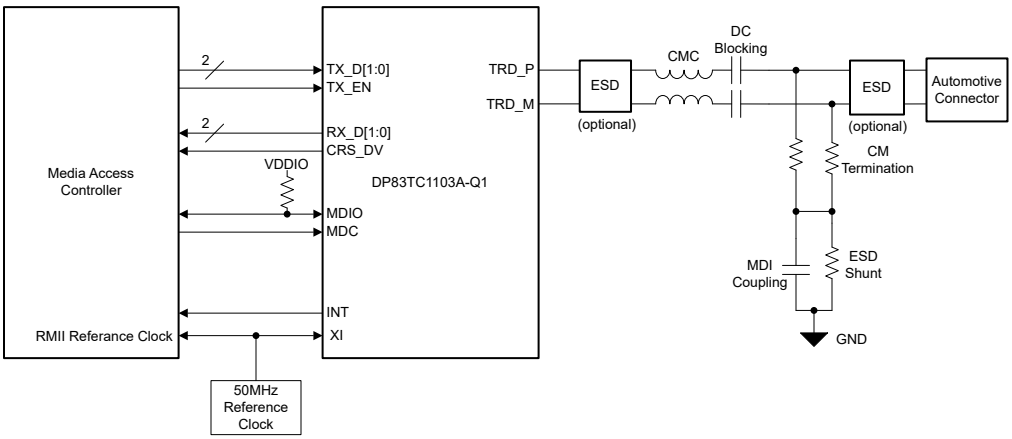


图 9-2. 典型应用（RMII 从器件）

Copyright © 2026 Texas Instruments Incorporated

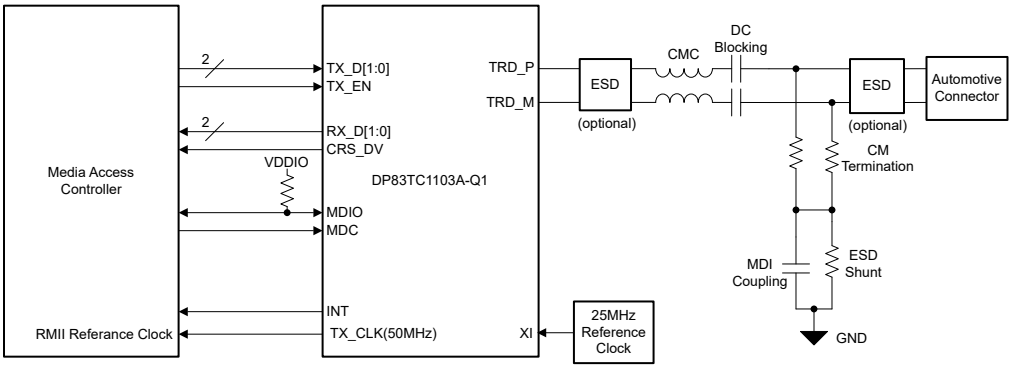


图 9-3. 典型应用（RMII 主器件）

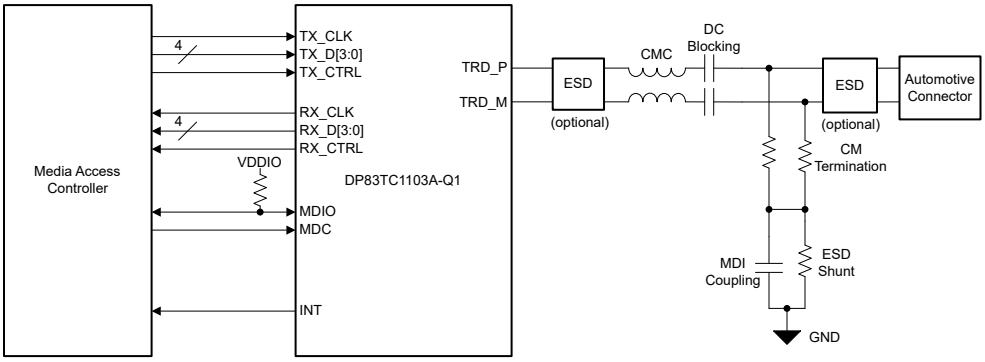


图 9-4. 典型应用 (RGMII)

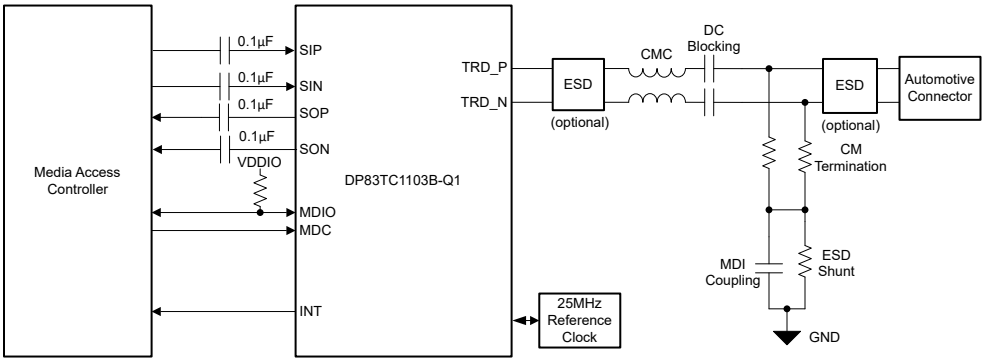


图 9-5. 典型应用 (SGMII)

9.2.1 设计要求

对于这些典型应用，请使用下表中的设计参数。请参阅节 9.3 章节，详细了解连接图。

表 9-1. 设计参数

设计参数	示例值
V_{DDIO}	1.8V、2.5V 或 3.3V
V_{DDA}	3.3V
V_{SLEEP}	3.3V
去耦电容器 V_{DDIO}(2)	0.01 µF、0.01 µF、0.47 µF
V_{DDIO} 铁氧体磁珠	100MHz 时为 1kΩ (BLM18KG601SH1D)
去耦电容器 V_{DDA}(2)	0.01 µF、0.47 µF

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 设计参数（续）

设计参数	示例值
（可选）V_{DDA} 铁氧体磁珠	100MHz 时为 1kΩ (BLM18KG601SH1D)
去耦电容器 V_{SLEEP}	0.1μF
去耦电容器 V_{DD1P0} (2)	0.1μF、2.2μF
直流阻断电容器 (2)	0.1μF
共模扼流圈	200μH
共模终端电阻器 (1)	1kΩ
MDI 耦合电容器 (2)	4.7nF
ESD 分流器 (2)	100kΩ
参考时钟	25MHz

(1) 建议使用容差为 1% 的组件。
(2) 建议使用容差为 10% 的组件。

9.2.1.1 物理媒体连接

共模扼流圈下方不允许存在金属。CMC 会将噪声注入其下方的金属，从而影响系统的发射和抗扰度性能。由于 DP83TC1103x-Q1 是电压模式线路驱动器，因此无需外部终端电阻器。ESD 分流器和 MDI 耦合电容器必须接地。确认共模终端电阻器的容差为 1% 或以下，以便改善差分耦合。

9.2.1.1.1 共模扼流圈建议

建议将以下 CMC 与 DP83TC1103x-Q1 配合使用：

表 9-2. 建议 CMC

制造商	器件型号
Pulse Electronics	AE2002
Murata	DLW43MH201XK2L
Murata	DLW32MH201XK2
TDK	ACT1210L-201

表 9-3. CMC 电气规格

参数	典型值	单位	条件
插入损耗	-0.5	dB	1 – 30MHz
	-1.0	dB	30 – 60MHz
回波损耗	-26	dB	1 – 30MHz
	-20	dB	30 – 60MHz
共模抑制	-24	dB	1MHz
	-42	dB	10 – 100MHz
	-25	dB	400MHz
差分共模抑制	-70	dB	1 – 10MHz
	-50	dB	100MHz
	-24	dB	1000MHz

9.2.2 详细设计过程

使用以太网 PHY 创建新系统设计时，请遵循以下原理图捕获过程：

1. 从自举表中选择所需 PHY 硬件配置。
2. 使用“电气特性”表、“建议用于 PHY 的 3 级 Strap 配置电阻比”表和“建议 2 级 Strap 配置电阻”表选择正确的外部自举电阻器。

Copyright © 2026 Texas Instruments Incorporated

3. 如果使用 LED，请确认采用正确的外部电路，如“Strap 配置连接示例”所示。
4. 从电气特性表中选择符合 CMOS 级振荡器或晶体谐振器要求的合适时钟源。
5. 选择 CMC，建议 CMC 列表请参阅“建议 CMC”。
6. 添加设计参数中的共模终端、直流阻断电容器、MDI 耦合电容器和 ESD 分流器。
7. 确认 VDDIO 和 VDDA 电源引脚上有足够的电源去耦。
8. 在 MDIO 线路中添加外部上拉电阻器（连接至 VDDIO）。
9. 如果采用 SGMII，则在 MAC 与 PHY SGMII 引脚之间连接 0.1 µ F 直流阻断电容器。
10. 如果不需要睡眠模式，WAKE 引脚必须直接连接到 VSLEEP，或通过外部上拉电阻器连接到 VSLEEP。

应遵循如下布局过程：

1. 靠近电路板边缘布置 PHY，以便将短 MDI 布线连接至所需连接器。
2. 布置 MDI 外部元件：CMC、直流阻断电容器、CM 终端、MDI 耦合电容器和 ESD 分流器。
3. 在顶层 CMC 下方创建金属浇注禁止区域，之后在顶层下方至少创建一层。
4. 确认 MDI TRD_M 和 TRD_P 走线的连接方式能够实现 100Ω 差分。
5. 靠近 XI 和 XO 引脚布置时钟源。
6. 确认当配置为 MII、RMII 或 RGMII 运行时，xMII 引脚连接为 50Ω，且为以地为基准的单端连接。
7. 确认发送路径 xMII 引脚的连接方式可使建立和保存计时不违反 PHY 要求。
8. 确认接收路径 xMII 引脚的连接方式可使建立和保持计时不违反 MAC 要求。
9. 确认当配置为 SGMII 运行时，xMII RX_P、RX_M、TX_P 和 TX_M 引脚的连接方式能够实现 100Ω 差分。
10. 靠近 PHY 布置 MDIO 上拉电阻器。

9.3 电源相关建议

DP83TC1103x-Q1 需要 VDDA（内核模拟电压）、VDDIO（IO 电源电压）和 VSLEEP（睡眠模式常开电源）。3.3V 外部电源必须通过去耦网络和可选的铁氧体磁珠连接到 VDDA。推荐的电源去耦网络如下图所示：

DP83TC1103x-Q1 能在宽 IO 电源电压范围（3.3V、2.5V 或 1.8V）内运行。不需要电源时序控制。推荐的电源去耦网络如下图所示：为了改善传导发射，可以在电源和 PHY 去耦网络之间放置一个可选的铁氧体磁珠。

典型的 TC-10 应用方框图以及电源和外设如下所示。TPS7E81-Q1 是建议用作 VSLEEP 电源轨的 3.3V LDO 的器件型号。此 LDO 具有低静态电流，专为 TC-10 应用而设计。TC10 应用的一些配电网络示例将在节 7.3.2 中介绍。对于非 TC10 应用，VSLEEP 也可以连接到 VDDA，在此配置中必须保留 0.1µF 电容。

VDD1P0 由 DP83TC1103x-Q1 内部的 LDO 供电。将 2.2µF 和 0.1µF 的去耦网络连接至 VDD1P0（引脚 3）。外部电源不得连接到 VDD1P0。

Copyright © 2026 Texas Instruments Incorporated

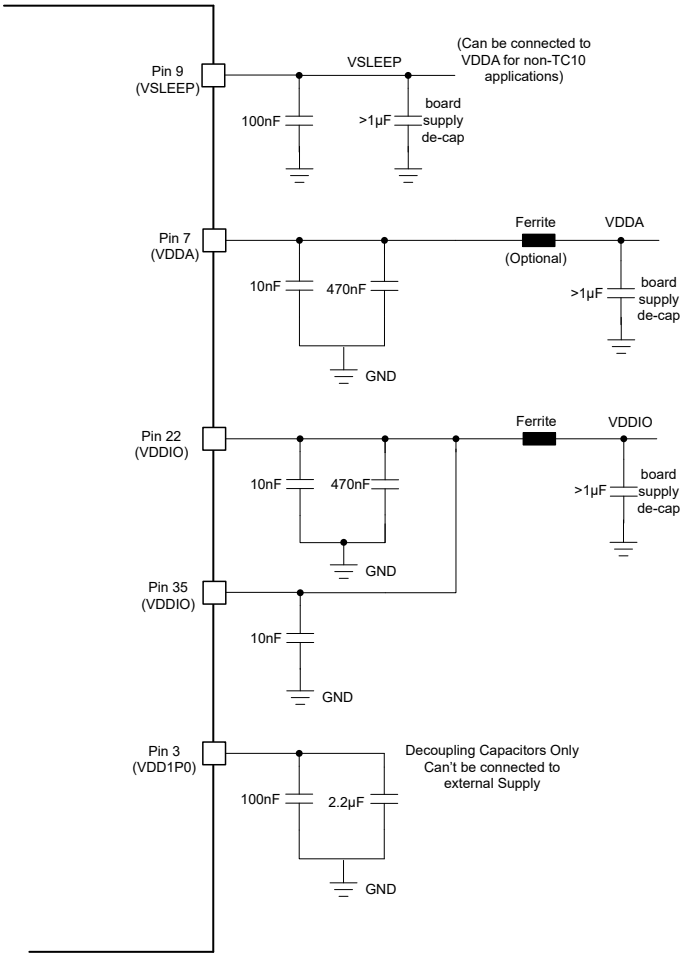


图 9-6. 电源去耦网络 — DP83TC1103x-Q1

9.4 布局

9.4.1 布局指南

9.4.1.1 信号布线

PCB 布线存在损耗，长布线会降低信号质量。布线必须尽可能短。除非另有说明，否则所有信号布线必须为 50Ω 单端阻抗。差分布线必须为 50Ω 单端和 100Ω 差分。请务必确认阻抗始终可控。阻抗不连续性会产生反射，从而导致发射和信号完整性问题。对于所有信号布线（特别是差分信号对），必须避免出现残桩。

Copyright © 2026 Texas Instruments Incorporated

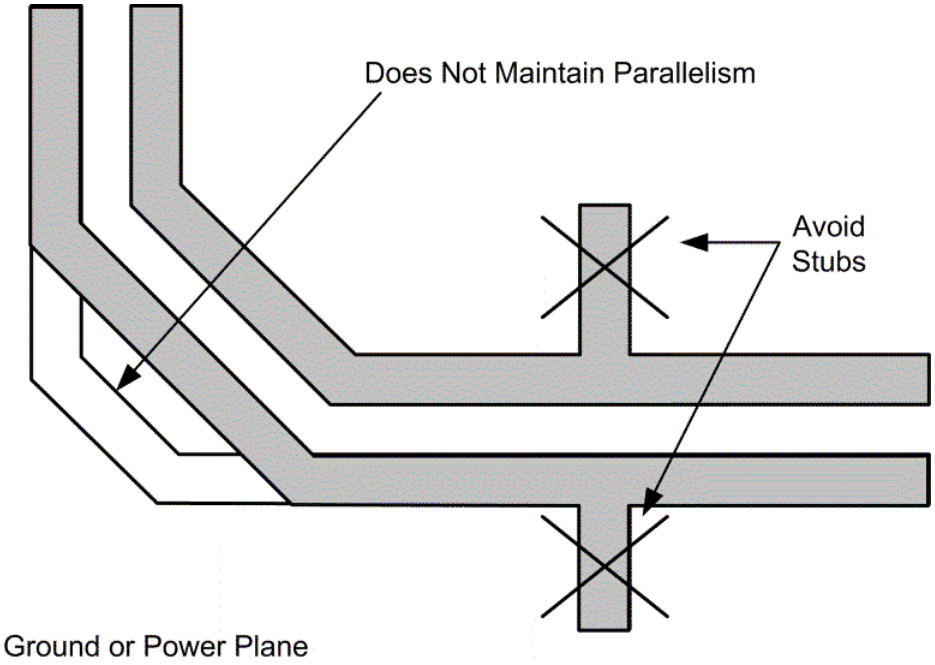


图 9-7. 差分信号布线

在差分对内，布线必须相互平行，长度匹配。匹配的长度可充分减小延迟差异，避免增加共模噪声和发射。长度匹配对 MAC 接口连接也很重要。所有发送信号布线的长度必须相互匹配，所有接收信号布线的长度也必须相互匹配。对于 SGMII 差分布线，建议将偏差不匹配保持在 20ps 以下。

理想情况下，信号路径布线上不得出现交叉。高速信号布线必须在内部层上布线，以提高 EMC 性能。然而，过孔会导致阻抗不连续情形发生，必须最大限度减少过孔情形。在同一层布线差分信号对。不同层的信号之间至少要有一个返回路径平面，否则不得存在交叉情形。差分对之间必须始终保持恒定的耦合距离。为提高便利性和效率，TI 建议首先布线关键信号（即 MDI 差分对、基准时钟和 MAC IF 布线）。

9.4.1.2 返回路径

一般情况下，在所有信号布线下方都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加明显。无论如何，必须避免信号布线之间的返回路径中断。穿过分离平面的信号不仅可能导致返回路径电流不可预测，还可能影响信号质量，导致发射问题。

Copyright © 2026 Texas Instruments Incorporated

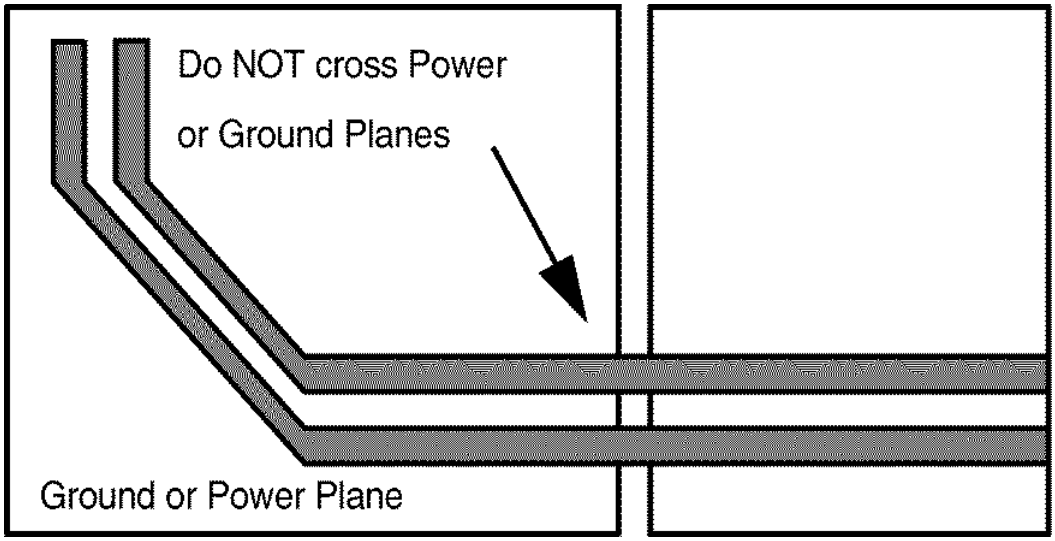


图 9-8. 电源平面和接地平面分裂

9.4.1.3 金属浇注

所有非信号或电源的金属浇注都必须接地。系统中不得有悬空金属，差分布线之间不得有金属。

9.4.1.4 PCB 层堆叠

为满足信号完整性和性能要求，建议至少使用四层 PCB。但是，尽可能使用六层或以上 PCB。

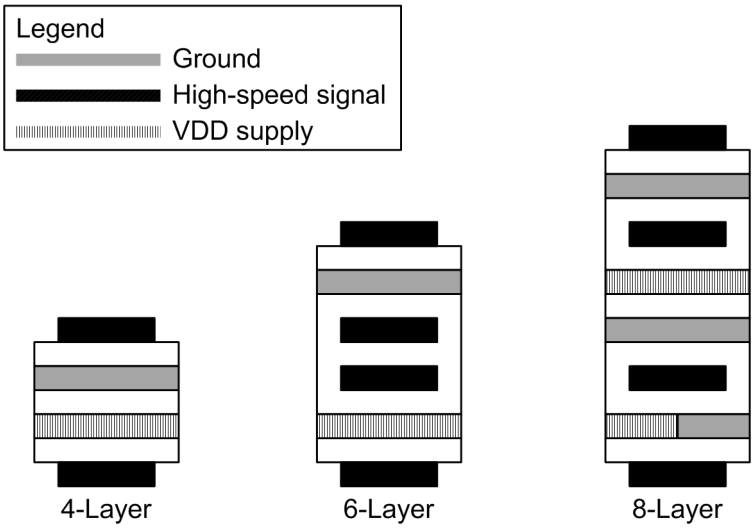


图 9-9. 建议 PCB 层堆叠

Copyright © 2026 Texas Instruments Incorporated

9.4.2 布局示例

DP83TC1103x-Q1 具有评估板基准。 是一款介质转换器板，可用于实现互操作性和误码率测试。

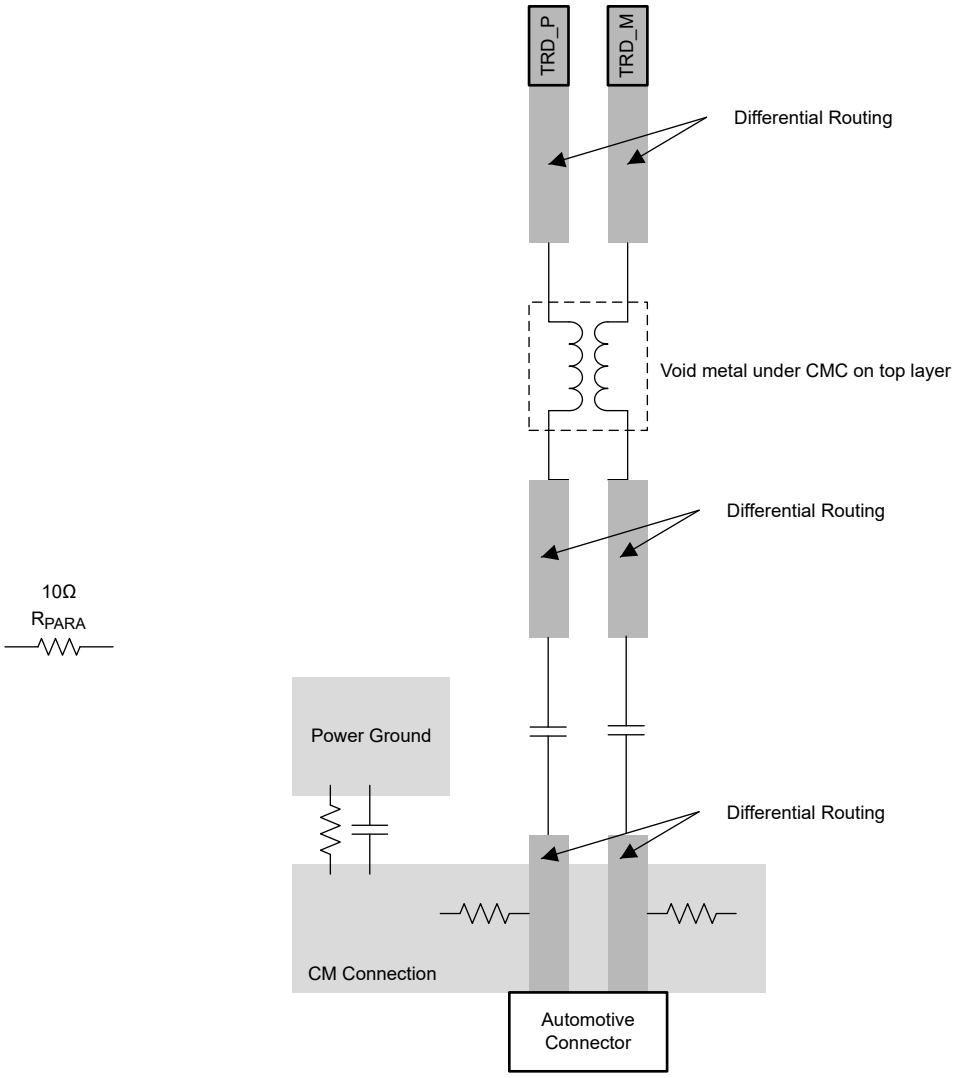


图 9-10. MDI 低通滤波器布局建议

10 器件和文档支持

10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2026	*	初始发行版

Copyright © 2026 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83TC1103ARHARQ1	Active	Production	null (null) |	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DP1103A
DP83TC1103BRHARQ1	Active	Production	null (null) |	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DP1103B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月