DLP650TE 0.65 英寸 4K 超高清数字微镜器件

1 特性

- 0.65 英寸对角微镜阵列
  - 4K UHD (3840 × 2160) 显示分辨率
  - 7.6µm 微镜间距
  - ±12° 微镜倾斜角 (相对于平坦表面)
  - 角落照明
- 高速串行接口 (HSSI) 输入数据总线
- 支持 4K 超高清 (60Hz) 和全高清 (240Hz)
- 由 DLPC7540 显示控制器、DLPA100 电源管理和电机驱动器 IC 支持激光荧光、LED、RGB 激光和灯泡运行

2 应用

- 激光电视
- 智能投影仪
- 企业投影仪

3 说明

DLP650TE 数字微镜器件 (DMD) 是一款数控微机电系统 (MEMS) 空间照明调制器 (SLM)，可用于实现高亮度 4K UHD 显示系统。DLP® 产品 0.65-英寸 4K UHD 芯片组由 DMD、DLPC7540 显示控制器、DLPA100 电源和电机驱动器组成。芯片组外形紧凑，可为体型小巧的 4K UHD 显示提供完整的系统解决方案。

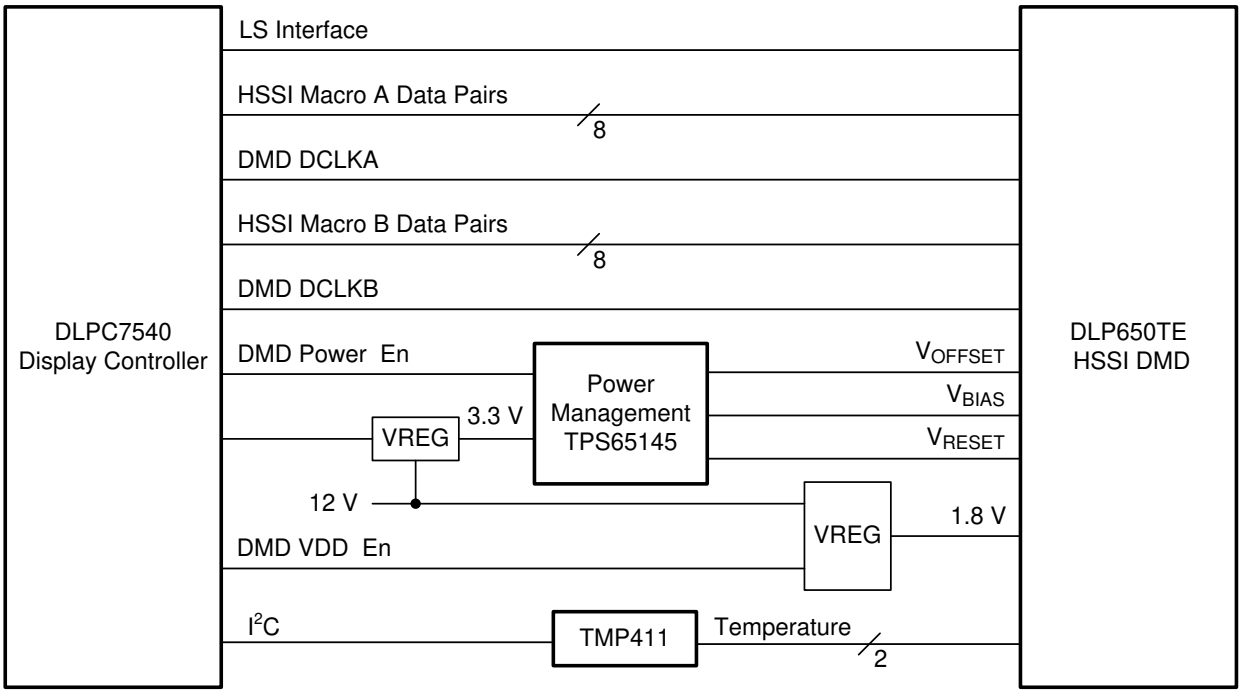
DMD 生态系统提供现成的资源以帮助用户缩短设计周期，请访问 DLP® 产品第三方搜索工具，查找获得批准的光学模块制造商和第三方提供商。

访问 TI DLP 显示技术入门，了解有关使用 DMD 开始设计的更多信息。

器件信息

器件型号	封装(1)	封装尺寸
DLP650TE	FYP(149)	32.2mm × 22.3mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*附录。



简化版应用

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 存储条件 6
5.3 ESD 等级 7
5.4 建议运行条件 7
5.5 热性能信息 9
5.6 电气特性 10
5.7 开关特性 11
5.8 时序要求 11
5.9 系统安装接口负载 15
5.10 微镜阵列物理特性 16
5.11 微镜阵列光学特性 18
5.12 窗口特性 19
5.13 芯片组元件使用规格 19
6 详细说明 20
6.1 概述 20
6.2 功能方框图 21
6.3 特性说明 22
6.4 器件功能模式 22
6.5 光学接口和系统图像质量注意事项 22
6.6 微镜阵列温度计算 23
6.7 微镜功率密度计算 24
6.8 窗口孔隙照明溢出计算 26
6.9 微镜着陆打开/着陆关闭占空比 26
7 应用和实施 30
7.1 应用信息 30
7.2 典型应用 30
7.3 温度传感器二极管 33
8 电源相关建议 35
8.1 电源时序要求 35
8.2 DMD 电源上电过程 35
8.3 DMD 电源断电过程 35
9 布局 37
9.1 布局指南 37
9.2 阻抗要求 37
9.3 层 37
9.4 布线宽度、间距 37
9.5 电源 38
9.6 布线长度匹配建议 38
10 器件和文档支持 40
10.1 第三方产品免责声明 40
10.2 器件支持 40
10.3 文档支持 40
10.4 接收文档更新通知 41
10.5 支持资源 41
10.6 商标 41
10.7 静电放电警告 41
10.8 术语表 41
11 修订历史记录 41
12 机械、封装和可订购信息 42
12.1 封装选项附录 43

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

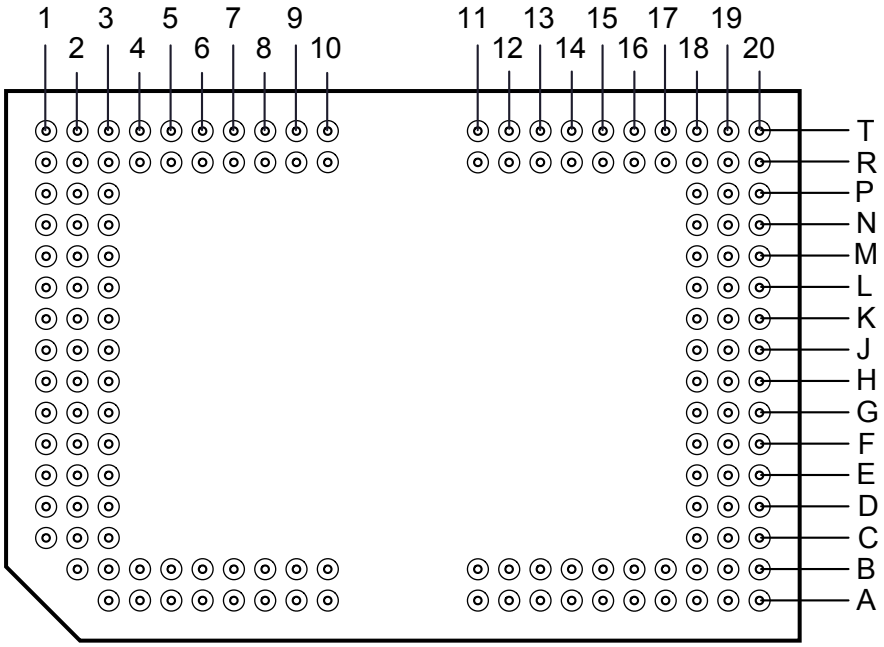


图 4-1. FYP 封装 149 引脚 CPGA 底视图

表 4-1. 引脚功能

引脚		类型(1)	引脚说明	布线长度 (mm)
名称	焊盘 ID			
D_AP(0)	J1	I	高速差分数据对通道 A0	18.09088
D_AN(0)	H1	I	高速差分数据对通道 A0	18.0916
D_AP(1)	G1	I	高速差分数据对通道 A1	18.11696
D_AN(1)	F1	I	高速差分数据对通道 A1	18.11641
D_AP(2)	A3	I	高速差分数据对通道 A2	11.11822
D_AN(2)	A4	I	高速差分数据对通道 A2	11.11745
D_AP(3)	D2	I	高速差分数据对通道 A3	12.04461
D_AN(3)	C2	I	高速差分数据对通道 A3	12.04491
D_AP(4)	F2	I	高速差分数据对通道 A4	15.1345
D_AN(4)	E2	I	高速差分数据对通道 A4	15.13457
D_AP(5)	A5	I	高速差分数据对通道 A5	12.80888
D_AN(5)	A6	I	高速差分数据对通道 A5	12.80825
D_AP(6)	A7	I	高速差分数据对通道 A6	6.34763
D_AN(6)	A8	I	高速差分数据对通道 A6	6.34706
D_AP(7)	A9	I	高速差分数据对通道 A7	4.45653
D_AN(7)	A10	I	高速差分数据对通道 A7	4.45875
DCLK_AP	C1	I	高速差分时钟 A	15.08029
DCLK_AN	D1	I	高速差分时钟 A	15.07977
D_BP(0)	A11	I	高速差分数据对通道 B0	4.06642
D_BN(0)	A12	I	高速差分数据对通道 B0	4.06697

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	引脚说明	布线长度 (mm)
名称	焊盘 ID			
D_BP(1)	A13	I	高速差分数据对通道 B1	6.42676
D_BN(1)	A14	I	高速差分数据对通道 B1	6.42716
D_BP(2)	A15	I	高速差分数据对通道 B2	11.90485
D_BN(2)	A16	I	高速差分数据对通道 B2	11.90509
D_BP(3)	A18	I	高速差分数据对通道 B3	13.80223
D_BN(3)	A19	I	高速差分数据对通道 B3	13.80269
D_BP(4)	D19	I	高速差分数据对通道 B4	12.45294
D_BN(4)	C19	I	高速差分数据对通道 B4	12.45252
D_BP(5)	H20	I	高速差分数据对通道 B5	15.7909
D_BN(5)	J20	I	高速差分数据对通道 B5	15.79026
D_BP(6)	D20	I	高速差分数据对通道 B6	11.02899
D_BN(6)	E20	I	高速差分数据对通道 B6	11.02947
D_BP(7)	F20	I	高速差分数据对通道 B7	14.7517
D_BN(7)	G20	I	高速差分数据对通道 B7	14.75085
DCLK_BP	B17	I	高速差分时钟 B	9.17864
DCLK_BN	B18	I	高速差分时钟 B	9.17821
LS_WDATA_P	T10	I	LVDS 数据	11.27905
LS_WDATA_N	R11	I	LVDS 数据	6.76474
LS_CLK_P	R9	I	LVDS CLK	13.5461
LS_CLK_N	R10	I	LVDS CLK	12.56934
LS_RDATA_A_BISTA	T13	O	LVCMOS 输出	3.12045
BIST_B	T12	O	LVCMOS 输出	5.63628
AMUX_OUT	B20	O	模拟测试多路复用器	9.3849
DMUX_OUT	R14	O	数字测试多路复用器	3.85333
DMD_DEN_ARSTZ	T11	I	ARSTZ	5.86593
TEMP_N	R8	I	温度二极管 N	14.63792
TEMP_P	R7	I	温度二极管 P	15.93219
VDD	B7、B13、C18、E3、H3、J2、K3、L2、L19、M1、M2、N3、N19、P2、P18、R3、R5、R12、R17、R19、T2、T4、T6、T8、T18	P	数字内核电源电压	平面
VDDA	B4、B9、B11、B16、C20、D3、E18、G2、G19	P	HSSI 电源电压	平面
VRESET	B3、R1	P	微镜复位信号负偏置的电源电压	平面
VBIAS	E1、P1	P	微镜复位信号正偏置的电源电压	平面

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	引脚说明	布线长度 (mm)
名称	焊盘 ID			
VOFFSET	A20、B2、T1、T20	P	HVCMOS 逻辑的电源电压，升压逻辑电平	平面
VSS	A17、B6、B10、B14、D18、F3、F19、J3、K2、K19、L1、L3、M3、N2、N18、N20、P3、P20、R2、R4、R6、R13、R20、T5、T7、T16、T17、T19	G	接地	平面
VSSA	B5、B8、B12、B15、B19、C3、E19、G3、H2、H19、K1、N1、P19、R18、T3、T9	G	接地	平面
N/C	R15、T14、T15、R16、H18、J18、G18、J19、F18、K20、K18、M19、L20、M18、L18、M20		无连接	

(1) I = 输入，O = 输出，P = 电源，G = 接地，NC = 无连接

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

参数名称	说明	最小值	最大值	单位
电源电压				
V_{DD}	LVCMOS 内核逻辑和 LVCMOS 低速接口 (LSIF) 的电源电压(1)	-0.5	2.3	V
V_{DDA}	高速串行接口 (HSSI) 接收器的电源电压(1)	-0.3	2.2	V
V_{OFFSET}	HVCMOS 和微镜电极的电源电压(1) (2)	-0.5	11	V
V_{BIAS}	微镜电极的电源电压(1)	-0.5	17	V
V_{RESET}	微镜电极的电源电压(1)	-13	0.5	V
$\lvert V_{DDA} - V_{DD} \rvert$	电源电压差值（绝对值）(3)		0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	电源电压差值（绝对值）(4)		11	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	电源电压差值（绝对值）(5)		30	V
输入电压				
	其他输入的输入电压 – LSIF 和 LVCMOS(1)	-0.5	2.45	V
	其他输入的输入电压 – HSSI(1) (6)	-0.2	V_{DDA}	V
低速接口 (LSIF)				
f_{CLOCK}	LSIF 时钟频率 (LS_CLK)		130	MHz
$\lvert V_{ID} \rvert$	LSIF 差分输入电压幅度(6)		810	mV
I_{ID}	LSIF 差分输入电流(7)		10	mA
高速串行接口 (HSSI)				
f_{CLOCK}	HSSI 时钟频率 (DCLK)		1.65	GHz
$\lvert V_{ID} \rvert$	HSSI 差分输入电压幅度数据通道(6)		700	mV
$\lvert V_{ID} \rvert$	HSSI 差分输入电压幅度时钟通道(6)		700	mV
环境				
T_{ARRAY}	工作时的温度(8)	0	90	°C
T_{ARRAY}	未工作时的温度(8)	-40	90	°C
T_{DP}	工作和未工作时的露点温度（非冷凝）		81	°C

(1) 所有电压值均以接地端子 (V_{SS}) 为基准。为了确保 DMD 正常运行，必须连接以下所需的电源：V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。同时还需要所有的 V_{SS} 连接。
(2) V_{OFFSET} 电源电压瞬态必须处于指定的电压范围内。
(3) 如果超过 V_{DDA} 和 V_{DD} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(4) 如果超过 V_{BIAS} 和 V_{OFFSET} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(5) 如果超过 V_{BIAS} 和 V_{RESET} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(6) 当差分对的每个输入处于相同的电压电势时，该最大输入电压额定值适用。LVDS 和 HSSI 差分输入不得超过指定的限值，否则可能会损坏内部端接电阻器。
(7) 差分输入不得超过指定的限值，否则可能会损坏内部端接电阻器。规范适用于高速串行接口 (HSSI) 和低速接口 (LSI)。
(8) 阵列温度无法直接测量，必须通过在测试点 (TP1) 测量的温度以及封装热阻（使用*微镜阵列温度计算*）进行分析计算。

5.2 存储条件

适用于作为元件或在系统中不运行的 DMD。

符号	参数	最小值	最大值	单位
T_{DMD}	DMD 贮存温度	-40	80	°C
T_{DP-AVG}	平均露点温度（非冷凝）(1)		28	°C

Copyright © 2025 Texas Instruments Incorporated

5.2 存储条件（续）

适用于作为元件或在系统中不运行的 DMD。

符号	参数	最小值	最大值	单位
T_{DP-ELR}	高露点温度范围（非冷凝）(2)	28	36	ºC
CT_{ELR}	高露点温度范围内的累积时间		24	月

(1) 器件不在高露点温度范围内的随时间变化的平均值（包括存储和运行）。
(2) 在存储和运行期间，暴露于高范围内的露点温度应限制在 CT_{ELR} 的总累积时间以内。

5.3 ESD 等级

符号	参数	说明	值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.4 建议运行条件

在自然通风条件下的工作温度范围和电源电压（除非另有说明）(1)

参数名称		最小值	标称值	最大值	单位
电源电压(2) (3)					
V_{DD}	LVCMOS 内核逻辑和低速接口 (LSIF) 的电源电压	1.71	1.8	1.95	V
V_{DDA}	高速串行接口 (HSSI) 接收器的电源电压	1.71	1.8	1.95	V
V_{OFFSET}	HVCMOS 和微镜电极的电源电压(4)	9.5	10	10.5	V
V_{BIAS}	微镜电极的电源电压	15.5	16	16.5	V
V_{RESET}	微镜电极的电源电压	-12.5	-12	-11.5	V
$\lvert V_{DDA} - V_{DD} \rvert$	电源电压差值（绝对值）(5)			0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	电源电压差值（绝对值）(6)			10.5	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	电源电压差值（绝对值）			29	V
LVCMOS 输入					
V_{IH}	高电平输入电压(7)	0.7 × V_{DD}			V
V_{IL}	低电平输入电压(7)			0.3 × V_{DD}	V
低速接口 (LSIF)					
f_{CLOCK}	LSIF 时钟频率 (LS_CLK)(8)	108	120	130	MHz
DCD_{IN}	LSIF 占空比失真 (LS_CLK)	44%		56%	
$\lvert V_{ID} \rvert$	LSIF 差分输入电压幅度(8)	150	350	440	mV
V_{LVDS}	LSIF 电压(8)	575		1520	mV
V_{CM}	共模电压(8)	700	900	1300	mV
Z_{LINE}	线路差分阻抗（PWB/引线）	90	100	110	Ω
Z_{IN}	内部差分端接电阻	80	100	120	Ω
高速串行接口 (HSSI)					
f_{CLOCK}	HSSI 时钟频率 (DCLK)(9)	1.2		1.6	GHz
DCD_{IN}	HSSI 占空比失真 (DCLK)	44%	50%	56%	
$\lvert V_{ID} \rvert$ Data	HSSI 差分输入电压幅度数据通道(9)	100		600	mV
$\lvert V_{ID} \rvert$ CLK	HSSI 差分输入电压幅度时钟通道(9)	295		600	mV

Copyright © 2025 Texas Instruments Incorporated

5.4 建议运行条件（续）

在自然通风条件下的工作温度范围和电源电压（除非另有说明）(1)

参数名称		最小值	标称值	最大值	单位
VCM_{DC} Data	输入共模电压（直流）数据通道(9)	200	600	800	mV
VCM_{DC} CLK	输入共模电压（直流）时钟通道(9)	200	600	800	mV
VCM_{ACp-p}	数据通道和时钟通道共模电压上的交流峰峰值（纹波）(9)			100	mV
Z_{LINE}	线路差分阻抗（PWB/引线）		100		Ω
Z_{IN}	内部差分端接电阻 (R_{Xterm})	80	100	120	Ω
环境					
T_{ARRAY}	长期工作时的阵列温度(10) (11) (12) (13)	10		40 至 70	°C
	短期工作（最长 500 个小时）时的阵列温度(11) (14)	0		10	°C
T_{DP-AVG}	平均露点温度（非冷凝）(15)			28	°C
T_{DP-ELR}	高露点温度范围（非冷凝）(16)	28		36	°C
CT_{ELR}	高露点温度范围内的累积时间			24	月
Q_{AP-ILL}	窗口孔隙照明溢出(17) (18)			17	W/cm^2
灯照明					
ILL_{UV}	照明波长 < 395nm(10)		0.68	2	mW/cm^2
ILL_{VIS}	395nm 至 800nm 之间的照明波长			29.3	W/cm2
ILL_{IR}	照明波长 > 800nm			10	mW/cm^2
固态照明					
ILL_{UV}	照明波长 < 410nm(10)			3	mW/cm^2
ILL_{VIS}	410nm 至 800nm 之间的照明波长			34.7	W/cm2
ILL_{IR}	照明波长 > 800nm			10	mW/cm^2

(1) *建议运行条件* 在最终产品中安装 DMD 之后适用。
(2) 运行 DMD 需要连接以下所有电源：V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。运行 DMD 需要所有 V_{SS} 连接。
(3) 所有电压值均以 V_{SS} 接地引脚为基准。
(4) V_{OFFSET} 电源电压瞬态必须处于指定的最大电压范围内。
(5) 为了防止电流过大，电源电压差值 | V_{DDA} – V_{DD} | 必须小于指定的限值。
(6) 为了防止电流过大，电源电压差值 | V_{BIAS} – V_{OFFSET} | 必须小于指定的限值。
(7) LVCMOS 输入引脚为 DMD_DEN_ARSTZ。
(8) 请参阅*时序要求*中的低速接口 (LSIF) 时序要求。
(9) 请参阅 *时序要求* 中的高速串行接口 (HSSI) 时序要求。
(10) 如果 DMD 同时暴露于温度和 UV 照明的最大 *建议运行条件* 下，则将缩短器件寿命。
(11) 阵列温度无法直接测量，必须通过在测试点 (TP1)（如 图 6-1 所示）测量的温度以及封装热阻（使用微镜阵列温度计算）进行分析计算。
(12) 根据图 5-1，最大工作阵列温度应根据 DMD 在最终应用中经历的微镜着陆占空比进行降额。有关微镜着陆占空比的定义，请参阅“微镜着陆占空比”。
(13) 长期定义为器件的使用寿命。
(14) 短期是器件使用寿命期间的总累积时间。
(15) 器件不在高露点温度范围内的随时间变化的平均值（包括存储和运行）。
(16) 在存储和运行期间，暴露于高范围内的露点温度应限制在 CT_{ELR} 的总累积时间以内。
(17) DMD 的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙遮挡了正常视图中 DMD 器件组件的结构。 该孔隙的大小可以预测多种光学条件。照亮有源阵列外部区域的溢出光会产生散射，并对使用 DMD 的终端应用的性能产生不利影响。照明光学系统的设计应最大限度地减少入射到有源阵列外的光通量。根据特定系统的光学架构和组装公差，有源阵列外部的溢出光量可能会导致系统性能下降。
(18) 适用于 图 5-2 中的红色区域

Copyright © 2025 Texas Instruments Incorporated

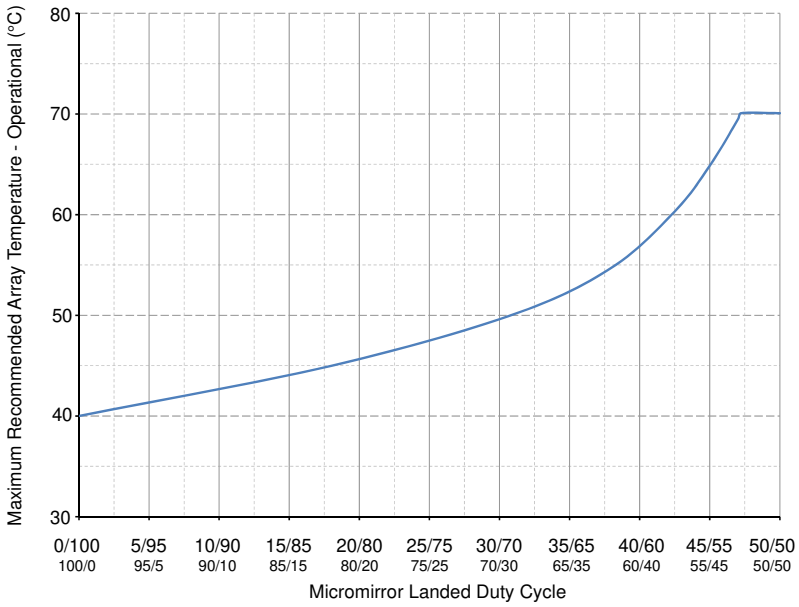


图 5-1. 最大建议阵列温度 — 降额曲线

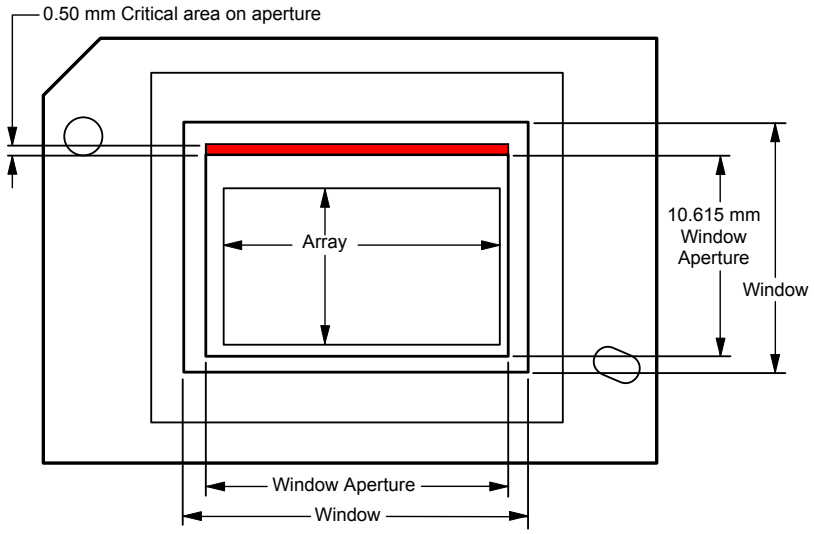


图 5-2. 照明溢出图 — 关键区域

5.5 热性能信息

热指标	DLP650TE FYP 封装 149 引脚	单位
有源区域至测试点 1 (TP1) 的热阻(1)	0.60	°C/W

(1) 该 DMD 可以将吸收和耗散的热量传导至封装背面。冷却系统必须能够将封装保持在*建议运行条件*中指定的温度范围内。DMD 上的总热负荷主要由有源区域吸收的入射光驱动，不过可能还会有一部分来自窗口孔隙吸收的光能和阵列的电功率耗散。光学系统必须设计为尽量减少处于窗口通光孔隙之外的光能，因为该区域的任何额外热负荷都会显著降低器件的可靠性。

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数(1) (2)	测试条件(1)	最小值	典型值	最大值	单位
电流 - 典型值						
I_{DD}	电源电流 V_{DD} (3)			800	1250	mA
I_{DDA}	电源电流 V_{DDA} (3)			900	1200	mA
I_{DDA}	电源电流 V_{DDA} (3)	单宏模式		500	600	mA
I_{OFFSET}	电源电流 V_{OFFSET} (4) (5)			23	35	mA
I_{BIAS}	电源电流 V_{BIAS} (4) (5)			2.4	3.8	mA
I_{RESET}	电源电流 V_{RESET} (5)		-10.5	-7.7		mA
功率 - 典型值						
P_{DD}	电源功率耗散 V_{DD} (3)			1440	2437.5	mW
P_{DDA}	电源功率耗散 V_{DDA} (3)			1620	2340	mW
P_{DDA}	电源功率耗散 V_{DDA} (3)	单宏模式		900	1170	mW
P_{OFFSET}	电源功率耗散 V_{OFFSET} (4) (5)			230	367.5	mW
P_{BIAS}	电源功率耗散 VBIAS(4) (5)			38.4	62.7	mW
P_{RESET}	电源功率耗散 V_{RESET} (5)			92.4	131.25	mW
P_{TOTAL}	电源功率耗散总计			3420.8	5338.95	mW
LVCMOS 输入						
I_{IL}	低电平输入电流(6)	V_{DD} = 1.95 V，V_I = 0V	-100			nA
I_{IH}	高电平输入电流(6)	V_{DD} = 1.95 V，V_I = 1.95V			135	µA
LVCMOS 输出						
V_{OH}	直流输出高电压(7)	I_{OH} = -2mA	0.8 × V_{DD}			V
V_{OL}	直流输出低电压(7)	I_{OL} = 2mA			0.2 × V_{DD}	V
接收器眼图特性						
A1	最小数据眼图张开度(8)		100		600	mV
A1	最小时钟眼图张开度(8)		295		600	mV
A2	最大信号摆幅(8) (9)				600	mV
X1	最大眼图闭合(8)				0.275	UI
X2	最大眼图闭合(8)				0.4	UI
$\lvert t_{DRIFT} \rvert$	在训练模式之间时钟和数据之间的漂移				20	ps
电容						
C_{IN}	输入电容 LVCMOS	f = 1MHz			10	pF
C_{IN}	输入电容 LSIF（低速接口）	f = 1MHz			20	pF
C_{IN}	输入电容 HSSI（高速串行接口）- 差分 - 时钟和数据引脚	f = 1MHz			5	pF
C_{OUT}	输出电容	f = 1MHz			10	pF

(1) 运行 DMD 需要连接以下所有电源：V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。运行 DMD 需要所有 V_{SS} 连接。
(2) 所有电压值均以接地引脚 (V_{SS}) 为基准。
(3) 为了防止电流过大，电源电压差值 $\lvert V_{DDA} - V_{DD} \rvert$ 必须小于指定的限值。
(4) 为了防止电流过大，电源电压差值 $\lvert V_{BIAS} - V_{OFFSET} \rvert$ 必须小于指定的限值。
(5) 200µs 内基于三次全局复位的电源功率耗散。
(6) LVCMOS 输入规格针对引脚 DMD_DEN_ARSTZ。
(7) LVCMOS 输出规格针对引脚 LS_RDATA_A 和 LS_RDATA_B。
(8) 请参阅 图 5-12 (1e-12 BER)。

Copyright © 2025 Texas Instruments Incorporated

(9) *在建议运行条件* 中定义

5.7 开关特性

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
t_{pd}	输出传播，时钟到 Q，LS_CLK（差动时钟信号）输入的上升沿到 LS_RDATA 输出。	C_L = 5pF			11.1	ns
t_{pd}	输出传播，时钟到 Q，LS_CLK（差动时钟信号）输入的上升沿到 LS_RDATA 输出。	C_L = 10pF			11.3	ns
	压摆率，LS_RDATA	20% 至 80%，C_L <40p	0.35			V/ns
	输出占空比失真，LS_RDATA_A 和 LS_RDATA_B	50 − (C2Q_rise − C2Q_fall) × 130e6 × 100	40%		60%	

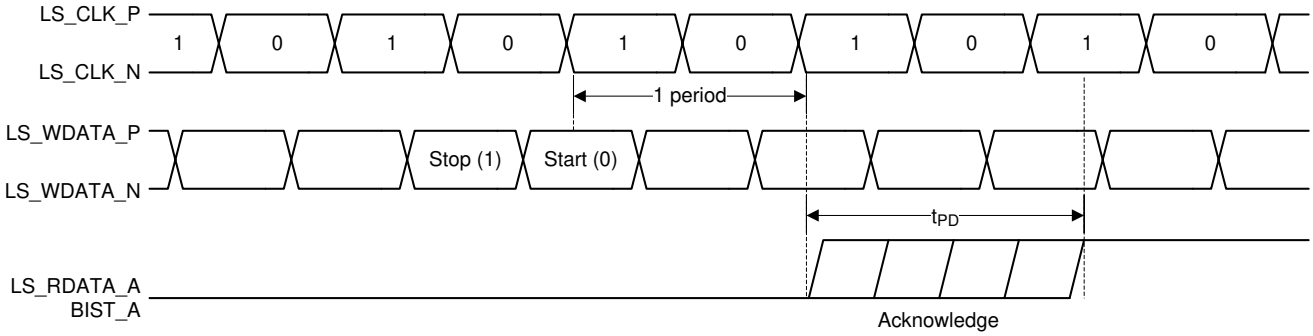


图 5-3. 开关特性

5.8 时序要求

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
LVCMOS						
t_r	上升时间(1)	20% 至 80% 基准点			25	ns
t_f	下降时间 (1)	80% 至 20% 基准点			25	ns
低速接口 (LSIF)						
t_r	上升时间(2)	20% 至 80% 基准点			450	ps
t_f	下降时间 (2)	80% 至 20% 基准点			450	ps
$t_{W(H)}$	脉冲持续时间，高电平 (3)	LS_CLK。50% 至 50% 基准点	3.1			ns
$t_{W(L)}$	脉冲持续时间，低电平 (3)	LS_CLK。50% 至 50% 基准点	3.1			ns
t_{su}	建立时间 (4)	LS_CLK 上升沿之前的 LS_WDATA 有效时间（差分）	1.5			ns
t_h	保持时间 (4)	LS_CLK 上升沿之后的 LS_WDATA 有效时间（差分）	1.5			ns
高速串行接口 (HSSI)						
t_r	上升时间(5)，数据	从 -A1 到 A1 的最低眼图高度规格	50		115	ps
t_r	上升时间(5)，时钟	从 -A1 到 A1 的最低眼图高度规格	50		135	ps
t_f	下降时间(5)，数据	从 A1 到 -A1 的最低眼图高度规格	50		115	ps
t_f	下降时间(5)，时钟	从 A1 到 -A1 的最低眼图高度规格	50		135	ps
$t_{W(H)}$	脉冲持续时间，高电平 (6)	DCLK。50% 至 50% 基准点	0.275			ns

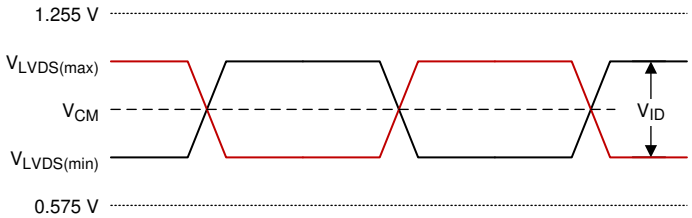
Copyright © 2025 Texas Instruments Incorporated

5.8 时序要求（续）

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
$t_{W(L)}$	脉冲持续时间，低电平 (6)	DCLK。50% 至 50% 基准点	0.275			ns
t_c	周期时间 (6)	DCLK	0.625		0.833	ns

(1) 请参阅“LVCMOS 上升、下降时间压摆率”图。相关规格针对 DMD_DEN_ARSTZ 引脚 (LVCMOS)。
(2) 请参阅图，了解 LSIF 的上升时间和下降时间。
(3) 请参阅图，了解 LSIF 的高电平和低电平脉冲持续时间。
(4) 请参阅图，了解 LSIF 的建立时间和保持时间。
(5) 请参阅图，了解 HSSI 的上升时间和下降时间。
(6) 请参阅图，了解 HSSI 的高电平和低电平脉冲持续时间以及周期时间。



A. 请参阅 方程式 1 和 。

图 5-4. LSIF 波形要求

$$V_{LVDS\,(max)} = V_{CM\,(max)} + \left|\frac{1}{2} \times V_{ID\,(max)}\right| \quad (1)$$

$$V_{LVDS\,(min)} = V_{CM\,(min)} - \left|\frac{1}{2} \times V_{ID\,(max)}\right| \quad (2)$$

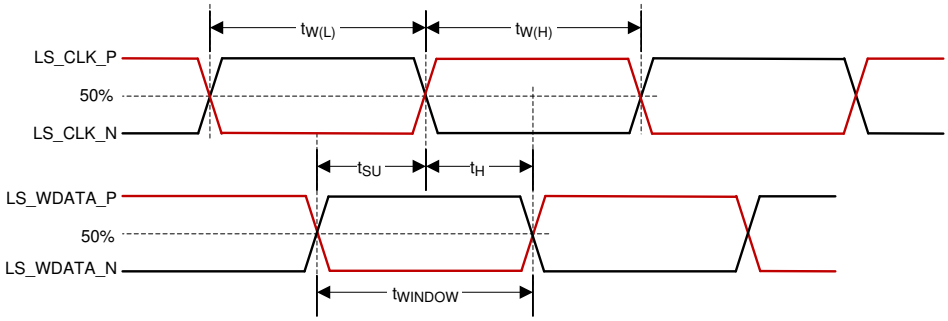


图 5-5. LSIF 时序要求

Copyright © 2025 Texas Instruments Incorporated

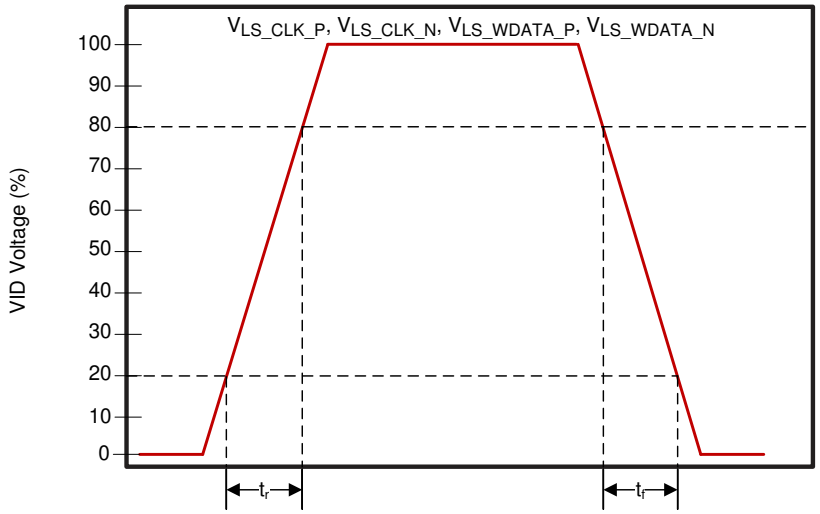


图 5-6. LSIF 上升/下降时间压摆率

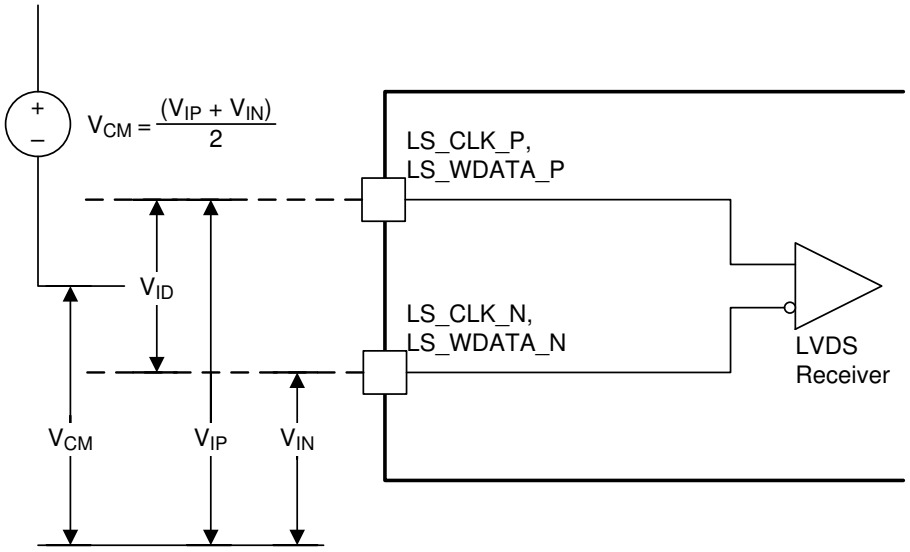


图 5-7. LSIF 电压要求

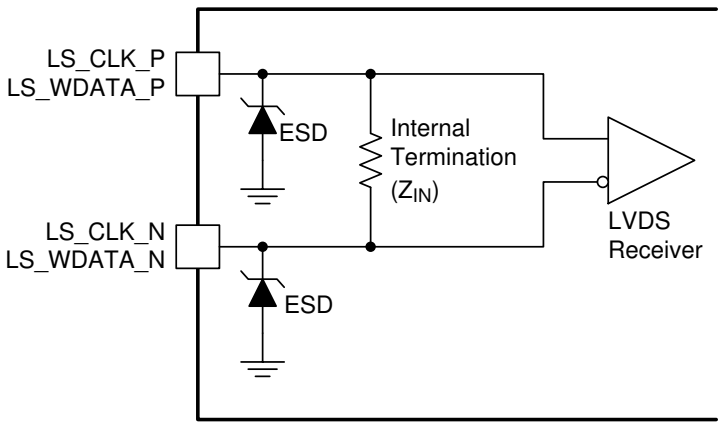


图 5-8. LSIF 等效输入

Copyright © 2025 Texas Instruments Incorporated

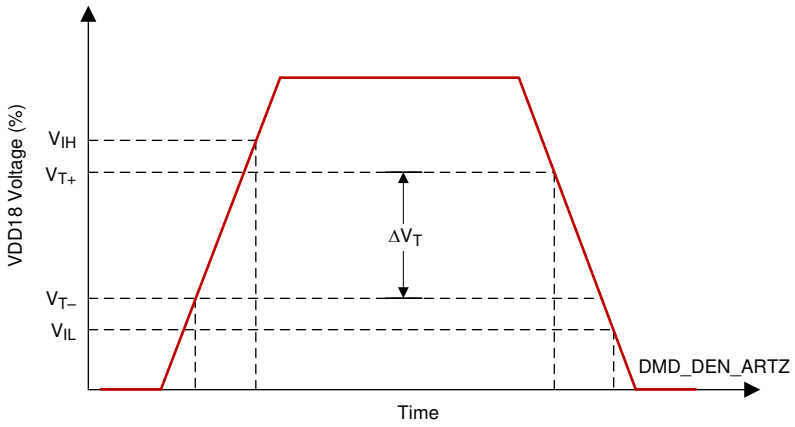


图 5-9. LVCMOS 输入迟滞

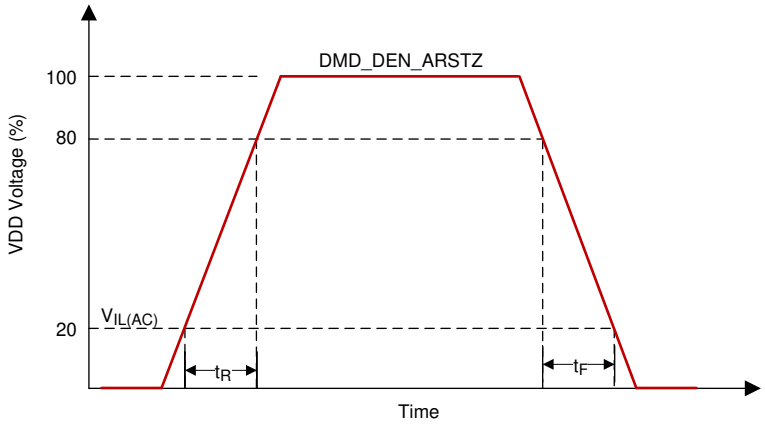
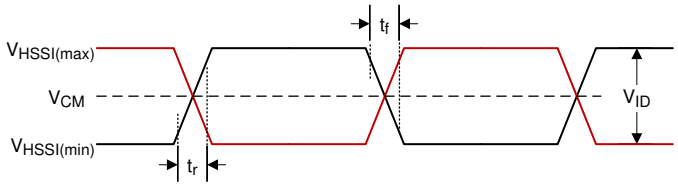


图 5-10. LVCMOS 上升/下降时间压摆率



A. 请参阅 方程式 3 和 方程式 4

.

图 5-11. HSSI 波形要求

$$V_{HSSI(max)} = V_{CM(max)} + \left|\frac{1}{2} \times V_{ID(max)}\right| \quad (3)$$

Copyright © 2025 Texas Instruments Incorporated

$$V_{HSSI(min)} = V_{CM(min)} - \left|\frac{1}{2} \times V_{ID(max)}\right| \quad (4)$$

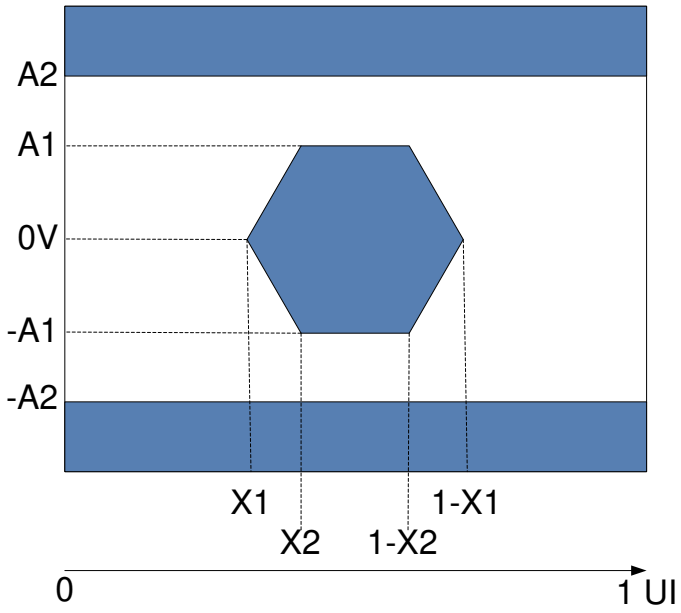


图 5-12. HSSI 眼图特性

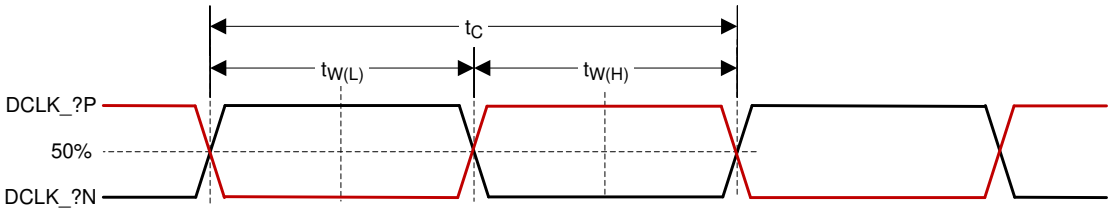


图 5-13. HSSI CLK 特性

5.9 系统安装接口负载

参数	最小值	典型值	最大值	单位
当在电气接口和热界面区域上施加负载时				
要向电气接口区域施加的最大负载(1)			111	N
要向热界面区域施加的最大负载(1)			111	N
当仅在电气接口区域上施加负载时				
要向电气接口区域施加的最大负载(1)			222	N
要向热界面区域施加的最大负载(1)			0	N

(1) 负载应均匀地施加在 图 5-14 所示的相应区域。

Copyright © 2025 Texas Instruments Incorporated

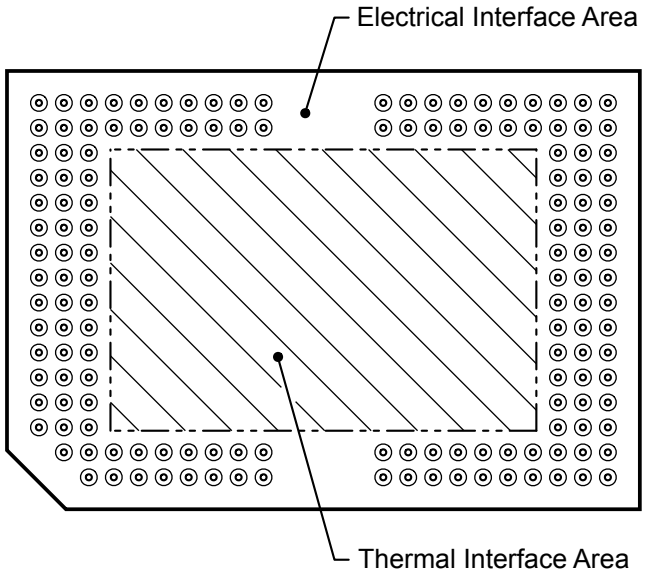


图 5-14. 系统安装接口负载

5.10 微镜阵列物理特性

符号	参数	说明	最小值	典型值	最大值	单位
M	有源列数(1)			1920		微镜
N	有源行数(1)			1080		微镜
P	微镜（像素）间距(1)			7.6		um
	微镜有源阵列宽度(1)	（微镜间距）×（有源列数）		14.592		mm
	微镜有源阵列高度(1)	（微镜间距）×（有源行数）		8.208		mm
	微镜有源边框(2)	微镜池 (POM)		14		微镜数/侧

(1) 请参阅图 6-15。
(2) 有源阵列周围边框的结构和质量包括一条称为 POM 的部分起作用的微镜带。这些微镜在结构上和/或电气上被阻止向亮或“打开”状态倾斜，但仍需要进行电偏置以向“关闭”状态倾斜。

Copyright © 2025 Texas Instruments Incorporated

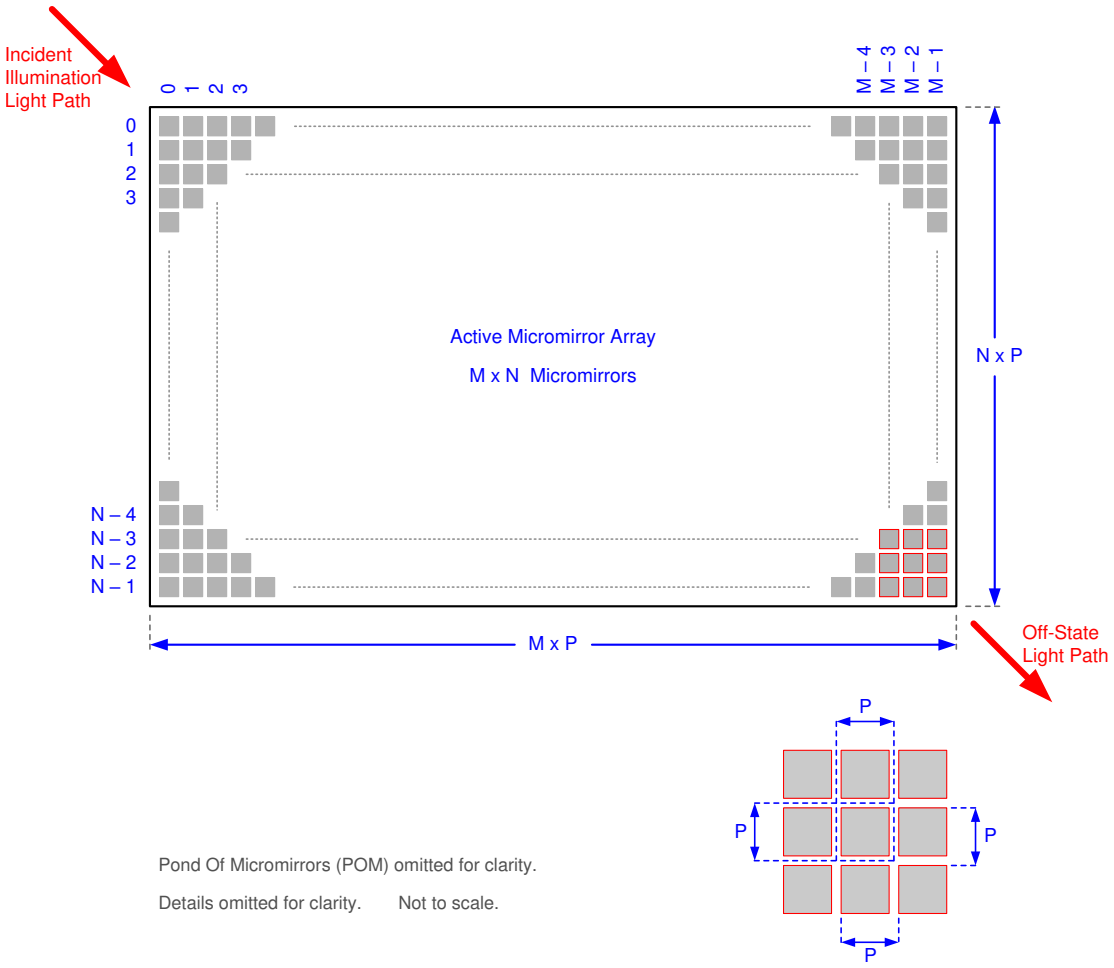


图 5-15. 微镜阵列物理特性

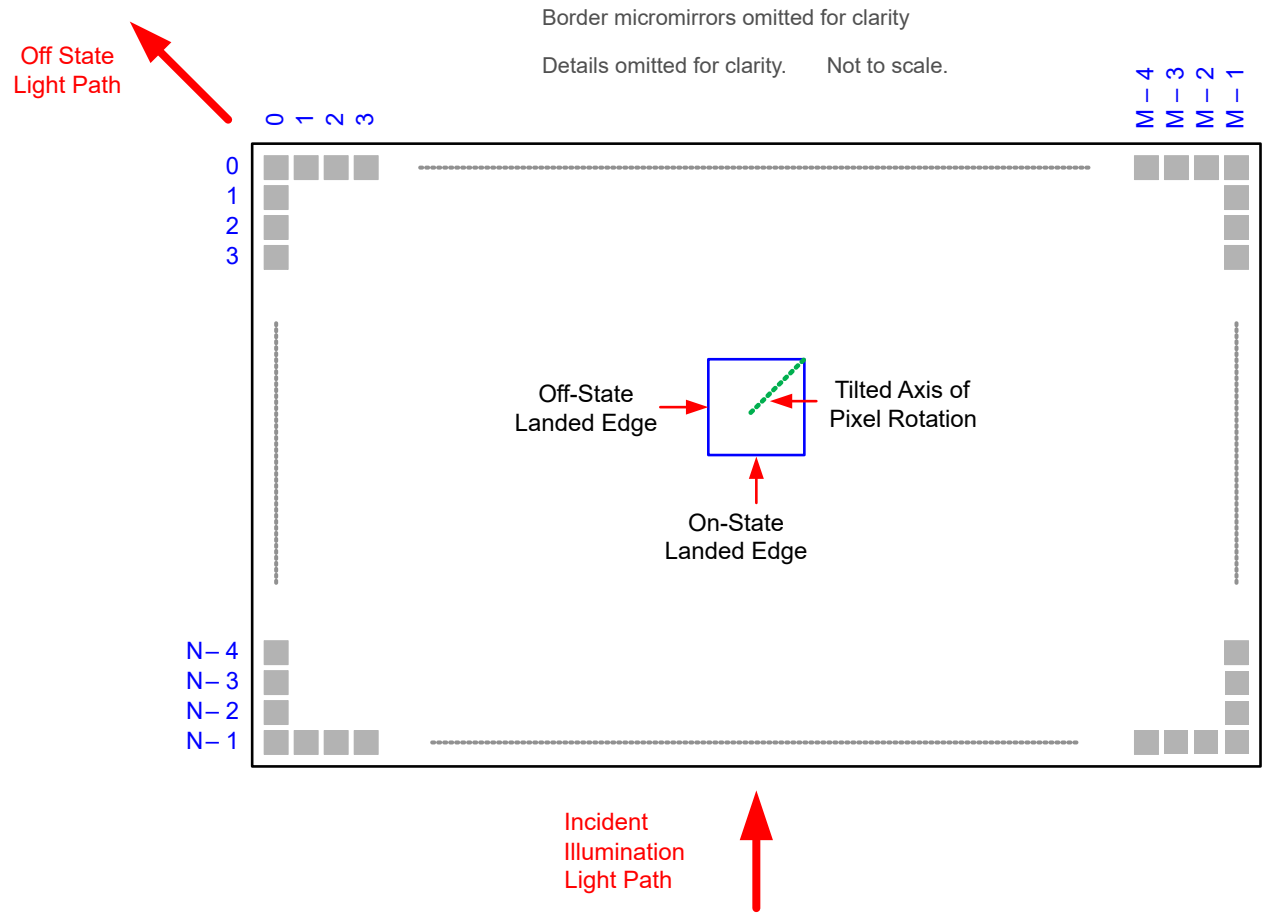
5.11 微镜阵列光学特性

参数		测试条件	最小值	标称值	最大值	单位
器件之间的微镜倾斜角变化 (2) (3) (4) (5)		着陆状态(1)	11	12	13	度
图像性能(6)	工作区域中的亮像素 (7)	灰度 10 屏幕(10)			0	微镜
	POM 中的亮像素(7) (9)	灰度 10 屏幕(10)			1	
	工作区域中的暗像素 (8)	白色屏幕(11)			4	
	相邻像素 (12)	任何屏幕			0	
	有源区域中的不稳定像素(13)	任何屏幕			0	

(1) 相对于整个微镜阵列形成的平面进行测量
(2) 微镜阵列和封装基准之间存在额外差异。
(3) 这表示位于同一器件上或位于不同器件上的任意两个单独微镜之间可能产生的变化。
(4) 对于某些应用，在整个系统光学设计中考虑微镜倾斜角的变化是至关重要的。对于某些系统光学设计，器件内的微镜倾斜角变化可能会导致从微镜阵列反射的光场出现可察觉的不均匀性。对于某些系统光学设计，器件之间的微镜倾斜角变化可能会导致色度变化、系统效率变化或系统对比度变化。
(5) 请参阅 图 5-16。
(6) 验收条件。使用以下投影图像测试条件评估所有 DMD 图像性能返回值：
- 测试设置去伽玛校正应该是线性的。
- 测试设置的亮度和对比度应设置为标称值。
- 投影图像的对角线尺寸应至少为 60 英寸。
- 投影屏幕应具有 1 倍的增益。
- 应以至少 8 英尺的观看距离查看投影图像。
- 在所有图像质量测试期间，图像应处于焦点位置。

(7) 亮像素定义：卡在打开位置，明显比周围像素亮的单个像素或微镜。
(8) 暗像素定义：卡在关闭位置，明显比周围像素暗的单个像素或微镜。
(9) POM 定义：工作区域周围处于关闭状态的微镜的矩形边框。
(10) 灰度 10 屏幕定义：RGB 值设置为 R=10/255、G=10/255、B=10/255 的全屏。
(11) 白屏定义：RGB 值设置为 R=255/255、G=255/255、B=255/255 的全屏。
(12) 相邻像素定义：共享公共边界或公共点的两个或多个卡住的像素。也称为集群
(13) 不稳定像素定义：不按加载到存储器中的参数顺序运行的单个像素或微镜。不稳定像素看起来与图像异步闪烁。

Copyright © 2025 Texas Instruments Incorporated



A. 为清晰起见，省略了微镜池 (POM)。
B. 有关 M、N 和 P 规格，请参阅*微镜阵列物理特性*表。

图 5-16. 微镜着陆方向和倾斜

5.12 窗口特性

参数	测试条件	最小值	典型值	最大值	单位
窗口材料标识	WLP		Corning EagleXG		
窗口折射率	波长 546.1nm		1.5119		

5.13 芯片组元件使用规格

DLP650TE DMD 需要与适用 DLP 芯片组的其他元件（包括那些包含或实现 TI DMD 控制技术的元件）结合使用才能实现可靠运行。TI DMD 控制技术包含用于操作或控制 DLP DMD 的 TI 技术和器件。

备注

TI 对因光学系统工作条件超过上述限制而导致的图像质量伪影或 DMD 故障不承担任何责任。

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

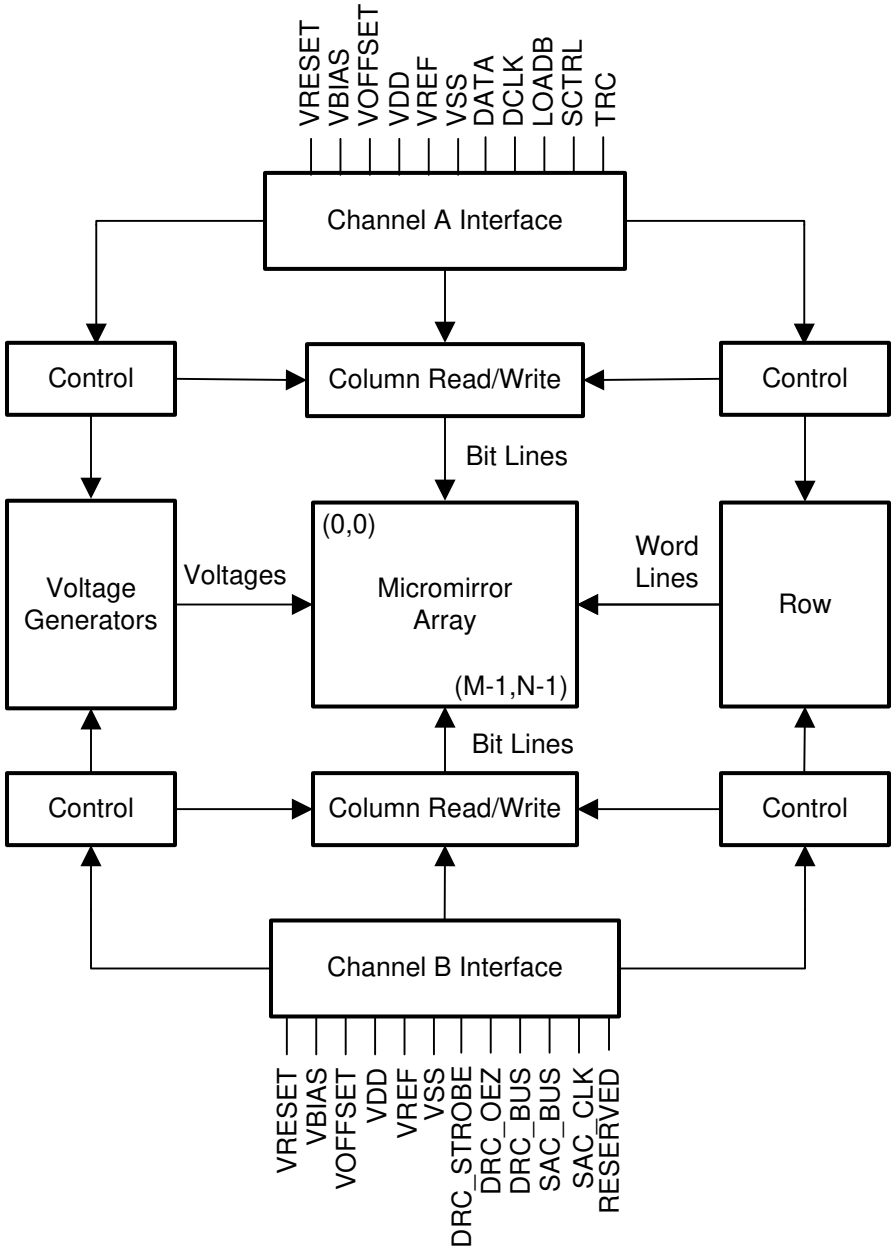
6.1 概述

DMD 是一款 0.65 英寸对角线空间光调制器，其中包含一个高反射铝微镜阵列。该 DMD 是一个电子输入、光学输出的微光机电系统 (MOEMS)。DMD 微镜的快速切换速度与先进的 DLP 图像处理算法相结合，使每个微镜能够在每个帧期间在屏幕上显示四个不同的像素，从而可以显示完整的 3840 × 2160 像素图像。电气接口为低压差分信号 (LVDS)。该 DMD 由 1 位 CMOS 存储单元的二维阵列组成。该阵列排列为 M 个存储单元列乘以 N 个存储单元行的网格。请参阅节 6.2。通过改变底层 CMOS 寻址电路的地址电压和微镜复位信号 (MBRST)，可以单独控制微镜的正偏转角或负偏转角。

DLP 0.65” 4K UHD 芯片组由 DLP650TE DMD、DLPC7540 显示控制器以及 DLPA100 电源管理和电机驱动器组成。为了确保可靠运行，DLP650TE DMD 必须始终与芯片组中的 DLP 显示控制器以及电源和电机搭配使用。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图


VRESET
VBIAS
VOFFSET
VDD
VREF
VSS
DATA
DCLK
LOADB
SCTRL
TRC
Channel A Interface
Control
Column Read/Write
Control
Bit Lines
Voltage Generators
Voltages
(0,0)
Micromirror Array
(M-1,N-1)
Word Lines
Row
Bit Lines
Control
Column Read/Write
Control
Channel B Interface
VRESET
VBIAS
VOFFSET
VDD
VREF
VSS
DRC_STROBE
DRC_OEZ
DRC_BUS
SAC_BUS
SAC_CLK
RESERVED

6.3 特性说明

6.3.1 电源接口

该 DMD 需要 4 个直流电压：1.8V 源电压、V_{OFFSET}、V_{RESET} 和 V_{BIAS}。在典型配置中，DLPA100 电源管理和电机驱动器产生 3.3V 电压，并在 DMD 板上将此电压用于产生 1.8V 电压。TI 稳压器 TPS65145 接受 3.3V 输入电压，并输出 V_{OFFSET}、V_{RESET} 和 V_{BIAS}。

6.3.2 时序

此数据表指定了器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。时序基准负载不能作为任何特定系统环境的精确表示，也不能描述生产测试所呈现的实际负载。使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。仅将指定的负载电容值用于交流时序信号的表征和测量。该负载电容值并不表示器件能够驱动的最大负载。

6.4 器件功能模式

DMD 功能模式由 DLPC7540 显示控制器控制。请参阅 *DLPC7540 显示控制器数据表* 或联系 TI 应用工程师。

6.5 光学接口和系统图像质量注意事项

TI 对终端设备的光学性能不承担任何责任。要实现所需的终端设备光学性能，需要在众多元件和系统设计参数之间进行权衡。为了优化系统光学性能和图像质量，需要权衡光学系统设计参数。虽然不可能预见到每一个可以想象的应用，但投影仪图像质量和光学性能取决于是否符合以下各节中所述的光学系统工作条件。

6.5.1 数字光圈和杂散光控制

TI 建议由照明光学元件的数值孔径定义的光锥角与由投影光学元件的数值孔径定义的光锥角相同。除非在照明和投影光瞳中添加了适当的孔径以阻挡来自投影透镜的平面光和杂散光，否则该角度不得超过标称器件微镜倾斜角。微镜倾斜角定义了 DMD 将“打开”光路与任何其他光路分开的能力，包括来自 DMD 窗口、DMD 边框结构或 DMD 附近其他系统表面（例如棱镜或透镜表面）的不良平面状态镜面反射。如果数值孔径超过微镜倾斜角，或者如果投影数值孔径角比照明数值孔径角大两度以上（反之亦然），则显示器边框和有源区域中可能会出现对比度下降和不良的伪影。

6.5.2 光瞳匹配

TI 的光学和图像质量规格假定，照明光学元件的出射光瞳标称中心位于投影光学元件入射光瞳的 2° 范围内。光瞳失准会在显示边框和工作区域中产生不良伪影，这可能需要额外的系统孔隙来控制，尤其是在系统的数值孔隙超过像素倾斜角的情况下。

6.5.3 照明溢出

该器件的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙遮挡了正常视图中 DMD 芯片组件的结构，并且其尺寸设计符合多种光学工作条件。照亮窗口孔隙的溢出光会因窗口孔隙开口的边缘和屏幕上可见的其他表面异常而产生伪影。将照明光学系统设计为限制入射到窗口孔隙任何位置的光通量，使其不超过工作区域中平均通量水平的约 10%。根据特定系统的光学架构，溢出光可能必须进一步减少到建议的 10% 水平以下才能被接受。

Copyright © 2025 Texas Instruments Incorporated

6.6 微镜阵列温度计算

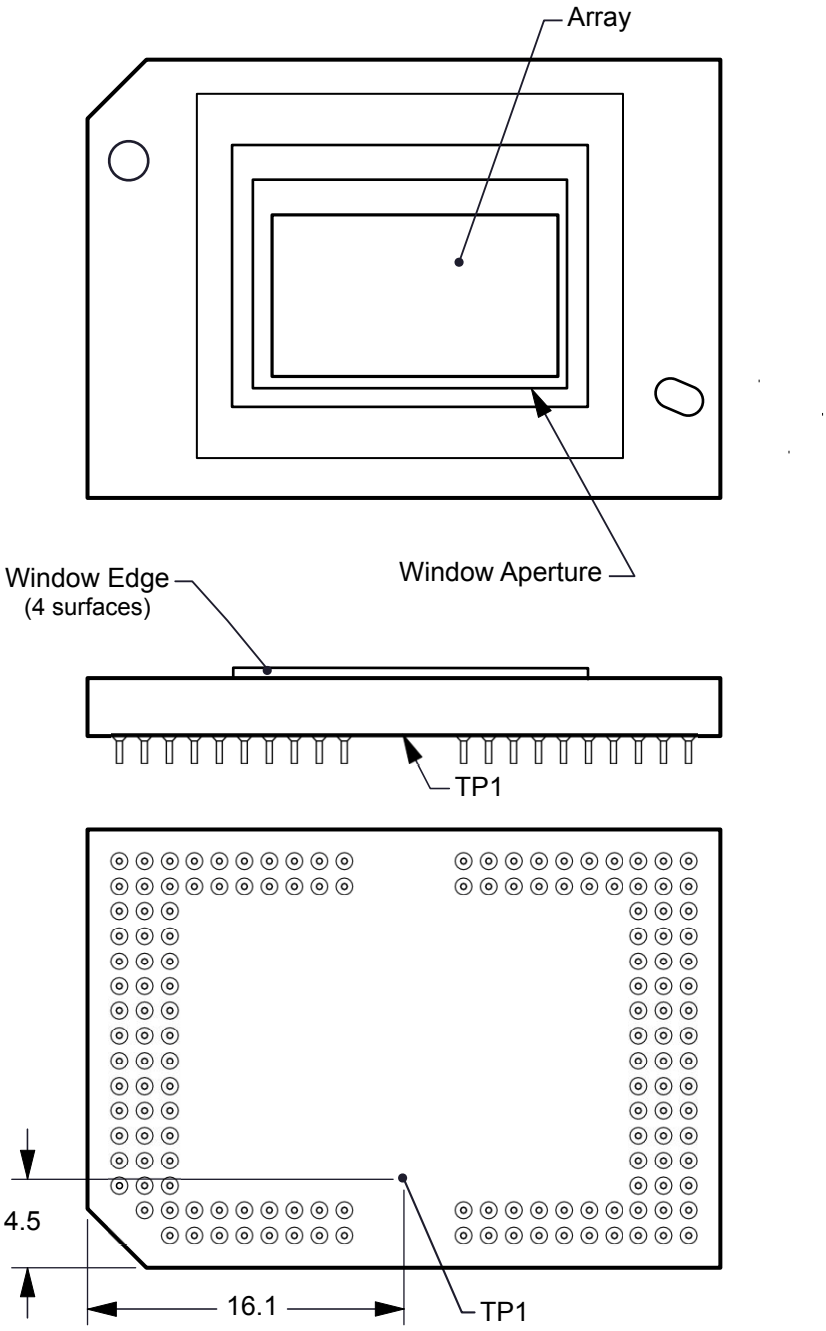


图 6-1. DMD 热测试点

微镜阵列温度无法直接测量，因此必须根据封装外部的测量点、封装热阻、电功率和照明热负荷进行分析计算。以下公式提供了阵列温度与基准陶瓷温度（热测试 TP1）之间的关系：

$$T_{ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{ARRAY\text{-}TO\text{-}CERAMIC}) \quad (5)$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATIOM} \quad (6)$$

其中

- T_{ARRAY} = 计算得出的阵列温度 (°C)
- $T_{CERAMIC}$ = 测得的陶瓷温度 (°C)（TP1 位置）
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = *热性能信息* 中指定的阵列至陶瓷 TP1 的封装热阻 (°C/W)
- Q_{ARRAY} = 阵列上的总 DMD 功率 (W)（电气 + 吸收）
- $Q_{ELECTRICAL}$ = 标称电功率 (W)
- $Q_{INCIDENT}$ = 入射照明光功率 (W)
- $Q_{ILLUMINATION}$ =（DMD 平均热吸收率 × $Q_{INCIDENT}$）(W)
- DMD 平均热吸收率 = 0.45

DMD 的电功率耗散是可变的，取决于电压、数据速率和工作频率。计算阵列温度时使用的标称电功率耗散为 3.0W。从光源吸收的功率是可变的，具体取决于微镜的工作状态和光源的强度。上面显示的公式对于单芯片或多芯片 DMD 系统有效。它假设有源阵列上的照明分布为 83.7%，阵列边界上的照明分布为 16.3%。

以下是典型投影应用的示例计算：

$$Q_{INCIDENT} = 48W \text{ (measured)} \quad (7)$$

$$T_{CERAMIC} = 55.0°C \text{ (measured)} \quad (8)$$

$$Q_{ELECTRICAL} = 3.0W \quad (9)$$

$$Q_{ARRAY} = 3.0W + (0.45 \times 48W) = 24.6W \quad (10)$$

$$T_{ARRAY} = 55.0°C + (24.6W \times 0.6°C/W) = 69.8°C \quad (11)$$

6.7 微镜功率密度计算

在计算不同波长带内 DMD 上的照明光功率密度时，会使用在 DMD 上测量的总光功率、照明溢出百分比、有源阵列面积以及所需波长带内的光谱与总光谱光功率的比率。

- $ILL_{UV} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{VIS} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{IR} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{BLU} = [OP_{BLU\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{BLU1} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

其中：

- ILL_{UV} = DMD 上的 UV 照明功率密度 (mW/cm^2)
- ILL_{VIS} = DMD 上的 VIS 照明功率密度 (W/cm^2)

Copyright © 2025 Texas Instruments Incorporated

- ILL_{IR} = DMD 上的 IR 照明功率密度 (mW/cm^2)
- ILL_{BLU} = DMD 上的 BLU 照明功率密度 (W/cm^2)
- ILL_{BLU1} = DMD 上的 BLU1 照明功率密度 (W/cm^2)
- A_{ILL} = DMD 上的照明面积 (cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率 (W) (测量值)
- A_{ARRAY} = 阵列面积 (cm^2) (数据表)
- OV_{ILL} = 阵列外部 DMD 上总照度的百分比 (%) (光学模型)
- $OP_{UV-RATIO}$ = 波长 <410nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{VIS-RATIO}$ = 波长 ≥410nm 且 ≤800nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{IR-RATIO}$ = 波长 >800nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{BLU-RATIO}$ = 波长 ≥410nm 且 ≤475nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{BLU1-RATIO}$ = 波长 ≥410nm 且 ≤440nm 的光功率与照明光谱中总光功率的比率 (光谱测量)

照明面积因照明溢出而异。DMD 上的总照明面积包括阵列面积和阵列周围的溢出面积。光学模型用于确定阵列外部 DMD 上总照度的百分比 (OV_{ILL}) 和有源阵列上总照度的百分比。根据这些值计算出照明面积 (A_{ILL})。假设整个阵列上的照明是均匀的。

根据测量到的照明光谱，计算出相关波长带内的光功率与总光功率的比率。

计算示例：

$Q_{INCIDENT}$ = 48W (measured)

A_{ARRAY} = (14.5920mm × 8.2080mm) ÷ $100mm^2/cm^2$ = $1.1977cm^2$ (data sheet)

OV_{ILL} = 16.3% (optical model)

$OP_{UV-RATIO}$ = 0.00017 (spectral measurement)

$OP_{VIS-RATIO}$ = 0.99977 (spectral measurement)

$OP_{IR-RATIO}$ = 0.00006 (spectral measurement)

$OP_{BLU-RATIO}$ = 0.28100 (spectral measurement)

$OP_{BLU1-RATIO}$ = 0.03200 (spectral measurement)

A_{ILL} = $1.1977cm^2$ ÷ (1 - 0.163) = $1.4310cm^2$

ILL_{UV} = [0.00017 × 48W] × 1000mW/W ÷ $1.4310cm^2$ = $5.702mW/cm^2$

ILL_{VIS} = [0.99977 × 48W] ÷ $1.4310cm^2$ = $33.54W/cm^2$

ILL_{IR} = [0.00006 × 48W] × 1000mW/W ÷ $1.4310cm^2$ = $2.013mW/cm^2$

ILL_{BLU} = [0.28100 × 48W] ÷ $1.4310cm^2$ = $9.43W/cm^2$

ILL_{BLU1} = [0.03200 × 48W] ÷ $1.4310cm^2$ = $1.07W/cm^2$

Copyright © 2025 Texas Instruments Incorporated

6.8 窗口孔隙照明溢出计算

窗口孔隙关键区域的光学溢出量无法直接测量。对于在阵列上有均匀照明的系统，应使用在 DMD 上测得的总入射光功率以及 DMD 上指定关键区域的总光功率比值来确定光学溢出量。应使用光学模型来确定窗口孔隙关键区域的光功率百分比，并估算该区域的大小。

- $Q_{AP\text{-}ILL} = [Q_{INCIDENT} x\ OP_{AP_ILL_RATIO}] + A_{AP_ILL} (W/cm^2)$

其中：

- $Q_{AP\text{-}ILL}$ = 窗口孔隙照明溢出 (W/cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率（瓦）（测量值）
- $OP_{AP_ILL_RATIO}$ = 窗口孔隙关键区域的光功率与 DMD 上的总光功率之比（光学模型）
- $A_{AP\text{-}ILL}$ = 窗口孔隙关键区域的大小 (cm^2)（数据表）
- OP_{CA_RATIO} = 入射光功率占窗口孔隙关键区域的百分比 (%)（光学模型）

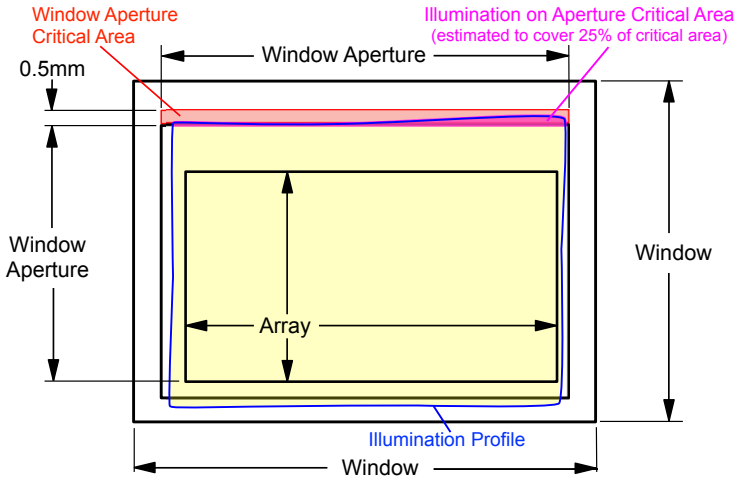


图 6-2. 照明溢出图 — 关键区域

$Q_{INCIDENT}$ = 48W (measured)

$OP_{AP_ILL_RATIO}$ = 0.312% (optical model)

OV_{CA_RATIO} = 25% (optical model)

Length of the window aperture for critical area = 1.5998cm (data sheet mechanical icd)

Width of critical area = 0.050cm (data sheet)

$A_{AP\text{-}ILL}$= 1.5998cm × 0.050cm = 0.079990cm^2

$Q_{AP\text{-}ILL}$= (48W x 0.00312)+(0.079990cm^2 × 0.25) = 7.5W/cm^2

6.9 微镜着陆打开/着陆关闭占空比

6.9.1 微镜着陆开/着陆关占空比的定义

微镜着陆开/着陆关占空比（着陆占空比）表示单个微镜着陆于打开状态的时长（百分比）与同一微镜着陆于关闭状态的时长之比。

Copyright © 2025 Texas Instruments Incorporated

例如，100/0 的着陆占空比表示基准像素在 100% 的时间内处于打开状态（在 0% 的时间内处于关闭状态）；而 0/100 表示像素在 100% 的时间内处于关闭状态。同样，50/50 表示像素在 50% 的时间内处于打开状态（在 50% 的时间内处于关闭状态）。

请注意，在评估着陆占空比时，从一种状态（打开或关闭）切换到另一种状态（关闭或打开）所花费的时间被认为可以忽略不计，因此被忽略。

由于微镜只能以一种状态或另一种状态（打开或关闭）着陆，因此两个数字（百分比）的总和始终为 100。

6.9.2 DMD 的着陆占空比和使用寿命

了解（终端产品或应用的）长期平均着陆占空比很重要，因为使所有（或部分）DMD 微镜阵列（也称为有源阵列）长时间处于非对称着陆占空比会缩短 DMD 的使用寿命。

请注意，相关的是着陆占空比的对称性/不对称性。着陆占空比的对称性取决于两个数字（百分比）的接近程度。例如，50/50 的着陆占空比是完全对称的，而 100/0 或 0/100 的着陆占空比是完全不对称的。

6.9.3 着陆占空比和运行 DMD 温度

DMD 工作时的温度和着陆占空比会相互作用，从而影响 DMD 的使用寿命，我们可以利用这种相互作用来减少非对称着陆占空比对 DMD 使用寿命的影响。这在*最大建议阵列温度 - 降额曲线* 中显示的降额曲线中进行了量化。该曲线的重要性在于：

- 该曲线上的所有点均表示相同的使用寿命。
- 该曲线上方的所有点均表示较短的使用寿命（离曲线越远，使用寿命越短）。
- 该曲线下方的所有点均表示较长的使用寿命（离曲线越远，使用寿命越长）。

实际上，该曲线指定了给定长期平均着陆占空比下的最高 DMD 工作温度。

6.9.4 估算产品或应用的长期平均着陆占空比

在给定的时间段内，给定像素的着陆占空比取决于该像素显示的图像内容。

例如，在最简单的情况下，当在给定时间段内在给定像素上显示纯白色时，该像素将在该时间段内在 100/0 着陆占空比下运行。同样，当显示纯黑色时，像素在 0/100 着陆占空比下运行。

在两个极端之间（暂时忽略可能对传入图像应用的颜色和任何图像处理），着陆占空比与灰度值一一对应，如表 6-1 中所示。

表 6-1. 灰度值和着陆占空比

灰度值	着陆占空比
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

要考虑色彩再现（但仍忽略图像处理），需要了解给定像素的每种构成原色（红色、绿色和蓝色）的颜色强度（0% 至 100%）以及每种原色的颜色周期时间，其中“颜色周期时间”是必须显示某种给定原色以实现所需白点的帧时间的总百分比。

Copyright © 2025 Texas Instruments Incorporated

使用此公式计算给定时间段内给定像素的着陆占空比：

Landed Duty Cycle =

(Red_Cycle_% × Red_Scale_Value) +

(Green_Cycle_% × Green_Scale_Value) +

(Blue_Cycle_% × Blue_Scale_Value)

其中

- Red_Cycle_% 表示显示红色以达到所需白点的帧时间百分比
- Green_Cycle_% 表示显示绿色以达到所需白点的帧时间百分比
- Blue_Cycle_% 表示显示蓝色以达到所需白点的帧时间百分比

例如，假设红色、绿色和蓝色周期时间分别为 30%、50% 和 20%（以实现所需的白点），那么各种红色、绿色和蓝色强度组合的着陆占空比如 表 6-2 和 表 6-3 所示。

表 6-2. 全色的着陆占空比示例，颜色百分比

周期百分比		
红色	绿色	蓝光
30%	50%	20%

表 6-3. 全色的着陆占空比示例

标度值			着陆占空比
红色	绿色	蓝光	
0%	0%	0%	0/100
100%	0%	0%	30/70
0%	100%	0%	50/50
0%	0%	100%	20/80
0%	12%	0%	6/94
0%	0%	35%	7/93
60%	0%	0%	18/82
0%	100%	100%	70/30
100%	0%	100%	50/50
100%	100%	0%	80/20
0%	12%	35%	13/87
60%	0%	35%	25/75
60%	12%	0%	24/76
100%	100%	100%	100/0

在估算着陆占空比时要考虑的最后一个因素是应用的图像处理。在 DLPC7540 控制器内，伽马函数会影响着陆占空比。

伽马函数是 $Output_Level = A \times Input_Level^{Gamma}$ 形式的幂函数，其中 A 是一个比例因子，通常设置为 1。

在 DLPC7540 控制器中，伽马以逐像素的方式应用于传入的图像数据。典型的伽马因子为 2.2，可转换输入的数据，如图 6-3 所示。

Copyright © 2025 Texas Instruments Incorporated

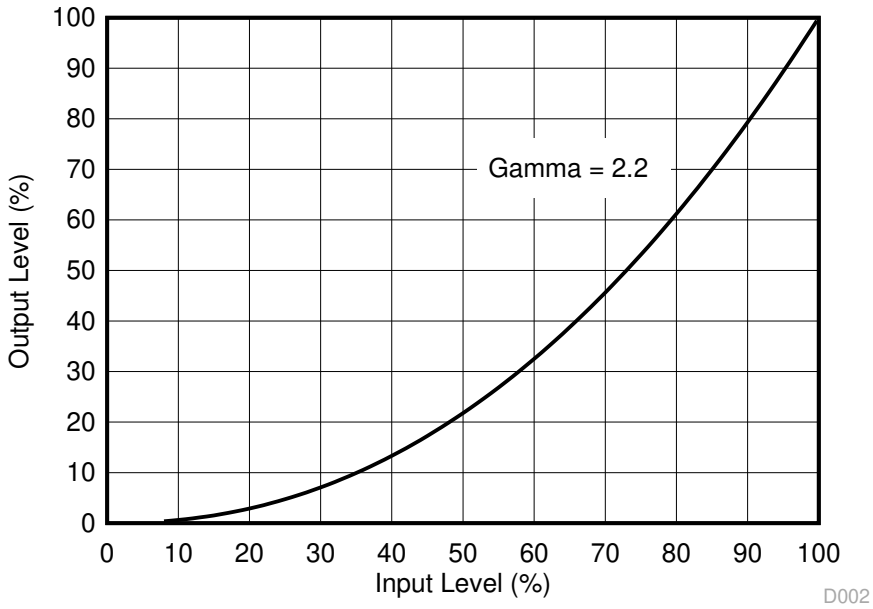


图 6-3. 伽马 = 2.2 的示例

如 图 6-3 所示，如果给定输入像素的灰度值为 40%（应用伽马之前），则应用伽马之后灰度值为 13%。因此，可以看出，伽马会直接影响像素的显示灰度水平，所以也会直接影响像素的着陆占空比。

还必须考虑在 DLPC7540 控制器之前进行的图像处理。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

DMD 是空间光调制器，可将来自光源的入射光反射到两个方向之一，主要方向是进入投影光学元件或收集光学元件。每个应用主要源自系统的光学架构和进入 DLPC7540 控制器的数据格式。使用 DLP650TE DMD 的典型应用包括激光电视、智能投影仪和企业投影仪。

DMD 上电和断电时序由 DLPC7540 通过 TPS65145 PMIC 进行严格控制。如需了解上电和断电规格，请参阅 节 8。为了确保可靠运行，DLP650TE DMD 必须始终与 DLPC7540 控制器、DLPA100 PMIC/电机驱动器和 TPS65145 PMIC 搭配使用。

7.2 典型应用

DLP650TE DMD 与 DLPC7540 数字控制器和电源管理器件相结合，可为明亮、多彩的显示应用提供全面 4K UHD 分辨率。使用激光荧光体照明的典型显示系统结合了 DLP650TE DMD、DLPC7540 显示控制器、TPS65145 稳压器以及 DLPA100 PMIC 和电机驱动器。展示了此 DLP 0.65" 4K UHD 芯片组配置以及所需的其他系统元件的系统方框图。请参阅 图 7-2，了解显示所需系统元件以及 DLP 0.65" 4K UHD 芯片组的灯配置的方框图。相关元件包括 DLP650TE DMD、DLPC7540 显示控制器、DLPA100 PMIC 和电机驱动器以及 TPS65145 PMIC。

Copyright © 2025 Texas Instruments Incorporated

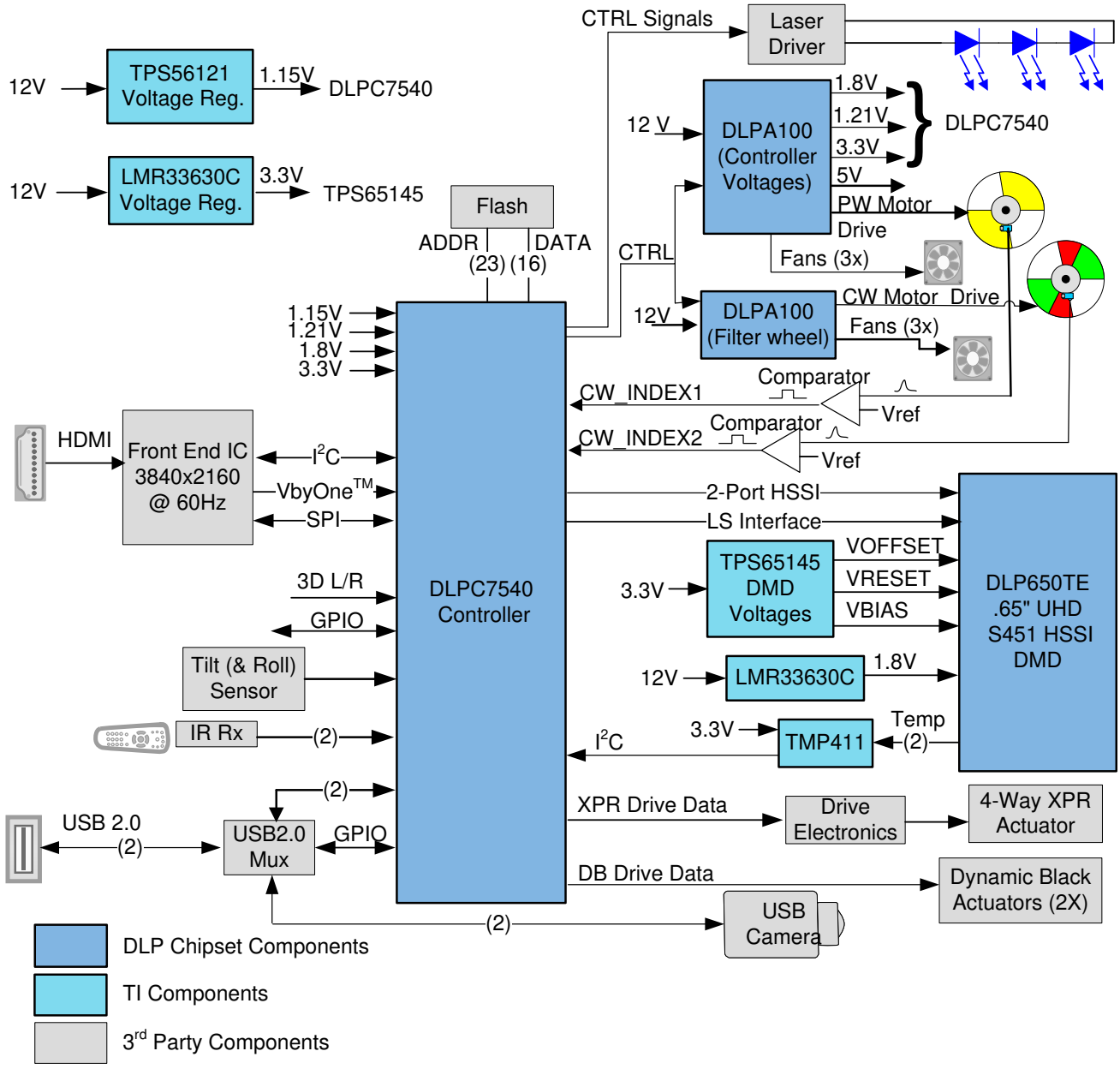


图 7-1. 典型 4K 超高清激光荧光体应用图

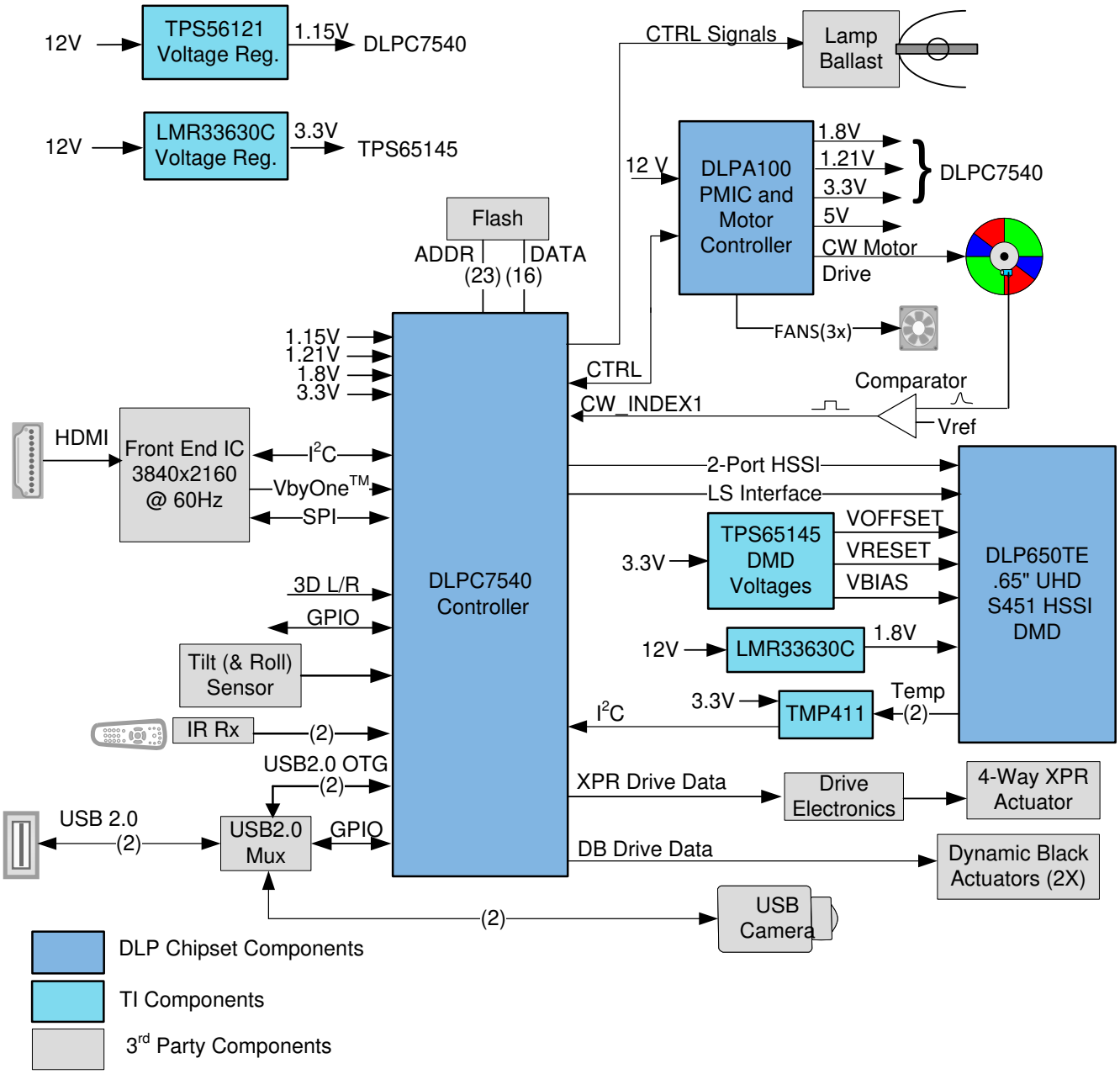


图 7-2. 典型 4K 超高清灯荧光体应用图

7.2.1 设计要求

显示系统的其他核心元件包括光源、照明和投影光学元件的光学引擎、其他电气元件和机械部件以及软件。使用的照明类型和所需的亮度会对整个系统设计和尺寸产生重大影响。

显示系统使用 DLP650TE DMD 作为核心成像器件，并包含一个 0.65 英寸微镜阵列。DLPC7540 控制器是 DMD 与系统其余部分之间的数字接口，从前端接收器获取数字输入，并通过高速接口驱动 DMD。DLPA100 PMIC 用作控制器、滤色轮和荧光轮电机控制器的稳压器。TPS65145 提供 DMD 复位电压、失调电压和偏置电压。LMR33630C 为 DLP650TE DMD 提供 1.8V 电源。

7.2.2 详细设计过程

对于完整的 DLP 系统，需要包含 DLP650TE DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。

Copyright © 2025 Texas Instruments Incorporated

为了确保可靠运行，DMD 必须始终与 DLPC7540 显示控制器、TPS65145 PMIC 和 DLPA100 搭配使用。请参阅 DMD 电路板参考设计和 DLPC7540 参考设计了解布局和设计建议。

7.2.3 应用曲线

在典型的投影仪应用中，DMD 在屏幕上的光通量取决于投影仪的光学设计。照明光学系统和投影光学系统的效率和总功率决定了投影仪的总光输出。DMD 本质上是一种线性空间光调制器，因此其效率与光输出成正比。图 7-3 显示了激光荧光体照明系统的激光输入光功率与光输出之间的关系，其中的荧光体不处于热淬极限状态。

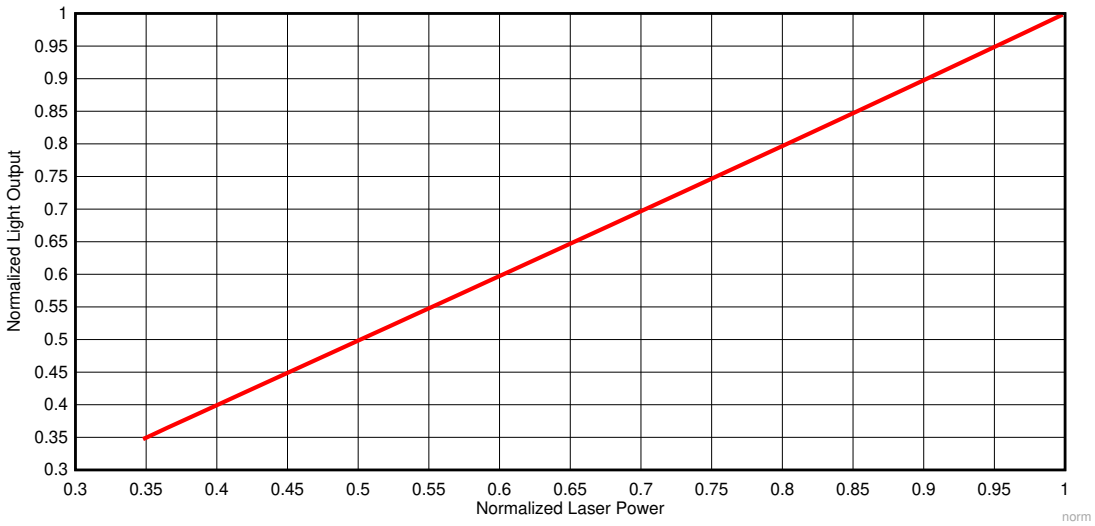


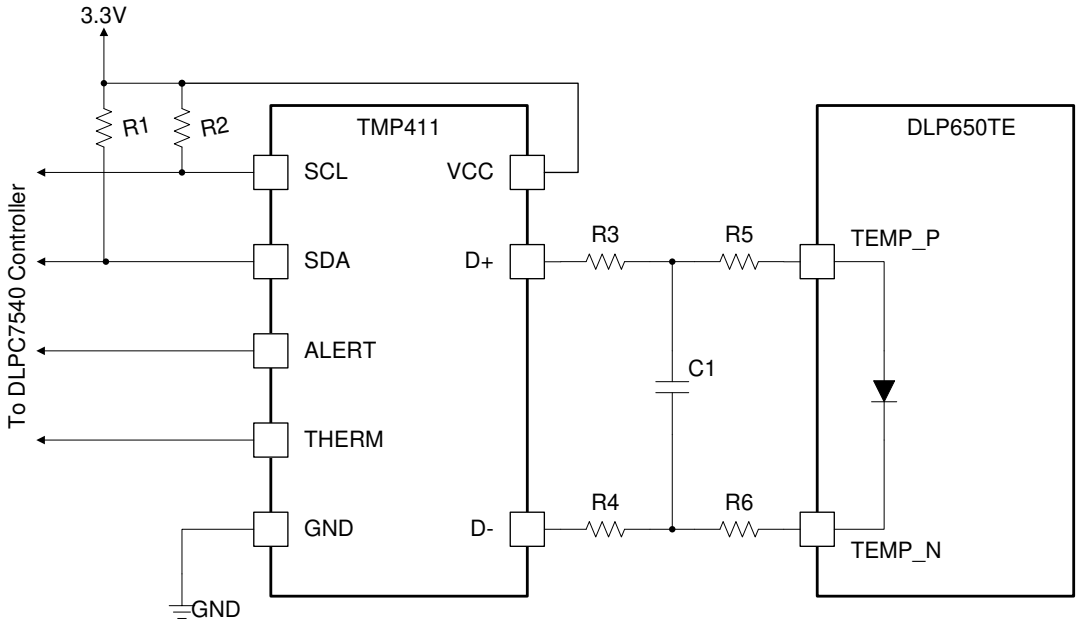
图 7-3. 激光荧光体照明的归一化光输出与归一化激光功率间的关系

7.3 温度传感器二极管

DMD 具有内置热敏二极管，用于测量微镜阵列外芯片某角的温度。热敏二极管可以与 TMP411 温度传感器连接，如示例原理图中所示。软件应用程序包含用于配置 TMP411 以读取 DLP650TE DMD 温度传感器二极管数据的功能。客户可以使用这些数据在整体系统设计中整合额外的功能，例如调节照明、风扇速度等。TMP411 与 DLPC7540 控制器之间的所有通信均通过 I^2C 接口进行。TMP411 通过*引脚功能*中列出的引脚连接至 DMD。

如果不使用温度传感器，请将 TEMP_N 和 TEMP_P 引脚保持未连接 (NC) 状态。

Copyright © 2025 Texas Instruments Incorporated



A. 为清晰起见，图中省略了细节。
B. 有关系统电路板布局布线建议，请参阅 TMP411 数据表。
C. 有关 R1、R2、R3、R4 和 C1 的建议元件值，请参阅 TMP411 数据表。
D. R5 = 0Ω。R6 = 0Ω。将 0Ω 电阻器靠近 DMD 封装引脚放置。

图 7-4. TMP411 示例原理图

Copyright © 2025 Texas Instruments Incorporated

8 电源相关建议

运行 DMD 需要以下所有电源：

- V_{SS}
- V_{BIAS}
- V_{DD}
- V_{OFFSET}
- V_{RESET}

DMD 上电和断电时序由 DLP 显示控制器严格控制。

小心

为了确保 DMD 可靠运行，必须遵循以下电源时序要求。如果不遵循规定的上电和断电要求，则可能会影响器件的可靠性。请参阅图 8-1 中的 DMD 电源时序要求。

在上电和断电操作期间，V_{BIAS}、V_{DD}、V_{OFFSET} 和 V_{RESET} 电源必须进行协调。如果未满足以下任何要求，则会导致 DMD 的可靠性和寿命显著降低。另外还必须连接公共接地 V_{SS}。

8.1 电源时序要求

符号	参数	说明	最小值	典型值	最大值	单位
t_{DELAY1}	延迟要求	从 V_{OFFSET} 上电到 V_{BIAS} 上电	1	2		ms
t_{DELAY2}	延迟要求	从 V_{BIAS} 和 V_{RESET} 上电并保持稳定到 DMD_EN_ARSTZ 变为高电平	20			µs
t_{DELAY3}	延迟要求	从 V_{OFFSET}、V_{BIAS} 和 V_{RESET} 断电到 VDD 和 VDDA 可断电时	50			µs

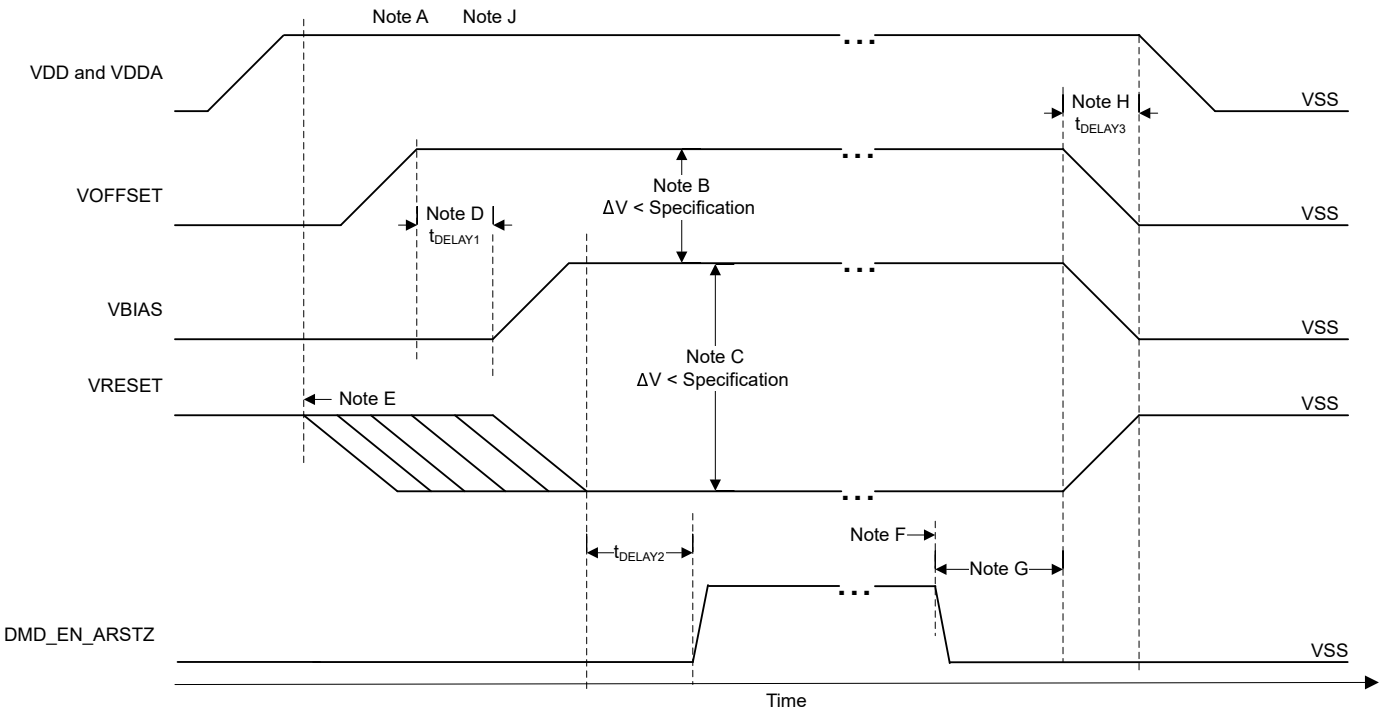
8.2 DMD 电源上电过程

- 在上电期间，V_{DD} 必须始终在 DMD 上施加 V_{OFFSET}（加上*电源时序要求*中指定的 t_{DELAY1}）、V_{BIAS} 和 V_{RESET} 电压之前启动并稳定。
- 在上电期间，严格要求 V_{BIAS} 和 V_{OFFSET} 之间的电压差值必须处于*建议运行条件*中所示的指定限值范围内。
- 在上电期间，针对 V_{RESET} 相对于 V_{BIAS} 的时序没有要求。
- 上电期间的电源转换率非常灵活，前提是瞬态电压电平符合*绝对最大额定值*、*建议运行条件*和 *DMD 电源要求*中指定的要求。
- 上电期间，只有在 V_{DD} 稳定至*建议运行条件*中列出的工作电压后，LVCMOS 输入引脚才能被驱动为高电平。

8.3 DMD 电源断电过程

- 在断电期间，必须提供 V_{DD}，直到 V_{BIAS}、V_{RESET} 和 V_{OFFSET} 放电至指定的接地限制范围内。请参阅*电源时序要求*。
- 在断电期间，严格要求 V_{BIAS} 和 V_{OFFSET} 之间的电压差值必须处于*建议运行条件*中所示的指定限值范围内。
- 在断电期间，针对 V_{RESET} 相对于 V_{BIAS} 的时序没有要求。
- 断电期间的电源转换率非常灵活，前提是瞬态电压电平符合*绝对最大额定值*、*建议运行条件*和 *DMD 电源要求*中指定的要求。
- 在断电期间，LVCMOS 输入引脚电压必须小于*建议运行条件*中指定的值。

Copyright © 2025 Texas Instruments Incorporated



A. 请参阅*引脚功能*表。
B. 为了防止电流过大，电源电压差值 $|V_{BIAS} - V_{OFFSET}|$ 必须小于*建议运行条件*中指定的限值。
C. 为了防止电流过大，电源电压差值 $|V_{BIAS} - V_{RESET}|$ 必须小于*建议运行条件*中指定的限值。
D. 根据*电源时序要求*中的 t_{DELAY1} 规格，V_{BIAS} 必须在 V_{OFFSET} 上电后上电。
E. V_{RESET}、V_{OFFSET} 和 V_{BIAS} 斜坡必须在 VDD 和 VDDA 上电并稳定后启动。
F. DMD 微镜停放序列完成后，DLP 控制器软件启动硬件断电，从而激活 DMD_EN_ARSTZ 并禁用 V_{BIAS}、V_{RESET} 和 V_{OFFSET}。
G. 在断电情况下，DLP 控制器硬件执行紧急 DMD 微镜停放程序，DMD_EN_ARSTZ 变为低电平。
H. 根据*电源时序要求*中的 t_{DELAY3} 规格，V_{DD} 必须保持供电且稳定，直到 V_{OFFSET}、V_{BIAS} 和 V_{RESET} 断电。
I. 为了防止电流过大，电源电压差值 $|V_{DDA} - V_{DD}|$ 必须小于*建议运行条件*中指定的限值。
J. 未按比例显示。为清晰起见，图中省略了细节。

图 8-1. DMD 电源要求

Copyright © 2025 Texas Instruments Incorporated

9 布局

9.1 布局指南

DLP650TE DMD 是由 DLPC7540 显示控制器与 TPS65145 PMIC 和 DLPA100 电源和电机控制器共同控制的芯片组的一部分。这些指南旨在帮助设计采用 DLP650TE DMD 的 PCB 板。该 DMD 板是一款高速多层 PCB，主要采用高速数字逻辑，其中包括连接至 DMD 的双倍数据速率 3.2Gbps 和 250Mbps 差动数据总线。对于 V_{OFFSET}、V_{RESET} 和 V_{BIAS}，TI 建议使用全尺寸或迷你电源平面。接地 (V_{SS}) 需要实心平面。除表 9-1 中列出的情况外，PCB 的目标阻抗为 50Ω ±10%。TI 建议使用表 9-2 中所述的 10 层堆叠。TI 建议使用高质量 FR-4 材料来制造 PCB。

9.2 阻抗要求

TI 建议 PCB 的所有信号目标阻抗为 50Ω ±10%。表 9-1 中列出了例外情况。

表 9-1. 特殊阻抗要求

信号类型	信号名称	阻抗 (Ω)
DMD 高速数据信号	DMD_HSSI0_N_(0…7)、DMD_HSSI0_P_(0…7)、DMD_HSSI1_N_(0…7)、DMD_HSSI1_P_(0…7)、DMD_HSSI0_CLK_N、DMD_HSSI0_CLK_P、DMD_HSSI1_CLK_N、DMD_HSSI1_CLK_P	100Ω 差分（50Ω 单端）
DMD 低速接口信号	DMD_LS0_WDATA_N、DMD_LS0_WDATA_P、DMD_LS0_CLK_N、DMD_LS0_CLK_P	100Ω 差分（50Ω 单端）

9.3 层

表 9-2 展示了每层的层堆叠和覆铜重量。

表 9-2. 层堆叠

层号	层名称	覆铜重量（盎司）	注释
1	A 面 – DMD，主要元件，电源迷你平面	0.5 盎司（电镀前）	DMD 和迂回。两个数据输入连接器。顶层元件，包括发电和两个数据输入连接器。低频信号布线。应镀有多达 1 盎司的覆铜 (GND)
2	接地	0.5	信号层 1 和 3 的实心接地平面（网络 GND）基准
3	信号（高频）	0.5	高速信号层从输入连接器到 DMD 的高速差分数据总线
4	接地	0.5	信号层 3 和 5 的实心接地平面（网络 GND）基准
5	电源	0.5	用于 1.8V、3.3V、10V、–14V、18V 的主分割电源平面
6	电源	0.5	用于 1.8V、3.3V、10V、–14V、18V 的主分割电源平面
7	接地	0.5	信号层 8 的实心接地平面（网络 GND）基准
8	信号（高频）	0.5	高速信号层从输入连接器到 DMD 的高速差分数据总线
9	接地	0.5	信号层 8 和 10 的实心接地平面（网 GND）基准
10	B 面 — 次要元件，电源迷你平面	0.5 盎司（电镀前）	分立式元件（必要时）。低频信号布线。应镀有多达 1 盎司的覆铜

9.4 布线宽度、间距

除非另有说明，否则 TI 建议所有信号都遵循 0.005 英寸/0.015 英寸（布线宽度/间距）设计规则。通过分析阻抗和叠层要求来确定和计算实际布线宽度。

在空间允许的情况下尽可能扩大所有电压信号的宽度。请遵循表 9-3 中列出的宽度和间距要求。

Copyright © 2025 Texas Instruments Incorporated

表 9-3. 特殊布线宽度、间距要求

信号名称	最小布线宽度 (MIL)	最小布线间距 (MIL)	布局要求
GND	最大化	5	尽可能地增加布线宽度，以至少与连接引脚相同。
P3P3V	40	15	根据需要在第 1 层和第 10 层上创建迷你平面。根据需要使用多个过孔连接到第 1 层和第 10 层上的器件。
P1P8V	40	15	根据需要在第 1 层和第 10 层上创建迷你平面。根据需要使用多个过孔连接到第 1 层和第 10 层上的器件。
V_{OFFSET}	40	15	根据需要在第 1 层和第 10 层上创建迷你平面。根据需要连接到第 1 层和第 10 层上的器件。
V_{RESET}	40	15	根据需要在第 1 层和第 10 层上创建迷你平面。根据需要连接到第 1 层和第 10 层上的器件。
V_{BIAS}	40	15	根据需要在第 1 层和第 10 层上创建迷你平面。根据需要连接到第 1 层和第 10 层上的器件。

9.5 电源

TI 强烈建议不要在电源平面或电源平面相邻的平面上进行信号布线。如果必须将信号布线到电源平面相邻的层上，则信号不得在电源平面中穿过分割点，以防止 EMI 并保持信号完整性。

在尽可能多的位置连接所有内部数字接地 (GND) 平面。连接所有内部接地平面，并确保连接之间的最小距离为 0.5 英寸。如果由于器件的正常接地连接而有足够的接地过孔，则可能不需要额外的过孔。

将每个元件的电源和接地引脚连接到电源平面和接地平面，每个引脚至少有一个过孔。尽量缩短元件电源引脚和接地引脚的布线长度。（理想情况下小于 0.100 英寸。）

强烈建议不要使用接地平面开槽。

9.6 布线长度匹配建议

表 9-4 和表 9-5 介绍了建议的信号布线长度匹配要求。请遵循以下指导原则，避免在 PCB 的大面积区域进行长布线：

- 匹配布线长度，使较长的信号以蛇形图案布线
- 尽可能减少转弯数。
- 确保转角不低于 45 度。

图 9-1 显示了 HSSI 信号对布线示例。

表 9-4 中列出的信号适用于数据速率高达 3.2Gbps 的运行情况。尽可能减少这些信号的层更改。尽可能减少过孔数量。在更大限度缩短长度的同时避免急转弯和层切换。当需要更改层时，应在信号过孔周围放置 GND 过孔以提供信号返回路径。一对差分信号与另一对差分信号之间的距离必须至少是这对差分信号内部距离的两倍。

表 9-4. HSSI 高速 DMD 数据信号

信号名称	基准信号	布线规格	单位
DMD_HSSI0_N(0...7)、DMD_HSSI0_P(0...7)	DMD_HSSI0_CLK_N、DMD_HSSI_CLK_P	±0.25	英寸
DMD_HSSI1_N(0...7)、DMD_HSSI1_P(0...7)	DMD_HSSI0_CLK_N、DMD_HSSI_CLK_P	±0.25	英寸
DMD_HSSI0_CLK_P	DMD_HSSI1_CLK_P	±0.05	英寸
差分对内 P	差分对内 N	±0.01	英寸

Copyright © 2025 Texas Instruments Incorporated

表 9-5. 其他时序关键型信号

信号名称	约束条件	布线层
LS_CLK_P、LS_CLK_N LS_WDATA_P、 LS_WDATA_N LS_RDATA_A	差分对内（P 到 N） 匹配到 0.01 英寸 信号到信号 匹配到 +/-0.25 英寸	第 3 层、第 8 层

-

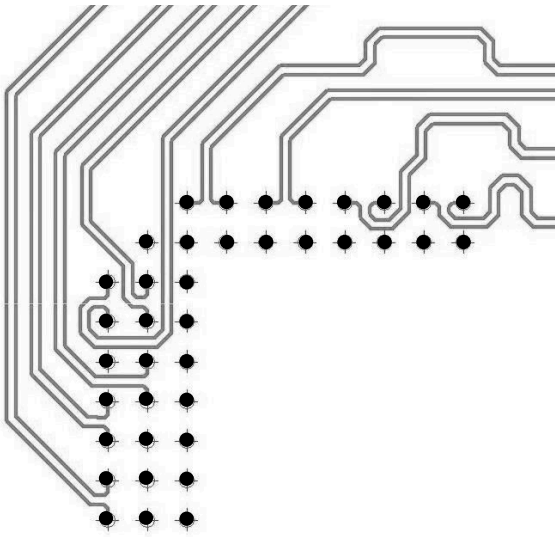


图 9-1. HSSI PCB 布线示例

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 器件支持

10.2.1 器件命名规则

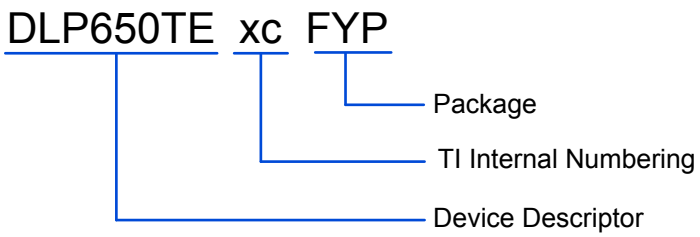


图 10-1. 器件型号说明

10.2.2 器件标识

器件标识包括人类可读的信息和二维矩阵码。图 10-2 中描述了人类可读信息。二维矩阵码是一个字母数字字符串，其中包含 DMD 器件型号以及序列号的第 1 部分和第 2 部分。

示例：

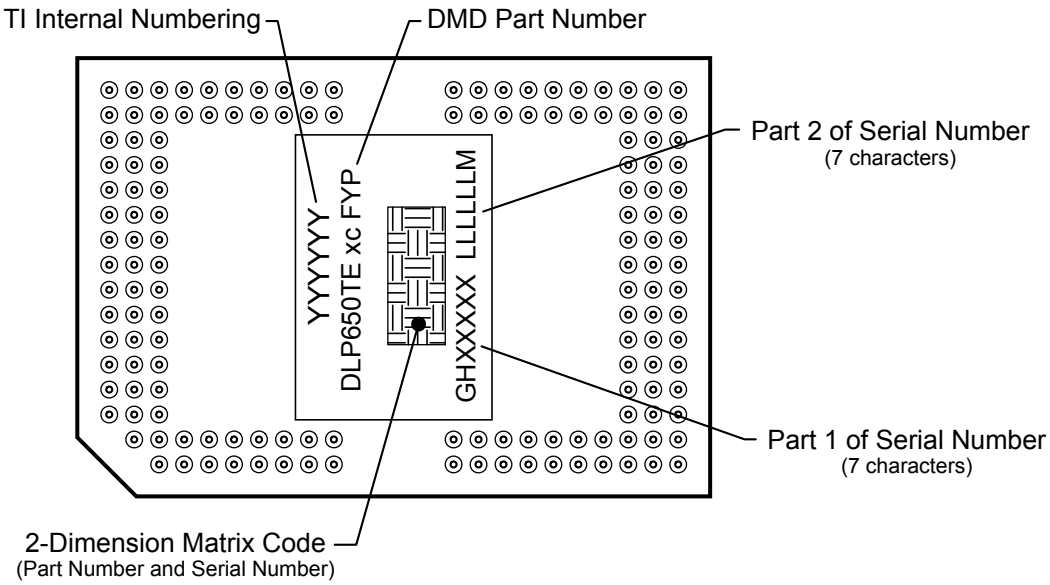


图 10-2. DMD 标识位置

10.3 文档支持

10.3.1 相关文档

以下文档包含与该 DMD 一起使用的芯片组元件相关的更多信息。

- *DLPC7540 显示控制器数据表*
- *TPS65145 数据表*

Copyright © 2025 Texas Instruments Incorporated

- *DLPA100 电源和电机驱动器数据表*

10.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.6 商标

TI E2E™ is a trademark of Texas Instruments.
DLP® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (January 2025) to Revision C (September 2025)	Page
• 更新了*建议运行条件*	7
• 更正了 Q_{ARRAY}=3.0W + (0.45 × 48W) =24.6W 行中的拼写错误	23

Changes from Revision A (May 2022) to Revision B (January 2025)	Page
• 添加了 DLP 产品第三方搜索工具链接并采用 TI DLP 显示技术开启	1
• 更新了“微镜阵列光学特性”表	18
• 更新了微镜阵列温度计算	23
• 添加了“微镜功率密度计算”一节	24
• 添加了“窗口孔隙照明溢出计算”主题	26
• 更新了用于计算着陆占空比的公式	27

Copyright © 2025 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

12.1 封装选项附录

12.1.1 封装信息

可订购器件	状态 (1)	封装类型	封装图	引脚	包装数量	环保计划 (2)	铅/焊球镀层(4)	MSL 峰值温度 (3)	工作温度 (°C)	器件标识(5) (6)
DLP650TEA0FYP	运行	CPGA	FYP	149	33	RoHS 和绿色环保	致电 TI	致电 TI		请参阅图 10-2

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅（RoHS 豁免）或绿色环保（RoHS，无锑/溴）- 如需了解最新供货信息及更多产品内容详情，请访问 http://www.ti.com/productcontent。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅（RoHS 豁免）：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅（符合 RoHS）。
绿色环保（RoHS，无锑/溴）：TI 将“绿色环保”定义为无铅（符合 RoHS 标准）、无溴 (Br) 和无锑 (Sb) 基阻燃剂（Br 或 Sb 在同质材料中的质量不超过总质量的 0.1%）

(3) MSL，峰值温度-- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

(5) 器件上可能还有与标识、批次跟踪代码信息或环境分级相关的标记

(6) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP650TEA0FYP	Active	Production	CPGA (FYP) | 149	33 | JEDEC TRAY (5+1)	Yes	NIAU	N/A for Pkg Type	0 to 70	
DLP650TEA0FYP.A	Active	Production	CPGA (FYP) | 149	33 | JEDEC TRAY (5+1)	Yes	NIAU	N/A for Pkg Type	0 to 70	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

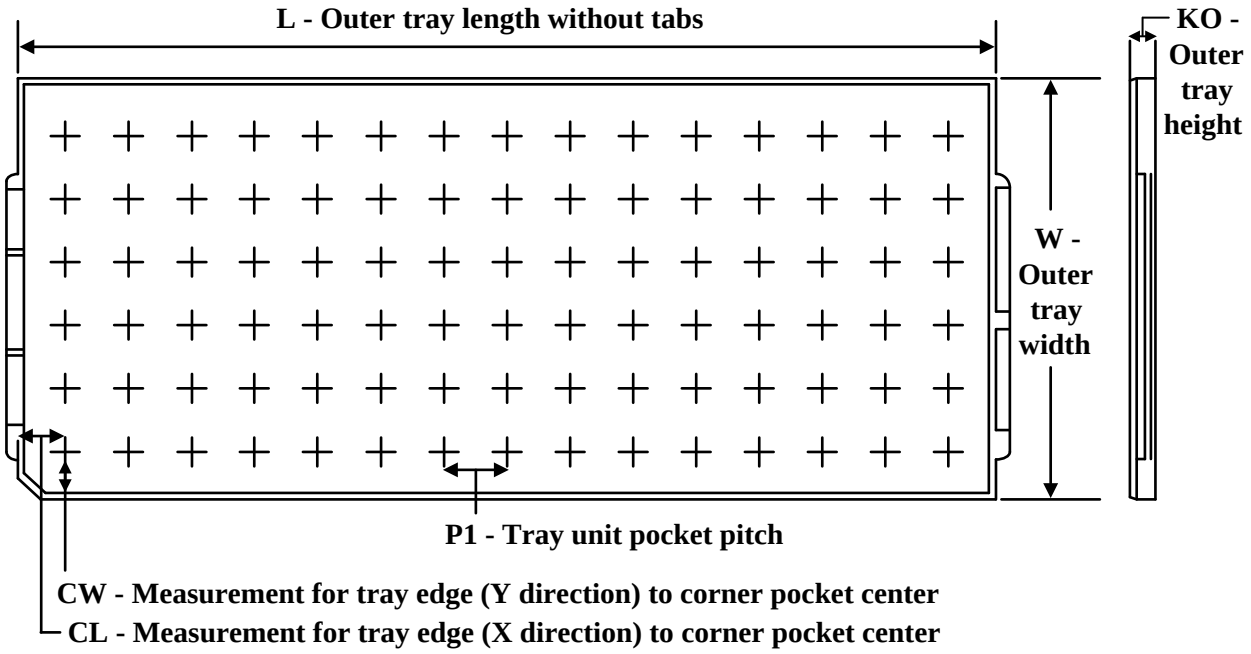
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

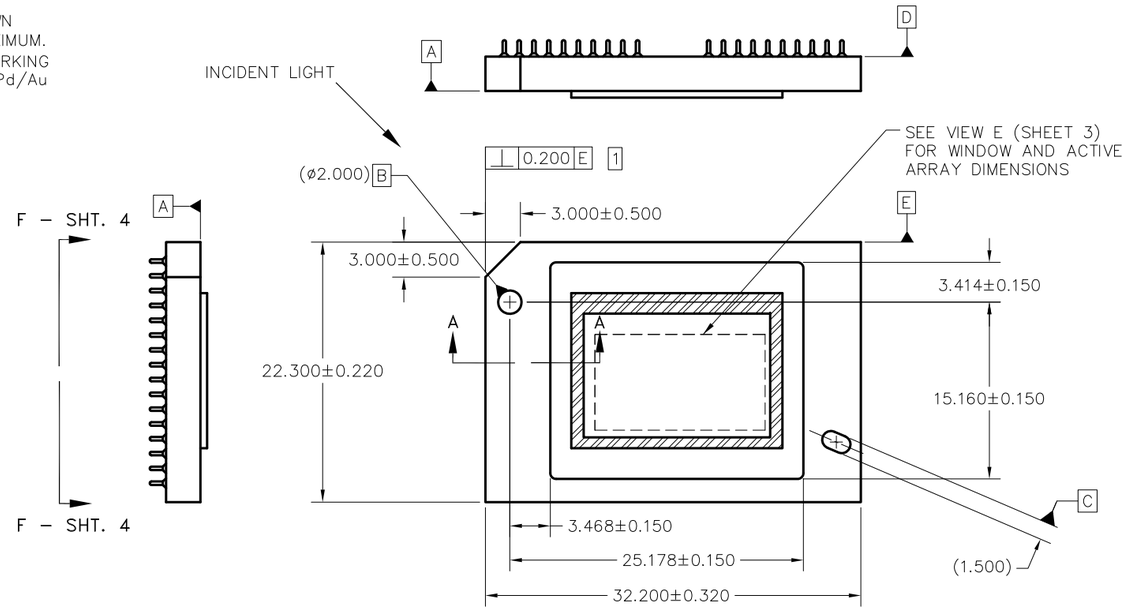
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DLP650TEA0FYP	FYP	CPGA	149	33	3 x 11	150	315	135.9	12190	27.5	20	27.45
DLP650TEA0FYP.A	FYP	CPGA	149	33	3 x 11	150	315	135.9	12190	27.5	20	27.45

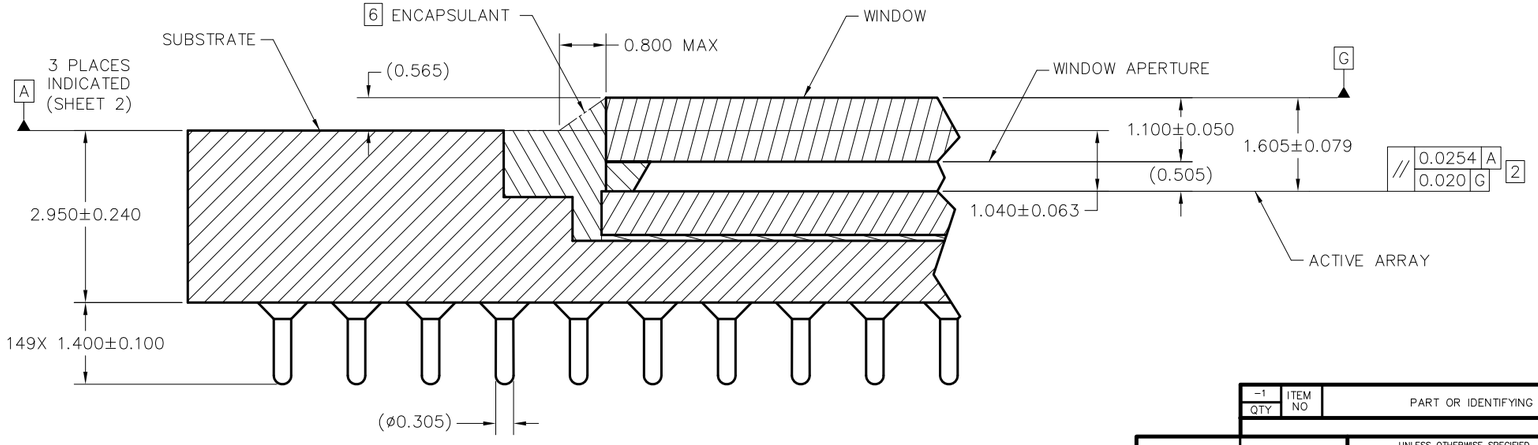
© COPYRIGHT 2019 TEXAS INSTRUMENTS UN-PUBLISHED, ALL RIGHTS RESERVED.

REVISIONS			
REV	DESCRIPTION	DATE	APPROVED
A	ECO 2180591, INITIAL RELEASE	04/04/19	F. ARMSTRONG

NOTES: UNLESS OTHERWISE SPECIFIED:

1. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE
2. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY
3. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.8 DEGREES
4. SUBSTRATE SYMBOLIZATION PAD, AND PLATING AT BOTTOM OF DATUMS B AND C HOLES TO BE ELECTRICALLY CONNECTED TO VSS PLANE WITHIN THE SUBSTRATE
5. BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE AREA
6. MAXIMUM ENCAPSULANT PROFILE SHOWN
7. ENCAPSULANT ALLOWED ON THE SURFACE OF THE CERAMIC IN THE AREA SHOWN IN VIEW B (SHEET 2). ENCAPSULANT SHALL NOT EXCEED 0.200 THICKNESS MAXIMUM.
8. SUBSTRATES PLATED WITH Ni/Au SHALL HAVE THE THREE-DIGIT NUMERICAL MARKING IN THE AREA ABOVE THE SYMBOLIZATION PAD. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE MARKING IN THE AREA BELOW THE SYMBOLIZATION PAD.





SECTION A–A
SCALE 20/1

–1 QTY	ITEM NO	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES

PARTS LIST

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES: ANGLES ± 1°
  2 PLACE DECIMALS ±0.25
  3 PLACE DECIMALS ±0.50
- REMOVE ALL BURRS AND SHARP EDGES
- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5–1994
- DIMENSIONAL LIMITS APPLY BEFORE PROCESSES
- PARENTHETICAL INFO FOR REF ONLY

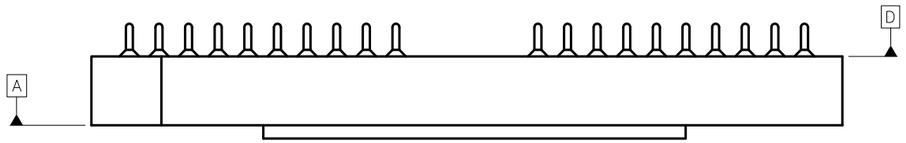
THIRD ANGLE PROJECTION

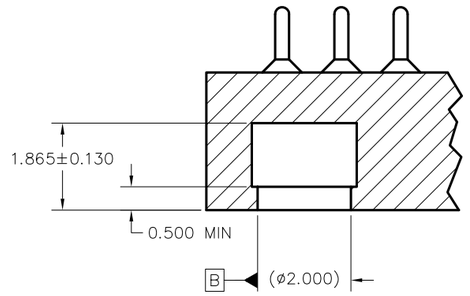
NEXT ASSY	USED ON
NONE	0314DA

APPLICATION

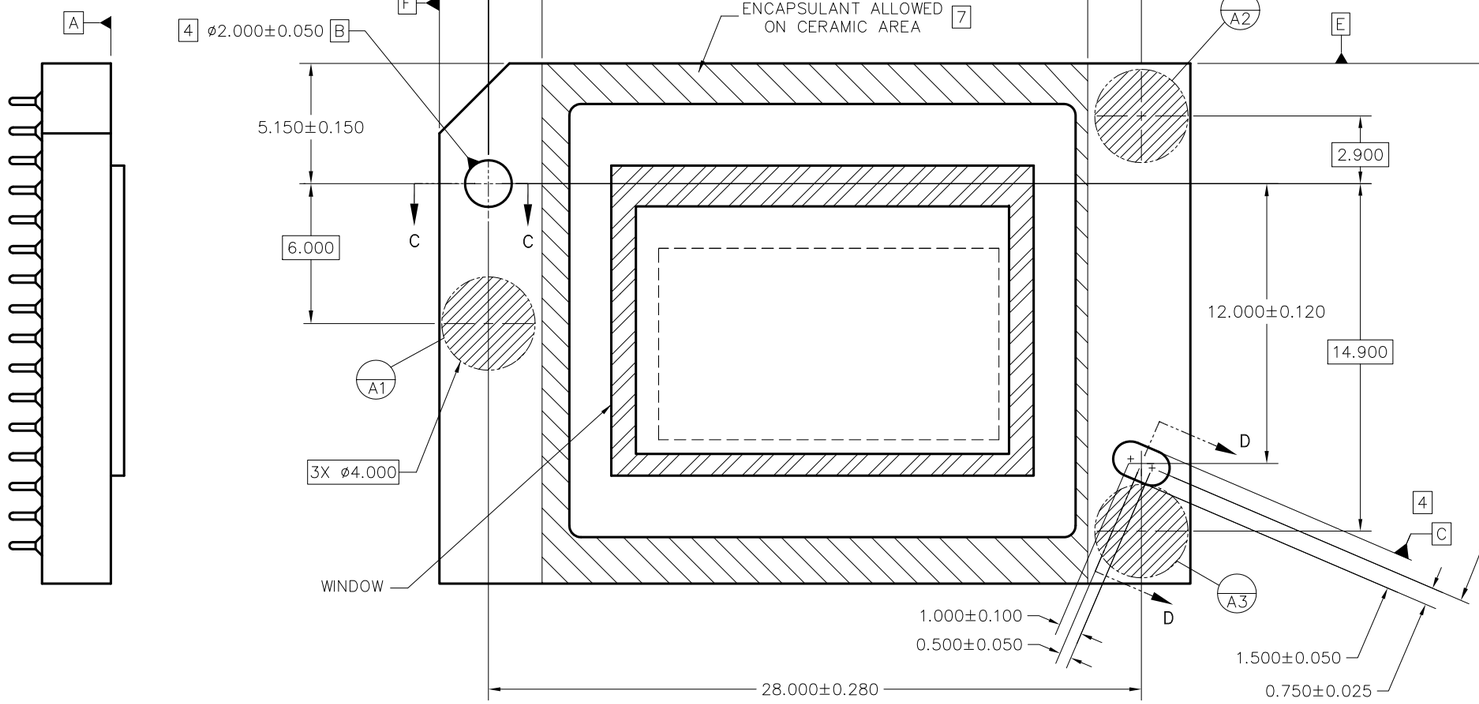
DWN F. ARMSTRONG	DATE 04/04/19	TEXAS INSTRUMENTS Dallas, Texas
ENGR F. ARMSTRONG	04/04/19	ICD, MECHANICAL, DMD .65 1080p / UHD HSSI SERIES 450 (FYP PACKAGE)
QA S. HUDGENS	04/12/2019	
CQE M. DORAK	04/12/2019	SIZE D · DRAWING NO 2516609 · REV A
		SCALE 4/1 · SHEET 1 OF 4

ACED1g

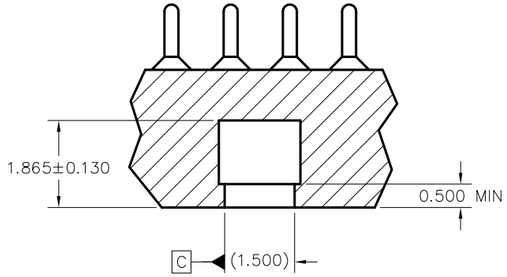




SECTION C–C
DATUM B
SCALE 16/1



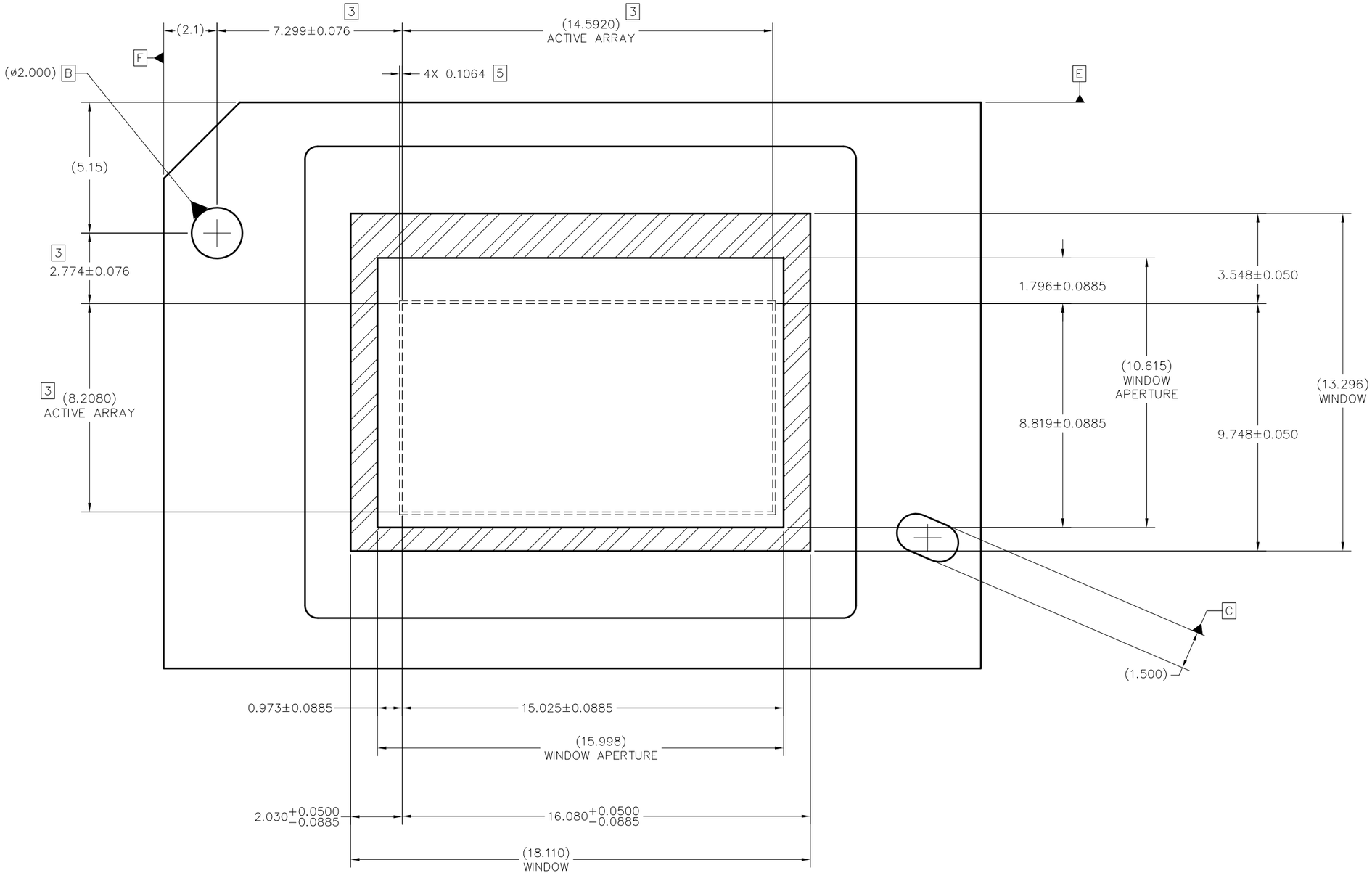
VIEW B
DATUMS AND ENCAPSULANT ALLOWABLE AREA
SCALE 8/1



SECTION D–D
DATUM C
SCALE 16/1

Texas Instruments, Dallas, Texas	DWN DATE / ISSUE DATE	SIZE D	DRAWING NO 2516609	REV A
		SCALE 4/1	SHEET 2	

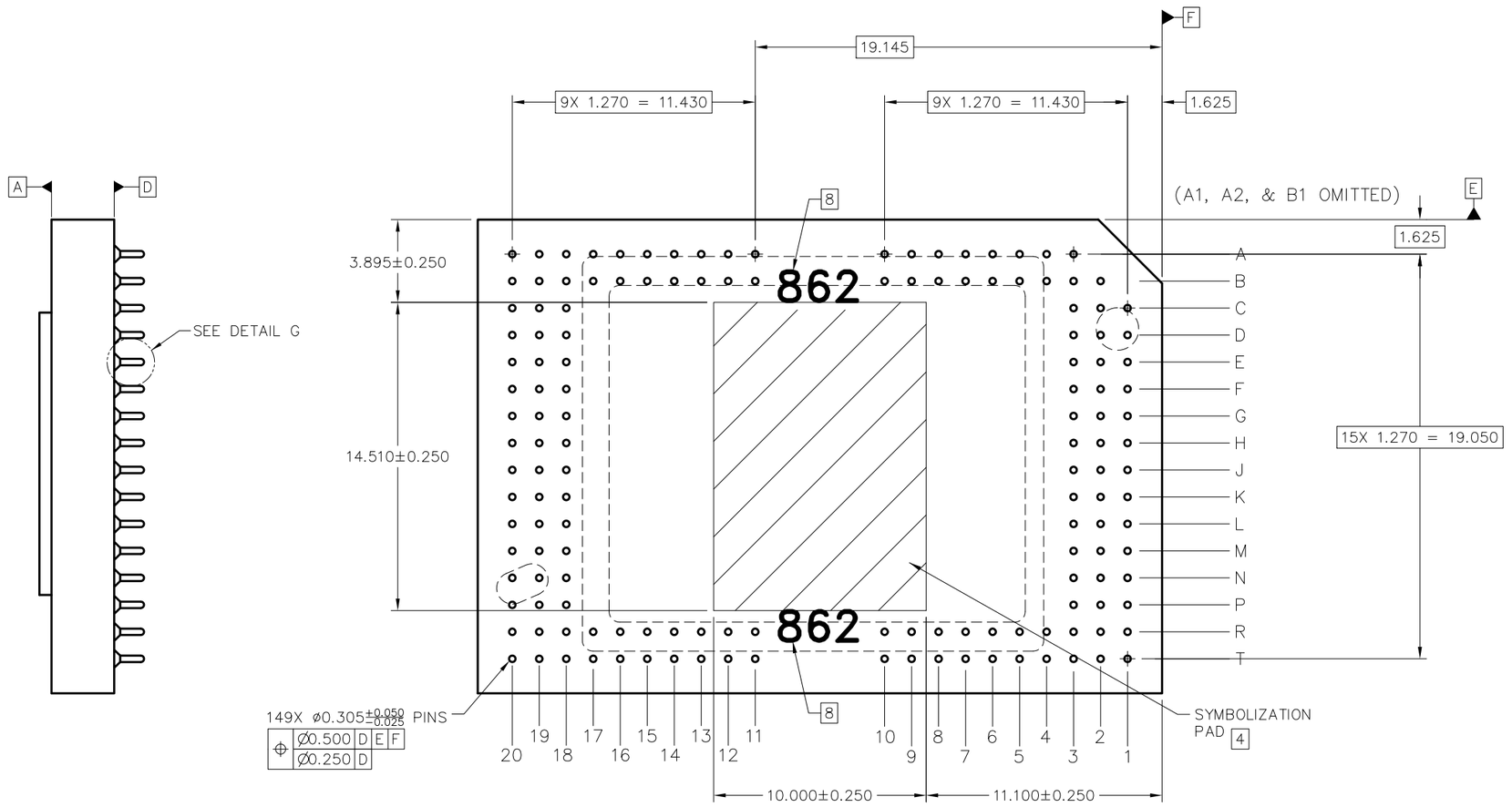
ACED2c



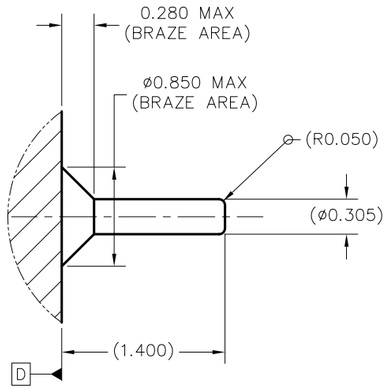
VIEW E (SHEET 1)
DMD WINDOW AND ACTIVE ARRAY
SCALE 12/1

Texas Instruments, Dallas, Texas	DWN	DATE	SIZE D	DRAWING NO 2516609	REV A
	ISSUE DATE		SCALE 4/1	SHEET 3	

ACED2c



VIEW F–F (SHEET 1)
PINS AND SYMBOLIZATION PAD
SCALE 8/1



DETAIL G (149 PLACES)
PIN & BRAZE DIMENSIONS
SCALE 40/1

Texas Instruments, Dallas, Texas	DWN / DATE	SIZE D	DRAWING NO 2516609 REV A
	ISSUE DATE	SCALE 4/1	SHEET 4

ACED2c

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月