DLP550HE 0.55 英寸 SVGA 数字微镜器件

1 特性

- 0.55 英寸对角线微镜阵列
  - SVGA (800 x 600) 阵列
  - 13.68µm 微镜间距
  - ±12° 微镜倾斜角（相对于平面）
  - 设计用于角落照明
- LVDS 输入数据总线
- DLP550HE 芯片组包括:
  - DLP550HE DMD
  - DLPC4420 控制器
  - DLPA100 控制器电源管理和电机驱动器 IC
  - DLPA200 DMD 电源管理 IC

2 应用

- 智能照明
- 企业投影仪
- 教育投影仪

3 说明

TI DLP DLP550HE 数字微镜器件 (DMD) 是一款数控微机电系统 (MEMS) 空间光调制器 (SLM)，可用于实现明亮、经济实惠的 SVGA 显示解决方案。DLP550HE DMD 通过与 DLPC4420 显示控制器、DLPA100 电源和电机驱动器及 DLPA200 DMD 微镜驱动器配合使用，可提供实现高性能系统的能力，是需要 4:3 宽高比、高亮度和系统简单性的显示应用的理想之选。DLP550HE DMD 还可以使用 DLPC4430 作为显示控制器。

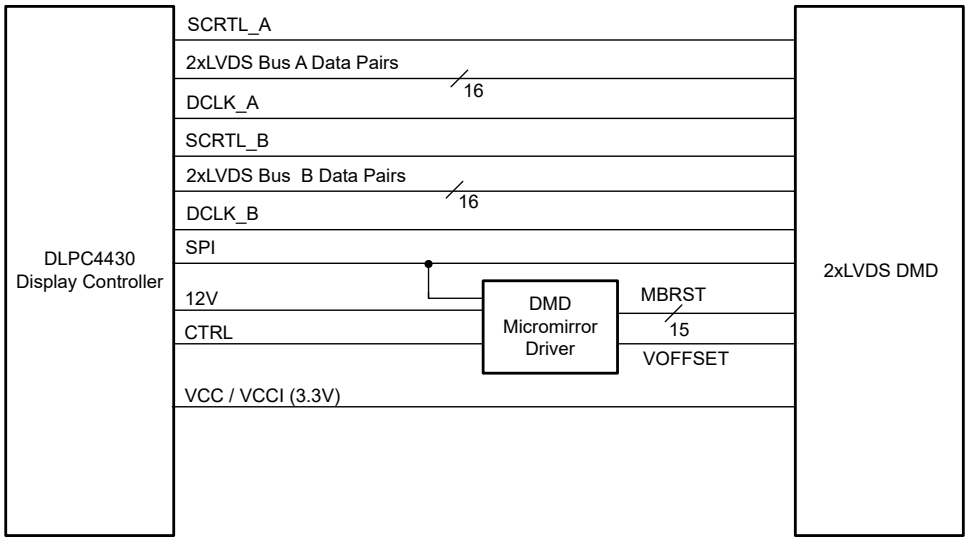
DMD 生态系统提供现成的资源以帮助用户缩短设计周期，请访问 DLP® 产品第三方搜索工具，查找获得批准的光学模块制造商和第三方提供商。

访问 TI DLP 显示技术入门，了解有关使用 DMD 开始设计的更多信息。

器件信息

器件型号	封装(1)	封装尺寸
DLP550HE	FYA (149)	32.20mm × 22.30mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*附录。



DLP550HE 简化版应用

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 8
5.1 绝对最大额定值 8
5.2 存储条件 9
5.3 ESD 等级 9
5.4 建议运行条件 9
5.5 热性能信息 11
5.6 电气特性 11
5.7 建议运行条件下的电容值 12
5.8 时序要求 12
5.9 系统安装接口负载 15
5.10 微镜阵列物理特性 17
5.11 微镜阵列光学特性 19
5.12 窗口特性 20
5.13 芯片组元件使用规格 20
6 详细说明 21
6.1 概述 21
6.2 功能方框图 22
6.3 特性说明 23
6.4 器件功能模式 23
6.5 光学接口和系统图像质量注意事项 23
6.6 微镜阵列温度计算 24
6.7 微镜功率密度计算 25
6.8 微镜着陆开/着陆关占空比 27
7 应用和实施 30
7.1 应用信息 30
7.2 典型应用 30
8 电源相关建议 33
8.1 DMD 电源上电过程 33
8.2 DMD 电源断电过程 33
9 布局 35
9.1 布局指南 35
9.2 布局示例 35
10 器件和文档支持 36
10.1 第三方产品免责声明 36
10.2 器件支持 36
10.3 文档支持 36
10.4 接收文档更新通知 37
10.5 支持资源 37
10.6 商标 37
10.7 静电放电警告 37
10.8 术语表 37
11 修订历史记录 37
12 机械、封装和可订购信息 38

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

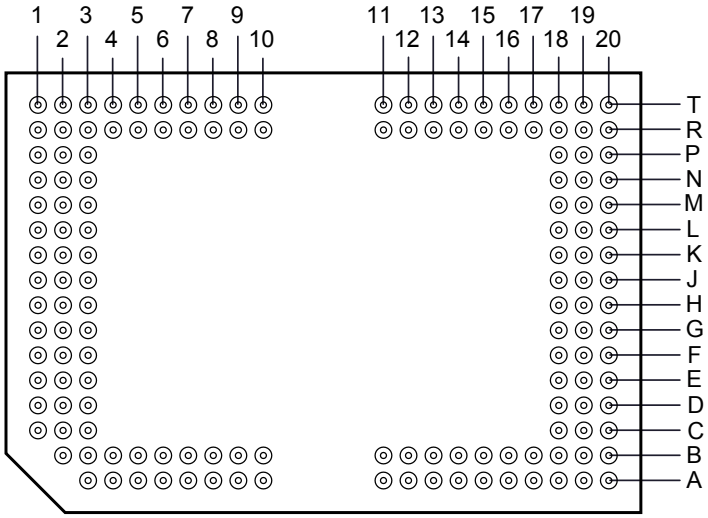


图 4-1. 149 引脚 FYA 封装 底视图

表 4-1. 引脚功能

引脚		网络长度 (mil)	信号	类型[1]	说明
名称	编号				
数据输入					
D_AN(1)	G20	760.78	LVDS	I	数据总线 A 的 LVDS 对
D_AN(3)	H19	760.73			
D_AN(5)	F18	760.73			
D_AN(7)	E18	760.77			
D_AN(9)	C20	760.67			
D_AN(11)	B18	760.68			
D_AN(13)	A20	760.77			
D_AN(15)	B19	760.79			
D_AP(1)	H20	760.86			
D_AP(3)	G19	760.76			
D_AP(5)	G18	760.81			
D_AP(7)	D18	760.81			
D_AP(9)	D20	760.74			
D_AP(11)	A18	760.77			
D_AP(13)	B20	760.77			
D_AP(15)	A19	760.75			

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		网络长度 (mil)	信号	类型(1)	说明
名称	编号				
D_BN(1)	K20	760.72	LVDS	I	数据总线 B 的 LVDS 对
D_BN(3)	J19	760.79			
D_BN(5)	L18	760.77			
D_BN(7)	M18	760.78			
D_BN(9)	P20	760.76			
D_BN(11)	R18	760.78			
D_BN(13)	T20	760.78			
D_BN(15)	R19	760.77			
D_BP(1)	J20	760.8			
D_BP(3)	K19	760.82			
D_BP(5)	K18	760.85			
D_BP(7)	N18	760.81			
D_BP(9)	N20	760.83			
D_BP(11)	T18	760.8			
D_BP(13)	R20	760.72			
D_BP(15)	T19	760.77			
DCLK_AN	D19	760.73		I	数据时钟 A 的 LVDS 对
DCLK_AP	E19	760.8			
DCLK_BN	N19	760.72		I	数据时钟 B 的 LVDS 对
DCLK_BP	M19	760.8			
数据控制输入					
SCTRL_AN	F20	760.78		I	串行控制（同步）A 的 LVDS 对
SCTRL_AP	E20	760.7			
SCTRL_BN	L20	760.83		I	串行控制（同步）B 的 LVDS 对
SCTRL_BP	M20	760.78			

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		网络长度 (mil)	信号	类型[1]	说明
名称	编号				
微镜偏置复位输入					
MBRST(0)	C3			I	非逻辑兼容微镜偏置复位信号。直接连接至像素微镜阵列。用于固定或释放微镜。接合焊盘连接至内部下拉电阻器。
MBRST(1)	D2				
MBRST(2)	D3				
MBRST(3)	E2				
MBRST(4)	G3				
MBRST(5)	E1				
MBRST(6)	G2				
MBRST(7)	G1				
MBRST(8)	N3				
MBRST(9)	M2				
MBRST(10)	M3				
MBRST(11)	L2				
MBRST(12)	J3				
MBRST(13)	L1				
MBRST(14)	J2				
MBRST(15)	J1			NC	未使用的额外引脚。接合焊盘连接至内部下拉电阻器。请勿在 DLP® 系统板上连接。
SCP 控制					
SCPCLK	A8			I	串行通信端口时钟。接合焊盘连接至内部下拉电路。
SCPDI	A5			I	串行通信端口数据。接合焊盘连接至内部下拉电路。
SCPENZ	B7			I	低电平有效串行通信端口使能。接合焊盘连接至内部下拉电路。
SCPDO	A9			O	串行通信端口输出
其他信号					
EVCC	A3			P	请勿在 DLP® 系统板上连接。
MODE_A	A4			I	数据带宽模式选择。接合焊盘连接至内部下拉电路。有关 DLP® 系统板连接信息，请参阅表 4-2。
PWRDNZ	B9			I	低电平有效器件复位。接合焊盘连接至内部下拉电路。
POWER					
V_{CC} [2]	B11、B12、B13、B16、R12、R13、R16、R17			P	低压 CMOS 逻辑的电源。微镜地址电极的正常高电压电源
V_{CCI} [2]	A12、A14、A16、T12、T14、T16			P	低压 CMOS LVDS 接口的电源

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		网络长度 (mil)	信号	类型[1]	说明
名称	编号				
V_{OFFSET} [2]	C1、D1、M1、N1			P	高压 CMOS 逻辑的电源。微镜地址电极的阶跃高电压电源
V_{SS}（接地端）[3]	A6、A11、A13、A15、A17、B4、B5、B8、B14、B15、B17、C2、C18、C19、F1、F2、F19、H1、H2、H3、H18、J18、K1、K2、L19、N2、P18、P19、R4、R9、R14、R15、T7、T13、T15、T17			P	所有电源的公共回路
保留信号					
RESERVED_FC	R7			I	连接至 DLP® 系统板上的 GND。接合焊盘连接至内部下拉电路。
RESERVED_FD	R8			I	连接至 DLP® 系统板上的 GND。接合焊盘连接至内部下拉电路。
RESERVED_PFE	T8			I	连接至 DLP® 系统板上的接地端。接合焊盘连接至内部下拉电路。
RESERVED_STM	B6			I	连接至 DLP® 系统板上的 GND。接合焊盘连接至内部下拉电路。
RESERVED_TP0	R10			I	请勿在 DLP® 系统板上连接。
RESERVED_TP1	T11			I	请勿在 DLP® 系统板上连接。
RESERVED_TP2	R11			I	请勿在 DLP® 系统板上连接。
RESERVED_BA	T10			O	请勿在 DLP® 系统板上连接。
RESERVED_BB	A10			O	请勿在 DLP® 系统板上连接。
RESERVED_RA1	T9			O	请勿在 DLP® 系统板上连接。
RESERVED_RB1	A7			O	请勿在 DLP® 系统板上连接。
RESERVED_TS	B10			O	请勿在 DLP® 系统板上连接。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		网络长度 (mil)	信号	类型(1)	说明
名称	编号				
RESERVED_A(0)	T2			NC	请勿在 DLP® 系统板上连接。
RESERVED_A(1)	T3				
RESERVED_A(2)	R3				
RESERVED_A(3)	T4				
RESERVED_M(0)	R2			NC	请勿在 DLP® 系统板上连接。
RESERVED_M(1)	P1			NC	请勿在 DLP® 系统板上连接。
RESERVED_S(0)	T1			NC	请勿在 DLP® 系统板上连接。
RESERVED_S(1)	R1			NC	请勿在 DLP® 系统板上连接。
RESERVED_IRQZ	T6			NC	请勿在 DLP® 系统板上连接。
RESERVED_OEZ	R5			NC	请勿在 DLP® 系统板上连接。
RESERVED_RSTZ	R6			NC	请勿在 DLP® 系统板上连接。
RESERVED_STR	T5			NC	请勿在 DLP® 系统板上连接。
RESERVED_STR	T5			NC	请勿在 DLP® 系统板上连接。
RESERVED_VB	E3、F3、K3、L3			NC	请勿在 DLP® 系统板上连接。
RESERVED_VR	B2、B3、P2、P3			NC	请勿在 DLP® 系统板上连接。

(1) I = 输入，O = 输出，G = 接地，A = 模拟，P = 电源，NC = 无连接。
(2) 所有 DMD 运行模式所需的电源引脚为 V_{SS}、V_{CC}、V_{CCI} 和 V_{OFFSET}。
(3) 必须连接 V_{SS} 才能使 DMD 正常运行。

表 4-2. 数据总线 LVDS 对与 MODE_A 之间的对应关系

MODE_A	D_A 和 D_B
GND	(1、3、5、7、9、11、13、15)
VCC	(3、7、11、15)

1. 将数据驱动到 DMD 的 DLP® ASIC 通常仅支持表 4-2 中显示的部分模式。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）。(1)

		最小值	MON	最大值	单位
电源电压					
V_{CC}	LVCMOS 内核逻辑的电源电压(2)	-0.5		4	V
V_{CCI}	LVDS 接口的电源电压(2)	-0.5		4	V
V_{OFFSET}	微镜电极和 HVCMOS 电压(2)	-0.5		8	V
V_{MBRST}	MBRST(14:0) 的输入电压(2)	-28		28	V
$\lvert V_{CCI} - V_{CC} \rvert$	电源电压差值（绝对值）(3)			0.3	V
输入电压	所有其他输入引脚的输入电压(2)	-0.5		V_{CC} + 0.3	V
$\lvert V_{ID} \rvert$	输入差分电压（绝对值）(4)			700	mV
时钟					
f_{CLOCK}	LVDS 接口的时钟频率，DCLK_A			230	MHz
f_{CLOCK}	LVDS 接口的时钟频率，DCLK_B			230	MHz
环境					
T_{ARRAY} 和 T_{WINDOW}	工作时的温度(5)	0		90	°C
	未工作时的温度(5)	-40		90	°C
$\lvert T_{DELTA} \rvert$	窗口边沿上的任意点与陶瓷测试点 TP1 之间的绝对温度差值(6)			30	°C
T_{DP}	干燥剂密封袋外的露点标称条件			81	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 所有电压均以公共接地 V_{SS} 为基准。所有 DMD 运行模式都需要 V_{CC}、V_{CCI}、V_{OFFSET} 和 V_{SS} (GND) 电源。

(3) 如果超过 V_{CC} 和 V_{CCI} 之间的建议允许电压差值，则可能导致电流消耗过大。

(4) 当差分对的每个输入处于相同的电压电势时，该最大输入电压额定值适用。LVDS 差分输入不得超过 $\lvert V_{ID} \rvert$ = 700mV，否则可能会导致内部端接电阻器损坏。

(5) 有源阵列的最高温度（可以按照节 6.6 中的说明进行计算）或图 6-1 中定义的窗口边沿上任意点的最高温度。图 6-1 中热测试点 TP2、TP3、TP4 和 TP5 的位置旨在测量最高窗口边沿温度。如果特定应用导致窗口边沿上的另一个点处于较高的温度，则需要使用该点。

(6) 温度差值是陶瓷测试点 1 (TP1) 和窗口边沿上任意位置（如图 6-1 所示）之间的最大差值。图 6-1 中显示的窗口测试点 TP2、TP3、TP4 和 TP5 旨在产生最坏情况下的差值。如果特定应用导致窗口边沿上的另一个点产生更大的温度差值，则需要使用该点。

Copyright © 2025 Texas Instruments Incorporated

5.2 存储条件

适用于作为元件或在系统中不运行的 DMD。

		最小值	最大值	单位
T_{DMD}	DMD 贮存温度	-40	80	°C
T_{DP-AVG}	平均露点温度（非冷凝）(1)		28	°C
T_{DP-ELR}	高露点温度范围（非冷凝）(2)	28	36	°C
CT_{ELR}	高露点温度范围内的累积时间		24	月

(1) 器件不在高露点温度范围内的随时间变化的平均值（包括存储和运行）。
(2) 在存储和运行期间，暴露于高范围内的露点温度需要限制在 CT_{ELR} 的总累积时间以内。

5.3 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	除 MBRST(15:0) 之外的所有引脚	±2000	V
			引脚 MBRST(15:0)	< 250	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）。在该表定义的限值内运行器件时，可实现本数据表中指定的器件的功能性能。在高于或低于这些限值的条件下运行器件时，不暗示任何性能水平。

		最小值	标称值	最大值	单位
电源电压					
V_{CC}	LVCMOS 内核逻辑的电源电压(1)	3.0	3.3	3.6	V
V_{CCI}	LVDS 接口的电源电压(1)	3.0	3.3	3.6	V
V_{OFFSET}	微镜电极和 HVCMOS 电压(1) (2)	7.25	7.5	7.75	V
V_{MBRST}	微镜时钟脉冲电压(1)	-27		26.5	V
$\lvert V_{CCI} - V_{CC} \rvert$	电源电压差值（绝对值）(3)			0.3	V
LVCMOS 接口					
V_{IH}	高电平输入电压	1.7	2.5	V_{CC} + 0.3	V
V_{IL}	低电平输入电压	-0.3		0.7	V
I_{OH}	V_{OH} = 2.4V 时的高电平输出电流			-30	mA
I_{OL}	V_{OL} = 0.4V 时的低电平输出电流			25	mA
t_{PWRDNZ}	PWRDNZ 脉冲宽度(4)	10			ns
SCP 接口					
f_{SCPCLK}	SCP 时钟频率(5)	50		500	kHz
t_{SCP_PD}	传播延迟，时钟到 Q，从 SCPCLK 的上升沿到有效的 SCPDO(6)	0		900	ns
t_{SCP_DS}	SCPDI 时钟建立时间（SCPCLK 下降沿之前）(6)	800			ns
t_{SCP_DH}	SCPDI 保持时间（SCPCLK 下降沿之后）(6)	900			ns
$t_{SCP_NEG_ENZ}$	SCPENZ 的下降沿和 SCPCLK 的上升沿之间的时间(5)	1			us
$_{SCP_POS_ENZ}$	SCPCLK 的下降沿和 SCPENZ 的上升沿之间的时间	1			us
$t_{SCP_OUT_EN}$	SCPENZ 之后 SCP 输出缓冲器恢复（从三态）所需的时间			192/f_{DCLK}	s
$t_{SCP_PW_ENZ}$	SCPENZ 无效脉冲宽度（高电平）	1			1/f_{scpclk}
t_r	上升时间（20% 至 80%）			200	ns
t_f	下降时间（80% 至 20%）			200	ns
LVDS 接口					

Copyright © 2025 Texas Instruments Incorporated

5.4 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。在该表定义的限值内运行器件时，可实现本数据表中指定的器件的功能性能。在高于或低于这些限值的条件下运行器件时，不暗示任何性能水平。

		最小值	标称值	最大值	单位
f_{CLOCK}	LVDS 接口的时钟频率，DCLK_A 和 DCLK_B(7)		200	230	MHz
$\|V_{ID}\|$	输入差分电压（绝对值）(8)	100	400	600	mV
V_{CM}	共模电压(8)		1200		mV
V_{LVDS}	LVDS 电压(8)	0		1900	mV
t_r	上升时间（20% 至 80%）	100		400	ns
t_f	下降时间（80% 至 20%）	100		400	ns
t_{LVDS_RSTZ}	LVDS 接收器从 PWRDNZ 恢复所需的时间			10	ns
Z_{IN}	内部差分端接电阻	95		105	Ω
环境					
T_{ARRAY}	长期工作时的阵列温度(9) (10) (11)	10		40 至 70	°C
	短期工作（最长 500 个小时）时的阵列温度(10) (13)	0		10	°C
T_{WINDOW}	工作时的窗口温度(14)			85	°C
$\|T_{DELTA}\|$	窗口边沿上的任意点与陶瓷测试点 TP1 之间的绝对温度差值(15)			14	°C
T_{DP-AVG}	平均露点温度（非冷凝）(16)			28	°C
T_{DP-ELR}	高露点温度范围（非冷凝）(17)	28		36	°C
CT_{ELR}	高露点温度范围内的累积时间			24	月
固态照明					
ILL_{UV}	波长 < 410nm 时的照明功率(9) (19)			10	mW/cm2
ILL_{VIS}	波长 ≥ 410nm 且 ≤ 800nm 时的照明功率(18) (19)			23.7	W/cm2
ILL_{IR}	波长 > 800nm 时的照明功率(19)			10	mW/cm2
ILL_{BLU}	波长 ≥ 410nm 且 ≤ 475nm 时的照明功率(18) (19)			7.5	W/cm2
ILL_{BLU1}	波长 ≥ 410nm 且 ≤ 440nm 时的照明功率(18) (19)			1.3	W/cm2
灯照明					
ILL_{UV}	波长 < 395 nm 时的照明功率(9) (19)			2.0	mW/cm2
ILL_{VIS}	波长 ≥ 395nm 且 ≤ 800nm 时的照明功率(18) (19)			23.7	W/cm2
ILL_{IR}	波长 > 800nm 时的照明功率(19)			10	mW/cm2

(1) 所有电压均以公共接地 V_{SS} 为基准。DMD 正常运行需要 V_{BIAS}、V_{CC}、V_{OFFSET} 和 V_{RESET} 电源。还必须连接 V_{SS}。
(2) V_{OFFSET} 电源电压瞬态必须处于指定的最大电压范围内。
(3) 为了防止电流过大，电源电压差值 | V_{CCI} – V_{CC} | 必须小于指定的限值。请参阅节 8。
(4) PWRDNZ 输入引脚将 SCP 复位并禁用 LVDS 接收器。PWRDNZ 输入引脚覆盖 SCPENZ 输入引脚并使 SCPDO 输出引脚处于三态。
(5) SCP 时钟是选通时钟。占空比应为 50% ± 10%。SCP 参数与 DCLK 的频率相关。
(6) 请参阅图 5-2。
(7) 请参阅节 5.8 和图 5-6 中的 LVDS 时序要求。
(8) 请参阅图 5-5。
(9) 如果该 DMD 同时暴露于最大温度和 UV 照明（请参阅节 5.4），则会缩短器件寿命。
(10) 阵列温度无法直接测量，必须根据 图 6-1 中所示测试点 1 (TP1) 测得的温度以及封装热阻 节 5.5（使用 节 6.6 中的计算）进行分析计算。
(11) 长期定义为器件的使用寿命。
(12) 根据图 5-1，最大工作阵列温度应根据 DMD 在最终应用中经历的微镜着陆占空比进行降额。有关微镜着陆占空比的定义，请参阅节 6.8。
(13) 短期定义为器件使用寿命期间的累积时间。
(14) 图 6-1 中热测试点 TP2、TP3、TP4 和 TP5 的位置旨在测量最高窗口边沿温度。对于大多数应用，所示位置代表最高窗口边沿温度。如果特定应用导致窗口边沿上的其他点处于更高的温度，则应将测试点添加到这些位置。
(15) 温度差值是陶瓷测试点 1 (TP1) 和窗口边沿上任意位置（如图 6-1 所示）之间的最大差值。图 6-1 中显示的窗口测试点 TP2、TP3、TP4 和 TP5 旨在产生最坏情况下的温度差值。如果特定应用导致窗口边沿上的另一个点产生更大的温度差值，则应使用该点。

Copyright © 2025 Texas Instruments Incorporated

(16) 器件不在“高露点温度范围”内的随时间变化的平均值（包括存储和运行）。
(17) 在存储和运行期间，暴露于高范围内的露点温度应限制在 CT_{ELR} 的总累积时间以内。
(18) 入射到 DMD 上的最大允许光功率受到每个指定波长范围的最大光功率密度以及微镜阵列温度 (T_{ARRAY}) 的限制。
(19) 要进行计算，请参阅节 6.7。

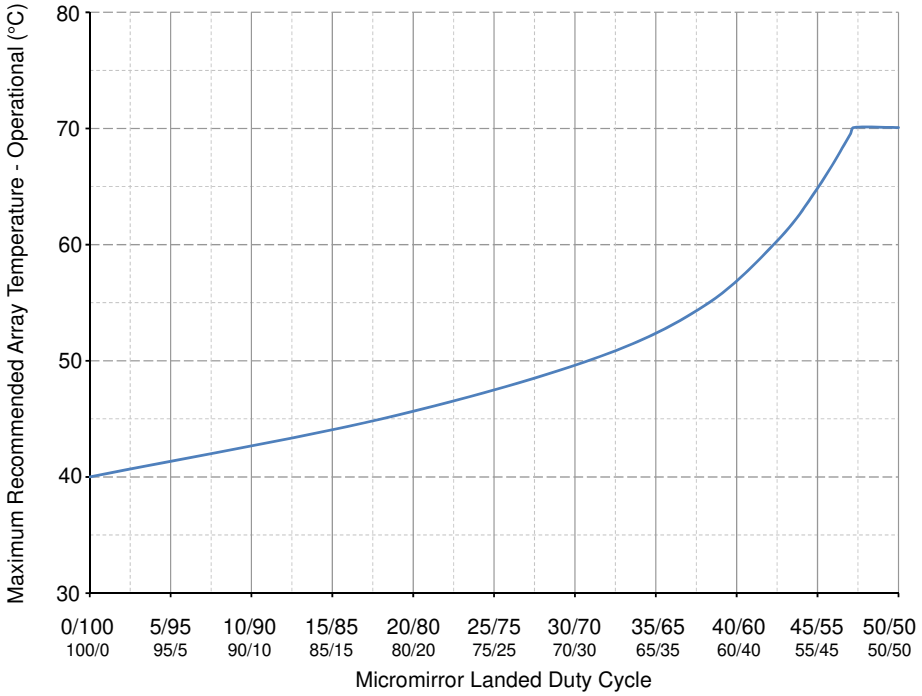


图 5-1. 最大建议阵列温度 - 降额曲线

5.5 热性能信息

热指标	DLP550HE FYA 封装 149 引脚	单位
有源区域至测试点 1 (TP1) 的热阻(1)	0.6	°C/W

(1) 该 DMD 可以将吸收和耗散的热量传导至封装背面。冷却系统必须能够将封装保持在节 5.4 中指定的温度范围内。
该 DMD 上的总热负荷主要由有源区域吸收的入射光驱动，不过可能还会有一部分来自窗口孔隙吸收的光能和阵列的电功率耗散。
建议将光学系统设计为尽量减少处于窗口通光孔径之外的光能，因为该区域的任何额外热负荷都会显著降低器件的可靠性。

5.6 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	V_{CC} = 3V，I_{OH} = –15mA	2.4			V
V_{OL}	低电平输出电压	V_{CC} = 3.6V，I_{OL} = 10mA			0.4	V
I_{OZ}	高阻抗输出电流	V_{CC} = 3.6V			10	µA
I_{IL}	低电平输入电流	V_{CC} = 3.6V，VI = 0			-5	µA
I_{IH}	高电平输入电流 (1)	V_{CC} = 3.6V，VI = V_{CC}			200	µA
I_{CC}	电源电流 VCC (2)	V_{CC} = 3.6V			280	mA
I_{CCI}	电源电流 VCCI (2)	V_{CCI} = 3.6V			235	mA
I_{OFFSET}	电源电流 V_{OFFSET}	V_{OFFSET} = 7.8 V			25	mA

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

参数	测试条件	最小值	典型值	最大值	单位
电源总输入功率				2.28	W

(1) 仅适用于 LVCMOS 引脚。不包括 LVDS 引脚和测试焊盘引脚。
(2) 为了防止电流过大，电源电压差值 $|V_{CCI} - V_{CC}|$ 必须小于节 5.4 中指定的限值。

5.7 建议运行条件下的电容值

在自然通风条件下的工作温度范围内且 f = 1MHz（除非另有说明）

参数		测试条件	最小值	最大值	单位
C_I	输入电容			10	pF
C_O	输出电容			10	pF
C_{IM}	MBRST(14:0) 输入电容	800 x 600 阵列所有输入已互连	160	200	pF

5.8 时序要求

在节 5.4 中所述的条件下（除非另有说明）。

参数说明			信号	最小值	典型值	最大值	单位
LVDS (1)							
t_C	时钟周期	DCLK_A	LVDS	4.34	5		ns
t_C	时钟周期	DCLK_B	LVDS	4.34	5		ns
t_W	脉冲宽度	DCLK_A	LVDS	2.17	2.5		ns
t_W	脉冲宽度	DCLK_B	LVDS	2.17	2.5		ns
t_{SU}	建立时间	D_A(15:0)，DCLK_A 之前	LVDS	0.35			ns
t_{SU}	建立时间	D_A(15:0)，DCLK_B 之前	LVDS	0.35			ns
t_{SU}	建立时间	SCTRL_A，DCLK_A 之前	LVDS	0.35			ns
t_{SU}	建立时间	SCTRL_B，DCLK_B 之前	LVDS	0.35			ns
t_H	保持时间	D_A(15:0)，DCLK_A 之后	LVDS	0.65			ns
t_H	保持时间	D_B(15:0)，DCLK_B 之后	LVDS	0.65			ns
t_H	保持时间	SCTRL_A，DCLK_A 之后	LVDS	0.65			ns
t_H	保持时间	SCTRL_B，DCLK_B 之后	LVDS	0.65			ns
t_{SKEW}	偏斜时间	通道 B 相对于通道 A(2) (3)	LVDS	-1.25		1.25	ns

(1) 有关 LVDS 的时序要求，请参阅图 5-6。
(2) 通道 A（总线 A）包括以下 LVDS 对：DCLK_AN 和 DCLK_AP、SCTRL_AN 和 SCTRL_AP、D_AN(15:0) 和 D_AP(15:0)。
(3) 通道 B（总线 B）包括以下 LVDS 对：DCLK_BN 和 DCLK_BP、SCTRL_BN 和 SCTRL_BP、D_BN(15:0) 和 D_BP(15:0)。

Copyright © 2025 Texas Instruments Incorporated

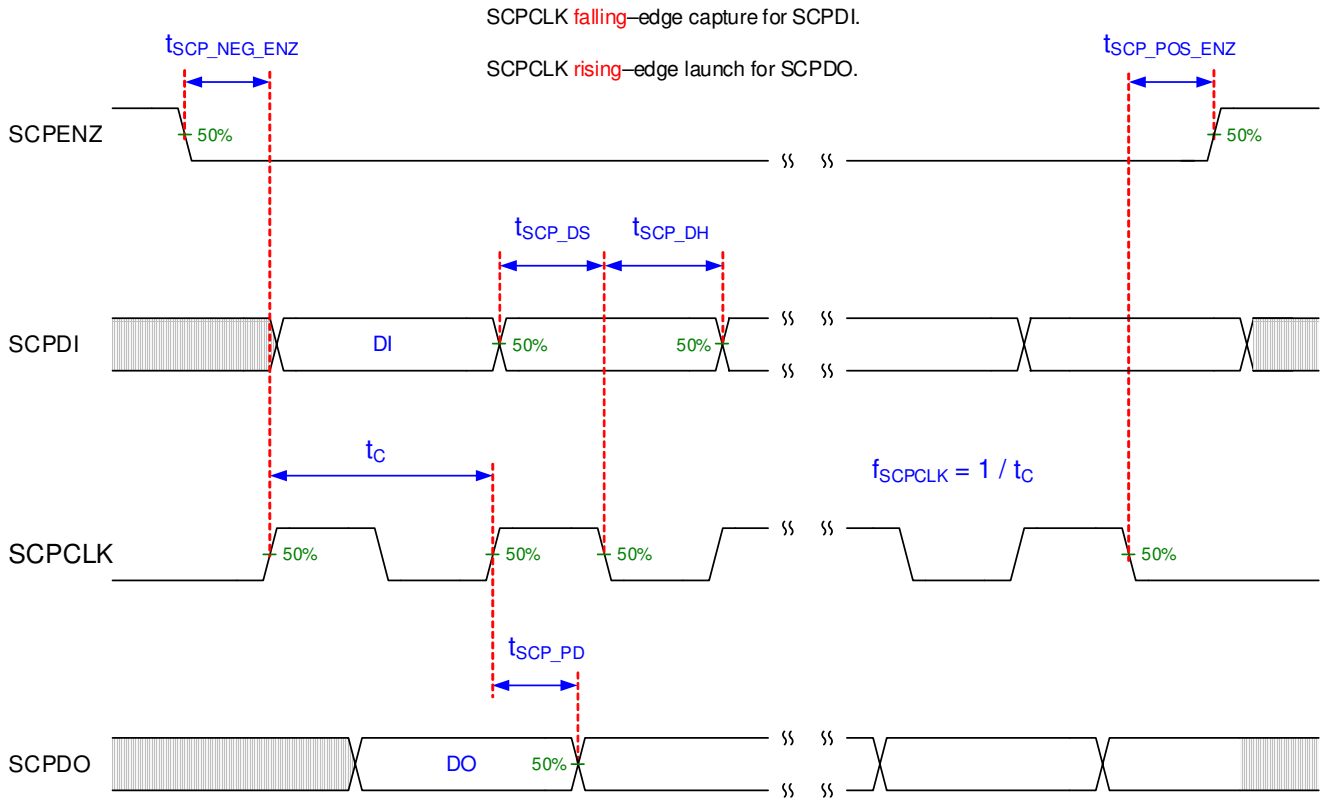
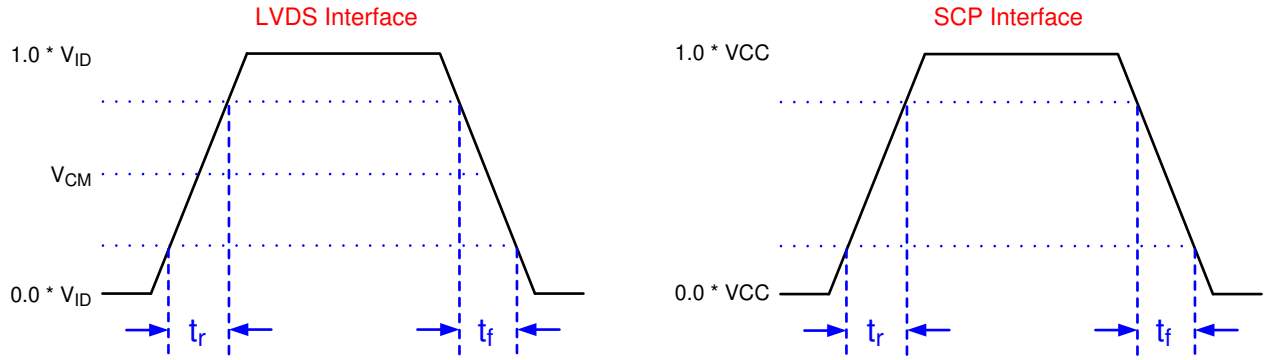


图 5-2. SCP 时序要求

有关 f_{SCPCLK}、t_{SCP_DS}、t_{SCP_DH} 和 t_{SCP_PD} 规格，请参阅节 5.4。

有关 t_r 和 t_f 规格和条件，请参阅节 5.4。



未按比例显示。

请参阅节 5.8。

有关 LVDS 引脚和 SCP 引脚列表，请参阅节 4。

图 5-3. 上升时间和下降时间

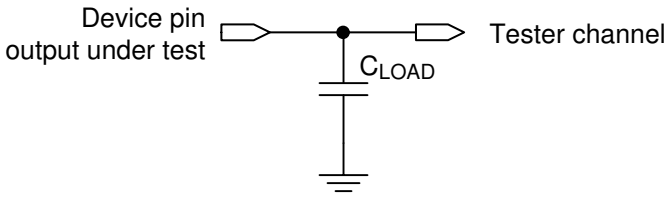


图 5-4. 输出传播测量的测试负载电路

在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。系统设计人员必须使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。请参阅图 5-4。

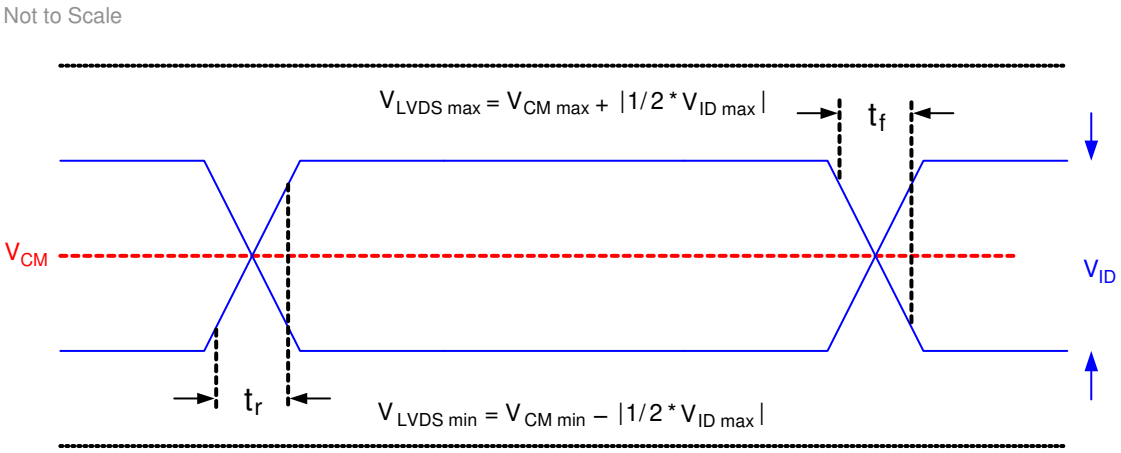


图 5-5. LVDS 波形要求

有关 V_{CM}、V_{ID} 和 V_{LVDS} 规格和条件，请参阅节 5.4。

Copyright © 2025 Texas Instruments Incorporated

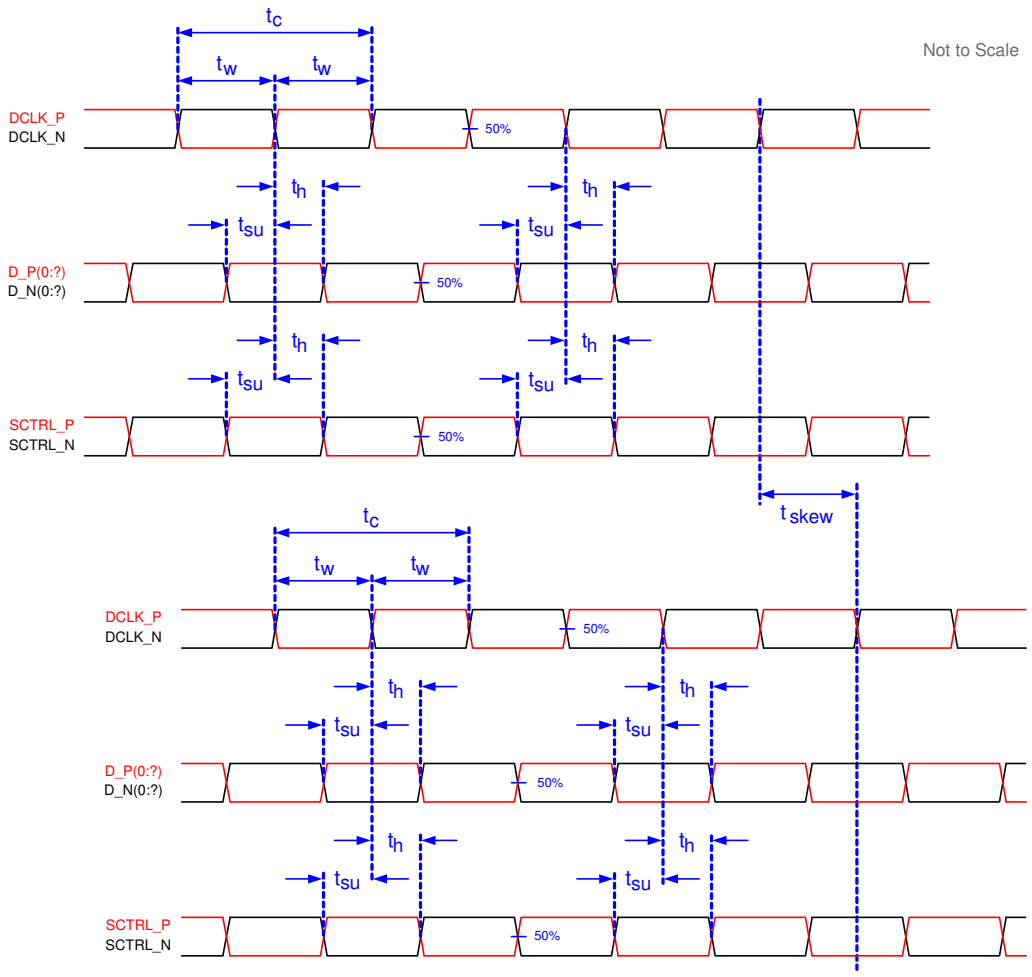


图 5-6. 时序要求

有关时序要求以及定义 D_P(0:x) 和 D_N(0:x) 的每通道（总线）LVDS 对的信息，请参阅节 5.8。

5.9 系统安装接口负载

参数	最小值	典型值	最大值	单位
当向电气接口和热界面区域施加负载时				
要向电气接口区域施加的最大负载(1)			111	N
要向热界面区域施加的最大负载(1)			111	N
当仅向电气接口区域施加负载时				
要向电气接口区域施加的最大负载(1)			222	N
要向热界面区域施加的最大负载(1)			0	N

(1) 在图 5-7 所示的区域内均匀分布

Copyright © 2025 Texas Instruments Incorporated

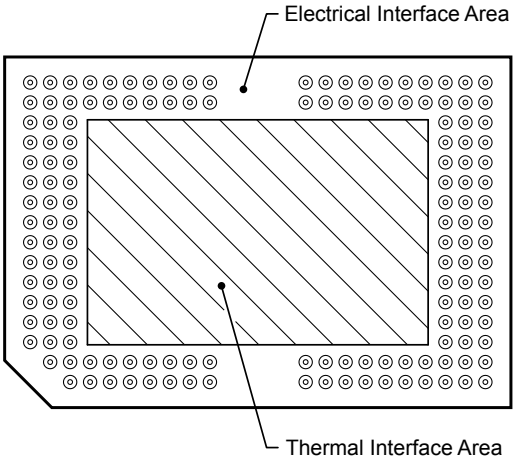


图 5-7. 系统安装接口负载

Copyright © 2025 Texas Instruments Incorporated

5.10 微镜阵列物理特性

表 5-1. 微镜阵列物理特性

参数说明		值	单位
有源列数(1)	M	800	微镜
有源行数(1)	N	600	
微镜（像素）间距 (1)	P	13.68	µm
微镜有源阵列宽度(1)	微镜间距 × 有源列数	10.944	mm
微镜有源阵列高度(1)	微镜间距 × 有源行数	8.208	mm
微镜有源边框尺寸(2)	微镜池 (POM)	6	微镜数/侧

(1) 请参阅图 5-8。
(2) 有源阵列周围边框的结构和质量包括一条称为*微镜池* (POM) 的部分起作用的微镜带。这些微镜在结构上和/或电气上被阻止向亮或“打开”状态倾斜，但仍需要进行电偏置以向“关闭”状态倾斜。

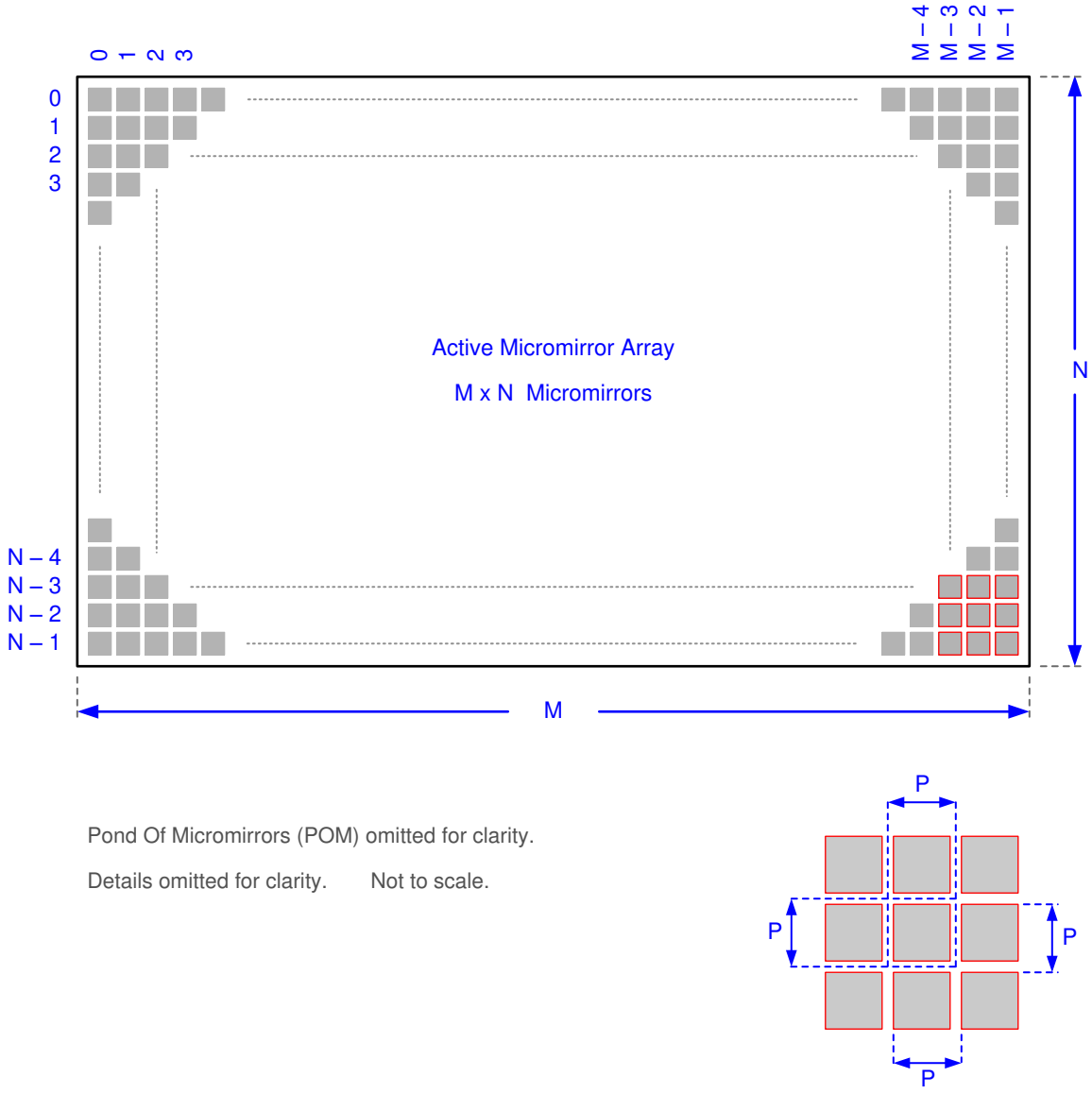


图 5-8. 微镜阵列物理特性

有关 M、N 和 P 规格，请参阅节 5.10 表。

Copyright © 2025 Texas Instruments Incorporated

5.11 微镜阵列光学特性

参数		测试条件	最小值	标称值	最大值	单位
器件之间的微镜倾斜角变化(2) (3) (4) (5)		着陆状态(1)	11	12	13	度
图像性能(6)	工作区域中的亮像素(7)	灰度 10 屏幕(10)			0	微镜
	POM 中的亮像素(7) (9)	灰度 10 屏幕(10)			1	
	工作区域中的暗像素(8)	白色屏幕(11)			3	
	相邻像素(12)	任何屏幕			0	
	有源区域中的不稳定像素(13)	任何屏幕			0	

(1) 相对于整个微镜阵列形成的平面进行测量。
(2) 微镜阵列和封装基准之间存在额外差异。
(3) 这表示位于同一器件上或位于不同器件上的任意两个单独微镜之间可能产生的变化。
(4) 对于某些应用，在整个系统光学设计中考虑微镜倾斜角的变化是至关重要的。对于某些系统光学设计，器件内的微镜倾斜角变化可能会导致从微镜阵列反射的光场出现可察觉的不均匀性。对于某些系统光学设计，器件之间的微镜倾斜角变化可能会导致色度变化、系统效率变化或系统对比度变化。
(5) 请参阅图 图 5-9。
(6) 验收条件。使用以下投影图像测试条件评估所有 DMD 图像性能返回值：
- 测试设置去伽玛校正应该是线性的。
- 测试设置的亮度和对比度应设置为标称值。
- 投影图像的对角线尺寸应至少为 60 英寸。
- 投影屏幕应具有 1 倍的增益。
- 应以至少 8 英尺的观看距离查看投影图像。
- 在所有图像质量测试期间，图像应处于焦点位置。

(7) 亮像素定义：卡在打开位置，明显比周围像素亮的单个像素或微镜。
(8) 暗像素定义：卡在关闭位置，明显比周围像素暗的单个像素或微镜。
(9) POM 定义：工作区域周围处于关闭状态的微镜的矩形边框。
(10) 灰度 10 屏幕定义：RGB 值设置为 R=10/255、G=10/255、B=10/255 的全屏。
(11) 白屏定义：RGB 值设置为 R=255/255、G=255/255、B=255/255 的全屏。
(12) 相邻像素定义：共享公共边界或公共点的两个或多个卡住的像素。也称为集群。
(13) 不稳定像素定义：不按加载到存储器中的参数顺序运行的单个像素或微镜。不稳定像素看起来与图像异步闪烁。

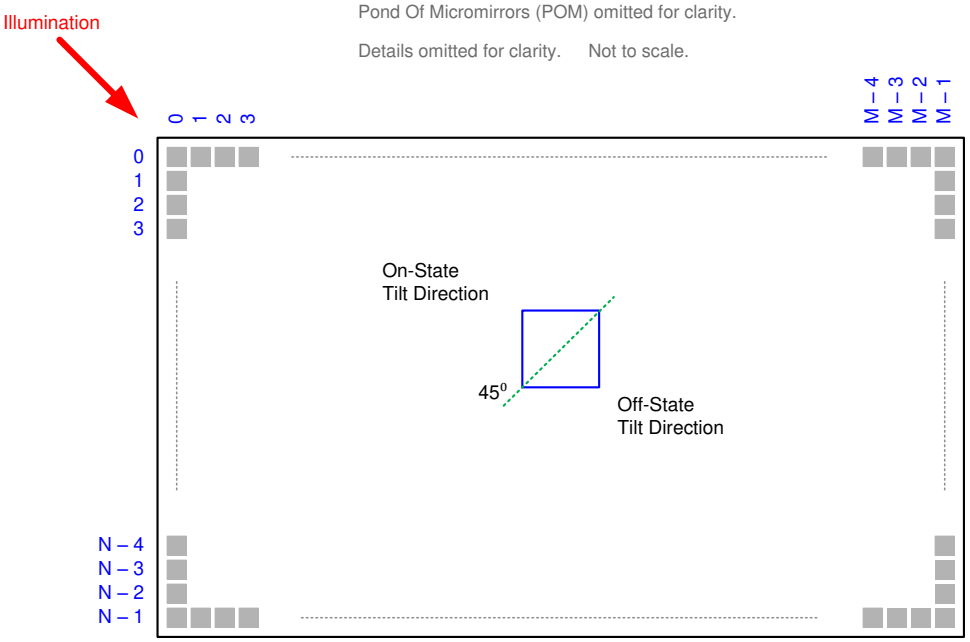


图 5-9. 微镜着陆方向和倾斜

有关 M、N 和 P 规格，请参阅 *节 5.10* 表一节。

5.12 窗口特性

表 5-2. DMD 窗口特性

参数	最小值	标称值
窗口材料		Corning Eagle XG
546.1nm 时的窗口折射率		1.5119
窗口透射率，420 – 680nm 波长范围内的最小值。适用于所有 0° – 30° AOI。(1) (2)	97%	
窗口透射率，420 – 680nm 波长范围内的平均值。适用于所有 30° – 45° AOI。(1) (2)	97%	

(1) 单通，两个表面，玻璃
(2) AOI - 入射角是入射光线与反射或折射表面的法线之间的角度。

5.13 芯片组元件使用规格

DLP550HE DMD 需要与适用 DLP 芯片组的其他元件（包括包含或实现 TI DMD 控制技术的元件）结合使用才能实现可靠运行。TI DMD 控制技术包含用于操作或控制 DLP DMD 的 TI 技术和器件。

备注

TI 对因光学系统工作条件超过上述限制而导致的图像质量伪影或 DMD 故障不承担任何责任。

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

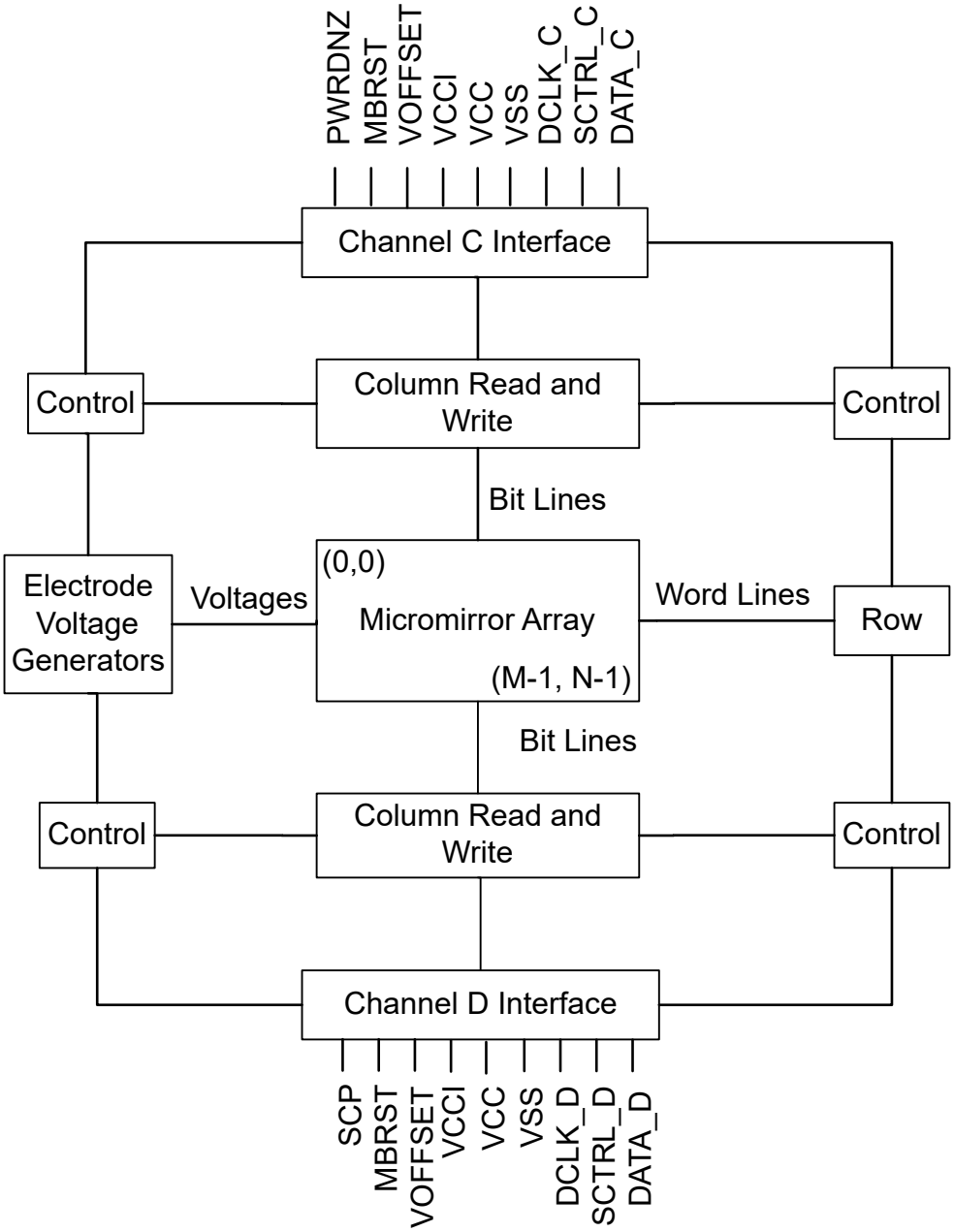
6.1 概述

该 DMD 是一款 0.55 英寸对角线空间光调制器，其中包含一个高反射铝微镜阵列。该 DMD 是一个电子输入、光学输出的微机电系统 (MEMS)。电气接口为低压差分信号 (LVDS)。该 DMD 由 1 位 CMOS 存储单元的二维阵列组成。该阵列排列为 M 个存储单元列乘以 N 个存储单元行的网格。请参阅节 6.2。通过改变底层 CMOS 寻址电路的地址电压和微镜复位信号 (MBRST)，可以单独控制微镜的正偏转角或负偏转角。

DLP550HE DMD 是 DLP550HE DMD、DLPC4420 显示控制器、DLPA100 电源和电机驱动器以及 DLPA200 微镜驱动器所组成的芯片组的一部分。为了确保可靠运行，DLP550HE DMD 必须始终与 DLPC4420 显示控制器、DLPA100 电源和电机驱动器以及 DLPA200 微镜驱动器搭配使用。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图



有关通道 A、B 的引脚详细信息，请参阅节 4 和节 5.8 的“LVDS 接口”部分。

Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 电源接口

该 DMD 需要 3 个直流电压：DMD_P3P3V、V_{OFFSET} 和 MBRST。DMD_P3P3V 由 DLPA100 电源和电机驱动器以及 DLPA200 DMD 微镜驱动器创建。DLPA100 和 DLPA200 均产生 DMD 主电压，并为各种外设（TMP411、I^2C 和 TI 电平转换器）供电。DMD_P3P3V 提供 DMD 所需的 VCC 电压。V_{OFFSET} (8.5V) 和 MBRST 由 DLPA200 生成，提供给 DMD 以控制微镜。

6.3.2 时序

此数据表提供器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。图 5-4 展示了被测输出的等效测试负载电路。时序基准负载不能作为任何特定系统环境的精确表示，也不能描述生产测试所呈现的实际负载。系统设计人员需要使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。所述负载电容值仅用于交流时序信号的表征和测量。该负载电容值并不表示器件能够驱动的最大负载。

6.4 器件功能模式

DMD 功能模式由 DLPC4420 显示控制器控制。请参阅 *DLPC4420 显示控制器数据表* 或联系 TI 应用工程师。

6.5 光学接口和系统图像质量注意事项

TI 对终端设备的光学性能不承担任何责任。要实现所需的终端设备光学性能，需要在众多元件和系统设计参数之间进行权衡。为了优化系统光学性能和图像质量，需要权衡光学系统设计参数。虽然不可能预见到每一个可以想象的应用，但投影仪图像质量和光学性能取决于是否符合以下各节中所述的光学系统工作条件。

6.5.1 数字光圈和杂散光控制

TI 建议由照明光学元件的数值孔径定义的光锥角与由投影光学元件的数值孔径定义的光锥角相同。除非在照明和/或投影光瞳中添加了适当的孔径以阻挡来自投影透镜的平面光和杂散光，否则该角度不得超过标称器件微镜倾斜角。微镜倾斜角定义了 DMD 将“打开”光路与任何其他光路分开的能力，包括来自 DMD 窗口、DMD 边框结构或 DMD 附近其他系统表面（例如棱镜或透镜表面）的不良平面状态镜面反射。如果数值孔径超过微镜倾斜角，或者如果投影数值孔径角比照明数值孔径角大两度以上（反之亦然），则显示器边框和/或有源区域中可能会出现对比度下降和不良的伪影。

6.5.2 光瞳匹配

TI 的光学和图像质量规格假定照明光学元件的出射光瞳标称中心位于投影光学元件的入射光瞳的 2° 范围内。光瞳失准会在显示器的边框和/或有源区域中产生不良伪影，这可能需要额外的系统孔径来控制，尤其是在系统的数值孔径超过像素倾斜角的情况下。

6.5.3 照明溢出

该器件的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙从正常角度遮挡了 DMD 芯片组件的结构，并且其尺寸设计符合多种光学工作条件。照亮窗口孔隙的溢出光会因窗口孔隙开口的边缘和屏幕上可见的其他表面异常而产生伪影。将照明光学系统设计为限制入射到窗口孔隙任何位置的光通量，使其不超过工作区域中平均通量水平的约 10%。根据特定系统的光学架构，溢出光可能必须进一步减少到建议的 10% 水平以下才能被接受。

Copyright © 2025 Texas Instruments Incorporated

6.6 微镜阵列温度计算

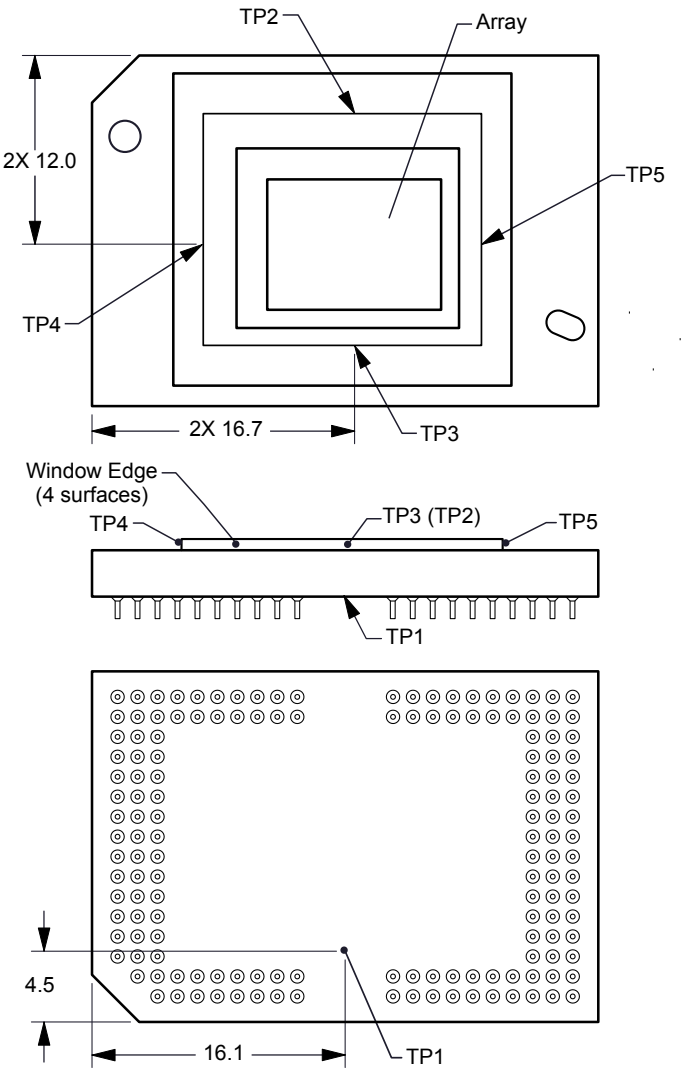


图 6-1. DMD 热测试点

微镜阵列温度无法直接测量，因此必须根据封装外部的测量点、封装热阻、电功率和照明热负荷进行分析计算。以下公式展示了阵列温度与基准陶瓷温度之间的关系，热测试 TP1 图 6-1 已在上述内容中说明：

$$T_{ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{ARRAY\text{-}TO\text{-}CERAMIC})$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATION}$$

其中

- T_{ARRAY} = 计算得出的阵列温度 (°C)
- $T_{CERAMIC}$ = 测得的陶瓷温度 (°C)，TP1 图 6-1
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = *节 5.5* 中指定的阵列至陶瓷 TP1 图 6-1 的封装热阻 (°C/W)。
- Q_{ARRAY} = 阵列 (W) 上的总 DMD 功率（电功率 + 吸收功率）。
- $Q_{ELECTRICAL}$ = 标称电功率 (W)
- $Q_{INCIDENT}$ = 入射照明光功率 (W)

Copyright © 2025 Texas Instruments Incorporated

- $Q_{ILLUMINATION}$ = (DMD 平均热吸收率 × $Q_{INCIDENT}$) (W)
- DMD 平均热吸收率 = 0.45

DMD 的电功率耗散是可变的，取决于电压、数据速率和工作频率。计算阵列温度时使用的标称电功率耗散为 0.8W。从光源吸收的光功率是可变的，具体取决于微镜的工作状态和光源的强度。上面显示的公式对于单芯片或多芯片 DMD 系统有效。它假设有源阵列上的照明分布为 83.7%，阵列边界上的照明分布为 16.3%。

以下是典型投影应用的示例计算：

$Q_{INCIDENT}$ = 25W (measured)

$T_{CERAMIC}$= 55° (measured)

$Q_{ELECTRICAL}$ = 0.8W

Q_{ARRAY} = 0.8W + (0.45 × 25W) = 12.1W

T_{ARRAY} = 55°C + (12.1W × 0.6 C/W) = 62.3°C

6.7 微镜功率密度计算

在计算不同波长带内 DMD 上的照明光功率密度时，会使用在 DMD 上测量的总光功率、照明溢出百分比、有源阵列面积以及所需波长带内的光谱与总光谱光功率的比率。

- $ILL_{UV} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{VIS} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{IR} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{BLU} = [OP_{BLU\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{BLU1} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

其中：

- ILL_{UV} = DMD 上的 UV 照明功率密度 (mW/cm^2)
- ILL_{VIS} = DMD 上的 VIS 照明功率密度 (W/cm^2)
- ILL_{IR} = DMD 上的 IR 照明功率密度 (mW/cm^2)
- ILL_{BLU} = DMD 上的 BLU 照明功率密度 (W/cm^2)
- ILL_{BLU1} = DMD 上的 BLU1 照明功率密度 (W/cm^2)
- A_{ILL} = DMD 上的照明面积 (cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率 (W) (测量值)
- A_{ARRAY} = 阵列面积 (cm^2) (数据表)
- OV_{ILL} = 阵列外部 DMD 上总照度的百分比 (%) (光学模型)
- $OP_{UV\text{-}RATIO}$ = 波长 <410nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{VIS\text{-}RATIO}$ = 波长 ≥410nm 且 ≤800nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{IR\text{-}RATIO}$ = 波长 >800nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{BLU\text{-}RATIO}$ = 波长 ≥410nm 且 ≤475nm 的光功率与照明光谱中总光功率的比率 (光谱测量)

Copyright © 2025 Texas Instruments Incorporated

- $OP_{BLU1\text{-}RATIO}$ = 波长 ≥410nm 且 ≤440nm 的光功率与照明光谱中总光功率的比率（光谱测量）

照明面积因照明溢出而异。DMD 上的总照明面积包括阵列面积和阵列周围的溢出面积。光学模型用于确定阵列外部 DMD 上总照度的百分比 (OV_{ILL}) 和有源阵列上总照度的百分比。根据这些值计算出照明面积 (A_{ILL})。假设整个阵列上的照明是均匀的。

根据测量到的照明光谱，计算出相关波长带内的光功率与总光功率的比率。

计算示例：

$Q_{INCIDENT}$ = 25W (measured)

A_{ARRAY} = (10.9440mm × 8.2080mm) ÷ 100mm^2/cm^2 = 0.8983cm^2 (data sheet)

OV_{ILL} = 16.3% (optical model)

$OP_{UV\text{-}RATIO}$ = 0.00017 (spectral measurement)

$OP_{VIS\text{-}RATIO}$ = 0.99977 (spectral measurement)

$OP_{IR\text{-}RATIO}$ = 0.00006 (spectral measurement)

$OP_{BLU\text{-}RATIO}$ = 0.28100 (spectral measurement)

$OP_{BLU1\text{-}RATIO}$ = 0.03200 (spectral measurement)

A_{ILL} = 0.8983cm^2 ÷ (1 - 0.163) = 1.0732cm^2

ILL_{UV} = [0.00017 × 25W] × 1000mW/W ÷ 1.0732cm^2 = 3.960mW/cm^2

ILL_{VIS} = [0.99977 × 25W] ÷ 1.0732cm^2 = 23.29W/cm^2

ILL_{IR} = [0.00006 × 25W] × 1000mW/W ÷ 1.0732cm^2 = 1.398mW/cm^2

ILL_{BLU} = [0.28100 × 25W] ÷ 1.0732cm^2 = 6.55W/cm^2

ILL_{BLU1} = [0.03200 × 25W] ÷ 1.0732cm^2 = 0.75W/cm^2

Copyright © 2025 Texas Instruments Incorporated

6.8 微镜着陆开/着陆关占空比

6.8.1 微镜着陆开/着陆关占空比的定义

微镜着陆开和着陆关占空比（着陆占空比）表示单个微镜着陆于打开状态的时长（百分比）与同一微镜着陆于关闭状态的时长之比。

例如，100/0 的着陆占空比表示基准像素在 100% 的时间内处于打开状态（在 0% 的时间内处于关闭状态）；而 0/100 表示像素在 100% 的时间内处于关闭状态。同样，50/50 表示像素在 50% 的时间内处于打开状态，在 50% 的时间内处于关闭状态。

请注意，在评估着陆占空比时，从一种状态（打开或关闭）切换到另一种状态（关闭或打开）所花费的时间被认为可以忽略不计，因此被忽略。

由于微镜只能以一种状态或另一种状态（打开或关闭）着陆，因此两个数字（百分比）的总和始终为 100。

6.8.2 DMD 的着陆占空比和使用寿命

了解（最终产品或应用的）长期平均着陆占空比很重要，因为使所有（或部分）DMD 微镜阵列（也称为有源阵列）长时间处于非对称着陆占空比会缩短 DMD 的使用寿命。

请注意，相关的是着陆占空比的对称性/不对称性。着陆占空比的对称性取决于两个数字（百分比）的接近程度。例如，50/50 的着陆占空比是完全对称的，而 100/0 或 0/100 的着陆占空比是完全不对称的。

6.8.3 着陆占空比和运行 DMD 温度

DMD 工作时的温度和着陆占空比会相互作用，从而影响 DMD 的使用寿命，我们可以利用这种相互作用来减少非对称着陆占空比对 DMD 使用寿命的影响。这在降额曲线中进行了量化。该曲线的重要性在于：

- 该曲线上的所有点均表示相同的使用寿命。
- 该曲线上方的所有点均表示较短的使用寿命较低（离曲线越远，使用寿命越短）。
- 该曲线下方的所有点均表示较长的使用寿命（离曲线越远，使用寿命越长）。

实际上，该曲线指定了给定长期平均着陆占空比下的最高 DMD 工作温度。

Copyright © 2025 Texas Instruments Incorporated

6.8.4 估算产品或应用的长期平均着陆占空比

在给定的时间段内，给定像素的着陆占空比取决于该像素显示的图像内容。

例如，在最简单的情况下，当在给定时间段内在给定像素上显示纯白色时，该像素在该时间段内的着陆占空比将为 100/0。同样，当显示纯黑色时，该像素的着陆占空比将为 0/100。

在两个极端之间（暂时忽略可能对传入图像应用的颜色和任何图像处理），着陆占空比与灰度值一一对应，如表 6-1 中所示。

表 6-1. 灰度值和着陆占空比

灰度值	着陆占空比
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

要考虑色彩再现（但仍忽略图像处理），需要了解给定像素的每种构成原色（红色、绿色和/或蓝色）的颜色强度（0% 至 100%）以及每种原色的颜色周期时间，其中“颜色周期时间”是必须显示某种给定原色以实现所需白点的帧时间的总百分比。

在给定的时间段内，可以通过以下公式来计算给定像素的着陆占空比：

- Landed Duty Cycle = (Red_Cycle_% × Red_Scale_Value) + (Green_Cycle_% × Green_Scale_Value) + (Blue_Cycle_% × Blue_Scale_Value)

其中

- Red_Cycle_%、Green_Cycle_% 和 Blue_Cycle_%（分别）表示显示红色、绿色和蓝色以实现所需白点的帧时间百分比。(1)

例如，假设红色、绿色和蓝色周期时间分别为 50%、20% 和 30%（以实现所需的白点），那么各种红色、绿色和蓝色强度组合的着陆占空比将如表 6-2 和表 6-3 所示。

表 6-2. 全色的着陆占空比示例，颜色百分比

红色占空比	绿色占空比	蓝色占空比
50%	20%	30%

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 全色的着陆占空比示例

红色标度	绿色标度	蓝色标度	着陆占空比
0%	0%	0%	0/100
100%	0%	0%	50/50
0%	100%	0%	20/80
0%	0%	100%	30/70
12%	0%	0%	6/94
0%	35%	0%	7/93
0%	0%	60%	18/82
100%	100%	0%	70/30
0%	100%	100%	50/50
100%	0%	100%	80/20
12%	35%	0%	13/87
0%	35%	60%	25/75
12%	0%	60%	24/76
100%	100%	100%	100/0

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

德州仪器 (TI) 的 DLP 技术是一种利用数字微镜器件 (DMD) 来调制光的微机电系统 (MEMS) 技术。该 DMD 是一款空间光调制器，可将来自照明源的入射光反射到两个方向之一，即朝向投影光学元件或收集光学元件。大尺寸微镜阵列和陶瓷封装可以为明亮显示应用提供出色的热性能。使用 DLP550HE 的典型应用包括智能照明、教育投影仪和商务投影仪。

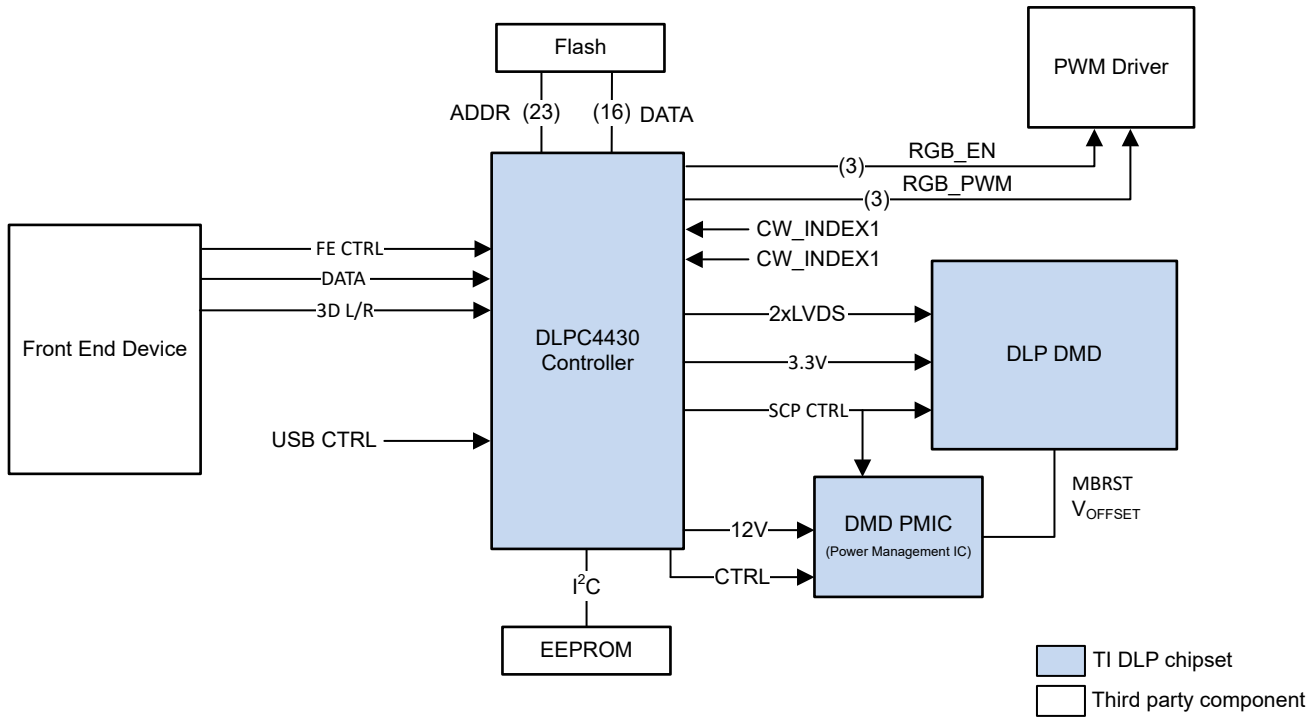
以下可订购产品已被 DLP550HE 取代：

器件信息

器件型号	封装	封装 尺寸	机械 ICD
DLP550HET	FYA (149)	32.20mm × 22.30mm	2512649
8060-643AB	FYA (149)	32.20mm × 22.30mm	2512649

7.2 典型应用

DLP550HE DMD 与 DLPC4420（或 DLPC4430）数字控制器、DLPA100 电源管理器件和 DLPA200 微镜驱动器相结合，可为明亮、多彩的显示应用提供 SVGA 分辨率。图 7-1 展示了使用 DLP550HE 和其他系统元件的典型显示系统。



Copyright © 2025 Texas Instruments Incorporated

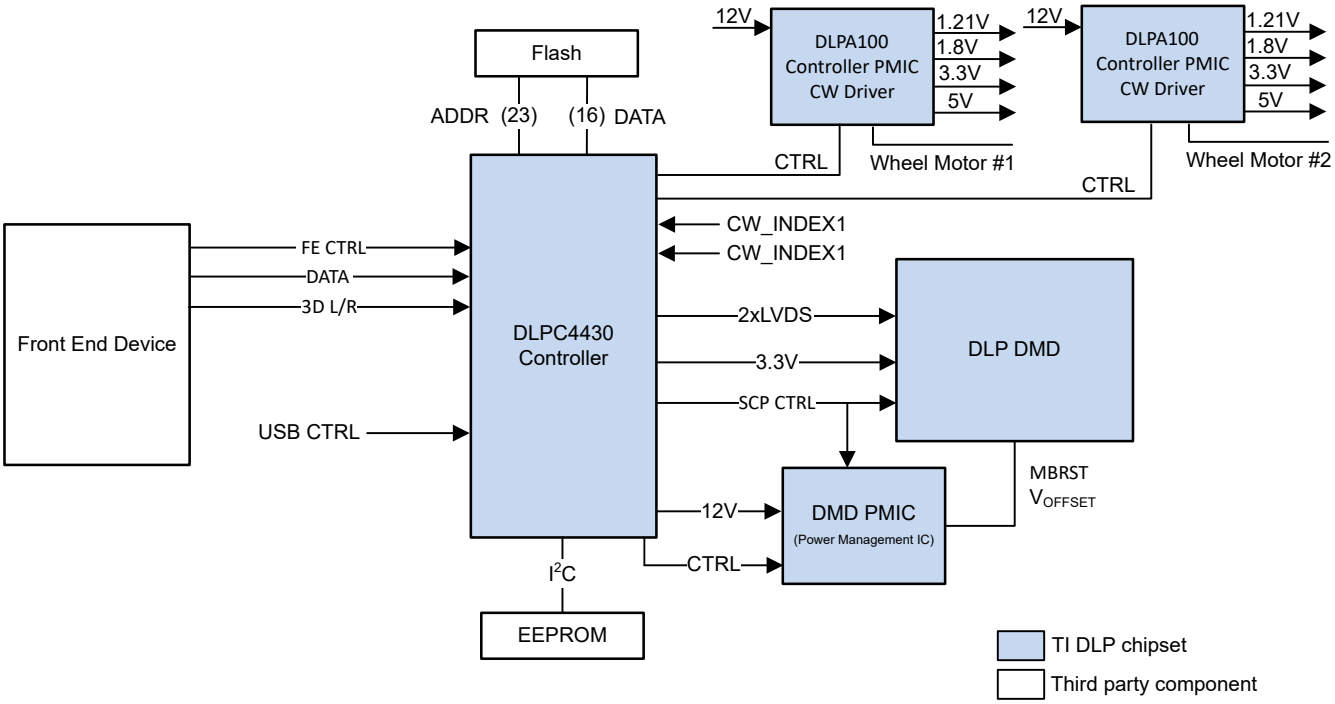


图 7-1. 典型的 DLPC4430 应用（LED — 顶部，LPCW — 底部）

7.2.1 设计要求

DLP 0.55 英寸 SVGA 芯片组创建了一个强大的投影系统。该芯片组包括 DLP550HE、DLPC4420、DLPA100 和 DLPA200。DLP550HE 用作显示系统中的核心成像器件，包含一个 0.55 英寸微镜阵列。DLPC4420 控制器是 DMD 与系统其他部分之间的数字接口。该控制器通过从前端接收器获取转换后的源数据并通过高速接口将其传输到 DMD 来驱动 DMD。DLPA100 电源管理器件为控制器和色轮电机控制提供稳压器。DLPA200 提供电源和时序来驱动 DLP550HE。为了确保可靠运行，DLP550HE DMD 必须始终与 DLPC4420 显示控制器、DLPA100 PMIC 驱动器和 DLPA200 DMD 微镜驱动器搭配使用。

显示系统的其他核心元件包括光源、照明和投影光学元件的光学引擎、其他电气元件和机械部件以及软件。光源选项包括灯、LED、激光或激光荧光。使用的照明类型和所需的亮度将对整个系统设计和尺寸产生重大影响。

7.2.2 详细设计过程

如需 DLPC4420 显示控制器和 DLP550HE DMD 连接帮助，请参阅参考设计原理图。对于完整的 DLP 系统，需要包含 DLP550HE DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。光学模块通常由专门为 DLP 投影仪设计光学元件的光学 OMM（光学模块制造商）提供。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线

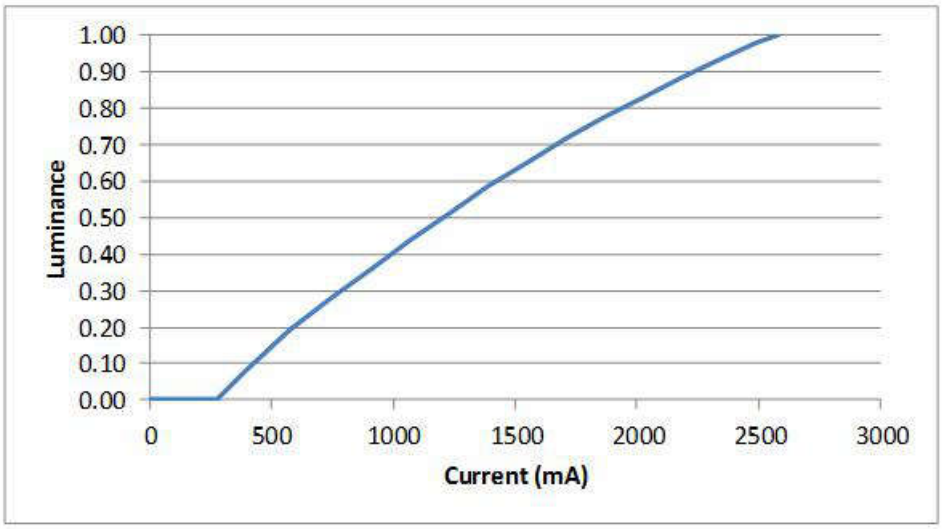


图 7-2. 亮度与电流之间的关系

Copyright © 2025 Texas Instruments Incorporated

8 电源相关建议

运行 DMD 需要以下所有电源：V_{CC}、V_{CCI} 和 V_{OFFSET}。还必须连接 V_{SS}。DMD 上电和断电时序由 DLP® 显示控制器严格控制。

备注

为了确保 DMD 可靠运行，必须遵循以下电源时序要求。如果不遵循规定的上电和下电程序，则可能会影响器件的可靠性。在上电和断电操作期间，V_{CC}、V_{CCI} 和 V_{OFFSET} 电源必须进行协调。还必须连接 V_{SS}。如果未满足以下任何要求，则会导致 DMD 的可靠性和寿命显著降低。请参阅图 8-1。

8.1 DMD 电源上电过程

- 在上电期间，V_{CC} 和 V_{CCI} 必须始终在向 DMD 施加 V_{OFFSET} 之前启动并稳定。
- 上电期间的电源转换率是灵活的，前提是瞬变电压电平符合节 5.1 和节 5.4 中列出的要求。
- 上电期间，只有在 V_{CC} 和 V_{CCI} 稳定至节 5.4 表中列出的工作电压后，LVCMOS 输入引脚才能被驱动为高电平。

8.2 DMD 电源断电过程

- 在断电期间，必须提供 V_{CC} 和 V_{CCI}，直到 V_{OFFSET} 放电至处于指定的接地限制范围内。请参阅 节 5.4。
- 断电期间的电源压摆率是灵活的，前提是瞬态电压电平符合节 5.1 和节 5.4 中列出的要求。在断电期间，LVCMOS 输入引脚电压必须小于节 5.4 中指定的值。

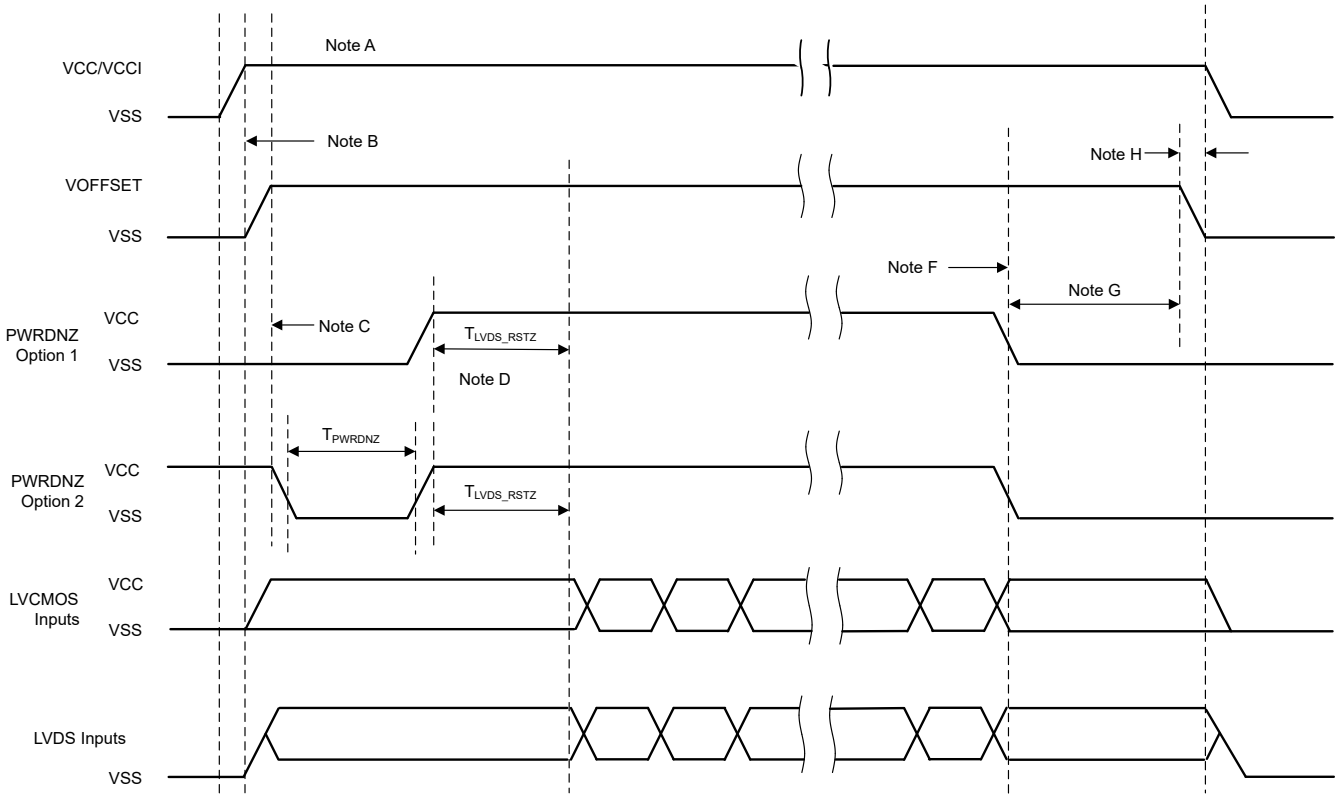


图 8-1. 电源时序

A. 有关引脚功能，请参阅*引脚配置和功能*。

B. 在 V_{OFFSET} 上电之前，V_{CC} 必须已上电并保持稳定。

C. PWRDNZ 有两个打开选项。选项 1：直到 V_{CC} 和 V_{OFFSET} 上电并保持稳定后 PWRDNZ 才变为高电平，或选项 2：PWRDNZ 必须输出低电平脉冲并持续 T_{PWRDNZ}，或在 V_{CC} 和 V_{OFFSET} 上电并保持稳定后至少 10ns。

Copyright © 2025 Texas Instruments Incorporated

D. 至少经过 T_{LVDS_ARSTZ} 或 2 µs PWRDNZ 变为高电平产生的等待时间后，LVDS 接收器才能恢复。
E. DMD 微镜停放序列完成后，DLP 控制器软件启动硬件断电，从而激活 PWRDNZ 并禁用 V_{OFFSET}。
F. 在断电情况下，DLP 控制器硬件执行紧急 DMD 微镜停放程序，PWRDNZ 变为低电平。
G. V_{CC} 必须保持高电平，直到 V_{OFFSET} 变为低电平。
H. 为了防止电流过大，电源电压差值 $|V_{CCI} - V_{CC}|$ 必须小于节 5.4 中指定的限值。

Copyright © 2025 Texas Instruments Incorporated

9 布局

9.1 布局指南

DLP550HE DMD 是由 DLPC4420 显示控制器以及 DLPA100 电源和电机驱动器共同控制的芯片组的一部分。这些指南旨在帮助设计采用 DLP550HE DMD 的 PCB 板。DLP550HE DMD 板是一款高速多层 PCB，主要采用高速数字逻辑，为 DMD LVDS 信号提供高达约 400MHz 的双边沿时钟速率。其余的引线由低速数字 LVTTL 信号组成。TI 建议将微型电源平面用于 VOFFSET 和 MBRST[0:15]。需要为 DMD_P3P3V(3.3 V) 和接地使用实心平面。PCB 的目标阻抗为 50Ω ±10%，LVDS 引线为 100Ω ±10% 差分。TI 建议使用表 9-1 中所述的 8 层堆叠。

9.2 布局示例

9.2.1 层

表 9-1 展示了每层的层堆叠和覆铜重量。如有必要，允许信号路由层上的小子平面将元件连接到顶层/底层的主要子平面。

表 9-1. 层堆叠

层编号	层名称	覆铜重量	注释
1	A 侧 - 仅 DMD	1.5oz.	DMD、迂回、低频率信号、电源子平面
2	接地	1oz.	实心接地平面（网络 GND）
3	信号	0.5oz.	50Ω 和 100Ω 差动信号
4	接地	1oz.	实心接地平面（网络 GND）
5	DMD_P3P3V	1oz.	+3.3V 电源平面（网络 DMD_P3P3V）
6	信号	0.5oz.	50Ω 和 100Ω 差动信号
7	接地	1oz.	实心接地平面（网络 GND）
8	B 侧 — 所有其他元件	1.5oz.	分立式元件、低频率信号、电源子平面

9.2.2 阻抗要求

对所有信号，TI 建议电路板具有 50Ω ±10% 的匹配阻抗。特殊阻抗要求中列出了例外情况。

表 9-2. 特殊阻抗要求

信号类型	信号名称	阻抗 (Ω)
A 通道 LVDS 差分对	D_AP(0:15)、D_AN(0:15)	每个对具有 100 ±10% 的差值
	DCLK_AP、DCLK_AN	
	SCTRL_AP、SCTRL_AN	
B 通道 LVDS 差分对	D_BP(0:15)、D_BN(0:15)	每个对具有 100 ±10% 的差值
	DCLK_BP、DCLK_BN	
	SCTRL_BP、SCTRL_BN	

9.2.3 布线宽度、间距

除非另有说明，否则 TI 建议所有信号都遵循 0.005 英寸/0.005 英寸设计规则。与 PWB 周围接地环之间的最小布线间隙为 0.10 英寸。实际布线宽度和间隙将根据阻抗和叠层要求分析来确定。

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 器件支持

10.2.1 器件命名规则

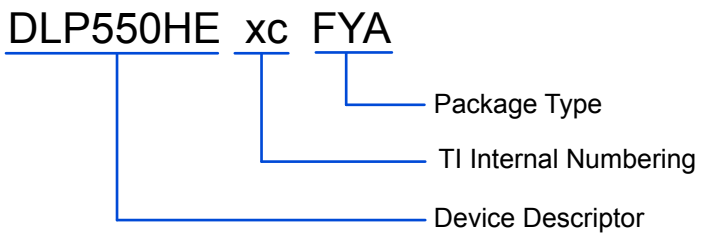


图 10-1. 器件型号说明

10.2.2 器件标识

器件标识将包括可读信息和一个二维矩阵码。图 10-2 展示了人类可读信息。二维矩阵码是一个字母数字字符串，其中包含 DMD 器件型号、序列号的第 1 部分和序列号的第 2 部分。

示例：DLP550HEA0FYA

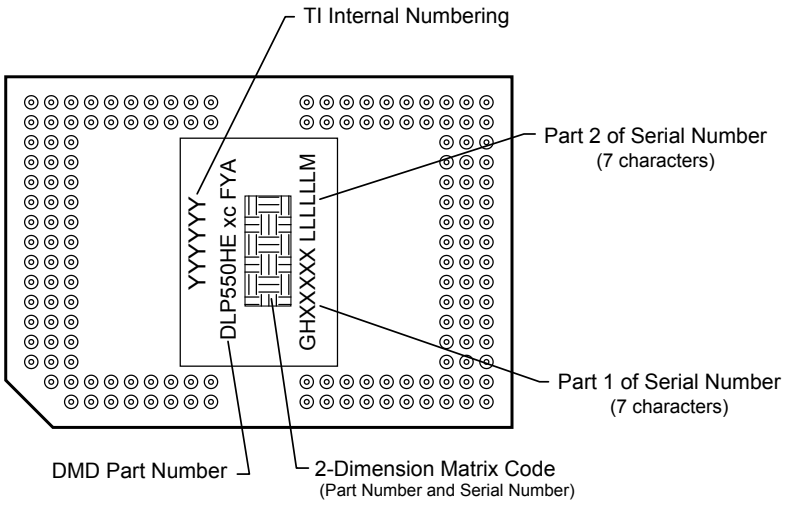


图 10-2. DMD 标记位置

10.3 文档支持

10.3.1 相关文档

以下文档包含与和 DLP550HE 一起使用的芯片组元件相关的更多信息：

- *DLPC4430 显示控制器数据表*
- *DLPC4420 显示控制器数据表*
- *DLPA100 电源和电机驱动器数据表*

Copyright © 2025 Texas Instruments Incorporated

- *DLPA200 电源和电机驱动器数据表*

10.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.6 商标

TI E2E™ is a trademark of Texas Instruments.
DLP® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2023) to Revision A (January 2025)	Page
• 通篇将主控制器更新为 DLPC4420。添加了指向 DLP550HE DMD 的链接。	1
• 添加了 DLPC4420 作为支持的显示控制器	1
• 添加了 DLP 产品第三方搜索工具链接，以及 TI DLP 显示技术入门链接	1
• 向“建议运行条件”表中添加了“固态照明”和“灯照明”部分。	9
• 扩展并更新了“微镜阵列光学特性”表	19
• 更改了微镜阵列温度计算	24
• 更新了 *DMD 热测试点* 图示	24
• 添加了“微镜功率密度计算”一节。	25

Copyright © 2025 Texas Instruments Incorporated

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP550HEA0FYA	Active	Production	CPGA (FYA) | 149	33 | JEDEC TRAY (5+1)	Yes	NIPDAU	N/A for Pkg Type	0 to 70	
DLP550HEA0FYA.B	Active	Production	CPGA (FYA) | 149	33 | JEDEC TRAY (5+1)	Yes	NIPDAU	N/A for Pkg Type	0 to 70	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

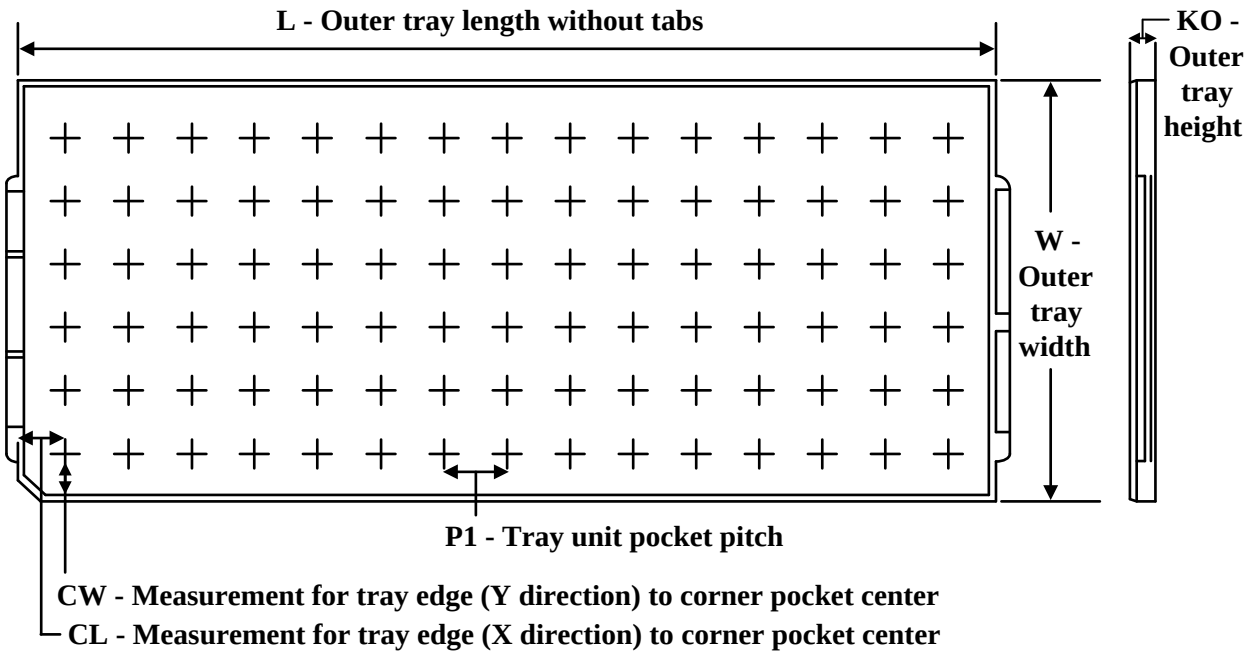
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DLP550HEA0FYA	FYA	CPGA	149	33	3 x 11	150	315	135.9	12190	27.5	20	27.45
DLP550HEA0FYA.B	FYA	CPGA	149	33	3 x 11	150	315	135.9	12190	27.5	20	27.45

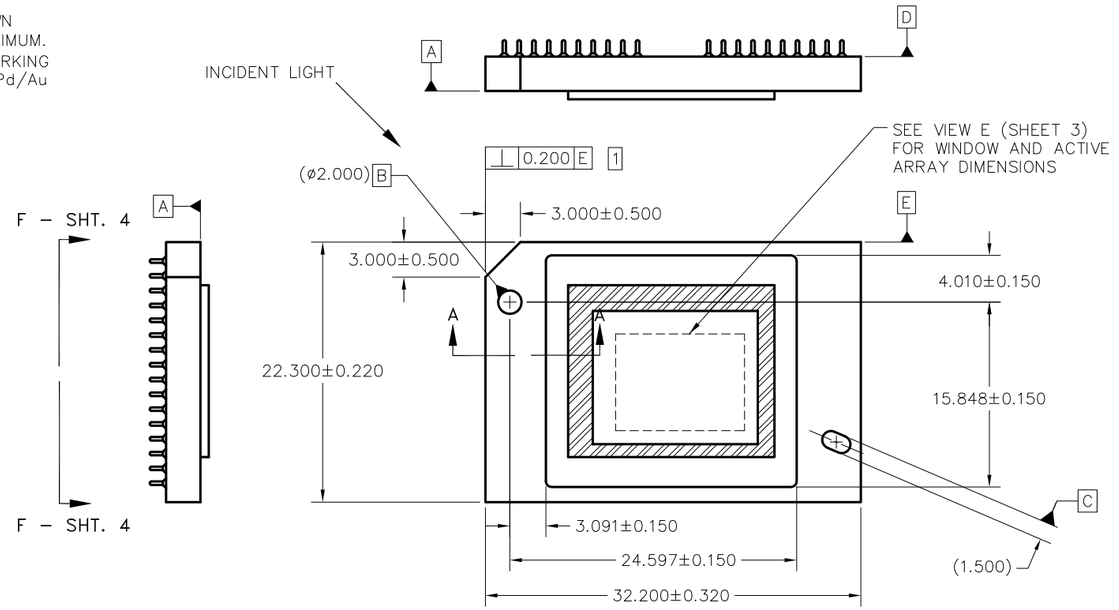
© COPYRIGHT 2012 TEXAS INSTRUMENTS UN-PUBLISHED, ALL RIGHTS RESERVED.

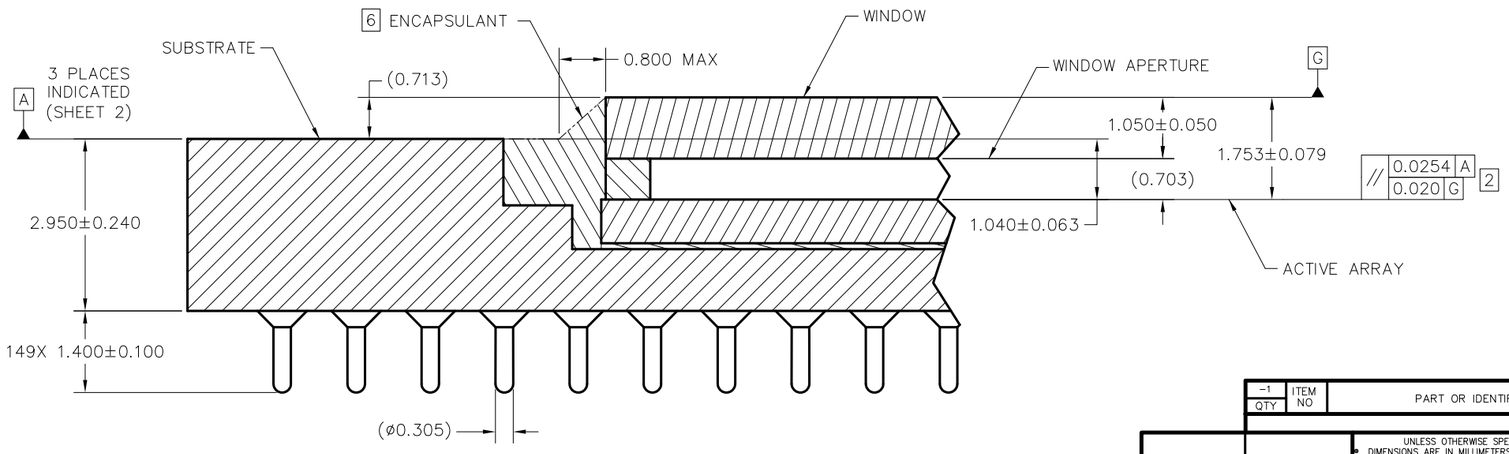
REVISIONS

REV	DESCRIPTION	DATE	APPROVED
A	ECO 2121693, INITIAL RELEASE	01/17/2012	F. ARMSTRONG
B	ECO 2123271, CHG TO LARGE SYMBOLIZATION PAD	03/16/2012	F. ARMSTRONG
C	ECO 2135103, ADD NOTE 8 TO SHEETS 1 & 4	08/02/2013	F. ARMSTRONG
D	ECO 2168422, ADD FYA PACKAGE TO TITLE	08/17/17	M. AVERY

NOTES: UNLESS OTHERWISE SPECIFIED:

1. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE
2. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY
3. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.8 DEGREES
4. SUBSTRATE SYMBOLIZATION PAD, AND PLATING AT BOTTOM OF DATUMS B AND C HOLES TO BE ELECTRICALLY CONNECTED TO VSS PLANE WITHIN THE SUBSTRATE
5. BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE AREA
6. MAXIMUM ENCAPSULANT PROFILE SHOWN
7. ENCAPSULANT ALLOWED ON THE SURFACE OF THE CERAMIC IN THE AREA SHOWN IN VIEW B (SHEET 2). ENCAPSULANT SHALL NOT EXCEED 0.200 THICKNESS MAXIMUM.
8. SUBSTRATES PLATED WITH Ni/Au SHALL HAVE THE THREE-DIGIT NUMERICAL MARKING IN THE AREA ABOVE THE SYMBOLIZATION PAD. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE MARKING IN THE AREA BELOW THE SYMBOLIZATION PAD.





SECTION A–A
SCALE 20/1

PARTS LIST

ITEM NO	QTY	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES
-1				

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES: ANGLES ± 1°
  2 PLACE DECIMALS ±0.25
  3 PLACE DECIMALS ±0.50
- REMOVE ALL BURRS AND SHARP EDGES
- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5-1994
- DIMENSIONAL LIMITS APPLY BEFORE PROCESSES
- PARENTHETICAL INFO FOR REF ONLY

		DATE
DWN F. ARMSTRONG		01/17/12
ENGR F. ARMSTRONG		01/17/12
QA P. KONRAD		01/19/12
CQE M. DORAK		01/19/12

THIRD ANGLE PROJECTION

NEXT ASSY	USED ON
NONE	0314DA

APPLICATION

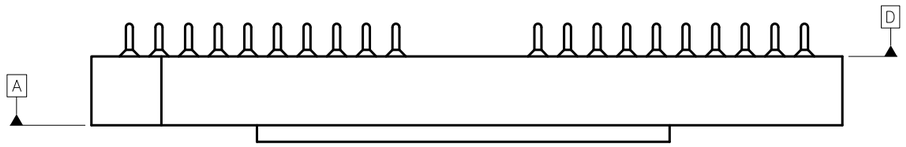
TEXAS INSTRUMENTS
Dallas, Texas

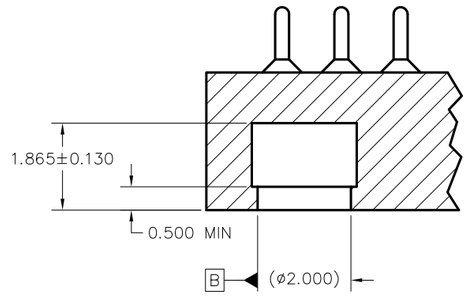
ICD, MECHANICAL, DMD
.55" XGA 2xLVDS V2 SERIES 450
(FYA PACKAGE)

SIZE	DRAWING NO	REV
B	2512194	D

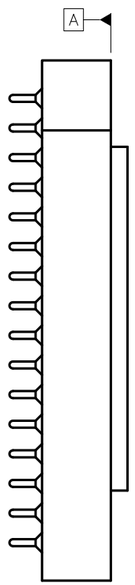
SCALE 4/1 SHEET 1 OF 4

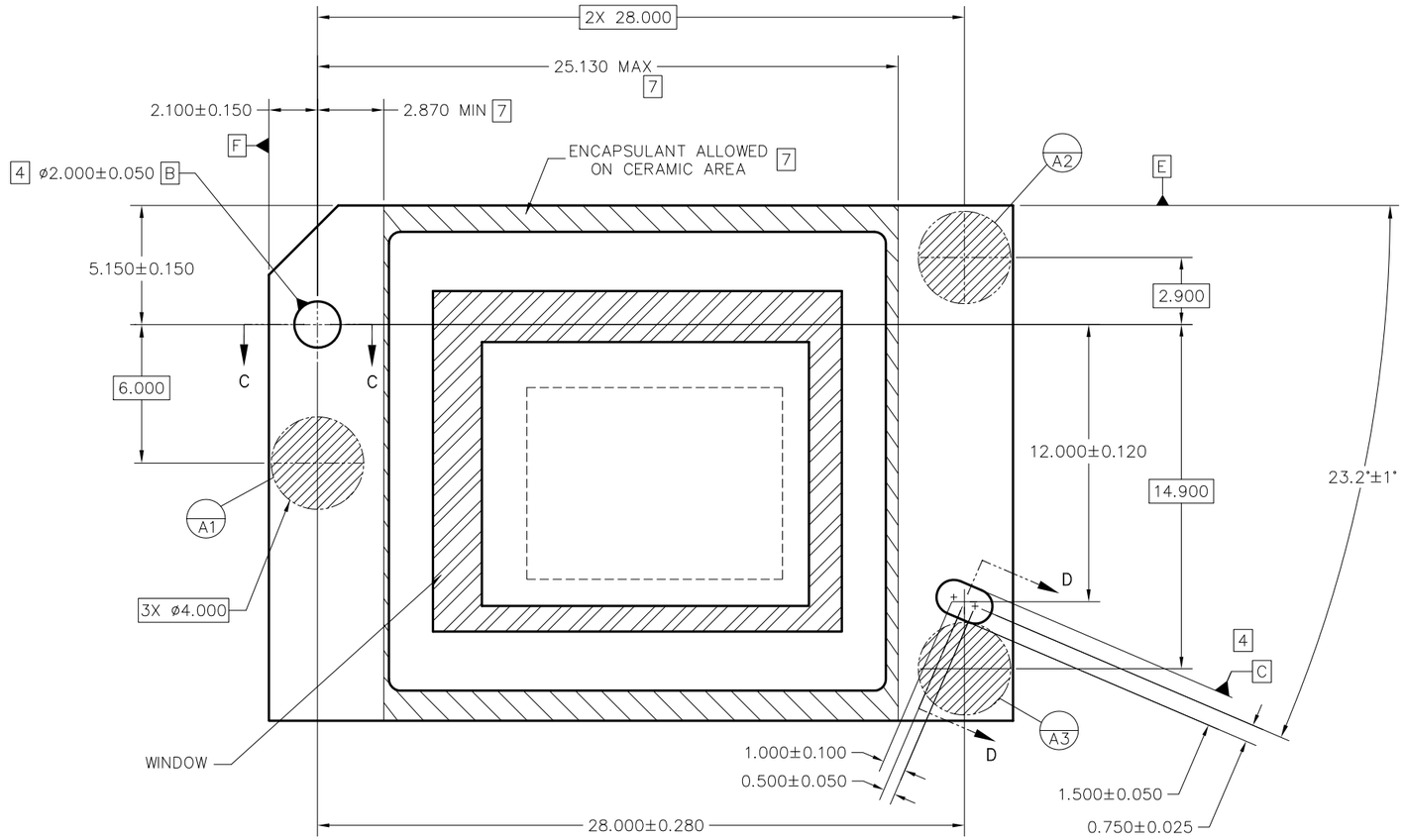
ACED1g



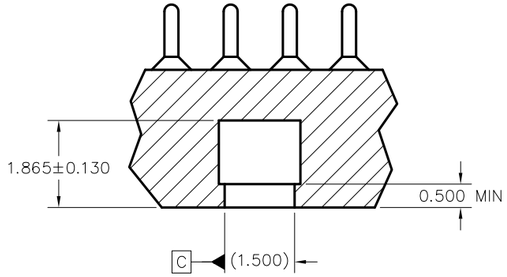


SECTION C–C
DATUM B
SCALE 16/1





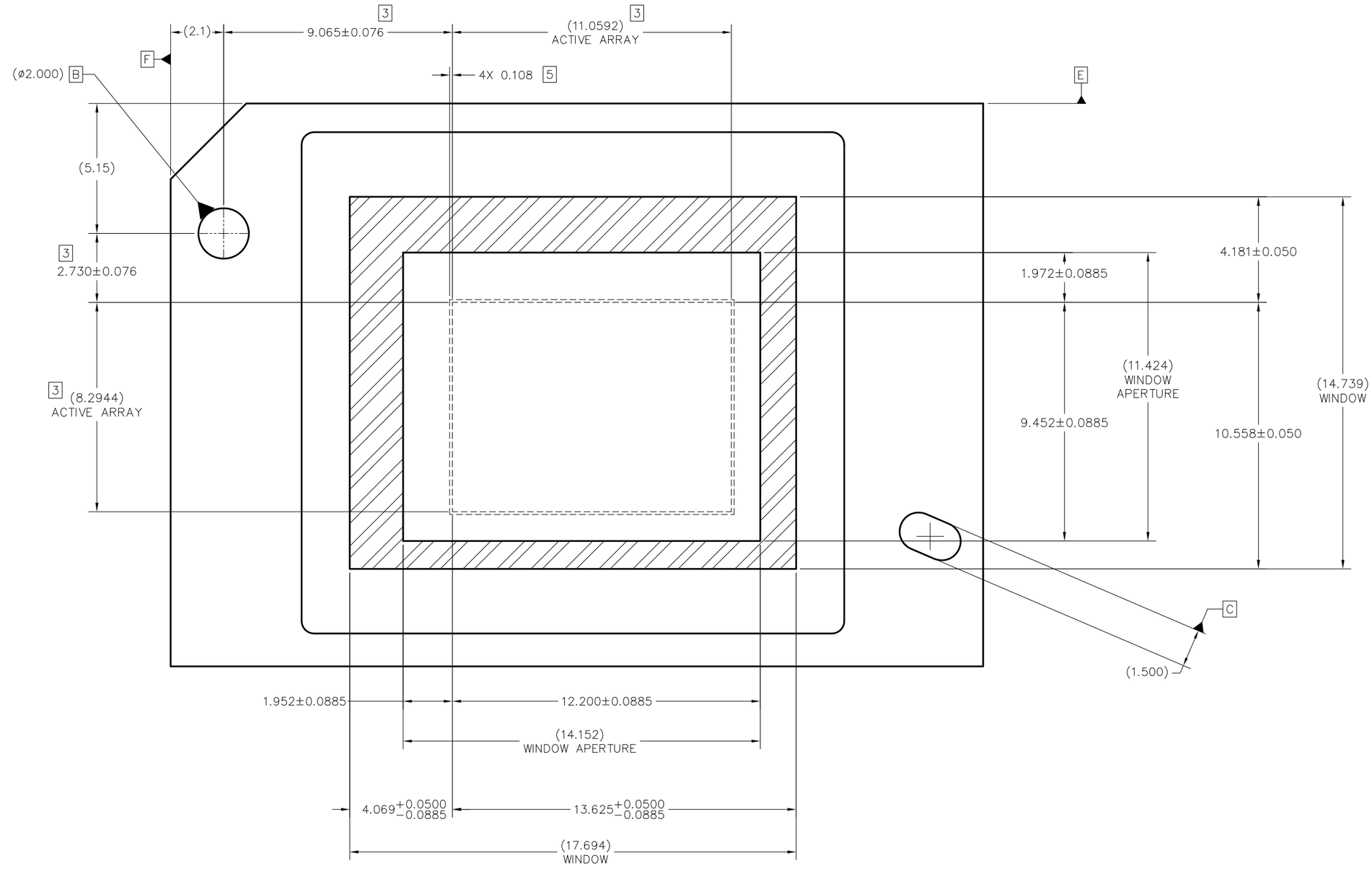
VIEW B
DATUMS AND ENCAPSULANT ALLOWABLE AREA
SCALE 8/1



SECTION D–D
DATUM C
SCALE 16/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE	SIZE B	DRAWING NO 2512194	REV D
	ISSUE DATE	SCALE 4/1	SHEET 2	

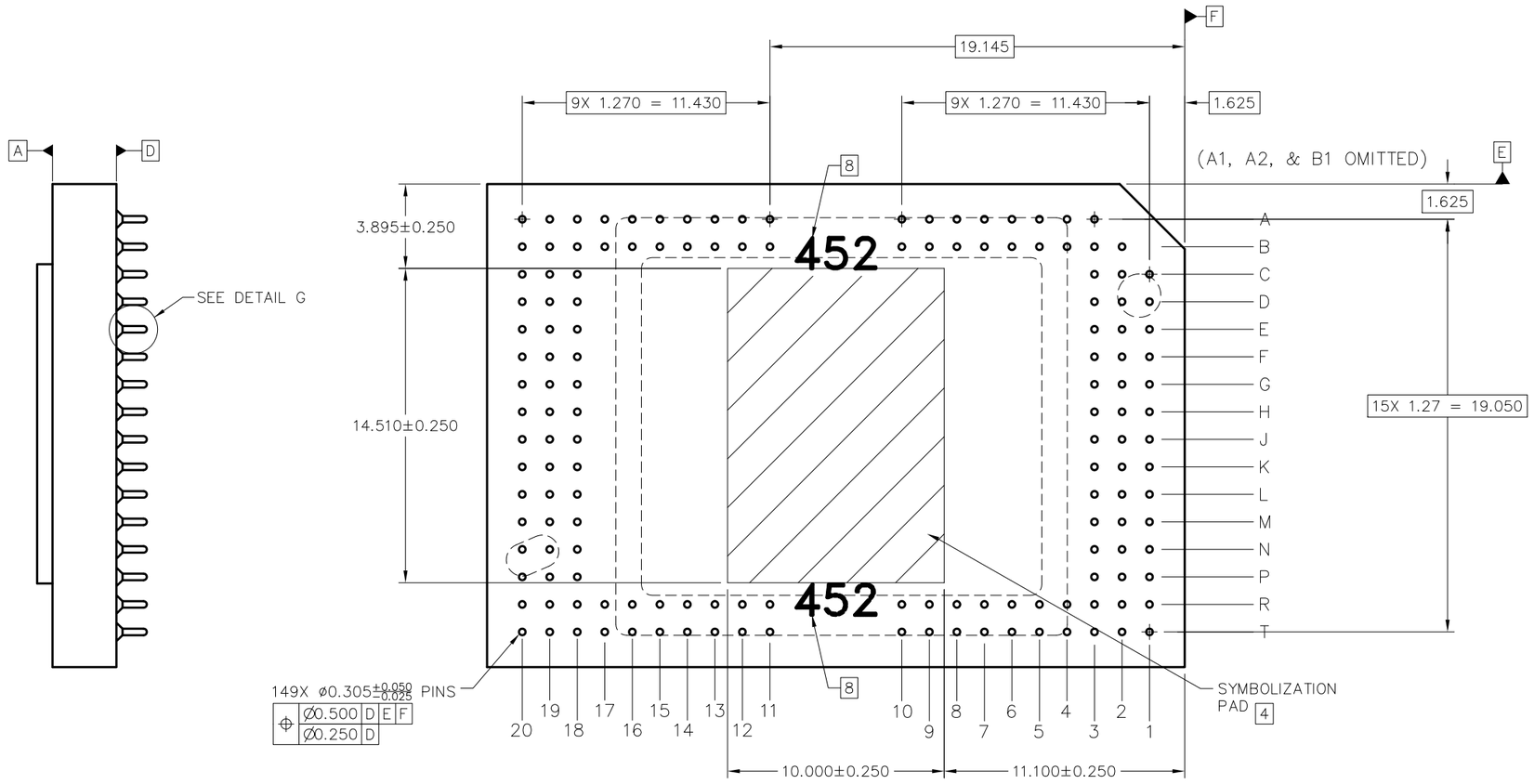
ACED2c



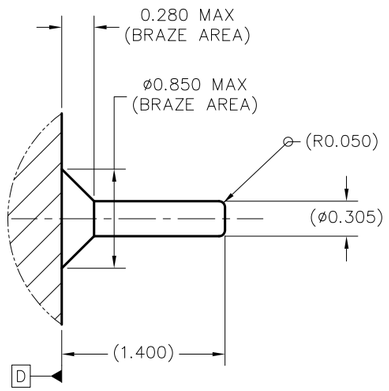
VIEW E (SHEET 1)
DMD WINDOW AND ACTIVE ARRAY
SCALE 12:1

Texas Instruments, Dallas, Texas	DWN DATE / ISSUE DATE	SIZE B	DRAWING NO 2512194	REV D
		SCALE 4/1	SHEET 3	

ACED2c



VIEW F–F (SHEET 1)
PINS AND SYMBOLIZATION PAD
SCALE 8/1



DETAIL G (149 PLACES)
PIN & BRAZE DIMENSIONS
SCALE 40/1

Texas Instruments, Dallas, Texas	DWN DATE	SIZE B	DRAWING NO 2512194	REV D
	ISSUE DATE	SCALE 4/1	SHEET 4	

ACED2c

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月