DLP481XE 0.48 英寸 4K+ 数字微镜器件

1 特性

- 0.48 英寸 对角线微镜阵列
  - 4K+(3840x2400) 显示分辨率
  - 5.4µm 微镜间距
  - ±14.5° 微镜倾斜度（相对于平坦表面）
  - 角落照明
- SubLVDS 输入数据总线
- 支持 4K+ (60Hz)
- 支持高达 240Hz 的 WUXGA
- DLPC8455 显示控制器支持的 RGB 激光、LED 和激光荧光操作

2 应用

- 智能投影仪
- 企业投影仪
- 激光电视
- 游戏投影仪
- 家庭影院
- 高尔夫模拟器

3 说明

DLP481XE 数字微镜器件 (DMD) 是一款数控微机电系统 (MEMS) 空间光调制器 (SLM)，可用于实现高亮的 4K+ 显示系统。TI DLP® 产品 0.48 英寸 4K+ 芯片组由 DMD 和 DLPC8455 显示控制器、 DLPA3082 PMIC 和 DLPA100 色轮驱动器组成。芯片组的外形紧凑，为体型小巧的 4K+ 显示器提供完整的系统解决方案。

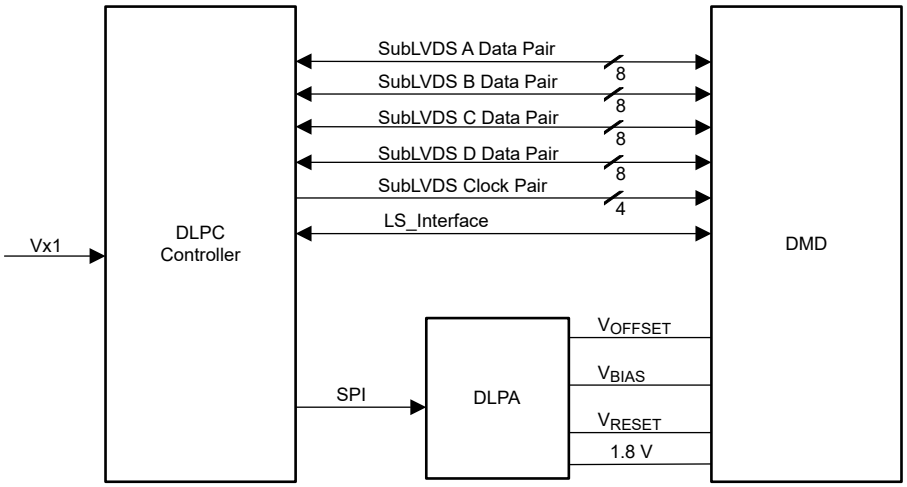
DMD 生态系统提供现成的资源以帮助用户缩短设计周期，请访问 DLP® 产品第三方搜索工具，查找获得批准的光学模块制造商和第三方提供商。

访问 TI DLP 显示技术入门页，了解有关使用 DMD 开始设计的更多信息。

封装信息

器件型号	封装(1)	封装尺寸(2)
DLP481XE	FXM（PGA、173）	32.2mm × 22.3mm

(1) 有关更多信息，请参阅 节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版应用

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....7
5.1 绝对最大额定值.....7
5.2 存储条件.....7
5.3 ESD 等级.....8
5.4 建议运行条件.....8
5.5 热性能信息.....11
5.6 电气特性.....11
5.7 开关特性.....12
5.8 时序要求.....12
5.9 系统安装接口负载.....18
5.10 微镜阵列物理特性.....19
5.11 微镜阵列光学特性.....20
5.12 窗口特性.....21
5.13 芯片组元件使用规格.....21
6 详细说明.....22
6.1 概述.....22
6.2 功能方框图.....22
6.3 特性说明.....23
6.4 器件功能模式.....23
6.5 光学接口和系统图像质量注意事项.....23
6.6 微镜阵列温度计算.....24
6.7 微镜功率密度计算.....25
6.8 窗口孔隙照明溢出计算.....27
6.9 微镜着陆打开/着陆关闭占空比.....29
7 应用和实施.....32
7.1 应用信息.....32
7.2 典型应用.....32
7.3 温度传感器二极管.....34
8 电源相关建议.....36
8.1 DMD 电源上电过程.....36
8.2 DMD 电源断电过程.....36
9 布局.....38
9.1 布局指南.....38
10 器件和文档支持.....39
10.1 第三方产品免责声明.....39
10.2 器件支持.....39
10.3 文档支持.....40
10.4 接收文档更新通知.....40
10.5 支持资源.....40
10.6 商标.....40
10.7 静电放电警告.....40
10.8 术语表.....40
11 修订历史记录.....40
12 机械、封装和可订购信息.....41

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

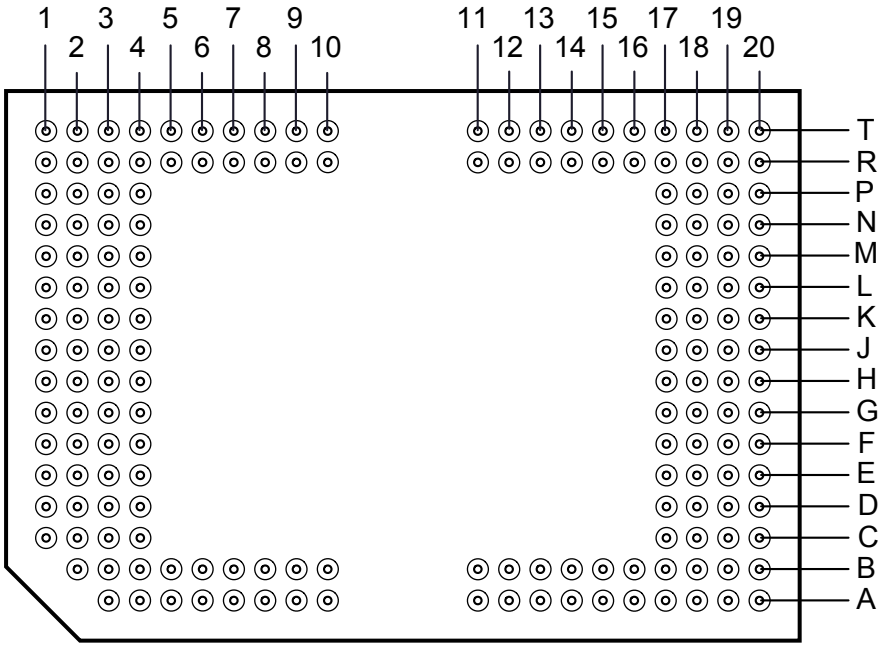


图 4-1. FXM 封装 173 引脚 PGA 底视图

小心

正确管理“引脚功能”表中列出的信号的布局和运行，以确保 0.48 英寸 4K+ S460 DMD 的可靠、长期运行。在设计电路板之前，请参阅 *TI DLP 数字微镜器件的 PCB 设计要求* 应用手册，了解具体详细信息和指南。

表 4-1. 引脚功能

引脚		类型(1)	说明	终端	布线长度 (mm)
名称	ID				
D_AP(0)	R2	I	高速差分数据对通道 A0	差分 100 Ω	8.204
D_AN(0)	P2	I	高速差分数据对通道 A0	差分 100 Ω	8.201
D_AP(1)	T4	I	高速差分数据对通道 A1	差分 100 Ω	9.95
D_AN(1)	T3	I	高速差分数据对通道 A1	差分 100 Ω	9.95
D_AP(2)	P1	I	高速差分数据对通道 A2	差分 100 Ω	8.439
D_AN(2)	N1	I	高速差分数据对通道 A2	差分 100 Ω	8.44
D_AP(3)	R5	I	高速差分数据对通道 A3	差分 100 Ω	10.166
D_AN(3)	R6	I	高速差分数据对通道 A3	差分 100 Ω	10.167
D_AP(4)	T5	I	高速差分数据对通道 A4	差分 100 Ω	12.672
D_AN(4)	T6	I	高速差分数据对通道 A4	差分 100 Ω	12.673
D_AP(5)	K2	I	高速差分数据对通道 A5	差分 100 Ω	5.097
D_AN(5)	L2	I	高速差分数据对通道 A5	差分 100 Ω	5.094
D_AP(6)	T7	I	高速差分数据对通道 A6	差分 100 Ω	13.416
D_AN(6)	T8	I	高速差分数据对通道 A6	差分 100 Ω	13.416
D_AP(7)	J1	I	高速差分数据对通道 A7	差分 100 Ω	6.356

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	说明	终端	布线长度 (mm)
名称	ID				
D_AN(7)	K1	I	高速差分数据对通道 A7	差分 100 Ω	6.356
DCLK_AP	L1	I	高速差分时钟 A	差分 100 Ω	7.247
DCLK_AN	M1	I	高速差分时钟 A	差分 100 Ω	7.247
D_BP(0)	T13	I	高速差分数据对通道 B0	差分 100 Ω	9.167
D_BN(0)	T14	I	高速差分数据对通道 B0	差分 100 Ω	9.168
D_BP(1)	T17	I	高速差分数据对通道 B1	差分 100 Ω	10.163
D_BN(1)	T18	I	高速差分数据对通道 B1	差分 100 Ω	10.163
D_BP(2)	T12	I	高速差分数据对通道 B2	差分 100 Ω	12.753
D_BN(2)	T11	I	高速差分数据对通道 B2	差分 100 Ω	12.756
D_BP(3)	T15	I	高速差分数据对通道 B3	差分 100 Ω	14.679
D_BN(3)	T16	I	高速差分数据对通道 B3	差分 100 Ω	14.684
D_BP(4)	P20	I	高速差分数据对通道 B4	差分 100 Ω	10.903
D_BN(4)	N20	I	高速差分数据对通道 B4	差分 100 Ω	10.901
D_BP(5)	M20	I	高速差分数据对通道 B5	差分 100 Ω	10.043
D_BN(5)	L20	I	高速差分数据对通道 B5	差分 100 Ω	10.042
D_BP(6)	L19	I	高速差分数据对通道 B6	差分 100 Ω	8.167
D_BN(6)	K19	I	高速差分数据对通道 B6	差分 100 Ω	8.167
D_BP(7)	K20	I	高速差分数据对通道 B7	差分 100 Ω	7.373
D_BN(7)	J20	I	高速差分数据对通道 B7	差分 100 Ω	7.373
DCLK_BP	R19	I	高速差分时钟 B	差分 100 Ω	10.517
DCLK_BN	P19	I	高速差分时钟 B	差分 100 Ω	10.516
D_CP(0)	H1	I	高速差分数据对通道 C0	差分 100 Ω	6.308
D_CN(0)	G1	I	高速差分数据对通道 C0	差分 100 Ω	6.308
D_CP(1)	H2	I	高速差分数据对通道 C1	差分 100 Ω	4.941
D_CN(1)	G2	I	高速差分数据对通道 C1	差分 100 Ω	4.939
D_CP(2)	F1	I	高速差分数据对通道 C2	差分 100 Ω	7.011
D_CN(2)	E1	I	高速差分数据对通道 C2	差分 100 Ω	7.009
D_CP(3)	E2	I	高速差分数据对通道 C3	差分 100 Ω	6.959
D_CN(3)	D2	I	高速差分数据对通道 C3	差分 100 Ω	6.959
D_CP(4)	A4	I	高速差分数据对通道 C4	差分 100 Ω	10.185
D_CN(4)	A5	I	高速差分数据对通道 C4	差分 100 Ω	10.185
D_CP(5)	A7	I	高速差分数据对通道 C5	差分 100 Ω	9.34
D_CN(5)	A6	I	高速差分数据对通道 C5	差分 100 Ω	9.34
D_CP(6)	B7	I	高速差分数据对通道 C6	差分 100 Ω	9.109
D_CN(6)	B8	I	高速差分数据对通道 C6	差分 100 Ω	9.11
D_CP(7)	B5	I	高速差分数据对通道 C7	差分 100 Ω	7.548
D_CN(7)	B4	I	高速差分数据对通道 C7	差分 100 Ω	7.551
DCLK_CP	A9	I	高速差分时钟 C	差分 100 Ω	11.431
DCLK_CN	A8	I	高速差分时钟 C	差分 100 Ω	11.429
D_DP(0)	H19	I	高速差分数据对通道 D0	差分 100 Ω	5.531
D_DN(0)	G19	I	高速差分数据对通道 D0	差分 100 Ω	5.53

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明	终端	布线长度 (mm)
名称	ID				
D_DP(1)	H20	I	高速差分数据对通道 D1	差分 100Ω	7.153
D_DN(1)	G20	I	高速差分数据对通道 D1	差分 100Ω	7.152
D_DP(2)	F20	I	高速差分数据对通道 D2	差分 100Ω	7.449
D_DN(2)	E20	I	高速差分数据对通道 D2	差分 100Ω	7.449
D_DP(3)	E19	I	高速差分数据对通道 D3	差分 100Ω	7.592
D_DN(3)	D19	I	高速差分数据对通道 D3	差分 100Ω	7.592
D_DP(4)	B19	I	高速差分数据对通道 D4	差分 100Ω	9.968
D_DN(4)	B18	I	高速差分数据对通道 D4	差分 100Ω	9.967
D_DP(5)	A18	I	高速差分数据对通道 D5	差分 100Ω	10.435
D_DN(5)	A17	I	高速差分数据对通道 D5	差分 100Ω	10.435
D_DP(6)	B16	I	高速差分数据对通道 D6	差分 100Ω	9.291
D_DN(6)	B15	I	高速差分数据对通道 D6	差分 100Ω	9.293
D_DP(7)	A16	I	高速差分数据对通道 D7	差分 100Ω	9.269
D_DN(7)	A15	I	高速差分数据对通道 D7	差分 100Ω	9.274
DCLK_DP	D20	I	高速差分时钟 D	差分 100Ω	9.019
DCLK_DN	C20	I	高速差分时钟 D	差分 100Ω	9.02
LS_WDATA	L3	I	低速接口 (LSIF) 写入数据		3.907
LS_CLK	P4	I	低速接口 (LSIF) 时钟		4.52
LS_RDATA_A	N4	O	LPSDR 输出		2.812
LS_RDATA_B	M3	O	LPSDR 输出		2.925
LS_RDATA_C	J4	O	LPSDR 输出		3.54
LS_RDATA_D	K3	O	LPSDR 输出		3.094
DMD_DEN_ARSTZ	H4	I	ARSTZ		5.06
TP0	D18	I			4.175
TP1	C17	I			4.334
TP2	C18	I			0.34971
TEMP_N	E17	I	温度二极管 N		2.676
TEMP_P	F17	I	温度二极管 P		2.146
VDD	A10、A12、A13、A20、B2、B10、B11、B14、C4、D1、D4、E3、E18、F3、F4、G17、J3、J18、M18、N3、N18、R3、R8、R10、R12、R13、R18、T9	P	数字内核电源电压		
VDDI	D3、F18、G4、H18、K4、K18、L18、M4	P			

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明	终端	布线长度 (mm)
名称	ID				
VRESET	T2、T19	P			
VBIAS	R1、R20	P			
VOFFSET	D17、E4、T1、T20	P			
VSS	A3、A11、A14、A19、B3、B6、B9、B12、B13、B17、B20、C1、C2、C3、C19、F2、F19、G3、G18、H3、J2、J19、L4、M2、M19、N2、N19、P3、P18、R4、R7、R9、R11、R14、R17、T10	G	接地		
N/C	H17、R16、R15、P17、N17、M17、L17、K17、J17、	NC	无连接引脚		无

(1) I = 输入，O = 输出，P = 电源，G = 接地，NC = 无连接

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

(1)		最小值	最大值	单位
电源电压				
V_{DD}	LVCMOS 内核逻辑和 LPSDR 低速接口 (LSIF) 的电源电压(2)	-0.5	2.3	V
V_{DDI}	SubLVDS 接收器的电源电压(2)	-0.5	2.3	V
V_{OFFSET}	HVCMOS 和微镜电极的电源电压(2) (3)	-0.5	11	V
V_{BIAS}	微镜电极的电源电压(2)	-0.5	19	V
V_{RESET}	微镜电极的电源电压(2)	-15	0.5	V
$\lvert V_{DDI} - V_{DD} \rvert$	电源电压差值（绝对值）(4)		0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	电源电压差值（绝对值）(5)		11	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	电源电压差值（绝对值）(6)		34	V
输入电压				
	其他输入的输入电压 – LSIF 和 LVCMOS(2)	-0.5	V_{DD}+0.5	V
	其他输入的输入电压 – SubLVDS(2) (7)	-0.5	V_{DDI}+0.5	V
SUBLVDS 接口 (HSIF)				
$\lvert V_{ID} \rvert$	SubLVDS 差动输入电压（绝对值）(7)		810	mV
$\lvert I_{ID} \rvert$	SubLVDS 输入差动电流(7)		10	mA
时钟频率				
f_{CLOCK}	LSIF 时钟频率 (LS_CLK)	100	130	MHz
温度二极管				
I_{TEMP_DIODE}	温度二极管的最大电流源		120	µA
环境				
T_{ARRAY}	工作时的温度(8)	0	90	°C
	未工作时的温度(8)	-40	90	°C
T_{DP}	工作和未工作时的露点温度（非冷凝）		81	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 所有电压值均与接地端子 (V_{SS}) 相关。为了确保 DMD 正常运行，必须连接以下所需的电源：V_{DD}、V_{DDI}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。同时还需要所有的 V_{SS} 连接。
(3) V_{OFFSET} 电源电压瞬态必须处于指定的电压范围内。
(4) 如果超过 V_{DDI} 和 V_{DD} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(5) 如果超过 V_{BIAS} 和 V_{OFFSET} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(6) 如果超过 V_{BIAS} 和 V_{RESET} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(7) 当差分对的每个输入处于相同的电压电势时，该最大输入电压额定值适用。SubLVDS 差动输入不得超过指定的限值，否则可能会损坏内部端接电阻器。
(8) 阵列温度无法直接测量，必须如 图 6-1 和 节 6.6 中所示，根据在测试点 1 (TP1) 测量的温度进行分析计算。

5.2 存储条件

适用于作为元件或在系统中不运行的 DMD。

		最小值	最大值	单位
T_{DMD}	DMD 温度	-40	80	°C
T_{DP-AVG}	平均露点温度（非冷凝）(1)		28	°C
T_{DP-ELR}	高露点温度范围（非冷凝）(2)	28	36	°C

Copyright © 2025 Texas Instruments Incorporated

5.2 存储条件（续）

适用于作为元件或在系统中不运行的 DMD。

		最小值	最大值	单位
CT_{ELR}	高露点温度范围内的累积时间		24	月

(1) 器件不在高露点温度范围内的随时间变化的平均温度（包括存储和运行温度）。
(2) 在存储和运行期间，暴露于高范围内的露点温度必须限制在 CT_{ELR} 的总累积时间以内。

5.3 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101(2)	±250	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.4 建议运行条件

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）。在“建议运行条件”定义的限值内运行器件时，可实现本数据表中指定的器件的功能性能。在高于或低于“建议运行条件”限值的条件下运行器件时，无法保证其性能。

		最小值	典型值	最大值	单位
电源电压范围					
V_{DD}	LVCMOS 内核逻辑的电源电压(1) (2) LPSDR 低速接口的电源电压	1.71	1.8	1.95	V
V_{DDI}	SubLVDS 接收器的电源电压(1) (2)	1.71	1.8	1.95	V
V_{OFFSET}	HVCMOS 和微镜电极的电源电压(1) (2) (3)	9.5	10	10.5	V
V_{BIAS}	镜电极的电源电压(1) (2)	17.5	18	18.5	V
V_{RESET}	微镜电极的电源电压(1) (2)	-14.5	-14	-13.5	V
$\lvert V_{DDI} - V_{DD} \rvert$	电源电压差值（绝对值）(1) (2) (4)			0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	电源电压差值（绝对值）(1) (2) (5)			10.5	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	电源电压差值（绝对值）(1) (2) (6)			33	V
时钟频率					
f_{clock}	低速接口 LS_CLK 的时钟频率(7)	108		120	MHz
	高速接口 DCLK 的时钟频率(8)			720	MHz
DCD_{IN}	占空比失真	48%		52%	
DCD_{OUT}	占空比失真	44%	50%	56%	
SUBLVDS 接口					
$\lvert V_{ID} \rvert$	LVDS 差分输入电压幅度(8)	150	250	350	mV
V_{CM}	共模电压(8)	700	900	1100	mV
$V_{SUBLVDS}$	SubLVDS 电压(8)	525		1275	mV
Z_{LINE}	线路差分阻抗（PWB/引线）	90	100	110	Ω
Z_{IN}	内部差分端接电阻 (10)	80	100	120	Ω
	100Ω 差分 PCB 布线	6.35		152.4	mm
环境					
T_{ARRAY}	长期工作时的阵列温度(9) (10) (11) (12)	10		40 至 70	°C
	短期工作（最长 500 个小时）时的阵列温度(10) (13)	0		10	°C
T_{DP-AVG}	平均露点温度（非冷凝）(14)			28	°C
T_{DP-ELR}	高露点温度范围（非冷凝）(15)		28	36	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 建议运行条件（续）

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）。在“建议运行条件”定义的限值内运行器件时，可实现本数据表中指定的器件的功能性能。在高于或低于“建议运行条件”限值的条件下运行器件时，无法保证其性能。

		最小值	典型值	最大值	单位
CT_{ELR}	高露点温度范围内的累积时间			28	月
Q_{AP-LL}	窗口孔隙照明溢出(16) (17) (18)			17	W/cm^2
照明 LPCW、RGB 激光和 LED					
ILL_{UV}	照明，波长 < 410nm(9) (20)			10	mW/cm^2
ILL_{VIS}	波长 ≥ 410nm 且 ≤ 800nm 时的照明功率(19) (20)			60	W/cm^2
ILL_{IR}	照明，波长 > 800nm(20)			10	mW/cm^2
ILL_{BLU}	波长 ≥ 410nm 且 ≤ 475nm 时的照明功率(19) (20)			19.5	W/cm^2
ILL_{BLU1}	波长 ≥ 410nm 且 ≤ 440nm 时的照明功率(19) (20)			3.06	W/cm^2

(1) 运行 DMD 需要以下电源：V_{DD}、V_{DDI}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。运行 DMD 需要所有 V_{SS} 连接。
(2) 所有电压值均以 V_{SS} 接地引脚为基准。
(3) V_{OFFSET} 电源电压瞬态必须处于指定的最大电压范围内。
(4) 为了防止电流过大，电源电压差值 $|V_{DDI} - V_{DD}|$ 必须小于指定的限值。
(5) 为了防止电流过大，电源电压差值 $|V_{BIAS} - V_{OFFSET}|$ 必须小于指定的限值。
(6) 为了防止电流过大，电源电压差值 $|V_{BIAS} - V_{RESET}|$ 必须小于指定的限值。
(7) LS_CLK 必须按指定方式运行，以满足复位波形命令的内部 DMD 时序。
(8) 请参阅 *时序要求* 中的 SubLVDS 时序要求。
(9) 如果 DMD 同时暴露于温度和 UV 照明的最大建议运行条件下，则会缩短器件寿命。
(10) 阵列温度无法直接测量，必须通过在测试点 (TP1) 测量的温度以及封装热阻（使用微镜阵列温度计算）进行分析计算。
(11) 最大工作阵列温度根据 DMD 在终端应用中经历的微镜着陆占空比进行降额。有关微镜着陆占空比的定义，请参阅 节 6.9.1 部分。
(12) 长期定义为器件的使用寿命。
(13) 短期是器件使用寿命期间的总累积时间。
(14) 器件不在高露点温度范围内的随时间变化的平均值（包括存储和运行）。
(15) 在存储和运行期间，暴露于高范围内的露点温度限制在 CT_{ELR} 的总累积时间以内。
(16) 适用于 图 5-2 中定义的区域。
(17) DMD 的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙遮挡了正常视图中 DMD 器件组件的结构。该孔隙的大小可以预测多种光学条件。照亮有源阵列外部区域的溢出光会产生散射，并对使用 DMD 的终端应用的性能产生不利影响。照明光学系统的一项设计要求是尽可能减少入射到有源阵列外部的光通量。根据光学系统的特定光学架构和组装公差，有源阵列外部的溢出光量可能会导致系统性能下降。
(18) 要进行计算，请参阅 节 6.8 。
(19) 入射到 DMD 上的最大允许光功率受到每个指定波长范围的最大光功率密度以及微镜阵列温度 (T_{ARRAY}) 的限制。
(20) 要进行计算，请参阅 节 6.7 。

Copyright © 2025 Texas Instruments Incorporated

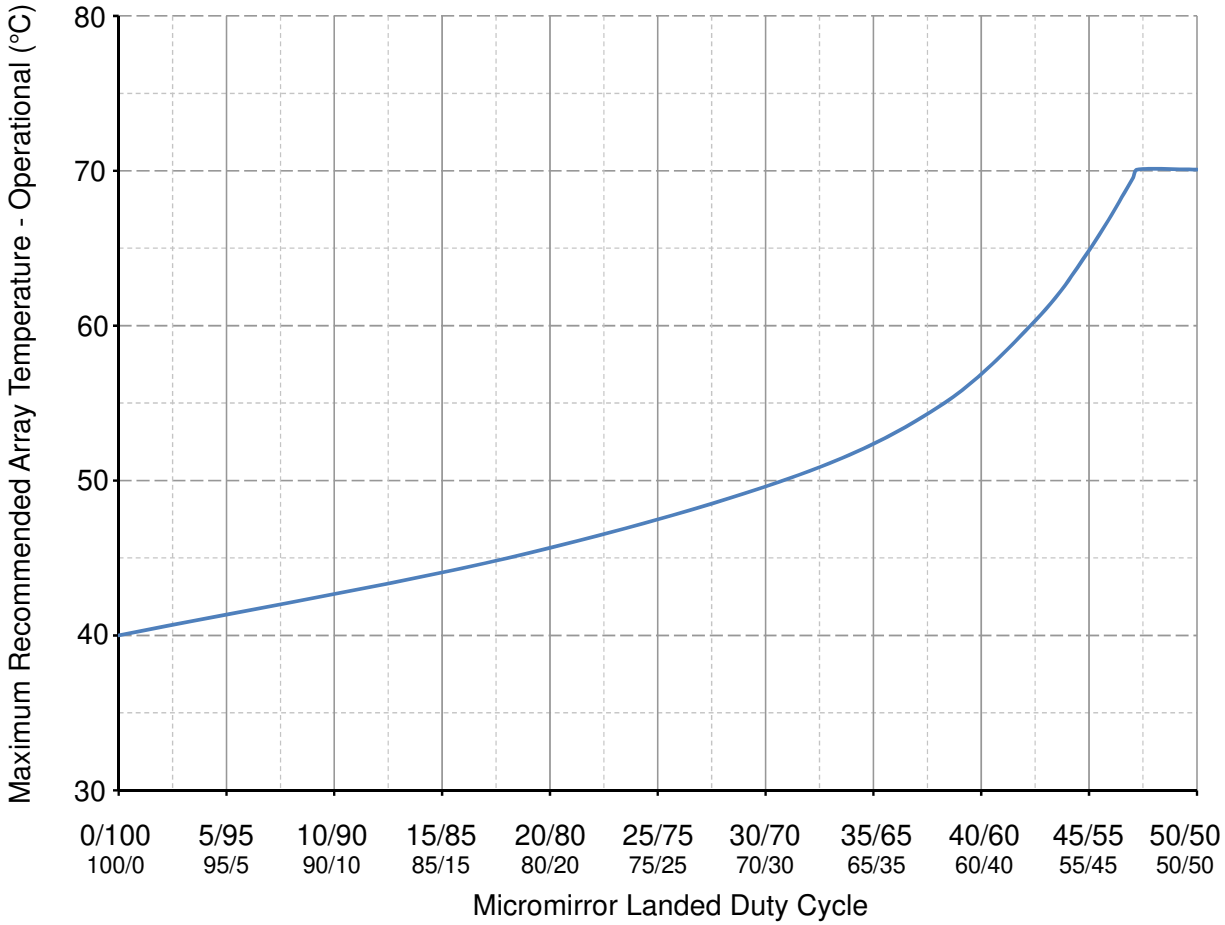


图 5-1. 最大建议阵列温度 — 降额曲线

Copyright © 2025 Texas Instruments Incorporated

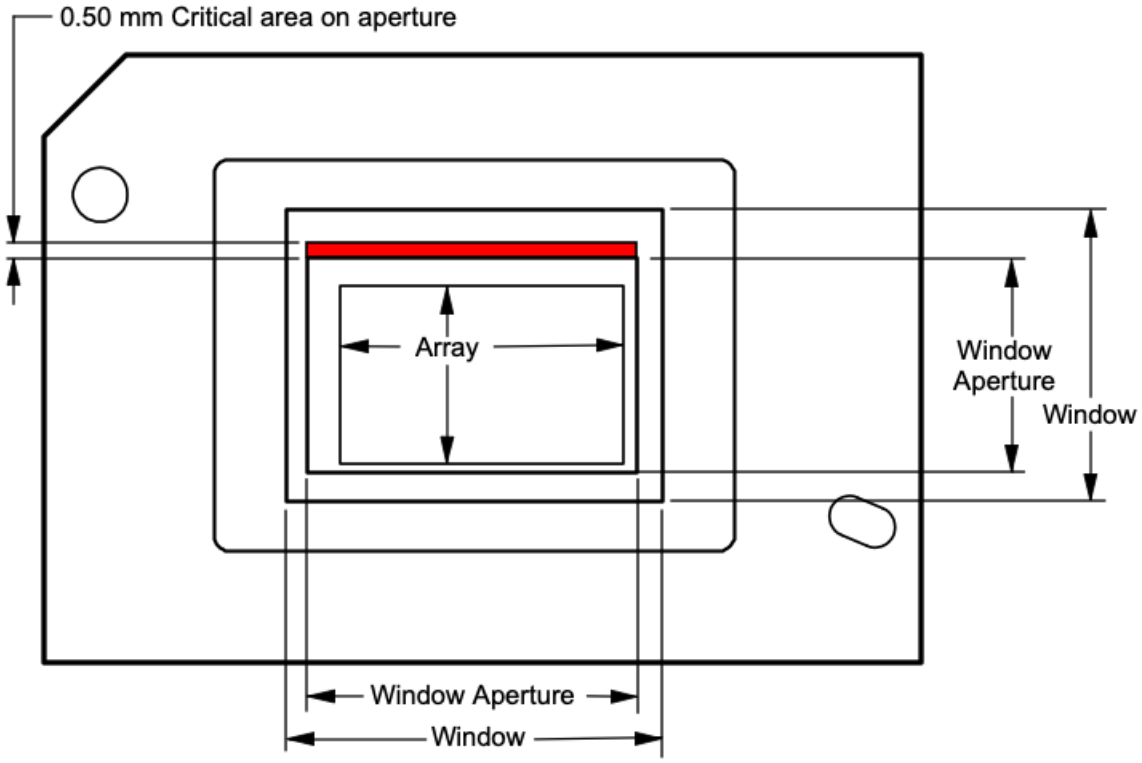


图 5-2. 照明溢出图 — 关键区域

5.5 热性能信息

热指标	DLP481XE FXM 封装 173 引脚	单位
有源区域至测试点 1 (TP1) 的热阻(1)	1.0	°C/W

(1) 该 DMD 可以将吸收和耗散的热量传导至封装背面。冷却系统必须能够将 DMD 保持在*建议运行条件*中指定的温度范围内。该 DMD 上的总热负荷主要由工作区域吸收的入射光驱动，不过可能还会有一部分来自窗口孔隙吸收的光能和阵列的电功率耗散。光学系统必须设计为尽量减少处于窗口通光孔隙之外的光能，因为该区域的任何额外热负荷都会显著降低器件的可靠性。

5.6 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数(7)		测试条件(2)	最小值	典型值	最大值	单位
电流						
I_{DD}	电源电流：V_{DD} (3) (4)	典型值		70		mA
I_{DDI}	电源电流：V_{DDI} (3) (4)	典型值		28		mA
I_{OFFSET}	电源电流：V_{OFFSET} (5) (6)	典型值		7		mA
I_{BIAS}	电源电流：V_{BIAS} (5) (6)	典型值		1.5		mA
I_{RESET}	电源电流：V_{RESET} (6)	典型值		3		mA
POWER						
P_{DD}	电源功率耗散：V_{DD} (3) (4)	典型值		126		mW
P_{DDI}	电源功率耗散：V_{DDI} (3) (4)	典型值		51		mW

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数(7)		测试条件(2)	最小值	典型值	最大值	单位
P_{OFFSET}	电源功率耗散：V_{OFFSET} (5) (6)	典型值		70		mW
P_{BIAS}	电源功率耗散：V_{BIAS} (5) (6)	典型值		27		mW
P_{RESET}	电源功率耗散：V_{RESET} (6)	典型值		42		mW
P_{TOTAL}	电源功率耗散总计	典型值		316		mW
LPSDR 输入						
V_{IH}	高电平输入电压(8) (9)		0.7 × V_{DD}		V_{DD} + 0.3	x VDD
V_{IL}	低电平输入电压(8) (9)		-0.3		0.3x V_{DD}	x VDD
$V_{IH(AC)}$	交流输入高电压(8) (9)		0.8 × V_{DD}		V_{DD} + 0.3	x VDD
$V_{IL(AC)}$	交流输入低电压(8) (9)		-0.3		0.2 × V_{DD}	x VDD
VHyst	输入磁滞 (V_{T+} – V_{T-})		0.1 × V_{DD}		0.4 × V_{DD}	V
I_{IL}	低电平输入电流	V_{DD} = 1.95 V，V_I = 0V	-100			nA
I_{IH}	高电平输入电流	V_{DD} = 1.95 V，V_I = 1.95V			135	µA
LPSDR 输出						
V_{OH}	直流输出高电压(10)	I_{OH} = -2mA	0.8 × V_{DD}			X VDD
V_{OL}	直流输出低电压(10)	I_{OL} = 2mA			0.2 × V_{DD}	X VDD
电容						
C_{IN}	输入电容 LVCMOS	F = 1MHz			10	pF
C_{IN}	输入电容 SubLVDS	F = 1MHz			20	pF
C_{OUT}	输出电容	F = 1MHz			10	pF

(1) 节 5.4 下的器件电气特性（除非另有说明）。
(2) 所有电压值均以接地引脚 (V_{SS}) 为基准。
(3) 为了防止电流过大，电源电压差值 | V_{DDI} – V_{DD} | 必须小于指定的限值。
(4) 基于非压缩命令和数据的电源功率耗散。
(5) 为了防止电流过大，电源电压差值 | V_{BIAS} – V_{OFFSET} | 必须小于指定的限值。
(6) 200µs 内基于三次全局复位的电源功率耗散。
(7) 运行 DMD 需要连接以下所有电源：V_{DD}、V_{DDI}、V_{OFFSET}、V_{BIAS}、V_{RESET}。同时还需要所有的 V_{SS} 连接。
(8) LPSDR 规格适用于引脚 LS_CLK 和 LS_WDATA。
(9) 低速接口是 LPSDR，遵循 JEDEC 标准第 209B 号“低功耗双倍数据速率 (LPDDR)”JESD209B 中的“电气特性和交流/直流工作条件”表中的标准。
(10) LPSDR 输出规格针对引脚 LS_RDATA_A、LS_RDATA_B、LS_RDATA_C、LS_RDATA_D。

5.7 开关特性

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PD}	输出传播，时钟到 Q，LS_CLK 输入的上升沿到 LS_RDATA 输出	C_L = 45pF			15	ns
	压摆率，LS_RDATA		0.3			V/ns
	输出占空比失真，LS_RDATA_A 和 LS_RDATA_B		40%		60%	

5.8 时序要求

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
LPSDR					

Copyright © 2025 Texas Instruments Incorporated

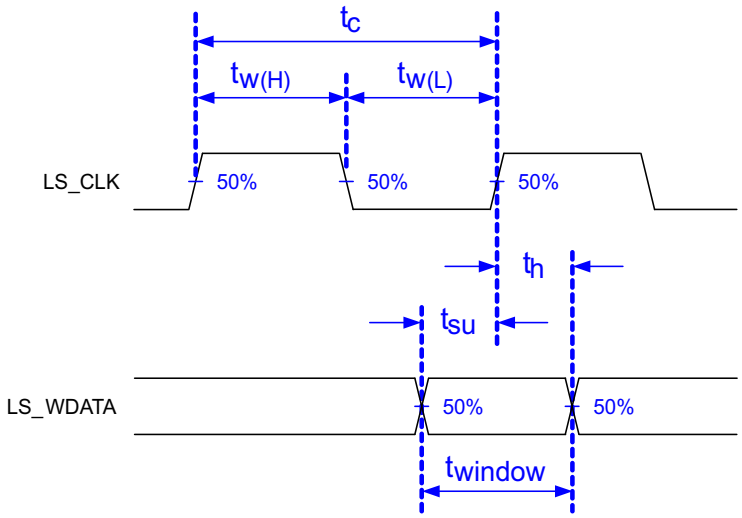
5.8 时序要求（续）

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_f	下降转换率(2)	（80% 至 20%）× V_{DD} (5)	0.25			V/ns
t_c	周期时间 LS_CLK(5)	50% 至 50% 基准点(5)	7.7	8.3		ns
t_r	上升转换率(1)	（30% 至 80%）× V_{DD} (6)	1		3	V/ns
t_f	下降转换率(1)	（70% 至 20%）× V_{DD} (6)	1		3	V/ns
t_r	上升转换率(2)	（20% 至 80%）× V_{DD} (6)	0.25			V/ns
$t_{W(H)}$	脉冲持续时间 LS_CLK 高电平	50% 至 50% 基准点(5)	3.1			ns
$t_{W(L)}$	脉冲持续时间 LS_CLK low	50% 至 50% 基准点(5)	3.1			ns
t_{WINDOW}	窗口时间(1) (3)	建立时间 + 保持时间(5)	3			ns
$t_{DERATING}$	窗口时间降额(1) (3)	低于 1 V/ns 压摆率每降低 0.25 V/ns 时(8)		0.35		ns
t_{su}	建立时间	在 LS_CLK 之前 LS_WDATA 有效(5)			1.5	ns
t_h	保持时间	在 LS_CLK 之后 LS_WDATA 有效(5)			1.5	ns
SubLVDS						
t_r	上升压摆率	20% 至 80% 基准点(7)	0.7	1		V/ns
t_f	下降压摆率	80% 至 20% 基准点(7)	0.7	1		V/ns
t_c	周期时间 D_CLK(9)	50% 至 50% 基准点(9)	1.35	1.39		ns
$t_{W(H)}$	脉冲持续时间 DCLK 高电平	50% 至 50% 基准点(9)	0.7			ns
$t_{W(L)}$	脉冲持续时间 DCLK 低电平	50% 至 50% 基准点(9)	0.7			ns
t_{su}	建立时间	D_CLK 之前数据有效(9)			0.17	ns
t_h	保持时间	D_CLK 之后数据有效(9)			0.17	ns
t_{WINDOW}	窗口时间	建立时间 + 保持时间(9) (10)			0.25	ns
t_{POWER}	接收器上电(4)				200	ns

(1) 规范适用于 LS_CLK 和 LS_WDATA 引脚。请参阅 图 5-4 中的 LPSDR 输入上升和下降转换率。
(2) 此规格适用于 DMD_DEN_ARSTZ 引脚。请参阅 图 5-4 中的 LPSDR 输入上升和下降转换率。
(3) 窗口时间降额示例：0.5V/ns 压摆率会将窗口时间增加 0.7ns，从 3ns 增加到 3.7ns。
(4) 该规格仅适用于 SubLVDS 接收器时间，不考虑命令和命令后的延迟。
(5) 请参阅图 5-3。
(6) 请参阅图 5-4。
(7) 请参阅图 5-5。
(8) 请参阅图 5-6。
(9) 请参阅图 5-7。
(10) 请参阅图 5-8。

Copyright © 2025 Texas Instruments Incorporated



低速接口是 LPSDR，遵循 JEDEC 标准第 209B 号*低功耗双倍数据速率 (LPDDR)* JESD209B 中的“电气特性和交流/直流工作条件”表中的规定。

图 5-3. LPSDR 开关参数

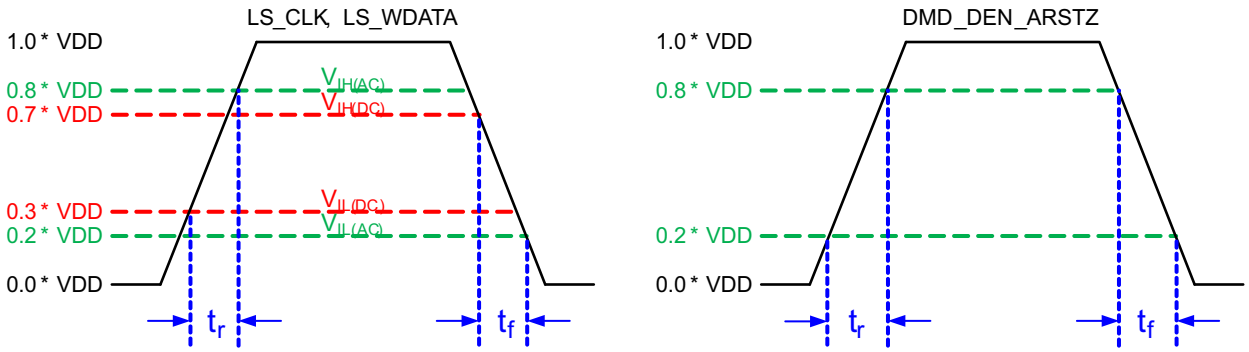


图 5-4. LPSDR 输入上升和下降压摆率

Not to Scale

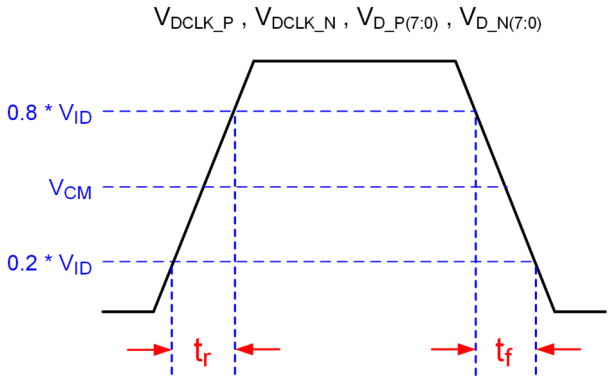


图 5-5. SubLVDS 输入上升和下降压摆率

Copyright © 2025 Texas Instruments Incorporated

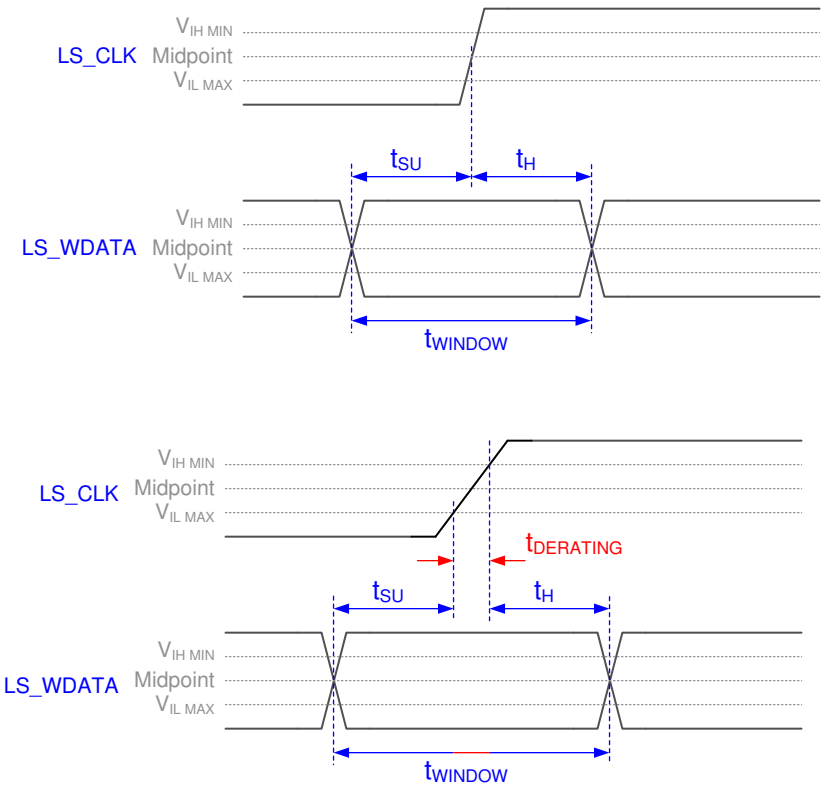


图 5-6. 窗口时间降额概念

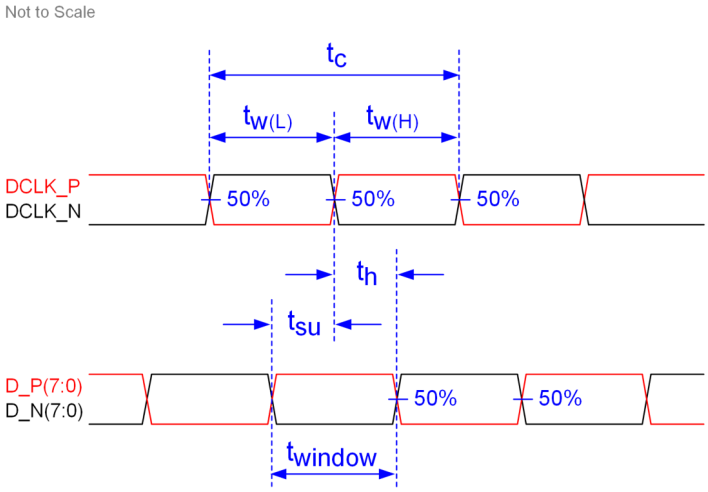
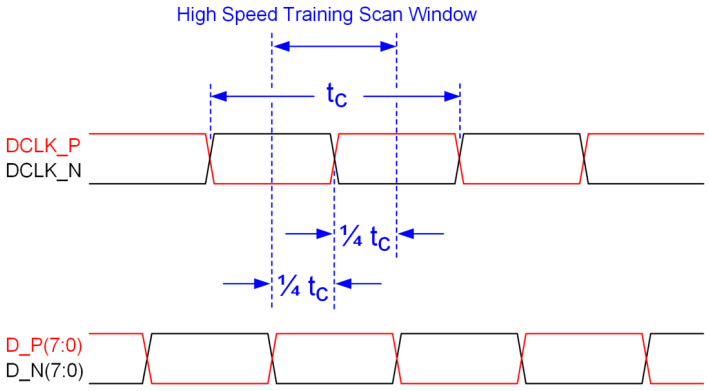


图 5-7. SubLVDS 开关参数



注意：有关详细信息，请参阅时序要求。

图 5-8. 高速训练扫描窗口

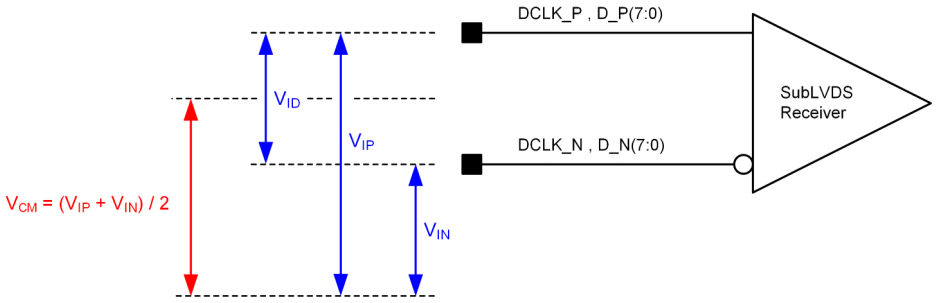


图 5-9. SubLVDS 电压参数

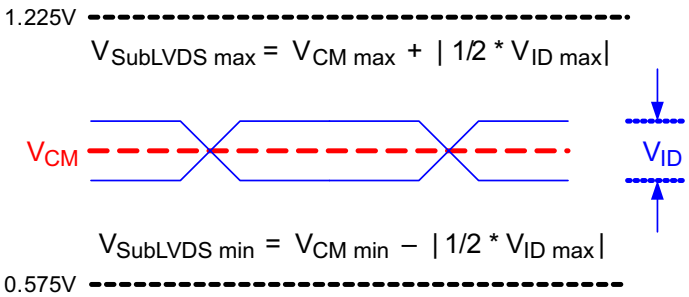


图 5-10. SubLVDS 波形参数

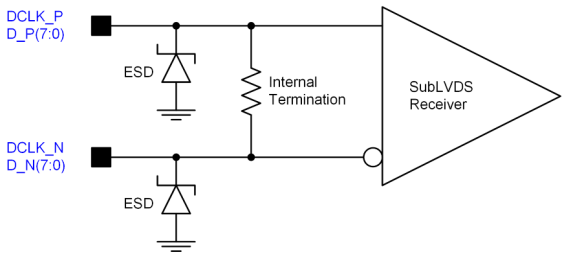


图 5-11. SubLVDS 等效输入电路

Copyright © 2025 Texas Instruments Incorporated

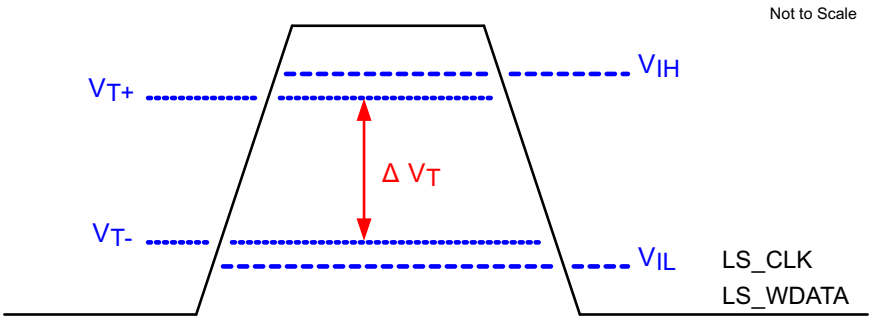


图 5-12. LPSDR 输入迟滞

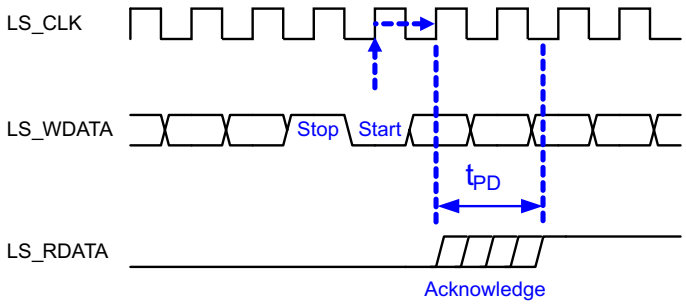
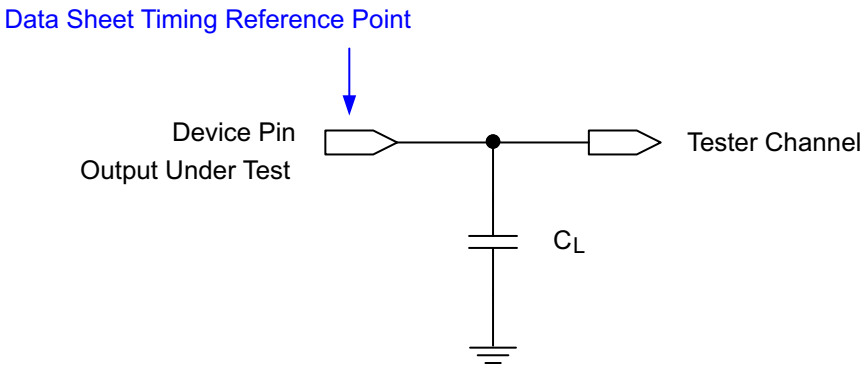


图 5-13. LPSDR 读取



有关更多信息，请参阅时序部分。

图 5-14. 输出传播测量的测试负载电路

5.9 系统安装接口负载

参数	最小值	典型值	最大值	单位
当向电气接口和热界面区域施加负载时				
要向电气接口区域施加的最大负载(1)			111	N
要向热界面区域施加的最大负载(1)			111	N
当仅向电气接口区域施加负载时				
要向电气接口区域施加的最大负载(1)			222	N
要向热界面区域施加的最大负载(1)			0	N

(1) 负载必须均匀地施加在 图 5-15 所示的相应区域。

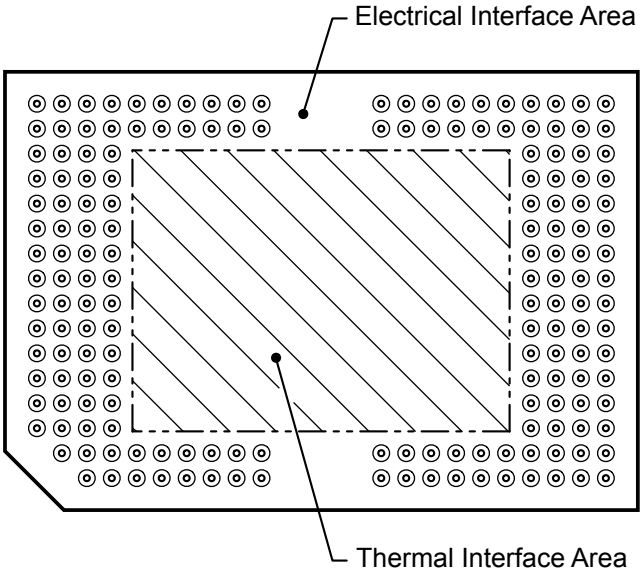


图 5-15. 系统安装接口负载

Copyright © 2025 Texas Instruments Incorporated

5.10 微镜阵列物理特性

参数说明		值	单位
有源列数(1) (2)	M	1920	微镜
有源行数(1) (2)	N	1200	微镜
微镜（像素）间距(1)	P	5.4	μm
微镜有源阵列宽度(1)	微镜间距 × 有源列数	10.368	mm
微镜有源阵列高度(1)	微镜间距 × 有源行数	6.480	mm
微镜有源边框(3)	微镜池 (POM)	20	微镜数/侧

(1) 请参阅 图 5-16。
(2) DMD 微镜的快速切换速度与先进的 DLP 图像处理算法相结合，使每个微镜能够在每个帧期间在屏幕上显示四个不同的像素，从而可以显示完整的 4x 像素。
(3) 有源阵列周围边框的结构和质量包括一条称为微镜池 (POM) 的部分起作用的微镜带。这些微镜在结构上和/或电气上被阻止向亮或“打开”状态倾斜，但仍需要进行电偏置以向“关闭”状态倾斜。

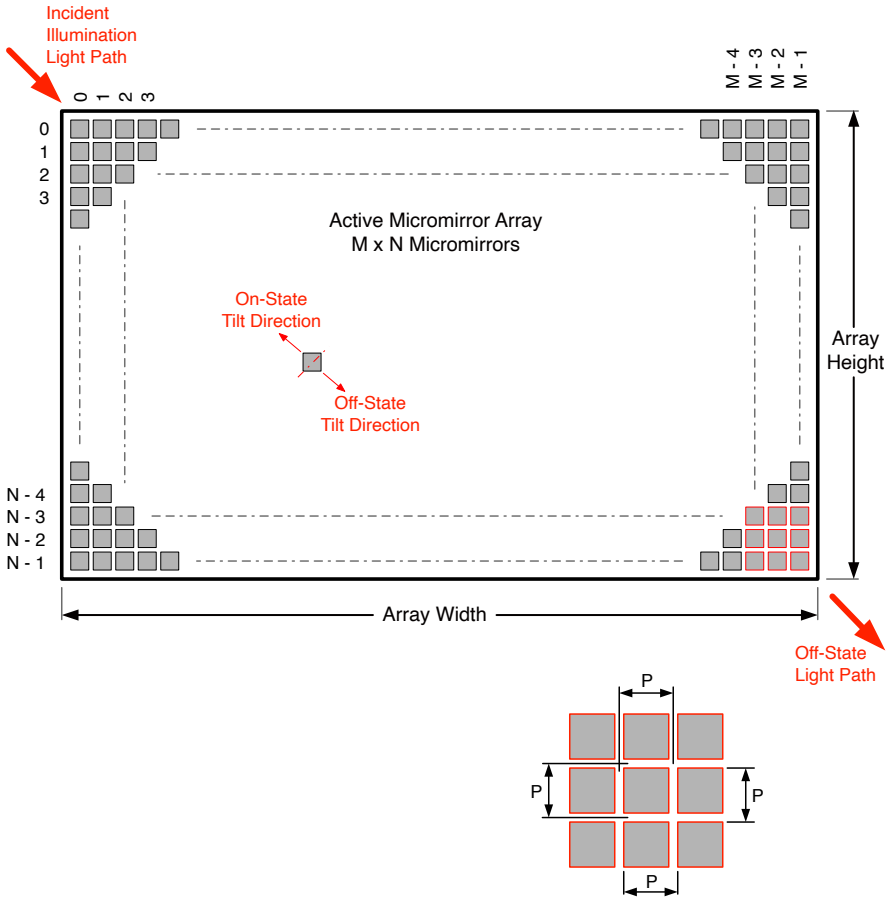


图 5-16. 微镜阵列物理特性

5.11 微镜阵列光学特性

参数		测试条件	最小值	典型值	最大值	单位
微镜倾斜角(1) (2) (3) (4)			13.5	14.5	15.5	度
微镜交叉时间(5)		典型性能		1	3	μs
微镜开关时间(6)		典型性能	6			
图像性能(7)	工作区域中的亮像素(8)	灰度 10 屏幕(9)			0	微镜
	POM 中的亮像素 (10)	灰度 10 屏幕(9)			1	
	工作区域中的暗像素(11)	白色屏幕			4	
	相邻像素(12)	任何屏幕			0	
	工作区域中的不稳定像素(13)	任何屏幕			0	

(1) 相对于整个微镜阵列形成的平面进行测量。
(2) 表示位于同一器件上或位于不同器件上的任意两个单独微镜之间可能产生的变化。
(3) 对于某些应用，在整个系统光学设计中考虑微镜倾斜角的变化是至关重要的。对于某些系统光学设计，器件内的微镜倾斜角变化可能会导致从微镜阵列反射的光场出现可察觉的不均匀性。对于某些系统光学设计，器件之间的微镜倾斜角变化可能会导致色度变化、系统效率变化或系统对比度变化。
(4) 当微镜阵列着陆 (未停放) 时，每个单独微镜的倾斜方向由与每个单独微镜相关联的 CMOS 存储单元的二进制内容决定。二进制值 1 使微镜在打开状态方向上着陆。二进制值 0 使微镜在关闭状态方向上着陆。
(5) 微镜标称从一个着陆状态转换到相反着陆状态所需的时间。
(6) 微镜连续转换之间的最短时间。
(7) 验收条件：使用以下投影图像测试条件评估所有 DMD 图像质量性能返回值：
测试设置去伽玛校正应该是线性的
测试设置亮度和对比度应设置为标称值
投影图像的对角线尺寸应至少为 20 英寸
投影屏幕应具有 1 倍的增益
应以至少 38 英寸的观看距离查看投影图像
在所有图像质量测试期间，图像应处于焦点位置
(8) 亮度像素定义：卡在打开位置、明显比周围像素亮的单个像素或微镜
(9) 灰度 10 屏幕定义：屏幕的所有区域均采用以下设置进行着色：
红色 = 10/255
绿色 = 10/255
蓝色 = 10/255
(10) POM 定义：工作区域周围处于关闭状态的微镜的矩形边框
(11) 暗像素定义：卡在关闭位置、明显比周围像素暗的单个像素或微镜
(12) 相邻像素定义：共享公共边界或公共点的两个或多个卡住的像素，也称为集群
(13) 不稳定像素定义：不按加载到存储器中的参数顺序运行的单个像素或微镜。不稳定像素看起来与图像异步闪烁。

Copyright © 2025 Texas Instruments Incorporated

5.12 窗口特性

说明(1)		最小值	典型值	最大值
窗口材料			Corning Eagle XG	
窗口折射率	波长 546.1nm		1.5119	

(1) 有关更多信息，请参阅 节 6.5。

5.13 芯片组元件使用规格

DLP481XE DMD 需要与适用 DLP 芯片组的其他元件（包括那些包含或实现 TI DMD 控制技术的元件）结合使用才能实现可靠运行。TI DMD 控制技术包含用于操作或控制 DLP DMD 的 TI 技术和器件。

备注

TI 对因光学系统工作条件超过上述限制而导致的图像质量伪影或 DMD 故障不承担任何责任。

Copyright © 2025 Texas Instruments Incorporated

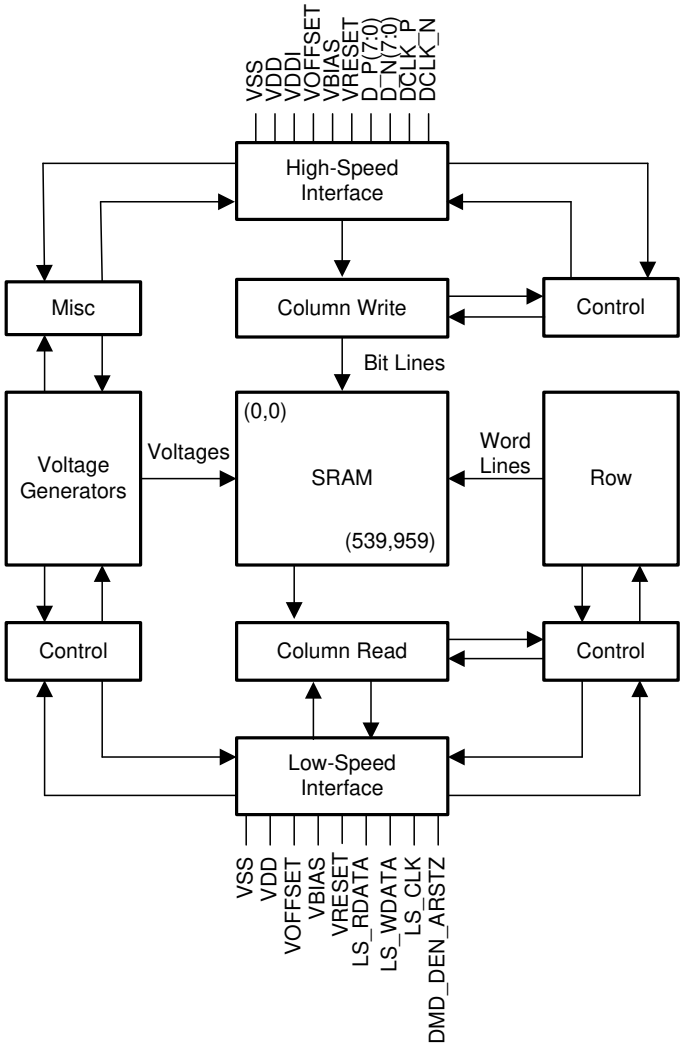
6 详细说明

6.1 概述

DLP481XE 数字微镜器件 (DMD) 是一款 0.48 英寸对角线空间光调制器，其中包含一个高反射铝微镜阵列。该 DMD 是一个电子输入、光学输出的微光机电系统 (MOEMS)。DMD 微镜的快速切换速度与先进的 DLP 图像处理算法相结合，使每个微镜能够在每个帧期间在屏幕上显示四个不同的像素，从而可以显示完整的 3840x 2400 像素图像。电气接口为低压差分信号 (LVDS)。该 DMD 由 1 位 CMOS 存储单元的二维阵列组成。该阵列排列为 M 个存储单元列乘以 N 个存储单元行的网格。请参阅*功能方框图*。通过改变底层 CMOS 寻址电路的地址电压和微镜复位信号 (MBRST)，可以单独控制微镜的正偏转角或负偏转角。

DLP 0.48 英寸 4K+ 芯片组由 DLP481XE DMD、DLPC8455 显示控制器和 DLPA3082 PMIC 组成。为确保可靠运行，DLP481XE DMD 必须始终与芯片组中指定的 DLP 显示控制器以及 PMIC 搭配使用。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 电源接口

该 DMD 需要 4 个直流电压：1.8V 源电压、V_{OFFSET}、V_{RESET} 和 V_{BIAS}。在典型配置中，所需的电压全部由 DLPA3082 PMIC 生成。

6.3.2 时序

此数据表指定了器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。时序基准负载不能作为任何特定系统环境的精确表示，也不能描述生产测试所呈现的实际负载。TI 建议系统设计人员使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。仅将指定的负载电容值用于交流时序信号的表征和测量。该负载电容值并不表示器件能够驱动的最大负载。

6.4 器件功能模式

DMD 功能模式由 DLPC8455 显示控制器控制。请参阅 DLPC8455 显示控制器数据表或联系 TI 应用工程师。

6.5 光学接口和系统图像质量注意事项

TI 对终端设备的光学性能不承担任何责任。要实现所需的终端设备光学性能，需要在众多元件和系统设计参数之间进行权衡。为了优化系统光学性能和图像质量，需要权衡光学系统设计参数。虽然无法不可能预见到每一个可以想象的应用，但投影仪图像质量和光学性能取决于是否符合以下各节中所述的光学系统工作条件。

6.5.1 数字光圈和杂散光控制

TI 建议由照明光学元件的数值孔径定义的光锥角与由投影光学元件的数值孔径定义的光锥角相同或较小。除非在照明和投影光瞳中添加了适当的孔径以阻挡来自投影透镜的平面光和杂散光，否则该角度不得超过标称器件微镜倾斜角。这种方式通常被称为“照明过驱”。DLP481XE 具有与 f/2.0 数值孔径相对应的 14.5° 倾斜角。微镜倾斜角定义了 DMD 将“打开”光路与任何其他光路分开的能力，包括来自 DMD 窗口、DMD 边框结构或 DMD 附近其他系统表面（例如棱镜或透镜表面）的不良平面状态镜面反射。如果照明光学元件或投影光学元件的数值孔径角超过微镜倾斜角，则可能出现对比度下降，且显示边框或有效显示区域易产生不良伪影。

6.5.2 光瞳匹配

TI 的光学和图像质量规格假定，照明光学元件的出射光瞳标称中心位于投影光学元件入射光瞳的 2° 范围内。光瞳失准会在显示边框和工作区域中产生不良伪影，这可能需要额外的系统孔隙来控制，尤其是在系统的数值孔隙超过像素倾斜角的情况下。

6.5.3 照明溢出

该器件的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙遮挡了正常视图中 DMD 芯片组件的结构，并且其尺寸设计符合多种光学工作条件。照亮窗口孔隙的溢出光会因窗口孔隙开口的边缘和屏幕上可见的其他表面异常而产生伪影。将照明光学系统设计为限制入射到窗口孔隙任何位置的光通量，使其不超过工作区域中平均通量水平的约 10%。根据特定系统的光学架构，窗口孔隙上的溢出光必须进一步减少到建议的 10% 以下才能被接受。

Copyright © 2025 Texas Instruments Incorporated

6.6 微镜阵列温度计算

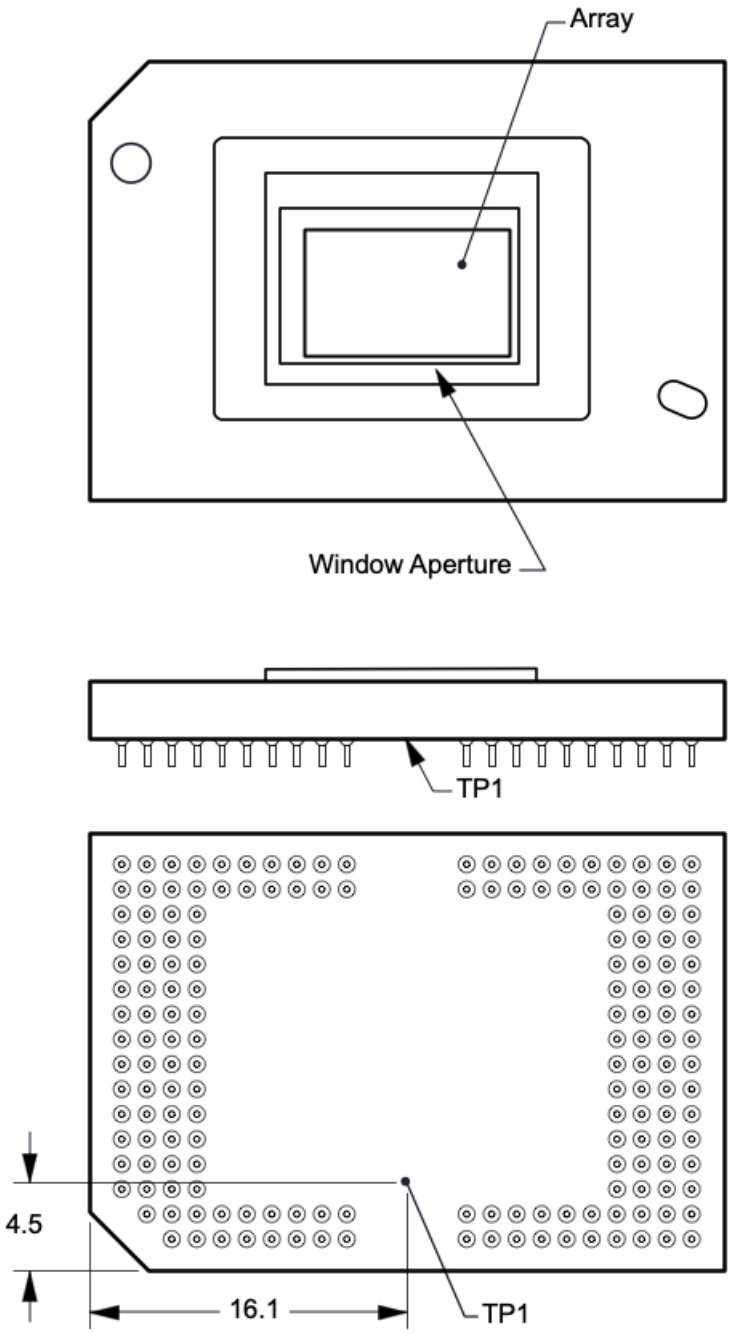


图 6-1. DMD 热测试点

Copyright © 2025 Texas Instruments Incorporated

微镜阵列温度无法直接测量，因此需要根据封装外部的测量点、封装热阻、电功率和照明热负荷进行分析计算。以下公式展示了阵列温度与基准陶瓷温度（如上所示的热测试 TP1）之间的关系。

$$T_{ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{ARRAY\text{-}TO\text{-}CERAMIC}) \quad (1)$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATION} \quad (2)$$

其中

- T_{ARRAY} = 计算得出的阵列温度 (°C)
- $T_{CERAMIC}$ = 测得的陶瓷温度 (°C)（TP1 位置）
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = 节 5.5 中指定的阵列至陶瓷 TP1 的封装热阻 (°C/W)
- Q_{ARRAY} = 阵列上的总 DMD 功率 (W)（电气 + 吸收）
- $Q_{ELECTRICAL}$ = 标称电功率 (W)
- $Q_{INCIDENT}$ = 入射照明光功率 (W)
- $Q_{ILLUMINATION}$ =（DMD 平均热吸收率 × $Q_{INCIDENT}$）(W)
- DMD 平均热吸收率 = 0.54

DMD 的电功率耗散是可变的，取决于电压、数据速率和工作频率。计算阵列温度时使用的标称电功率耗散为 0.6W。从光源吸收的功率是可变的，具体取决于微镜的工作状态和光源的强度。上面显示的公式对于单芯片或多芯片 DMD 系统有效。显示的公式假设有源阵列上的照明分布为 83.7%，阵列边界上的照明分布为 16.3%。

以下是典型投影应用的示例计算：

$$Q_{INCIDENT} = 35W \text{ (measured)} \quad (3)$$

$$T_{CERAMIC} = 50.0°C \text{ (measured)} \quad (4)$$

$$Q_{ELECTRICAL} = 0.6W \quad (5)$$

$$Q_{ARRAY} = 0.6W + (0.54 \times 35W) = 19.5W \quad (6)$$

$$T_{ARRAY} = 50.0°C + (19.5W \times 1.0°C/W) = 69.5°C \quad (7)$$

6.7 微镜功率密度计算

在计算不同波长带内 DMD 上的照明光功率密度时，会使用在 DMD 上测量的总光功率、照明溢出百分比、有源阵列面积，以及所需波长带内的光谱与总光谱光功率的比率。

- $ILL_{UV} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{VIS} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{IR} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \times 1000mW/W \div A_{ILL}$ (mW/cm^2)
- $ILL_{BLU} = [OP_{BLU\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{BLU1} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

其中：

- ILL_{UV} = DMD 上的 UV 照明功率密度 (mW/cm^2)
- ILL_{VIS} = DMD 上的 VIS 照明功率密度 (W/cm^2)

Copyright © 2025 Texas Instruments Incorporated

- ILL_{IR} = DMD 上的 IR 照明功率密度 (mW/cm^2)
- ILL_{BLU} = DMD 上的 BLU 照明功率密度 (W/cm^2)
- ILL_{BLU1} = DMD 上的 BLU1 照明功率密度 (W/cm^2)
- A_{ILL} = DMD 上的照明面积 (cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率 (W) (测量值)
- A_{ARRAY} = 阵列面积 (cm^2) (数据表)
- OV_{ILL} = 阵列外部 DMD 上总照度的百分比 (%) (光学模型)
- $OP_{UV-RATIO}$ = 波长 <410nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{VIS-RATIO}$ = 波长 ≥410nm 且 ≤800nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{IR-RATIO}$ = 波长 >800nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{BLU-RATIO}$ = 波长 ≥410nm 且 ≤475nm 的光功率与照明光谱中总光功率的比率 (光谱测量)
- $OP_{BLU1-RATIO}$ = 波长 ≥410nm 且 ≤440nm 的光功率与照明光谱中总光功率的比率 (光谱测量)

照明面积因照明溢出而异。DMD 上的总照明面积包括阵列面积和阵列周围的溢出面积。光学模型用于确定阵列外部 DMD 上总照度的百分比 (OV_{ILL}) 和有源阵列上总照度的百分比。根据这些值计算出照明面积 (A_{ILL})。假设整个阵列上的照明是均匀的。

根据测量到的照明光谱，计算出相关波长带内的光功率与总光功率的比率。

计算示例：

$$Q_{INCIDENT} = 35W \text{ (measured)} \quad (8)$$

$$A_{ARRAY} = (10.368mm \times 6.48mm) \div 100mm^2/cm^2 = 0.6718cm^2 \text{ (data sheet)} \quad (9)$$

$$OV_{ILL} = 16.3\% \text{ (optical model)} \quad (10)$$

$$OP_{UV-RATIO} = 0.00017 \text{ (spectral measurement)} \quad (11)$$

$$OP_{VIS-RATIO} = 0.99977 \text{ (spectral measurement)} \quad (12)$$

$$OP_{IR-RATIO} = 0.00006 \text{ (spectral measurement)} \quad (13)$$

$$OP_{BLU-RATIO} = 0.28100 \text{ (spectral measurement)} \quad (14)$$

$$OP_{BLU1-RATIO} = 0.03200 \text{ (spectral measurement)} \quad (15)$$

$$A_{ILL} = 0.6718cm^2 \div (1 - 0.163) = 0.8027cm^2 \quad (16)$$

$$ILL_{UV} = [0.00017 \times 35W] \times 1000\ mW/W \div 0.8027cm^2 = 7.413mW/cm^2 \quad (17)$$

$$ILL_{VIS} = [0.99977 \times 35W] \div 0.8027cm^2 = 43.59W/cm^2 \quad (18)$$

$$ILL_{IR} = [0.00006 \times 35W] \times 1000mW/W \div 0.8027cm^2 = 2.616mW/cm^2 \quad (19)$$

$$ILL_{BLU} = [0.28100 \times 35W] \div 0.8027cm^2 = 12.25W/cm^2 \quad (20)$$

$$ILL_{BLU1} = [0.03200 \times 35W] \div 0.8027cm^2 = 1.40W/cm^2 \quad (21)$$

Copyright © 2025 Texas Instruments Incorporated

6.8 窗口孔隙照明溢出计算

窗口孔隙关键区域的光学溢出量无法直接测量。对于在阵列上有均匀照明的系统，应使用在 DMD 上测得的总入射光功率以及 DMD 上指定关键区域的总光功率比值来确定光学溢出量。应使用光学模型来确定窗口孔隙关键区域的光功率百分比，并估算该区域的大小。

- $Q_{AP\text{-}ILL} = [Q_{INCIDENT} \times OP_{AP_ILL_RATIO}] \div A_{AP_ILL}$ (W/cm^2)

其中：

- $Q_{AP\text{-}ILL}$ = 窗口孔隙照明溢出 (W/cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率（瓦）（测量值）
- $OP_{AP_ILL_RATIO}$ = 窗口孔隙关键区域的光功率与 DMD 上的总光功率之比（光学模型）
- $A_{AP\text{-}ILL}$ = 窗口孔隙关键区域的大小 (cm^2)（数据表）
- OP_{CA_RATIO} = 入射光功率占窗口孔隙关键区域的百分比 (%)（光学模型）

Copyright © 2025 Texas Instruments Incorporated

计算示例：

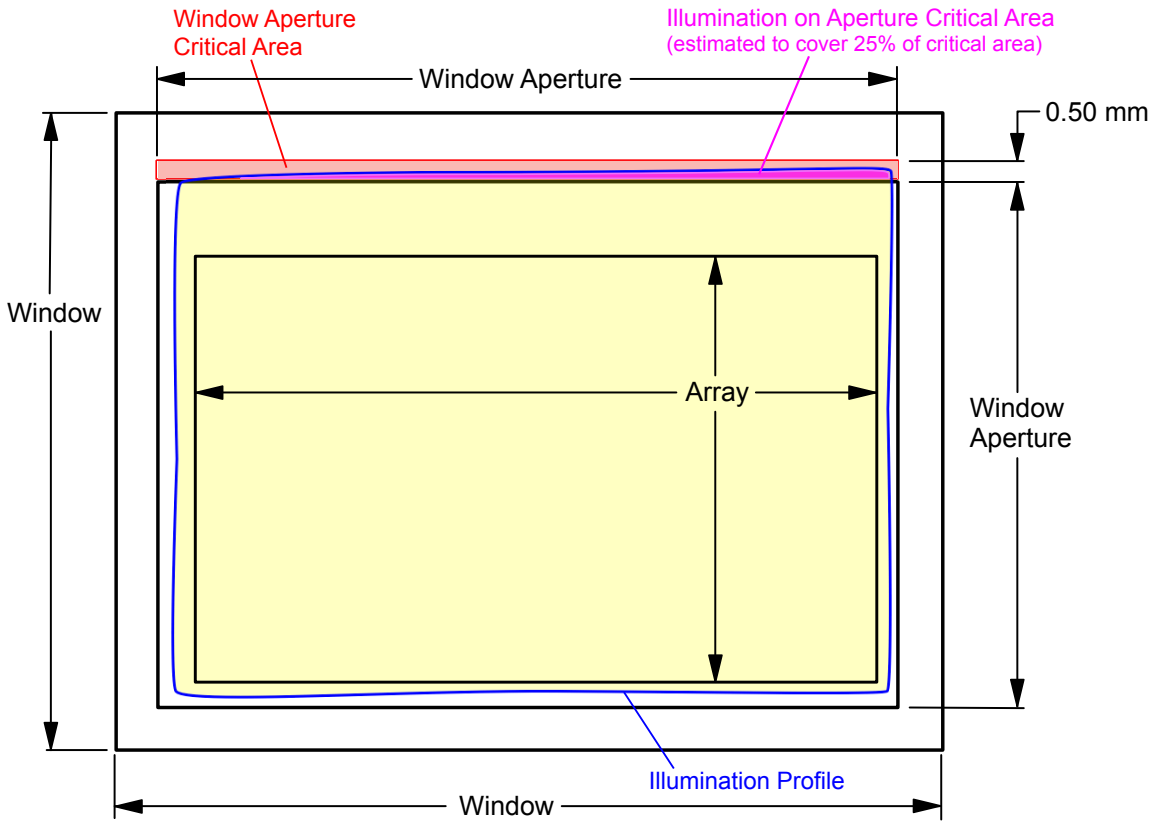


图 6-2. 窗口孔隙溢出示例

请参阅图中的关键孔隙长度。

$Q_{INCIDENT}$ = 35W (measured) (22)

$OP_{AP_ILL_RATIO}$ = 0.312% (optical model) (23)

OV_{CA_RATIO} = 25% (optical model) (24)

Length of the window aperture for critical area = 1.2103cm (data sheet) (25)

Width of critical area = 0.050cm (data sheet) (26)

$A_{AP\text{-}ILL}$ = 1.2103cm × 0.050cm = 0.06052 (cm^2) (27)

$Q_{AP\text{-}ILL}$ = (35W × 0.00312) ÷ (0.06052cm^2 × 0.25) = 7.2(W/cm^2) (28)

Copyright © 2025 Texas Instruments Incorporated

6.9 微镜着陆打开/着陆关闭占空比

6.9.1 微镜着陆开/着陆关占空比的定义

微镜着陆开/着陆关占空比（着陆占空比）表示单个微镜着陆于打开状态的时长（百分比）与同一微镜着陆于关闭状态的时长之比。

例如，100/0 的着陆占空比表示基准像素在 100% 的时间内处于打开状态（在 0% 的时间内处于关闭状态）；而 0/100 表示像素在 100% 的时间内处于关闭状态。同样，50/50 表示像素在 50% 的时间内处于打开状态（在 50% 的时间内处于关闭状态）。

请注意，在评估着陆占空比时，从一种状态（打开或关闭）切换到另一种状态（关闭或打开）所花费的时间被认为可以忽略不计，因此被忽略。

由于微镜只能以一种状态或另一种状态（打开或关闭）着陆，因此两个数字（百分比）的总和始终为 100。

6.9.2 DMD 的着陆占空比和使用寿命

了解（终端产品或应用的）长期平均着陆占空比很重要，因为使所有（或部分）DMD 微镜阵列（也称为有源阵列）长时间处于非对称着陆占空比会缩短 DMD 的使用寿命。

请注意，相关的是着陆占空比的对称性或不对称性。着陆占空比的对称性取决于两个数字（百分比）的接近程度。例如，50/50 的着陆占空比是完全对称的，而 100/0 或 0/100 的着陆占空比是完全不对称的。

6.9.3 着陆占空比和运行 DMD 温度

DMD 工作时的温度和着陆占空比会相互作用，从而影响 DMD 的使用寿命，我们可以利用这种相互作用来减少非对称着陆占空比对 DMD 使用寿命的影响。这是在图 5-1 显示的降额曲线中进行了量化。该曲线的重要性在于：

- 该曲线上的所有点均表示相同的使用寿命。
- 该曲线上方的所有点均表示较短的使用寿命（离曲线越远，使用寿命越短）。
- 该曲线下方的所有点均表示较长的使用寿命（离曲线越远，使用寿命越长）。

实际上，该曲线指定了给定长期平均着陆占空比下的最高 DMD 工作温度。

6.9.4 估算产品或应用的长期平均着陆占空比

在给定的时间段内，给定像素的着陆占空比取决于该像素显示的图像内容。

例如，在最简单的情况下，当在给定时间段内在给定像素上显示纯白色时，该像素将在该时间段内在 100/0 着陆占空比下运行。同样，当显示纯黑色时，像素在 0/100 着陆占空比下运行。

在两个极端之间（暂时忽略可能对传入图像应用的颜色和任何图像处理），着陆占空比与灰度值一一对应，如 表 6-1 中所示。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 灰度值和着陆占空比

灰度值	着陆占空比
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

要考虑色彩再现（但仍忽略图像处理），需要了解给定像素的每种构成原色（红色、绿色或蓝色）的颜色强度（0% 至 100%）以及每种原色的颜色周期时间，其中“颜色周期时间”是必须显示某种给定原色以实现所需白点的帧时间的总百分比。

使用 方程式 29 计算给定时间段内给定像素的着陆占空比。

$$\text{Landed Duty Cycle} = (\text{Red_Cycle_\%} \times \text{Red_Scale_Value}) + (\text{Green_Cycle_\%} \times \text{Green_Scale_Value}) + (\text{Blue_Cycle_\%} \times \text{Blue_Scale_Value}) \quad (29)$$

其中

- Red_Cycle_% 表示显示红色以达到所需白点的帧时间百分比
- Green_Cycle_% 表示显示绿色以达到所需白点的帧时间百分比
- Blue_Cycle_% 表示显示蓝色以达到所需白点的帧时间百分比

例如，假设红色、绿色和蓝色周期时间分别为 30%、50% 和 20%（以实现所需的白点），那么各种红色、绿色和蓝色强度组合的着陆占空比如 表 6-2 和 表 6-3 所示。

表 6-2. 全色的着陆占空比示例，颜色百分比

周期百分比		
红色	绿色	蓝光
30%	50%	20%

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 全色的着陆占空比示例

标度值			着陆占空比
红色	绿色	蓝光	
0%	0%	0%	0/100
100%	0%	0%	30/70
0%	100%	0%	50/50
0%	0%	100%	20/80
0%	12%	0%	6/94
0%	0%	35%	7/93
60%	0%	0%	18/82
0%	100%	100%	70/30
100%	0%	100%	50/50
100%	100%	0%	80/20
0%	12%	35%	13/87
60%	0%	35%	25/75
60%	12%	0%	24/76
100%	100%	100%	100/0

在估算着陆占空比时要考虑的最后一个因素是应用的图像处理。在 DLPC8455 控制器内，伽马函数会影响着陆占空比。

伽马函数是 $Output_Level = A \times Input_Level^{Gamma}$ 形式的幂函数，其中 A 是一个比例因子，通常设置为 1。

在 DLPC8455 控制器中，伽马以逐像素的方式应用于传入的图像数据。典型的伽马因子为 2.2，可转换输入的数据，如图 6-3 所示。

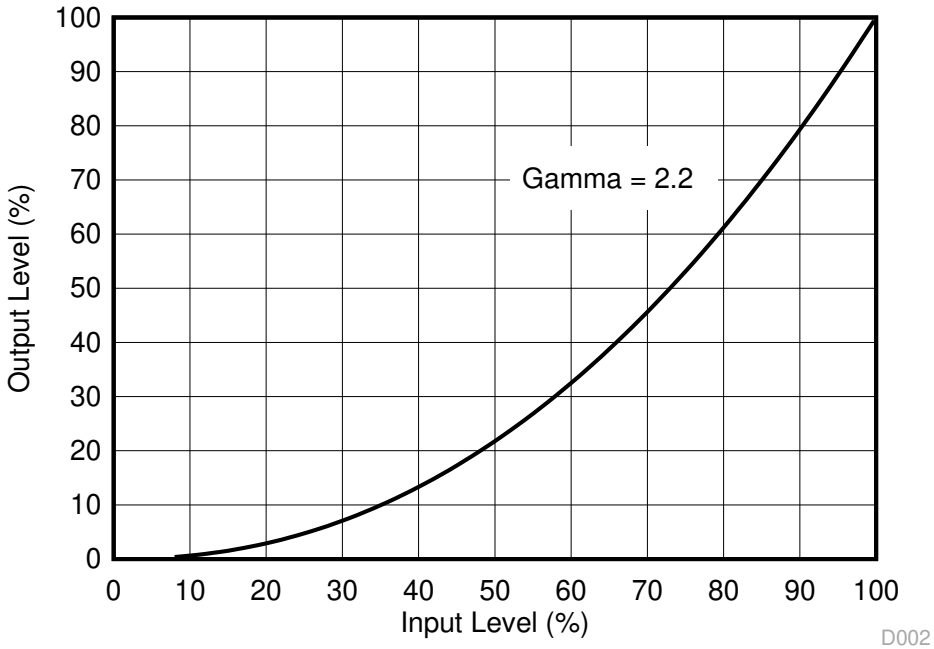


图 6-3. 伽马 = 2.2 的示例

如 图 6-3 所示，如果给定输入像素的灰度值为 40%（应用伽马之前），则应用伽马之后灰度值为 13%。因此，伽马会直接影响像素的显示灰度水平，所以也会直接影响像素的着陆占空比。

还必须考虑在 DLPC8455 控制器之前进行的图像处理。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

DMD 是空间光调制器，可将来自光源的入射光反射到两个方向之一，主要方向是进入投影光学元件或收集光学元件。每个应用主要源自系统的光学架构和进入 DLPC8455 控制器的数据格式。角照式 DMD 中的高倾斜度像素可提高亮度性能，并为厚度受限的应用实现更小的系统尺寸。使用 DLP481XE 的典型应用包括激光电视、家庭影院和商用投影仪。

DMD 上电和断电时序由 DLPC8455 通过 DLPA3082 PMIC 进行严格控制。如需了解上电和断电规格，请参阅节 8。为提供可靠运行，DLP481XE DMD 必须始终与 DLPC8455 控制器和 DLPA3082 PMIC 配合使用。

7.2 典型应用

DLP481XE DMD 与 DLPC8455 数字控制器和电源管理器件相结合，可为明亮、多彩的显示应用提供全面 4K+ 分辨率。典型的 RGB 激光或 LED 系统融合了 DLP481XE DMD、DLPC8455 显示控制器、DLPA3082 稳压器和外部照明驱动器。此外，激光荧光系统还包括 DLPA100 电机驱动器。 图 7-1 展示了 DLP 0.48 英寸 4K+ 芯片组的系统方框图。

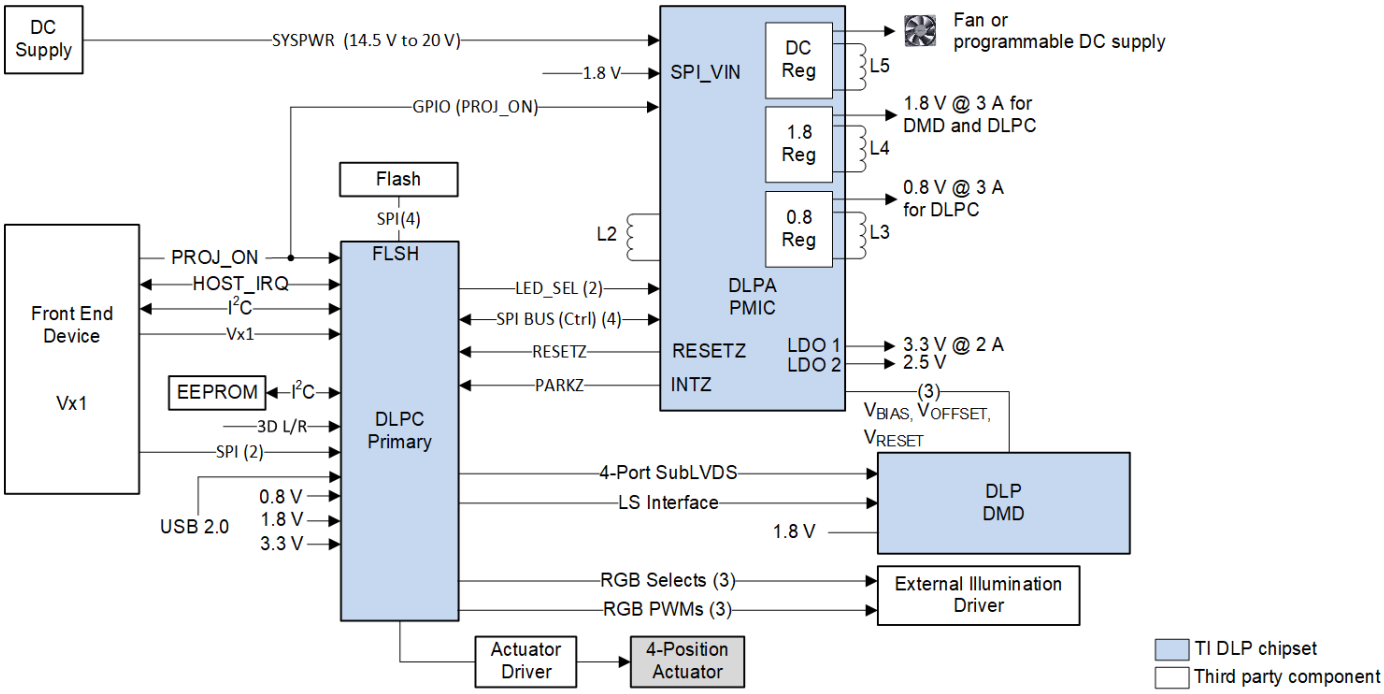


图 7-1. 采用外部照明驱动器的典型 4K+ 超高清系统图

7.2.1 设计要求

显示系统的其他核心元件包括光源、照明和投影光学元件的光学引擎、其他电气元件和机械部件以及软件。使用的照明类型和所需的亮度会对整个系统设计和尺寸产生重大影响。

显示系统使用 DLP481XE 作为核心成像器件，并包含一个 0.48 英寸微镜阵列。DLPC8455 控制器是 DMD 与系统其余部分之间的数字接口，从前端接收器获取数字输入，并通过高速接口驱动 DMD。DLPA3082 PMIC 用作控

Copyright © 2025 Texas Instruments Incorporated

制器的电压稳压器，而 DLPA100 是滤色轮和荧光轮电机控制器。DLPA3082 PMIC 还用作电压稳压器，并提供 DMD 复位电压、偏移和偏置电压。

7.2.2 详细设计过程

对于完整的 DLP 系统，需要包含 DLP481XE DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。

为确保可靠运行，DMD 必须始终与 DLPC8455 显示控制器和 DLPA3082 PMIC 搭配使用。请参阅 TI DLP 数字微镜器件的 PCB 设计要求，了解 DMD 子组件的 DMD 电路板设计和制造处理。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线

在典型的投影仪应用中，DMD 在屏幕上的光通量取决于投影仪的光学设计。照明光学系统和投影光学系统的效率和总功率决定了投影仪的总光输出。DMD 本质上是一种线性空间光调制器，因此其效率与光输出成正比。图 7-2 说明了激光荧光体照明系统的激光输入光功率与光输出之间的关系，其中的荧光体不处于热淬极限状态。

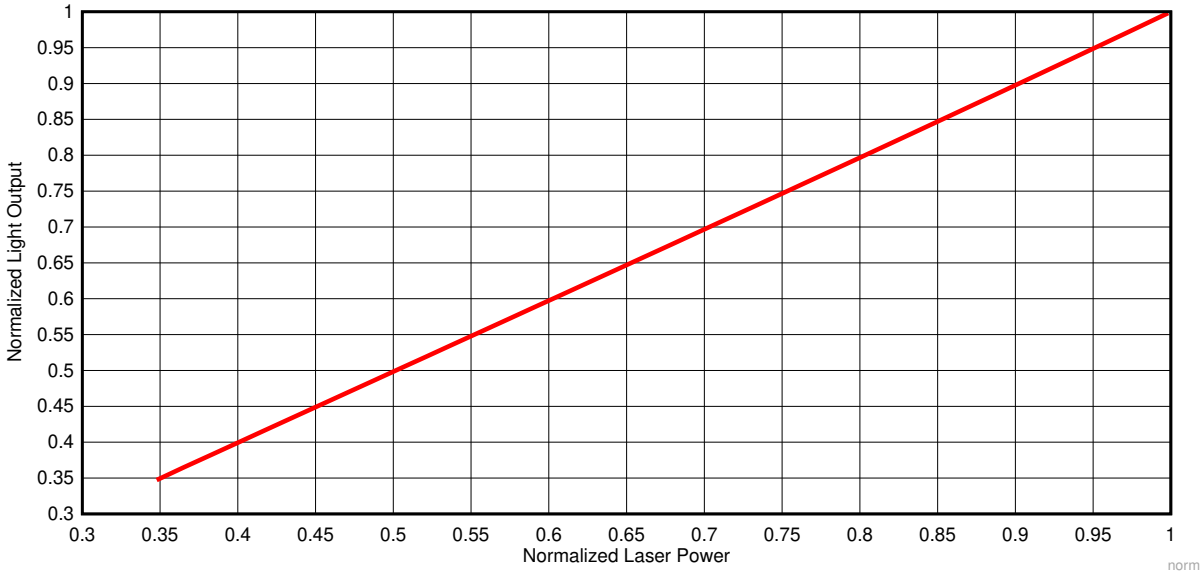
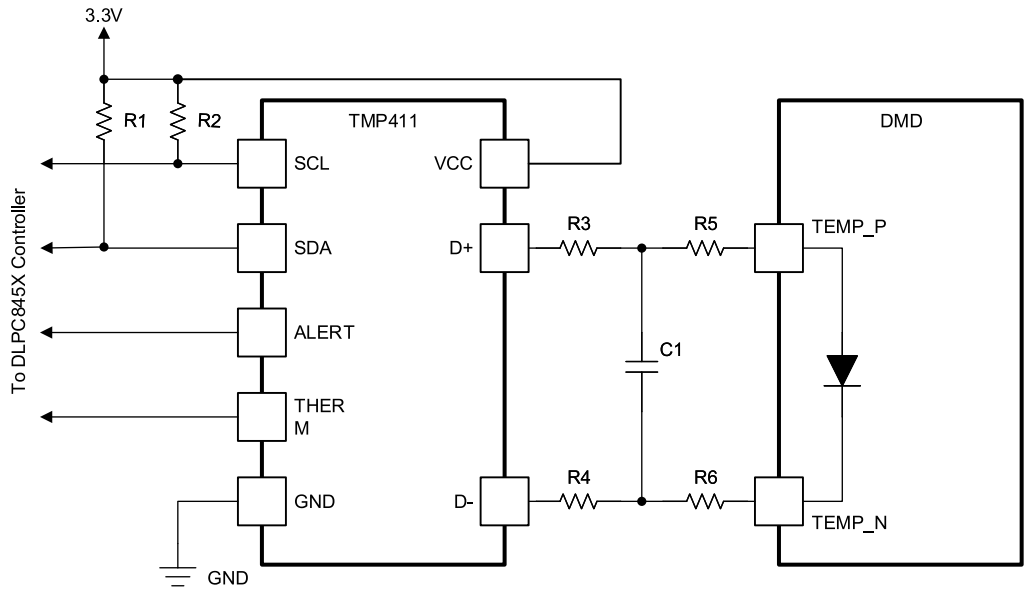


图 7-2. 激光荧光体照明的归一化光输出与归一化激光功率间的关系

7.3 温度传感器二极管

DMD 具有内置热敏二极管，用于测量微镜阵列外芯片某角的温度。热敏二极管可以与 TMP411 温度传感器连接，如 图 7-3 中所示。软件应用程序包含用于配置 TMP411 以读取 DLP481XE DMD 温度传感器二极管数据的功能。客户可以使用这些数据在整体系统设计中整合额外的功能，例如调节照明、风扇速度等。TMP411 与 DLPC8455 控制器之间的所有通信均通过 I^2C 接口进行。TMP411 通过表 4-1 中列出的引脚连接至 DMD。

如果不使用温度传感器，则 TEMP_N 和 TEMP_P 引脚必须保持未连接 (NC) 状态。



A. 为清晰起见，图中省略了细节

Copyright © 2025 Texas Instruments Incorporated

B. 有关系统电路板布局布线建议，请参阅 TMP411 数据表。
C. 有关 R1、R2、R3、R4 和 C1 的建议元件值，请参阅 TMP411 数据表和 TI 参考设计。
D. R5 = 0Ω。R6 = 0Ω。将 0Ω 电阻器靠近 DMD 封装引脚放置。

图 7-3. TMP411 示例原理图

Copyright © 2025 Texas Instruments Incorporated

8 电源相关建议

运行 DMD 需要以下所有电源：

- V_{SS}
- V_{BIAS}
- V_{DD}
- V_{DDI}
- V_{OFFSET}
- V_{RESET}

DMD 上电和断电时序由 DLP 显示控制器严格控制。

小心

为了确保 DMD 可靠运行，必须遵循以下电源时序要求。如果不遵循规定的上电和断电要求，则可能会影响器件的可靠性。请参阅图 8-1 中的 DMD 电源时序要求。

在上电和断电操作期间，V_{BIAS}、V_{DD}、V_{DDI}、V_{OFFSET} 和 V_{RESET} 电源必须进行协调。如果未满足以下任何要求，则会导致 DMD 的可靠性和寿命显著降低。另外还必须连接公共接地 V_{SS}。

表 8-1. 电源时序要求

符号	参数	说明	最小值	典型值	最大值	单位
t_{DELAY}	延迟要求	从 V_{OFFSET} 上电到 V_{BIAS} 上电	2			ms
V_{OFFSET}	电源电压电平	在上电序列延迟开始时			6	V
V_{BIAS}	电源电压电平	在上电序列延迟结束时			6	V

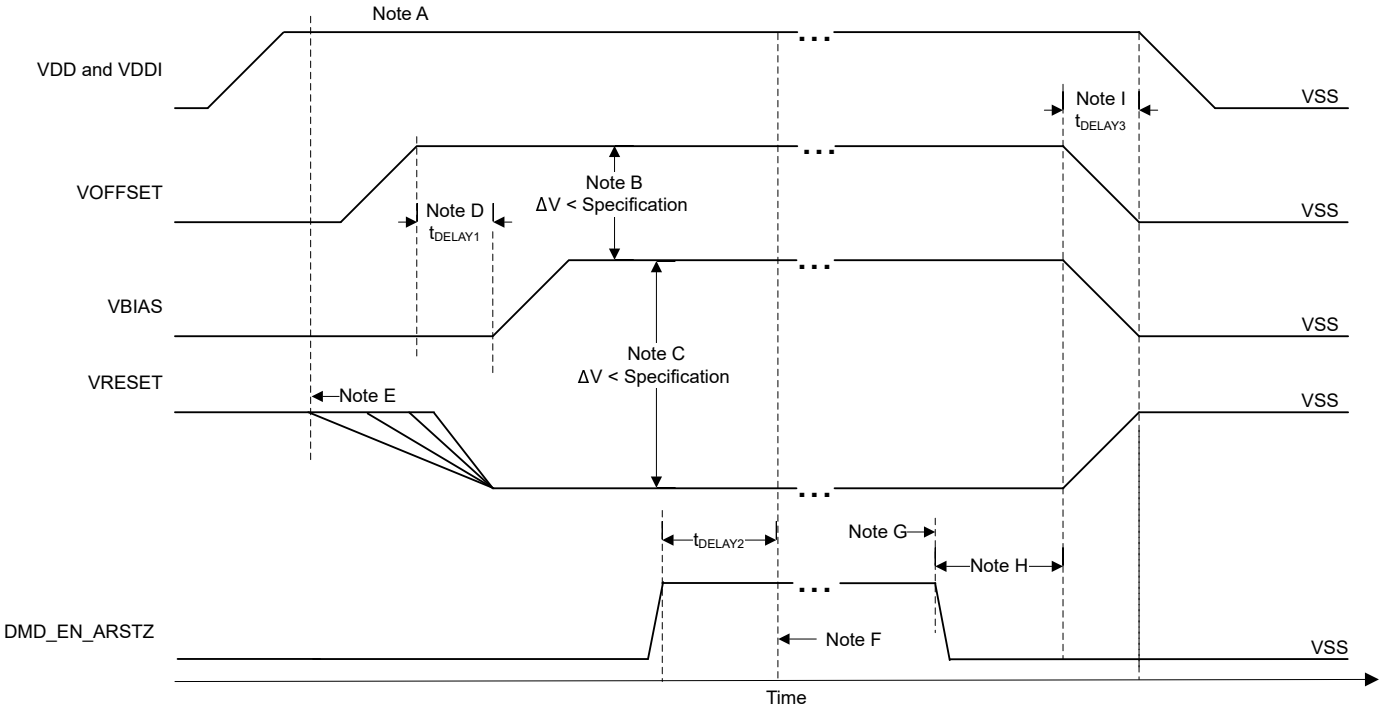
8.1 DMD 电源上电过程

- 在上电期间，V_{DD} 和 V_{DDI} 必须始终在 DMD 上施加 V_{OFFSET}（加上 *DMD 电源要求* 中指定的 Delay1）、V_{BIAS} 和 V_{RESET} 电压之前启动并稳定。
- 在上电期间，严格要求 V_{BIAS} 和 V_{OFFSET} 之间的电压差值必须处于 *建议运行条件* 中所示的指定限值范围内。
- 在上电期间，针对 V_{RESET} 相对于 V_{BIAS} 的时序没有要求。
- 上电期间的电源转换率非常灵活，前提是瞬态电压电平符合 *绝对最大额定值*、*建议运行条件* 和 *DMD 电源要求* 中指定的要求。
- 上电期间，只有在 V_{DD} 稳定至 *建议运行条件* 中列出的工作电压后，LVCMOS 输入引脚才能被驱动为高电平。

8.2 DMD 电源断电过程

- 在断电期间，必须提供 V_{DD} 和 V_{DDI}，直到 V_{BIAS}、V_{RESET} 和 V_{OFFSET} 放电至指定的接地限制范围内。请参阅 *DMD 电源要求*。
- 在断电期间，严格要求 V_{BIAS} 和 V_{OFFSET} 之间的电压差值必须处于 *建议运行条件* 中所示的指定限值范围内。
- 在断电期间，针对 V_{RESET} 相对于 V_{BIAS} 的时序没有要求。
- 断电期间的电源转换率非常灵活，前提是瞬态电压电平符合 *绝对最大额定值*、*建议运行条件* 和 *DMD 电源要求* 中指定的要求。
- 在断电期间，LVCMOS 输入引脚电压必须小于 *建议运行条件* 中指定的值。

Copyright © 2025 Texas Instruments Incorporated



A. 请参阅 *引脚功能表* 的 *引脚配置和功能* 部分。
B. 为了防止电流过大，电源电压差值 $|V_{OFFSET} - V_{BIAS}|$ 必须小于 *建议运行条件* 中指定的限值。
C. 为了防止电流过大，电源电压差值 $|V_{BIAS} - V_{RESET}|$ 必须小于 *建议运行条件* 中指定的限值。
D. 根据 *DMD 电源要求* 中的 Delay1 规格，V_{BIAS} 必须在 V_{OFFSET} 上电后上电。
E. DLP 控制器软件启动全局 V_{BIAS} 命令。
F. DMD 微镜停放序列完成后，DLP 控制器软件启动硬件断电，从而激活 DMD_EN_ARSTZ 并禁用 V_{BIAS}、V_{RESET} 和 V_{OFFSET}。
G. 在断电情况下，DLP 控制器硬件执行紧急 DMD 微镜停放程序，DMD_EN_ARSTZ 变为低电平。
H. 根据 *DMD 电源要求* 中的 Delay2 规格，V_{DD} 必须保持高电平，直到 V_{OFFSET}、V_{BIAS} 和 V_{RESET} 变为低电平。
I. 为了防止电流过大，电源电压差值 $|V_{DDI} - V_{DD}|$ 必须小于 *建议运行条件* 中指定的限值。

图 8-1. DMD 电源要求

表 8-2. DMD 电源要求

参数	说明	最小值	标称值	最大值	单位
Delay1(1)	从 V_{OFFSET} 稳定至建议工作电压到 V_{BIAS} 和 V_{RESET} 上电的延迟。	1	2		ms
Delay2(1)	V_{OFFSET}、V_{BIAS} 和 V_{RESET} 上电后 V_{DD} 必须保持高电平的延迟。	50			µs

(1) 请参阅 *DMD 电源要求*。

Copyright © 2025 Texas Instruments Incorporated

9 布局

9.1 布局指南

DLP481XE DMD 使用中介层连接到 PCB 或柔性电路。对于长度匹配和阻抗的其他布局指南，请参阅 DLPC8455 控制器数据表。有关详细的布局示例，请参阅布局设计文件。路由到 DLP481XE DMD 的一些布局指南包括：

- 匹配 DLPC8455 控制器数据表中指定的 LS_WDATA 和 LS_CLK 信号的长度。
- 匹配 DLPC8455 控制器数据表中指定的 HS_bus 差分信号的长度。
- 尽可能减少过孔、层变更和用于 HS 总线信号的转数。
- 电源电容需求可能因设计而异。如需通用指南，请参阅布局设计文件。验证该设计上的所有电源是否都在 DMD 的建议工作范围内运行。

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

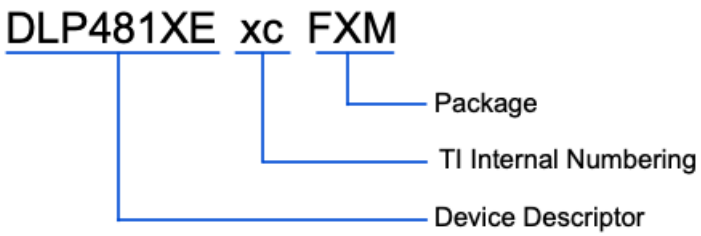
10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 器件支持

10.2.1 器件命名规则

图 10-1. 器件型号说明

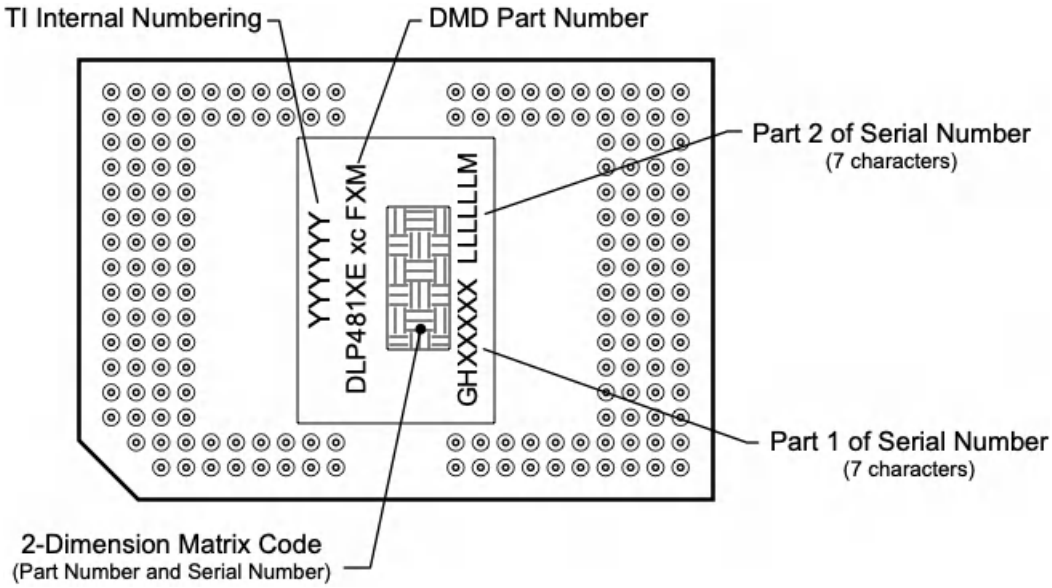


10.2.2 器件标识

器件标识包括人类可读的信息和二维矩阵码。图 10-2 展示了人类可读信息。二维矩阵码是一个字母数字字符串，其中包含 DMD 器件型号以及序列号的第 1 部分和第 2 部分。

示例：

图 10-2. DMD 标识位置



Copyright © 2025 Texas Instruments Incorporated

10.3 文档支持

10.3.1 相关文档

以下文档包含与该 DMD 一起使用的芯片组元件相关的更多信息。

- 德州仪器 (TI)，DLPC8455 控制器数据表
- 德州仪器 (TI)，DLPA3082 PMIC 数据表
- 德州仪器 (TI)， DLPA100 电机驱动器数据表

10.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.6 商标

TI E2E™ is a trademark of Texas Instruments.
DLP® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

Copyright © 2025 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP481XE0FXM	Active	Production	CPGA (FXM) | 173	33 | JEDEC TRAY (5+1)	Yes	NIPDAU	N/A for Pkg Type	0 to 70	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

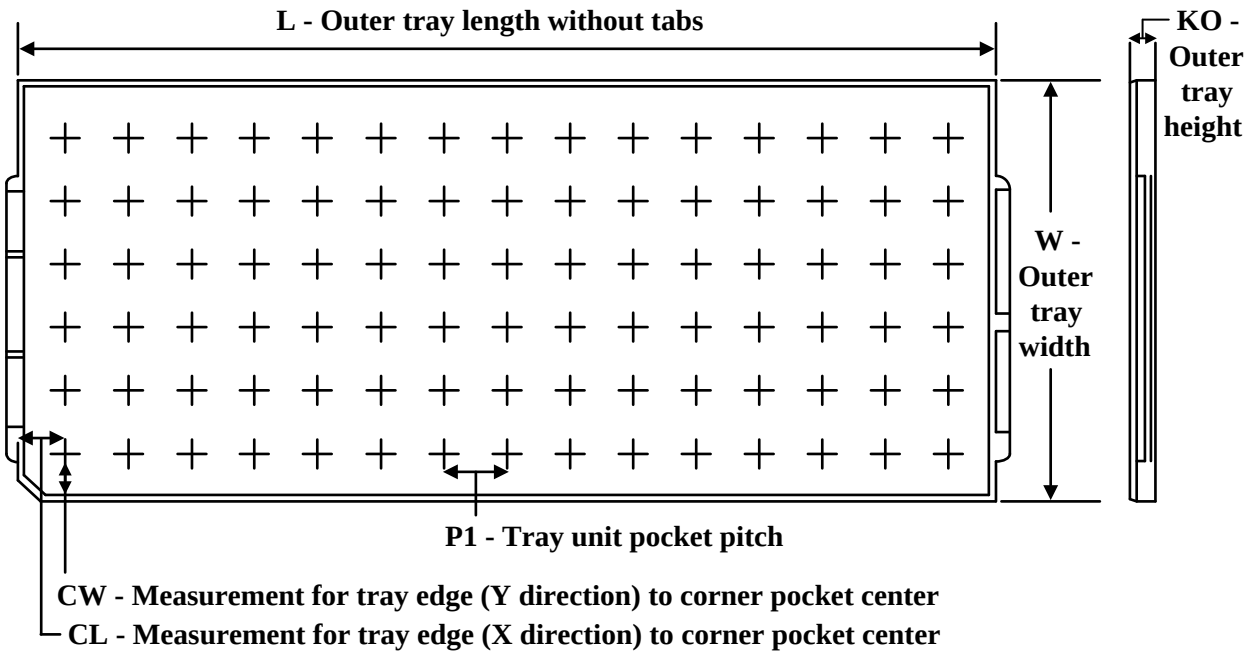
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DLP481XE0FXM	FXM	CPGA	173	33	3 x 11	150	315	135.9	12190	27.5	20	27.45

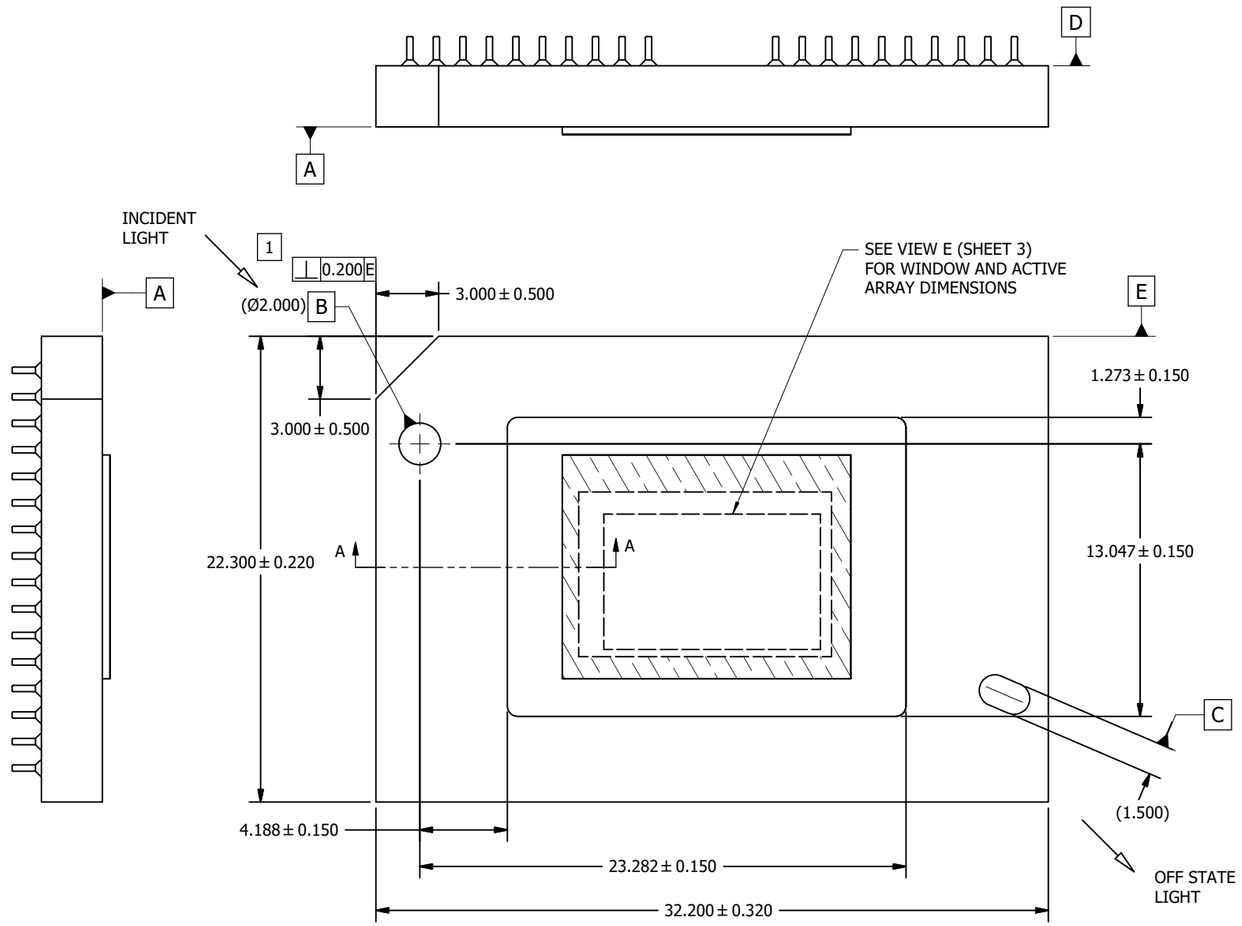
© COPYRIGHT 2024 TEXAS INSTRUMENTS
UN-PUBLISHED, ALL RIGHTS RESERVED.

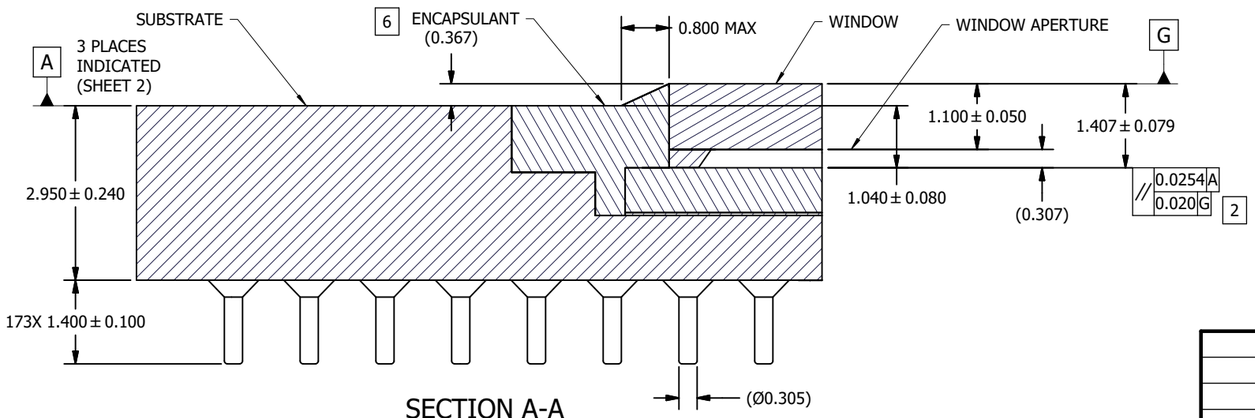
REVISIONS

REV	DESCRIPTION	DATE	BY
A	ECO 2209564: INITIAL RELEASE	8/06/2024	JER

NOTES UNLESS OTHERWISE SPECIFIED:

1. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE.
2. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY.
3. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM VALUE OF 0.8 DEGREES.
4. SUBSTRATE SYMBOLIZATION PAD AND PLATING AT BOTTOM OF DATUMS B AND C HOLES TO BE ELECTRICALLY CONNECTED TO VSS PLANE WITHIN THE SUBSTRATE.
5. BOUNDARY MIRRORS SURROUNDING THE ACTIVE ARRAY.
6. MAXIMUM ENCAPSULANT PROFILE SHOWN.
7. ENCAPSULANT ALLOWED ON THE SURFACE OF THE CERAMIC IN THE AREA SHOWN IN VIEW B (SHEET 2). ENCAPSULATION SHALL NOT EXCEED 0.2 THICKNESS MAXIMUM.
8. SUBSTRATES PLATED WITH Ni/Au SHALL HAVE THE THREE-DIGIT NUMERICAL MARKING IN THE AREA ABOVE THE SYMBOLIZATION PAD. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE MARKING IN THE AREA BELOW THE SYMBOLIZATION PAD.





SECTION A-A
SCALE 20 : 1

NONE	0314DA
NEXT ASSY	USED ON
APPLICATION	

THIRD ANGLE PROJECTION

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES:
  - ANGLES ± 1°
  - 2 PLACE DECIMALS ± 0.25
  - 1 PLACE DECIMALS ± 0.50
- ~~DIMENSIONAL LIMITS APPLY BEFORE PROCESSES~~
- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5M-1994
- ~~REMOVE ALL BURRS AND SHARP EDGES~~
- PARENTHETICAL INFORMATION FOR REFERENCE ONLY

		DATE
DRAWN	J. RANGEL	5/20/2024
ENGINEER	H. GAGLIARDI	5/20/2024
QA/CE	M. DORAK	8/6/2024
CM	M. GARCIA	8/6/2024
APPROVED	J. McKINLEY	8/8/2024

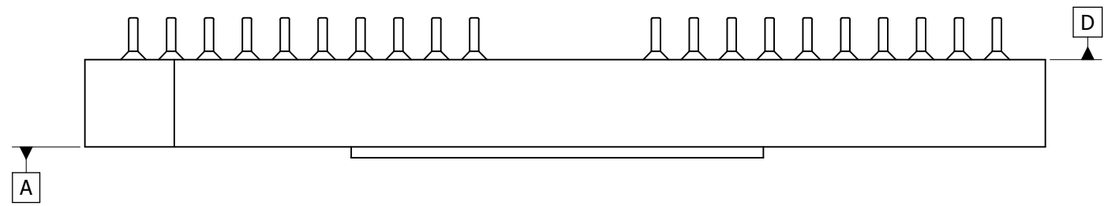
TEXAS INSTRUMENTS
Dallas Texas

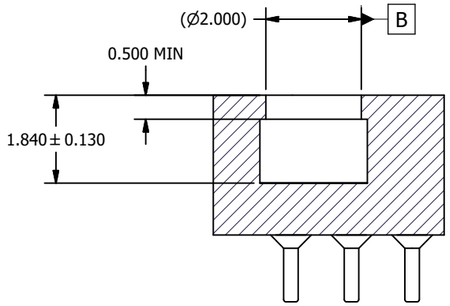
TITLE
ICD, MECHANICAL, DMD
.48" SST subLVDS SERIES 460
(FXM PACKAGE)

SIZE	DWG NO	REV
D	2519197	A

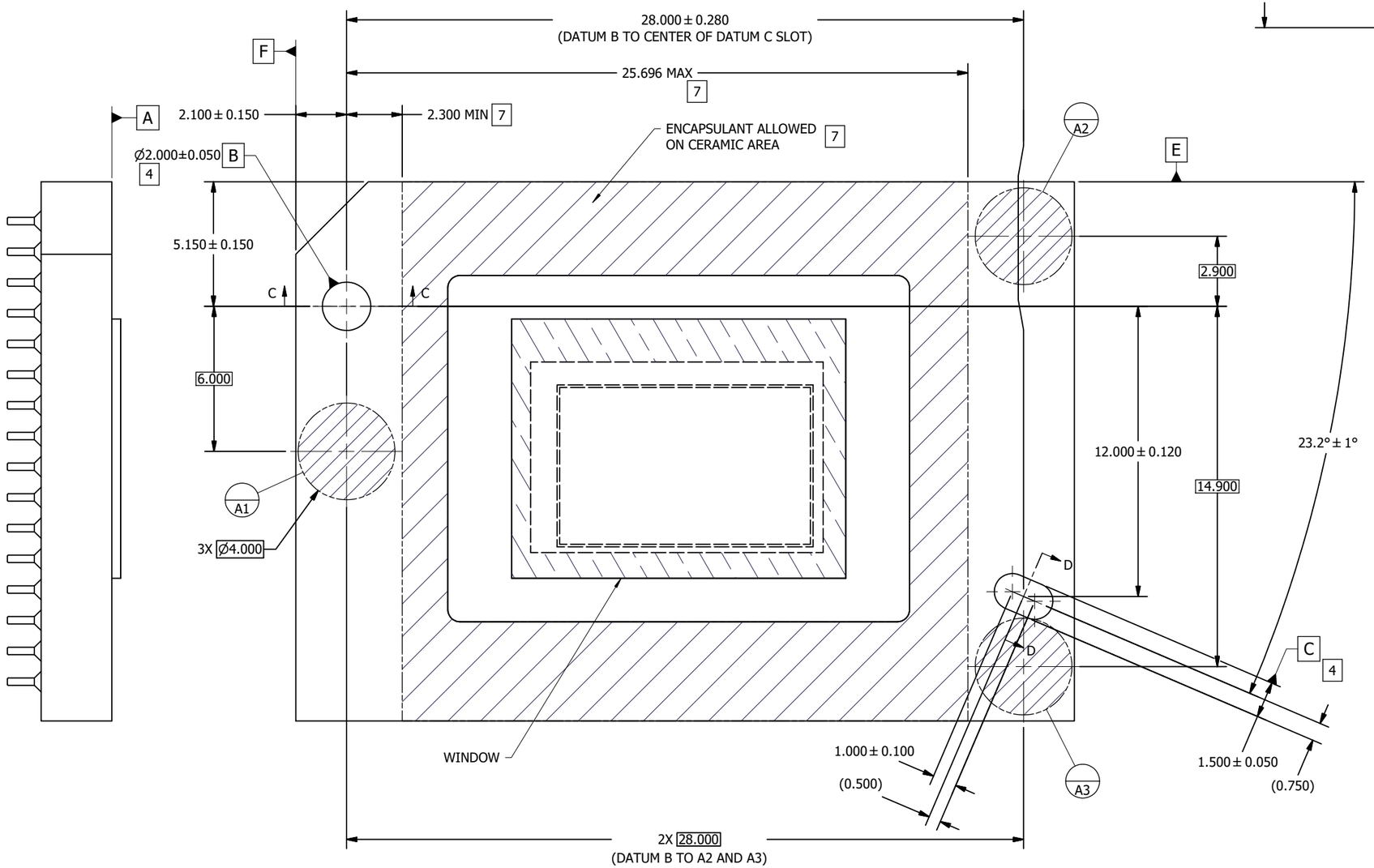
SCALE 7:1 SHEET 1 OF 4

INV2013-DLPa

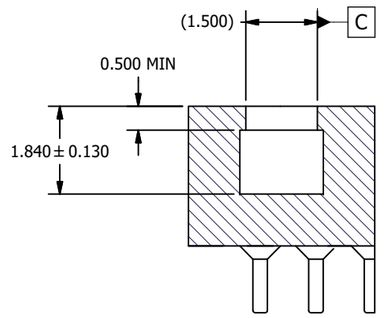




SECTION C-C
DATUM B
SCALE 16 : 1



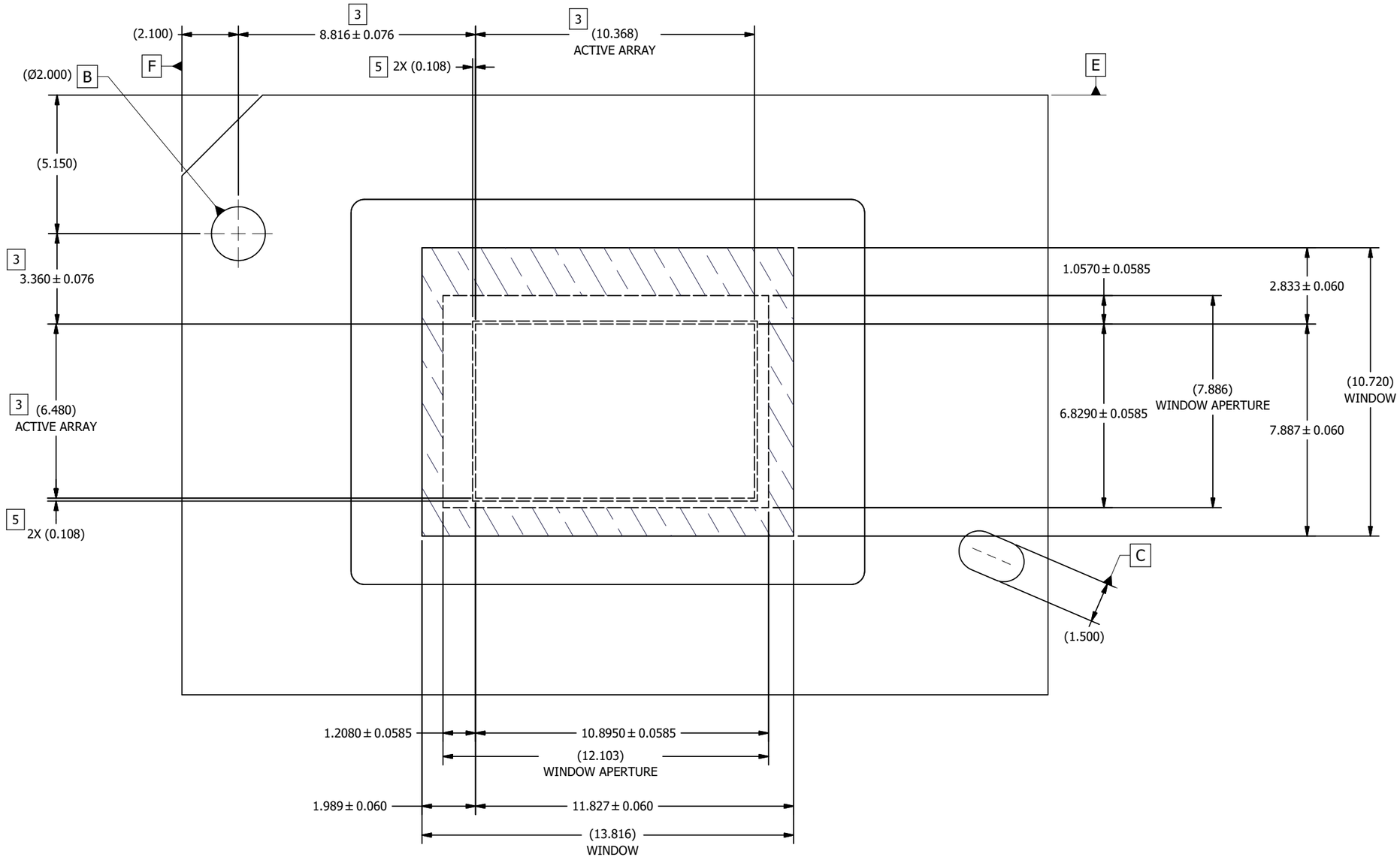
VIEW B
DATUMS AND ENCAPSULANT ALLOWABLE AREA
SCALE 10 : 1



SECTION D-D
DATUM C
(VIEW ROTATED FOR CLARITY)
SCALE 16 : 1

TEXAS INSTRUMENTS Dallas Texas	DRAWN J. RANGEL	DATE 5/20/2024	SIZE D	DWG NO 2519197	REV A
			SCALE	SHEET 2 OF 4	

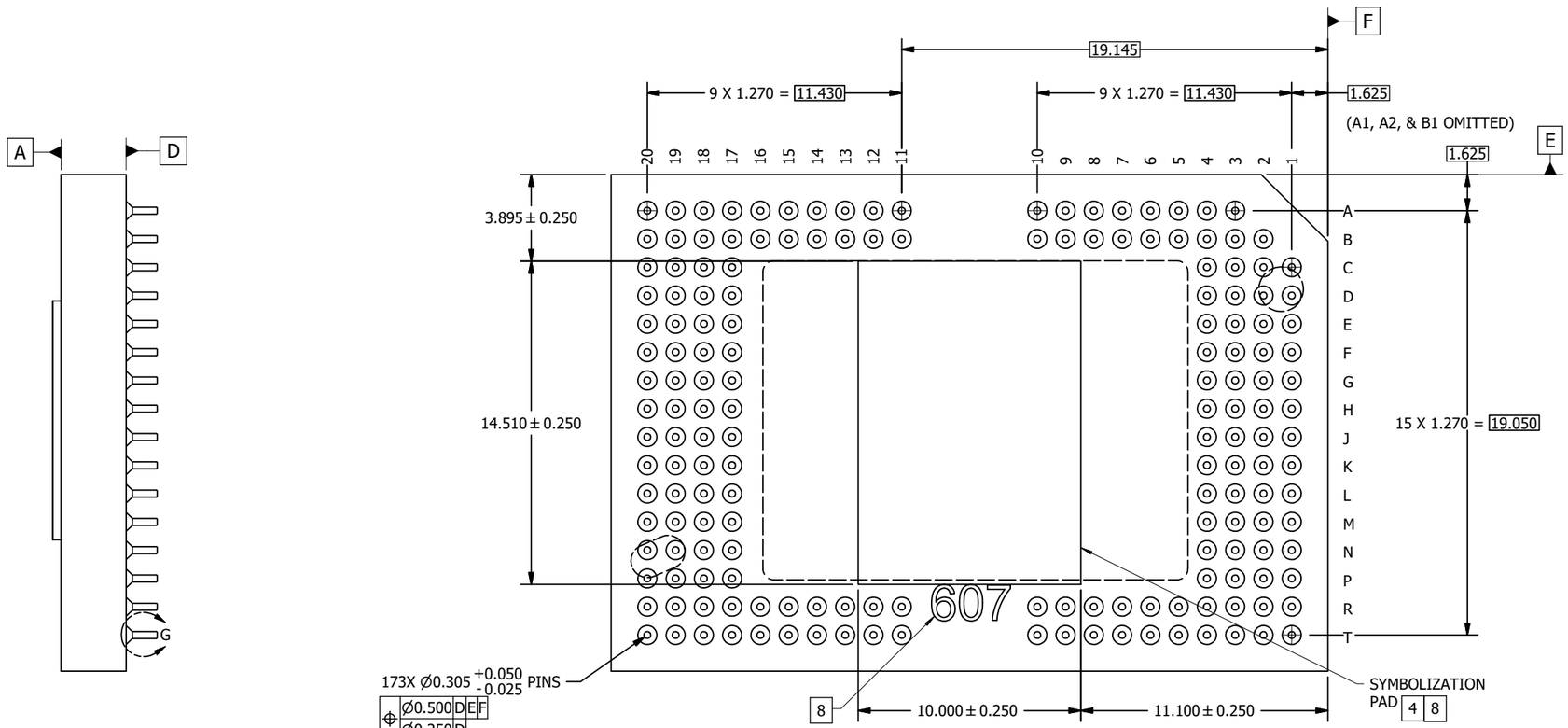
INV2013-DLPa



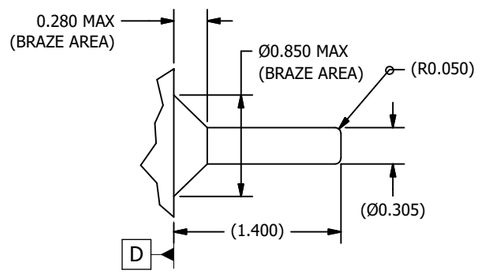
VIEW E
ACTIVE ARRAY AND WINDOW
SCALE 12 : 1

Texas Instruments, Dallas Texas	DRAWN J. RANGEL	DATE 5/20/2024	SIZE D	DWG NO 2519197	REV A
			SCALE	SHEET 3 OF 4	

INV2013-DLPa



VIEW F
PINS AND SYMBOLIZATION PAD
SCALE 8 : 1



DETAIL G
PIN AND BRAZE DIMENSIONS
173 PLACES
SCALE 40 : 1

TEXAS INSTRUMENTS Dallas Texas	DRAWN J. RANGEL	DATE 5/20/2024	SIZE D	DWG NO 2519197 REV A
			SCALE	SHEET 4 OF 4

INV2013-DLPa

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月