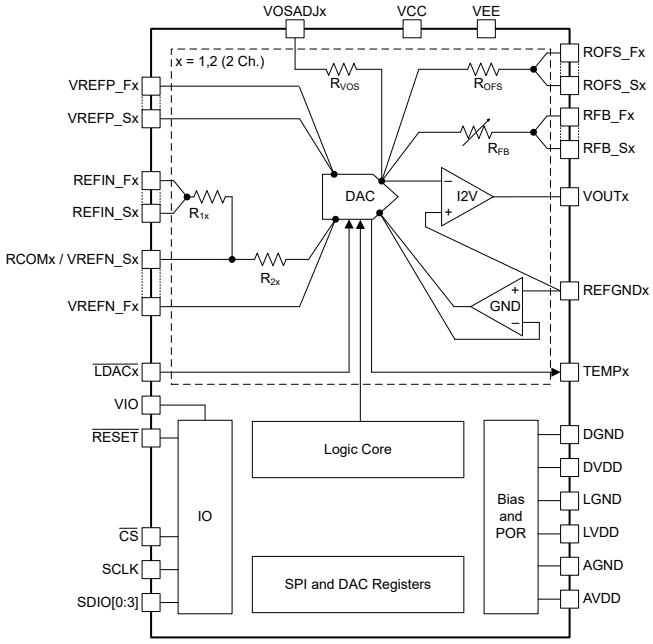
DAC90802 双通道 18 位电压输出倍增 DAC

1 特性

- INL：1.9ppm（18 位时为 ±0.5LSB）
- DNL：1.9ppm（18 位时为 ±0.5LSB）
- V_{REF} 范围：±21V
- 具有高压摆率的集成式 ±21V 输出缓冲器
- 数字控制的增益选项：1 倍、2 倍和 4 倍
- 50ns 稳定至 0.1%FSR，毛刺能量为 140pVs
- 基准倍增带宽：25MHz，100kHz 时 MFE −90dB
- ±5V 输出时的 THD：−125dB (2kHz) 和−110dB (100kHz)
- 与 QSPI™ 兼容的接口：在 66MHz DDR 下以 16 位高速模式运行时为 33MUPS
- 具有每通道 $\overline{\text{LDAC}}$ 引脚的双缓冲寄存器
- 内部上电复位
- 单独的 4Q 倍增开尔文连接基准输入
- 集成式接地缓冲器

2 应用

- 自动测试与校准设备
- 量子计算控制电子产品
- 高数据速率数字音频
- 高保真信号生成
- 静电、电磁透镜
- 高更新率闭环



简化版方框图

3 说明

DAC90802 是一款双通道 - 通道 18 位倍增数模转换器 (MDAC)，能够以 ±23.5V 电源电压范围运行。此器件支持 ±21V 动态信号范围的基准输入，以及 RFB 引脚处的电压反馈，在此可通过数字方式选择 1 倍、2 倍和 4 倍的增益选项。输出引脚 VOUT 支持从 VREFP 至 VREFN 的完整输出范围。

DAC90802 提供低噪声电压输出，并可通过真正的开尔文连接访问 MDAC 的集成配置电阻器。该器件的内核 R-2R 梯形电阻保持极低的热变化和出色的长期漂移性能。DAC90802 实现可选的优化，可用于任意波形生成 (AWG) 模式、快速建立模式或倍增模式。

66MHz 串行数据接口在双数据速率 (DDR) 模式下具有多达四条串行数据线路（SDIO0 至 SDIO3），在高速 16 位模式下支持高达 33MUPS 的更新速率，在高分辨率 18 位模式下支持高达 22MUPS 的更新速率。每通道边沿敏感型负载 DAC $\overline{\text{LDAC}}$ 输入可实现对 DAC 的精细偏斜控制。DAC90802 支持使用 $\overline{\text{RESET}}$ 引脚进行器件复位。

封装信息

器件型号	封装(1)	封装尺寸(2)
DAC90802	HTQFP (48)	7mm × 7mm

(1) 请参阅*机械、封装和可订购信息*
(2) 封装尺寸（长 × 宽）为标称值，且包括引脚（如适用）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 7
5.4 热性能信息 7
5.5 电气特性 8
5.6 时序要求 21
5.7 计时示意图 24
5.8 典型特性 26
6 详细说明 44
6.1 概述 44
6.2 功能方框图 44
6.3 特性说明 45
6.4 器件功能模式 56
7 寄存器映射 57
7.1 COMMON 寄存器 58
7.2 HS_DATA 寄存器 63
7.3 HR_DATA 寄存器 64
8 应用和实施 65
8.1 应用 65
8.2 设计要求 65
8.3 电源相关建议 71
8.4 布局 72
9 器件和文档支持 73
9.1 相关文档 73
9.2 接收文档更新通知 73
9.3 支持资源 73
9.4 商标 73
9.5 静电放电警告 73
9.6 术语表 73
10 修订历史记录 73
11 机械、封装和可订购信息 73

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

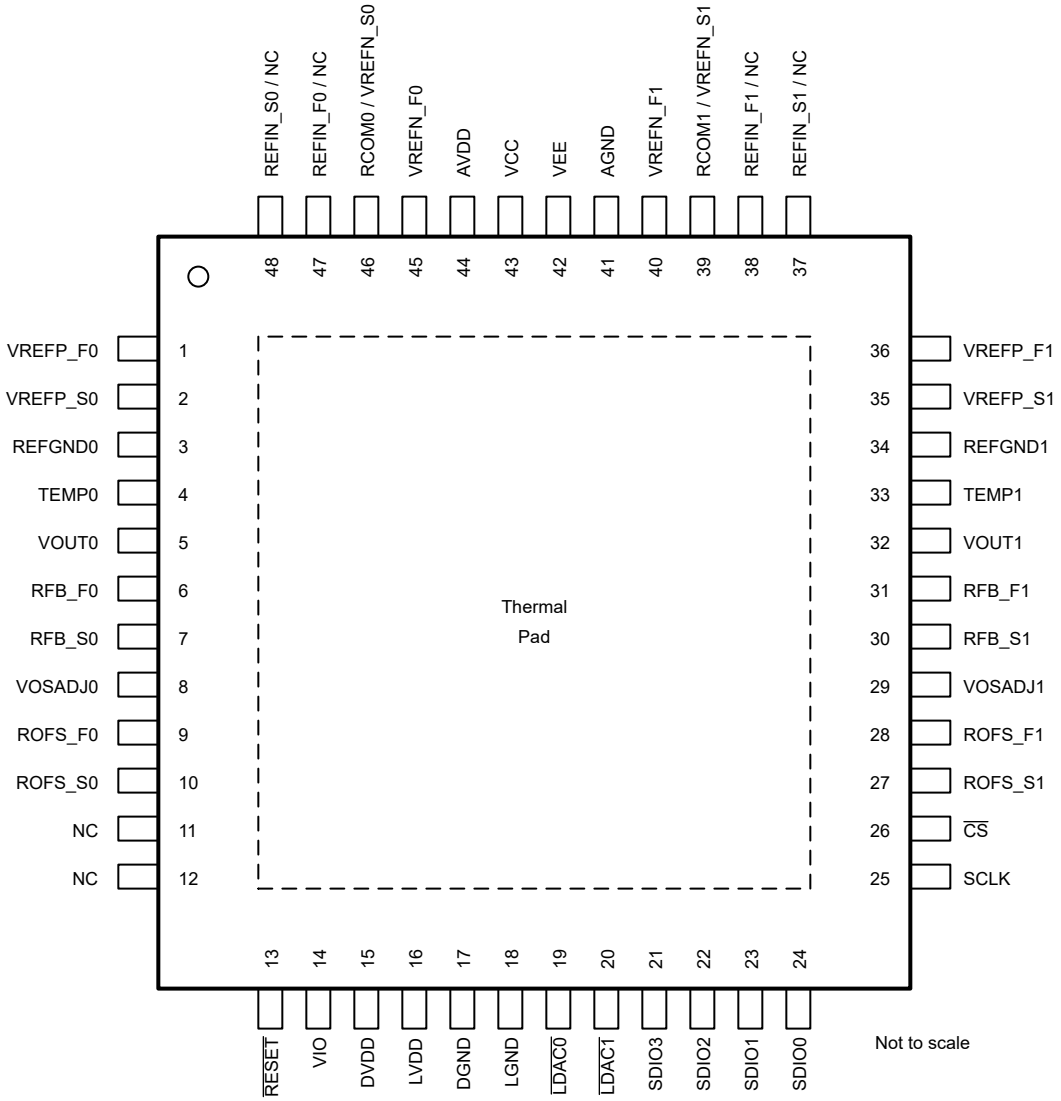


图 4-1. DAC90802 PHP 封装 48 引脚 HTQFP（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
AGND	41	接地	模拟地。
AVDD	44	电源	模拟低电压电源。
$\overline{CS}$	26	输入	芯片选择，低电平有效输入。
DGND	17	接地	数字地。
DVDD	15	电源	数字低电压电源。
$\overline{LDAC0}$	19	输入	负载 DAC0 边沿敏感型低电平有效输入。(6)
$\overline{LDAC1}$	20	输入	负载 DAC1 边沿敏感型低电平有效输入。(6)
LGND	18	接地	低噪声 DAC 时钟地。
LVDD	16	电源	低噪声 DAC 时钟电源。
NC	11、12	–	无连接。(5)
RCOM0/VREFN_S0	46	输入/输出	DAC0 基准反相驱动器精密电阻对通用输入/VREFN 检测。(1)
RCOM1/VREFN_S1	39	输入/输出	DAC1 基准反相驱动器精密电阻对通用输入/VREFN 检测。(1)
REFGND0	3	输入	DAC0 R-2R 网络的接地基准输入。(1)
REFGND1	34	输入	DAC1 R-2R 网络的接地基准输入。(1)
REFIN_F0	47	输入	DAC0 基准反相驱动器精密电阻对强制输入。(4)
REFIN_F1	38	输入	DAC1 基准反相驱动器精密电阻对强制输入。(4)
REFIN_S0	48	输出	DAC0 基准反相驱动器精密电阻对检测输出。(1)
REFIN_S1	37	输出	DAC1 基准反相驱动器精密电阻对检测输出。(1)
$\overline{RESET}$	13	输入	低电平有效复位输入。
RFB_F0	6	输入	DAC0 精密反馈电阻 RFB 强制输入。(3)
RFB_F1	31	输入	DAC1 精密反馈电阻 RFB 强制输入。(3)
RFB_S0	7	输出	DAC0 精密反馈电阻 RFB 检测输出。(1)
RFB_S1	30	输出	DAC1 精密反馈电阻 RFB 检测输出。(1)
ROFS_F0	9	输入	DAC0 精密失调电阻强制输入。(2)
ROFS_F1	28	输入	DAC1 精密失调电阻强制输入。(2)
ROFS_S0	10	输出	DAC0 精密失调电阻检测输入。(1)
ROFS_S1	27	输出	DAC1 精密失调电阻检测输入。(1)
SCLK	25	输入	SPI 时钟输入。
SDIO0	24	输入	四线 SPI 输入引脚。
SDIO1	23	输入	四线 SPI 输入引脚。
SDIO2	22	输入/输出	四线 SPI IO 引脚。
SDIO3	21	输入/输出	四线 SPI IO 引脚。
TEMP0	4	输出	DAC0 内部温度传感器输出。
TEMP1	33	输出	DAC1 内部温度传感器输出。
VCC	43	电源	高电压正模拟电源。
VEE	42	电源	高电压负模拟电源。
VIO	14	电源	IO 引脚电源。
VOSADJ0	8	输入	DAC0 模拟精细失调电压输入。(2)
VOSADJ1	29	输入	DAC1 模拟精细失调电压输入。(2)
VOUT0	5	输出	DAC0 电压输出引脚。
VOUT1	32	输出	DAC1 电压输出引脚。
VREFN_F0	45	输入	负 DAC0 基准强制输入。(2)
VREFN_F1	40	输入	负 DAC1 基准强制输入。(2)
VREFP_F0	1	输入	DAC0 正基准强制输入。(2)
VREFP_F1	36	输入	DAC1 正基准强制输入。(2)
VREFP_S0	2	输出	DAC0 正基准检测输出。(1)

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
VREFP_S1	35	输出	DAC1 正基准检测输出。(1)
散热焊盘	散热焊盘	—	通过多个过孔将散热焊盘连接到内部 PCB VEE 平面，以获得良好的热性能。不要使用散热焊盘为器件供电。

(1) 如果未使用，请连接到相应的 force _Fx 引脚，不要保持未连接状态
(2) 如果未使用请连接到 AGND，不要保持未连接状态
(3) 未使用时连接到相应通道的 VOUT 引脚，不要保持未连接状态
(4) 未使用时连接到相应通道的 RCOM 引脚，不要保持未连接状态
(5) 连接到 VIO 或 DGND 以防止悬空情况
(6) 未使用时连接到 LGND 引脚

备注

DAC90802 实现了相同的独立 DAC 并共用一个 SPI。使用数字后缀（SDIOx 除外）的引脚名称属于相应的 DAC，每个 DAC 的功能相同。开尔文连接引脚将后缀 _Fx 和 _Sx 分别用于强制线路和检测线路。此处统称各引脚（SDIOx 除外）时使用不带后缀的基本名称。

备注

根据应用场景连接未使用的引脚。例如，如果不需要双线开尔文连接，请将同一信号对应的 _Fx、_Sx 引脚连接在一起，以保持 DAC90802 的规定性能。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
	正电源电压	AVDD 至 AGND	-0.3	6	V
		VCC 至 VEE	-0.3	48	
		VCC 至 AGND	-0.3	24	
	负电源电压	VEE 至 AGND	-24	0.3	V
	数字电源电压	LVDD、DVDD 至 DGND	-0.3	1.65	V
	IO 电源电压	VIO 至 DGND	-0.3	1.98	V
	正向基准电压	VREFP 至 AGND	V_{EE}	V_{CC}	V
	负基准电压	VREFN 至 AGND	V_{EE}	V_{CC}	V
	数字输入至 DGND		-0.3	V_{IO} + 0.3	V
	VREFN、VREFP、ROFS、REFIN、RCOM、VOSADJ、RFB、VOUT 引脚电压	相对于 AGND	V_{EE}	V_{CC}	V
		相对于 VEE	0	48	V
	数字输出，SDIOx 至 DGND		-0.3	V_{IO} + 0.3	V
	任何数字引脚中的电流		-10	10	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度 T_A 范围内（除非另有说明）。

		最小值	标称值	最大值	单位
	AVDD 至 AGND	4.5	5	5.5	V
	VEE 至 AGND	-23.5		-6.5	V
	VCC 至 AGND	6.5		23.5	V
	VCC 至 VEE	13		47	V
	DVDD 至 DGND	1.35	1.5	1.65	V
	LVDD 至 LGND（功能范围）	1.35	1.5	1.65	V
	LVDD 至 LGND（高直流精度）	1.45	1.5	1.55	V
	VIO 至 DGND	1.15		1.9	V
	AGND 到 DGND	-0.3		0.3	V
	V_{IH} 数字输入高电压	0.7 × V_{IO}			V
	V_{IL} 数字输入低电压			0.3 × V_{IO}	V
	模拟引脚至 AGND（VREFN、VREFP、ROFS、REFIN、RCOM、VOSADJ、RFB、VOUT）	-21		21	V
T_J	结温	-35		140	°C
T_A	工作环境温度，$R_{\theta JA}$ = 15°C/W	-40		100	°C

5.4 热性能信息

热指标(1)		DAC90802 PHP (HTQFP) 48 引脚	单位
$R_{\theta JA}$	结至环境热阻	51.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	10.3	°C/W
$R_{\theta JB}$	结至电路板热阻	16.2	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	16.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能 (DAC_CONFIG_CHx = 01h)						
N	分辨率		18			位
INL	相对精度	双极，V_{REFP} = 5V 且 V_{REFN} = -5V，增益 = 1 倍	-1.9		1.9	ppm
		双极，V_{REFP} = 5V 且 V_{REFN} = -5V，增益 = 2 倍	-3.8		3.8	
		双极，V_{REFP} = 5V 且 V_{REFN} = -5V，增益 = 4 倍	-9.5		9.5	
		双极，V_{REFP} = 20V 且 V_{REFN} = -20V，增益 = 1 倍	-9.5		9.5	
		单极，V_{REFP} = 0V 且 V_{REFN} = -5V，增益 = 1 倍	-3.8		3.8	
		单极，V_{REFP} = 0V 且 V_{REFN} = -5V，增益 = 4 倍	-11.4		11.4	
		单极，V_{REFP} = 0V 且 V_{REFN} = -20V，增益 = 1 倍	-11.4		11.4	
		单极，V_{REFP} = 0V 且 V_{REFN} = -5V，增益 = 2 倍	-3.8		3.8	
	随时间变化的相对精度漂移	T_A = 25°C，1000 小时		±0.07		ppm
		T_A = 50°C，1000 小时		±0.07		
DNL	微分非线性	双极，V_{REFP} = 5V 且 V_{REFN} = -5V，增益 = 1 倍、2 倍、4 倍	-1.9		1.9	ppm
		单极，V_{REFP} = 0V 且 V_{REFN} = -5V，增益 = 1 倍、2 倍、4 倍	-2.3		2.3	
		双极，V_{REFP} = 20V 且 V_{REFN} = -20V，增益 = 1 倍	-3.8		3.8	
		单极，V_{REFP} = 0V 且 V_{REFN} = -20V，增益 = 1 倍	-3.8		3.8	
G_{OV}	增益超范围	用于系统校准		2		%
GE_{TC}	增益误差温度系数			-1.5		ppm FSR/°C
	零代码误差	单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 1 倍	-84		84	ppm
		单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 2 倍	-70		70	
		单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 4 倍	-65		65	
		单极，V_{REFP} = 0V，V_{REFN} = -20V，增益 = 1 倍	-38		38	
	中间代码误差	双极，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍、2 倍、4 倍	-75		75	ppm
		双极，V_{REFP} = 10V，V_{REFN} = -10V，增益 = 1 倍、2 倍	-75		75	
		双极，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍	-75		75	
	增益误差	双极，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍	-210		210	ppm
		双极，V_{REFP} = 10V，V_{REFN} = -10V，增益 = 1 倍	-210		210	
		双极，V_{REFP} = 7.6V，V_{REFN} = -7.6V，增益 = 2 倍	-400		400	
		双极，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍	-350		350	
		双极，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍	-450		450	
		单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 1 倍	-250		250	
		单极，V_{REFP} = 0V，V_{REFN} = -10V，增益 = 1 倍	-250		250	
		单极，V_{REFP} = 0V，V_{REFN} = -7.6V，增益 = 2 倍	-400		400	
		单极，V_{REFP} = 0V，V_{REFN} = -20V，增益 = 1 倍	-350		350	
		单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 4 倍	-450		450	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	零代码误差温度漂移	单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 1 倍		2		μV/C
		单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 2 倍		3.5		
		单极，V_{REFP} = 0V，V_{REFN} = -5V，增益 = 4 倍		6.5		
		单极，V_{REFP} = 0V，V_{REFN} = -20V，增益 = 1 倍		3.5		
	中间代码误差温度漂移	双极，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		3		μV/C
		双极，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		10		
		双极，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		8.5		
		双极，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 2 倍		5.5		
LTD	随时间变化的输出电压漂移	T_A = 25°C，V_{OUT} = 中量程，1000 小时		1		ppm
		T_A = 50°C，V_{OUT} = 中量程，1000 小时		1		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
集成电阻器						
R_1	基准反相电阻器			4		kΩ
R_2	基准反相电阻器			4		kΩ
R_1/R_2	反相电阻器比率失配			200		ppm
$\Delta R_1/R_2$	反相电阻器比率失配漂移			0.6		ppm/C
R_{OFS}	粗略失调电阻器			8		kΩ
R_{OSADJ}	精细失调电阻器			512		kΩ
R_{FB}	反馈电阻器	增益 = 1 倍		4		kΩ
		增益 = 2 倍		8		kΩ
		增益 = 4 倍		16		kΩ

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
输出特性						
	余量(1)	从 VOUT 到 VCC 引脚	3			V
		从 VOUT 到 VEE 引脚			-3	
V_{OUT}	输出电压范围	VOUT 和 RFB 的范围	-20.5		20.5	V
PSRR	电源抑制比（直流）	V_{CC} = 22V ±1.5V，V_{EE} = -23.5V		-105		dB
		V_{CC} = 23.5V，V_{EE} = -22 V ±1.5V		-105		dB
		AVDD= 5V ± 0.5V		-105		dB
		LVDD= 1.5V ± 0.15V		-85		dB
C_L	输出容性负载(1)	AWG 模式 (DAC_CONFIG_CHx = 00h)			25	pF
		快速建立模式 (DAC_CONFIG_CHx = 01h)，倍增模式 (DAC_CONFIG_CHx = 02h)			35	
I_{SCVOUT}	输出短路电流	VOUT 引脚		80	135	mA

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
基准输入						
I_{REFP}	基准输入电流	VREFP 引脚（不包括 R1、R2 连接）	9.5			mA
I_{REFN}		VREFN 引脚（不包括 R1、R2 连接）			-9.5	
C_{VREF}	输入电容至 AGND			10		pF
V_{REF}	直流基准电压功能范围(2)	VREFN 和 VREFP 引脚	-21		21	V
V_{REFIN}	REFIN 引脚电压范围(2)	V_{REFIN} 相对于 AGND	-21		21	V
V_{OFFSET}	VOSADJ 和 ROFS 引脚直流失调电压范围(2)	V_{OSADJ} 和 V_{ROFS} 相对于 AGND	-21		21	V

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
动态性能 — AWG 模式 (DAC_CONFIG_CHx = 00h)						
THD	总谐波失真	f_{OUT} = 2kHz 满量程正弦波，f_s = 5MHz，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		-125		dB
		f_{OUT} = 20kHz 满量程正弦波，f_s = 5MHz，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		-120		
		f_{OUT} = 100kHz 满量程正弦波，f_s = 5MHz，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		-110		
SNR	信噪比	0.1Hz 至 20kHz，f_{OUT} = 2kHz 满量程正弦波，f_s = 5MHz，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		122		dB
		0.1Hz 至 250kHz，f_{OUT} = 20kHz 满量程正弦波，f_s = 5MHz，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		112		
		0.1Hz 至 500kHz，f_{OUT} = 100kHz 满量程正弦波，f_s = 5MHz，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		110		
t_s	输出电压建立时间	100mV 输出稳定至 ±0.0004%，V_{REFP} = 7.6V，V_{REFN} = -7.6V，增益 = 1 倍		455		ns
		100mV 输出稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		500		
		100mV 输出稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 2 倍		450		
		100mV 输出稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		528		
		100mV 输出稳定至 ±0.0004%，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		420		
SR	压摆率	满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		70		V/µs
		满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		160		
		满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		192		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
动态性能 — 快速建立模式 (DAC_CONFIG_CHx = 01h)						
	过冲	0mV 至 100mV 输出阶跃		2		%
		0V 至 10V 输出阶跃		2		
t_s	输出电压建立时间	100mV 输出稳定至 0.1%FSR，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		52		ns
		满量程输出稳定至 0.1%FSR，V_{REFP} = 5V，V_{REFN} = -5V，增益= 1 倍		226		
		200mV 输出稳定至 0.1%FSR，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 2 倍		66		
		满量程输出稳定至 0.1%FSR，V_{REFP} = 5V，V_{REFN} = -5V，增益= 2 倍		288		
		400mV 输出稳定至 0.1%FSR，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		96		
		满量程输出稳定至 0.1%FSR，V_{REFP} = 5V，V_{REFN} = -5V，增益= 4 倍		450		
		100mV 输出稳定至 0.1%FSR，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		49		
		满量程输出稳定至 0.1%FSR，V_{REFP} = 20V，V_{REFN} = -20V，增益= 1 倍		290		
t_s	输出电压建立时间	100mV 稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		178		ns
		满量程稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益= 1 倍		385		
		100mV 稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 2 倍		167		
		满量程稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益= 2 倍		1500		
		100mV 稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		237		
		满量程稳定至 ±0.0004%，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		1903		
		100mV 稳定至 ±0.0004%，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		154		
		满量程稳定至 ±0.0004%，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		920		
	上电干扰幅度	通道上电时在 DAC 电压输出处测得		1		V
	通道上电时间(1)	通道上电时在 DAC 电压输出处测得			400	µs
	代码变化毛刺脉冲幅度（绝对积分）(3)	中量程 LSB 转换，在 -5V 至 +5V 范围内，增益 = 1 倍，在 $\overline{LDAC}$ 边沿上积分到建立时间 (t_s)		140		pV-s
	代码变化毛刺脉冲幅度（直接积分）(4)	中量程 LSB 转换，在 -5V 至 +5V 范围内，增益 = 1 倍，在 $\overline{LDAC}$ 边沿上积分到建立时间 (t_s)		32		
	代码变化毛刺脉冲电压	中量程 LSB 转换，在 -5V 至 +5V 范围内，增益 = 1 倍		9		mV

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SR	压摆率	满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		145		V/µs
		满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		188		
		满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		217		
	数字馈通（绝对积分）	增益 = 1 倍，SCLK = 1MHz，所有其他数字线路均为静态		15		pV-s

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
动态性能 — 倍增模式 (DAC_CONFIG_CHx = 02h)						
V_{REF}	AC 基准电压范围	VREFN 上的输入，V_{REFP} = REFGND	-21		21	V
MBW	基准倍增带宽	V_{REFP} = 0V 且 V_{REFIN} = ±100mV，增益 = 1 倍，满量程		25		MHz
		V_{REFP} = 0V 且 V_{REFIN} = ±5V，增益 = 1 倍，满量程		9		
		V_{REFP} = 0V 且 V_{REFIN} = ±5V，增益 = 4 倍，满量程		2.5		
		V_{REFP} = 0V 且 V_{REFIN} = ±20V，增益 = 1 倍，满量程		3		
MFE	倍增馈通误差	增益 = 4 倍，零量程，100kHz，V_{REFP} = 0V，V_{REFIN} = ±5V		-80		dB
		增益 = 1 倍，零量程，100kHz，V_{REFP} = 0V，V_{REFIN} = 100mV_{RMS}		-90		
		增益 = 1 倍，零量程，100kHz，V_{REFP} = 0V，V_{REFIN} = ±20V		-90		
THD_M	倍增 THD	V_{REFP} = 0，V_{REFIN} = ±5V，增益 = 1 倍时 f_{IN} = 2kHz		-124		dB
		V_{REFP} = 0，V_{REFIN} = ±5V，增益 = 1 倍时 f_{IN} = 20kHz		-120		
		V_{REFP} = 0V，V_{REFIN} = ±5V，增益 = 1 倍时 f_{IN} = 100kHz		-108		
SR	压摆率	满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 1 倍		122		V/µs
		满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 5V，V_{REFN} = -5V，增益 = 4 倍		112		
		满量程阶跃，在 VOUT 引脚处测得，V_{REFP} = 20V，V_{REFN} = -20V，增益 = 1 倍		194		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
噪声性能 (DAC_CONFIG_CHx = 01h)						
V_n	输出噪声	0.1Hz 至 10Hz，增益 = 1 倍		6		μV_{PP}
		0.1Hz 至 10Hz，增益 = 4 倍		16		
1/f	噪声转角频率	增益 = 1 倍		680		Hz
		增益 = 4 倍		580		
	输出噪声密度	在 10kHz、增益 = 1 倍时测得（不包括 R_1、R_2）		17		$nV/\sqrt{Hz}$
		在 10kHz、增益 = 4 倍时测得（不包括 R_1、R_2）		52		
	电源抑制比（交流）	200mV_{PP}，50Hz 或 60Hz 正弦波叠加在 V_{CC} 上，V_{CC} = 23.4V，V_{EE} = -23.5V，AVDD= 5V，LVDD = 1.5V		-100		dB
		200mV_{PP}，50Hz 或 60Hz 正弦波叠加在 V_{EE} 上，V_{CC} = 23.5V，V_{EE} = -23.4V，AVDD= 5V，LVDD = 1.5V		-100		
		200mV_{PP}，50Hz 或 60Hz 正弦波叠加在 AVDD 上，V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD= 5V，LVDD = 1.5V		-96		
		50mV_{PP}，50Hz 或 60Hz 正弦波叠加在 LVDD 上，V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD= 5V，LVDD = 1.5V，增益 = 1 倍		-90		
		50mV_{PP}，50Hz 或 60Hz 正弦波叠加在 LVDD 上，V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD= 5V，LVDD = 1.5V，增益 = 4 倍		-80		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
温度传感器模拟输出模式						
	温度检测范围	TEMP 模拟输出模式	-40		150	℃
V_{TEMP25}	输出电压	T_J = 25°C		1.8		V
G_{TEMP}	传感器增益			20		mV/℃
V_{TEMP}	输出电压范围		0.5		4.3	V
	绝对精度			±5		℃
ZOA_{TEMP}	TEMP 信号输出阻抗			0.85		kΩ
温度传感器数字输出模式						
T_{OSD}	过热关断阈值范围	在结温下测量	29.6		150	℃
VOL_{TEMP}	低电平输出电压	进入高阻抗数字缓冲器			0.4	V
VOH_{TEMP}	高电平输出电压	进入高阻抗数字缓冲器	(V_{IO} - 0.4)			V
ZOD_{TEMP}	TEMP 信号输出阻抗			5		kΩ

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
数字输入						
V_{IL}	低电平输入电压				0.3	V/V_{IO}
V_{IH}	高电平输入电压		0.7			V/V_{IO}
V_{HYS}	迟滞电压	V_{IO} = 1.8V		0.12		V
	输入电流				±1	μA
	引脚电容	每引脚			2	pF
数字输出						
V_{OL}	低电平输出电压	灌电流 200μA			0.4	V
V_{OH}	高电平输出电压	拉电流 200μA	(V_{IO}-0.4)			V
I_{OZ}	高阻抗漏电流				±1	μA
C_{OZ}	高阻抗输出电容				2	pF
SPI						
f_{SPI}	SPI 频率				66	MHz
	DAC 更新速率	DDR 启用，16 位模式，66MHz SCLK，SDIO0 至 SDIO3 作为输入，单通道流模式		33		MUPS
		DDR 启用，18 位模式，66MHz SCLK，SDIO0 至 SDIO3 作为输入，单通道流模式，		22		
		DDR 禁用，16 位模式，66MHz SCLK，SDIO0 至 SDIO3 作为输入，单通道流模式		16.5		
		DDR 禁用，18 位模式，66MHz SCLK，SDIO0 至 SDIO3 作为输入，单通道流模式		11		
		菊花链模式（DDR 禁用），66MHz SCLK，SDIO0 和 SDIO1 作为 SDI，SDIO2 和 SDIO3 作为 SDO，单个从 SPI		3.3		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = -40°C 至 +100°C、V_{CC} = +8.5V 至 +23.5V、V_{EE}= -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（V_{REFPX} 和 V_{REFNX} 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
POWER						
I_{VCC_S}	待机模式导轨电流	V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD = 5.4V，DVDD= 1.65V，LVDD= 1.65V		0.16		mA
I_{VEE_S}	待机模式导轨电流	V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD = 5.4V，DVDD= 1.65V，LVDD= 1.65V		-0.16		mA
I_{AVDD_S}	待机模式导轨电流	V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD = 5.4V，DVDD= 1.65V，LVDD= 1.65V		34		uA
I_{LVDD_S}	待机模式导轨电流	V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD = 5.4V，DVDD= 1.65V，LVDD= 1.65V		10		uA
I_{DVDD_S}	待机模式导轨电流	V_{CC} = 23.5V，V_{EE} = -23.5V，AVDD = 5.4V，DVDD= 1.65V，LVDD= 1.65V		15		uA
I_{AVDD}	流入 AVDD 的电流	VREFP = 20V，VREFN = -20V，满量程			2.5	mA
I_{VCC}	流入 VCC 的电流	VREFP = 20V，VREFN = -20V，满量程			30	mA
I_{VEE}	流入 VEE 的电流	VREFP = 20V，VREFN = -20V，零量程	-30			mA
I_{DVDD}	流入 DVDD 的电流	VREFP = 20V，VREFN = -20V，满量程		20		uA
I_{IOVDD}	流入 VIO 的电流	V_{REFP} = 20V，V_{REFN} = -20V，满量程代码，所有数字输入引脚在 V_{IO} 处均为静态		10		uA

(1) 由设计或特性保证。未经生产测试。
(2) 不包括所需的余量。
(3) 绝对积分是指对毛刺波形的绝对幅度进行积分以达到毛刺能量。
(4) 直接积分是指对毛刺波形的有符号幅度进行积分以到达毛刺能量。

Copyright © 2026 Texas Instruments Incorporated

5.6 时序要求

在 AVDD = 5.0V，DVDD = 1.5V，T_A = 25°C 条件下的典型值；建议运行条件范围的最小值和最大值（除非另有说明）

参数		最小值	标称值	最大值	单位
串行接口写入和读取操作： 1.65V ≤ V_{IO} < 1.98V					
f_{SCLK}	串行时钟频率，SDO_EN = 0，FSDO_EN = 1			66	MHz
t_{SCLK}	SCLK 周期时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	15.15			ns
$t_{SCLKHIGH}$	SCLK 高电平时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	7.6			ns
t_{SCLLOW}	SCLK 低电平时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	7.6			ns
f_{SCLK}	串行时钟频率，SDO_EN = 1 且 FSDO_EN = 0			33	MHz
t_{SCLK}	SCLK 周期时间，SDO_EN = 1 且 FSDO_EN = 0	30.3			ns
$t_{SCLKHIGH}$	SCLK 高电平时间，SDO_EN = 1 且 FSDO_EN = 0	15.2			ns
t_{SCLLOW}	SCLK 低电平时间，SDO_EN = 1 且 FSDO_EN = 0	15.2			ns
t_{CSS}	$\overline{CS}$ 下降沿至第一个 SCLK 采样沿的建立时间	7.5			ns
t_{CSH}	最后一个 SCLK 采样沿至 $\overline{CS}$ 上升沿	7.5			ns
t_{CSHIGH}	$\overline{CS}$ 高电平时间	20			ns
t_{SDIS}	数据设置时间	2.5			ns
t_{SDIH}	数据保持时间	2.5			ns
t_{SDODLY}	SCLK 下降沿至 SDO 数据有效			12	ns
t_{SDODZ}	$\overline{CS}$ 上升沿至 SDO 三态			6	ns
t_{SDOZD}	$\overline{CS}$ 下降沿至 SDO 使能			6	ns
t_{LDACL}	$\overline{LDAC}$ 脉冲宽度低电平状态	7			ns
t_{LDACH}	$\overline{LDAC}$ 脉冲宽度高电平状态	20			ns
f_{TOGGLE}	$\overline{LDAC}$ 切换频率			33	MHz
t_{SCLD}	EOP（数据包结束）到 $\overline{LDAC}$ 下降沿(1)			20	ns

Copyright © 2026 Texas Instruments Incorporated

5.6 时序要求（续）

在 AVDD = 5.0V，DVDD = 1.5V，T_A = 25°C 条件下的典型值；建议运行条件范围的最小值和最大值（除非另有说明）

参数		最小值	标称值	最大值	单位
串行接口写入和读取操作：1.35V ≤ V_{IO} < 1.65V					
f_{SCLK}	串行时钟频率，SDO_EN = 0，FSDO_EN = 1			50	MHz
t_{SCLK}	SCLK 周期时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	20.00			ns
$t_{SCLKHIGH}$	SCLK 高电平时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	9			ns
t_{SCLLOW}	SCLK 低电平时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	9			ns
f_{SCLK}	串行时钟频率，SDO_EN = 1 且 FSDO_EN = 0			25	MHz
t_{SCLK}	SCLK 周期时间，SDO_EN = 1 且 FSDO_EN = 0	40			ns
$t_{SCLKHIGH}$	SCLK 高电平时间，SDO_EN = 1 且 FSDO_EN = 0	18			ns
t_{SCLLOW}	SCLK 低电平时间，SDO_EN = 1 且 FSDO_EN = 0	18			ns
t_{CSS}	$\overline{CS}$ 下降沿至第一个 SCLK 采样沿的建立时间	9			ns
t_{CSH}	最后一个 SCLK 采样沿至 $\overline{CS}$ 上升沿	9			ns
t_{CSHIGH}	$\overline{CS}$ 高电平时间	40			ns
t_{SDIS}	数据设置时间	5			ns
t_{SDIH}	数据保持时间	5			ns
t_{SDODLY}	SCLK 下降沿至 SDO 数据有效	14			ns
t_{SDODZ}	$\overline{CS}$ 上升沿至 SDO 三态			8	ns
t_{SDOZD}	$\overline{CS}$ 下降沿至 SDO 使能			8	ns
t_{LDACL}	$\overline{LDAC}$ 脉冲宽度低电平状态	7			ns
t_{LDACH}	$\overline{LDAC}$ 脉冲宽度高电平状态	20			ns
f_{TOGGLE}	$\overline{LDAC}$ 切换频率			25	MHz
t_{SCLD}	EOP（数据包结束）到 $\overline{LDAC}$ 下降沿(1)			25	ns

Copyright © 2026 Texas Instruments Incorporated

5.6 时序要求（续）

在 AVDD = 5.0V，DVDD = 1.5V，T_A = 25°C 条件下的典型值；建议运行条件范围的最小值和最大值（除非另有说明）

参数		最小值	标称值	最大值	单位
串行接口写入和读取操作： 1.08V ≤ V_{IO} < 1.35V					
f_{SCLK}	串行时钟频率，SDO_EN = 0，FSDO_EN = 1			35	MHz
t_{SCLK}	SCLK 周期时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	28.57			ns
$t_{SCLKHIGH}$	SCLK 高电平时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	13.5			ns
t_{SCLLOW}	SCLK 低电平时间，SDO_EN = 0 或 SDO_EN = 1 且 FSDO_EN = 1	13.5			ns
f_{SCLK}	串行时钟频率，SDO_EN = 1 且 FSDO_EN = 0			17.5	MHz
t_{SCLK}	SCLK 周期时间，SDO_EN = 1 且 FSDO_EN = 0	57.14			ns
$t_{SCLKHIGH}$	SCLK 高电平时间，SDO_EN = 1 且 FSDO_EN = 0	27			ns
t_{SCLLOW}	SCLK 低电平时间，SDO_EN = 1 且 FSDO_EN = 0	27			ns
t_{CSS}	$\overline{CS}$ 下降沿至第一个 SCLK 采样沿的建立时间	11			ns
t_{CSH}	最后一个 SCLK 采样沿至 $\overline{CS}$ 上升沿	11			ns
t_{CSHIGH}	$\overline{CS}$ 高电平时间	60			ns
t_{SDIS}	数据设置时间	7			ns
t_{SDIH}	数据保持时间	7			ns
t_{SDODLY}	SCLK 下降沿至 SDO 数据有效	16			ns
t_{SDODZ}	$\overline{CS}$ 上升沿至 SDO 三态			10	ns
t_{SDOZD}	$\overline{CS}$ 下降沿至 SDO 使能			10	ns
t_{LDACL}	$\overline{LDAC}$ 脉冲宽度低电平状态	7			ns
t_{LDACH}	$\overline{LDAC}$ 脉冲宽度高电平状态	20			ns
f_{TOGGLE}	$\overline{LDAC}$ 切换频率			17.5	MHz
t_{SCLD}	EOP（数据包结束）到 $\overline{LDAC}$ 下降沿(1)			30	ns

Copyright © 2026 Texas Instruments Incorporated

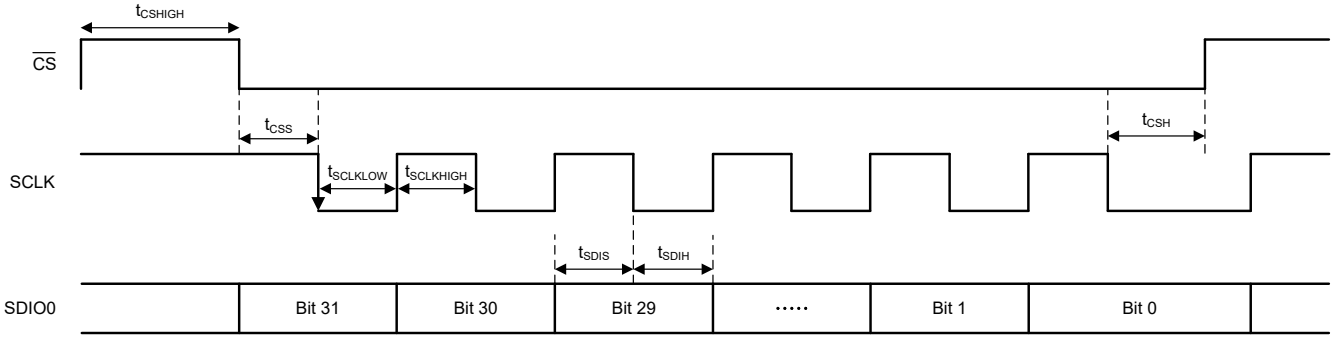
5.6 时序要求（续）

在 AVDD = 5.0V，DVDD = 1.5V，T_A = 25°C 条件下的典型值；建议运行条件范围的最小值和最大值（除非另有说明）

参数		最小值	标称值	最大值	单位
通用逻辑					
$t_{RESETLOW}$	$\overline{RESET}$ 脉冲宽度低电平	100			ns
t_{RSTACT}	$\overline{RESET}$ 脉冲激活时间	100			ns
t_{SLDAC}	VOUT 输出更新延迟（从 $\overline{CS}$ 上升沿、软 LDAC、SFT_LDAC_EN = 1）			80	ns
t_{ASYNC}	从 EOP（数据包结束）到 VOUT 输出更新延迟 (ASYNC_UPDT = 1)(1)			70	ns
t_{LDACR}	从 $\overline{LDAC}$ 下降沿到 VOUT 输出更新延迟 (ASYNC_UPDT = 0)			40	ns
t_{SKEW}	最大通道间偏斜，$\overline{LDAC}$ 短接（FS 模式）(ASYNC_UPDT = 0)		0.3		ns
t_{PWRUP}	DAC 寄存器访问前的等待时间（启动时间）			20	ms
t_{RESET}	关断退出时间（通道上电时间）			0.8	ms

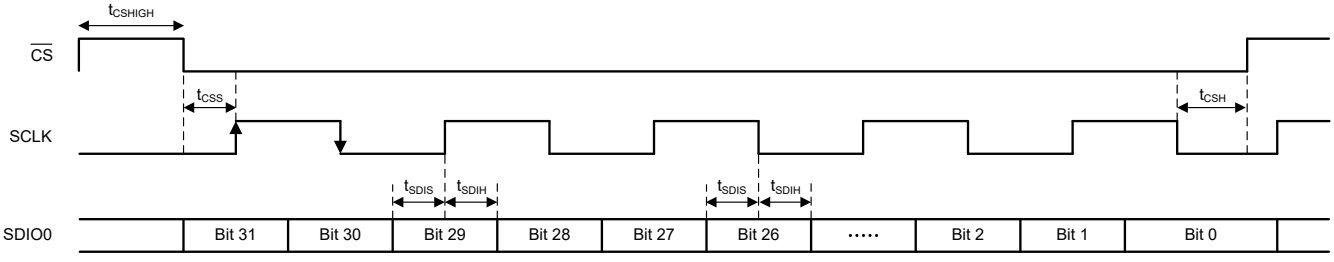
(1) 当 SPI_DCH = 0（STREAM = 任意）时，EOP 是最后一个 SCLK 采样边沿。SPI_DCH = 1 时，EOP 为 $\overline{CS}$ 上升沿。

5.7 计时示意图



Note:
↓ Arrow indicates sampling edge. In SDR mode, the first sampling edge is negative edge

图 5-1. SDR 写入模式



Note:
↓↑ Arrow indicates sampling edge. In DDR mode, the first sampling edge is positive edge

图 5-2. DDR 写入模式

Copyright © 2026 Texas Instruments Incorporated

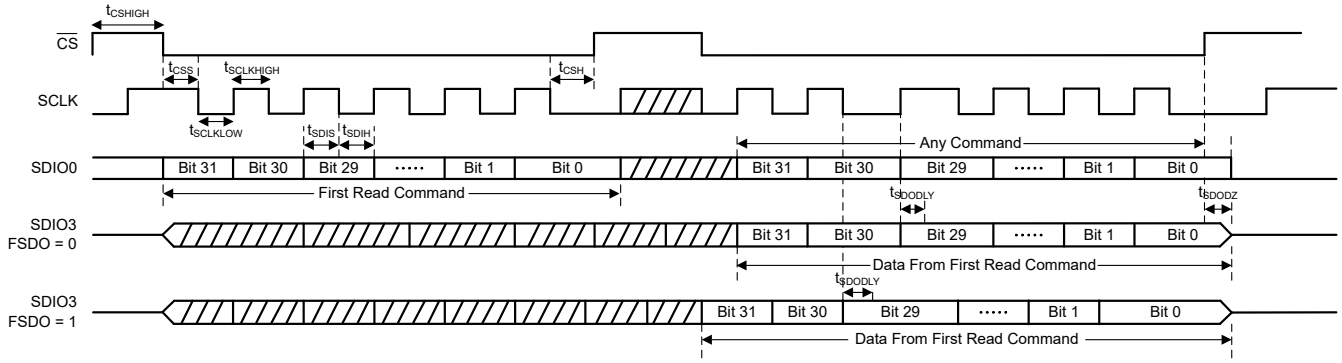


图 5-3. 读取帧模式

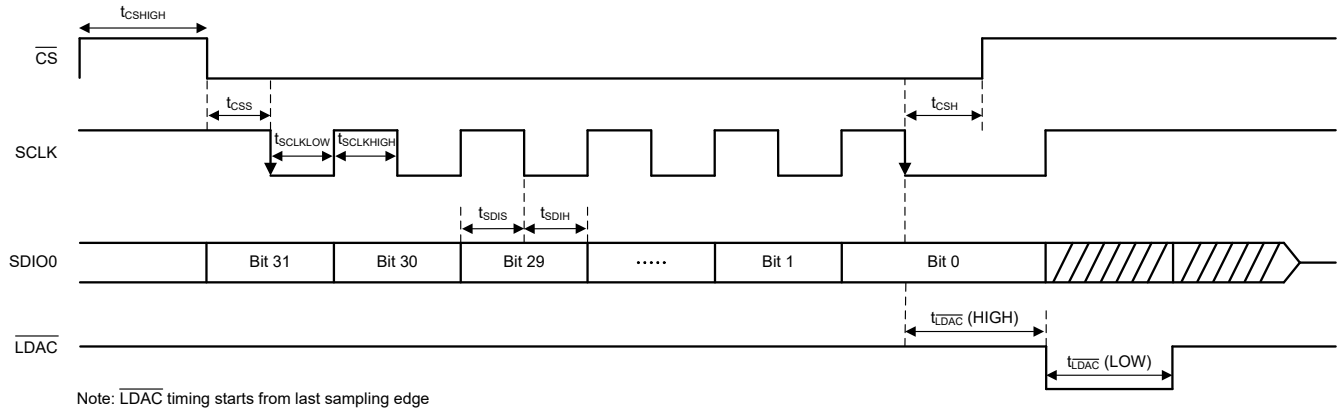


图 5-4. LDAC 时序非菊花链模式

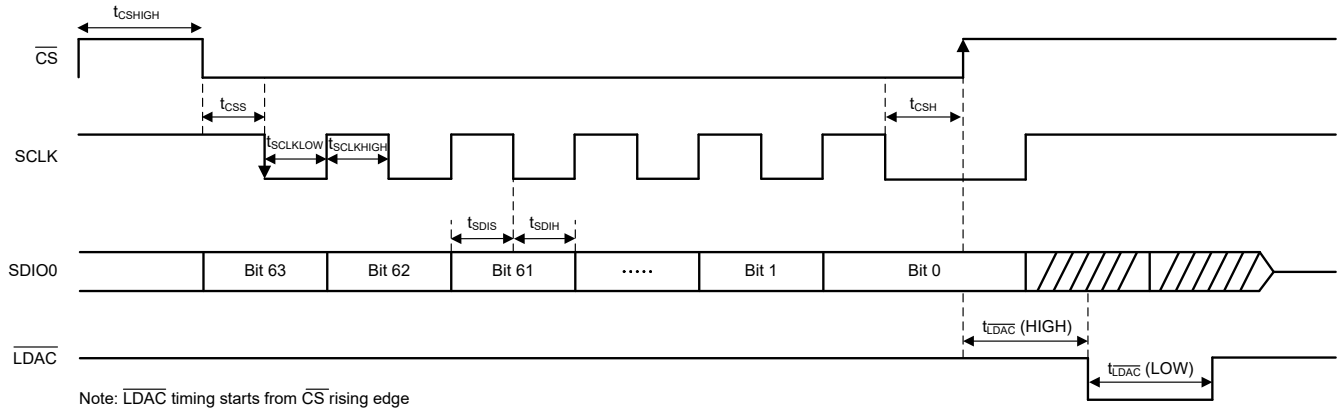


图 5-5. LDAC 时序菊花链模式

5.8 典型特性

5.8.1 典型特性：线性度

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJx = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

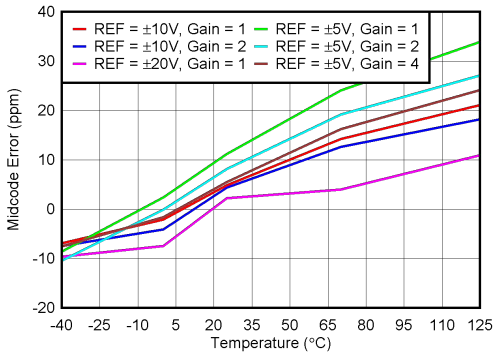


图 5-6. 双极中间代码误差与温度间的关系

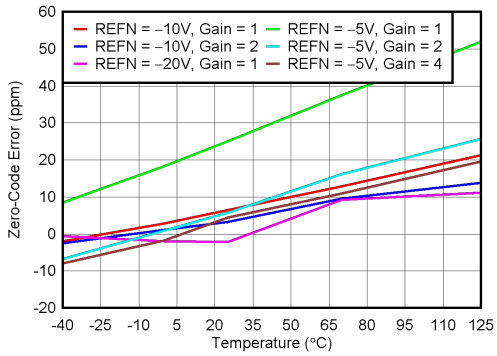
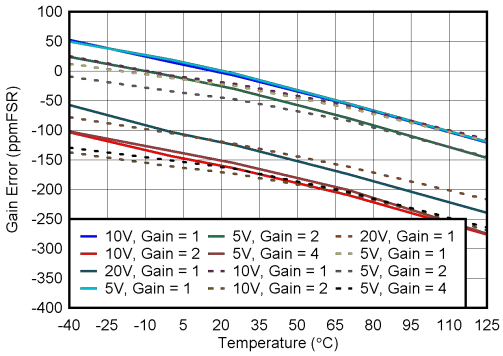
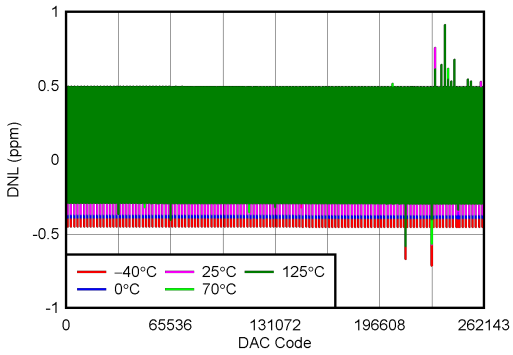


图 5-7. 单极零代码误差与温度间的关系



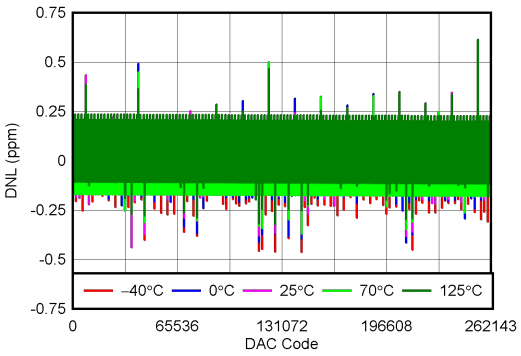
双极（实线），单极（虚线）

图 5-8. 增益误差与温度间的关系



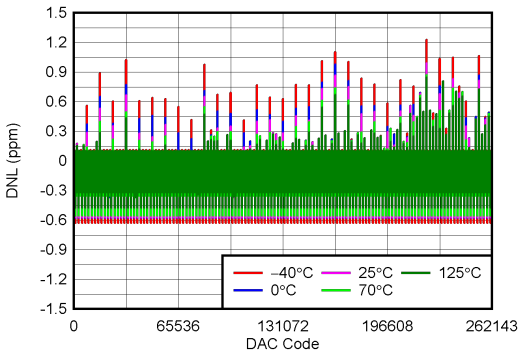
REFPx = 0V，REFNx = -5V，增益 = 1，单极

图 5-9. DNL 与数字输入代码间的关系



REFPx = +5V，REFNx = -5V，增益 = 1，双极

图 5-10. DNL 与数字输入代码间的关系



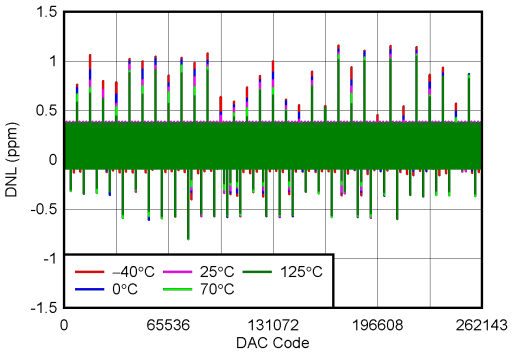
REFPx = 0V，REFNx = -20V，增益 = 1，单极

图 5-11. DNL 与数字输入代码间的关系

Copyright © 2026 Texas Instruments Incorporated

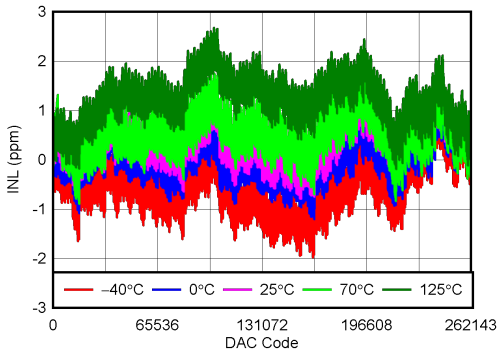
5.8.1 典型特性：线性度 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJx = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



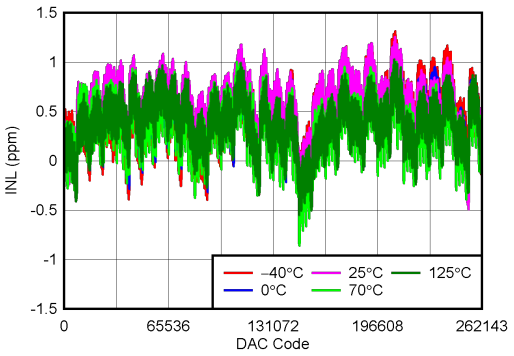
REFPx = +20V，REFNx = -20V，增益 = 1，双极

图 5-12. DNL 与数字输入代码间的关系



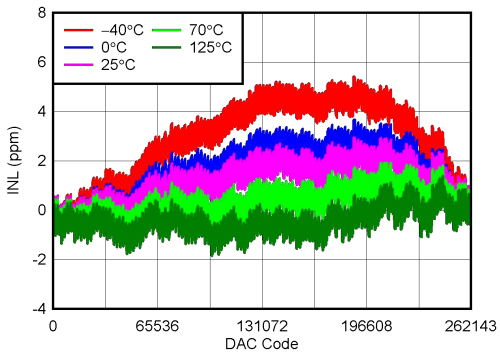
REFPx = 0V，REFNx = -5V，增益 = 1，单极

图 5-13. INL 与数字输入代码间的关系



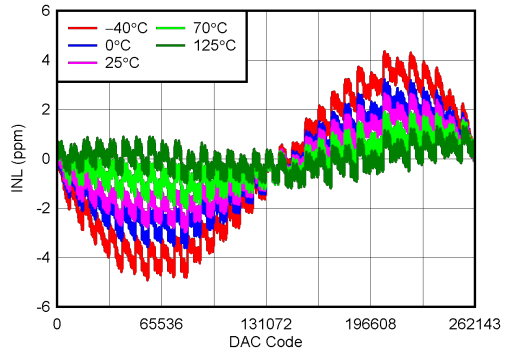
REFPx = +5V，REFNx = -5V，增益 = 1，双极

图 5-14. INL 与数字输入代码间的关系



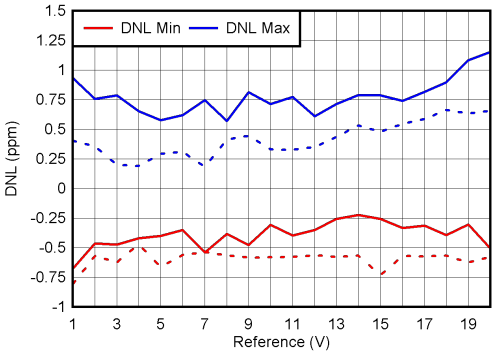
REFPx = 0V，REFNx = -20V，增益 = 1，单极

图 5-15. INL 与数字输入代码间的关系



REFPx = +20V，REFNx = -20V，增益 = 1，双极

图 5-16. INL 与数字输入代码间的关系



增益 = 1

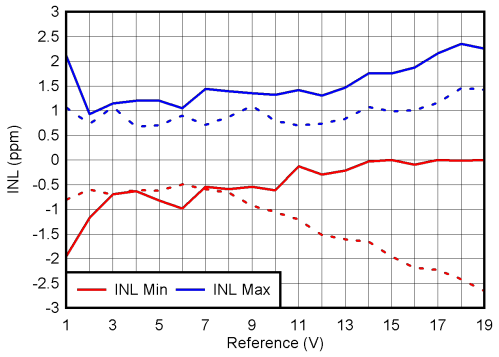
单极（实线），双极（虚线）

图 5-17. DNL 与基准间的关系

Copyright © 2026 Texas Instruments Incorporated

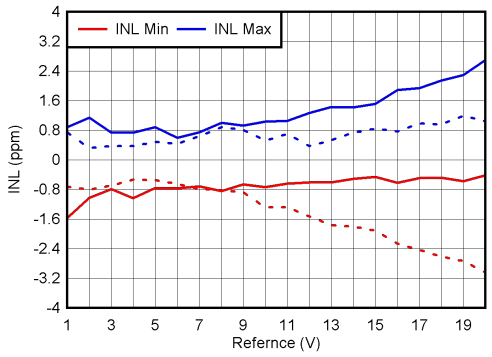
5.8.1 典型特性：线性度 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJx = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



单极（实线），双极（虚线）

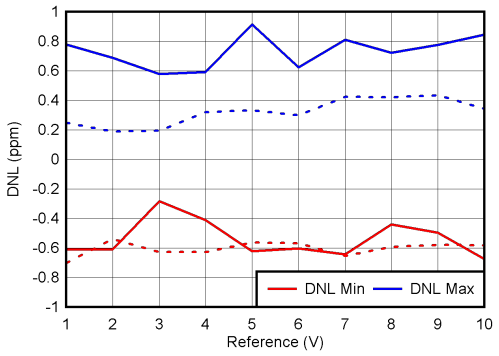
图 5-18. INL 与基准间的关系



增益 = 1

单极（实线），双极（虚线）

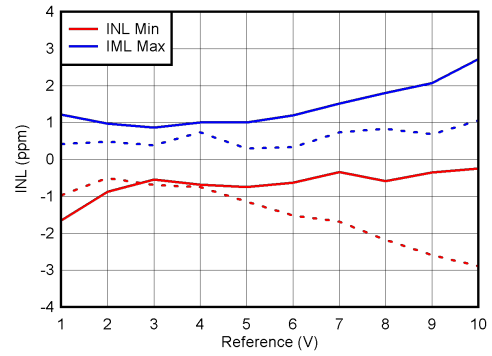
图 5-19. INL 与基准间的关系



增益 = 2

单极（实线），双极（虚线）

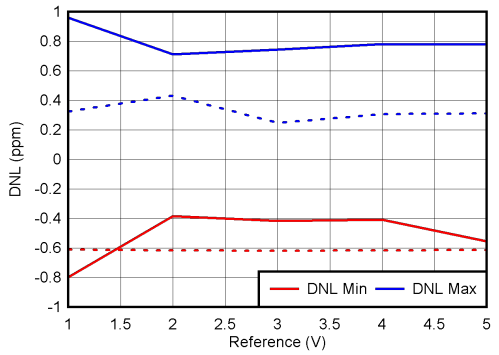
图 5-20. DNL 与基准间的关系



增益 = 2

单极（实线），双极（虚线）

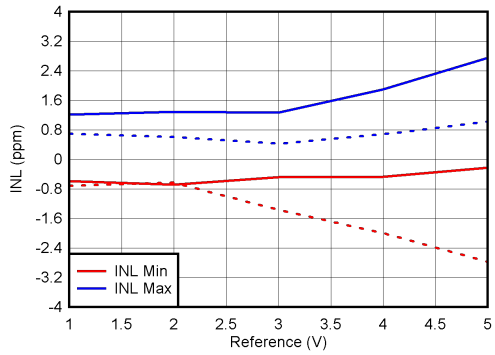
图 5-21. INL 与基准间的关系



增益 = 4

单极（实线），双极（虚线）

图 5-22. DNL 与基准间的关系



增益 = 4

单极（实线），双极（虚线）

图 5-23. INL 与基准间的关系

Copyright © 2026 Texas Instruments Incorporated

5.8.1 典型特性：线性度 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJx = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）

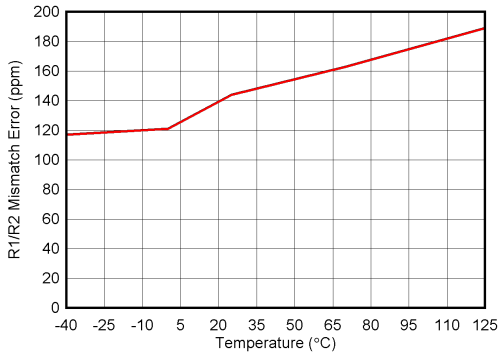
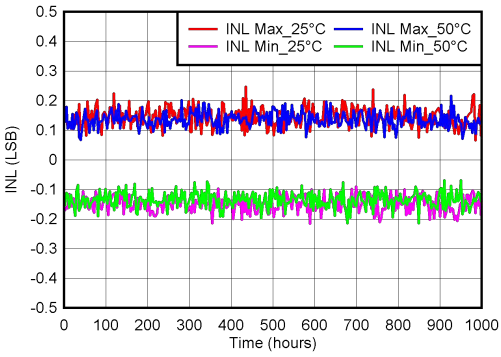
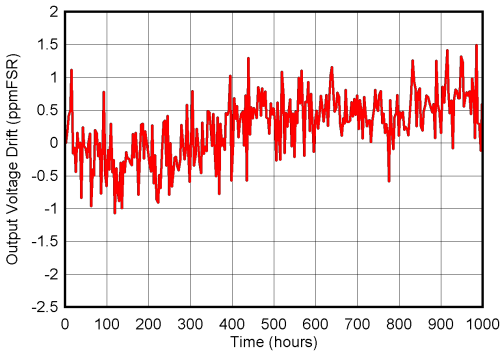


图 5-24. R1/R2 失配误差与环境温度间的关系



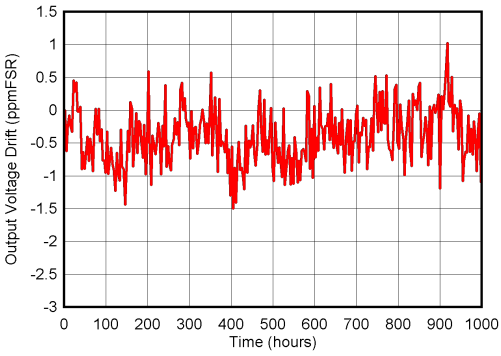
增益 = 1，快速建立模式，双极
REFPx 和 REFNx = ±5V

图 5-25. 1000 小时内的 INL 漂移



增益 = 1，快速建立模式，双极
REFPx 和 REFNx = ±5V，完整代码，温度 = 25°C

图 5-26. 输出电压漂移



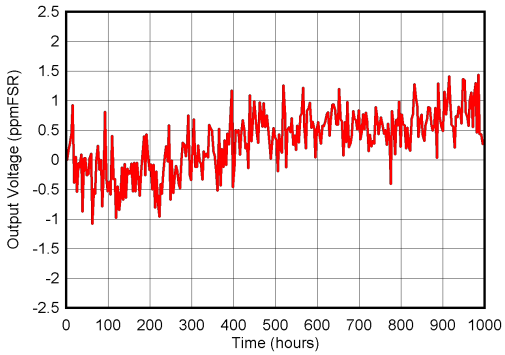
增益 = 1，快速建立模式，双极
REFPx 和 REFNx = ±5V，零代码，温度 = 25°C

图 5-27. 输出电压漂移

Copyright © 2026 Texas Instruments Incorporated

5.8.1 典型特性：线性度 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJx = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



增益 = 1，快速建立模式，双极

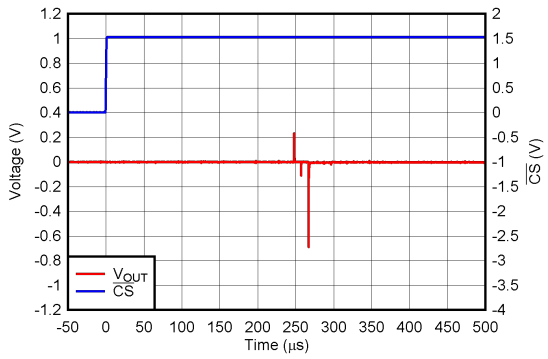
REFPx 和 REFNx = ±5V，中间代码，温度 = 25°C

图 5-28. 输出电压漂移

Copyright © 2026 Texas Instruments Incorporated

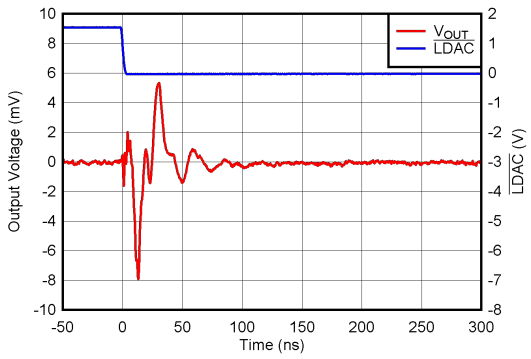
5.8.2 典型特性：毛刺

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



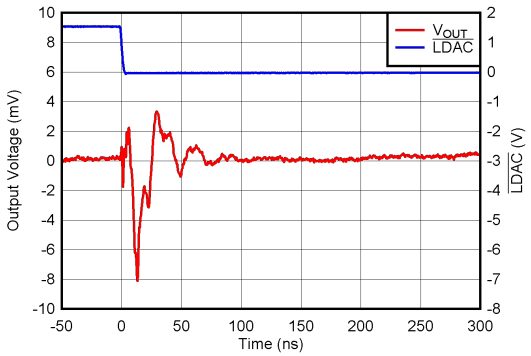
增益 = 1，快速建立模式，双极
REFPx = +5V，REFNx = -5V

图 5-29. 通道上电毛刺



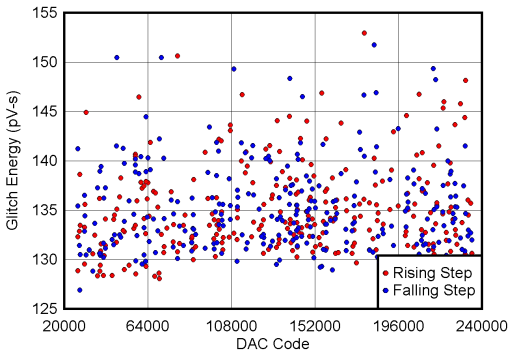
增益 = 1，快速建立模式，双极
REFPx = +5V，REFNx = -5V

图 5-30. 代码变化毛刺



增益 = 4，快速建立模式，双极
REFPx = +5V，REFNx = -5V

图 5-31. 代码变化毛刺



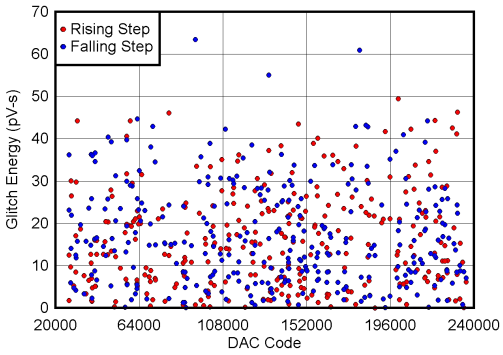
增益 = 1，快速建立模式，双极
REFPx = +5V，REFNx = -5V

图 5-32. 不同代码之间的毛刺变化（绝对积分）

Copyright © 2026 Texas Instruments Incorporated

5.8.2 典型特性：毛刺 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



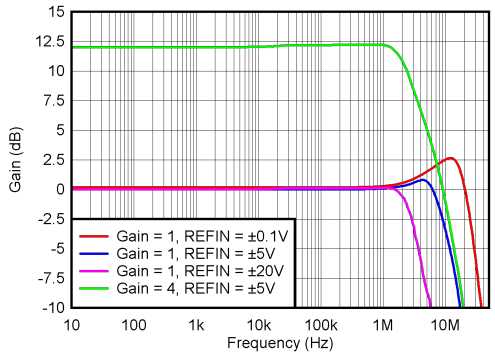
增益 = 1，快速建立模式，双极
REFPx = +5V，REFNx = -5V

图 5-33. 不同代码之间的毛刺变化（直接积分）

Copyright © 2026 Texas Instruments Incorporated

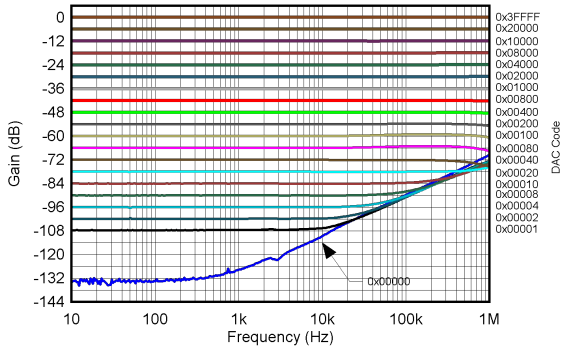
5.8.3 典型特性：倍增模式

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



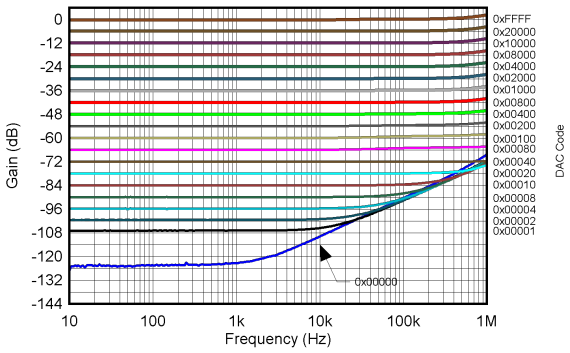
REFP = 0V，单极，完整代码

图 5-34. 基准倍增带宽



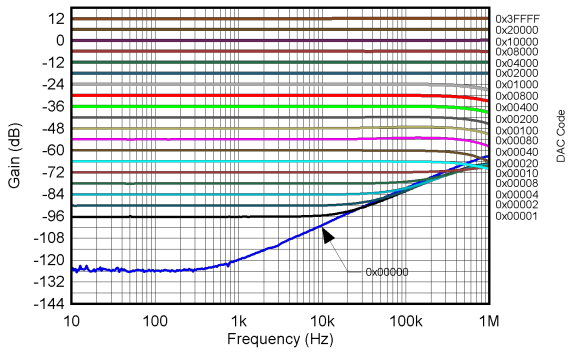
增益 = 1，单极，REFIN = 10V_{PP}，REFP = 0V

图 5-35. 倍增馈通响应



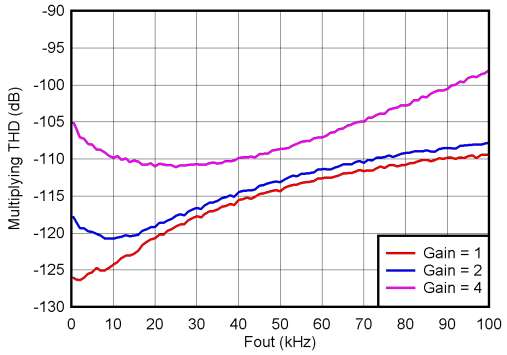
增益 = 1，单极，REFIN = 40V_{PP}，REFP = 0V

图 5-36. 倍增馈通响应



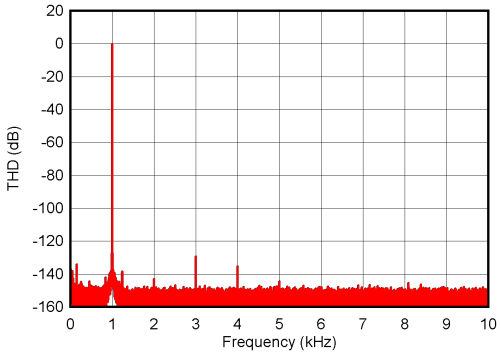
增益 = 4，单极，REFIN = 10V_{PP}，REFP = 0V

图 5-37. 倍增馈通响应



完整代码，单极模式，REFIN = 10V_{PP}，REFP = 0V

图 5-38. 不同频率下的倍增 THD



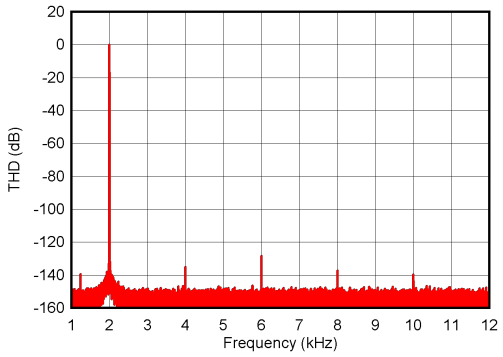
增益 = 1

完整代码，单极模式，REFIN = 10V_{PP}，REFP = 0V

图 5-39. 在 Fout = 1kHz 时倍增 THD

5.8.3 典型特性：倍增模式 (续)

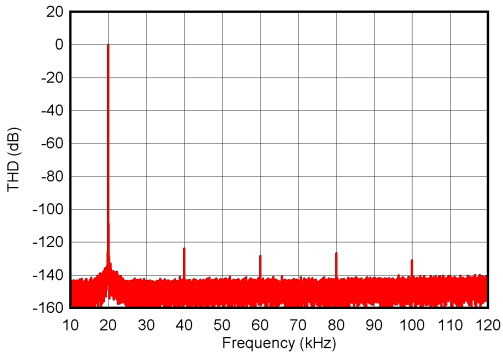
T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



增益 = 1

完整代码，单极模式，REFIN = $10V_{PP}$，REFP = 0V

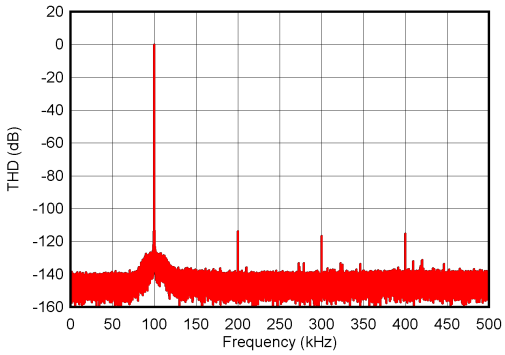
图 5-40. 在 Fout = 2kHz 时倍增 THD



增益 = 1

完整代码，单极模式，REFIN = $10V_{PP}$，REFP = 0V

图 5-41. 在 Fout = 20kHz 时倍增 THD



增益 = 1

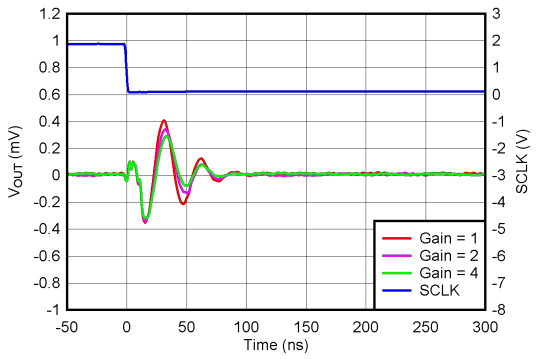
完整代码，单极模式，REFIN = $10V_{PP}$，REFP = 0V

图 5-42. 在 Fout = 100kHz 时倍增 THD

Copyright © 2026 Texas Instruments Incorporated

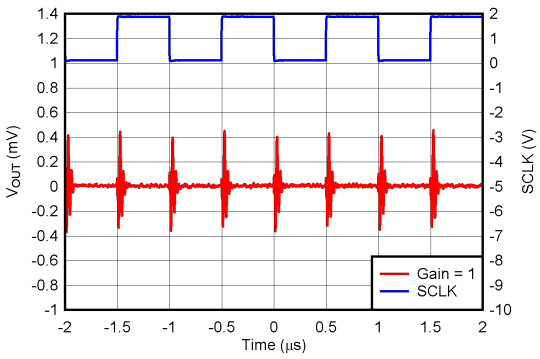
5.8.4 典型特性：快速建立模式

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



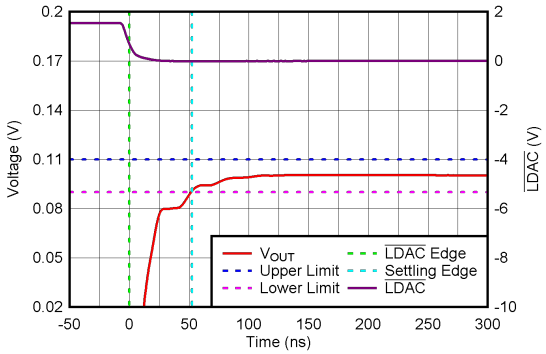
双极模式，REFP = +5V，REFN = -5V

图 5-43. 数字馈通放大图



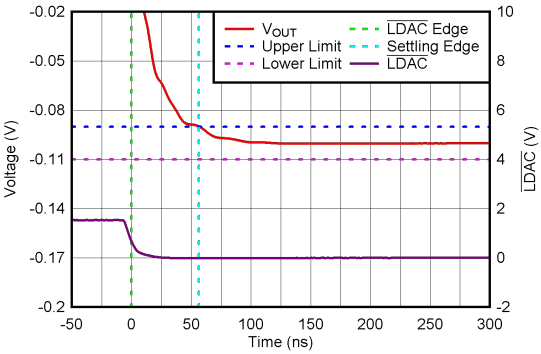
双极模式，REFP = +5V，REFN = -5V
SCLK = 1MHz，中间代码

图 5-44. 数字馈通缩小图



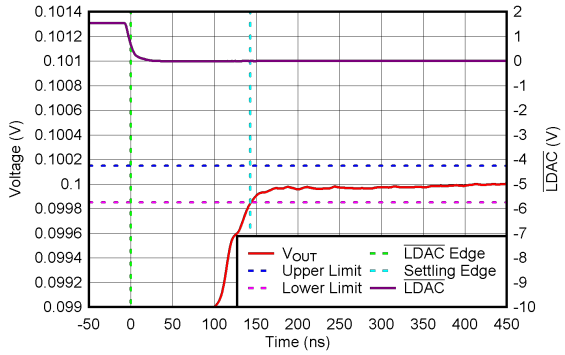
增益 = 1，基准：±5V，上升阶跃为：100mV

图 5-45. 达到 0.1% FSR 的建立时间



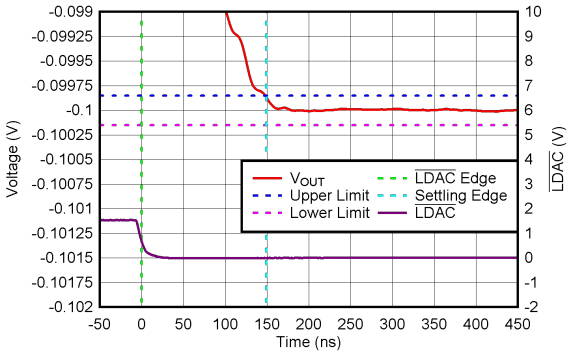
增益 = 1，基准：±5V，下降阶跃为：100mV

图 5-46. 达到 0.1% FSR 的建立时间



增益 = 1，基准：±5V，上升阶跃为：100mV

图 5-47. 达到 0.0015% FSR 的建立时间



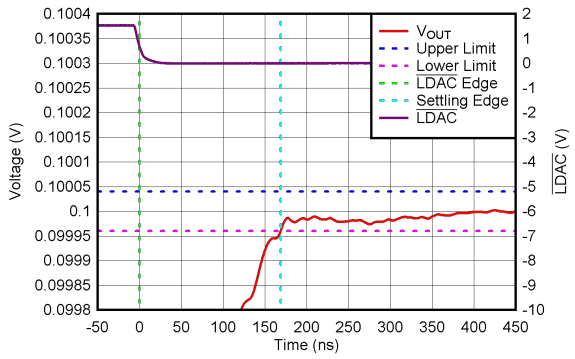
增益 = 1，基准：±5V，下降阶跃为：100mV

图 5-48. 达到 0.0015% FSR 的建立时间

Copyright © 2026 Texas Instruments Incorporated

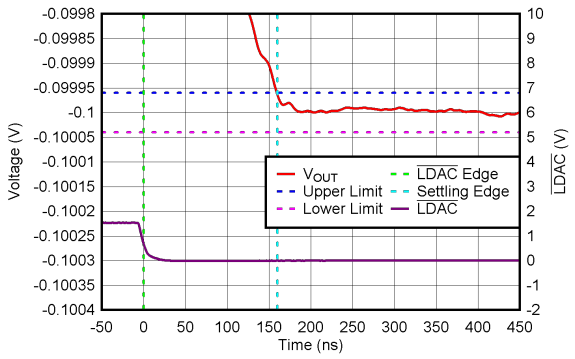
5.8.4 典型特性：快速建立模式 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



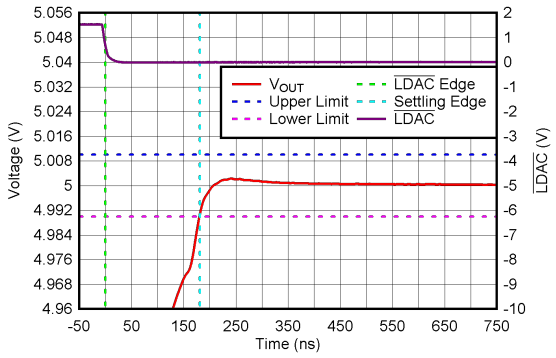
增益 = 1，基准：±5V，上升阶跃为：100mV

图 5-49. 达到 0.0004% FSR 的建立时间



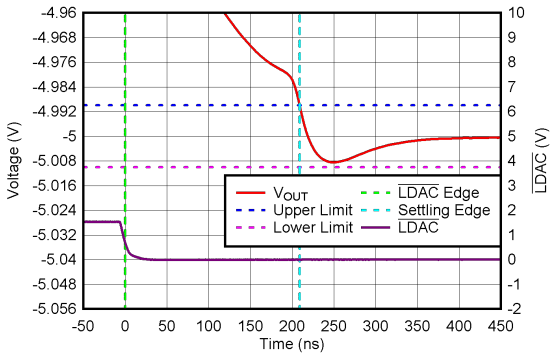
增益 = 1，基准：±5V，下降阶跃为：100mV

图 5-50. 达到 0.0004% FSR 的建立时间



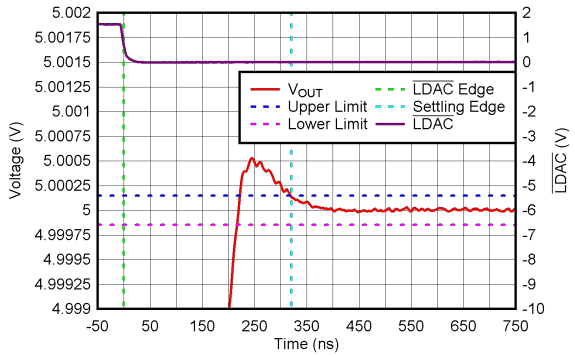
增益 = 1，基准：±5V，上升阶跃为：10V

图 5-51. 达到 0.1% FSR 的建立时间



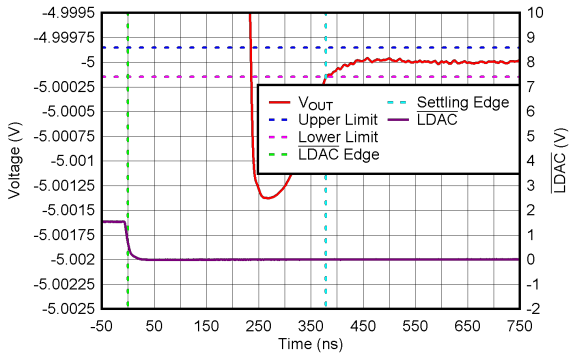
增益 = 1，基准：±5V，下降阶跃为：10V

图 5-52. 达到 0.1% FSR 的建立时间



增益 = 1，基准：±5V，上升阶跃为：10V

图 5-53. 达到 0.0015% FSR 的建立时间



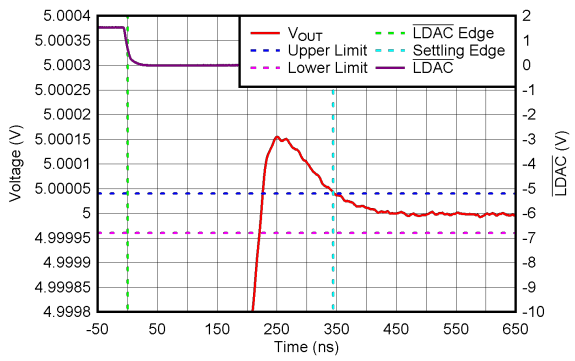
增益 = 1，基准：±5V，下降阶跃为：10V

图 5-54. 达到 0.0015% FSR 的建立时间

Copyright © 2026 Texas Instruments Incorporated

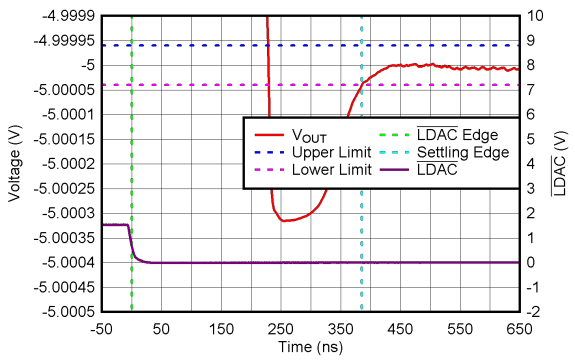
5.8.4 典型特性：快速建立模式 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



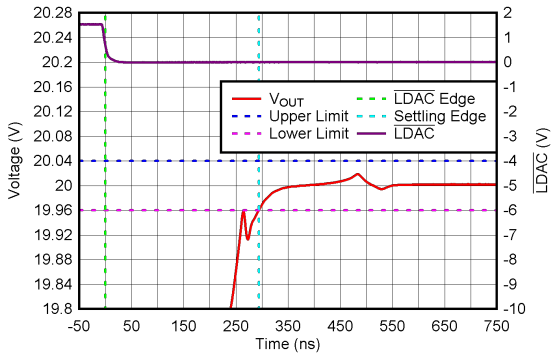
增益 = 1，基准：±5V，上升阶跃为：10V

图 5-55. 达到 0.0004% FSR 的建立时间



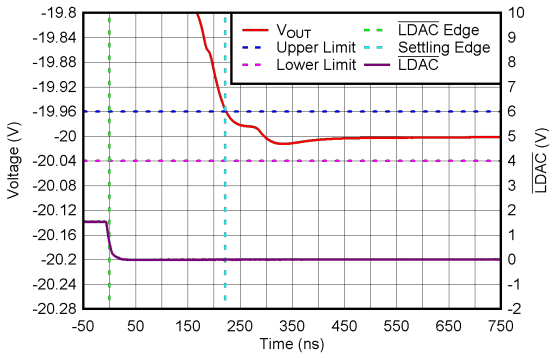
增益 = 1，基准：±5V，下降阶跃为：10V

图 5-56. 达到 0.0004% FSR 的建立时间



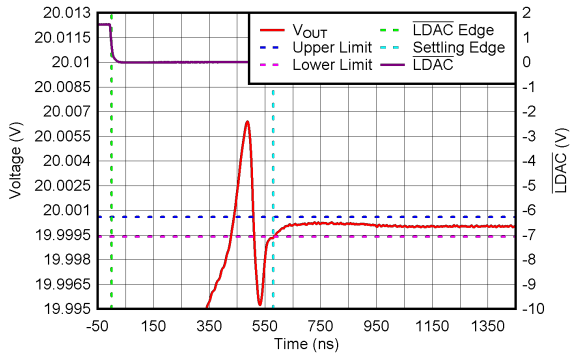
增益 = 1，基准：±20V，上升阶跃为：40V

图 5-57. 达到 0.1% FSR 的建立时间



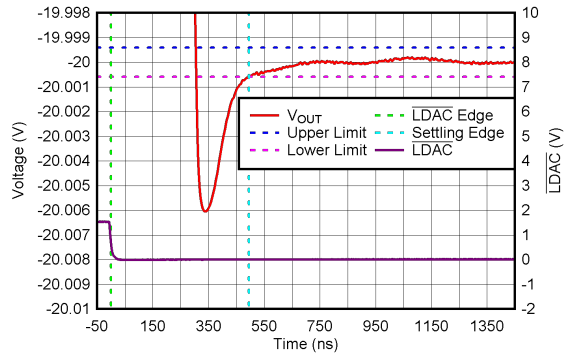
增益 = 1，基准：±20V，下降阶跃为：40V

图 5-58. 达到 0.1% FSR 的建立时间



增益 = 1，基准：±20V，上升阶跃为：40V

图 5-59. 达到 0.0015% FSR 的建立时间



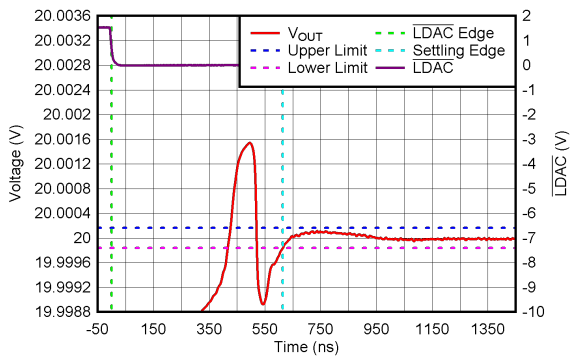
增益 = 1，基准：±20V，下降阶跃为：40V

图 5-60. 达到 0.0015% FSR 的建立时间

Copyright © 2026 Texas Instruments Incorporated

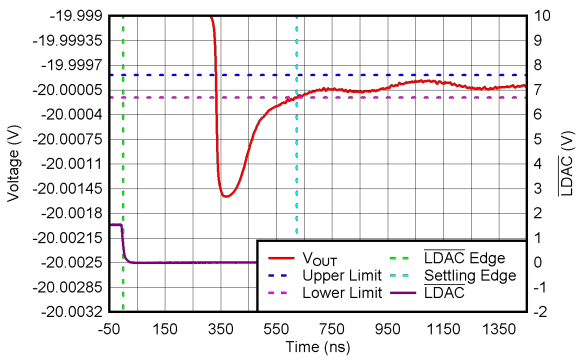
5.8.4 典型特性：快速建立模式 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



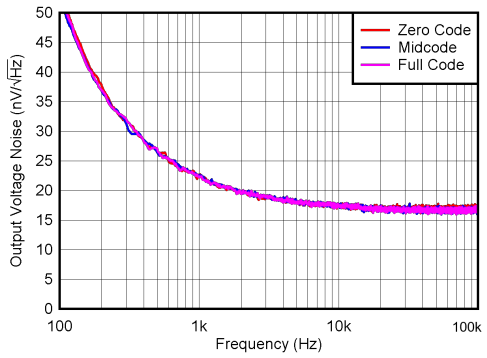
增益 = 1，基准：±20V，上升阶跃为：40V

图 5-61. 达到 0.0004% FSR 的建立时间



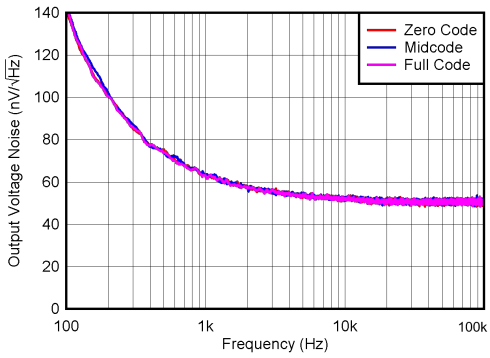
增益 = 1，基准：±20V，下降阶跃为：40V

图 5-62. 达到 0.0004% FSR 的建立时间



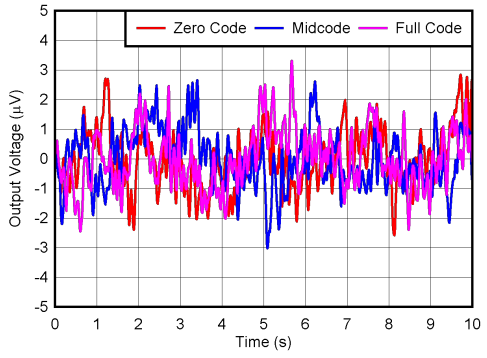
增益 = 1，不包括 R1x 和 R2x 电阻器，双极

图 5-63. 输出噪声与频率间的关系



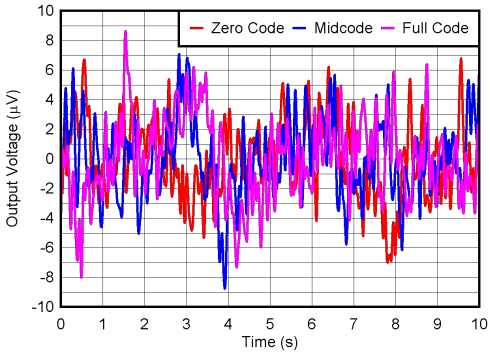
增益 = 4，不包括 R1x 和 R2x 电阻器，双极

图 5-64. 输出噪声与频率间的关系



增益 = 1，双极模式

图 5-65. 0.1Hz 至 10Hz 闪烁噪声



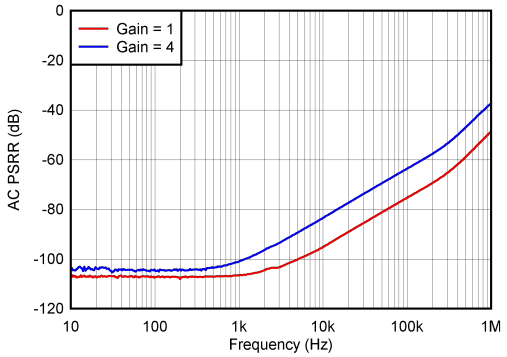
增益 = 4，双极模式

图 5-66. 0.1Hz 至 10Hz 闪烁噪声

Copyright © 2026 Texas Instruments Incorporated

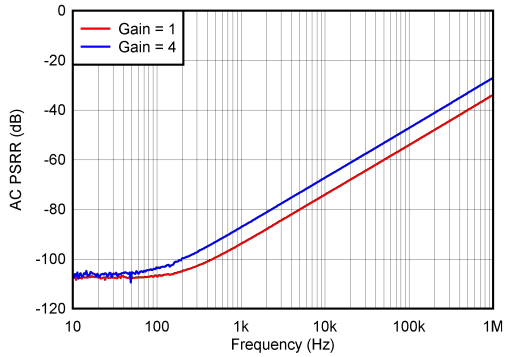
5.8.4 典型特性：快速建立模式 (续)

T_A = -40°C 至 +125°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



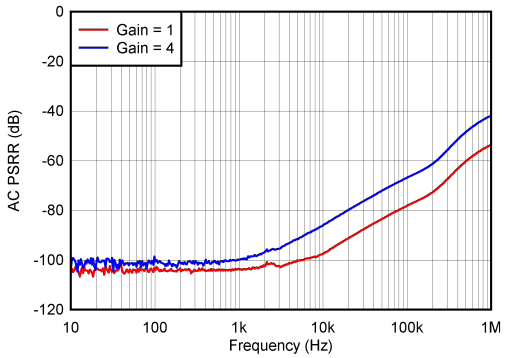
REFPx = +5V，REFNx = -5V，双极模式

图 5-67. VCC PSRR 与频率间的关系



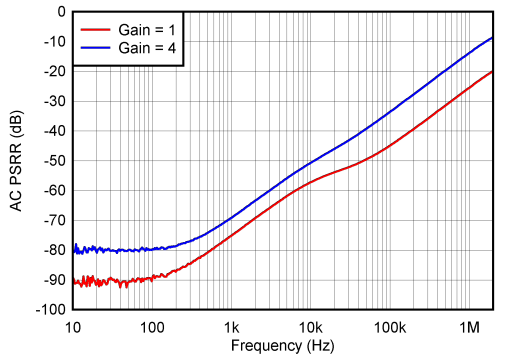
REFPx = +5V，REFNx = -5V，双极模式

图 5-68. VEE PSRR 与频率间的关系



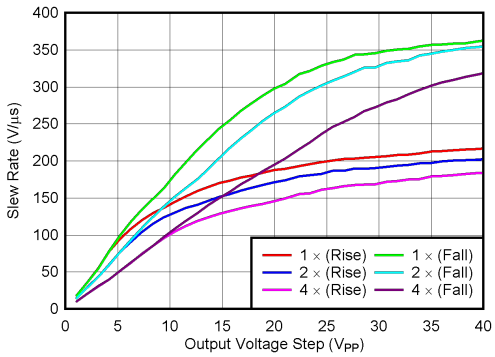
REFPx = +5V，REFNx = -5V，双极模式

图 5-69. AVDD PSRR 与频率间的关系



REFPx = +5V，REFNx = -5V，双极模式

图 5-70. LVDD PSRR 与频率间的关系



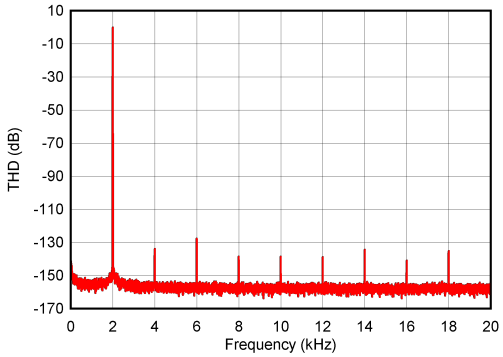
REFPx = +5V，REFNx = -5V

图 5-71. 压摆率与输出电压阶跃间的关系（双极）

Copyright © 2026 Texas Instruments Incorporated

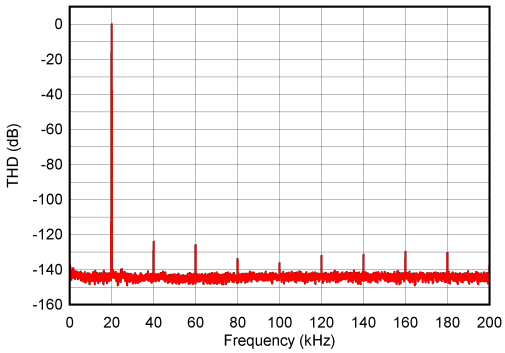
5.8.5 典型特性：AWG 模式

T_A = -40°C 至 +100°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



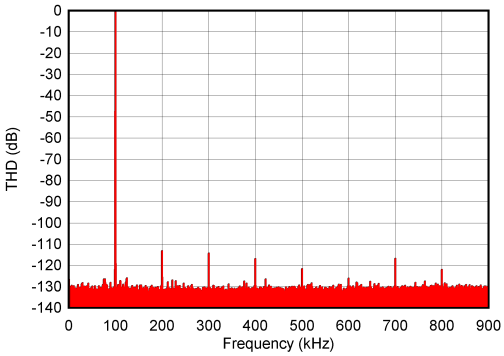
增益 = 1，REFPx = +5V，REFNx = -5V
输出摆幅：10V_{PP}，采样频率 (f_S)：5MHz

图 5-72. 2kHz 时的单音频谱



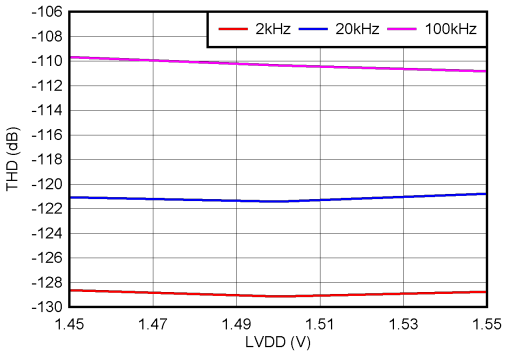
增益 = 1，REFPx = +5V，REFNx = -5V
输出摆幅：10V_{PP}，采样频率 (f_S)：5MHz

图 5-73. 20kHz 时的单音频谱



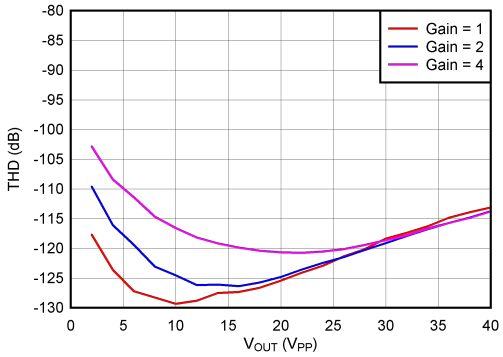
增益 = 1，REFPx = +5V，REFNx = -5V
输出摆幅：10V_{PP}，采样频率 (f_S)：5MHz

图 5-74. 100kHz 时的单音频谱



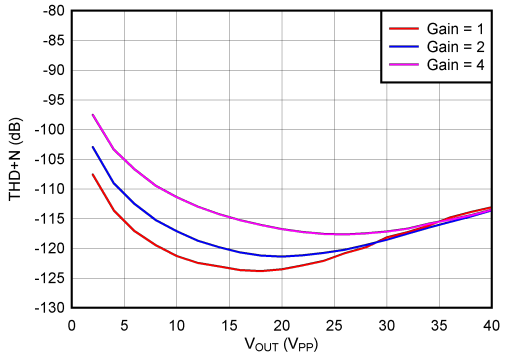
增益 = 1，REFPx = +5V，REFNx = -5V
输出摆幅：10V_{PP}，采样频率 (f_S)：5MHz

图 5-75. THD 与 LVDD 间的关系



调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-76. 2kHz 时 THD 与 V_{OUT} 摆幅间的关系



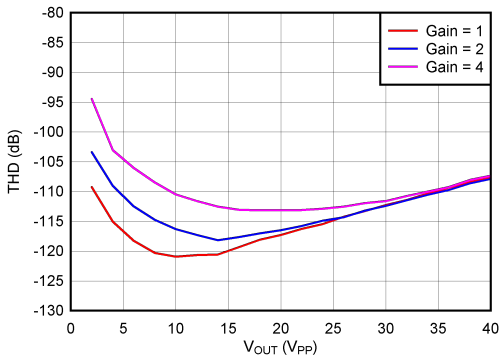
调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-77. 2kHz 时 THD+N 与 V_{OUT} 摆幅间的关系

Copyright © 2026 Texas Instruments Incorporated

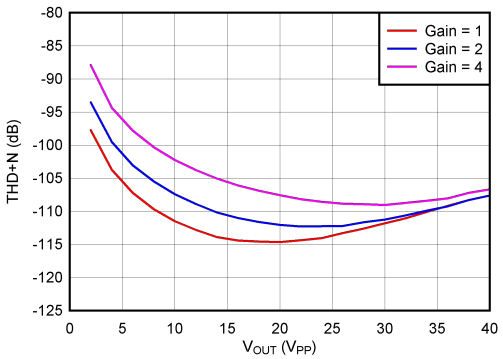
5.8.5 典型特性：AWG 模式 (续)

T_A = -40°C 至 +100°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



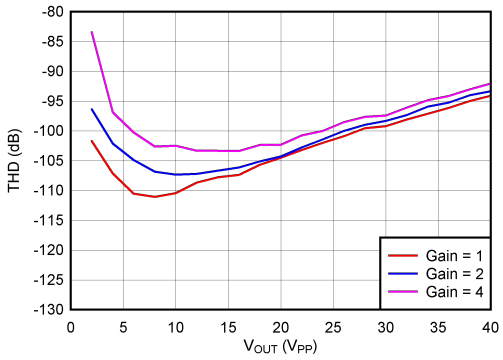
调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-78. 20kHz 时 THD 与 V_{OUT} 摆幅间的关系



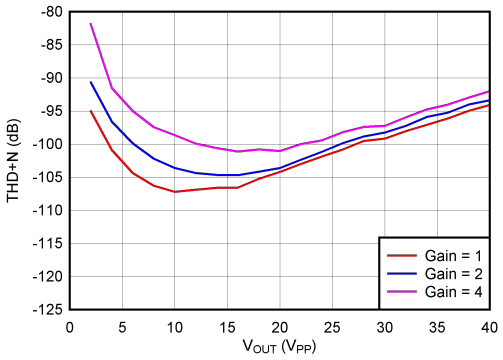
调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-79. 20kHz 时 THD+N 与 V_{OUT} 间的关系



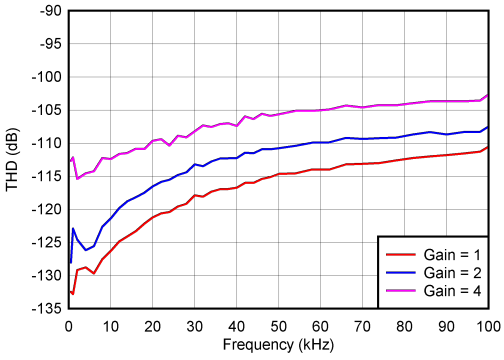
调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-80. 100kHz 时 THD 与 V_{OUT} 摆幅间的关系



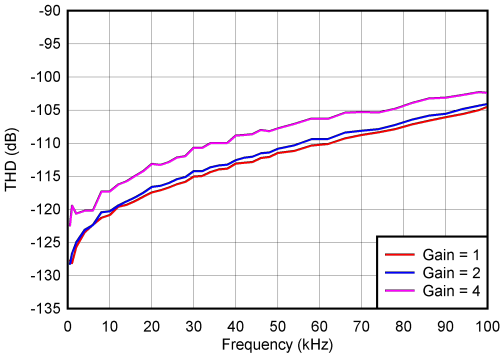
调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-81. 100kHz 时 THD+N 与 V_{OUT} 摆幅间的关系



调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-82. V_{OUT} 摆幅为 $10V_{PP}$ 时 THD 与频率间的关系



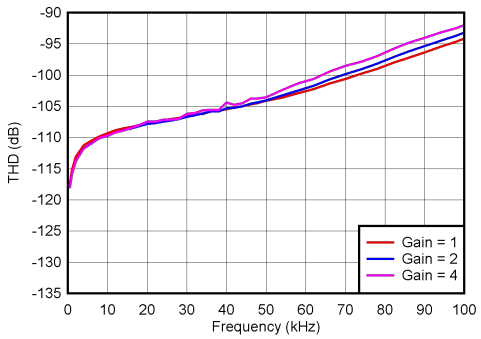
调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-83. V_{OUT} 摆幅为 $20V_{PP}$ 时 THD 与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

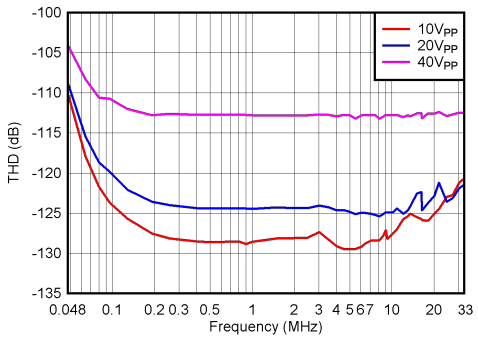
5.8.5 典型特性：AWG 模式 (续)

T_A = -40°C 至 +100°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



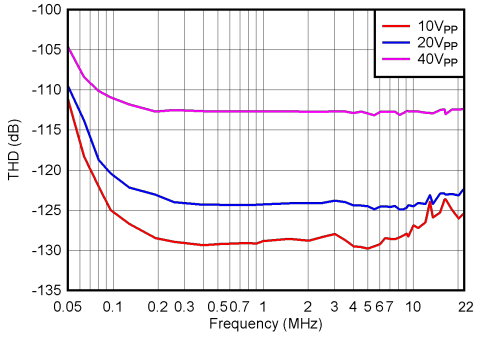
调整基准以适应给定增益下的全摆幅
采样频率 (f_S)：5MHz

图 5-84. V_{OUT} 摆幅为 40V_{PP} 时 THD 与频率间的关系



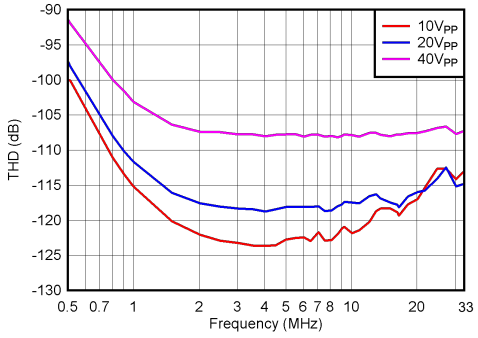
增益 = 1
调整基准以适应给定增益下的全摆幅

图 5-85. f_{OUT} = 2kHz、高速模式（16 位）下不同输出幅值 THD 与采样 (f_S) 频率的关系



增益 = 1
调整基准以适应给定增益下的全摆幅

图 5-86. f_{OUT} = 2kHz、高分辨率模式（18 位）下各输出幅值 THD 与采样 (f_S) 频率的关系



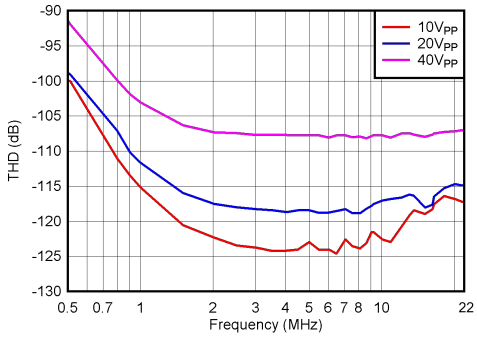
增益 = 1
调整基准以适应给定增益下的全摆幅

图 5-87. f_{OUT} = 20kHz、高速模式（16 位）下不同输出幅值 THD 与采样 (f_S) 频率的关系

Copyright © 2026 Texas Instruments Incorporated

5.8.5 典型特性：AWG 模式 (续)

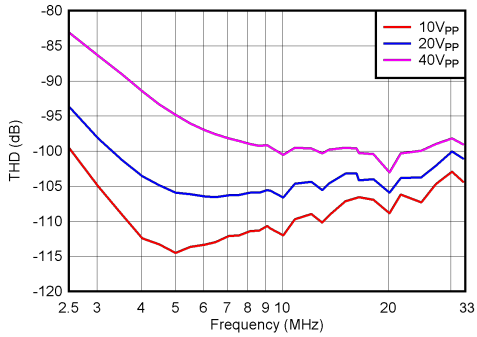
T_A = -40°C 至 +100°C、VCC = +8.5V 至 +23.5V、VEE = -8.5V 至 -23.5V、AVDD = 5.0V、DVDD = 1.5V、LVDD = 1.5V、VIO = 1.5V、VOSADJ_ENx = 0、OFS_ENx = 0、ROFS_F = ROFS_S = VOSADJ = AGND（VREFP 和 VREFN 请参阅注释）；所有典型值均在 T_A = 25°C、输出空载条件下测得（除非另有说明）



增益 = 1

调整基准以适应给定增益下的全摆幅

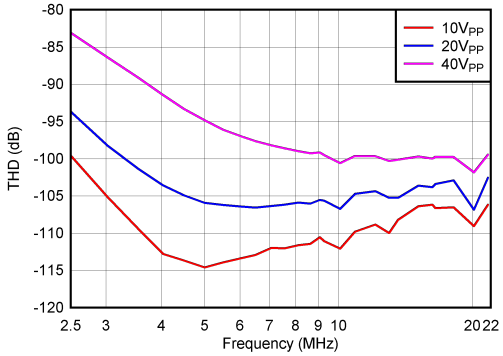
图 5-88. f_{OUT} = 20kHz、高分辨率模式（18 位）下各输出幅值 THD 与采样 (f_S) 频率的关系



增益 = 1

调整基准以适应给定增益下的全摆幅

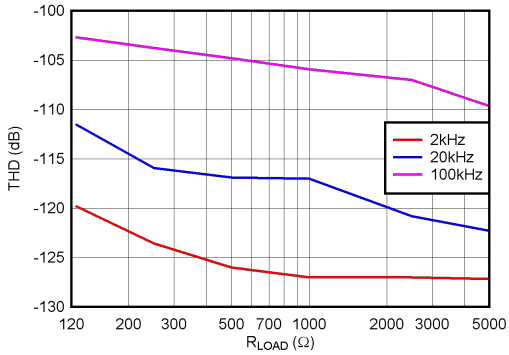
图 5-89. f_{OUT} = 100kHz、高速模式（16 位）下不同输出幅值 THD 与采样 (f_S) 频率的关系



增益 = 1

调整基准以适应给定增益下的全摆幅

图 5-90. f_{OUT} = 100kHz、高分辨率模式（18 位）下各输出幅值 THD 与采样 (f_S) 频率的关系



增益 = 1

图 5-91. $10V_{PP}$ 时 THD 与 R_{LOAD} 间的关系

6 详细说明

6.1 概述

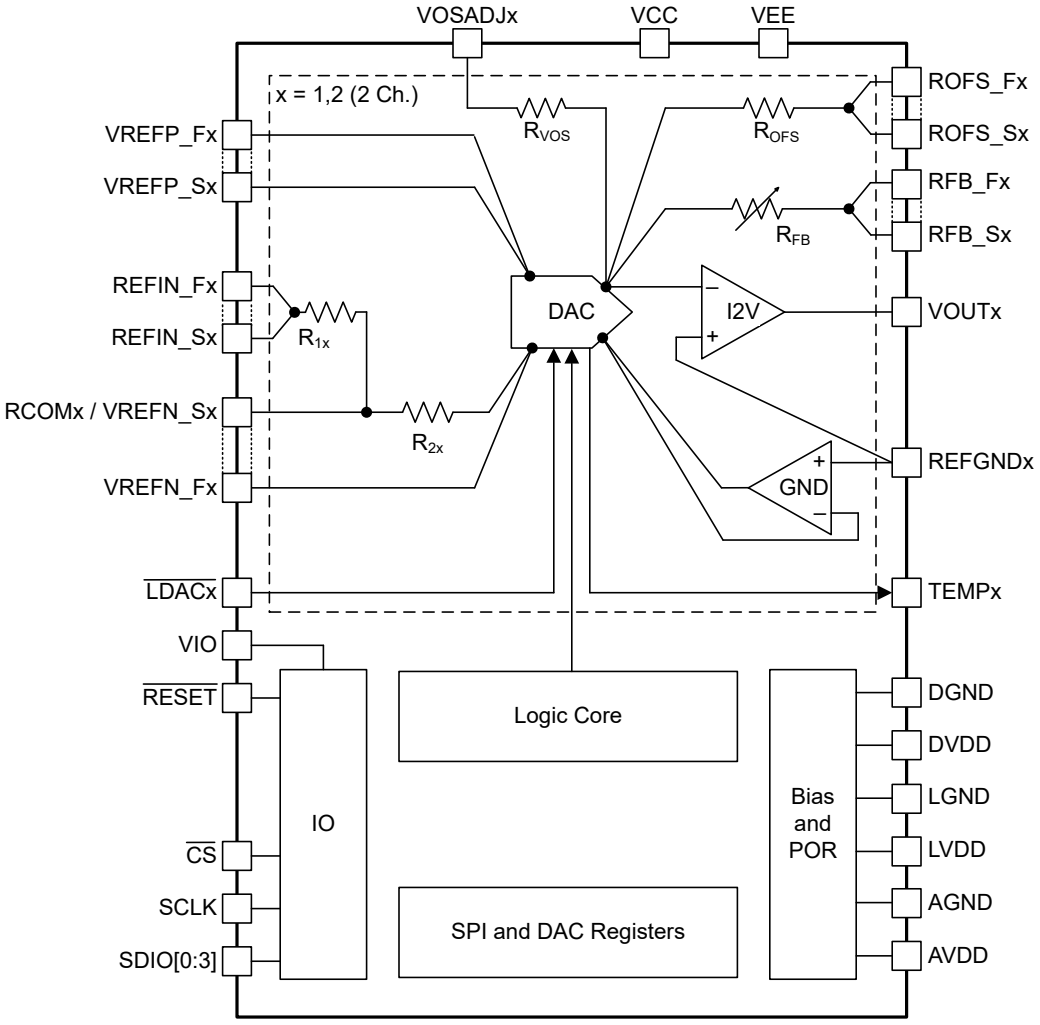
DAC90802 是一款采用专有倍增 DAC (MDAC) 架构的双通道通道、18 位、电压输出、数模转换器 (DAC)。

每个通道都有一个功能齐全的独立 DAC，包括用于反馈 (RFB)、失调电压 (ROFS)、失调电压调节 (VOSADJ)、负载 DAC ($\overline{\text{LDAC}}$)、温度传感器输出 (TEMP)、基准（VREFP、VREFN）和匹配基准反相（REFIN、RCOM）的电阻器连接。

DAC90802 的各通道共享一个兼容四线 SPI 的串行数据接口，具有四条数据输入/输出线 (SDIO0-SDIO3)、芯片选择 ($\overline{\text{CS}}$) 和串行时钟 (SCLK) 输入。使用异步低电平有效 $\overline{\text{RESET}}$ 引脚可复位 DAC 代码和器件的功能状态。此外，使用 $\overline{\text{LDAC}}$ 输入将 DAC 输出与整体系统信号同步。

DAC90802 需要外部基准电压。使用基准、基准反相和失调引脚配置在单极、双板和非对称运行模式中进行选择。配置失调电压调节引脚，以微调整个系统中的失调电压误差。DAC90802 集成一个上电复位 (POR) 电路，以确保使用 5kΩ 电阻器将 DAC 输出下拉至零。

6.2 功能方框图



Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 数模转换器

DAC90802 实现导流 R-2R 梯形架构。图 6-1 显示了典型的等效 DAC 通道。每个 DAC 都包含一个匹配的反馈电阻器，用于内部 I 转 V 转换放大器。RFB 引脚连接到放大器的输出端。

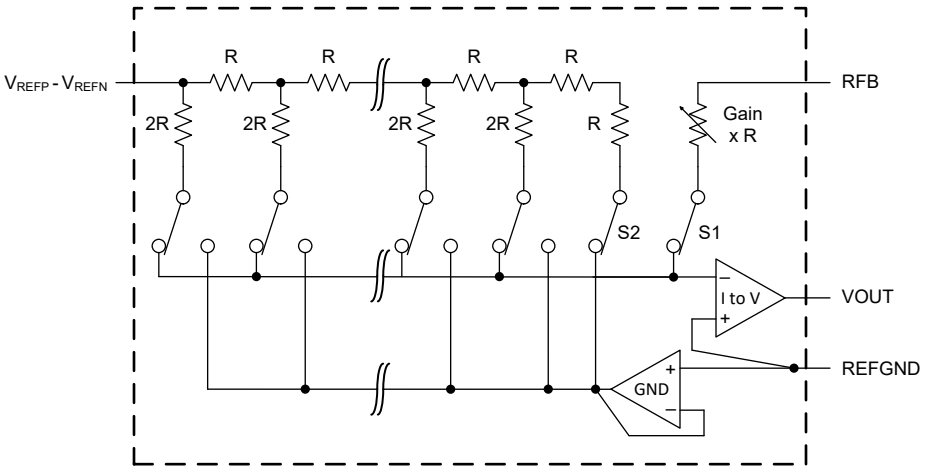


图 6-1. 典型等效 DAC 通道

DAC90802 支持直流和交流基准电压输入。通过 RFB 处匹配的内部反馈电阻器网络，使用户能够以数字方式选择 1V/V、2V/V 或 4V/V 作为 DAC 输出电压的增益 G_{FB}。必须向器件施加电源以及适当的增益选择，以在测量 RFB 时实现连续性。方程式 1 定义了 DAC 传递函数。

$$V_{OUT} = -\left[G_{FB} \cdot \left(V_{REFP} - V_{REFP}\frac{n}{2^N} + V_{REFN}\frac{n}{2^N}\right) + G_{OFF} \cdot V_{OFF} + G_{ADJ} \cdot V_{ADJ}\right] \cdot [1 + G_{OV}] \quad (1)$$

其中，

$G_{FB} = \frac{R_{FB}}{R_{DAC}}$ 是 DAC 的增益设置，

n 是编程的 DAC 代码，

N 是 DAC 分辨率，

V_{REFP}, V_{REFN} 分别是施加到 VREFP 和 VREFN 引脚的基准电压，

V_{OFF}, V_{ADJ} 分别是使用 ROFS 和 VOSADJ 引脚施加的粗略失调电压和精细失调电压（有关详细信息，请参阅节 6.3.1.4），

$G_{OFF} = \frac{R_{FB}}{R_{OFS}}$, $G_{ADJ} = \frac{R_{FB}}{R_{VOS}}$ 分别是粗略失调电压调整增益和精细失调电压调整增益（有关详细信息，请参阅节 6.3.1.4），

且

V_{OUT} 是 DAC 输出电压

备注

使用 DAC 分辨率 N（根据用于写入代码 n 的寄存器）。例如，当使用 18-b DAC90802 中的 16b 寄存器时，N 为 16。

对于基本单极运行（无失调或调整电压），其中 $V_{REFP} = 0$, $V_{REFN} = -V_{REF}$

Copyright © 2026 Texas Instruments Incorporated

$$V_{OUT} = G \times V_{REF} \frac{n}{2^N} \quad (2)$$

而零代码、中间代码和完整代码值分别为

$V_{OUT}^{n=0} = 0$, $V_{OUT}^{n=2^N-1} = G \times \frac{V_{REF}}{2}$, $V_{OUT}^{n=2^N-1} = G \times V_{REF}\left(1 - \frac{1}{2^N}\right)$。

对于基本双极运行（无失调或调整电压），其中 $V_{REFP} = V_{REF}$, $V_{REFN} = -V_{REF}$

$$V_{OUT} = -G\left(V_{REF} - 2\,V_{REF}\frac{n}{2^N}\right) = G \times V_{REF}\left(\frac{2n - 2^N}{2^N}\right) \quad (3)$$

而零代码、中间代码和完整代码值分别为

$V_{OUT}^{n=0} = -G \times V_{REF}$, $V_{OUT}^{n=2^N-1} = 0$, $V_{OUT}^{n=2^N-1} = G \times V_{REF}\left(1 - \frac{1}{2^N - 1}\right)$。

Copyright © 2026 Texas Instruments Incorporated

6.3.1.1 参考

DAC90802 的架构支持使用交流和直流基准信号，并可在每个独立 DAC 通道上承受*电气特性* 中规定的、高达 V_{REF} 的输入基准电压。基准电压输入 VREFP 和 VREFN 在各种代码下表现为恒定的标称输入电阻。设计基准驱动电路以实现如 I_{REFP} 和 I_{REFN} 所描述的驱动能力。可以选择使用在 REFIN 和 RCOM 之间连接的匹配基准反相电阻器，并配合适当的运算放大器实现信号反相。使用单基准连接时，在全双极运行情况下，系统误差计算中包含 R_1/R_2 的线性度。对用于 DAC 的任何基准电压，将 REFGND 连接为接地检测线。

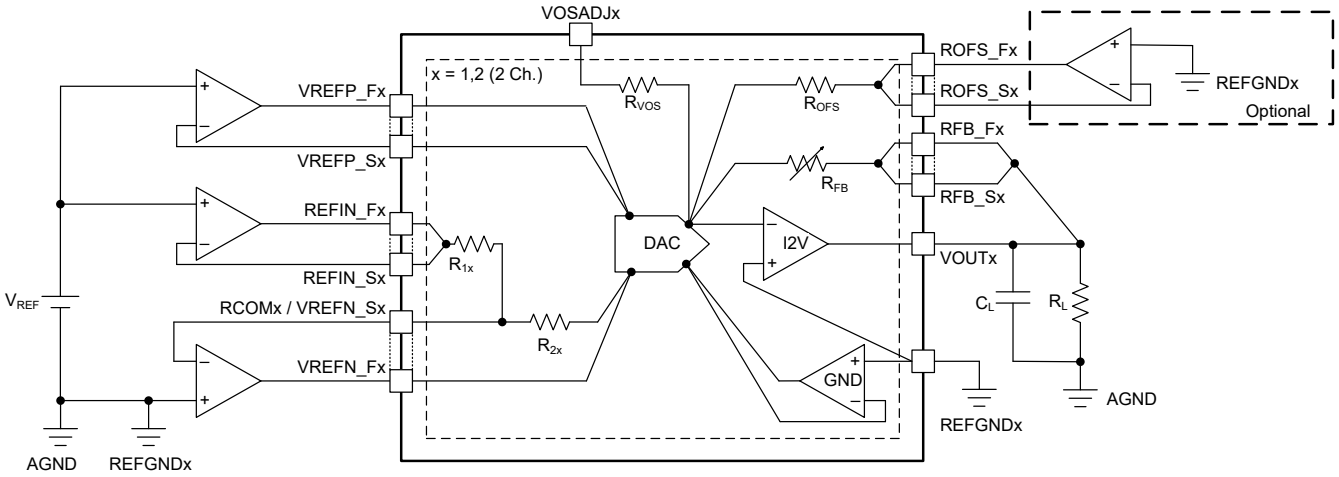


图 6-2. 单基准连接

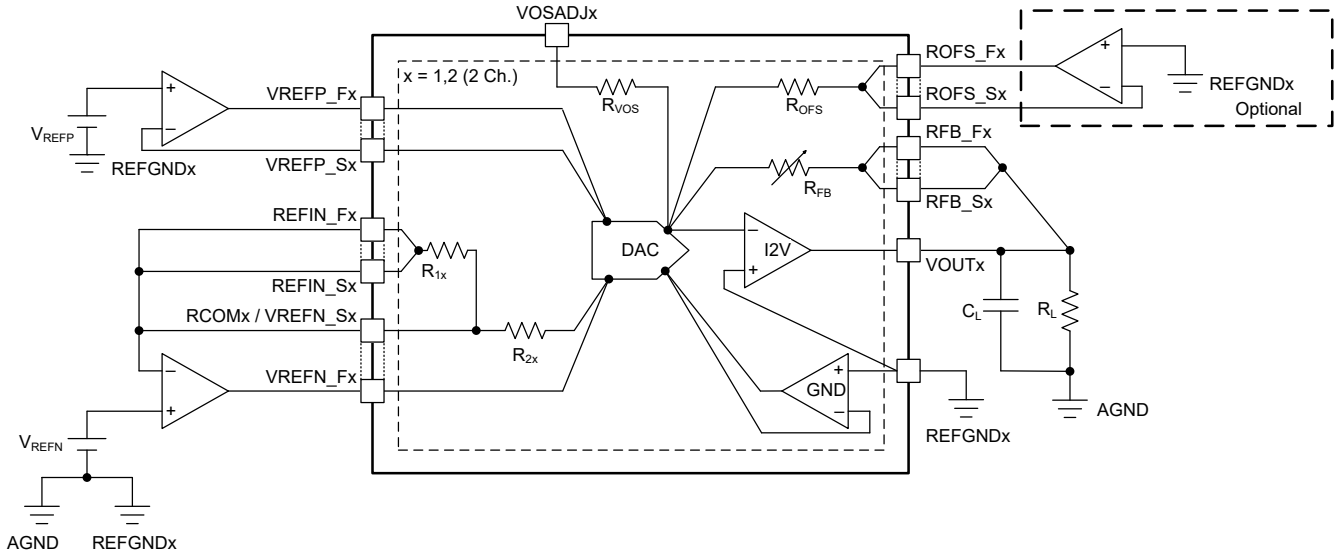


图 6-3. 双基准连接

Copyright © 2026 Texas Instruments Incorporated

6.3.1.2 输出范围

DAC90802 电压输出受 I 转 V 至 V_{OUT} 输出范围的限制（如*电气特性*中所规定）。将 VOUT 处的电压连接到反馈 RFB，以将输出电容保持在规定的最大 C_{LOAD} 范围内，从而实现高速、稳定的内部 I 转 V 放大器性能。插入一个串联电阻器以扩展可用的 C_{LOAD} 范围。

使用 ROFS 引脚将粗略失调引入 DAC90802 的电流输出节点。内部 R_{OFS} 粗略失调电阻器匹配 R_{DAC} 的固定增益 G_{OFF}。使用 VOSADJ 引脚将精细失调引入 DAC90802 的电流输出节点。内部 R_{VOS} 精细失调电阻器匹配 R_{DAC} 的固定增益 G_{ADJ}。此调整的典型用途包括校准 DAC 输出的较小失调。

6.3.1.2.1 增益超范围

RFB 引脚处的反馈电阻器选项在标称增益 G 的基础上包括增益超范围 G_{OV}。增益超范围使校准后系统性能具有正确增益的完整动态范围。使用 DAC90802 的完整分辨率 N，以保持 DNL 性能而不会丢失整个系统的代码。节 5.5 中 DAC90802 的所有终点代码误差规格均在计入超范围的情况下规定。

6.3.1.3 输出同步

如图 6-4 所示，DAC90802 使用双缓冲架构，可实现对输出的精确时序控制。

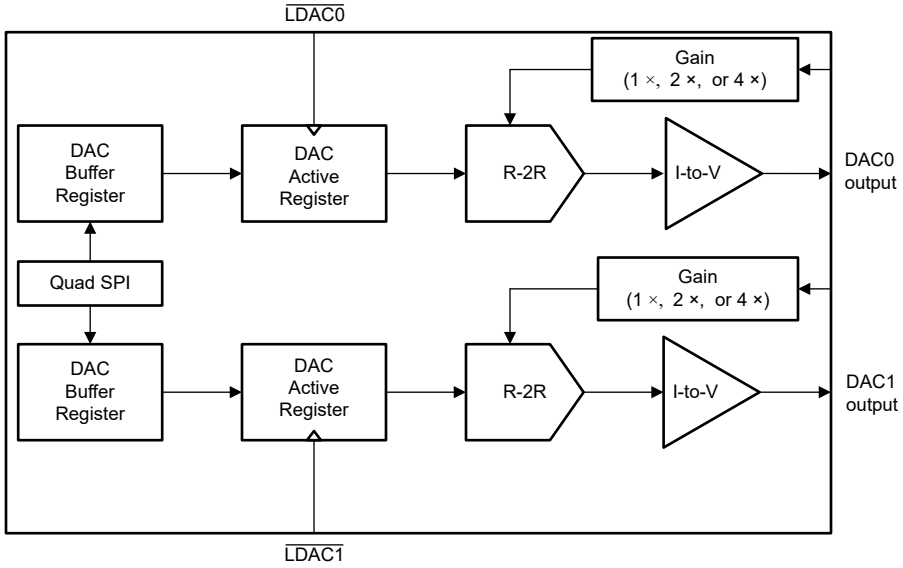


图 6-4. 双缓冲 DAC 架构

DAC90802 支持通过以下三种 DAC 更新方法之一进行时序控制。

- 异步更新（ASYNC_UPDT = 1，SFT_LDAC_EN = 无关）
  - SPI 帧中的数据包结束 (EOP) 独立控制每个通道的 DAC 最后一级输出缓冲器；$\overline{LDAC}$ 输入没有任何影响
  - 对于 16 位数据寄存器，EOP 是第二个 8 位数据字节的末尾，实际周期计数取决于 SPI 运行模式
  - 由于 DAC90802 未实现广播模式，因此如果 DAC 的多个通道需要同步，则不建议使用此模式
  - 该模式具有超低延迟，适用于快速控制环路和延迟是主要限制因素的类似应用，例如在快速建立模式下
- 基于同步 SPI 的更新（ASYNC_UPDT = 0，SFT_LDAC_EN = 1）
  - SFT_LDAC 触发缓冲器更新；$\overline{LDAC}$ 输入没有任何影响
  - SFT_LDAC SPI 帧中的 EOP 触发 DAC 更新
  - 作为异步更新方法的补充，由于 SFT_LDAC_EN 允许每个选定通道同时接收更新，基于同步 SPI 的更新提供了一种使用 SPI 同步 DAC90802 所有通道的直接方法。

Copyright © 2026 Texas Instruments Incorporated

  - 在没有物理 $\overline{\text{LDAC}}$ 输入的情况下，SFT_LDAC 提供了一种同步 DAC 通道以实现理想交流性能的方法；例如，在倍增模式下
- 同步 $\overline{\text{LDAC}}$ 更新（ASYNC_UPDT = 0，SFT_LDAC_EN = 0）
  - $\overline{\text{LDAC}}$ 用作 DAC 最后一级缓冲器的高精度、低抖动时钟输入，从而实现超精确的时序控制
  - 通过精密时钟信号进行同步 $\overline{\text{LDAC}}$ 控制是实现 DAC 输出时序和偏斜控制的超精确方法
  - DAC90802 支持每个 DAC 通道独立的 $\overline{\text{LDAC}}$ 输入。此功能支持多种应用场景，例如输出插值、完整信号链偏斜均衡等
  - 对于超低 THD 应用，请使用低抖动时钟进行同步 $\overline{\text{LDAC}}$ 更新，以实现 DAC 的理想性能；例如，在 AWG 模式下

6.3.1.4 热传感器

DAC90802 具有每通道热传感器输出，该输出可在模拟电压或内部触发热标志数字状态输出之间进行选择。引脚输出功能在每种模式下不同，并在节 5.5 中规定。

DAC90802 设计采用了超高精度、超低热系数匹配电阻器，适用于低热噪声但能够承受高电压的应用。高电压、低噪声应用需要热管理和系统性自热补偿。使用 TEMP 模拟输出模式和外部 ADC，以数字方式对用于驱动 DAC 的系统控制器或 FPGA 进行系统性自热调节。对于不需要自热校正的应用，请在数字模式下使用 TEMP（需要时可使用适当的数字扇出缓冲器）作为热标志输出。

6.3.2 上电

DAC90802 需要多个电源轨。DAC90802 集成一个上电复位 (POR) 电路，以确保使用 5kΩ 电阻器将 DAC 输出下拉至零。在 $\overline{\text{RESET}}$ 上施加低电平有效信号会复位器件并清除所有寄存器，结果与 POR 事件相同。尽管可以使用任何电源域序列后跟基准电压，但建议遵循表 6-1 所示的序列。

表 6-1. 电源和基准建议序列

序列	用途	引脚
1	模拟高电压负电源轨	VEE
2	模拟高电压正电源轨	VCC
3	模拟低电压轨	AVDD
4	数字和通信电源	LVDD、VIO
5	数字内核电源	DVDD
6	基准（如使用）	VREFP、VREFN、REFIN、ROFS、VOSADJ

Copyright © 2026 Texas Instruments Incorporated

6.3.3 串行数据接口

DAC90802 对两个 DAC 通道使用多功能共享四线 SPI。SPI 端口支持使用各种方法接线，从高速只写四线 SPI（四个数据输入引脚）模式到菊花链模式（共享线路上有多个器件）。该器件在大多数配置中以高达 66MHz SCLK 频率支持 SDR（单数据速率）和 DDR（双数据速率），菊花链和回读模式下存在一些限制。数据始终都是 MSB 优先对齐。

在 SDR 模式下，置于活动 SDIO 引脚上的数据从 SCLK 的第一个有效下降沿开始在寄存器中计时。在此模式下，每个活动的 SDIO 引脚在每个 SCLK 周期从数据帧中捕获一位。在 DDR 模式下，数据在 SCLK 的有效上升沿和下降沿均在寄存器中计时，第一次采样在上升沿完成。在此模式下，每个活动的 SDIO 引脚在每个 SCLK 周期捕获两位数据。

计入规定的建立和保持时间后，$\overline{CS}$ 为低电平时 SCLK 边沿才有效。不建议将 $\overline{CS}$ 引脚保持为低电平的周期数设为与所选工作模式不一致。这种情况可能会导致数据采集不正确或数据包被忽略。

6.3.3.1 SPI 配置

在默认 SPI 运行模式下，DAC90802 的 SPI 写入对所有寄存器使用 40 位数据帧，但 DAC_DATA_CHx_X 寄存器除外。CHx_DATA_HS 寄存器使用 24 位帧，CHx_DATA_HR 寄存器使用 32 位帧。R/W 位和 7 个地址位后跟 32 位、24 位或 16 位数据。在支持数据回读的配置中，回读数据帧也会遵循回读前的写入周期。在 SPI 流模式下，会跳过 R/W 位和地址位，从而加快到 DAC 的数据传输。

对于标准 SPI，仅使用 SDIO0 作为输入时，帧长度选项如图 6-5、图 6-7 和图 6-6 所示。

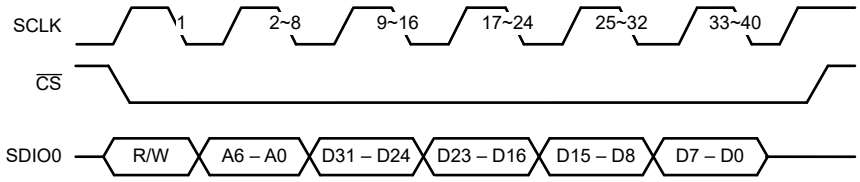


图 6-5. SDR 标准 SPI 40 位帧

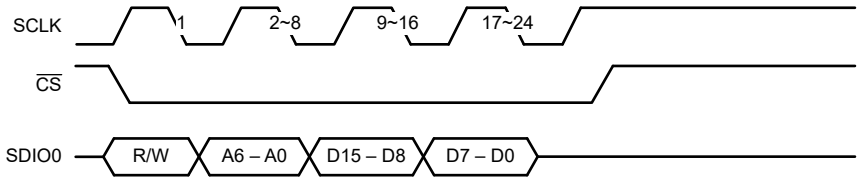


图 6-6. CHx_DATA_HS 寄存器的 SDR 标准 SPI 24 位帧

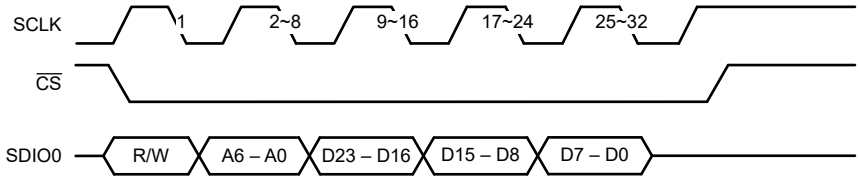


图 6-7. CHx_DATA_HR 寄存器的 SDR 标准 SPI 32 位帧

四线 SPI 宽度还可在标准 SPI、双线 SPI 和四线 SPI 之间进行选择，引脚配置如表 6-2 所示。该器件支持单或双数据速率通信，包括任何 SPI 宽度配置中数据寄存器的流模式。默认配置为带标准 SPI 的 SDR 模式。

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 支持的四线 SPI 引脚宽度

SPI 宽度模式	标准 SPI (SPI_CFG.SPI_MIO = 0x0)		双线 SPI (SPI_CFG.SPI_MIO = 0x1)		四线 SPI (SPI_CFG.SPI_MIO = 0x2)	
数据速率模式 (SPI_CFG.SPI_DDR)	SDR	DDR	SDR	DDR	SDR	DDR
串行数据输入	仅限 SDIO0		SDIO0 与 SDIO1		SDIO0、SDIO1、SDIO2 和 SDIO3	
串行数据输出	仅限 SDIO3	不支持 DDR	SDIO2 和 SDIO3	不支持 DDR	不支持回读	

表 6-3. 支持的数据帧长度（含地址字节）

字段	地址字节	数据字节	标准 SPI		双线 SPI		四线 SPI	
			SDR	DDR	SDR	DDR	SDR	DDR
CHx_DATA_HS	1	2	24 个周期	12 个周期	12 个周期	6 个周期	6 个周期	3 个周期
CHx_DATA_HR	1	3	32 个周期	16 个周期	16 个周期	8 个周期	8 个周期	4 个周期
其他	1	4	40 个周期	20 个周期	20 个周期	10 个周期	10 个周期	5 个周期

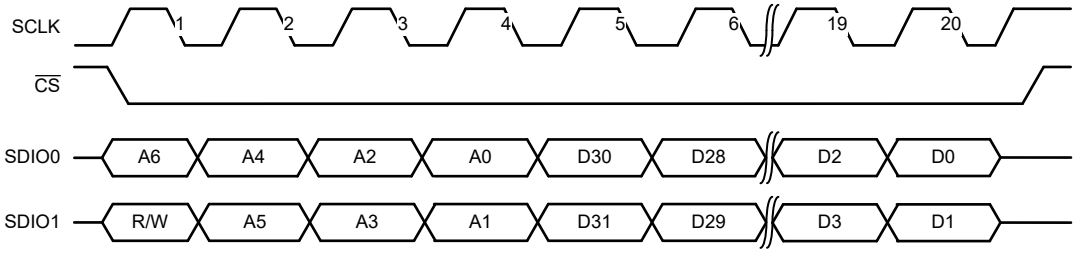


图 6-8. SDR 双线 SPI 40 位帧

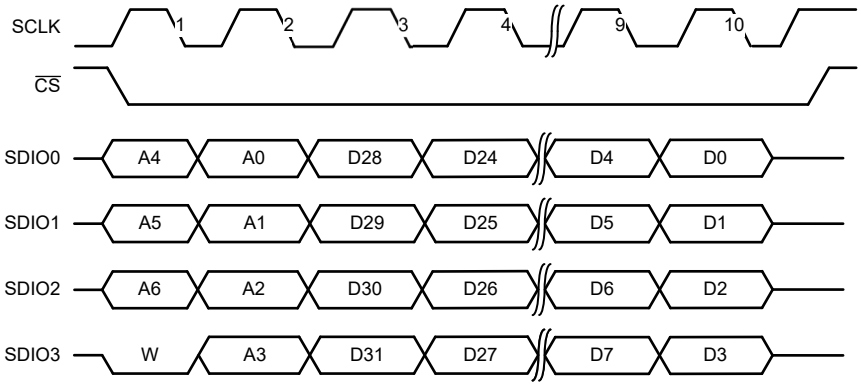


图 6-9. SDR 四线 SPI 40 位帧

6.3.3.2 SPI 流模式

使用 DAC90802 流模式可以更大限度地提高对 DAC 的写入吞吐量，并避免重复使用地址字节。在流模式下，SPI 仅支持写入。除 DAC_DATA_CHx_X 寄存器之外的配置和其他寄存器均不支持流模式。表 6-4 显示了在最高 66MHz SCLK 频率下可实现的时钟周期计数和 DAC 更新速率。

表 6-4. SPI 流模式更新速率 (SCLK 66MHz)

数据寄存器字段	数据字节	标准 SPI		双线 SPI		四线 SPI	
		SDR	DDR	SDR	DDR	SDR	DDR
CHx_DATA_HS	2	16 个周期 4.125MUPS	8 个周期 8.25MUPS	8 个周期 8.25MUPS	4 个周期 16.5MUPS	4 个周期 16.5MUPS	2 个周期 33MUPS
CHx_DATA_HR	3	24 个周期 2.75MUPS	12 个周期 5.5MUPS	12 个周期 5.5MUPS	6 个周期 11MUPS	6 个周期 11MUPS	3 个周期 22MUPS

Copyright © 2026 Texas Instruments Incorporated

使用 SPI_CFG.SS_EN 配置如何在 DAC90802 中将 SPI 流数据分配到两个通道。要使用流模式，以 R/W 位为 0b 开始 SDI 输入。使用该通道 DAC_DATA_CHx_X 寄存器的地址来接收带有此标头的第一个数据字，随后在将 $\overline{CS}$ 保持为低电平的同时接收后续的数据字。如以下示例所示，通过将 $\overline{CS}$ 置为高电平，在与寄存器配置数据宽度对应的字边界结束流写入。

SPI_CFG.SS_EN = 0 是默认值，支持在两个通道相应的数据寄存器之间交错传输交替数据包。这两个通道会自动接收从所提供地址开始的交替数据包，然后在备用通道上相应的地址接收下一个数据包。使用 SPI_CFG.SS_EN = 1 可实现单个 DAC 的最高吞吐量模式。流模式写入与 SPI_CFG.SS_EN = 0 相同，除了器件会为所提供地址的通道使用所有顺序数据包，而交替器件通道不会接收来自流的任何数据包。在 SDR 和 DDR 模式下使用标准、双线和四线 SPI 的顺序数据更新示例如下所示。

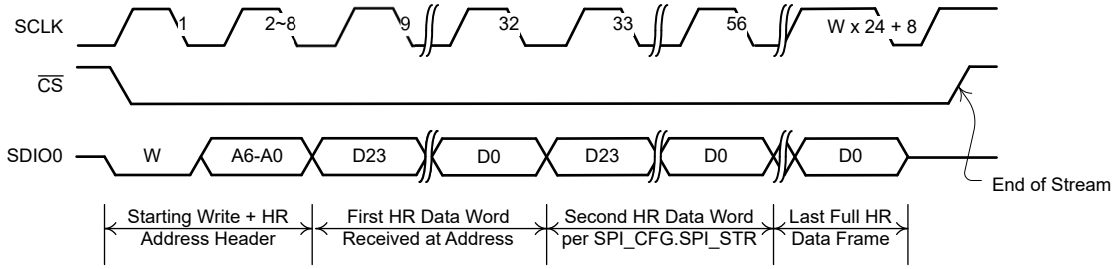


图 6-10. CHx_DATA_HR 的标准 SPI SDR 流模式

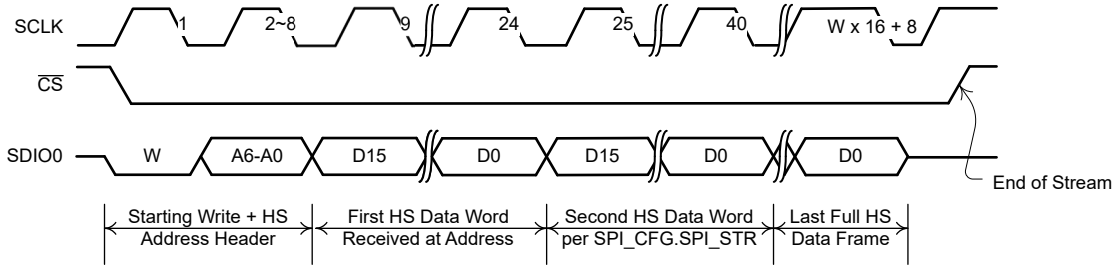


图 6-11. CHx_DATA_HS 的标准 SPI SDR 流模式

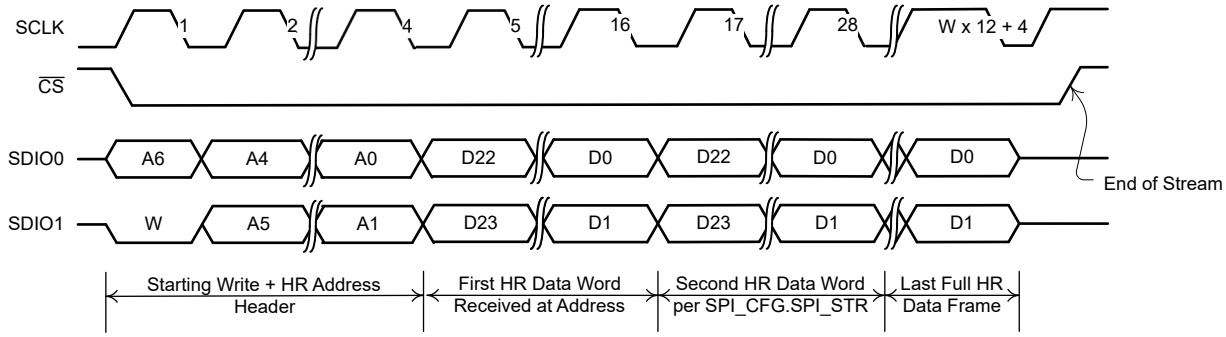


图 6-12. CHx_DATA_HR 的双线 SPI SDR 流模式

Copyright © 2026 Texas Instruments Incorporated

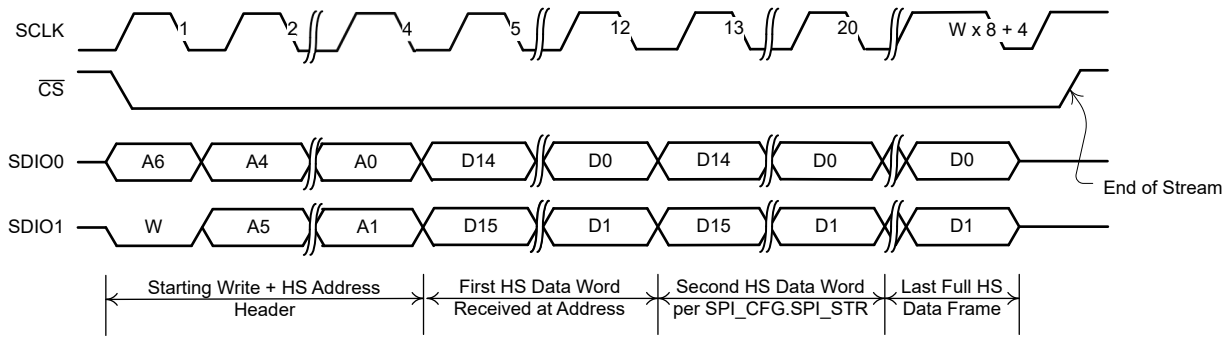


图 6-13. CHx_DATA_HS 的双线 SPI SDR 流模式

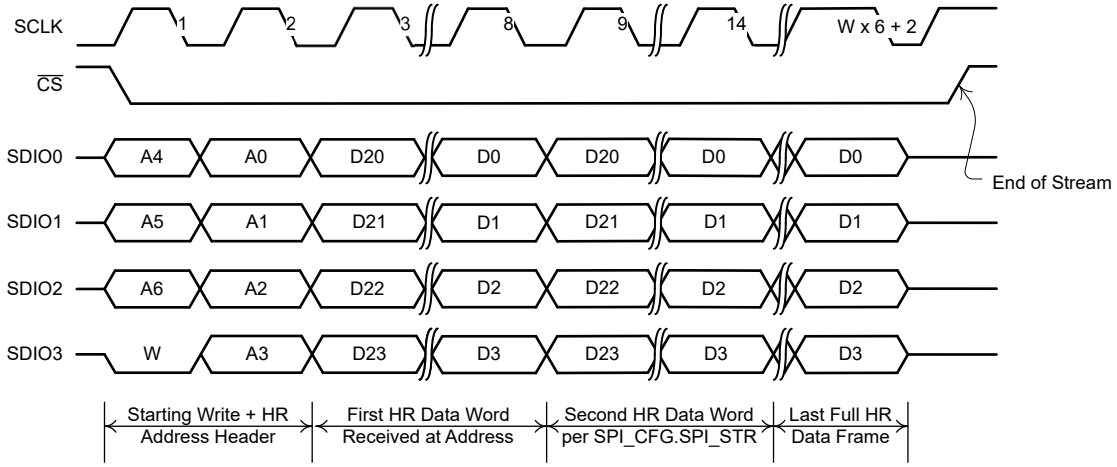


图 6-14. CHx_DATA_HR 的四线 SPI SDR 流模式

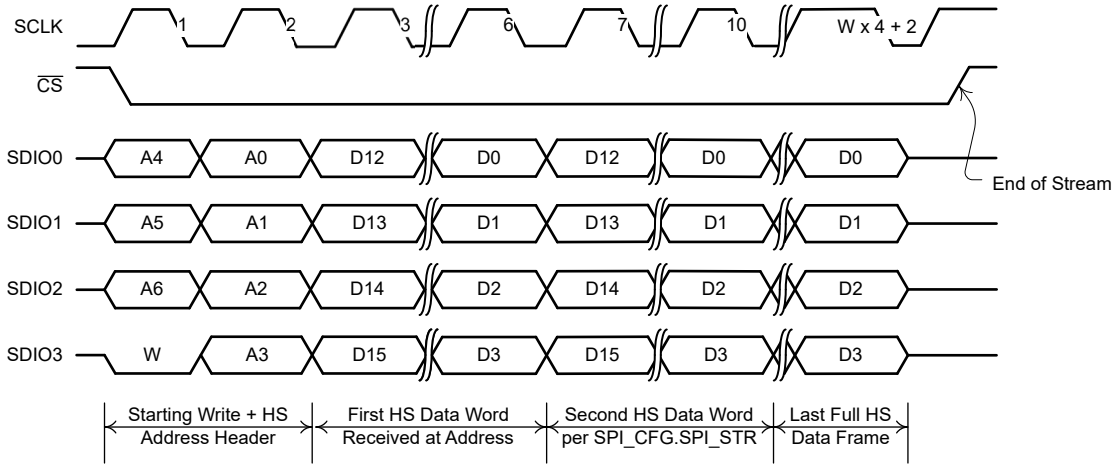


图 6-15. CHx_DATA_HS 的四线 SPI SDR 流模式

Copyright © 2026 Texas Instruments Incorporated

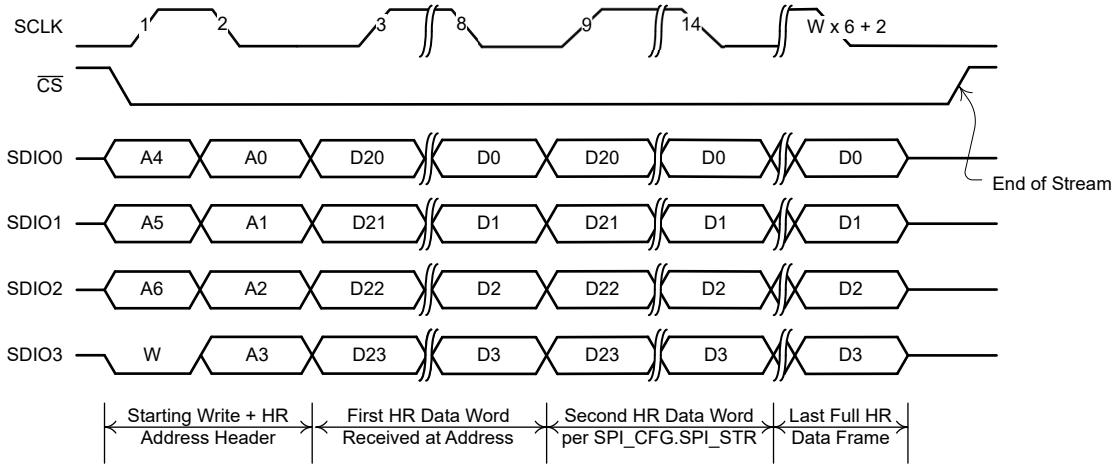


图 6-16. CHx_DATA_HR 的四线 SPI DDR 流模式

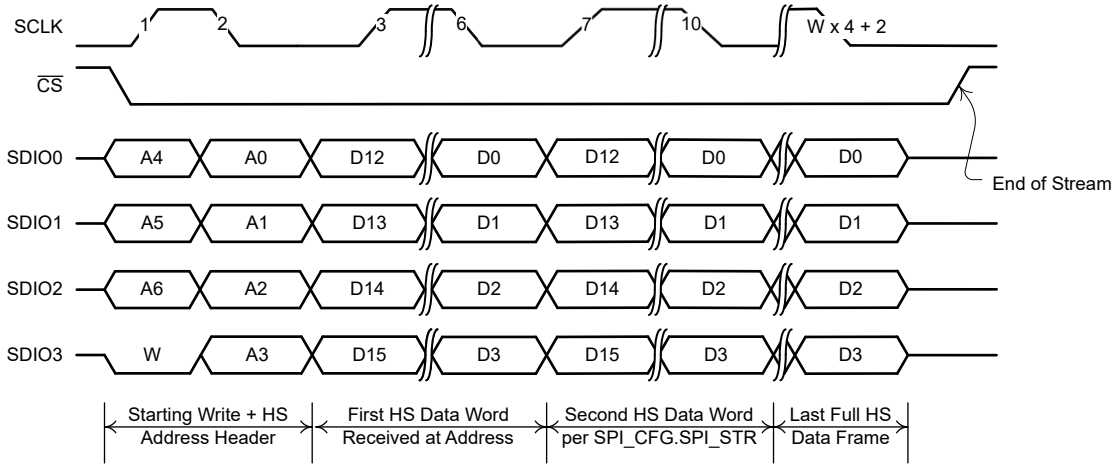


图 6-17. CHx_DATA_HS 的四线 SPI DDR 流模式

Copyright © 2026 Texas Instruments Incorporated

6.3.3.3 SPI 菊花链模式

使用菊花链模式 (SPI_CFG.SPI_DCH = 1) 以更大限度地减少系统用于多个 IC 或其他外设的 SPI 线路数量。图 6-18 显示了菊花链式连接。图 6-19 显示了菊花链模式的帧时序。启用菊花链模式时仅支持 SDR 模式。当整个菊花链均支持双 SPI 时，则支持双 SPI。图 6-19 展示了菊花链模式下 DAC 从 SDI 到 SDO 的时序。

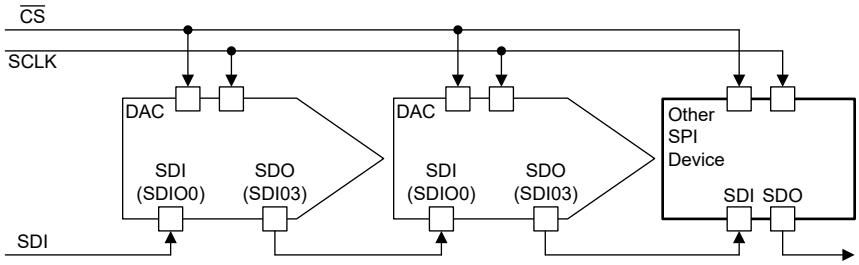


图 6-18. 菊花链模式连接

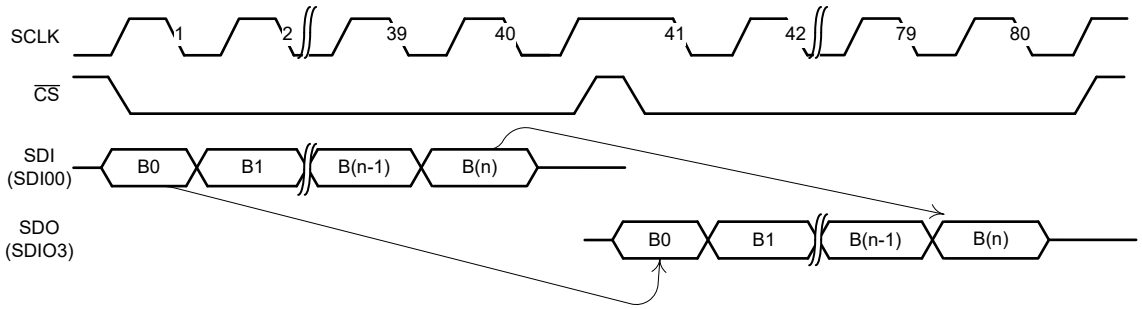


图 6-19. 菊花链模式时序

6.4 器件功能模式

DAC90802 在三种不同的应用场景或模式下提供优化的性能。如表 6-5 所示，DEVICE_CONFIG 寄存器中的 DAC_CONFIG_CHx 位会为每个 DAC 通道独立配置这些模式。

表 6-5. 运行模式配置

DAC_CONFIG_CHx 设置	运行模式
00h	AWG 模式
01h	快速建立模式
02h	倍增模式

备注

虽然使用不正确的配置不会抑制器件功能，但只有采用适当的配置设置才能实现规定的最佳性能。对于需要校准 DAC 以验证系统性能的高精度应用，请根据 DAC_CONFIG_CHx 选择独立获取 DAC 校准数据。

6.4.1 AWG 模式

任意波形生成 (AWG) 模式会优化 DAC90802，使其作为需要低 THD 性能及固定直流基准的波形生成应用的信号源。在此模式下，所需输出信号频率 (f_{OUT}) 与 DAC 采样频率 (f_s) 之间需使用高采样率。为了获得出色性能，请将 DAC 配置为双极模式。

6.4.2 快速建立模式

快速建立 (FS) 模式可优化 DAC，从而在固定直流基准电压下实现出色的时域响应。将 FS 模式用于精密直流电压生成和控制环路应用。在 FS 模式下，DAC90802 配置模拟信号链，以获得出色的直流精度和最快的建立时间。该模式能够优化单极和双极运行。

6.4.3 倍增模式

在倍增模式下，DAC90802 配置信号链，使其通过具有固定 DAC 代码的交流输入基准运行。DAC 代码可有效地*倍增* 交流基准，以使该基准衰减。在 DAC 的单极配置中使用倍增模式，将 REFPx 端子接地。为了获得出色性能，请将此模式与基准反相电阻器结合使用。

Copyright © 2026 Texas Instruments Incorporated

7 寄存器映射

Copyright © 2026 Texas Instruments Incorporated

7.1 COMMON 寄存器

表 7-1 列出了 COMMON 寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-1. COMMON 寄存器

地址	首字母缩写词	位 31	位 30	位 29	位 28	位 27	位 26	位 25	位 24
		位 23	位 22	位 21	位 20	位 19	位 18	位 17	位 16
		位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x00	NOP	NOP							
		NOP							
		NOP							
		NOP							
0x01	DEVICE_CFG	DAC_CONFIG_CH1					DAC_CONFIG_CH0		
		DAC_CONFIG_CH0		VOSADJ_EN1	TEMP_SEL1		RESERVED	VOSADJ_EN0	TEMP_SEL0
		TEMP_SEL0	RESERVED		POL_CFG1	POL_CFG0	EN_CH1	EN_CH0	DEVICE_ID
		DEVICE_ID				版本_ID			
0x02	DEVICE_CTRL	RESERVED							
		RESERVED							
		RESERVED					SFT_LDAC	BOOT	BOOT_FAIL
		SFT_RST							
0x03	CH0_CFG	RESERVED							
		RESERVED							OFS_EN0
		RESERVED		RESERVED	ASYNC_UPDT_0	SFT_LDAC_EN0	GAIN_CH0		VREF_SQ0
		VREF_SQ0							
0x04	CH1_CFG	RESERVED							
		RESERVED							OFS_EN1
		RESERVED		RESERVED	ASYNC_UPDT_1	SFT_LDAC_EN1	GAIN_CH1		VREF_SQ1
		VREF_SQ1							
0x05	SPI_CFG	RESERVED							
		RESERVED							
		RESERVED							
		RESERVED	SPI_DCH	SPI_STR	FSDO_EN	SDO_EN	SPI_DDR	SPI_MIO	
0x08	ALERT_CFG	TSD_LVL1						TSD_LVL0	
		TSD_LVL0				RESERVED			
		RESERVED				TMPALRT_1	TMPALRT_0	TMPALRT_L1	TMPALRT_L0
		TMPALRT_CLR	TMPALRT_ACT			TMPALRT_MSK		TMPALRT_LAP	TMPALRT_ENP

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. COMMON 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
WtoPH	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2026 Texas Instruments Incorporated

7.1.1 NOP 寄存器（地址 = 0x00）[复位 = 0x00000000]

返回到汇总表。

表 7-3. NOP 寄存器字段说明

位	字段	类型	复位	说明
31-0	NOP	R/W	0x0	无操作。 只读寄存器。 0x0 = 默认值

7.1.2 DEVICE_CFG 寄存器（地址 = 0x01）[复位 = 0x000000B3]

返回到汇总表。

表 7-4. DEVICE_CFG 寄存器字段说明

位	字段	类型	复位	说明
31-27	DAC_CONFIG_CH1	R/W	0x0	通道 1 的 DAC 应用模式选择。 未列出的字段值为 RESERVED。 00h = AWG 模式 01h = 快速建立模式 02h = 倍增模式
26-22	DAC_CONFIG_CH0	R/W	0x0	通道 0 的 DAC 应用模式选择。 未列出的字段值为 RESERVED。 00h = AWG 模式 01h = 快速建立模式 02h = 倍增模式
21	VOSADJ_EN1	R/W	0x0	使能通道 1 的 VOSADJ1 输入。 0x0 = 禁用 VOSADJ 输入。 0x1 = 使能 VOSADJ 输入。
20-19	TEMP_SEL1	R/W	0x0	通道 1 的温度输出 TEMP1 输出信号选择。 0x0 = 禁用温度输出。 0x1 = 在模拟输出模式下使能温度输出。 0x2 = 在 TSD 模式下使能温度输出。
18	RESERVED	R	0x0	
17	VOSADJ_EN0	R/W	0x0	使能通道 0 的 VOSADJ0 输入。 0x0 = 禁用 VOSADJ 输入。 0x1 = 使能 VOSADJ 输入。
16-15	TEMP_SEL0	R/W	0x0	通道 0 的温度输出 TEMP0 输出信号选择。 0x0 = 禁用温度输出。 0x1 = 在模拟输出模式下使能温度输出。 0x2 = 在 TSD 模式下使能温度输出。
14-13	RESERVED	R	0x0	
12	POL_CFG1	R/W	0x0	通道 1 的单极/双极 DAC 配置。 0x0 = DAC 单极配置。 0x1 = DAC 双极配置。
11	POL_CFG0	R/W	0x0	通道 0 的单极/双极 DAC 配置。 0x0 = DAC 单极配置。 0x1 = DAC 双极配置。
10	EN_CH1	R/WtoPH	0x0	通道 1 的通道使能（上电）控制。 0x0 = 通道禁用（断电） 0x1 = 通道使能（上电）。在发生警报时，此位会自行复位。
9	EN_CH0	R/WtoPH	0x0	通道 0 的通道使能（上电）控制。 0x0 = 通道禁用（断电） 0x1 = 通道使能（上电）。在发生警报时，此位会自行复位。
8-4	DEVICE_ID	R	0xB	器件标识符（只读）
3-0	版本_ID	R	0x3	版本标识符（只读）

7.1.3 DEVICE_CTRL 寄存器（地址 = 0x02）[复位 = 0x00000000]

返回到汇总表。

表 7-5. DEVICE_CTRL 寄存器字段描述

位	字段	类型	复位	说明
31	RESERVED	R	0x0	
30-11	RESERVED	R	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 7-5. DEVICE_CTRL 寄存器字段描述（续）

位	字段	类型	复位	说明
10	SFT_LDAC	R/WtoPH	0x0	软件控制的 LDAC 信号。 同时将两个通道的 LDAC 置为有效。 必须同时使能通道和通道的 SFT_LDAC_EN，才能接收 LDAC 置为有效。 0x0 = 将 LDAC 置为有效。此位会自行复位。
9	BOOT	R	0x0	用于指示 POR 之后器件正在启动的位。 （只读） 0x0 = 器件未处于启动序列中 0x1 = 器件正在执行启动序列
8	BOOT_FAIL	R	0x0	指示器件启动失败且 OTP 存在问题的只读信号。 0x0 = 器件通过启动序列 0x1 = 器件通过启动序列
7-0	SFT_RST	R/W	0x0	软件控制的复位信号的代码。 相当于将硬件 RESET 置为有效。 0xAA = 复位置位

7.1.4 CH0_CFG 寄存器（地址 = 0x03）[复位 = 0x00000219]

返回到汇总表。

表 7-6. CH0_CFG 寄存器字段说明

位	字段	类型	复位	说明
31-30	RESERVED	R	0x0	
29	RESERVED	R	0x0	
28-26	RESERVED	R	0x0	
25-22	RESERVED	R	0x0	
21-17	RESERVED	R	0x0	
16	OFS_EN0	R/W	0x0	为通道 0 使能 ROFS。 此项用于根据施加在 ROFS 引脚上的电压对输出进行非对称推送
15-14	RESERVED	R	0x0	
13	RESERVED	R	0x0	
12	ASYNC_UPDT_0	R/W	0x0	设置 DAC0 寄存器更新模式 0x0 = 异步更新模式 0x1 = 同步更新模式
11	SFT_LDAC_EN0	R/W	0x0	为通道 0 使能软 ldac
10-9	GAIN_CH0	R/W	0x1	通道 0 电压增益选择 0x0 = 增益 1 倍 0x1 = 增益 4 倍 0x2 = 增益 2 倍
8-0	VREF_SQ0	R/W	0x19	必须在此寄存器中设置（增益 * 电压基准）^{2}

7.1.5 CH1_CFG 寄存器（地址 = 0x04）[复位 = 0x00000219]

返回到汇总表。

表 7-7. CH1_CFG 寄存器字段说明

位	字段	类型	复位	说明
31-30	RESERVED	R	0x0	
29	RESERVED	R	0x0	
28-26	RESERVED	R	0x0	
25-22	RESERVED	R	0x0	
21-17	RESERVED	R	0x0	
16	OFS_EN1	R/W	0x0	为通道 1 使能 ROFS。 此项用于根据施加在 ROFS 引脚上的电压对输出进行非对称推送
15-14	RESERVED	R	0x0	
13	RESERVED	R	0x0	
12	ASYNC_UPDT_1	R/W	0x0	设置 DAC0 寄存器更新模式 0x0 = 异步更新模式 0x1 = 同步更新模式
11	SFT_LDAC_EN1	R/W	0x0	为通道 0 使能软 ldac

Copyright © 2026 Texas Instruments Incorporated

表 7-7. CH1_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
10-9	GAIN_CH1	R/W	0x1	通道 1 电压增益选择 0x0 = 增益 1 倍 0x1 = 增益 4 倍 0x2 = 增益 2 倍
8-0	VREF_SQ1	R/W	0x19	必须在此寄存器中设置（增益 × 电压基准）[2]

7.1.6 SPI_CFG 寄存器（地址 = 0x05）[复位 = 0x00000000]

返回到汇总表。

表 7-8. SPI_CFG 寄存器字段说明

位	字段	类型	复位	说明
31	RESERVED	R	0x0	
30-7	RESERVED	R	0x0	
6	SPI_DCH	R/W	0x0	SPI 菊花链模式启用/禁用位。 0x0 = 菊花链模式已禁用 0x1 = 菊花链模式已启用
5	SPI_STR	R/W	0x0	流模式配置 0x0 = 启用双通道流 0x1 = 启用单通道流
4	FSDO_EN	R/W	0x0	SDO 锁存控制 0x0 = SDO 端口无锁存 0x1 = 输出将被锁存
3	SDO_EN	R/W	0x0	SDO 使能控制 0x0 = 禁用 SDO 端口 0x1 = 使能 SDO 端口
2	SPI_DDR	R/W	0x0	DDR 模式启用 0x0 = SDR 模式（单数据速率） 0x1 = DDR 模式（双数据速率）
1-0	SPI_MIO	R/W	0x0	SPI IO 模式控制 0x0 = 标准 SPI 0x1 = 双线 SPI 0x2 = 四线 SPI 0x3 = 保留

7.1.7 ALERT_CFG 寄存器（地址 = 0x08）[复位 = 0xEFB0001E]

返回到汇总表。

表 7-9. ALERT_CFG 寄存器字段说明

位	字段	类型	复位	说明
31-26	TSD_LVL1	R/W	0x3B	温度关断阈值代码（复位值：6x3B：140℃） 0x0 = 30°C 0x3F = 150°C
25-20	TSD_LVL0	R/W	0x3B	温度关断阈值代码（复位值：6x3B：140℃） 0x0 = 30°C 0x3F = 150°C
19-18	RESERVED	R	0x0	
17-16	RESERVED	R	0x0	
15-12	RESERVED	R	0x0	
11	TMPALRT_1	R	0x0	指示非锁存温度警报的只读信号
10	TMPALRT_0	R	0x0	指示非锁存温度警报的只读信号
9	TMPALRT_L1	R	0x0	指示锁存温度警报的只读信号
8	TMPALRT_L0	R	0x0	指示锁存温度警报的只读信号
7	TMPALRT_CLR	R/WtoPH	0x0	锁存的温度警报清除命令 0x0 = 无操作 0x1 = 锁存的温度警报清除。此位会自行复位。

Copyright © 2026 Texas Instruments Incorporated

表 7-9. ALERT_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
6-4	TMPALRT_ACT	R/W	0x1	响应置为有效的温度警报。 未列出的字段值为 RESERVED 0x0 = 无操作。 0x1 = 仅当警报置为有效时关断置位通道。 在锁存的同步警报变为低电平之前不允许上电 0x2 = 仅当警报置为有效时关断置位通道。 置为有效后可随时上电。 0x5 = 当警报在任意通道上置为有效时关闭所有通道。 在锁存的同步警报变为低电平之前不允许上电。 0x6 = 当警报在任意通道上置为有效时关闭所有通道。 置为有效后可随时上电。
3-2	TMPALRT_MSK	R/W	0x3	TEMP 引脚上的温度警报屏蔽。 0x0 = 屏蔽警报（在 TEMP 引脚上） 0x3 =（默认值）未屏蔽警报（在 TEMP 引脚上）未列出的位将保留
1	TMPALRT_LAP	R/W	0x1	TEMP 引脚上的锁存温度警报 0x0 = 禁用 0x1 = 启用
0	TMPALRT_ENP	R/W	0x0	TEMP 引脚上的温度警报（非锁存） 0x0 = 禁用 0x1 = 启用

Copyright © 2026 Texas Instruments Incorporated

7.2 HS_DATA 寄存器

表 7-10 列出了 HS_DATA 寄存器的存储器映射寄存器。表 7-10 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-10. HS_DATA 寄存器

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x60	CH0_DATA_HS	CH0_DATA_HS							
		CH0_DATA_HS							
0x61	CH1_DATA_HS	CH1_DATA_HS							
		CH1_DATA_HS							

复杂的位访问类型经过编码可适应小型表单元。表 7-11 展示了适用于此部分中访问类型的代码。

表 7-11. HS_DATA 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.2.1 CH0_DATA_HS 寄存器（地址 = 0x60）[复位 = 0x0000]

返回到汇总表。

表 7-12. CH0_DATA_HS 寄存器字段说明

位	字段	类型	复位	说明
15-0	CH0_DATA_HS	R/W	0x0	通道 0 的高速 DAC 数据寄存器。 数据字为 16 位宽，MSB 对齐，QSPI 输入，支持可选流模式。

7.2.2 CH1_DATA_HS 寄存器（地址 = 0x61）[复位 = 0x0000]

返回到汇总表。

表 7-13. CH1_DATA_HS 寄存器字段说明

位	字段	类型	复位	说明
15-0	CH1_DATA_HS	R/W	0x0	通道 1 的高速 DAC 数据寄存器。 数据字为 16 位宽，MSB 对齐，QSPI 输入，支持可选流模式。

Copyright © 2026 Texas Instruments Incorporated

7.3 HR_DATA 寄存器

表 7-14 列出了 HR_DATA 寄存器的存储器映射寄存器。表 7-14 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-14. HR_DATA 寄存器

地址	首字母缩写词	位 23	位 22	位 21	位 20	位 19	位 18	位 17	位 16
		位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x64	CH0_DATA_HR	CH0_DATA_HR							
		CH0_DATA_HR							
		CH0_DATA_HR							
0x65	CH1_DATA_HR	CH1_DATA_HR							
		CH1_DATA_HR							
		CH1_DATA_HR							

复杂的位访问类型经过编码可适应小型表单元。表 7-15 展示了适用于此部分中访问类型的代码。

表 7-15. HR_DATA 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.3.1 CH0_DATA_HR 寄存器（地址 = 0x64）[复位 = 0x000000]

返回到汇总表。

表 7-16. CH0_DATA_HR 寄存器字段说明

位	字段	类型	复位	说明
23-0	CH0_DATA_HR	R/W	0x0	通道 0 的高速 DAC 数据寄存器。 数据字为 18 位宽，MSB 对齐，QSPI 输入，支持可选流模式。

7.3.2 CH1_DATA_HR 寄存器（地址 = 0x65）[复位 = 0x000000]

返回到汇总表。

表 7-17. CH1_DATA_HR 寄存器字段说明

位	字段	类型	复位	说明
23-0	CH1_DATA_HR	R/W	0x0	通道 1 的高速 DAC 数据寄存器。 数据字为 18 位宽，MSB 对齐，QSPI 输入，支持可选流模式。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用

DAC90802 针对需要高直流准确度和精度、超低毛刺脉冲能量和输出噪声并具备先进波形生成功能的应用进行了优化。典型应用包括高性能源测量单元 (SMU)、超低 THD 任意波形发生器 (AWG)、闭环控制系统（例如 MEMS 执行器）、线性和精密电机驱动器、先进显微镜中的静电透镜控制、四极杆质谱仪以及其他要求严苛的仪器。

8.2 设计要求

8.2.1 基准信号链信息

8.2.1.1 DC 基准

DAC90802 基准在整个 AWG 模式和快速建立模式运行期间保持标称常量。为了提高 AWG 模式下的 THD 性能，建议为每个信号使用一个与专用低阻抗驱动器放大器的 2 线制连接。这可在更改 DAC 代码的同时更大限度地减少动态基准负载。如果未使用 2 线制设计（例如，跨通道共享基准时），请短接 _Fx 和 _Sx 引脚。对于这些应用案例，建议使用以下两种基准生成方法：

- 使用内部反相的直流基准信号链：此配置利用内部温度系数 (temp-co) 匹配电阻（R_1 和 R_2，请参阅节 5.5），使用外部运算放大器生成负基准，如图 8-1 所示

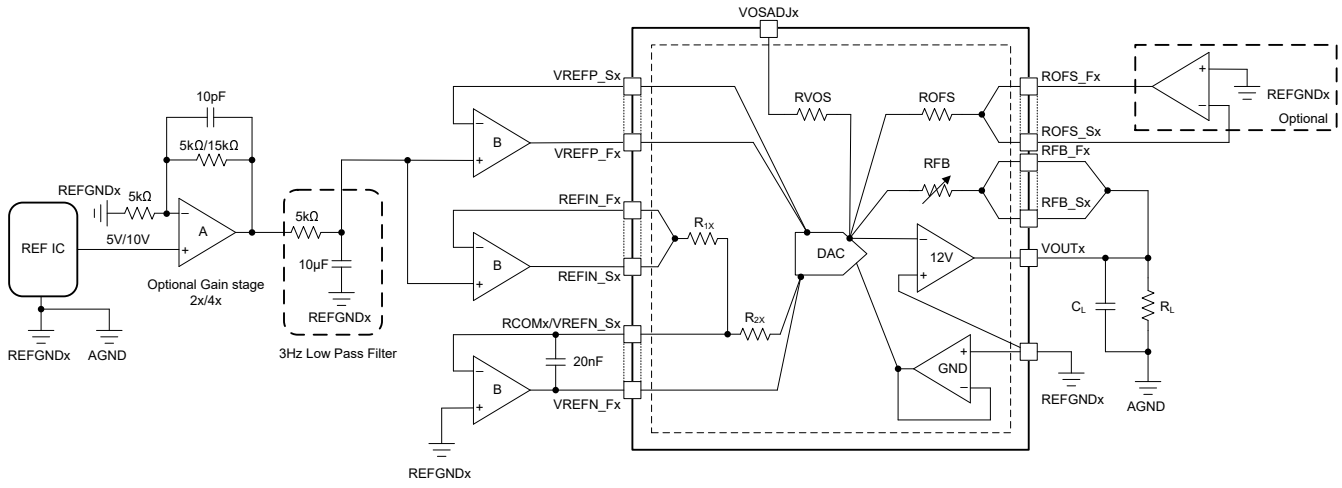


图 8-1. 使用内部反相的直流基准信号链

- 使用外部反相的直流基准信号链：当内部电阻器温度系数匹配不足以进行基准反相、已有稳定的系统级负基准电压或在多个通道共用基准时，建议使用此方法，如图 8-2 所示

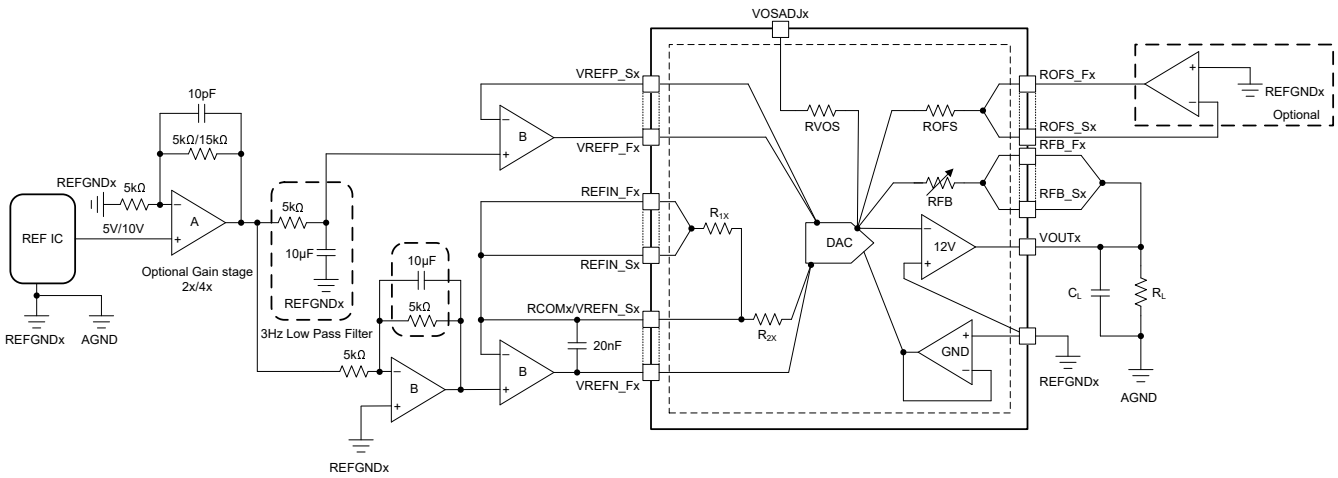


图 8-2. 使用外部反相的直流基准信号链

在电压基准之后使用增益级来实现高基准电压 (≥10V)。要降低信号链噪声，请在 DAC 基准缓冲器之前使用一个额外的 (所示为 3Hz) 低通滤波器。为了更大限度地提升 DAC90802 的性能，基准 IC 和基准缓冲器的选择必须考虑以下方面：

- 基准 IC 选择：
  - 输出电压精度 (初始容差) ：输出电压不准确性会导致绝对增益误差；因此，应根据应用要求选择具有适当初始输出电压精度和容差的 IC
  - 输出电压温度系数：输出电压温度系数会影响整个温度范围内的 DAC 准确度和精度 (终点误差、INL 和 DNL) 。下面的公式可以很好地估算对应于 DAC 分辨率的基准器件温度系数要求。ΔT 温度变化的基准考 IC 输出如方程式 4 所示。对于 N 位 DAC，请将更改保持在 1LSB 以下，如方程式 5 所示。

$$\mathrm{VREF} = \mathrm{VREF_{initial}}\left(1 + \left(\mathrm{Temp_{co}}\right) \times \Delta\mathrm{T} \times 10^{-6}\right)\left(\mathrm{Temp_{co}\ in\ ^{ppm}/_{C}}\right) \tag{4}$$

$$\Delta\,\mathrm{VREF} = \left(\mathrm{VREF_{initial}} \times \mathrm{Temp_{co}} \times \Delta\mathrm{T} \times 10^{-6}\right) < \left(1\mathrm{LSB} = \frac{\mathrm{VREF_{initial}}}{2^{\mathrm{N}}}\right) \tag{5}$$

$$\mathrm{Temp_{co}} < \frac{10^{6}}{2^{\mathrm{N}} \times \Delta\mathrm{T}}\left(\mathrm{About\ 0.76^{ppm}/_{C}\ for\ a\ 5°C\ }\Delta\mathrm{T\ at\ 18\ bit\ precision}\right) \tag{6}$$

  - 输出噪声：对于高精度应用，基准输出电压噪声成为系统噪声的关键来源
    - 闪烁噪声：闪烁噪声定义为时域 (V_{PP}) 中的 0.1Hz 至 10Hz 范围内的积分噪声。这主要影响 INL、DNL 和终点误差等直流输出特性。为了获得出色性能，闪烁噪声水平必须远低于 1LSB；对于 18 位 DAC 和 ±5V 基准，这意味着目标值应小于 3.8 µ V_{PP} (0.1LSB)
    - 热噪声/宽带噪声：热噪声主要影响交流性能，是 SNR 和 THD+N 测量的主要噪声源。由于直流基准信号链在运行期间保持静态，因此单阶低通滤波器足以降低基准器件热噪声。图 8-1 和图 8-2 显示为此目的使用了 3Hz 低通滤波器。为此滤波器选择电容器时，强烈建议使用聚丙烯薄膜电容器。
- 运算放大器选择：在为建议的基准信号链 (图 8-1 和图 8-2) 选择运算放大器时，以下规格至关重要：
  - 电压噪声
  - 电流噪声
  - 失调电压
  - 偏置电流失调
  - 输出阻抗

  下面介绍这些特性在信号链各级中的影响：

Copyright © 2026 Texas Instruments Incorporated

- 放大器 (A)：运算放大器 (A) 可用作增益级，以使用低电压基准 IC 为 DAC90802 生成高电压基准输入（高达 21V）
  - 电压噪声和失调：运算放大器的增益配置将以输入为基准的噪声和失调直接转换为输出。放置在该级之后的低通滤波器有助于消除热噪声，使闪烁噪声成为运算放大器选择的关键规格。
  - 偏置电流：偏置电流噪声和失调通过运算放大器的反馈电阻器转换为输出电压噪声和失调
- 放大器 (B)：运算放大器 (B) 用作 DAC 基准缓冲器，在运行频率范围内需要低输出阻抗
  - 电压噪声和失调：运算放大器的电压噪声和失调直接转换为 DAC 的输出噪声和失调
  - 偏置电流噪声和失调：偏置电流的噪声和失调通过信号链中的一阶低通滤波器（由电阻器和电容器组成）转换为 DAC 的输出电压噪声和失调。此外，在通道的 VREFN_F 和 VREFN_S 引脚之间放置一个电容器，以滤除反相电阻器产生的热噪声

表 8-1、表 8-2 和表 8-3 分别提供了电压基准器件、运算放大器和信号链配置的建议。

例如，选择 OPA189 作为放大器 (A)，然后选择 OPA828 作为放大器 (B)。OPA189 可提供低失调电压和低闪烁噪声，因此适合作为增益级。后续的低通滤波器有助于更大限度地减少低热噪声的影响，而 OPA828 被选为放大器 (B) 可提供低噪声信号缓冲和驱动能力。

表 8-1. 电压基准器件建议

基准 IC	V_{REF}(V)	热噪声 (nV/ √Hz)	闪烁噪声 (μV_{PP})	初始容差 (%)	温度漂移 (ppm/°C)
REF54(C_{NR}: 1μF)	5	5	1.2	±0.02	0.8
REF70	5	20	1.15	±0.025	2
REF81	10	60	1.2	±0.1	0.1

表 8-2. 运算放大器建议

运算放大器	偏移电压 (μV)	偏置电流 (pA)	电压热噪声 (nV/ √Hz)	闪烁噪声 (μV_{PP})	电流热噪声 (pA/ √Hz)
OPA828	±50	±1	4	0.34	0.0012
OPA189	±0.4	±70	5.2	0.1	0.165
OPA182	±0.45	±50	5.7	0.119	0.165
OPA1611	±100	±60000	1.1	0.1	1.7

表 8-3. 信号链建议

基准 IC	增益	放大器 (A)	放大器 (B)	V_{REF}(V)	估算的 VREF_Px/ VREF_Nx 热噪声 (nV/ √Hz)	估算的 VREF_Px/ VREF_Nx 闪烁噪声（0.1Hz 至 10Hz）(μV_{PP})
REF54 (C_{NR}:1 μ F)	1 ×	OPA189	OPA828	5	4.33	1.25
REF54 (C_{NR}:1 μ F)	2 ×	OPA189	OPA828	10	4.33	2.5
REF54 (C_{NR}:1 μ F)	4 ×	OPA189	OPA828	20	4.33	5
REF70	1 ×	OPA189	OPA828	5	4.33	1.18
REF70	2 ×	OPA189	OPA828	10	4.33	2.36
REF70	4 ×	OPA189	OPA828	20	4.33	4.72
REF81	1 ×	OPA189	OPA828	10	4.33	1.7
REF81	2 ×	OPA189	OPA828	20	4.33	3.36

8.2.1.2 AC 基准

DAC90802 架构支持在倍增模式下实现时变基准输入（交流基准）。在此模式下，重要的电气参数包括倍增带宽、倍增 THD 和倍增馈通。该器件在此模式下支持两种基准输入配置：

- REFIN 配置：建议采用 REFIN 配置以实现理想倍增模式性能并利用 DAC90802 的内部温度系数匹配电阻器（请参阅节 5.5 中的反相电阻器比率失配漂移）。此方法保留缩放信号的相位，并要求将 VREFP_Sx 和 VREFP_Fx 连接至低噪声模拟地，如图 8-3 所示。

Copyright © 2026 Texas Instruments Incorporated

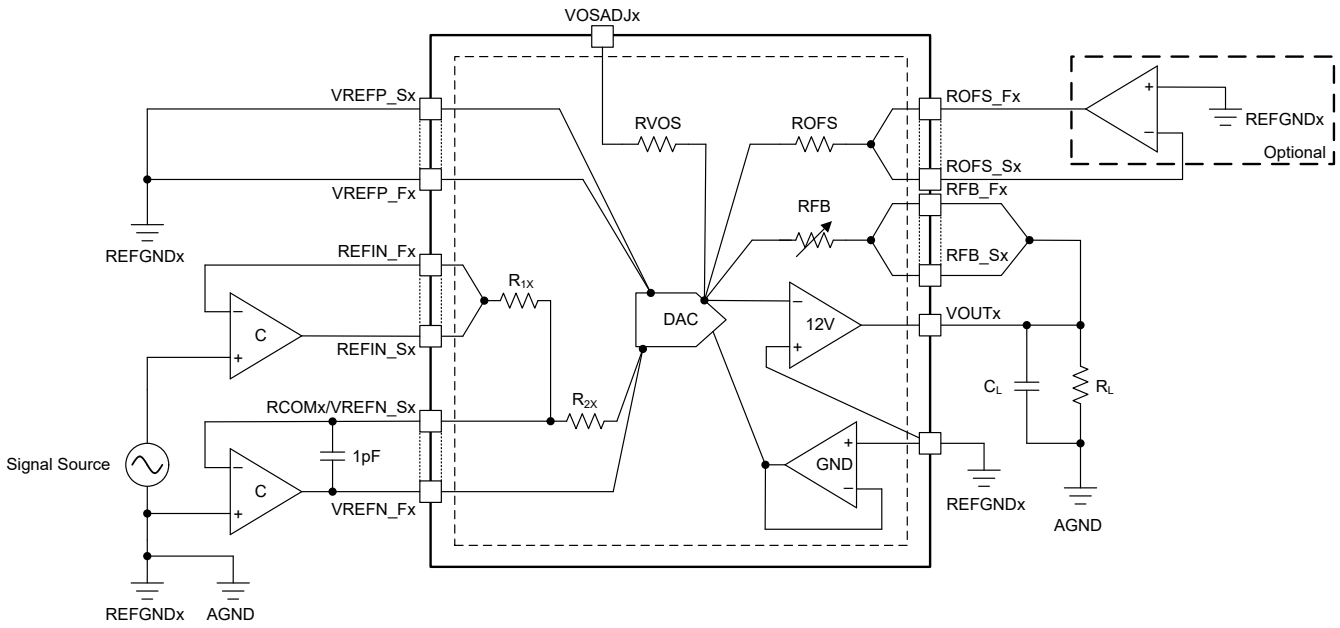


图 8-3. 使用内部反相的交流基准信号链

- REFN 配置（直接基准）：在 REFN 配置中，将 VREFP_Sx 和 VREFP_Fx 连接至低噪声模拟地（请参阅图 8-4）。这种方法可实现超紧凑设计，会导致输出端出现相位反相。

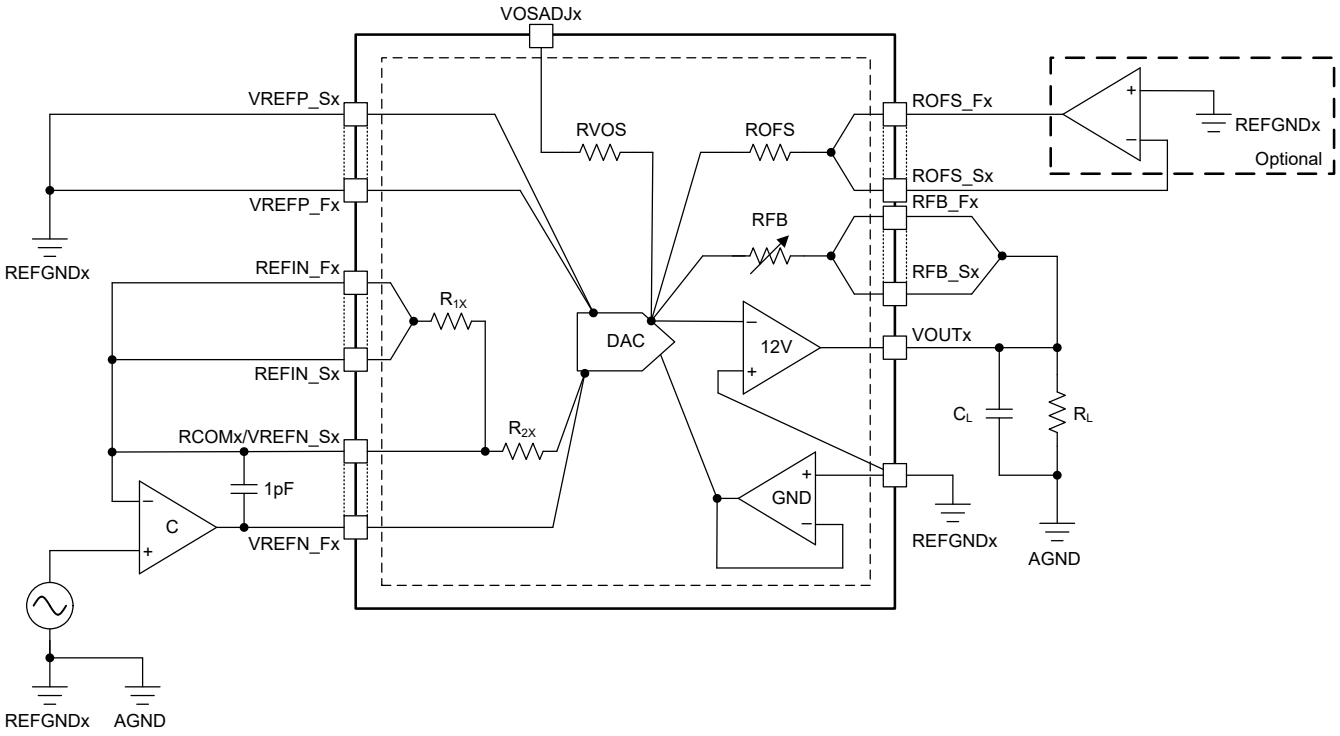


图 8-4. 使用外部反相的交流基准信号链

根据应用的不同，必须适当选择基准缓冲器，以实现出色的器件性能：

- 倍增带宽要求：放大器 (C) 必须具有足够的带宽和压摆率，以适应基准电压摆幅。
- THD 测量：放大器 (C) 必须在相关基准电压和频率范围内提供超低 THD。

Copyright © 2026 Texas Instruments Incorporated

表 8-4 中列出了建议用于倍增模式的运算放大器选择。

表 8-4. 倍增模式的运算放大器建议

运算放大器	增益带宽 (MHz)	压摆率 (V/μs)	100kHz 时的 THD (dB)	说明
TH4631	210	550	< -90	THS4631 在输出摆幅范围内均可提供理想带宽，并具有较高压摆率
OPA891	180	105	< -119	OPA891 在整个频率范围内提供出色的 THD，同时在输出摆幅范围内支持较好的带宽

8.2.2 优化自热微调以在高电压摆幅的整个频率范围内实现最低 THD

在高输出电压摆幅 (>15V_{PP}) 和高输出频率下，DAC90802 的三次谐波失真 (HD3) 可能不太理想。为了缓解这种情况，DAC90802 通过 CHx_CFG 寄存器提供校正机制。通过调整 9 位 VREF_SQx 字段（值范围为 0 至 511），用户可以优化谐波性能。

使用以下公式计算 VREF_SQx 的建议值：

$$\mathrm{VREF_SQ_x} = \mathrm{Amp}^2 \times \left(\frac{\mathrm{b}}{1 + \mathrm{a} \times \mathrm{freq}} + \mathrm{c}\right) \tag{7}$$

其中

- 放大器是输出信号的幅值（单位为 V_{Pk}）。
- freq = 频率（单位为 Hz）
- a = 1.1×10^{-4}，b = 0.85，c = 0.15

图 8-5 展示了归一化 vref sq 值与频率 (kHz) 间的关系。归一化 vref sq 值由以下关系定义：

- 归一化 Vref Sq 值 = 编程的 VREF_SQx/Amp^2

Copyright © 2026 Texas Instruments Incorporated

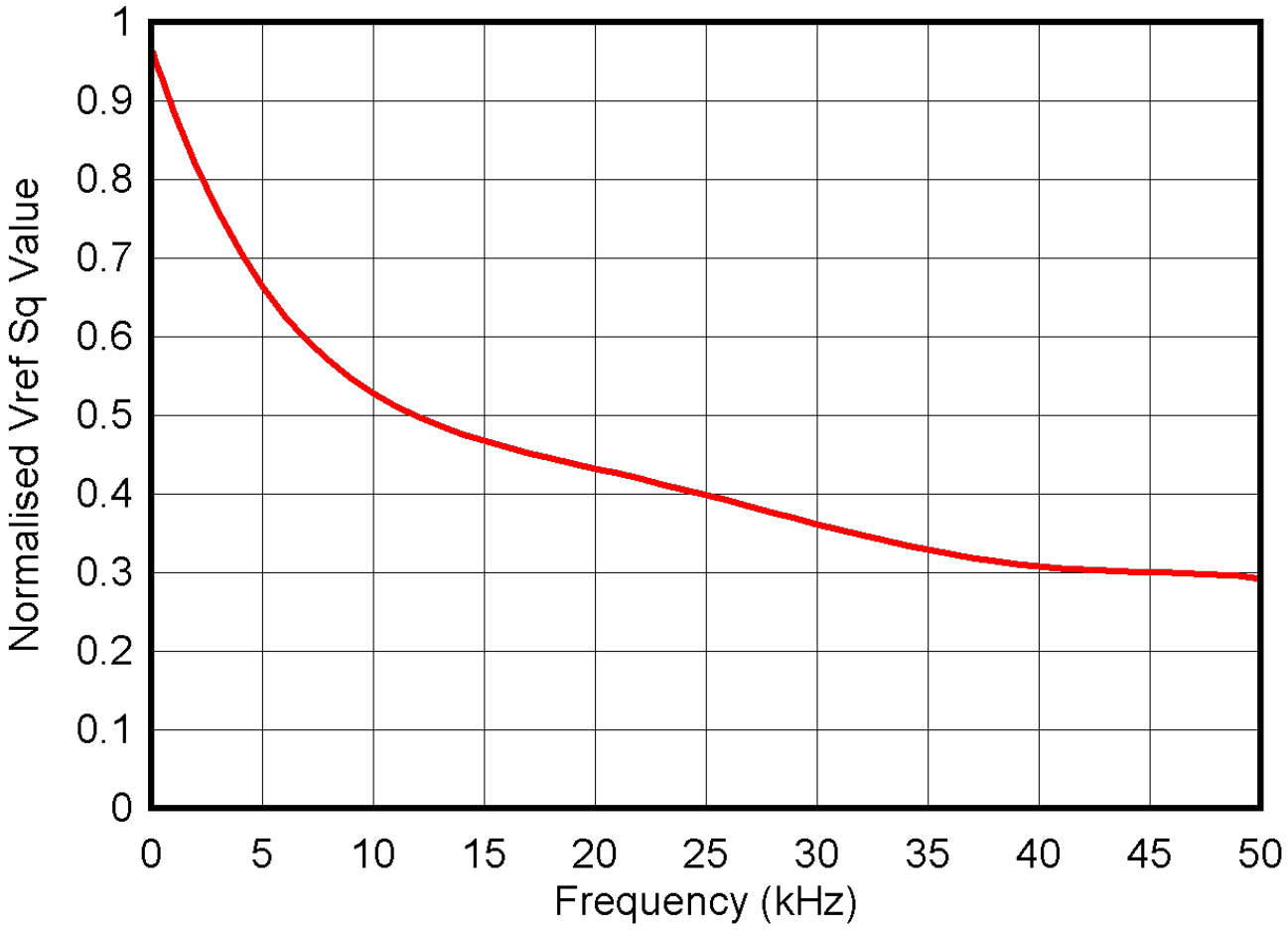


图 8-5. 优化归一化 Vref Sq 值与频率 (kHz) 间的关系

8.2.3 数字接口

DAC90802 使用四线（可扩展到六线）SPI。器件的数字接口可以是 FPGA 或处理器，如节 8.2.3 所示。DAC90802 有两个 $\overline{\text{LDAC}}$ 输入选项，用于每个通道的同步输出更新。在交流信号生成应用中，$\overline{\text{LDAC}}$ 信号中的抖动会影响输出端的信噪比 (SNR)。因此，$\overline{\text{LDAC}}$ 信号必须通过 FPGA 或处理器中的低抖动时钟源生成。所有低电平有效信号（$\overline{\text{LDAC}}$、$\overline{\text{RESET}}$、$\overline{\text{CS}}$）均可使用适当的电阻器上拉至 VIO。在高 SCLK 频率下工作时，请使用适当的端接电阻器（可选），如图 8-6 所示。未使用的数字信号可以连接到 VIO 或接地端。

$\overline{\text{LDAC}}$ 上的相位噪声可降低 DAC 输出噪声，尤其是在输出频率较高时。建议使用稳定（优于 ±50ppm 频率稳定）、低随机抖动 (≤ 3.0ps) 时钟（如 TI 的 CDC6C）。

Copyright © 2026 Texas Instruments Incorporated

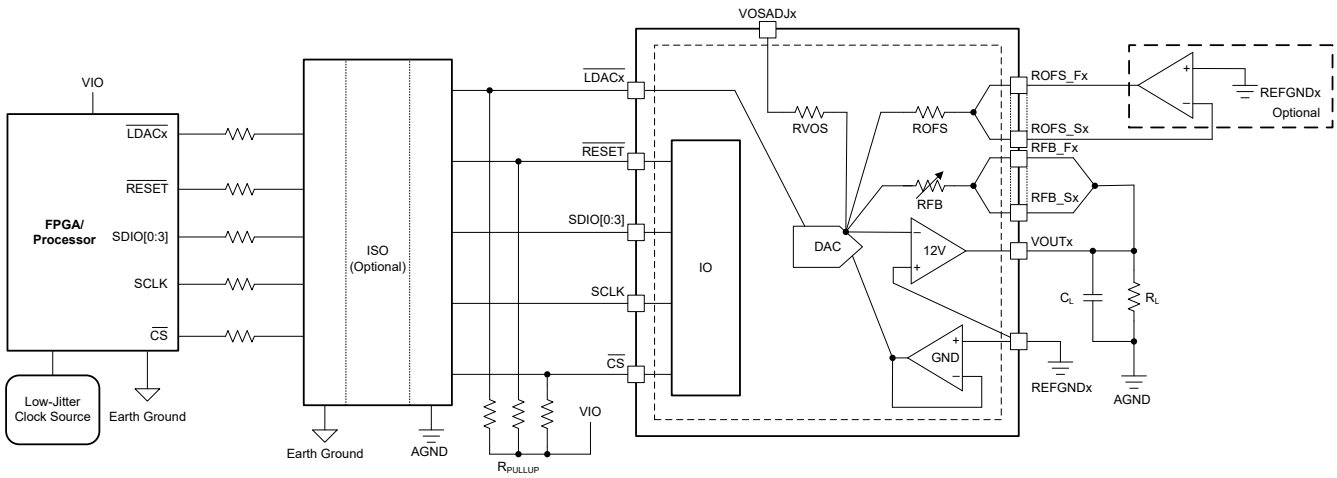


图 8-6. DAC90802 接口连接到 FPGA 或处理器

8.2.4 接地建议

为实现 DAC90802 的出色性能，谨慎地进行接地和去耦至关重要。使用具有接地平面基准的 PCB 有助于有效限制数字回流电流。通过在高频数字走线正下方建立低互感路径，回流电流会沿信号路径流动，从而更大限度地减少串扰。在精密应用中，管理接地平面对于限制共阻抗耦合至关重要，因为直流信号往往会在平面上扩散，而不是局限于特定走线下方。

还需要在 REFGND 和 AGND 之间进行有效隔离，以防止共模电流在接地端之间流动。虽然这些接地端必须与电流保持隔离，但应保持各接地端相同的直流电位。要实现这一目标，最可靠的方法是在基准器件附近采用单点连接，如图 8-7 所示。

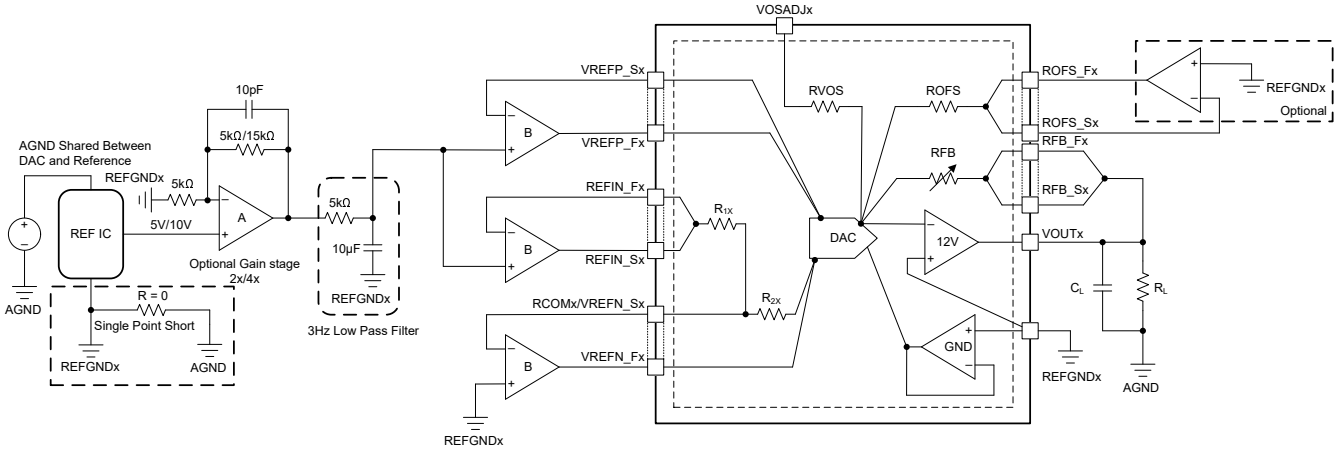


图 8-7. DAC90802 接地建议

8.3 电源相关建议

该器件可在规定的电源电压范围内运行。施加的电源必须保持良好调节且具有低噪声。为了进一步尽可能降低电源噪声，强烈建议在非常靠近每个电源引脚处放置一个 100pF 至 1nF 电容器和一个 0.1 µ F 至 1 µ F 旁路电容器。电源引脚的电流消耗、短路电流限制和这些器件的典型负载电流如节 5.5 所述。选择这些器件的电源时应满足上述电流要求。

Copyright © 2026 Texas Instruments Incorporated

8.4 布局

8.4.1 布局建议

PCB 布局对于实现 DAC90802 规定的交流和直流性能至关重要。尽管该器件旨在隔离模拟地、基准地和数字地以更大限度地减少噪声耦合，但采用简化的布局仍然可以提供出色的结果。通过对基准部分使用单个接地平面并对通过单点连接进行连接的数字和模拟 I/O 部分使用单独的平面（如图 8-8 所示），可在显著简化设计过程的同时实现足够的性能。

为增强信号完整性，数字信号和电源的布线方式必须能够防止数字开关噪声耦合到敏感的模拟信号路径中。

为实现理想的信号完整性，将信号链的所有关键元件放置在顶层，并具有来自后续内层的实心模拟地，从而更大限度地降低环路电感。为了实现有效的电源去耦，请在相应的电源引脚附近放置旁路电容器。此外，在数字信号走线下方提供不间断的接地回路平面（尤其是对于高速数字信号），可更大限度地降低环路电感并保持信号质量。

使用并联的 X7R 100nF 和 1 µ F 电容器对 VCC、VEE、DVDD、VIO 和 AVDD 进行去耦。对于 LVDD，需要使用 X7R 10 µ F 电容器；将该电容器尽可能靠近 LVDD 和 LGND 引脚放置，这对于更大限度地减少毛刺至关重要。

DAC 基准强制和检测引脚附近的基准缓冲器和去耦电容放置至关重要。在强制引脚和检测引脚之间直接放置一个 100pF 旁路电容器（建议专门用于直流应用），并尽可能缩短走线长度，从而最大限度地降低寄生阻抗。该配置在 DAC 开关期间为瞬态基准电流提供本地电荷存储，使检测连接能够准确跟踪 DAC 输入端的基准电压，从而提升整体系统动态性能。

在底层提供面积大于 $2in^2$ 的散热焊盘（必须连接到 VEE），以获得理想的热性能。

8.4.2 布局示例

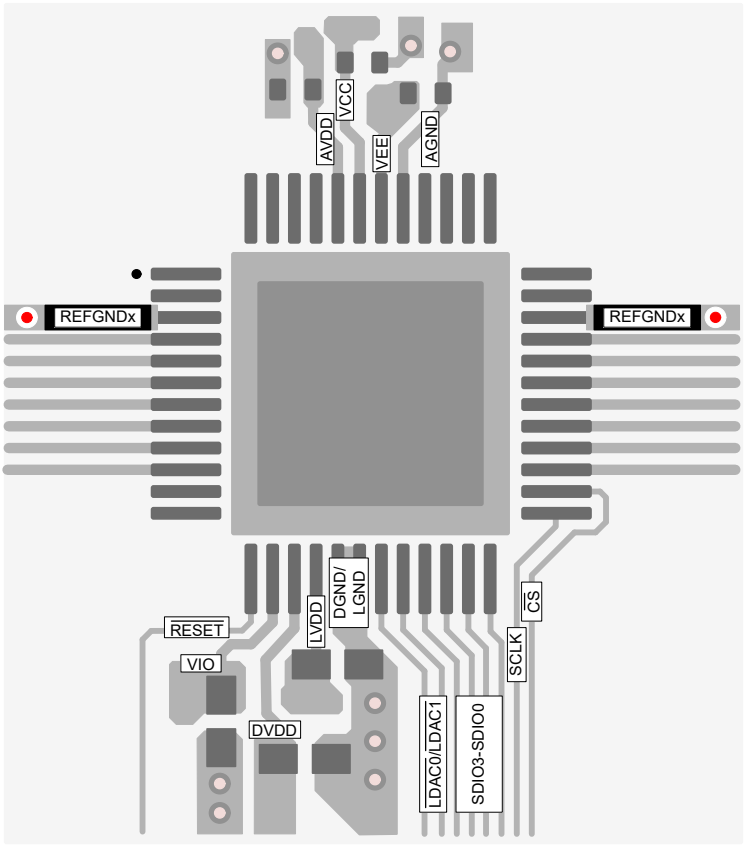


图 8-8. DAC90802 布局示例

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 相关文档

请参阅以下相关文档：

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

QSPI™ is a trademark of Motorola, Inc.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
September 2026	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航窗格。

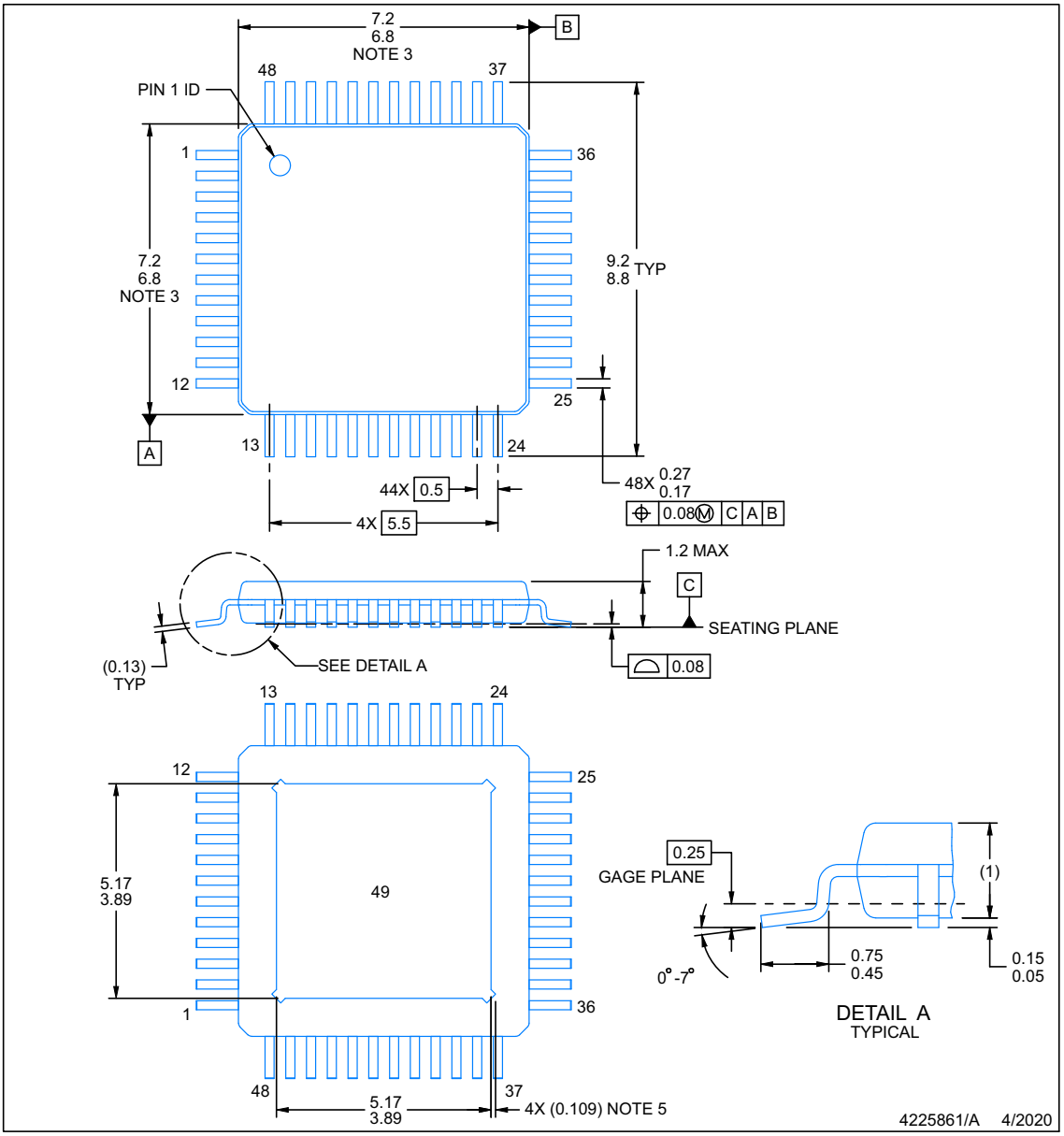
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

www.ti.com

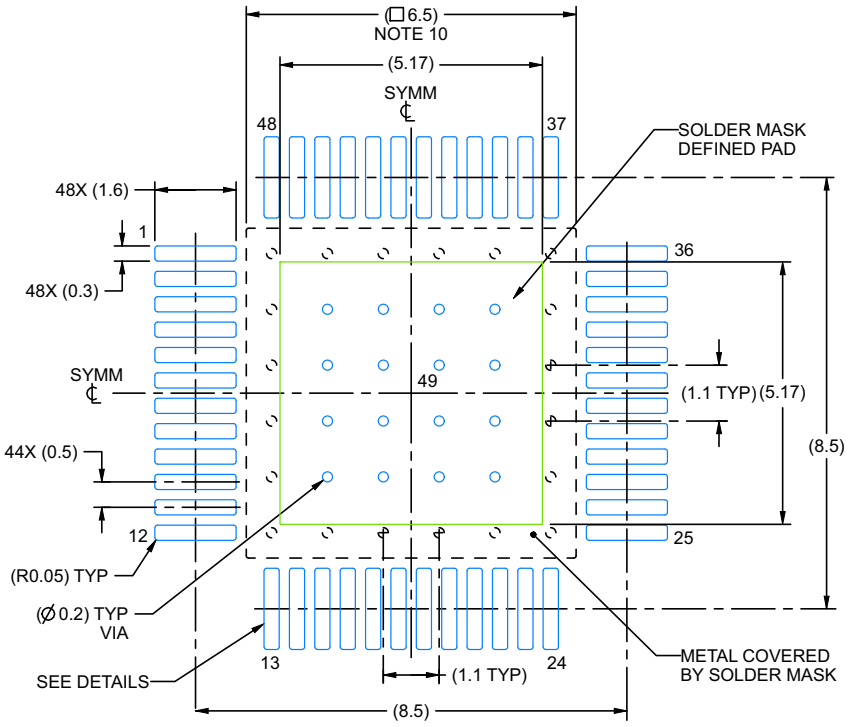
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

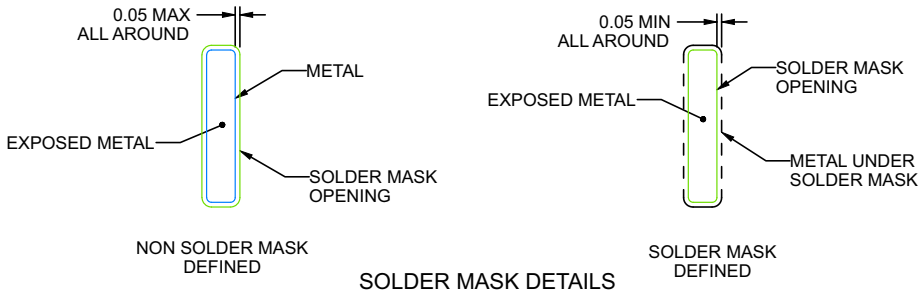
PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4225861/A 4/2020

NOTES: (continued)

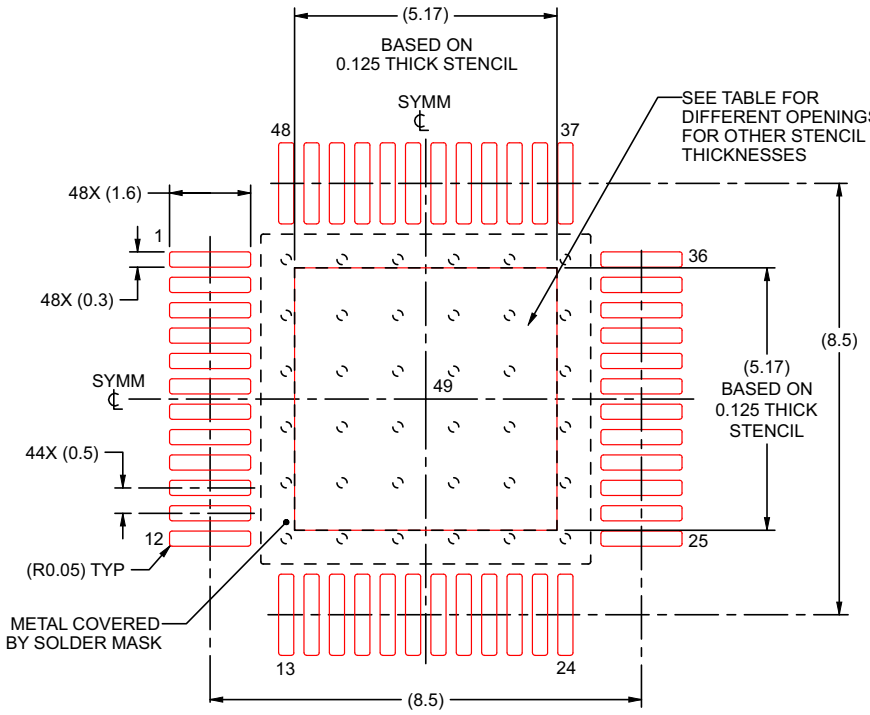
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PHP0048G — **PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	5.78 X 5.78
0.125	5.17 X 5.17 (SHOWN)
0.150	4.72 X 4.72
0.175	4.37 X 4.37

4225861/A 4/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC90802PHPR	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	DAC90802

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

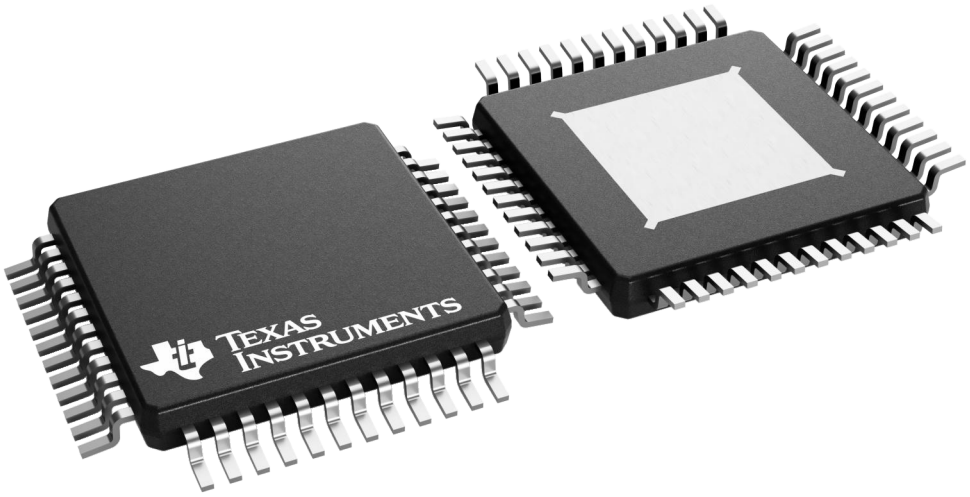
PHP 48

TQFP - 1.2 mm max height

7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



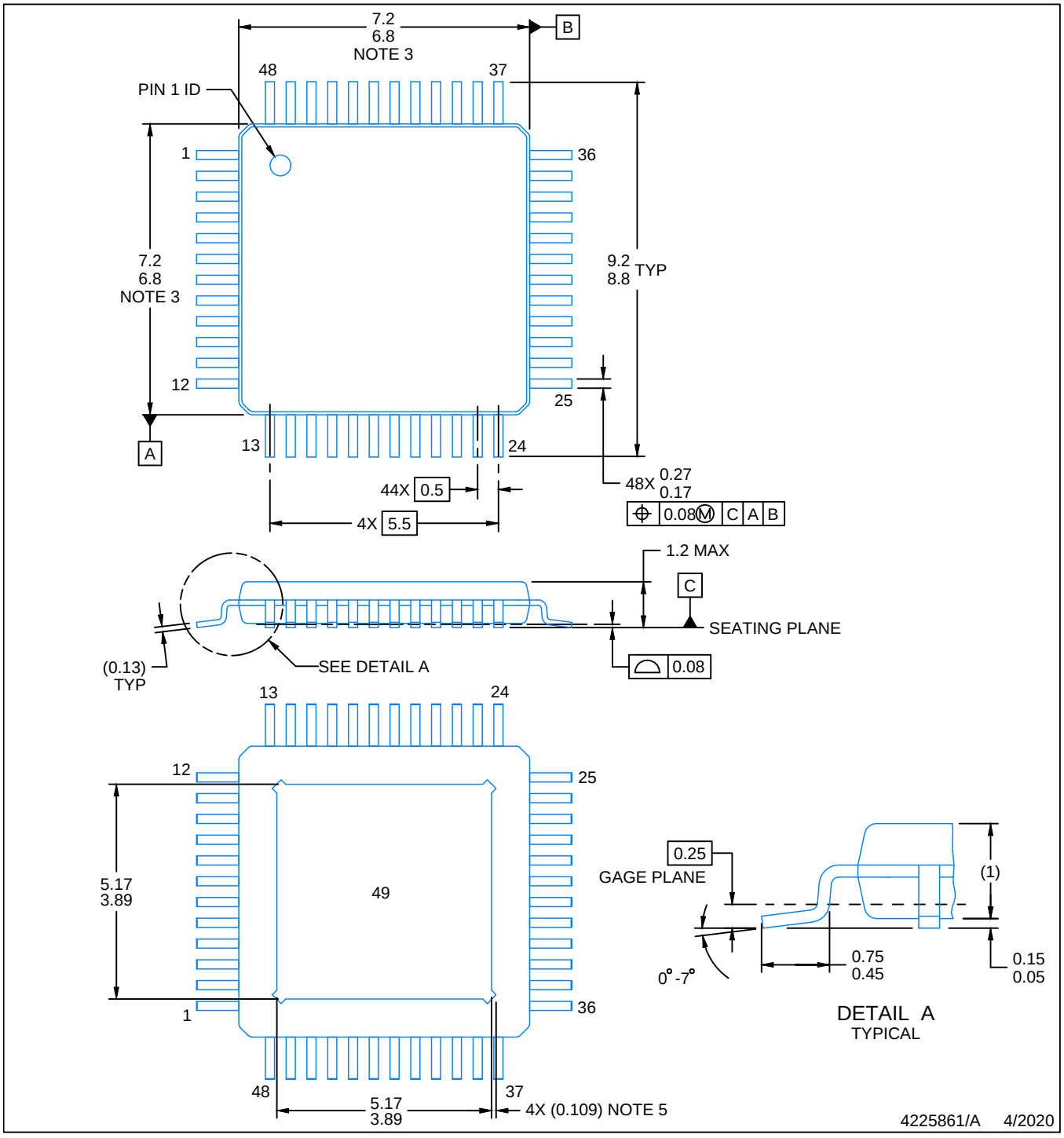
4226443/A

PACKAGE OUTLINE

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

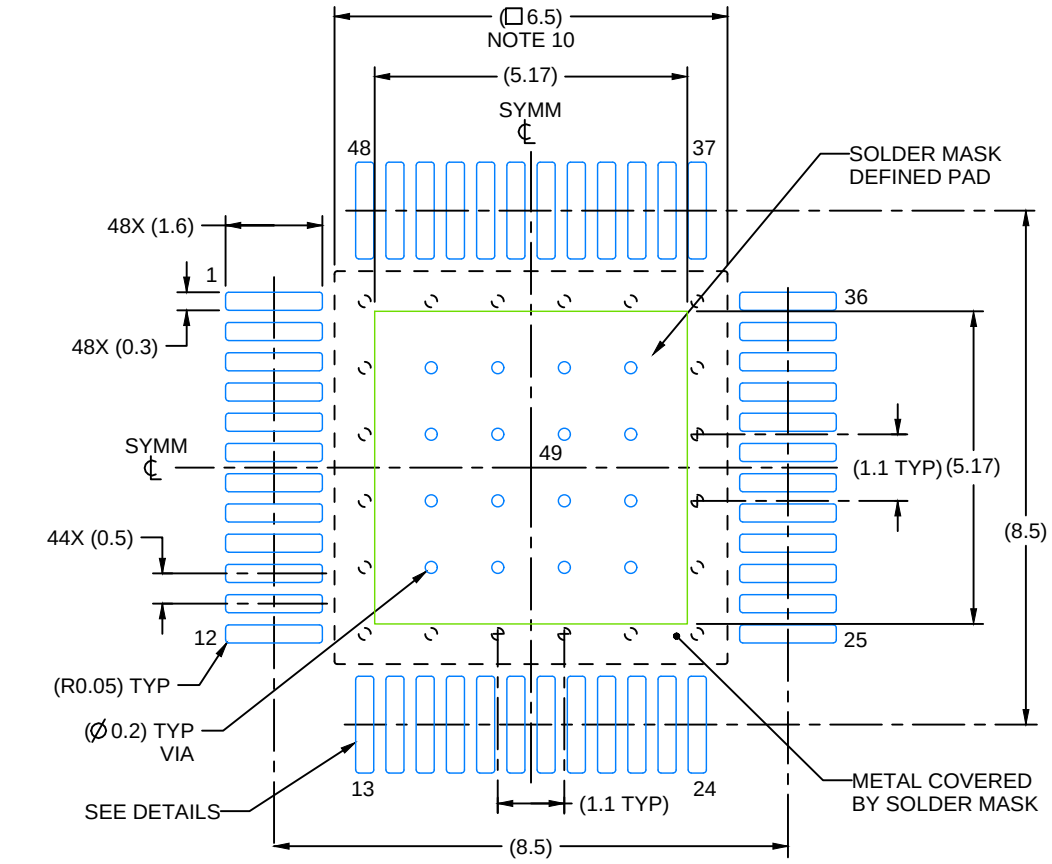
PLASTIC QUAD FLATPACK



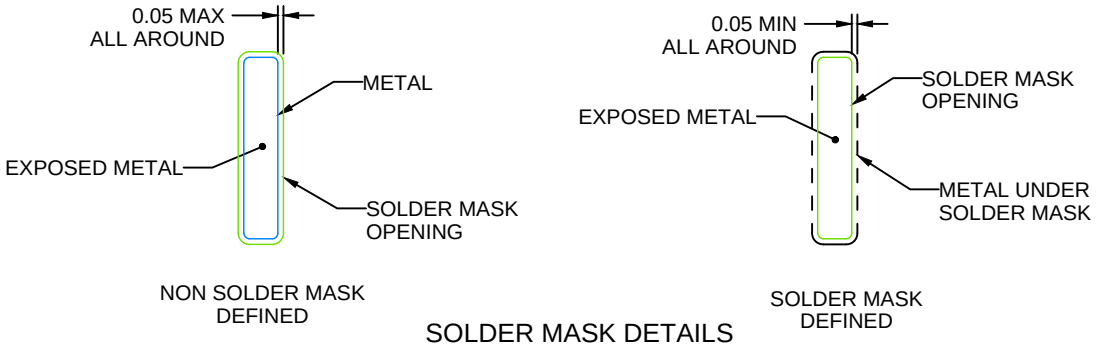
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

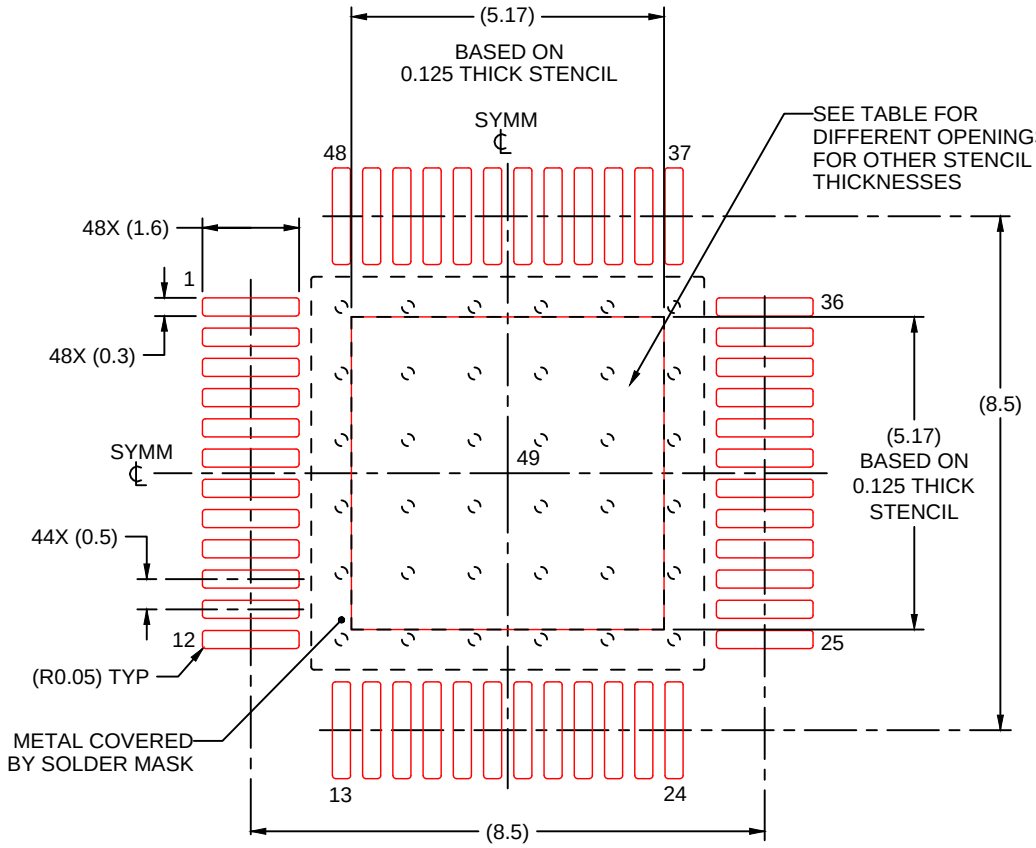


SOLDER MASK DETAILS

4225861/A 4/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	5.78 X 5.78
0.125	5.17 X 5.17 (SHOWN)
0.150	4.72 X 4.72
0.175	4.37 X 4.37

4225861/A 4/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月