具有内部基准电压的 DACx1416 16 通道 12 位、14 位和 16 位高电压输出 DAC

1 特性

- 性能
  - 在 16 位分辨率下具有单调性
  - INL：16 位分辨率下为 ±1LSB（最大值）
  - TUE：FSR 最大值的 ±0.1%
- 集成 2.5V 精密内部基准
  - 初始精度：±2.5mV（最大值）
  - 低温漂：5ppm/°C（典型值）
- 灵活的输出配置
  - 输出范围：±2.5V、±5V、±10V、±20V 0V 至 5V、0V 至 10V、0V 至 20V 或 0V 至 40V
  - 差分输出模式
- 高驱动能力：±25mA，相对于电源轨的摆幅为 1.5V
- 三个专用 A-B 切换引脚可用于生成抖动信号
- 模拟温度输出
  - 传感器增益 –4mV/°C
- 50MHz SPI 兼容型串行接口
  - 4 线模式，工作电压为 1.7V 至 5.5V
  - 菊花链运行
  - CRC 误差校验
- 温度范围：-40°C 至 +125°C
- 小型封装
  - 6mm × 6mm，40 引脚 VQFN

2 应用

- 数据中心内部互联（长距离、水下）
- 数据中心间互联（地铁）
- 光学模块
- 半导体测试
- 实验室和现场仪表
- 数据采集 (DAQ)

3 说明

12 位 DAC61416、14 位 DAC71416 和 16 位 DAC81416 (DACx1416) 是引脚兼容系列 16 通道、缓冲、高压输出数模转换器 (DAC)。DACx1416 包括一个低漂移 2.5V 内部电压基准，因此在大多数应用中无需使用外部精密基准。这些器件具有单调性，并能提供 ±1LSB INL 的高线性度。

用户可选择的输出配置可实现满量程双极输出电压 ±20V、±10V、±5V 或±2.5V，以及满量程单极输出电压 40V、20V、10V 或 5V。每个 DAC 通道的满量程输出范围是独立可编程的。集成的 DAC 输出缓冲器可以实现高达 25mA 的灌电流或拉电流，从而减少了对额外的运算放大器的需求。每个通道对都可以进行相应配置，从而提供经过失调校准的差分输出。通过三个专用 A-B 切换引脚，可以生成最多具有三种频率的抖动信号。

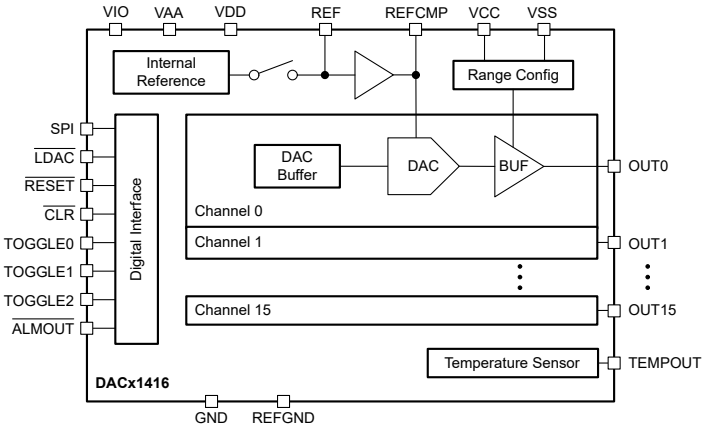
DACx1416 包含的上电复位 (POR) 电路可在上电时将 DAC 输出端连接至接地端。输出端会保持该状态，直至器件寄存器得到适当的运行配置。

与 DACx1416 之间的通信通过一个支持 1.7V 至 5.5V 工作电压的 4 线制串行接口进行。

器件信息

器件型号	分辨率	封装(1)
DAC61416	12 位	RHA（VQFN，40）
DAC71416	14 位	
DAC81416	16 位	

(1) 有关更多信息，请参阅 节 11。



功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....2
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 时序要求.....10
5.7 时序图.....13
5.8 典型特性.....14
6 详细说明.....22
6.1 概述.....22
6.2 功能方框图.....22
6.3 特性说明.....23
6.4 器件功能模式.....26
6.5 编程.....28
7 寄存器映射.....31
8 应用和实施.....45
8.1 应用信息.....45
8.2 典型应用.....45
8.3 电源相关建议.....48
8.4 布局.....48
9 器件和文档支持.....50
9.1 器件支持.....50
9.2 文档支持.....50
9.3 接收文档更新通知.....50
9.4 支持资源.....50
9.5 商标.....50
9.6 静电放电警告.....50
9.7 术语表.....50
10 修订历史记录.....50
11 机械、封装和可订购信息.....51

4 引脚配置和功能

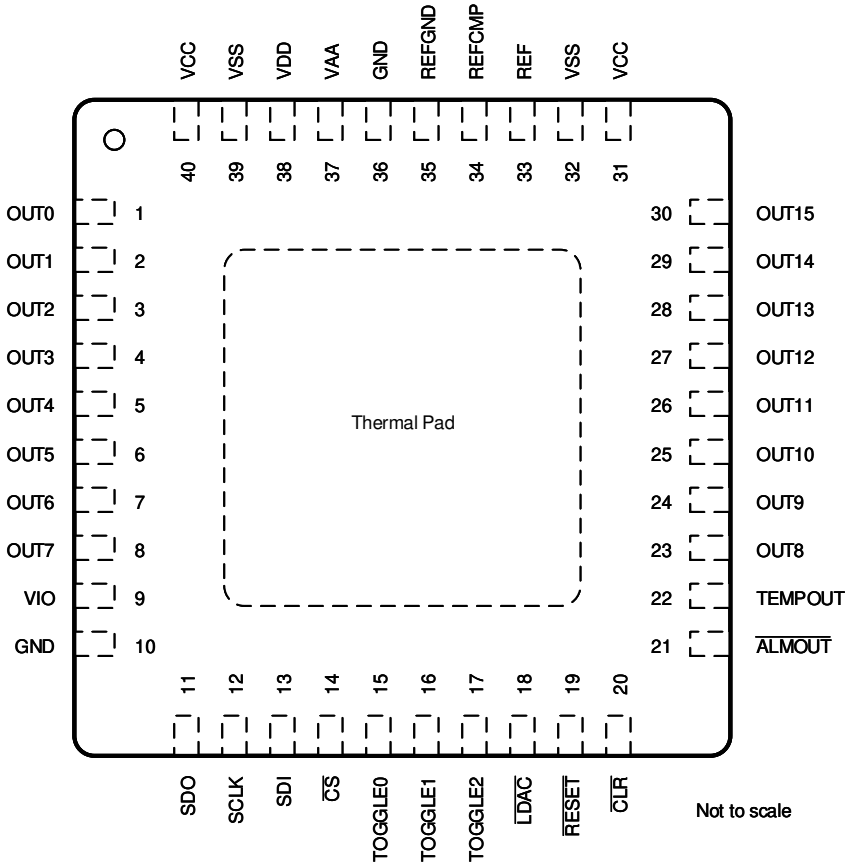


图 4-1. RHA 封装，40 引脚 VQFN，顶视图

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	OUT0	输出	通道 0 模拟 DAC 输出电压。
2	OUT1	输出	通道 1 模拟 DAC 输出电压。
3	OUT2	输出	通道 2 模拟 DAC 输出电压。
4	OUT3	输出	通道 3 模拟 DAC 输出电压。
5	OUT4	输出	通道 4 模拟 DAC 输出电压。
6	OUT5	输出	通道 5 模拟 DAC 输出电压。
7	OUT6	输出	通道 6 模拟 DAC 输出电压。
8	OUT7	输出	通道 7 模拟 DAC 输出电压。
9	VIO	电源	IO 电源电压。（1.7V 至 5.5V）。该引脚用于设置器件的 I/O 工作电压。
10、36	GND	接地	此器件上用于所有电路的接地参考点。
11	SDO	输出	串行接口数据输出。通过设置 SDO-EN 位，在操作前启用 SDO 引脚。根据 FSDO 位的指定值，数据在 SCLK 引脚的上升沿或下降沿（默认为上升沿）从输入移位寄存器中移出。
12	SCLK	输入	串行接口时钟。
13	SDI	输入	串口数据输入。数据在 SCLK 引脚每个下降沿移入到输入移位寄存器中。
14	$\overline{CS}$	输入	低电平有效串行数据使能。此输入是串行数据的帧同步信号。当信号变为低电平时，将启用串行接口输入移位寄存器。
15	TOGGLE0	输入	切换引脚 0。经配置用于切换操作的 DAC 输出的控制信号，可在与每个 DAC 关联的两个 DAC 数据寄存器之间切换。逻辑低电平会将 DAC 输出更新为寄存器 A 设置的值。逻辑高电平会将 DAC 输出更新为寄存器 B 设置的值。如果未使用，则将 TOGGLE0 引脚接地。
16	TOGGLE1	输入	切换引脚 1。经配置用于切换操作的 DAC 输出的控制信号，可在与每个 DAC 关联的两个 DAC 数据寄存器之间切换。逻辑低电平会将 DAC 输出更新为寄存器 A 设置的值。逻辑高电平会将 DAC 输出更新为寄存器 B 设置的值。如果未使用，则将 TOGGLE1 引脚接地。
17	TOGGLE2	输入	切换引脚 2。经配置用于切换操作的 DAC 输出的控制信号，可在与每个 DAC 关联的两个 DAC 数据寄存器之间切换。逻辑低电平会将 DAC 输出更新为寄存器 A 设置的值。逻辑高电平会将 DAC 输出更新为寄存器 B 设置的值。如果未使用，则将 TOGGLE2 引脚接地。
18	$\overline{LDAC}$	输入	低电平有效同步信号。当 $\overline{LDAC}$ 引脚为低电平时，这些配置为同步模式的通道的 DAC 输出同时更新。如果未使用，则连接到 VIO。
19	$\overline{RESET}$	输入	低电平有效复位输入。此引脚上的逻辑低电平会导致设备发出启动复位事件。
20	$\overline{CLR}$	输入	低电平有效清除输入。该引脚上的逻辑低电平将所有 DAC 输出清除为清除代码。如果未使用，则连接到 VIO。
21	$\overline{ALMOUT}$	输出	$\overline{ALMOUT}$ 是开漏警报输出。需要一个外部 10kΩ 上拉电阻器来连接不大于 V_{IO} 的电压。
22	TEMPOUT	输出	模拟温度监测器输出。
23	OUT8	输出	通道 8 模拟 DAC 输出电压。
24	OUT9	输出	通道 9 模拟 DAC 输出电压。
25	OUT10	输出	通道 10 模拟 DAC 输出电压。
26	OUT11	输出	通道 11 模拟 DAC 输出电压。
27	OUT12	输出	通道 12 模拟 DAC 输出电压。
28	OUT13	输出	通道 13 模拟 DAC 输出电压。
29	OUT14	输出	通道 14 模拟 DAC 输出电压。
30	OUT15	输出	通道 15 模拟 DAC 输出电压。
31、40	VCC	电源	输出正模拟电源（9V 至 41.5V）。
32、39	VSS	电源	输出负模拟电源（–21.5V 至 0V）。
33	REF	输入/输出	使用外部基准运行时器件的基准输入。当使用内部基准时，该引脚是基准输出电压引脚。将一个 150nF 电容器接地。
34	REFCMP	输入/输出	基准补偿电容器连接。在 REFCMP 和 REFGND 之间连接一个 330pF 电容器。
35	REFGND	接地	内部基准的接地基准点。
37	VAA	电源	模拟电源电压（4.5V 至 5.5V）。确保该引脚与 VDD 引脚处于相同电位。
38	VDD	电源	数字电源电压（4.5V 至 5.5V）。确保该引脚与 VAA 引脚处于相同电位。
散热焊盘	散热焊盘	—	散热垫位于封装的底部。通过多个过孔将散热焊盘连接到任何内部 PCB 接地平面，以获得良好的热性能。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压	V_{DD} 至 GND	-0.3	6	V
	V_{IO} 至 GND	-0.3	6	V
	V_{CC} 至 GND	-0.3	44	V
	V_{SS} 接地	-22	0.3	V
	REFGND 至 GND	-0.3	0.9	V
	V_{DD} 至 V_{AA}	-0.3	0.3	V
	V_{CC} 至 V_{SS}	-0.3	44	V
引脚电压	DAC 输出至 GND	V_{SS} - 0.3	V_{CC} + 0.3	V
	TEMPOUT 至 GND	-0.3	V_{DD} + 0.3	V
	REF 和 REFCMP 至 GND	-0.3	V_{DD} + 0.3	V
	数字输入至 GND	-0.3	V_{IO} + 0.3	V
	SDO 至 GND	-0.3	V_{IO} + 0.3	V
	$\overline{\text{ALARMOUT}}$ 至 GND	-0.3	6	V
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-60	150	°C

(1) 在 *绝对最大额定值* 范围外运行可能对器件造成永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{AA} [(1)]	模拟电源电压	4.5		5.5	V
V_{DD} [(1)]	数字电源电压	4.5		5.5	V
V_{IO}	IO 电源电压	1.7		5.5	V
V_{CC}	输出缓冲器正电源电压	9		41.5	V
V_{SS} [(2)]	输出缓冲器负电源电压	-21.5		0	V
V_{CC} – V_{SS}	输出缓冲器电源供电电压范围	9		43	V
	数字输入电压	0		V_{IO}	V
V_{REFIN}	V_{REFGND} 的基准输入电压	2.49	2.5	2.51	V
V_{REFGND} [(3)]	REFGND 引脚电压	0	0	0.6	V
T_A	工作环境温度	-40		125	°C

(1) 确保 V_{AA} 和 V_{DD} 处于相同电位。

Copyright © 2025 Texas Instruments Incorporated

(2) 仅当所有 DAC 输出都为单极时，V_{SS} 才连接到 GND。
(3) 如果 V_{REFGND} 未连接到 GND，请使用缓冲源来驱动 V_{REFGND}。

5.4 热性能信息

热指标[1]		DACx1416 RHA (VQFN) 40 引脚	单位
$R_{\Theta JA}$	结至环境热阻	26.8	℃/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	14.1	℃/W
$R_{\Theta JB}$	结至电路板热阻	3.4	℃/W
Ψ_{JT}	结至顶部特征参数	0.2	℃/W
Ψ_{JB}	结至电路板特征参数	3.4	℃/W
$R_{\Theta JC(bot)}$	结至外壳（底部）热阻	0.7	℃/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 电气特性

所有最小值和最大值的条件为 T_A = –40℃ 至 +125℃；所有典型值的条件均为 T_A = 25℃，V_{CC} = 9V 至 41.5V，V_{SS} = –21.5V 至 0V，V_{DD} = V_{AA} = 4.5V 至 5.5V，V_{REFIN} = 2.5V，V_{IO} = 1.7V 至 5.5V，DAC 输出已卸载；数字输入条件为 V_{IO} 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能[1]						
	分辨率	DAC81416	16			位
		DAC71416	14			
		DAC61416	12			
INL	积分非线性	DAC81416，除 0V 至 40V 和 ±2.5V 外的所有范围	-1	±0.5	1	LSB
		DAC81416，0V 至 40V 和 ±2.5V 范围	-2	±1	2	
		DAC71416，所有范围	-1	±0.5	1	
		DAC61416，所有范围	-1	±0.5	1	
DNL	微分非线性	DAC81416，指定的 16 位单调	-1	±0.5	1	LSB
		DAC71416，指定的 14 位单调	-1	±0.5	1	
		DAC61416，指定的 12 位单调	-1	±0.5	1	
TUE	总体未调整误差	除 ±2.5V 之外的所有范围	-0.1	±0.01	0.1	%FSR
		±2.5V 范围	-0.2	±0.02	0.2	
	单极偏移误差	所有单极范围	-0.03	±0.015	0.03	%FSR
	单极零代码误差	所有单极范围	0	0.04	0.1	%FSR
	双极零误差	所有双极范围	-0.2	±0.02	0.2	%FSR
	满量程误差	所有范围	-0.2	±0.075	0.2	%FSR
	增益误差	除 ±2.5V 之外的所有范围	-0.1	±0.02	0.1	%FSR
		±2.5V 范围	-0.2	±0.02	0.2	
	单极偏移误差漂移	所有单极范围		±2		FSR/°C 的 ppm 值
	双极零误差漂移	所有双极范围		±2		FSR/°C 的 ppm 值

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40℃ 至 +125℃；所有典型值的条件均为 T_A = 25℃，V_{CC} = 9V 至 41.5V，V_{SS} = –21.5V 至 0V，V_{DD} = V_{AA} = 4.5V 至 5.5V，V_{REFIN} = 2.5V，V_{IO} = 1.7V 至 5.5V，DAC 输出已卸载；数字输入条件为 V_{IO} 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	增益误差漂移	所有范围		±2		FSR/°C 的 ppm 值
	输出电压随时间推移的漂移	T_A = 40°C，满标度代码，1900 小时		5		FSR 的 ppm 值

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40℃ 至 +125℃；所有典型值的条件均为 T_A = 25℃，V_{CC} = 9V 至 41.5V，V_{SS} = –21.5V 至 0V，V_{DD} = V_{AA} = 4.5V 至 5.5V，V_{REFIN} = 2.5V，V_{IO} = 1.7V 至 5.5V，DAC 输出已卸载；数字输入条件为 V_{IO} 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
差模性能[1]						
TUE	总体未调整误差	所有范围	-0.1	±0.01	0.1	%FSR
		±2.5V 范围	-0.2	±0.02	0.2	
	共模误差	所有双极范围，中标度代码	-0.1	±0.01	0.1	%FSR
输出特性						
	输出电压净空	至 V_{SS} 和 V_{CC} (–10mA ≤ I_{OUT} ≤ 10mA)	1			V
		至 V_{SS} 和 V_{CC} (–15mA ≤ I_{OUT} ≤ 15mA)	1.5			
	短路电流[2]	满标度输出短接至 V_{SS}		40		mA
		零标度输出短接至 V_{CC}		40		
	负载调整率	中标度代码，–15mA ≤ I_{OUT} ≤ 15mA		70		μV/mA
	最大容性负载[3]	R_{LOAD} = 开路	0		1	nF
	输出直流阻抗	中标度代码		0.05		Ω
		满标度代码		40		
动态性能						
	输出电压建立时间	¼ 至 ¾ 标度和 ¾ 至 ¼ 标度的稳定时间至 ±1LSB，±10V 范围， R_L = 5kΩ，C_L = 200pF		12		μs
	压摆率	0V 至 5V 范围		1		V/μs
		所有其他输出范围		4		
	上电干扰幅度	断电至有源 DAC 输出， ±20V 范围，中标度代码， R_L = 5kΩ，C_L = 200pF		0.3		V
	输出噪声	0.1Hz 至 10Hz，中标度代码， 0V 至 5V 范围		15		$μV_{PP}$
	输出噪声密度	1kHz，中标度代码，0V 至 5V 范围		78		nV/Hz
PSRR-AC	交流电源抑制比	中标度代码，频率 = 60Hz，振幅 = 200mV_{PP} 叠加在 V_{DD}、V_{CC} 或 V_{SS} 上		1		LSB/V
PSRR-DC	直流电源抑制比	中标度代码，V_{DD} = 5V ± 5%， V_{CC} = 20V，V_{SS} = –20V		1		LSB/V
		中标度代码，V_{DD} = 5V， V_{CC} = 20V ± 5%，V_{SS} = –20V		1		
		中标度代码，V_{DD} = 5V， V_{CC} = 20V，V_{SS} = –20V ± 5%		1		
	代码变化干扰脉冲	主要载波附近的 1LSB 变化， 0V 至 5V 范围		4		nV-s
	通道间交流串扰	0V 至 5V 范围，中标度时的测量通道， 所有其他通道上的满标度摆幅		4		nV-s
	通道间直流串扰	0V 至 5V 范围，中标度时的测量通道， 所有其他通道处于满标度		0.25		LSB
	数字馈通	0V 至 5V 范围，中标度代码， f_{SCLK} = 1MHz		1		nV-s

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40℃ 至 +125℃；所有典型值的条件均为 T_A = 25℃，V_{CC} = 9V 至 41.5V，V_{SS} = –21.5V 至 0V，V_{DD} = V_{AA} = 4.5V 至 5.5V，V_{REFIN} = 2.5V，V_{IO} = 1.7V 至 5.5V，DAC 输出已卸载；数字输入条件为 V_{IO} 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
外部基准输入						
V_{REFIN}	基准输入电压范围	至 V_{REFGND}	2.49	2.5	2.51	V
	基准输入电流			50		μA
	基准输入阻抗			50		kΩ
	基准输入电容			20		pF
内部基准						
V_{REFOUT}	基准输出电压范围	T_A = 25°C	2.4975		2.5025	V
	基准输出漂移			5	15	ppm/°C
	基准输出阻抗			0.1		Ω
	基准输出噪声	0.1Hz 至 10Hz		12		$μV_{PP}$
	基准输出噪声密度	10kHz，REF_{LOAD} = 10nF		150		nV/Hz
	基准负载电流			5		mA
	基准负载调整率	源端		80		μV/mA
	基准线性调整率			20		μV/V
	随时间推移的基准输出漂移	T_A = 25°C，1900 小时		250		μV
	基准热迟滞	第一个周期		±700		μV
		附加周期		±50		
数字输入与输出						
V_{IH}	高电平输入电压		0.7 × V_{IO}			V
V_{IL}	低电平输入电压				0.3 × V_{IO}	V
	输入电流			±2		μA
	输入引脚电容			2		pF
V_{OH}	高电平输出电压	I_{OH} = 0.2mA	V_{IO} – 0.2			V
V_{OL}	低电平输出电压	I_{OL} = 0.2mA			0.4	V
	输出引脚电容			5		pF
警报输出						
	输出引脚电容			5		pF
V_{OL}	低电平输出电压	I_{LOAD} = -0.2mA			0.4	V
温度输出						
$V_{TEMPOUT,0C}$	0°C 时的输出失调电压			1.34		V
	传感器增益			-4		mV/°C

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40℃ 至 +125℃；所有典型值的条件均为 T_A = 25℃，V_{CC} = 9V 至 41.5V，V_{SS} = –21.5V 至 0V，V_{DD} = V_{AA} = 4.5V 至 5.5V，V_{REFIN} = 2.5V，V_{IO} = 1.7V 至 5.5V，DAC 输出已卸载；数字输入条件为 V_{IO} 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源要求						
I_{DD}	V_{DD} 电源电流	工作模式，启用内部基准，满标度代码，±20V 输出范围，SPI 静态		0.05	0.5	mA
		工作模式，禁用内部基准，满标度代码，±20V 输出范围，SPI 静态		0.05	0.5	mA
		断电模式		0.05	0.5	mA
I_{AA}	V_{AA} 电源电流	工作模式，启用内部基准，满标度代码，±20V 输出范围，SPI 静态		20	30	mA
		工作模式，禁用内部基准，满标度代码，±20V 输出范围，SPI 静态		18	28	mA
		断电模式		2	85	μA
I_{CC}	V_{CC} 电源电流	工作模式，启用内部基准，满标度代码，±20V 输出范围，SPI 静态		10	25	mA
		工作模式，禁用内部基准，满标度代码，±20V 输出范围，SPI 静态		10	25	mA
		断电模式		10	30	μA
I_{SS}	V_{SS} 电源电流	工作模式，启用内部基准，满标度代码，±20V 输出范围，SPI 静态	-15	-10		mA
		工作模式，禁用内部基准，满标度代码，±20V 输出范围，SPI 静态	-15	-10		mA
		断电模式	-30	-10		μA
I_{IO}	V_{IO} 电源电流	50MHz 处 SCLK 和 SDI 切换		350	500	μA

(1) 代码之间的端点拟合。16 位：代码 256 至 65280，14 位：代码 128 至 16256，12 位：代码 32 至 4064。
(2) 临时过载条件保护。在电流限制期间，结温能够超过限制。在高于指定最大结温的条件下运行可能会影响器件可靠性。
(3) 根据设计和特征确定；未经生产测试。

5.6 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
串行接口 - 写入操作						
$f_{(SCLK)}$	串行时钟频率	V_{IO} = 1.7V 至 2.7V			25	MHz
		V_{IO} = 2.7V 至 5.5V			50	
$t_{SCLKHIGH}$	SCLK 高电平时间	V_{IO} = 1.7V 至 2.7V	20			ns
		V_{IO} = 2.7V 至 5.5V	10			
t_{SCLLOW}	SCLK 低电平时间	V_{IO} = 1.7V 至 2.7V	20			ns
		V_{IO} = 2.7V 至 5.5V	10			
t_{SDIS}	SDI 设置时间	V_{IO} = 1.7V 至 2.7V	10			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{SDIH}	SDI 保持时间	V_{IO} = 1.7V 至 2.7V	10			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{CSS}	$\overline{CS}$ 到 SCLK 下降沿建立时间	V_{IO} = 1.7V 至 2.7V	30			ns
		V_{IO} = 2.7V 至 5.5V	15			
t_{CSH}	SCLK 下降沿到 $\overline{CS}$ 上升沿	V_{IO} = 1.7V 至 2.7V	10			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{CSHIGH}	$\overline{CS}$ 高电平时间	V_{IO} = 1.7V 至 2.7V	50			ns
		V_{IO} = 2.7V 至 5.5V	25			
$t_{DACWAIT}$	顺序 DAC 更新等待时间	V_{IO} = 1.7V 至 2.7V	2.4			µs
		V_{IO} = 2.7V 至 5.5V	2.4			
$t_{BCASTWAIT}$	广播 DAC 更新等待时间	V_{IO} = 1.7V 至 2.7V	4			µs
		V_{IO} = 2.7V 至 5.5V	4			
串行接口 - 读取和菊花链运行，FSDO = 0						
$f_{(SCLK)}$	串行时钟频率	V_{IO} = 1.7V 至 2.7V			15	MHz
		V_{IO} = 2.7V 至 5.5V			20	
$t_{SCLKHIGH}$	SCLK 高电平时间	V_{IO} = 1.7V 至 2.7V	33			ns
		V_{IO} = 2.7V 至 5.5V	25			
t_{SCLLOW}	SCLK 低电平时间	V_{IO} = 1.7V 至 2.7V	33			ns
		V_{IO} = 2.7V 至 5.5V	25			
t_{SDIS}	SDI 设置时间	V_{IO} = 1.7V 至 2.7V	10			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{SDIH}	SDI 保持时间	V_{IO} = 1.7V 至 2.7V	10			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{CSS}	$\overline{CS}$ 到 SCLK 下降沿建立时间	V_{IO} = 1.7V 至 2.7V	30			ns
		V_{IO} = 2.7V 至 5.5V	20			
t_{CSH}	SCLK 下降沿至 $\overline{CS}$ 上升沿	V_{IO} = 1.7V 至 2.7V	8			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{CSHIGH}	$\overline{CS}$ 高电平时间	V_{IO} = 1.7V 至 2.7V	50			ns
		V_{IO} = 2.7V 至 5.5V	25			
t_{SDOZD}	SDO 三态条件到被驱动	V_{IO} = 1.7V 至 2.7V	0		20	ns
		V_{IO} = 2.7V 至 5.5V	0		20	

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
t_{SDODLY}	SDO 输出延迟	V_{IO} = 1.7V 至 2.7V	0		35	ns
		V_{IO} = 2.7V 至 5.5V	0		20	

5.6 时序要求（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
串行接口 - 读取和菊花链运行，FSDO = 1						
$f_{(SCLK)}$	串行时钟频率	V_{IO} = 1.7V 至 2.7V			25	MHz
		V_{IO} = 2.7V 至 5.5V			35	
$t_{SCLKHIGH}$	SCLK 高电平时间	V_{IO} = 1.7V 至 2.7V	20			ns
		V_{IO} = 2.7V 至 5.5V	14			
t_{SCLLOW}	SCLK 低电平时间	V_{IO} = 1.7V 至 2.7V	20			ns
		V_{IO} = 2.7V 至 5.5V	14			
t_{SDIS}	SDI 设置时间	V_{IO} = 1.7V 至 2.7V	10			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{SDIH}	SDI 保持时间	V_{IO} = 1.7V 至 2.7V	10			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{CSS}	$\overline{CS}$ 到 SCLK 下降沿建立时间	V_{IO} = 1.7V 至 2.7V	30			ns
		V_{IO} = 2.7V 至 5.5V	20			
t_{CSH}	SCLK 下降沿至 $\overline{CS}$ 上升沿	V_{IO} = 1.7V 至 2.7V	8			ns
		V_{IO} = 2.7V 至 5.5V	5			
t_{CSHIGH}	$\overline{CS}$ 高电平时间	V_{IO} = 1.7V 至 2.7V	50			ns
		V_{IO} = 2.7V 至 5.5V	25			
t_{SDOZD}	SDO 三态条件到被驱动	V_{IO} = 1.7V 至 2.7V	0		20	ns
		V_{IO} = 2.7V 至 5.5V	0		20	
t_{SDODLY}	SDO 输出延迟	V_{IO} = 1.7V 至 2.7V	0		35	ns
		V_{IO} = 2.7V 至 5.5V	0		20	
数字逻辑						
t_{LOGDLY}	$\overline{CS}$ 上升沿至 $\overline{LDAC}$ 或 $\overline{CLR}$ 下降沿延迟时间	VIO = 1.7V 至 2.7V	40			ns
t_{LOGDLY}	$\overline{CS}$ 上升沿至 $\overline{LDAC}$ 或 $\overline{CLR}$ 下降沿延迟时间	VIO = 2.7V 至 5.5V	20			
t_{LDAC}	$\overline{LDAC}$ 低电平时间	VIO = 1.7V 至 2.7V	20			ns
		VIO = 2.7V 至 5.5V	10			
t_{CLR}	$\overline{CLR}$ 低电平时间	VIO = 1.7V 至 2.7V	20			ns
		VIO = 2.7V 至 5.5V	10			
t_{RESET}	POR 复位延迟	VIO = 1.7V 至 2.7V			1	ms
		VIO = 2.7V 至 5.5V			1	
f_{TOGGLE}	TOGGLE 频率	VIO = 1.7V 至 2.7V			100	kHz
		VIO = 2.7V 至 5.5V			100	

Copyright © 2025 Texas Instruments Incorporated

5.7 时序图

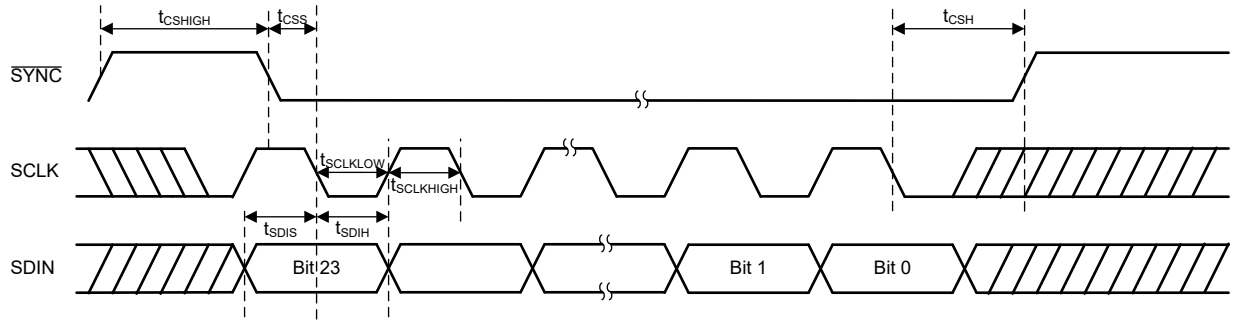


图 5-1. 串行接口写入时序图

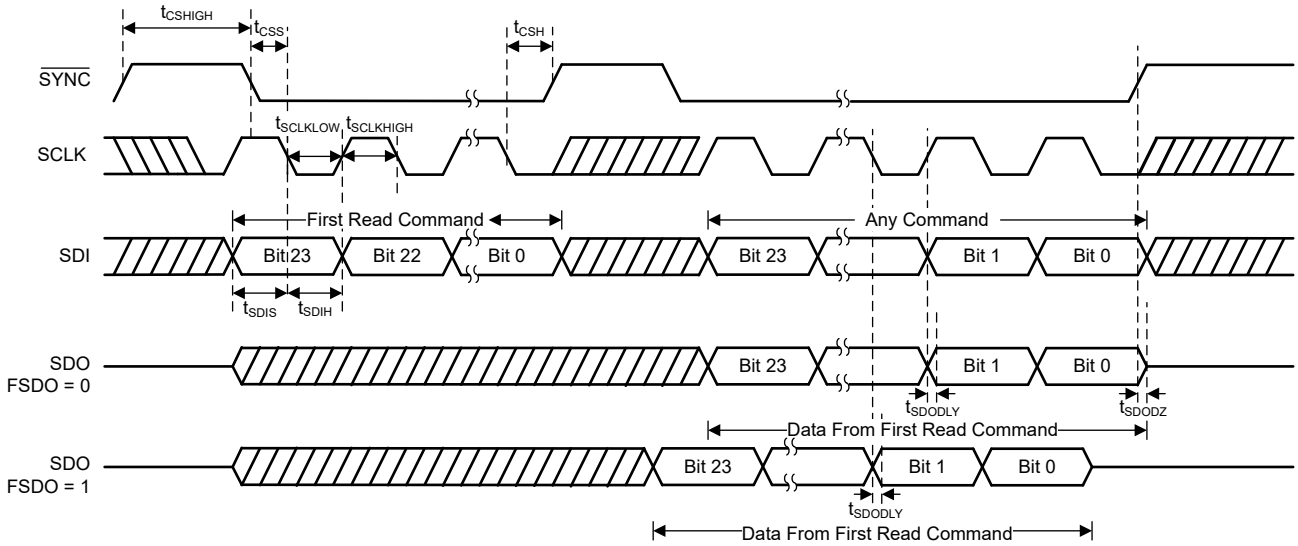


图 5-2. 串行接口读取时序图

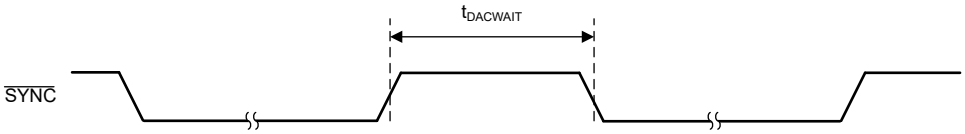


图 5-3. 更新模式下的 DAC 等待时间

5.8 典型特性

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

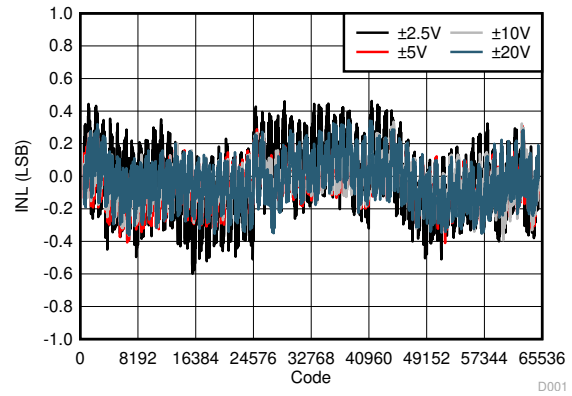


图 5-4. 积分线性误差与数字输入代码间的关系（双极输出）

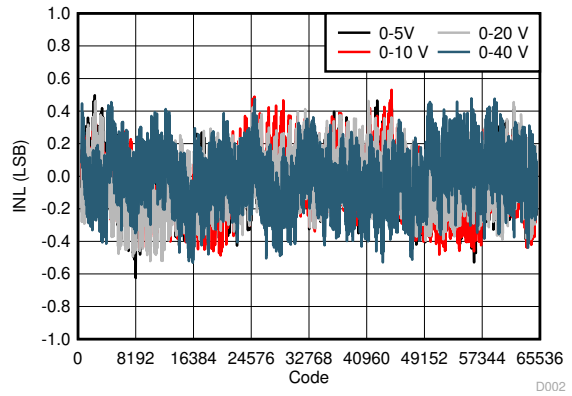


图 5-5. 积分线性误差与数字输入代码间的关系（单极输出）

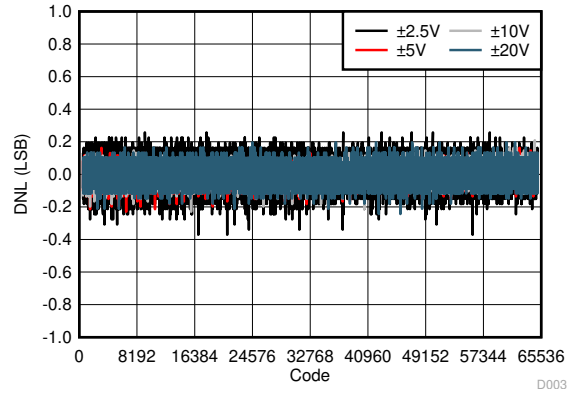


图 5-6. 差分线性误差与数字输入代码间的关系（双极输出）

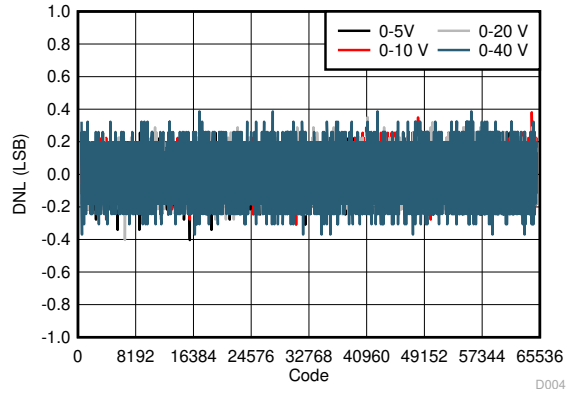


图 5-7. 差分线性误差与数字输入代码间的关系（单极输出）

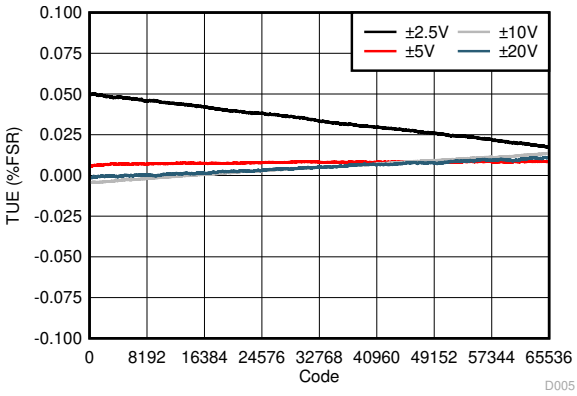


图 5-8. 总体未调整误差与数字输入代码间的关系（双极输出）

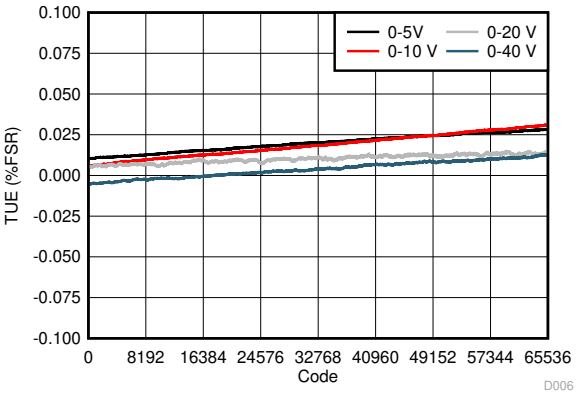


图 5-9. 总体未调整误差与数字输入代码间的关系（单极输出）

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

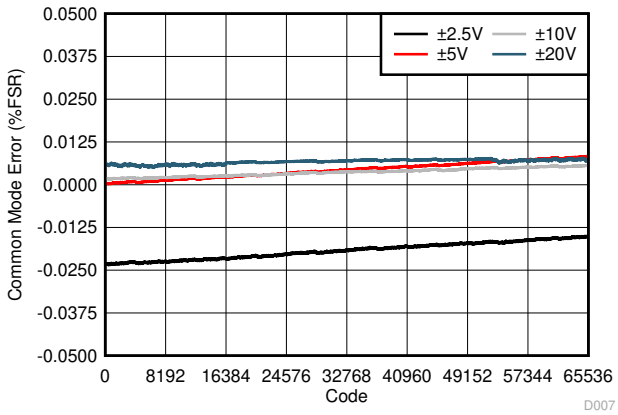


图 5-10. 共模误差与数字输入代码间的关系（差分双极输出）

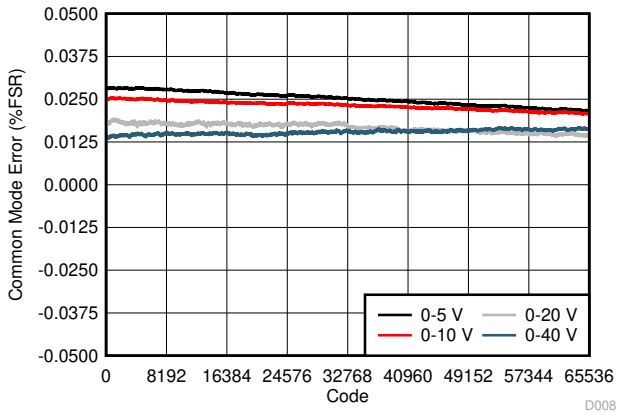
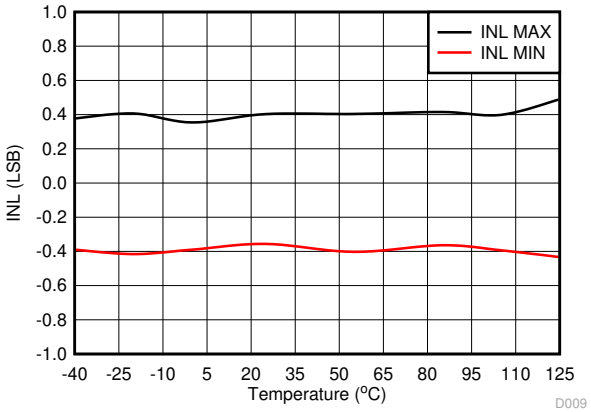
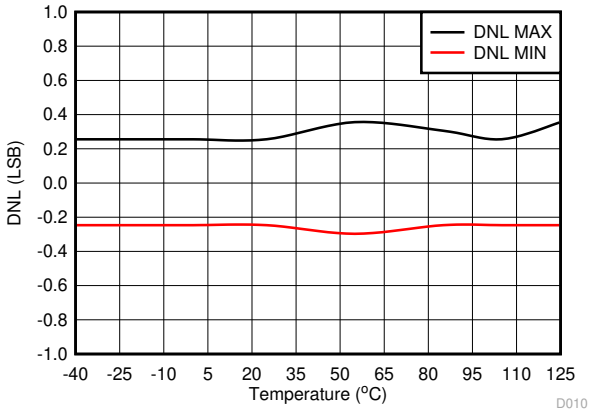


图 5-11. 共模误差与数字输入代码间的关系（差分单极输出）



±20V 输出范围

图 5-12. 积分线性误差与温度间的关系



±20V 输出范围

图 5-13. 差分线性误差与温度间的关系

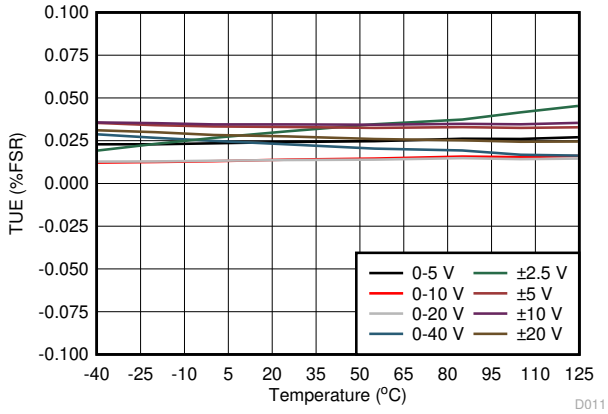


图 5-14. 总体未调整误差与温度间的关系

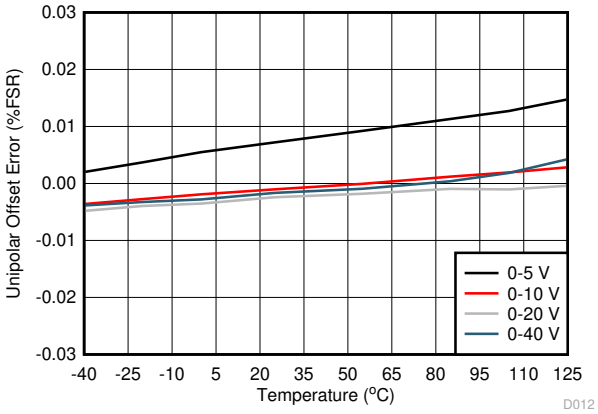


图 5-15. 单极偏移误差与温度间的关系

5.8 典型特性（续）

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

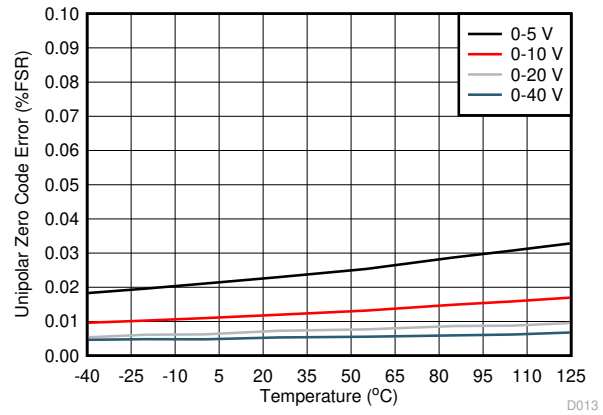


图 5-16. 单极零代码误差与温度间的关系

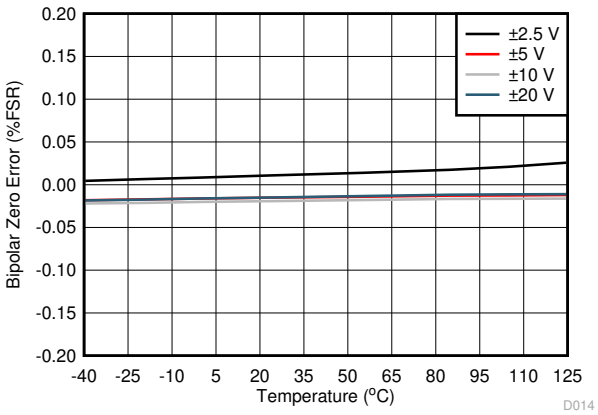


图 5-17. 双极零误差与温度间的关系

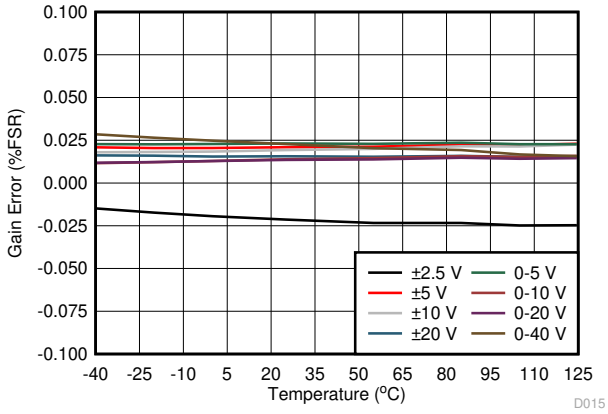


图 5-18. 增益误差与温度间的关系

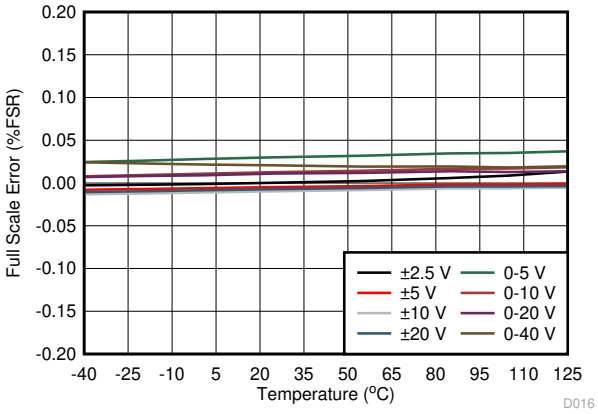


图 5-19. 满量程误差与温度间的关系

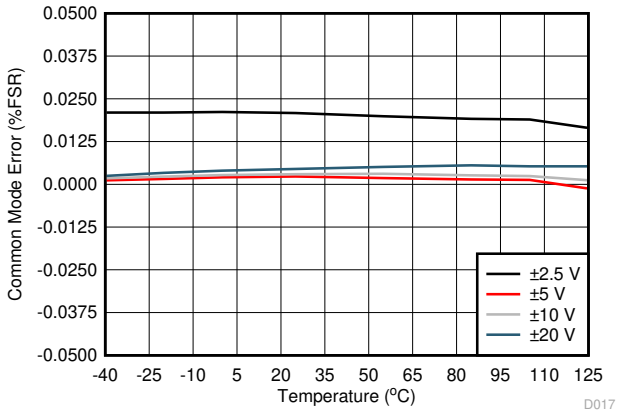


图 5-20. 共模误差与温度间的关系
（差分双极输出）

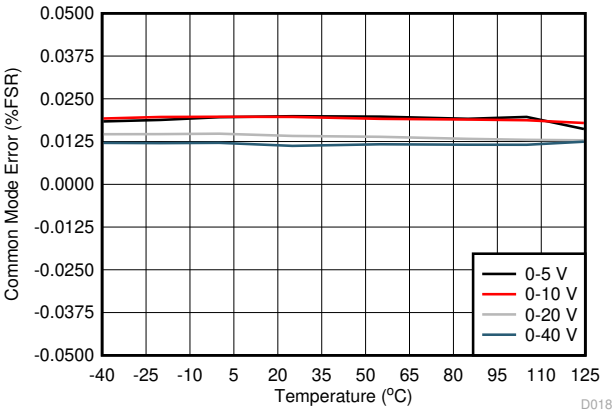
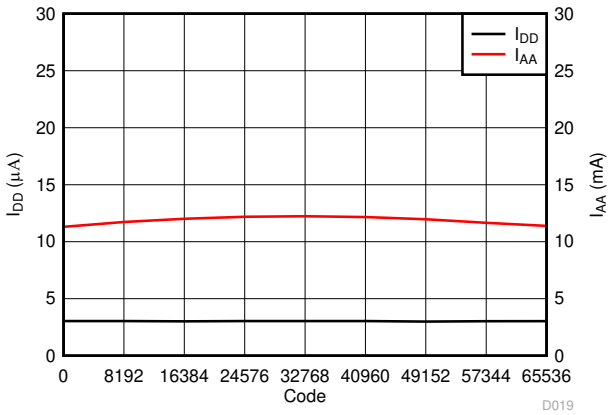


图 5-21. 共模误差与温度间的关系
（差分单极输出）

Copyright © 2025 Texas Instruments Incorporated

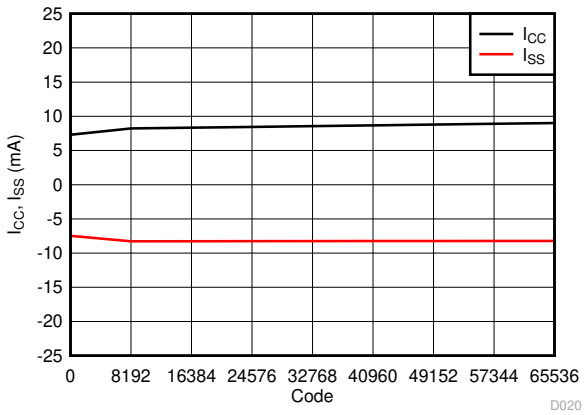
5.8 典型特性（续）

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）



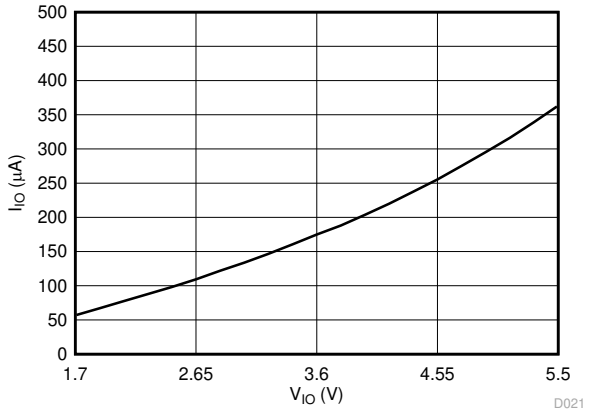
±20V 输出范围

图 5-22. 电源电流（I_{DD}、I_{AA}）与数字输入代码间的关系



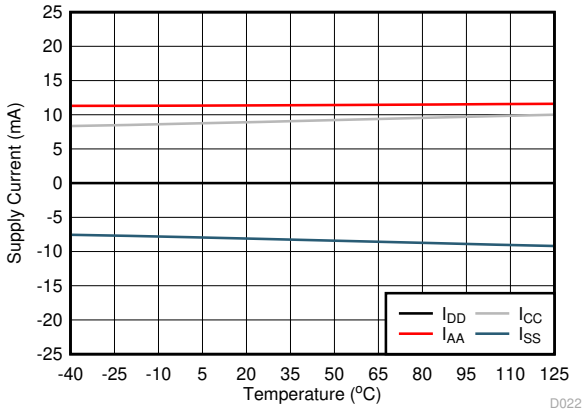
±20V 输出范围

图 5-23. 电源电流（I_{CC}、I_{SS}）与数字输入代码间的关系



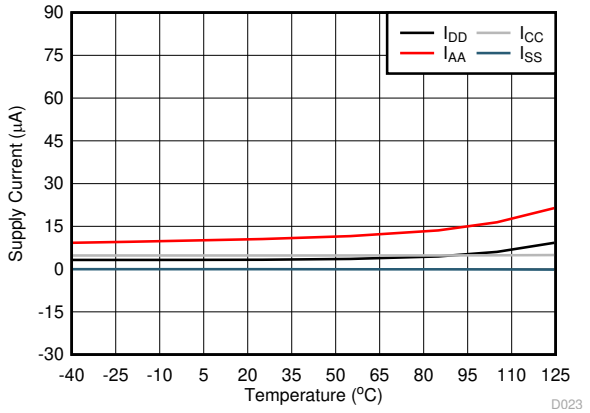
±20V 输出范围

图 5-24. 电源电流 (I_{IO}) 与电源电压间的关系



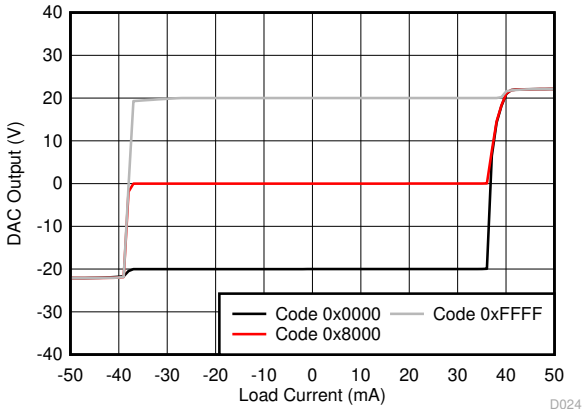
±20V 输出范围

图 5-25. 电源电流与温度间的关系



±20V 输出范围

图 5-26. 断电电流与温度间的关系

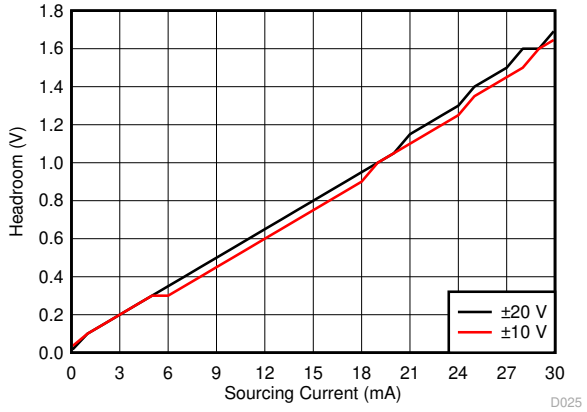


±20V 输出范围

图 5-27. 拉电流和灌电流能力

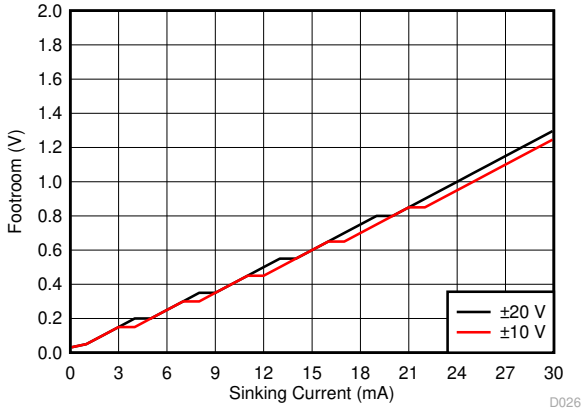
5.8 典型特性（续）

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）



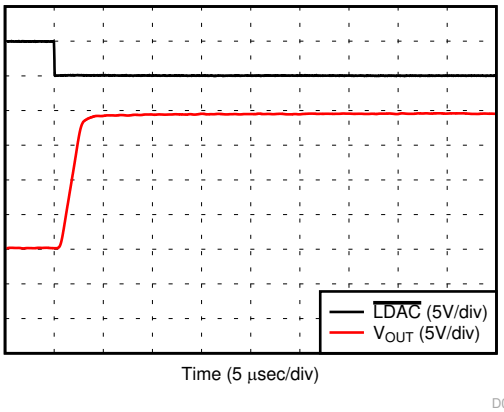
满标度代码

图 5-28. V_{CC} 余量与拉电流间的关系



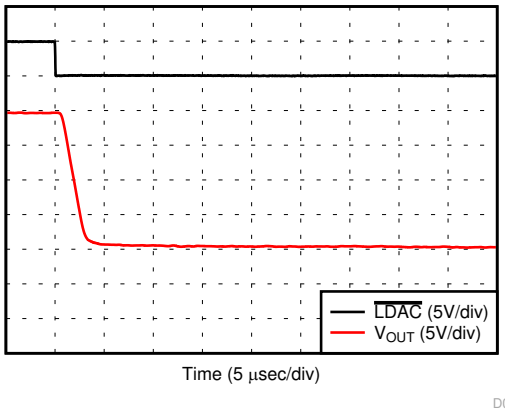
零代码

图 5-29. V_{SS} 余量与灌电流间的关系



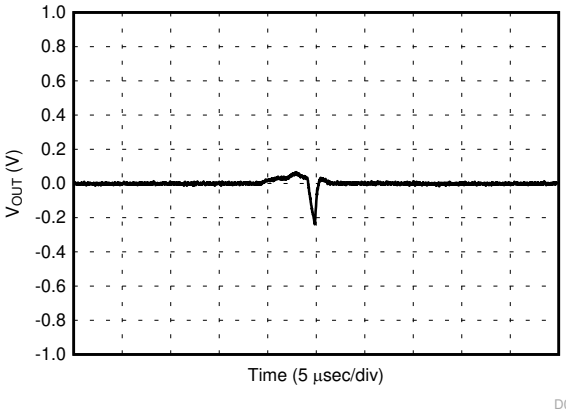
±20V 输出范围

图 5-30. 满标度建立时间，上升沿



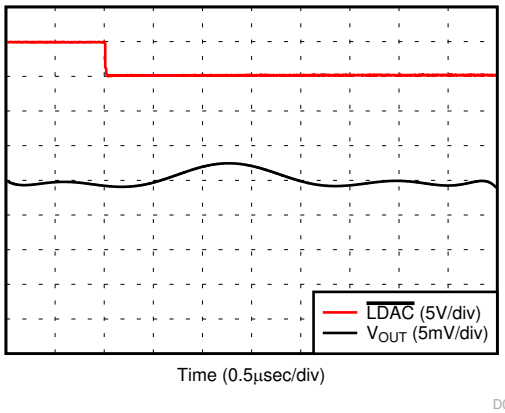
±20V 输出范围

图 5-31. 满标度建立时间，下降沿



断电至有源 DAC 模式
±20V 输出范围

图 5-32. DAC 输出使能干扰



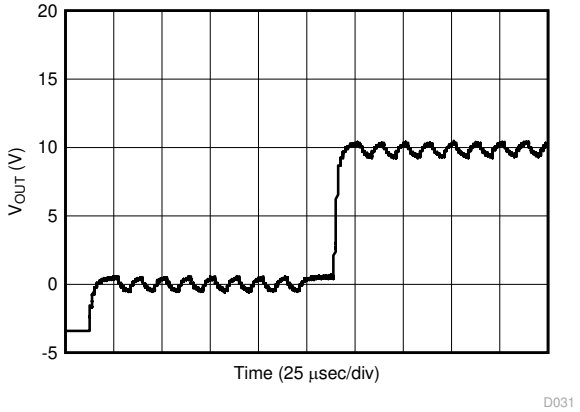
0V 至 5V 的输出电压范围

图 5-33. 干扰脉冲，1LSB 阶跃

Copyright © 2025 Texas Instruments Incorporated

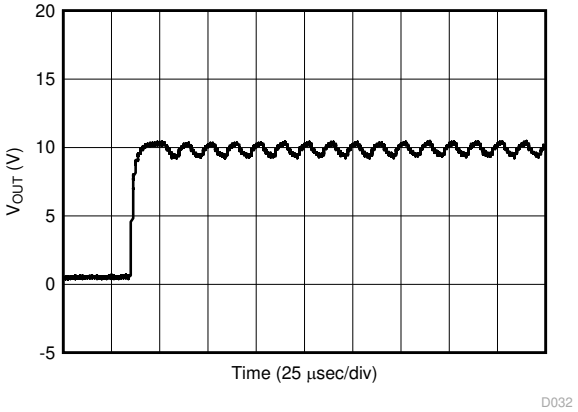
5.8 典型特性（续）

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）



±20V 输出范围
切换信号：$1V_{PP}$
直流变化：中标度至 3/4 满标度

图 5-34. 切换输出变化响应



±20V 输出范围
切换信号：$1V_{PP}$
直流值：3/4（满标度）

图 5-35. 切换启用响应

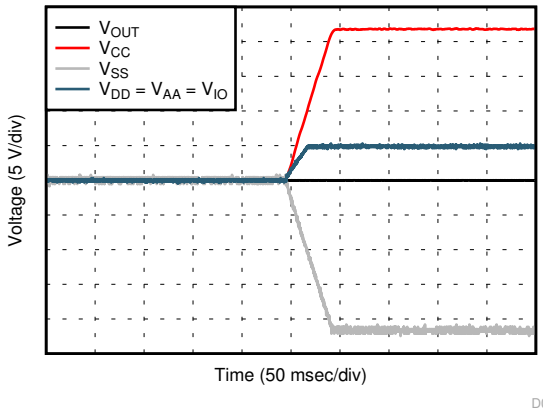


图 5-36. 上电响应

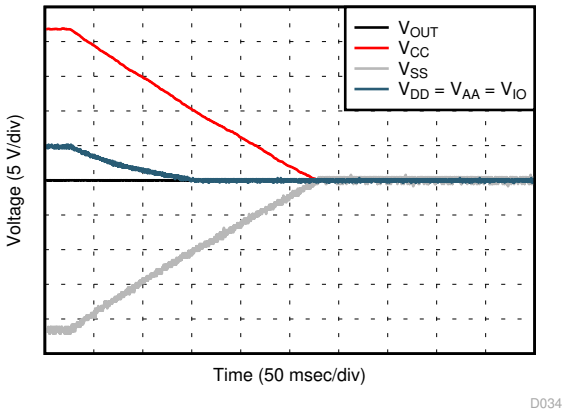
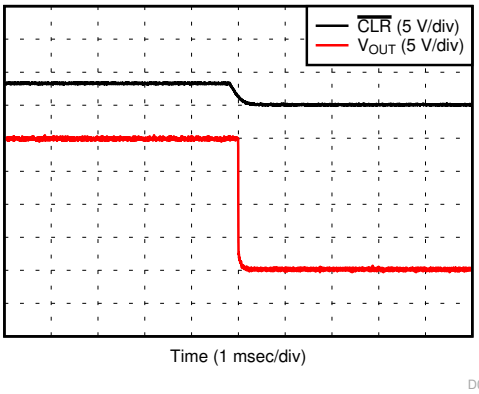


图 5-37. 关断响应

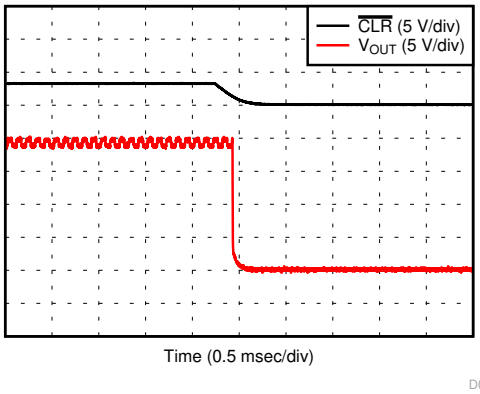
5.8 典型特性（续）

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）



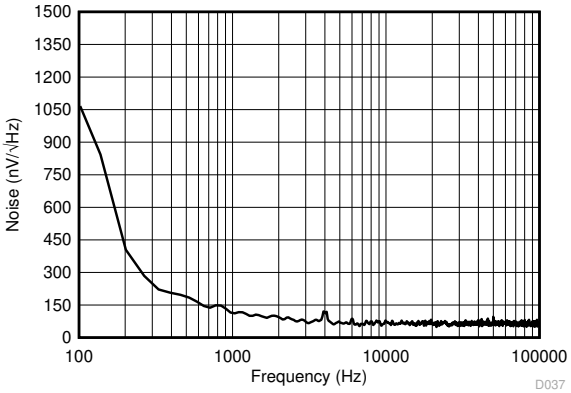
±20V 输出范围
满标度代码至 0V

图 5-38. 清除命令响应



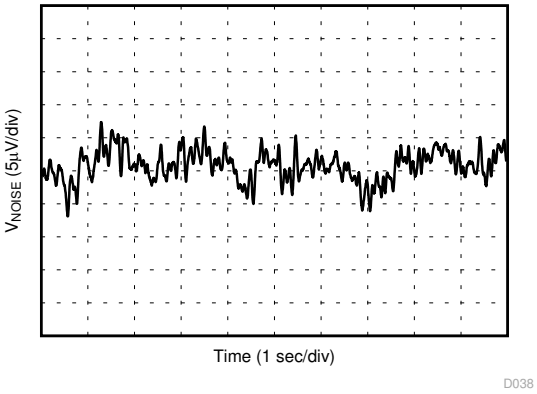
±20V 输出范围
切换信号：1V_{PP}
20V 时的直流值

图 5-39. 清除切换模式下的命令响应



0V 至 5V 的输出电压范围
中标度代码

图 5-40. DAC 输出噪声密度与频率间的关系



0V 至 5V 的输出电压范围
中标度代码

图 5-41. DAC 输出噪声

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

条件为 T_A = 25°C，V_{DD} = V_{AA} = 5V，V_{REFIN} = 2.5V，单极范围：V_{SS} = 0V 且 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：V_{SS} ≤ V_{MIN} – 1.5V 和 V_{CC} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

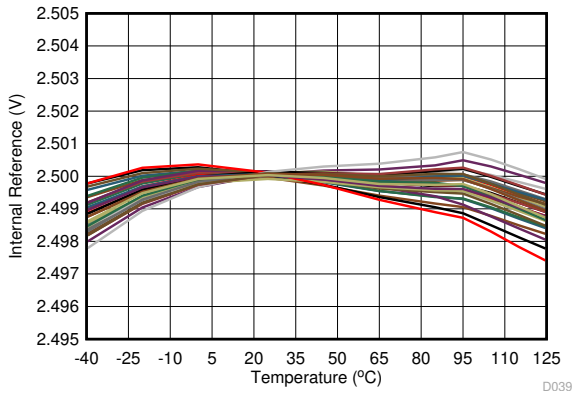


图 5-42. 内部基准电压与温度间的关系

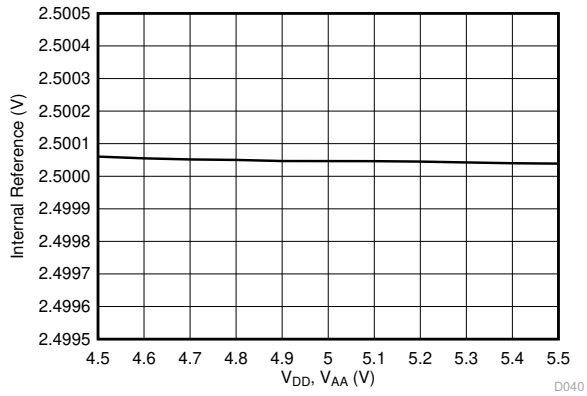


图 5-43. 内部基准电压与电源电压间的关系

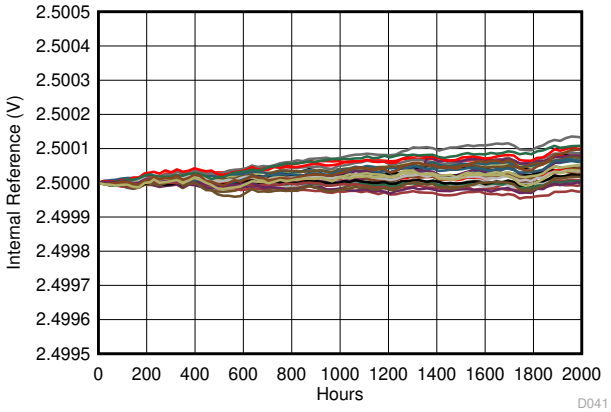


图 5-44. 内部基准电压与时间间的关系

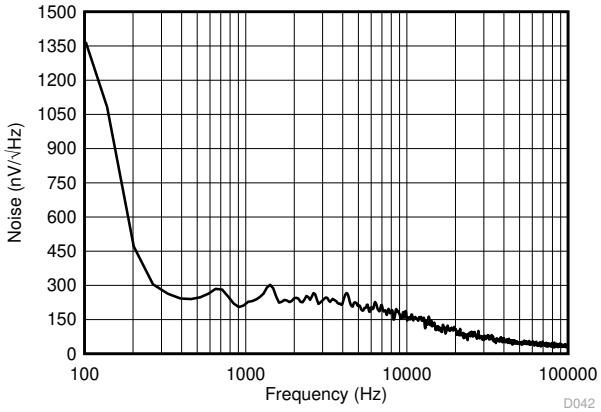


图 5-45. 内部基准噪声密度与频率间的关系

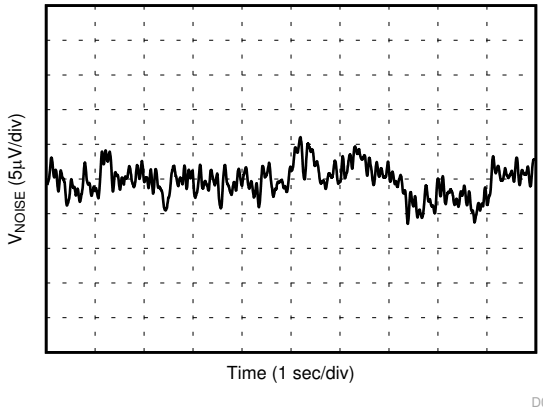


图 5-46. 内部基准噪声

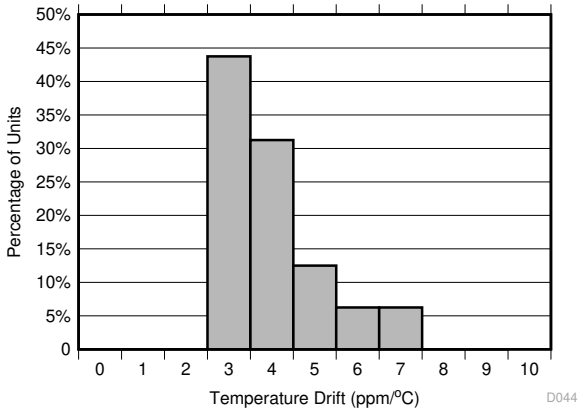


图 5-47. 内部基准温漂直方图

6 详细说明

6.1 概述

DACx1416 是具有 16 位、14 位和 12 位分辨率的引脚兼容系列 16 通道、缓冲、高压输出数模转换器 (DAC)。DACx1416 包含一个 2.5V 内部基准。用户可自行选择输出配置，包括满量程双极输出电压 ±20V、±10V、±5V 或 ±2.5V，以及满量程单极输出电压 40V、20V、10V 和 5V。而且，每个 DAC 通道的满量程输出范围都是独立可编程的。此外，每对 DAC 通道都可以进行配置以提供差分输出。通过三个专用 A-B 切换引脚，可以生成最多具有三种频率的抖动信号。

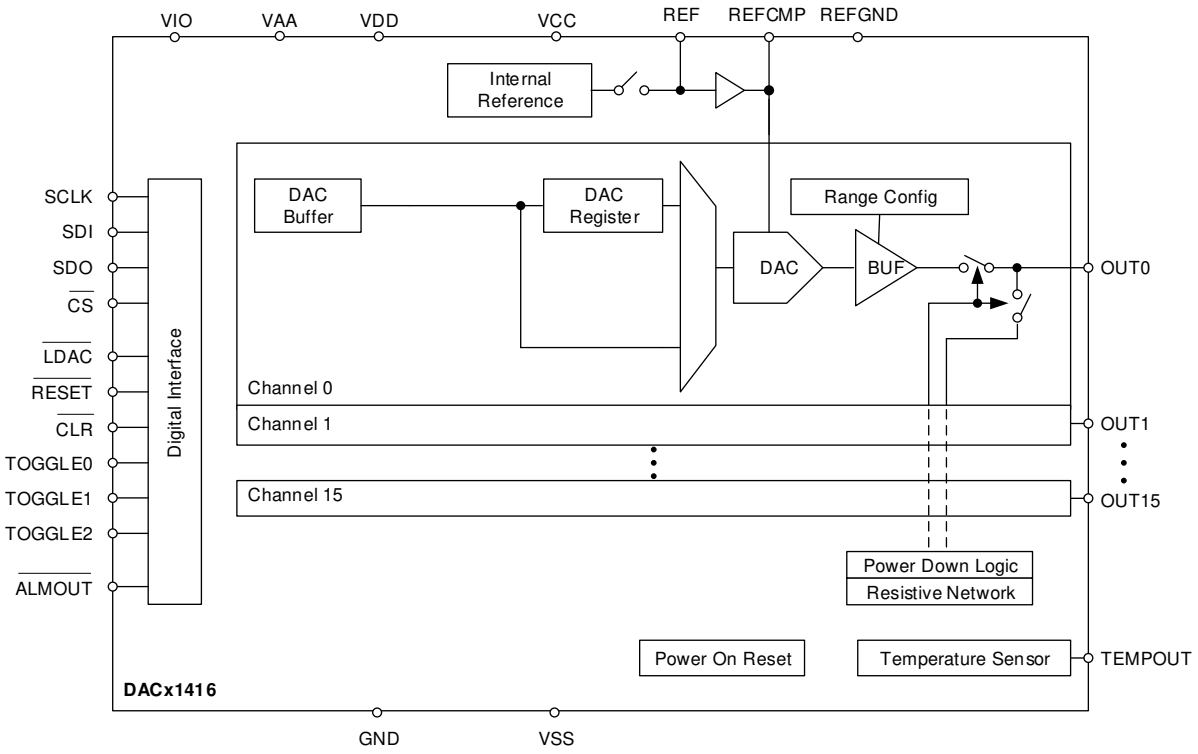
DACx1416 由以下五个电源电压供电：V_{DD}、V_{AA}、V_{CC}、V_{SS} 和 V_{IO}。

- V_{DD} 和 V_{AA} 是 DAC 的数字和模拟电源、内部基准及其他低压元件。将 V_{DD} 和 V_{AA} 设置为相同电位。
- V_{CC} 和 V_{SS} 是 DAC 输出放大器的正模拟电源。
- V_{IO} 设置数字输入和输出的逻辑电平。

与 DACx1416 之间的通信通过支持独立和菊花链运行的 4 线串行接口执行。可选的帧错误校验功能可提高 DACx1416 串行接口的稳健性。

DACx1416 包含的上电复位 (POR) 电路可在上电时将 DAC 输出端连接至接地端。输出端会保持该状态，直至器件寄存器得到适当的运行配置。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

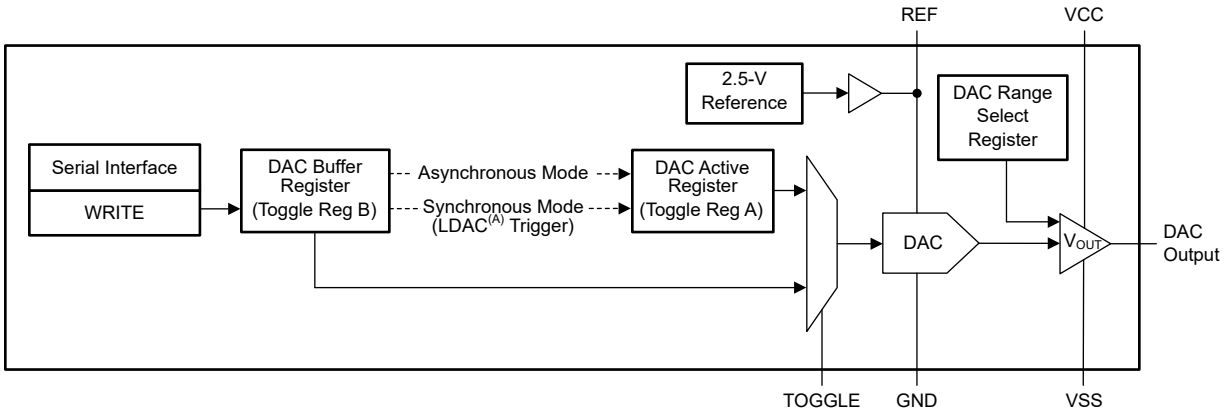
6.3 特性说明

6.3.1 数模转换器 (DAC) 架构

DACx1416 中的每个输出通道都由 R-2R 梯形架构和其后的能够轨到轨运行的输出缓冲放大器组成。输出放大器在 V_{CC} 或 V_{SS} 上以 1.5V 余量驱动 25mA，同时保持器件的额定 TUE 规格。每个通道的满标度输出电压可单独配置成以下范围：

- -20V 至 +20V
- -10V 至 +10V
- -5V 至 +5V
- -2.5V 至 +2.5V
- 0V 至 40V
- 0V 至 20V
- 0V 至 10V
- 0V 至 5V

图 6-1 显示了 DAC 架构的方框图。



A. DAC 触发器通过向 LDAC 位写入 1 生成，或在同步模式下由 $\overline{\text{LDAC}}$ 引脚生成。在异步模式下，DAC 锁存器是透明的。

图 6-1. DACx1416 DAC 方框图

6.3.1.1 DAC 传递函数

对于所有输出范围，输入数据均以直接二进制格式写入各个 DAC 数据寄存器。DAC 传输函数如方程式 1 所示。

$$V_{OUT} = \left(\frac{CODE}{2^n} \times FSR\right) + V_{MIN} \tag{1}$$

其中：

- CODE 是加载到 DAC 寄存器的二进制代码的十进制等效值。CODE 范围为 0 至 2^n – 1。
- n 为 DAC 分辨率（以位数表示）。12 (DAC61416)、14 (DAC71416) 或 16 (DAC81416)。
- FSR 是 DAC 满标度范围。所选 DAC 输出范围等于 V_{MAX} – V_{MIN}。
- V_{MIN} 是所选 DAC 输出范围的最低电压。

6.3.1.2 DAC 寄存器结构

写入 DAC 数据寄存器的数据最初存储在 DAC 缓冲寄存器中。将 DAC 缓冲寄存器中的数据传输到有效 DAC 寄存器可以配置为立即发生（异步模式）或由 DAC 触发信号启动（同步模式）。更新 DAC 有效寄存器后，DAC 输出将更改为新值。

发生上电或复位事件后，所有 DAC 寄存器都设置为零代码，DAC 输出放大器断电，DAC 输出被钳位到接地端。

6.3.1.2.1 DAC 寄存器同步和异步更新

每个 DAC 通道的更新模式由相应 SYNC-EN 位状态决定。在异步模式下，对 DAC 数据寄存器执行写入操作会立即在 $\overline{CS}$ 上升沿更新 DAC 有效寄存器和 DAC 输出。在同步模式下，对 DAC 数据寄存器执行写入操作不会自动更新 DAC 输出。而是在触发事件后才会发生更新。DAC 触发信号通过 LDAC 位或 $\overline{LDAC}$ 引脚生成。同步更新模式支持同时更新多个 DAC 输出。在两种更新模式下，DAC 输出更新之间需要 2.4 μs 的最短等待时间。

6.3.1.2.2 广播 DAC 寄存器

DAC 广播寄存器可以通过单个寄存器写入，以相同的值同时更新多个 DAC 输出。仅当所有 DAC 通道都处于单端模式运行时，才可以进行广播操作。如果一个或多个输出配置为差分模式，则忽略广播命令。

通过设置相应的 DAC-BRDCAST-EN 位，每个 DAC 通道都可以配置为通过广播命令更新或不受其影响。在对 BRDCAST 寄存器进行寄存器写入时，会强制经配置用于广播操作的 DAC 通道将相应的 DAC 缓冲寄存器更新为该值。DAC 输出根据同步模式配置更新为广播值。

6.3.1.2.3 清除 DAC 操作

DAC 输出通过 $\overline{CLR}$ 引脚来设置为清除模式。在清除模式下，每个 DAC 数据通道都设置为与相应配置关联的清除代码，如表 6-1 所示。$\overline{CLR}$ 引脚逻辑低电平强制所有 DAC 通道将相应缓冲器和活动寄存器的内容清除到清除代码中，并且无论同步设置如何，都会相应地设置模拟输出。

表 6-1. 清除 DAC 值

单极或双极范围	差分模式	清除代码
单极	否	零代码
单极	是	中标度代码
双极	否	中标度代码
双极	是	中标度代码

当 DAC 在切换模式下运行时，清除命令会将两个切换寄存器设置为清除值。

6.3.2 内部基准

DAx1416 包含一个高精度 2.5V 带隙基准，典型的温漂为 5ppm/°C。内部基准在 REF 引脚处从外部获得。需要用具有高阻抗输入的外部缓冲放大器来驱动任何外部负载。

建议在基准输出和针对噪声滤波的 GND 之间使用一个最小电容值为 150nF 的电容器。在 REFCMP 引脚和 REFGND 之间连接一个补偿电容器（典型值为 330 pF）。

通过关闭内部基准，也支持从外部基准进行操作。将外部基准应用至 REF 引脚。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 器件复位选项

6.3.3.1 上电复位 (POR)

DACx1416 具有上电复位功能。在建立电源后，便会发出 POR 事件。POR 使所有寄存器初始化为默认值，只有在 1ms POR 延迟之后，与该器件的通信才有效。POR 事件之后，器件设置为省电模式，在此模式下，所有 DAC 通道和内部基准被断电，并且 DAC 输出通过一个 10kΩ 内部电阻器接地。

6.3.3.2 硬件复位

器件硬件复位事件由 $\overline{\text{RESET}}$ 引脚上至少为 500ns 的逻辑低电平启动。硬件复位启动 POR 事件。

6.3.3.3 软件复位

通过将保留代码 0x1010 写入 TRIGGER 寄存器中的 SOFT-RESET 来启动器件软件复位事件。软件复位命令在指令的 $\overline{\text{CS}}$ 上升沿触发。软件复位启动 POR 事件。

6.3.4 热保护

由于器件的 DAC 通道密度和高驱动能力，请确保了解功率耗散对器件温度的影响，并且器件温度不超过最高结温。

6.3.4.1 模拟温度传感器：TEMPOUT 引脚

DACx1416 包括一个模拟温度监测器，其非缓冲输出电压与器件结温成反比。TEMPOUT 引脚输出电压的温度斜率为 –4 mV/°C，偏移为 1.34V，如方程式 2 所述。

$$V_{TEMPOUT} = \left(\frac{-4\ \text{mV}}{°\text{C}} \times T\right) + 1.34\ \text{V} \tag{2}$$

其中：

- T 是器件结温，单位为 °C。
- $V_{TEMPOUT}$ 为温度监测器输出电压。

6.3.4.2 热关断

DACx1416 加入了热关断功能，当芯片温度超过 140°C 时就会触发此功能。热关断会设置 TEMP-ALM 位并导致所有 DAC 输出断电，但内部基准仍保持通电状态。通过设置 TEMPALM-EN 位，可以将 $\overline{\text{ALMOUT}}$ 引脚配置为监视热关断条件。触发热关断后，即使器件温度降低，器件也会保持关断状态。

芯片温度必须降至低于 140°C，器件才能恢复正常运行。要恢复正常工作，必须在 DAC 通道处于省电模式时通过 ALM-RESET 位清除热警报。

6.4 器件功能模式

6.4.1 切换模式

器件中的每个 DAC 都可以独立配置成在切换模式下运行。切换模式下的 DAC 通道包含两个 DAC 寄存器（寄存器 A 和寄存器 B），并且能够设置为在这两个值之间重复切换。可以对 DACx1416 切换模式运行进行配置，以便向 DAC 输出引入抖动信号、生成周期性信号或实现开/关信号等。

要更新切换寄存器，请使用以下序列：

1. 将 DAC 通道设置为同步模式，并禁用该通道的切换模式
2. 将所需寄存器 A 值写入 DAC 数据寄存器
3. 向负载寄存器 A 发出 DAC 触发信号
4. 将所需寄存器 B 值写入 DAC 数据寄存器
5. 启用切换模式以加载寄存器 B

在两个寄存器加载数据后，使用三个 TOGGLE[2:0] 引脚中的任何一个，通过使用外部时钟或逻辑信号，切换那些 DAC，它们经配置用于两个相应 DAC 特定寄存器的内容之间的来回切换操作。切换引脚逻辑低电平会将 DAC 输出更新为通过寄存器 A 设置的值。逻辑高电平会将 DAC 输出更新为通过寄存器 B 设置的值。三个 TOGGLE[2:0] 引脚使 DACx1416 可以选择以最多三个切换速率运行。

此外，通过设置 SOFTTOGGLE-EN 位，可以将器件配置为用于软件控制的切换操作。在此模式下，使用三个 AB-TOG[2:0] 位中的任何一个作为切换控制信号。将 AB-TOG 位设置为 1 会启用寄存器 B，而将该位清除为 0 会启用寄存器 A。

6.4.2 差分模式

器件中的每个 DAC 对都可独立配置成作为差分输出对运行。通过写入 *DACx* 通道来更新 *DACx-y* 对的差分输出。为确保正常运行，请在启用差分模式之前将两个 DAC 对配置为相同的输出范围。图 6-2 和图 6-3 分别显示了经配置用于 ±20V 和 0V 至 40V 运行的 DAC 差分对的理想差分输出电压 (V_{DIFF}) 和共模电压 (V_{CM})。

配置为差分输出后，通过更新 *DACx* 切换寄存器将 *DACx* 对设置为切换操作；请参阅节 6.4.1。

两个差分信号之间如果不平衡，会导致共模误差和振幅误差。该器件包含一个偏移寄存器，让用户能够向 *DACx-y* 差分对的 *DACy* 通道引入电压偏移，以补偿两个通道之间的直流偏移误差。偏移补偿提供一个大约 ±0.2%FSR 的调整窗口。在更新偏移寄存器后重写差分 DAC 数据寄存器。

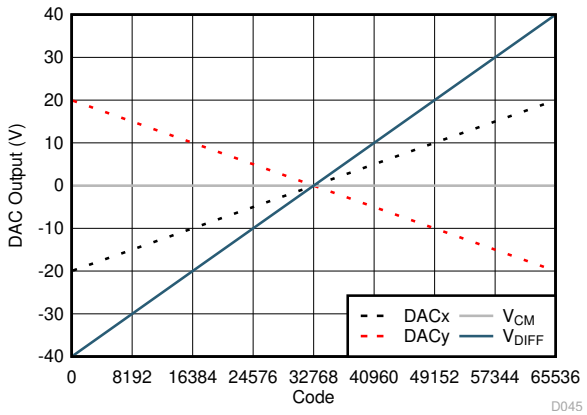


图 6-2. 差分双极输出（16 位）：±20V 输出范围

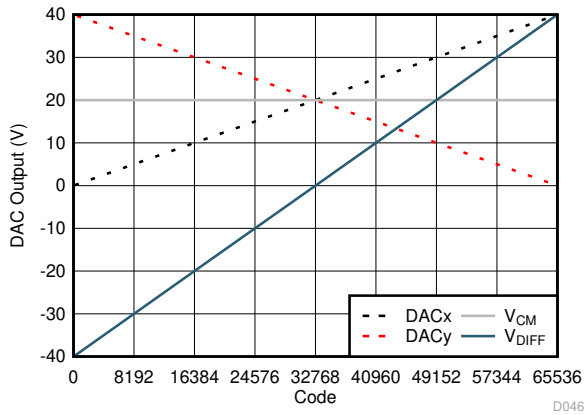


图 6-3. 差分单极输出（16 位）：0V 至 40V 输出范围

Copyright © 2025 Texas Instruments Incorporated

6.4.3 断电模式

DACx1416 DAC 输出放大器和内部基准断电状态通过 PWDWN 寄存器单独配置和监控。在省电模式下设置 DAC 通道会禁用输出放大器，并通过内部 10kΩ 电阻器将输出引脚钳位至接地。

当 DAC 进入断电状态时，DAC 数据寄存器不会被清除，从而允许器件在恢复正常运行时恢复到相同的输出电压。DAC 数据寄存器能够在省电模式下进行更新。

在上电或复位事件之后，所有 DAC 通道和内部基准都处于省电模式。通过 DEV-PWDWN 位将整个设备配置为省电或工作模式。

6.5 编程

DACx1416 系列器件通过一个灵活的四线制串行接口进行控制，该接口与许多微控制器和 DSP 控制器上使用的 SPI 类型接口兼容。该接口提供对 DACx1416 寄存器的访问，并可配置为以菊花链方式连接多个器件以进行写入操作。DACx1416 集成可选的错误校验模式，用于在噪声环境中验证 SPI 数据通信的完整性。

6.5.1 独立操作

通过将 $\overline{CS}$ 引脚置为低电平来启动一个串行接口访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。在禁用错误检查的情况下，常规串行接口访问周期为 24 位，而在启用错误检查的情况下，周期为 32 位，因此 $\overline{CS}$ 引脚必须在至少 24 或 32 个 SCLK 下降沿保持低电平。当 $\overline{CS}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 或 32 位。当 $\overline{CS}$ 为高电平时，SCLK 和 SDI 信号被阻断，SDO 处于高阻态状态。

在禁用错误检测的访问周期中（24 位长），SDI 的第一个字节输入是将请求标识为读取或写入命令的指令周期以及要访问的 6 位地址。周期中的最后 16 位构成数据周期。

表 6-2. 串行接口访问周期

位	字段	说明
23	RW	将通信标识为地址寄存器的读或写命令。R/W = 0 设置写入操作。R/W = 1 设置读取操作。
22	x	不用考虑位。
21-16	A[5:0]	寄存器地址。指定在读取或写入操作期间要访问的寄存器。
15-0	DI[15:0]	数据周期位。如果是写入命令，则数据周期位是要写入地址为 A[5:0] 的寄存器的值。如果是读取命令，则数据周期位为不用考虑值。

读取操作要求首先通过设置 SDO-EN 位来启用 SDO 引脚。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出。

表 6-3. SDO 输出访问周期

位	字段	说明
23	RW	来自上一访问周期的回波 RW。
22	x	来自上一访问周期的回波位 22。
21-16	A[5:0]	来自上一访问周期的回波地址。
15-0	DO[15:0]	上一访问周期中请求的回读数据。

Copyright © 2025 Texas Instruments Incorporated

6.5.1.1 流模式操作

由于更新十六个通道的数据寄存器需要将大量数据传递到器件，因此该器件支持流模式。在流模式下，可以将 DAC 数据寄存器写入器件，而无需为每个数据寄存器提供指令命令。通过设置 STR-EN 位可启用流模式。启用后，通过保持 $\overline{CS}$ 处于活动状态并继续将新数据移入器件来实现流操作。启用 STR-EN 位后，SDO 引脚被禁用。

指令周期包括起始地址。只要 $\overline{CS}$ 生效，器件就会开始写入该地址并自动递增该地址。如果已达到最后一个 DAC 数据寄存器地址并且 $\overline{CS}$ 仍有效，则该地址的数据将被新数据覆盖。

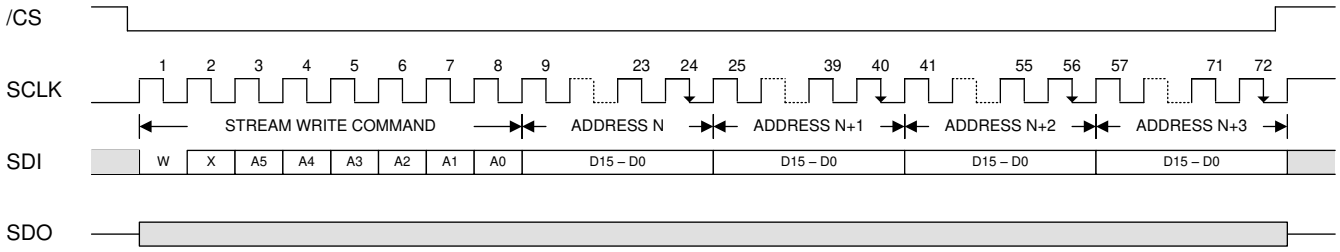


图 6-4. 串行接口流周期

6.5.2 菊花链运行

对于包含多个 DACx1416 器件的系统，SDO 引脚可用于将它们以菊花链方式连接在一起。在启动菊花链运行之前，必须通过设置 SDO-EN 位来启用 SDO 引脚。菊花链式运行在减少串行接口线路的数量方面非常有用。

$\overline{CS}$ 引脚上的第一个下降沿启动运行周期。如果在 $\overline{CS}$ 引脚保持低电平时施加了 24 个以上的 SCLK 脉冲，则移位寄存器会传送数据，即通过 SDO 引脚在时钟沿（根据 FSDO 位，在 SCLK 的下降沿或上升沿）输出。通过将第一个器件的 SDO 输出连接到链中下一个器件的 SDI 输入，构建了一个多器件接口。系统中的每个器件都需要 24 个时钟脉冲。因此，时钟周期总数必须等于 24 × N，其中 N 是菊花链中的 DACx1416 器件总数。完成所有器件的串行传输后，将使 $\overline{CS}$ 变为高电平。该操作会将 SPI 移位寄存器中的数据传输到菊花链中每个器件的内部寄存器，并防止任何其他数据在时钟沿进入输入移位寄存器。在流模式下，不支持菊花链运行。

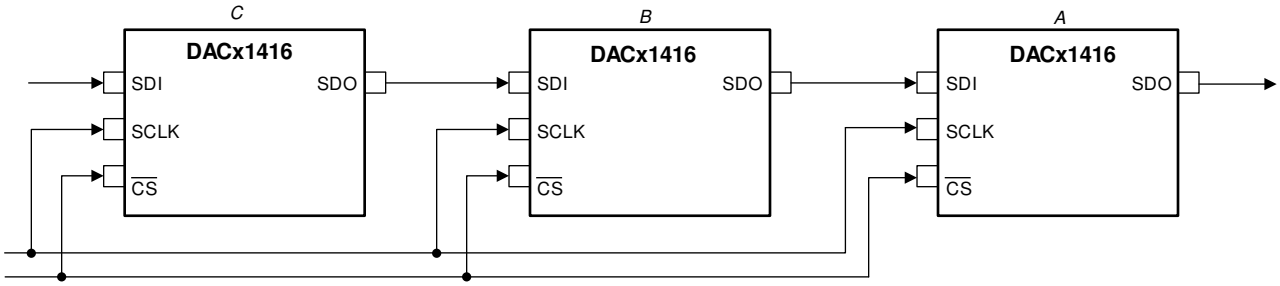


图 6-5. 菊花链布局

6.5.3 帧错误校验

如果在有噪声的环境中使用 DACx1416，请使用错误检查来检查器件与主机处理器之间 SPI 数据通信的完整性。要启用此功能，请设置 CRC-EN 位。

错误检查方案基于 CRC-8-ATM (HEC) 多项式：$x^8 + x^2 + x + 1$（即 100000111）。启用错误检查后，串行接口访问周期宽度为 32 位。将正常的 24 位 SPI 数据馈送到器件之前，主机处理器会在该数据后附加一个 8 位 CRC 多项式。在所有串行接口读回操作中，CRC 多项式作为 32 位周期的一部分在 SDO 引脚上输出。

表 6-4. 错误检查串行接口访问周期

位	字段	说明
31	RW	将通信标识为地址寄存器的读或写命令。R/W = 0 设置写入操作。R/W = 1 设置读取操作。
30	CRC-ERROR	保留位。设置为零。
29-24	A[5:0]	寄存器地址。指定在读取或写入操作期间要访问的寄存器。
23-8	DI[15:0]	数据周期位。如果是写入命令，则数据周期位是要写入地址为 A[5:0] 的寄存器的值。如果是读取命令，则数据周期位为不用考虑值。
7-0	CRC	8 位 CRC 多项式。

DACx1416 对 32 位访问周期进行解码，以计算 $\overline{CS}$ 上升沿上的 CRC 余数。如果不存在错误，则 CRC 余数为零，器件接受数据。

未通过 CRC 校验的写入操作会导致器件忽略数据。在写命令之后，发出第二个访问周期以确定 SDO 引脚上的错误检查结果（CRC-ERROR 位）。

如果存在 CRC 错误，则状态寄存器的 CRC-ALM 位设置为 1。要监测 CRC 错误，请通过设置 CRCALM-EN 位来配置 $\overline{ALMOUT}$ 引脚。

表 6-5. 写入操作错误检查周期

位	字段	说明
31	RW	来自上一访问周期的回波 (RW = 0)。
30	CRC-ERROR	当检测到 CRC 错误时返回 1，否则返回 0。
29-24	A[5:0]	来自上一访问周期的回波地址。
23-8	DO[15:0]	来自上一访问周期的回波数据。
7-0	CRC	计算出的位 31:8 的 CRC 值。

读取操作后必须跟随第二个访问周期，以便在 SDO 引脚上获取所请求的数据。读取命令的错误检查结果（CRC-ERROR 位）在 SDO 引脚上输出。

与未通过 CRC 校验的写入操作一样，状态寄存器的 CRC-ALM 位设置为 1，如果针对 CRC 警报进行了配置，$\overline{ALMOUT}$ 引脚将设置为低电平。

表 6-6. 读取操作错误检查周期

位	字段	说明
31	RW	来自上一访问周期的回波 (RW = 1)。
30	CRC-ERROR	当检测到 CRC 错误时返回 1，否则返回 0。
29-24	A[5:0]	来自上一访问周期的回波地址。
23-8	DO[15:0]	上一访问周期中请求的回读数据。
7-0	CRC	计算出的位 31:8 的 CRC 值。

Copyright © 2025 Texas Instruments Incorporated

7 寄存器映射

表 7-1 列出了该器件的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都视为保留的存储单元；请勿修改这些保留的寄存器内容。

表 7-1. DACx1416 寄存器

偏移	首字母缩写词	寄存器名称	部分
00h	NOP	NOP 寄存器	转到
01h	DEVICEID	器件 ID 寄存器	转到
02h	状态	状态寄存器	转到
03h	SPICONFIG	SPI 配置寄存器	转到
04h	GENCONFIG	通用配置寄存器	转到
05h	BRDCONFIG	广播配置寄存器	转到
06h	SYNCCONFIG	同步配置寄存器	转到
07h	TOGGCONFIG0	DAC[15:8] 切换配置寄存器	转到
08h	TOGGCONFIG1	DAC[7:0] 切换配置寄存器	转到
09h	DACPWDWN	DAC 断电寄存器	转到
0Ah	DACRANGE0	DAC[15:12] 范围寄存器	转到
0Bh	DACRANGE1	DAC[11:8] 范围寄存器	转到
0Ch	DACRANGE2	DAC[7:4] 范围寄存器	转到
0Dh	DACRANGE3	DAC[3:0] 范围寄存器	转到
0Eh	触发	触发寄存器	转到
0Fh	BRDCAST	广播数据寄存器	转到
10h	DAC0	DAC0 数据寄存器	转到
11h	DAC1	DAC1 数据寄存器	转到
12h	DAC2	DAC2 数据寄存器	转到
13h	DAC3	DAC3 数据寄存器	转到
14h	DAC4	DAC4 数据寄存器	转到
15h	DAC5	DAC5 数据寄存器	转到
16h	DAC6	DAC6 数据寄存器	转到
17h	DAC7	DAC7 数据寄存器	转到
18h	DAC8	DAC8 数据寄存器	转到
19h	DAC9	DAC9 数据寄存器	转到
1Ah	DAC10	DAC10 数据寄存器	转到
1Bh	DAC11	DAC11 数据寄存器	转到
1Ch	DAC12	DAC12 数据寄存器	转到
1Dh	DAC13	DAC13 数据寄存器	转到
1Eh	DAC14	DAC14 数据寄存器	转到
1Fh	DAC15	DAC15 数据寄存器	转到
20h	OFFSET0	DAC[14-15;12-13] 差分偏移寄存器	转到
21h	OFFSET1	DAC[10-11;8-9] 差分偏移寄存器	转到
22h	OFFSET2	DAC[6-7;4-5] 差分偏移寄存器	转到
23h	OFFSET3	DAC[2-3;0-1] 差分偏移寄存器	转到

Copyright © 2025 Texas Instruments Incorporated

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值
寄存器数组变量		
i、j、k、l、m、n		当这些变量用于寄存器名称、偏移或地址时，这些变量指的是寄存器数组的值，其中寄存器是一组重复寄存器的一部分。寄存器组构成分层结构，数组用公式表示。
y		当该变量用于寄存器名称、偏移或地址时，该变量指的是寄存器数组的值。

Copyright © 2025 Texas Instruments Incorporated

7.1 NOP 寄存器（偏移 = 00h）[复位 = 0000h]

图 7-1 显示了 NOP，表 7-3 中对此进行了介绍。

返回汇总表。

图 7-1. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
W-0h															

表 7-3. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	W	0h	无操作。写入 0000h 以获得正确的无操作命令。

7.2 DEVICEID 寄存器（偏移 = 01h）[复位 = ----h]

图 7-2 展示了 DEVICEID，表 7-4 中对此进行了介绍。

返回汇总表。

图 7-2. DEVICEID 寄存器

15	14	13	12	11	10	9	8
DEVICEID							
R----h							
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
DEVICEID						VERSIONID	
R----h						R-0h	

表 7-4. DEVICEID 寄存器字段说明

位	字段	类型	复位	说明
15-2	DEVICEID	R	---h	器件 ID DAC81416：29Ch DAC71416：28Ch DAC61416：24Ch
1-0	VERSIONID	R	0h	版本 ID。可能会有更改。

7.3 STATUS 寄存器（偏移 = 02h）[复位 = 0000h]

图 7-3 显示了 STATUS，表 7-5 中对此进行了介绍。

返回汇总表。

图 7-3. STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED					CRC-ALM	DAC-BUSY	TEMP-ALM
R-0h					R-0h	R-0h	R-0h

表 7-5. 状态寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	该位被保留。
2	CRC-ALM	R	0h	CRC-ALM = 1 指示 CRC 错误。
1	DAC-BUSY	R	0h	DAC-BUSY = 1 表示 DAC 寄存器尚未准备好进行更新。
0	TEMP-ALM	R	0h	TEMP-ALM = 1 表示芯片温度超过 140°C。热警报事件强制 DAC 输出进入省电模式。

Copyright © 2025 Texas Instruments Incorporated

7.4 SPICONFIG 寄存器（偏移 = 03h）[复位 = 0AA4h]

图 7-4 显示了 SPICONFIG，表 7-6 中对此进行了介绍。

返回汇总表。

图 7-4. SPICONFIG 寄存器

15	14	13	12	11	10	9	8
RESERVED				TEMPALM-EN	DACBUSY-EN	CRCALM-EN	RESERVED
R-0h				R/W-1h	R/W-0h	R/W-1h	R-0h
7	6	5	4	3	2	1	0
RESERVED	SOFTTOGGLE-EN	DEV-PWDWN	CRC-EN	STR-EN	SDO-EN	FSDO	RESERVED
R-1h	R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R-0h

表 7-6. SPICONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	该位被保留。
11	TEMPALM-EN	R/W	1h	设置为 1 时，热警报会触发 $\overline{\text{ALMOUT}}$ 引脚。
10	DACBUSY-EN	R/W	0h	当设置为 1 时，在 DAC 输出更新之间设置 $\overline{\text{ALMOUT}}$ 引脚。与其他警报事件相反，此警报会自动复位。
9	CRCALM-EN	R/W	1h	设置为 1 时，CRC 错误会触发 $\overline{\text{ALMOUT}}$ 引脚。
8	RESERVED	R	0h	该位被保留。
7	RESERVED	R	1h	该位被保留。
6	SOFTTOGGLE-EN	R/W	0h	设置为 1 时会启用软切换操作。
5	DEV-PWDWN	R/W	1h	DEV-PWDWN = 1 将器件设置为断电模式 DEV-PWDWN = 0 将器件设置为工作模式
4	CRC-EN	R/W	0h	设置为 1 时，将启用帧错误检查。
3	STR-EN	R/W	0h	设置为 1 时，将启用流模式操作。
2	SDO-EN	R/W	1h	当设置为 1 时，SDO 引脚正常工作。
1	FSDO	R/W	0h	快速 SDO 位（半个周期加速）。 为 0 时，在 SCLK 上升沿期间进行 SDO 更新。 为 1 时，在 SCLK 下降沿期间进行 SDO 更新。
0	RESERVED	R	0h	该位被保留。

7.5 GENCONFIG 寄存器（偏移 = 04h）[复位 = 7F00h]

图 7-5 显示了 GENCONFIG，表 7-7 中对此进行了介绍。

返回汇总表。

图 7-5. GENCONFIG 寄存器

15	14	13	12	11	10	9	8
RESERVED	REF-PWDWN	RESERVED					
R-0h	R/W-1h	R-1h					
7	6	5	4	3	2	1	0
DAC-14-15-DIFF-EN	DAC-12-13-DIFF-EN	DAC-10-11-DIFF-EN	DAC-8-9-DIFF-EN	DAC-6-7-DIFF-EN	DAC-4-5-DIFF-EN	DAC-2-3-DIFF-EN	DAC-0-1-DIFF-EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-7. GENCONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	该位被保留。
14	REF-PWDWN	R/W	1h	REF-PWDWN = 1 将内部基准断电 REF-PWDWN = 0 激活内部基准
13-8	RESERVED	R	1h	该位被保留。
7	DAC-14-15-DIFF-EN	R/W	0h	当设置为 1 时，相应的 DAC 对设置为在差分模式下运行。在启用或禁用差分运行后重写 DAC 数据寄存器。
6	DAC-12-13-DIFF-EN	R/W	0h	
5	DAC-10-11-DIFF-EN	R/W	0h	
4	DAC-8-9-DIFF-EN	R/W	0h	
3	DAC-6-7-DIFF-EN	R/W	0h	
2	DAC-4-5-DIFF-EN	R/W	0h	
1	DAC-2-3-DIFF-EN	R/W	0h	
0	DAC-0-1-DIFF-EN	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.6 BRDCONFIG 寄存器（偏移 = 05h）[复位 = FFFFh]

图 7-6 显示了 BRDCONFIG，表 7-8 中对此进行了介绍。

返回汇总表。

图 7-6. BRDCONFIG 寄存器

15	14	13	12	11	10	9	8
DAC15-BRDCAST-EN	DAC14-BRDCAST-EN	DAC13-BRDCAST-EN	DAC12-BRDCAST-EN	DAC11-BRDCAST-EN	DAC10-BRDCAST-EN	DAC9-BRDCAST-EN	DAC8-BRDCAST-EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
DAC7-BRDCAST-EN	DAC6-BRDCAST-EN	DAC5-BRDCAST-EN	DAC4-BRDCAST-EN	DAC3-BRDCAST-EN	DAC2-BRDCAST-EN	DAC1-BRDCAST-EN	DAC0-BRDCAST-EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-8. BRDCONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	DAC15-BRDCAST-EN	R/W	1h	当设置为 1 时，相应的 DAC 设置为将相应的输出更新为 BRDCAST 寄存器中设置的值。将所有 DAC 通道配置为单端模式以便进行广播操作。如果一个或多个输出配置为差分模式，则忽略广播模式。 当清除为 0 时，相应的 DAC 输出不受 BRDCAST 命令的影响。
14	DAC14-BRDCAST-EN	R/W	1h	
13	DAC13-BRDCAST-EN	R/W	1h	
12	DAC12-BRDCAST-EN	R/W	1h	
11	DAC11-BRDCAST-EN	R/W	1h	
10	DAC10-BRDCAST-EN	R/W	1h	
9	DAC9-BRDCAST-EN	R/W	1h	
8	DAC8-BRDCAST-EN	R/W	1h	
7	DAC7-BRDCAST-EN	R/W	1h	
6	DAC6-BRDCAST-EN	R/W	1h	
5	DAC5-BRDCAST-EN	R/W	1h	
4	DAC4-BRDCAST-EN	R/W	1h	
3	DAC3-BRDCAST-EN	R/W	1h	
2	DAC2-BRDCAST-EN	R/W	1h	
1	DAC1-BRDCAST-EN	R/W	1h	
0	DAC0-BRDCAST-EN	R/W	1h	

Copyright © 2025 Texas Instruments Incorporated

7.7 SYNCCONFIG 寄存器（偏移 = 06h）[复位 = 0000h]

图 7-7 显示了 SYNCCONFIG，表 7-9 中对此进行了介绍。

返回汇总表。

图 7-7. SYNCCONFIG 寄存器

15	14	13	12	11	10	9	8
DAC15-SYNC-EN	DAC14-SYNC-EN	DAC13-SYNC-EN	DAC12-SYNC-EN	DAC11-SYNC-EN	DAC10-SYNC-EN	DAC9-SYNC-EN	DAC8-SYNC-EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DAC7-SYNC-EN	DAC6-SYNC-EN	DAC5-SYNC-EN	DAC4-SYNC-EN	DAC3-SYNC-EN	DAC2-SYNC-EN	DAC1-SYNC-EN	DAC0-SYNC-EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-9. SYNCCONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	DAC15-SYNC-EN	R/W	0h	当设置为 1 时，相应的 DAC 输出设置为响应 LDAC 触发而更新（同步模式）。 当清除为 0 时，相应的 DAC 输出设置为立即更新（异步模式）。
14	DAC14-SYNC-EN	R/W	0h	
13	DAC13-SYNC-EN	R/W	0h	
12	DAC12-SYNC-EN	R/W	0h	
11	DAC11-SYNC-EN	R/W	0h	
10	DAC10-SYNC-EN	R/W	0h	
9	DAC9-SYNC-EN	R/W	0h	
8	DAC8-SYNC-EN	R/W	0h	
7	DAC7-SYNC-EN	R/W	0h	
6	DAC6-SYNC-EN	R/W	0h	
5	DAC5-SYNC-EN	R/W	0h	
4	DAC4-SYNC-EN	R/W	0h	
3	DAC3-SYNC-EN	R/W	0h	
2	DAC2-SYNC-EN	R/W	0h	
1	DAC1-SYNC-EN	R/W	0h	
0	DAC0-SYNC-EN	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.8 TOGGCONFIG0 寄存器（偏移 = 07h）[复位 = 0000h]

图 7-8 显示了 TOGGCONFIG0，表 7-10 中对此进行了介绍。

返回汇总表。

图 7-8. TOGGCONFIG0 寄存器

15	14	13	12	11	10	9	8
DAC15-AB-TOGG-EN		DAC14-AB-TOGG-EN		DAC13-AB-TOGG-EN		DAC12-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
DAC11-AB-TOGG-EN		DAC10-AB-TOGG-EN		DAC9-AB-TOGG-EN		DAC8-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 7-10. TOGGCONFIG0 寄存器字段说明

位	字段	类型	复位	说明
15-14	DAC15-AB-TOGG-EN	R/W	0h	启用切换模式运行并配置切换引脚或软切换位： 00 = 禁用切换模式 01 = 启用切换模式：TOGGLE0 10 = 启用切换模式：TOGGLE1 11 = 启用切换模式：TOGGLE2
13-12	DAC14-AB-TOGG-EN	R/W	0h	
11-10	DAC13-AB-TOGG-EN	R/W	0h	
9-8	DAC12-AB-TOGG-EN	R/W	0h	
7-6	DAC11-AB-TOGG-EN	R/W	0h	
5-4	DAC10-AB-TOGG-EN	R/W	0h	
3-2	DAC9-AB-TOGG-EN	R/W	0h	
1-0	DAC8-AB-TOGG-EN	R/W	0h	

7.9 TOGGCONFIG1 寄存器（偏移 = 08h）[复位 = 0000h]

图 7-9 显示了 TOGGCONFIG1，表 7-11 中对此进行了介绍。

返回汇总表。

图 7-9. TOGGCONFIG1 寄存器

15	14	13	12	11	10	9	8
DAC7-AB-TOGG-EN		DAC6-AB-TOGG-EN		DAC5-AB-TOGG-EN		DAC4-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
DAC3-AB-TOGG-EN		DAC2-AB-TOGG-EN		DAC1-AB-TOGG-EN		DAC0-AB-TOGG-EN	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 7-11. TOGGCONFIG1 寄存器字段说明

位	字段	类型	复位	说明
15-14	DAC7-AB-TOGG-EN	R/W	0h	启用切换模式运行并配置切换引脚或软切换位： 00 = 禁用切换模式 01 = 启用切换模式。TOGGLE0 10 = 启用切换模式。TOGGLE1 11 = 启用切换模式。TOGGLE2
13-12	DAC6-AB-TOGG-EN	R/W	0h	
11-10	DAC5-AB-TOGG-EN	R/W	0h	
9-8	DAC4-AB-TOGG-EN	R/W	0h	
7-6	DAC3-AB-TOGG-EN	R/W	0h	
5-4	DAC2-AB-TOGG-EN	R/W	0h	
3-2	DAC1-AB-TOGG-EN	R/W	0h	
1-0	DAC0-AB-TOGG-EN	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.10 DACPWDWN 寄存器（偏移 = 09h）[复位 = FFFFh]

图 7-10 显示了 DACPWDWN，表 7-12 中对此进行了介绍。

返回汇总表。

图 7-10. DACPWDWN 寄存器

15	14	13	12	11	10	9	8
DAC15-PWDWN	DAC14-PWDWN	DAC13-PWDWN	DAC12-PWDWN	DAC11-PWDWN	DAC10-PWDWN	DAC9-PWDWN	DAC8-PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
DAC7-PWDWN	DAC6-PWDWN	DAC5-PWDWN	DAC4-PWDWN	DAC3-PWDWN	DAC2-PWDWN	DAC1-PWDWN	DAC0-PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-12. DACPWDWN 寄存器字段说明

位	字段	类型	复位	说明
15	DAC15-PWDWN	R/W	1h	当设置为 1 时，相应的 DAC 处于省电模式，并且相应的输出通过 10kΩ 内部电阻器连接到 GND。
14	DAC14-PWDWN	R/W	1h	
13	DAC13-PWDWN	R/W	1h	
12	DAC12-PWDWN	R/W	1h	
11	DAC11-PWDWN	R/W	1h	
10	DAC10-PWDWN	R/W	1h	
9	DAC9-PWDWN	R/W	1h	
8	DAC8-PWDWN	R/W	1h	
7	DAC7-PWDWN	R/W	1h	
6	DAC6-PWDWN	R/W	1h	
5	DAC5-PWDWN	R/W	1h	
4	DAC4-PWDWN	R/W	1h	
3	DAC3-PWDWN	R/W	1h	
2	DAC2-PWDWN	R/W	1h	
1	DAC1-PWDWN	R/W	1h	
0	DAC0-PWDWN	R/W	1h	

Copyright © 2025 Texas Instruments Incorporated

7.11 DACRANGEn 寄存器（偏移 = 0Ah – 0Dh）[复位 = 0000h]

图 7-11 显示了 DACRANGEn，表 7-13 中对此进行了介绍。

返回汇总表。

图 7-11. DACRANGEn 寄存器

15	14	13	12	11	10	9	8
DACa-RANGE[3:0]				DACb-RANGE[3:0]			
W-0h				W-0h			
7	6	5	4	3	2	1	0
DACc-RANGE[3:0]				DACd-RANGE[3:0]			
W-0h				W-0h			

表 7-13. DACRANGEn 寄存器字段说明

位	字段	类型	复位	说明
15-12	DACa-RANGE[3:0]	W	0h	设置相应 DAC 的输出范围。 0000 = 0V 至 5V 0001 = 0V 至 10V 0010 = 0V 至 20V 0100 = 0V 至 40V 1001 = -5V 至 +5V 1010 = -10V 至 +10V 1100 = -20V 至 +20V 1110 = -2.5V 至 +2.5V 所有其他设置：无效 在将差分 DAC 对的输出设置为差分对之前，将差分 DAC 对的两个输出配置为相同的输出范围。 a：15、11、7 或 3；b：14、10、6 或 2；c：13、9、5 或 1；d：12、8、4 或 0
11-8	DACb-RANGE[3:0]	W	0h	
7-4	DACc-RANGE[3:0]	W	0h	
3-0	DACd-RANGE[3:0]	W	0h	

7.12 TRIGGER 寄存器（偏移 = 0Eh）[复位 = 0000h]

图 7-12 显示了 TRIGGER，表 7-14 中对此进行了介绍。

返回汇总表。

图 7-12. TRIGGER 寄存器

15	14	13	12	11	10	9	8
RESERVED							ALM-RESET
W-0h							W-0h
7	6	5	4	3	2	1	0
AB-TOG2	AB-TOG1	AB-TOG0	LDAC	SOFT-RESET[3:0]			
W-0h	W-0h	W-0h	W-0h	W-0h			

表 7-14. TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	W	0h	该位被保留
8	ALM-RESET	W	0h	将该位设置为 1 可清除警报事件；不适用于 DAC-BUSY 警报事件。
7	AB-TOG2	W	0h	如果启用了软切换并设置了该位，则该位控制 TOGGCONFIG 寄存器中已在切换模式 2 中设置的 DAC 的值之间的切换。设置为 1 可更新到寄存器 B，设置为 0 可清除寄存器 A。
6	AB-TOG1	W	0h	如果启用了软切换并设置了该位，则该位控制 TOGGCONFIG 寄存器中已在切换模式 1 中设置的 DAC 的值之间的切换。设置为 1 可更新到寄存器 B，设置为 0 可清除寄存器 A。
5	AB-TOG0	W	0h	如果启用了软切换并设置了该位，则该位控制 TOGGCONFIG 寄存器中已在切换模式 0 中设置的 DAC 的值之间的切换。设置为 1 可更新到寄存器 B，设置为 0 可清除寄存器 A。
4	LDAC	W	0h	将该位设置为 1 可同步加载已在 SYNCCONFIG 寄存器中设置为同步模式的那些 DAC。
3-0	SOFT-RESET[3:0]	W	0h	当设置为保留代码 1010 时，这些位会将器件复位为默认状态。

Copyright © 2025 Texas Instruments Incorporated

7.13 BRDCAST 寄存器（偏移 = 0Fh）[复位 = 0000h]

图 7-13 显示了 BRDCAST，表 7-15 中对此进行了介绍。

返回汇总表。

图 7-13. BRDCAST 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDCAST-DATA[15:0]															
W-0h															

表 7-15. BRDCAST 寄存器字段说明

位	字段	类型	复位	说明
15-0	BRDCAST-DATA[15:0]	W	0h	写入 BRDCAST 寄存器时，会强制设置为在 BRDCONFIG 寄存器中广播的 DAC 通道将相应的寄存器数据更新为 BRDCAST 寄存器中的新数据。 数据采用直接二进制格式 MSB 对齐，如下所示： DAC81416： { DATA[15:0] } DAC71416： { DATA[13:0], x, x } DAC61416： { DATA[11:0], x, x, x, x} x – 不用考虑位

7.14 DACn 寄存器（偏移 = 10h – 1Fh）[复位 = 0000h]

图 7-14 显示了 DACn，表 7-16 中对此进行了介绍。

返回汇总表。

图 7-14. DACn 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACn-DATA[15:0]															
W-0h															

表 7-16. DACn 寄存器字段说明

位	字段	类型	复位	说明
15-0	DACn-DATA[15:0]	W	0h	以 MSB 对齐的直接二进制格式存储要加载到 DACn 的 16 位、14 位或 12 位数据。在差分 DAC 模式下，数据被加载到 DAC 对中值最低的 DAC 中（在 DAC*xy* 对中，数据被加载到 DAC*x* 中，对 DAC*y* 的写入被忽略）。 数据使用以下格式： DAC81416：{ DATA[15:0] } DAC71416：{ DATA[13:0], x, x } DAC61416：{ DATA[11:0], x, x, x, x} x – 不用考虑位

7.15 OFFSETn 寄存器（偏移 = 20h – 23h）[复位 = 0000h]

图 7-15 显示了 OFFSETn，表 7-17 中对此进行了介绍。

返回汇总表。

图 7-15. OFFSETn 寄存器

15	14	13	12	11	10	9	8
OFFSETab[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
OFFSETcd[7:0]							
R/W-0h							

表 7-17. OFFSETn 寄存器字段说明

位	字段	类型	复位	说明
15-8	OFFSETab[7:0]	R/W	0h	以二进制补码格式对差分 DAC*x-y* 对中的 DAC*y* 提供偏移调整。 数据使用以下格式： • DAC81416： – 格式：{ OFFSET[7:0] } – 范围: -128 LSB 至 +127 LSB • DAC71416： – 格式： { OFFSET[5:0], x, x } – 范围: -32 LSB 至 +31 LSB • DAC61416： – 格式：{ OFFSET[3:0], x, x, x} – 范围: -8 LSB 至 +7 LSB X - 不用考虑位 在更新偏移寄存器后重新写入差分 DAC 数据寄存器。 ab：14-15、10-11、6-7 或 2-3；cd：12-13、8-9、4-5 或 0-1
7-0	OFFSETcd[7:0]	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

DACx1416 系列的主要应用之一是 Mach Zehnder 调制器 (MZM) 偏置，该偏置用于光线路卡和光学模块。凭借高电压、高电流和差分输出功能，DACx1416 系列可用于偏置 $LiNbO_3$ 型和 InP 型调制器。借助切换模式和多个相应的输入引脚，无需 SPI 编程即可生成此类应用所需的抖动波形。小型封装尺寸和集成基准最大限度减小了此类应用的总占用空间。

8.2 典型应用

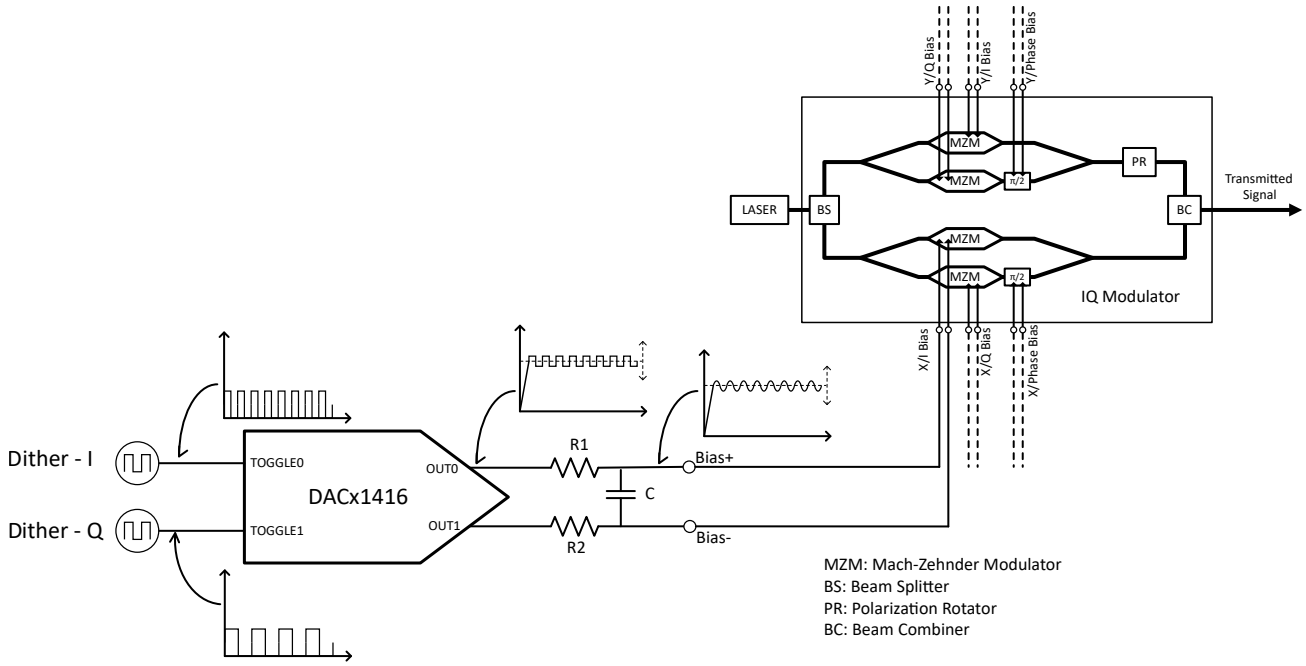


图 8-1. 偏置 Mach Zehnder 调制器

8.2.1 设计要求

设计用于匹配两种类型的 MZM 技术（$LiNbO_3$ 和 InP）的偏置电路需要高电压和电流范围；请参阅表 8-1。光纤互联网络论坛 (OIF) 建议使用四个差分 IQ 偏置和两个差分相位偏置输入；请参阅图 8-1。这种差分信号方案有助于尽可能减少通道间的串扰和噪声，否则可能会导致复杂的偏置控制算法。理想的抖动音调是正弦波，但在主要是数字性的电路域中生成正弦波非常麻烦。方波相对更容易通过数字电路生成，并且也是可用的，前提是此抖动信号的带宽小于接收器的低截止频率（即根据 OIF 为 100kHz 或 1MHz)。对于具有极小偏置电流要求的 $LiNbO_3$ 调制器，截止频率小于 100kHz 的无源 RC 滤波器可用于 DAC 输出端。对于主要与光学模块搭配使用的 InP 调制器（通常需要 MHz 的接收器低截止频率），请选择 RC 值，以降低电阻器两端的功率耗散。

为了平滑检测 MZM 输出端的抖动信号，请为 *I* 和 *Q* 臂使用两个正交抖动频率源。抖动波形的振幅通常为直流偏置电压的 0.5% 至 2.5%，这主要取决于设计实现方案。

表 8-1. MZM 偏置电路的要求

参数	值
DC 范围	高达 ±18V
抖动幅度	40mV 至 500mV
抖动频率	100Hz 至 100kHz
抖动形状	正弦波或方波
偏置电流	最高 25mA（适用于 InP MZM）
抖动频率数	2
输出类型	差分（6 对）

Copyright © 2025 Texas Instruments Incorporated

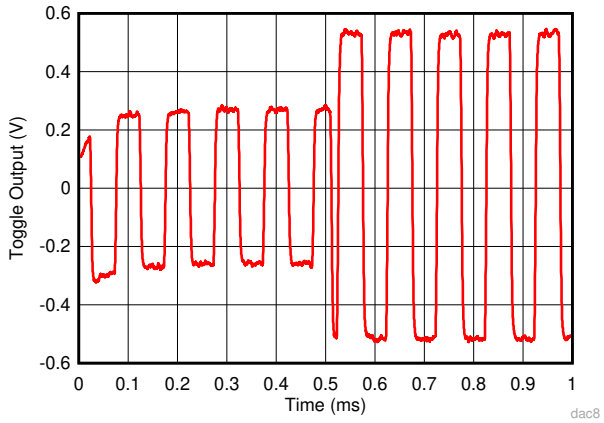
8.2.2 详细设计过程

图 8-1 示出了*抖动型偏置控制*电路偏置 MZM 的简化电路图。如图所示，该电路需要四个差分输入对用于 IQ 偏置，需要两个差分输入对用于相位偏置。要偏置 $LiNbO_3$ MZM，电压可高达 ±18V，而电流要求约为几微安。接收器的低截止频率通常为 100kHz，因此抖动信号的带宽远低于该频率。请注意，只有 IQ 偏置输入需要抖动信号，而不需要相位偏置。DACx1416 具有切换模式，在该模式下，输出可配置为提供施加在直流偏置上的方波。该模式要求设置方波的高电平和低电平代码，并且转换与所选的切换输入引脚同步。下面提供了使用切换功能来实现抖动输出的伪代码。

```
//SYNTAX: WRITE <REGISTER NAME>,<DATA>
//Power-on Device, Disable Soft-toggle
WRITE SPICONFIG,0x0A84
//Select Range for all 12 channels as ±10V
WRITE DACRANGE2, 0xAAAA
WRITE DACRANGE3, 0xAAAA
WRITE DACRANGE4, 0xAAAA
//Power-on DAC Channels 0 - 11
WRITE DACPWDWN,0xF000
//Write HIGH code to Register A of all IQ Bias Differential Pairs
WRITE DAC0,0xXXXX
WRITE DAC2,0xXXXX
WRITE DAC4,0xXXXX
WRITE DAC6,0xXXXX
//Write Data to Phase Bias Channels
WRITE DAC8,0xXXXX
WRITE DAC10,0xXXXX
//Enable Sync for All Differential Pairs
WRITE SYNCCONFIG,0x0FFF
//Enable Software LDAC
WRITE TRIGGER,0x0002
//Write LOW code to Register B of all IQ Bias Differential Pairs
WRITE DAC_DATA0,0xXXXX
WRITE DAC_DATA0,0xXXXX
WRITE DAC_DATA0,0xXXXX
WRITE DAC_DATA0,0xXXXX
//Turn Toggle Mode ON for All IQ Differential Pairs
//DAC11-10:Y/Phase Bias , DAC9-8:Y/I Bias - TOGG0, DAC7-6:Y/Q Bias - TOGG 1
//DAC5-4:Y/Phase Bias , DAC3-2:Y/I Bias - TOGG0, DAC1-0:Y/Q Bias - TOGG 1
WRITE TOGGCONFIG0,0x0005
WRITE TOGGCONFIG1,0xA05A
//Method to Modify the DC Value of Any IQ Differential Pair
//Turn Off Toggle Mode for that Channel (e.g. DAC0-1)
WRITE TOGGCONFIG1,0xA050
//Turn Off Sync for the Channel
WRITE SYNCCONFIG,0x0FFC
//Write HIGH code to Register A of the Channel Pair
WRITE DAC0,0xXXXX
//Turn On Sync for the Channel Pair
WRITE SYNCCONFIG,0x0FFF
//Turn On Toggle for the Channel Pair
WRITE TOGGCONFIG1,0xA05A
```

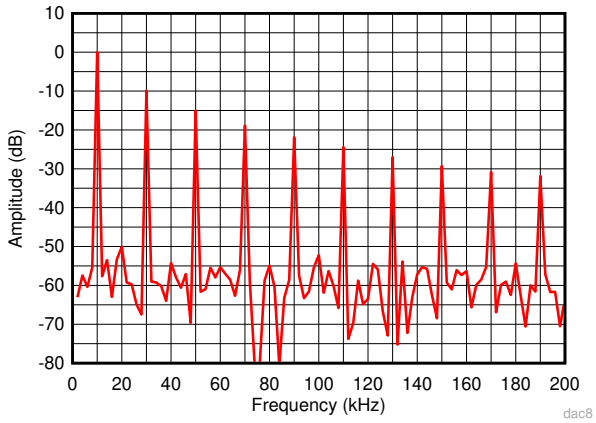
抖动频率可设置为 1kHz 和 2kHz，以便单极 RC 低通滤波器在 100kHz 时提供足够的衰减。例如，当 R1 = R2 = 10 kΩ 且 C = 0.01 μF 时，在 100kHz 下可获得大约 40dB 的衰减。

8.2.3 应用曲线



切换频率 = 10kHz

图 8-2. 切换交流振幅转换



切换频率 = 10kHz，输出端无滤波器

图 8-3. 切换输出的频谱

8.3 电源相关建议

DACx1416 需要五个电源输入：VIO、VDD、VAA、VCC 和 VSS。确保 VDD 和 VAA 处于相同的级别。假设 VIO 和 VDD/VAA 不同，因而需要四个独立的电源。

在靠近每个电源引脚的位置放置一个 0.1μF 陶瓷电容器。请注意，VCC 和 VSS 各有两个引脚。此外，建议为每个电源使用 4.7μF 或 10μF 大容量电容器；钽或铝类型是大容量电容器的不错选择。

电源没有时序控制要求。由于 DAC 输出范围可配置，因此，需要确保电源有足够的余量才能在靠近电源轨的代码处实现线性。当从 DAC 输出端拉出或向其灌入电流时，应考虑热耗散。例如，在 MZM 偏置的典型应用中，来自或流向具有 2.5V 电源余量的 12 通道的 25mA 负载电流会在 DAC 上产生 (12 × 2.5 × 25mA) = 0.75W 的功率耗散。在本示例中，用于耗散功率的热设计可能涉及包含散热器以避免器件热关断。

8.4 布局

8.4.1 布局指南

DACx1416 的引脚配置旨在使模拟引脚、数字引脚和电源引脚在空间上相互分离，从而简化 PCB 布局。图 8-4 展示了示例布局。很明显，每个电源引脚都有一个靠近引脚的 0.1μF 电容器。将模拟和数字信号远离彼此放置或放置在不同的 PCB 层上。为数字信号提供不间断的基准层（接地或 VIO）。确保较高频率的信号（例如 SCLK 和 SDI）具有适当的阻抗端接以解决信号完整性问题。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例

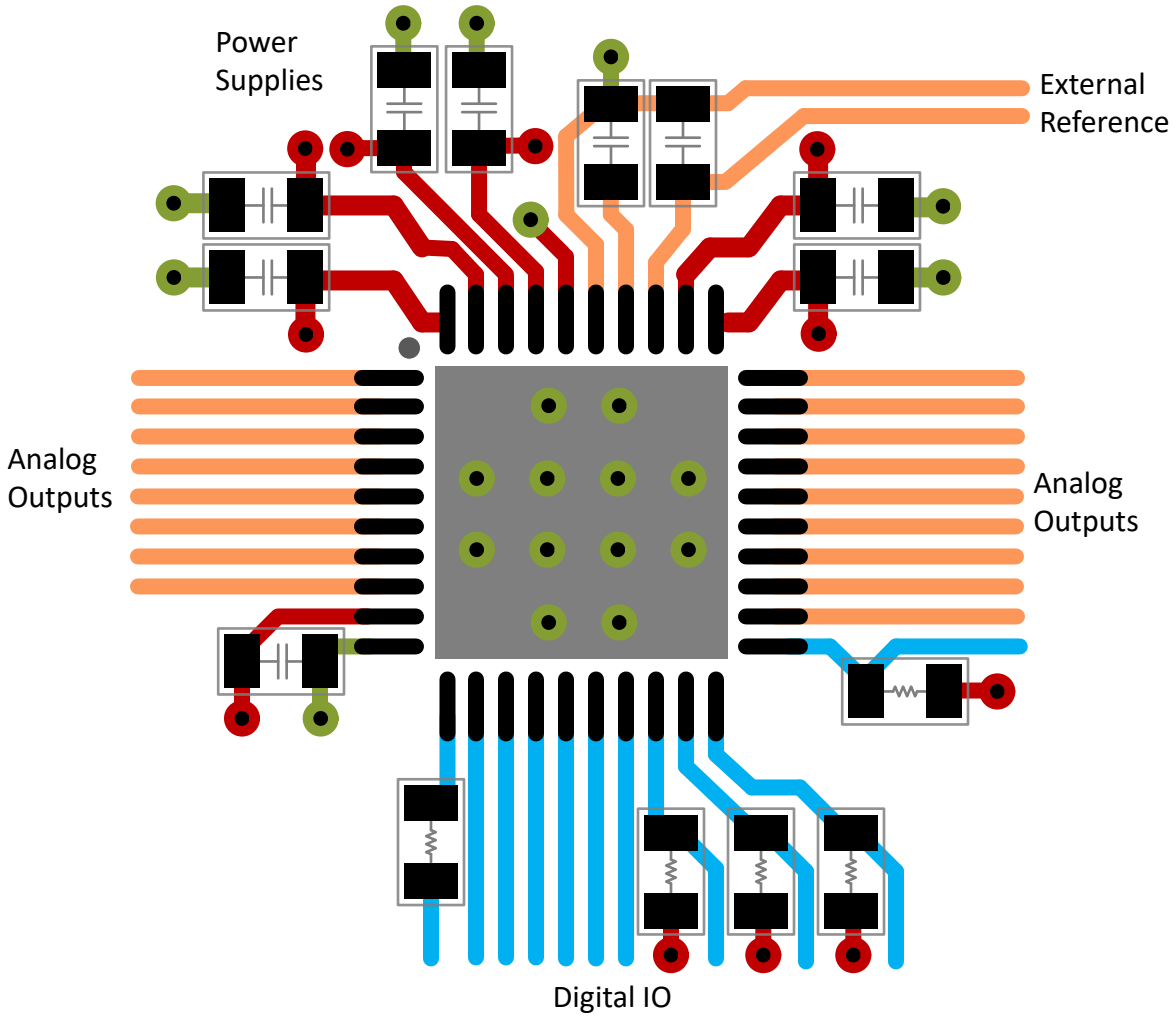


图 8-4. 示例布局

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

相关开发支持，请参阅以下文档：DAC81416 评估模块

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，DAC81416EVM 用户指南
- 德州仪器 (TI)，*DACx1416 为 Mach Zehnder 调制器偏置提供优化的解决方案* 应用手册
- 德州仪器 (Ti)，*具有检测连接电路的可编程电压输出* 应用手册

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2021) to Revision C (August 2025) — **Page**

- 添加了图 5-3，*更新模式下的 DAC 等待时间* 13
- 更新了 *DAC 寄存器同步和异步更新* 中 DAC 输出更新的最短等待时间 24
- 向*流模式操作* 中添加了有关流模式期间 SDO 状态的阐释 29
- 将 BRDCAST-DATA 和 DACn-DATA 从 R/W 更改为 W 31

Changes from Revision A (November 2018) to Revision B (June 2021) — **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1

Copyright © 2025 Texas Instruments Incorporated

• 为清晰起见，更新了格式和小的编辑问题.....1

Changes from Revision * (July 2018) to Revision A (November 2018) **Page**

• 将 DAC81416 从“预告信息”更改为“量产数据”.....1
• 将 DAC71416 和 DAC61416 从“产品预发布”更改为“量产数据”.....1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC61416RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC61416RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC61416RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC61416RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC61416
DAC71416RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC71416RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC71416RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC71416RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC71416
DAC81416RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416
DAC81416RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416
DAC81416RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416
DAC81416RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	DAC81416

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

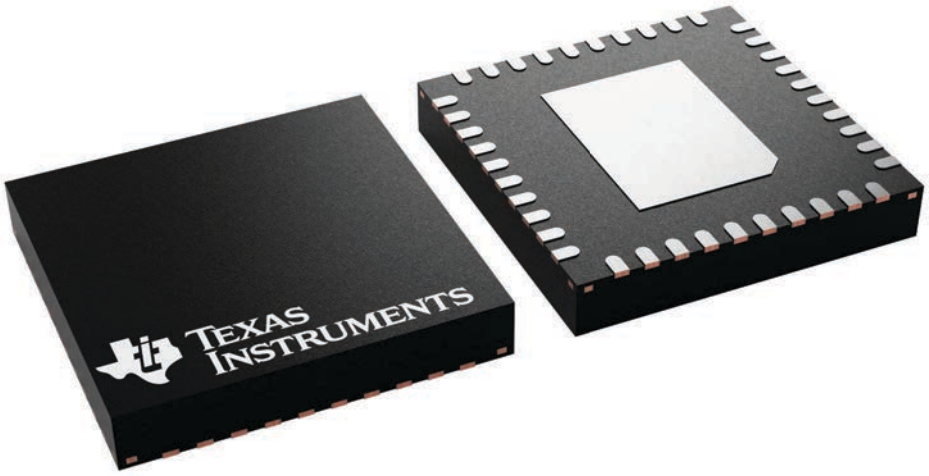
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



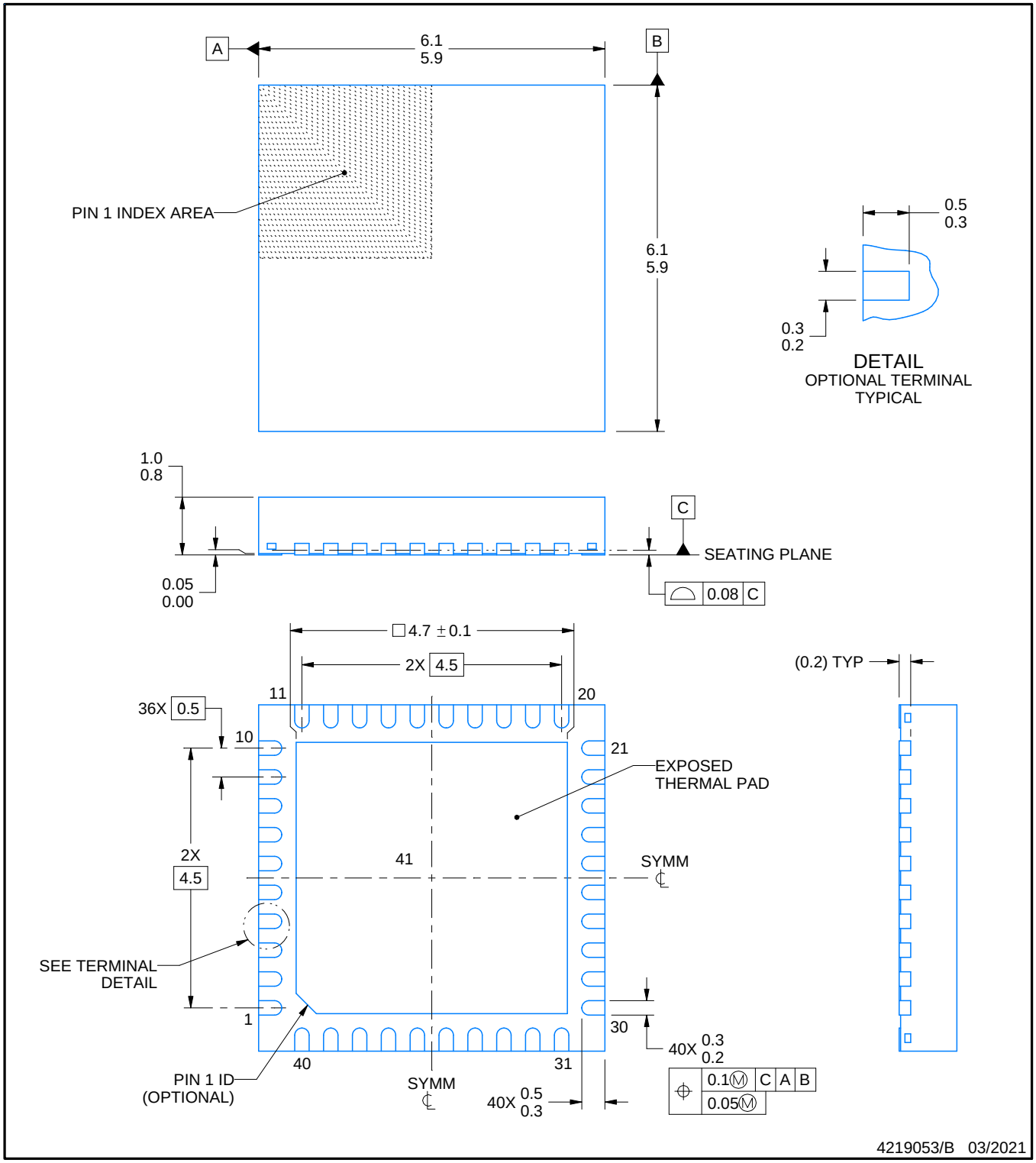
4225870/A

RHA0040C

PACKAGE OUTLINE

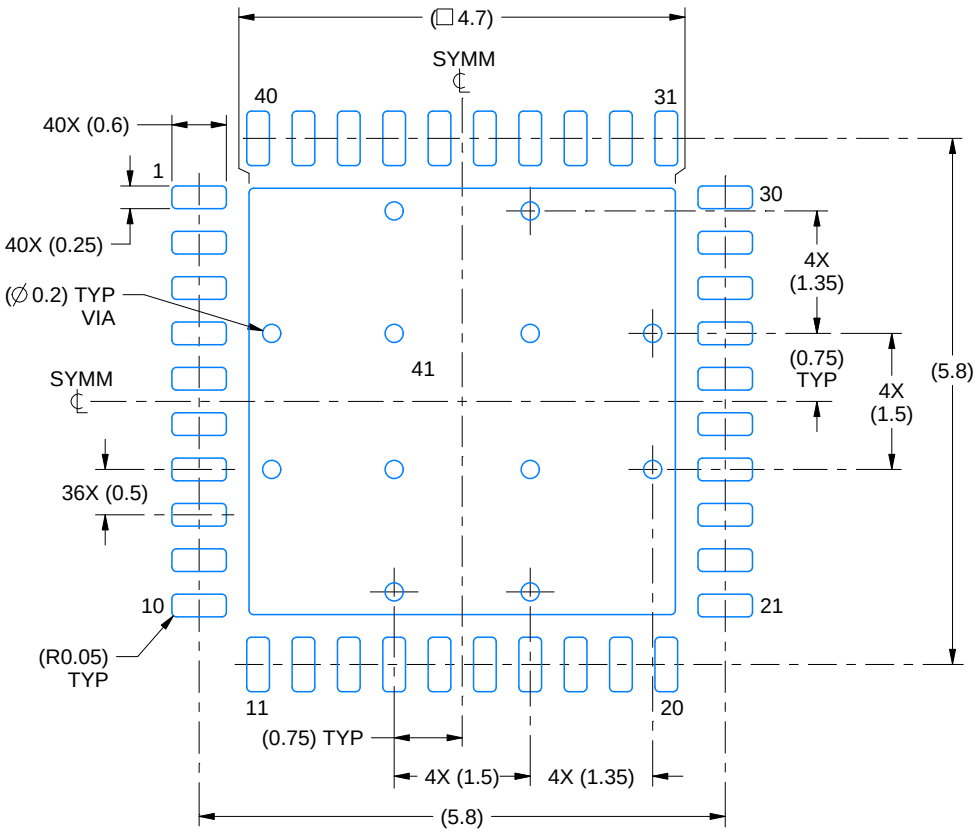
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

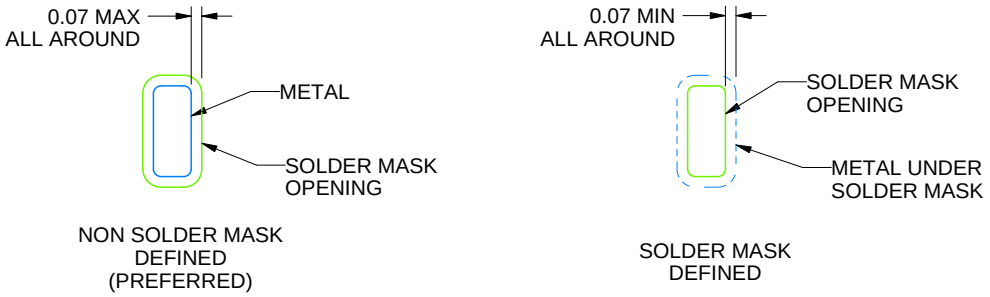


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:12X

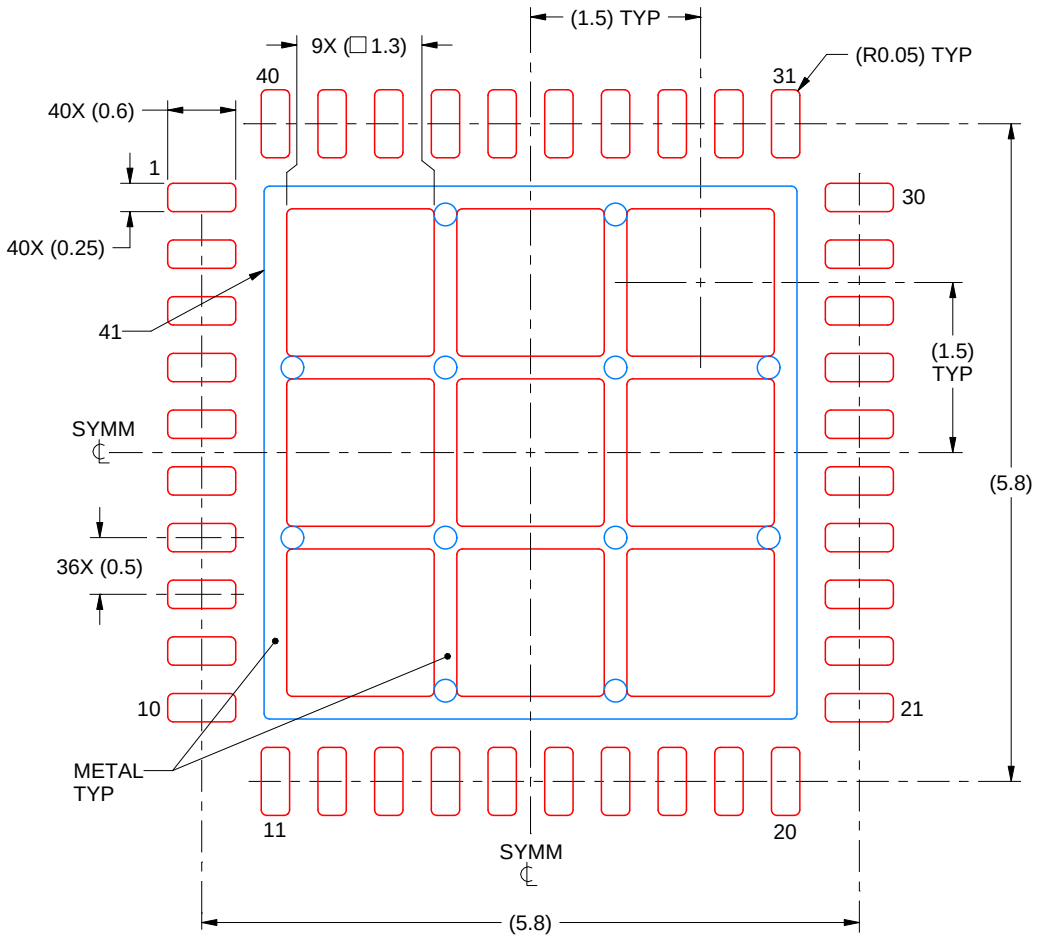


SOLDER MASK DETAILS

4219053/B 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/B 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月