DAC60516W 具有内部基准的 16 通道 12 位电压输出 DAC

1 特性

- 性能：
  - INL：12 位分辨率下为 ±1LSB（最大值）
  - TUE：FSR 最大值的 ±0.15%
- 集成 2.5V 精密内部基准
  - 初始精度：±5mV（最大值）
  - 温漂：25ppm/°C（典型值）；40ppm/°C（最大值）
- 高驱动能力：50mA，相对于电源轨的摆幅为 0.5V
- 灵活的配置选项
  - 用户可选增益：2×、1×
  - 复位至零标度
  - 清零输出功能
- 宽工作电压范围：
  - 电源：2.7V 至 5.5V
  - 温度范围：-40°C 至 +125°C
- SPI 和 I²C 接口：工作电压为 1.7V 至 5.5V
  - SPI：4 线接口
  - I²C：四个目标地址

2 应用

- 光学模块
- 数据中心间互联
- 模拟输出模块

3 说明

DAC60516W 是低功耗 16 通道缓冲式电压输出数模转换器 (DAC)。DAC60516W 包括一个 2.5V 内部基准，因此在大多数应用中无需使用外部精密基准。通过用户可选的增益配置，可以提供 2.5V 或 5V 的满量程输出电压。DAC60516W 需要外部 AV_{DD} 和 V_{IO} 电源才能运行，这些电源可以短接在一起。

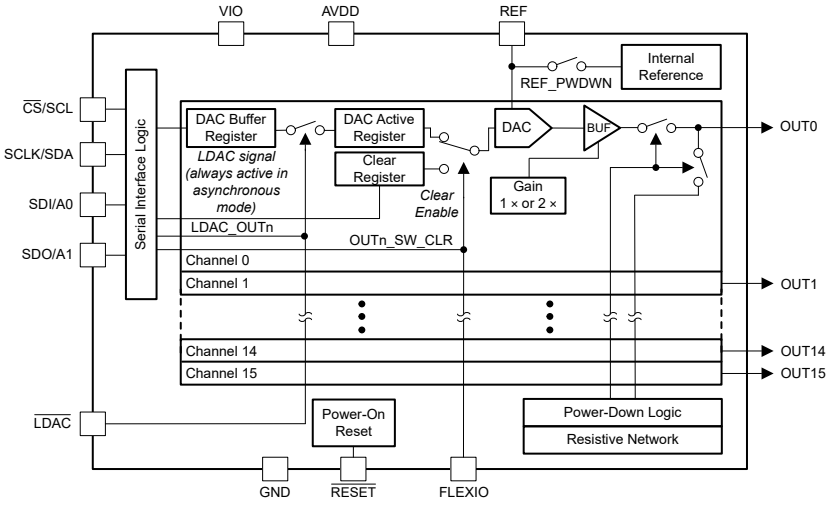
与 DAC60516W 的通信通过一个支持 SPI 和 I²C 的串行接口进行，运行时钟速率高达 50MHz（在 SPI 写入器件的过程中）。VIO 引脚使串行接口可在 1.7V 至 5.5V 电压范围内运行。DAC60516W 的灵活接口使其能够兼容各种业界通用的微处理器和微控制器。

DAC60516W 的额定工作温度范围为 –40°C 至 +125°C，采用 12 位分辨率的小型 WCSP 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
DAC60516W	YBH (WCSP)，34 引脚	2.59mm × 2.59mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



功能方框图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 6
5.6 时序要求 - I²C 标准模式 8
5.7 时序要求 - I²C 快速模式 8
5.8 时序要求 - I²C 快速+ 模式 8
5.9 时序要求 - SPI 10
5.10 开关特性 10
5.11 时序图 11
5.12 典型特性 12
6 详细说明 20
6.1 概述 20
6.2 功能方框图 20
6.3 特性说明 21
6.4 器件功能模式 23
6.5 编程 24
7 寄存器映射 29
7.1 寄存器 32
8 应用和实施 53
8.1 应用信息 53
8.2 典型应用 54
8.3 初始化设置 55
8.4 电源相关建议 56
8.5 布局 56
9 器件和文档支持 57
9.1 文档支持 57
9.2 接收文档更新通知 57
9.3 支持资源 57
9.4 商标 57
9.5 静电放电警告 57
9.6 术语表 57
10 修订历史记录 57
11 机械、封装和可订购信息 57

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

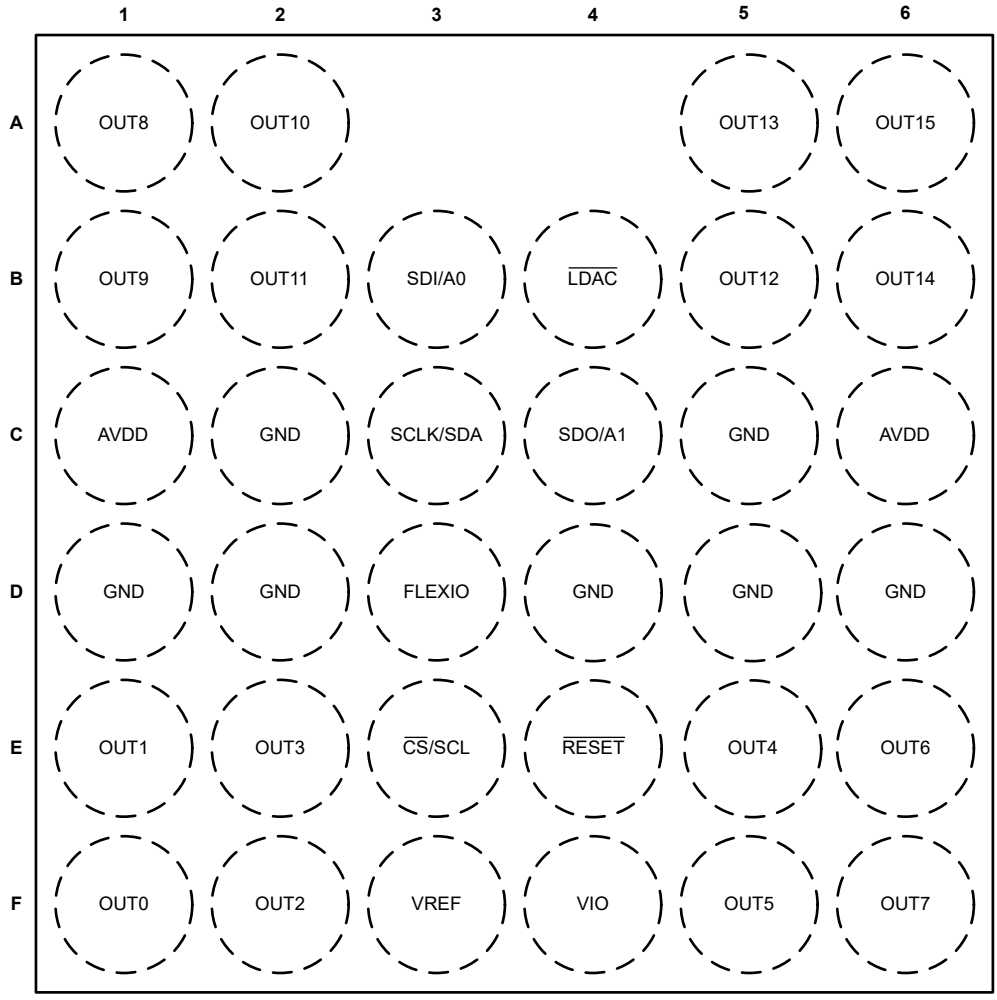


图 4-1. 34 引脚 WCSP（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
A1	OUT8	输出	DAC 输出。
A2	OUT10	输出	DAC 输出。
A5	OUT13	输出	DAC 输出。
A6	OUT15	输出	DAC 输出。
B1	OUT9	输出	DAC 输出。
B2	OUT11	输出	DAC 输出。
B3	A0/SDI	输入	I^2C：目标地址选择器。 SPI：数据输入。数据在 SCLK 引脚每个下降沿移入到输入移位寄存器中。
B4	$\overline{\text{LDAC}}$	输入	低电平有效 DAC 同步信号。$\overline{\text{LDAC}}$ 引脚上从高电平到低电平的转换会同时更新配置为同步模式的 DAC 的输出。
B5	OUT12	输出	DAC 输出。
B6	OUT14	输出	DAC 输出。
C1	AVDD	电源	模拟电源电压。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
编号	名称		
C2	GND	接地	此器件上用于所有电路的接地参考点。
C3	SDA/SCLK	输入/输出	I^2C：双向数据线。 SPI：时钟输入。
C4	A1/SDO	输入/输出	I^2C：目标地址选择器。 SPI：数据输出。根据 FSDO 位的指定值，数据在 SCLK 引脚的上升沿或下降沿从输入移位寄存器中移出。
C5	GND	接地	此器件上用于所有电路的接地参考点。
C6	AVDD	电源	模拟电源电压。
D1	GND	接地	此器件上用于所有电路的接地参考点。
D2	GND	接地	此器件上用于所有电路的接地参考点。
D3	FLEXIO	输入/输出	FLEXIO 引脚，包括 GPIO 和 DAC CLEAR 引脚功能。
D4	GND	接地	此器件上用于所有电路的接地参考点。
D5	GND	接地	此器件上用于所有电路的接地参考点。
D6	GND	接地	此器件上用于所有电路的接地参考点。
E1	OUT1	输出	DAC 输出。
E2	OUT3	输出	DAC 输出。
E3	SCL/$\overline{CS}$	输入	I^2C：时钟输入。 SPI：低电平有效串行数据使能。此输入是串行数据的帧同步信号。当信号变为低电平时，该引脚启用串行接口输入移位寄存器。
E4	$\overline{RESET}$	输入	低电平有效复位输入。该引脚上的逻辑低电平会触发复位事件。
E5	OUT4	输出	DAC 输出。
E6	OUT6	输出	DAC 输出。
F1	OUT0	输出	DAC 输出。
F2	OUT2	输出	DAC 输出。
F3	VREF	输入/输出	DAC 电压基准输入/输出。默认情况下，该引脚用作输入引脚 REFIN（禁用内部基准）。如果启用了内部基准，该引脚用作输出引脚 REFOUT
F4	VIO	电源	I/O 电源电压。该引脚用于设置器件的 I/O 工作电压。
F5	OUT5	输出	DAC 输出。
F6	OUT7	输出	DAC 输出。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
AV_{DD}	模拟电源电压，AV_{DD} 至 GND	-0.3	6	V
V_{IO}	数字电源电压，V_{IO} 至 GND	-0.3	AV_{DD}	V
	模拟输出 (OUT) 引脚电压	-0.3	AV_{DD} + 0.3	V
	基准引脚电压	-0.3	AV_{DD} + 0.3	V
	串行接口引脚电压	-0.3	V_{IO} + 0.3	V
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-60	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
AV_{DD}	模拟电源电压，AV_{DD} 至 GND	2.7		5.5	V
V_{IO}	IO 电源电压，V_{IO} 至 GND	1.7		AV_{DD}	V
	串行接口输入电压至 GND	0		V_{IO}	V
T_J	工作结温	-40		125	°C

5.4 热性能信息

热指标(1)		DAC60516W YBH (WCSP) 34 引脚	单位
$R_{\theta JA}$	结至环境热阻	57.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	0.2	°C/W
$R_{\theta JB}$	结至电路板热阻	14.1	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	14.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标* 应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，DAC 输出为空载，且数字输入处于 V_{IO} 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能(1)						
	分辨率		12			位
INL	积分非线性			±0.3	±1	LSB
DNL	微分非线性		-1	±0.3	1	LSB
TUE	总体未调整误差	DAC 输出范围 = 0V 至 5V		±0.04	±0.15	%FSR
	偏移误差	增益 = 1 或 2		±0.75	±3	mV
	零标度误差	DAC 寄存器中填入全零	0	0.5	3	mV
	满量程误差	DAC 寄存器中填入满量程代码，DAC 输出范围 = 0V 至 5V		±0.04	±0.15	%FSR
	增益误差	增益 = 1 或 2		±0.04	±0.15	%FSR
	失调电压误差漂移			±3		μV/°C
	零量程误差漂移			±2		μV/°C
	满量程误差漂移			±3		ppm FSR/°C
	增益误差漂移			±2		ppm FSR/°C
输出特性						
	输出电压(2)	增益 = 2	0		$2 \times V_{REF}$	V
		增益 = 1	0		V_{REF}	
	输出电压余量/下余量	至 AV_{DD} 和来自 GND（–50mA ≤ I_{OUT} ≤ 50mA)	0.5			V
	负载电流	输出电压余量 = 0.5V		50		mA
	短路电流(3)	满量程输出短接至 GND		75		mA
		零标度输出短接至 V_{DD}		75		
	容性负载(4)	R_{LOAD} = 开路	0		2	nF
	输出直流阻抗	DAC 输出位于 AV_{DD}/2		0.08		Ω
		DAC 输出位于 AV_{DD} 或 GND		10		
动态性能						
	输出电压建立时间	¼ 至 ¾ 标度和 ¾ 至 ¼ 标度建立时间（趋稳至 ±2LSB），AV_{DD} = 5.5V，V_{REFIN} = 2.5V，增益 = 2		6		μs
	压摆率	AV_{DD} = 5.5V，V_{REFIN} = 2.5V		1.7		V/μs
	上电干扰幅度	DAC 代码 = 零标度		25		mV
	输出噪声	0.1Hz 至 10Hz，DAC 代码 = 中标度		12		μVpp
	输出噪声密度	1kHz，DAC 代码 = 中标度，AV_{DD} = 5.5V，V_{REFIN} = 2.5V		65		nV/Hz
	AC PSRR	DAC 代码 = 中标度，频率 = 60Hz，振幅 200mVpp 叠加在 AV_{DD} 上		80		dB
	直流 PSRR	DAC 代码 = 中标度，AV_{DD} = 5V ±0.5V		0.01		mV/V
	代码变化干扰脉冲	主要载波附近的 1 LSB 变化		1		nV-s
	通道间交流串扰	DAC 代码 = 零标度，相邻通道上具有满量程摆幅		1		nV-s

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，DAC 输出为空载，且数字输入处于 V_{IO} 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	通道间直流串扰	测量的通道处于零标度，相邻通道处于满量程		12		μV
		测量的通道处于零标度，所有其他通道处于满量程		12		
	数字馈通	DAC 代码 = 中标度，f_{SCLK} = 1MHz		0.1		nV-s
	上电时间(5)	在 A_{VDD} 斜升至 2.4V 且 V_{REFIN} = 2.5V 后，DAC 通道加电并输出 0V 所需的时间。		120		μs
外部基准输入						
V_{REFIN}	基准输入电压范围	增益 = 1	1		V_{DD}	V
		增益 = 2	1		AV_{DD}/2	
	基准输入电流	V_{REFIN} = 2.5V		85		μA
	基准输入阻抗			29	35	kΩ
	基准输入电容			5		pF
内部基准						
V_{REFOUT}	基准输出电压范围	T_J = 25°C	2.495		2.505	V
	基准输出漂移			25	40	ppm/°C
	基准输出阻抗			0.2		Ω
	基准输出噪声	0.1Hz 至 10Hz		10		μVpp
	基准输出噪声密度	10kHz，基准负载 = 10nF		125		nV/Hz
	基准负载电流		-4		10	mA
	基准负载调整率	拉电流和灌电流		175		μV/mA
	基准线性调整率			500		μV/V
数字输入与输出						
V_{IH}	高电平输入电压，V_{IH}		0.7 × V_{IO}			V
V_{IL}	低电平输入电压，V_{IL}				0.3 × V_{IO}	V
	输入电流			±2		μA
	输入引脚电容			8		pF
V_{OH}	高电平输出电压，V_{OH}	I_{OH} = 0.2mA	V_{IO} - 0.2			V
V_{OL}	低电平输出电压，V_{OL}	I_{OL} = 0.2mA			0.4	V
	输出引脚电容			4		pF
电源要求						
I_{AVDD}	AV_{DD} 电源电流	工作模式，启用内部基准，DAC 代码 = 满量程，SPI 静态		8.5	13	mA
		工作模式，禁用内部基准，DAC 代码 = 满量程，SPI 静态		8	12.5	
	AV_{DD} 电源电流	断电模式		10	20	μA
I_{VIO}	V_{IO} 电源电流			0.1	1	μA

(1) 代码 16 至 4080 之间的终点拟合。
(2) 当使用外部基准 V_{REF} = V_{REFIN} 时。否则，V_{REF} = 2.5V（内部基准电压）。
(3) 临时过载条件保护。电流限制期间可能会超过结温。在高于指定最大结温的温度下运行可能会影响器件可靠性。
(4) 根据设计和特征确定；未经生产测试。
(5) 在接下来的一段时间（5 - 10 毫秒）内，器件从存储器加载内部校准系数时，将阻止与器件的 SPI 或 I2C 通信。 在此时间范围内的任何数字通信都将被忽略。

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求 - I²C 标准模式

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，且数字输入处于 V_{IO} 或 GND

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			100	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	4.7			µs
t_{HDSTA}	重复启动后的保持时间	4			µs
t_{SUSTA}	重复启动建立时间	4.7			µs
t_{SUSTO}	停止条件建立时间	4			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	250			ns
t_{LOW}	SCL 时钟低电平周期	4700			ns
t_{HIGH}	SCL 时钟高电平周期	4000			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			1000	ns
t_{VD_DAT}	数据有效时间			3.45	µs
t_{VD_ACK}	数据有效确认时间			3.45	µs

5.7 时序要求 - I²C 快速模式

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，且数字输入处于 V_{IO} 或 GND

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			400	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			µs
t_{HDSTA}	重复启动后的保持时间	0.6			µs
t_{SUSTA}	重复启动建立时间	0.6			µs
t_{SUSTO}	停止条件建立时间	0.6			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	100			ns
t_{LOW}	SCL 时钟低电平周期	1300			ns
t_{HIGH}	SCL 时钟高电平周期	600			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			300	ns
t_{VD_DAT}	数据有效时间			0.9	µs
t_{VD_ACK}	数据有效确认时间			0.9	µs

5.8 时序要求 - I²C 快速+ 模式

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，且数字输入处于 V_{IO} 或 GND

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			1	MHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	0.5			µs
t_{HDSTA}	重复启动后的保持时间	0.26			µs
t_{SUSTA}	重复启动建立时间	0.26			µs
t_{SUSTO}	停止条件建立时间	0.26			µs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	50			ns
t_{LOW}	SCL 时钟低电平周期	0.5			µs
t_{HIGH}	SCL 时钟高电平周期	0.26			µs
t_F	时钟和数据下降时间			120	ns
t_R	时钟和数据上升时间			120	ns
t_{VD_DAT}	数据有效时间			0.45	µs

Copyright © 2025 Texas Instruments Incorporated

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，且数字输入处于 V_{IO} 或 GND

		最小值	标称值	最大值	单位
t_{VD_ACK}	数据有效确认时间			0.45	µs

5.9 时序要求 - SPI

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，且数字输入处于 V_{IO} 或 GND

		最小值	标称值	最大值	单位
SPI 时序要求，FSDO = 0					
$f_{(SCLK)}$	SCL 频率			20	MHz
$t_{(SCLKH)}$	SCLK 高电平时间	20			ns
$t_{(SCLKL)}$	SCLK 低电平时间	23			ns
$t_{(SDIS)}$	SDI 设置时间	5			ns
$t_{(SDIH)}$	SDI 保持时间	8			ns
$t_{(SDOTOZ)}$	SDO 有效输出到三态输出的延迟	0		17	ns
$t_{(SDOEN)}$	SDO 三态输出到有效输出的延迟	0		21	ns
$t_{(SDOTOD)}$	SDO 输出延迟	2		23	ns
$t_{(CSS)}$	$\overline{CS}$ 建立时间	15			ns
$t_{(CSH)}$	$\overline{CS}$ 保持时间	15			ns
$t_{(CSHIGH)}$	$\overline{CS}$ 高电平时间	15			ns
SPI 时序要求，FSDO = 1					
$f_{(SCLK)}$	SCLK 频率 (1)			30	MHz
$t_{(SCLKH)}$	SCLK 高电平时间	14			ns
$t_{(SCLKL)}$	SCLK 低电平时间	16			ns
$t_{(SDIS)}$	SDI 设置时间	5			ns
$t_{(SDIH)}$	SDI 保持时间	8			ns
$t_{(SDOTOZ)}$	SDO 有效输出到三态输出的延迟	0		17	ns
$t_{(SDOEN)}$	SDO 三态输出到有效输出的延迟	0		21	ns
$t_{(SDOTOD)}$	SDO 输出延迟	2.5		30	ns
$t_{(CSS)}$	$\overline{CS}$ 建立时间	15			ns
$t_{(CSH)}$	$\overline{CS}$ 保持时间	15			ns
$t_{(CSHIGH)}$	$\overline{CS}$ 高电平时间	15			ns

(1) 对器件的写入操作可在高达 50MHz 的频率下执行。

5.10 开关特性

T_J = –40°C 至 +125°C，AV_{DD} = 2.7V 至 5.5V，V_{IO} = 1.7V 至 AV_{DD}，V_{REFIN} = 2.4V 至 5.5V，DAC 输出为空载，且数字输入处于 V_{IO} 或 GND

参数		测试条件	最小值	典型值	最大值	单位
复位特性						
t_{DACRDY}	器件就绪等待时间	有效串行接口访问的时间，从复位事件测得			10	ms
t_{RESET}	$\overline{RESET}$ 脉冲持续时间		20			ns
DAC 特性						
t_{DACCLR}	DAC 清除响应时间	触发 $\overline{CLEAR}$ 后 DAC 开始更改代码的时间		50		ns
$t_{CLRWDTH}$	$\overline{CLEAR}$ 脉冲持续时间		100			ns
$t_{LDACWDTH}$	$\overline{LDAC}$ 脉冲持续时间		100			ns

Copyright © 2025 Texas Instruments Incorporated

5.11 时序图

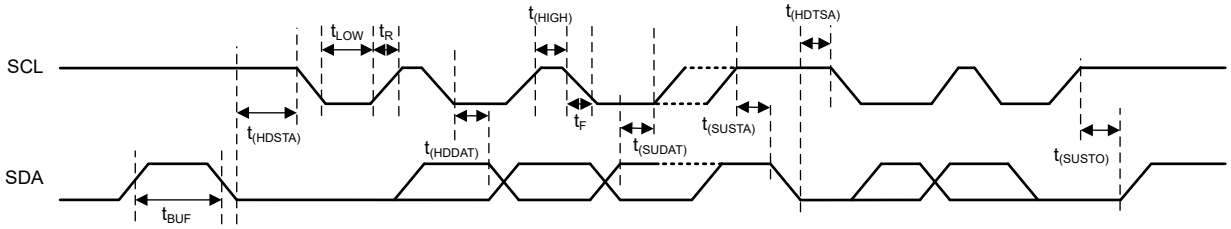


图 5-1. I²C 时序图

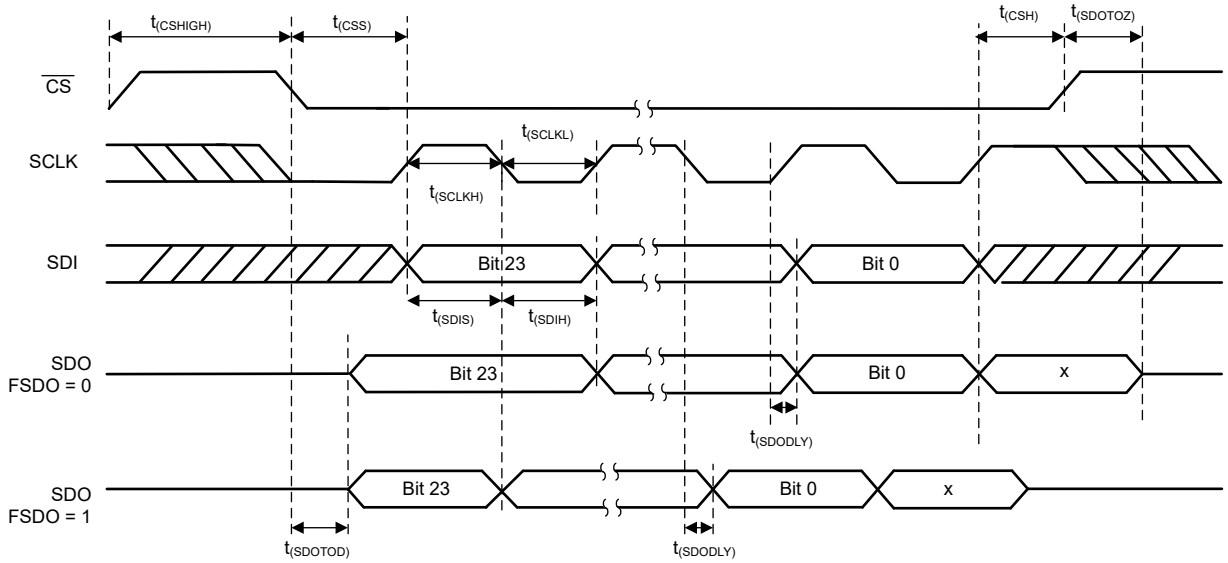


图 5-2. SPI 时序图

5.12 典型特性

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）

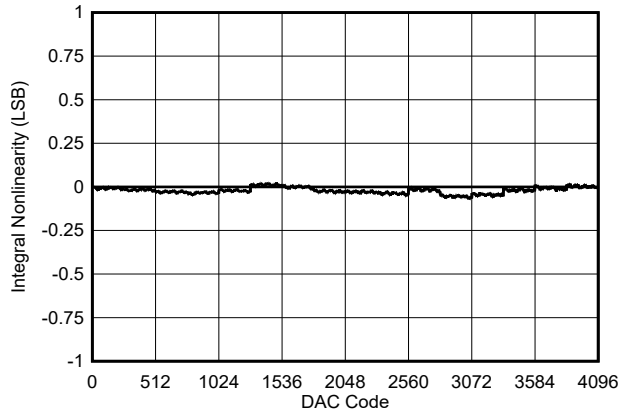


图 5-3. 积分非线性与数字输入代码间的关系

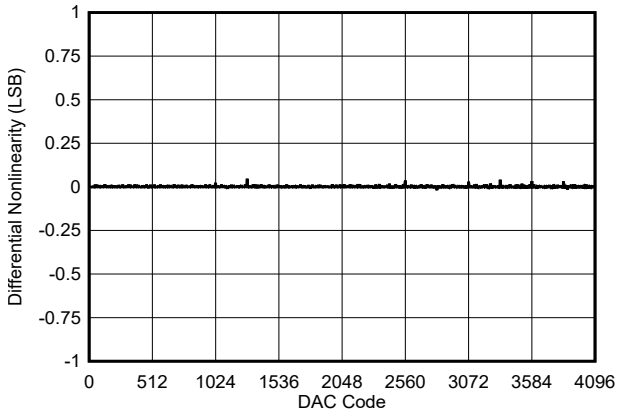


图 5-4. 微分非线性与数字输入代码间的关系

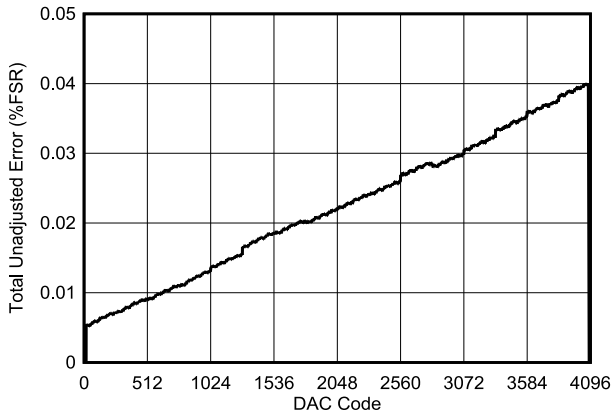


图 5-5. 总体未调整误差与数字输入代码间的关系

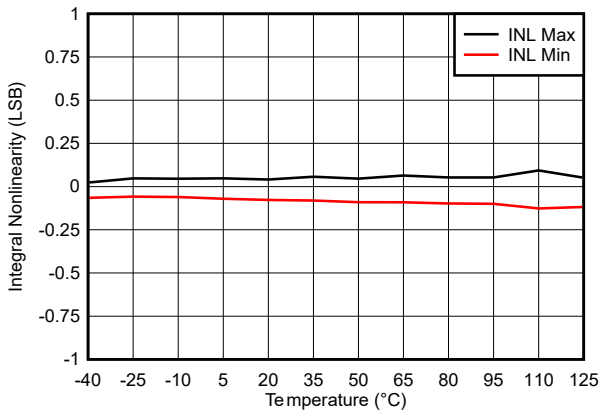


图 5-6. 积分非线性与温度间的关系

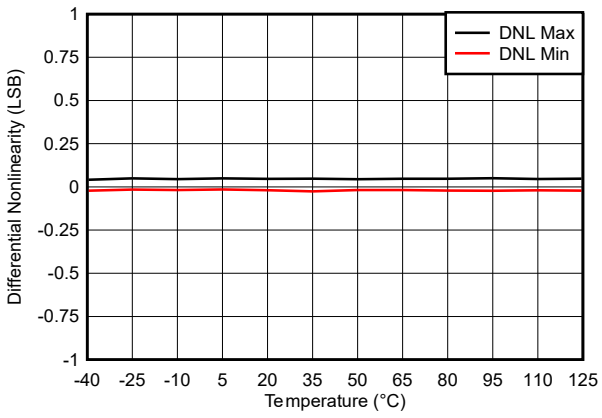


图 5-7. 微分非线性与温度间的关系

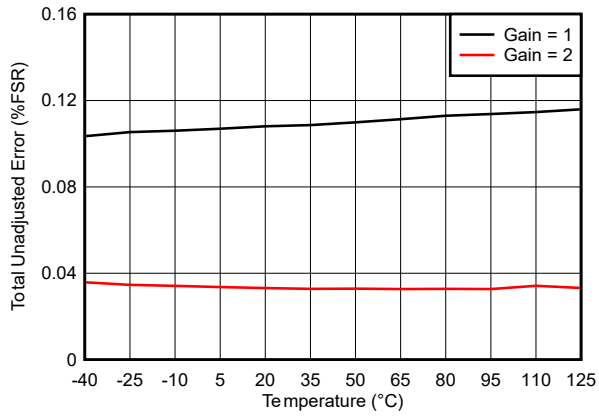


图 5-8. 总体未调整误差与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.12 典型特性（续）

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）

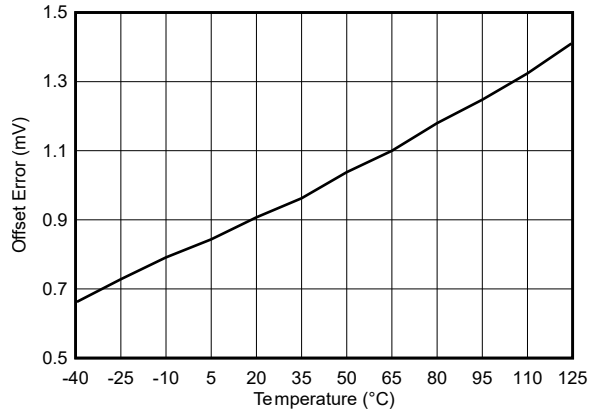


图 5-9. 偏移误差与温度间的关系

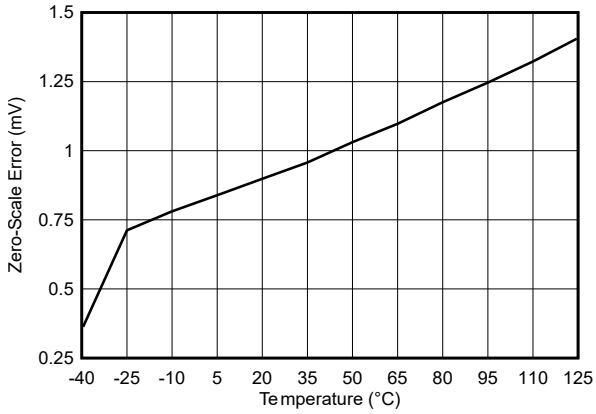


图 5-10. 零标度误差与温度间的关系

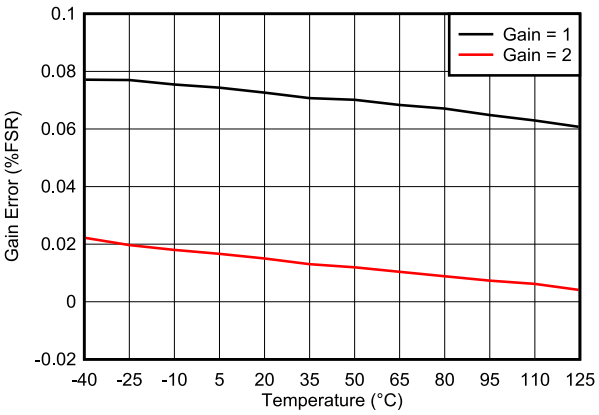


图 5-11. 增益误差与温度间的关系

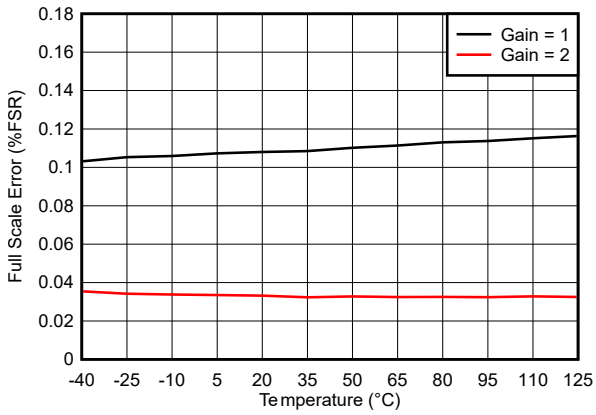


图 5-12. 满量程误差与温度间的关系

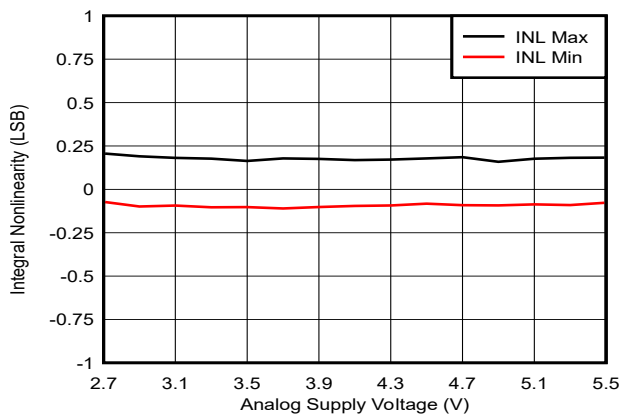


图 5-13. 积分非线性与电源电压间的关系

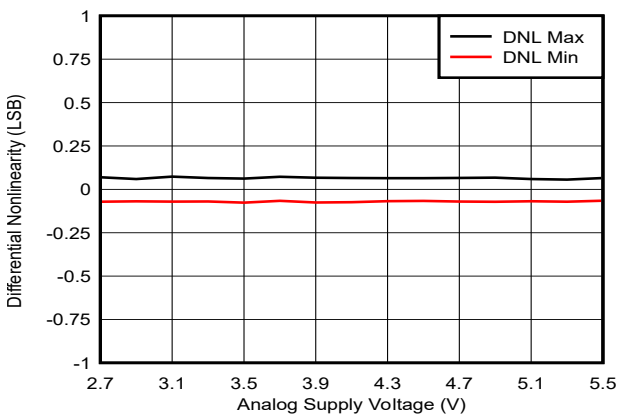


图 5-14. 微分非线性度与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.12 典型特性（续）

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）

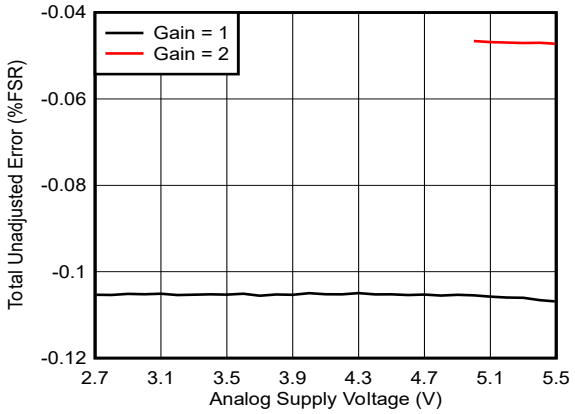


图 5-15. 总体未调整误差与电源电压间的关系

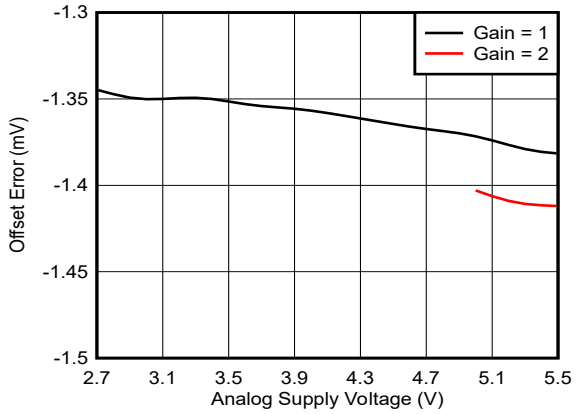


图 5-16. 失调电压误差与电源电压间的关系

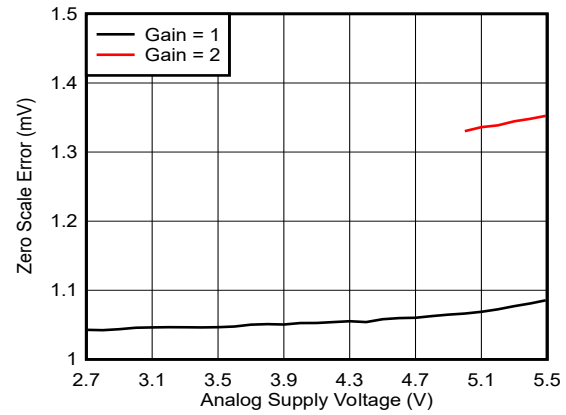


图 5-17. 零标度误差与电源电压间的关系

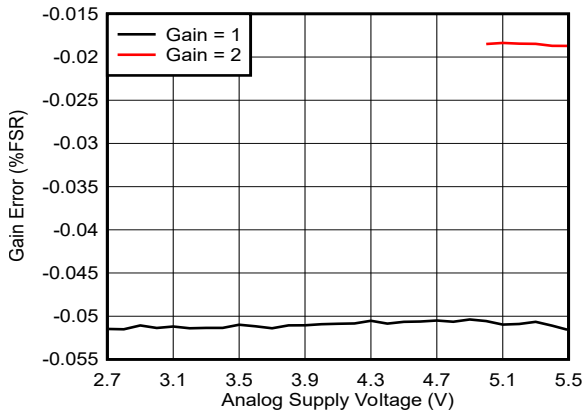


图 5-18. 增益误差与电源电压间的关系

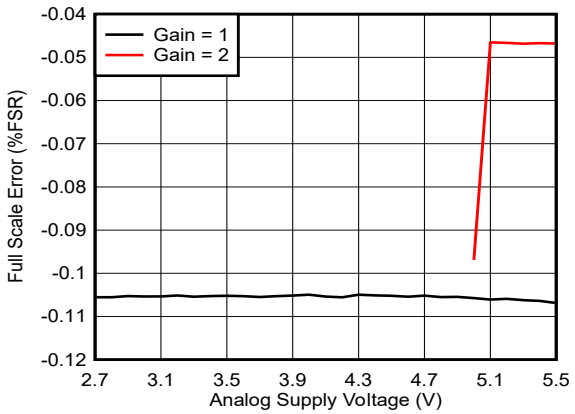


图 5-19. 满量程误差与电源电压间的关系

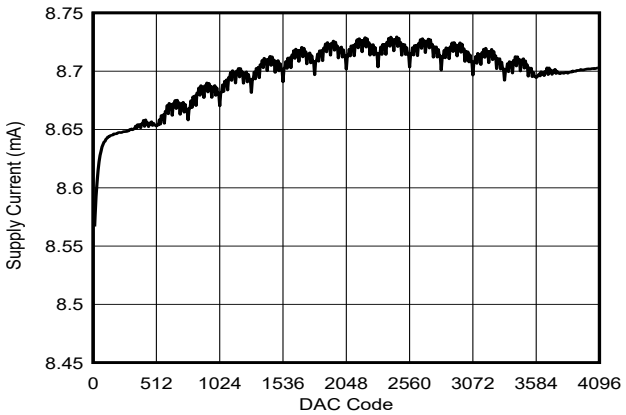
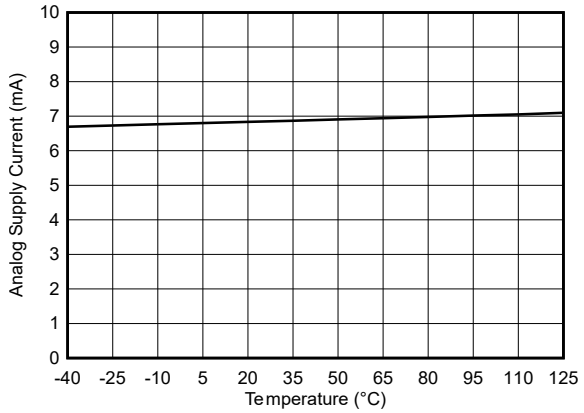


图 5-20. 采用内部基准时的电源电流与数字输入代码间的关系

Copyright © 2025 Texas Instruments Incorporated

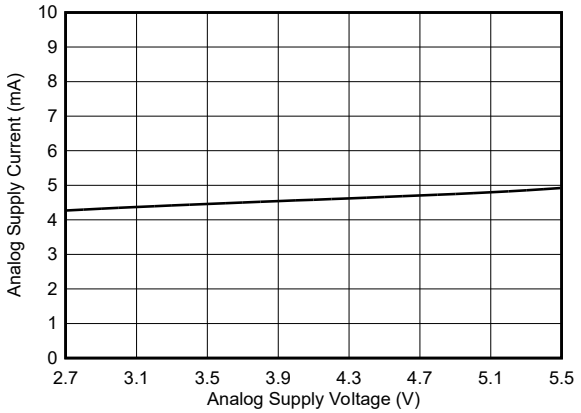
5.12 典型特性（续）

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）



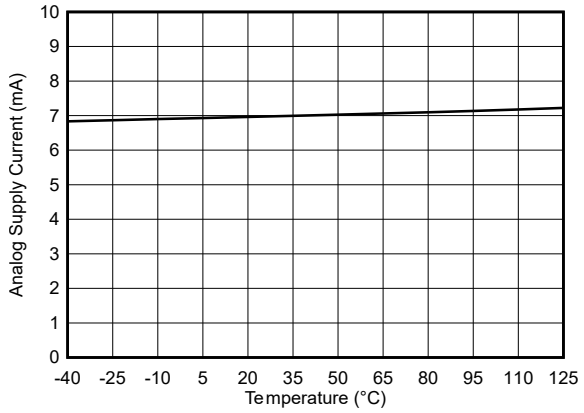
增益 = 2，外部基准 = 2.5V

图 5-21. 采用外部基准时的电源电流与温度间的关系



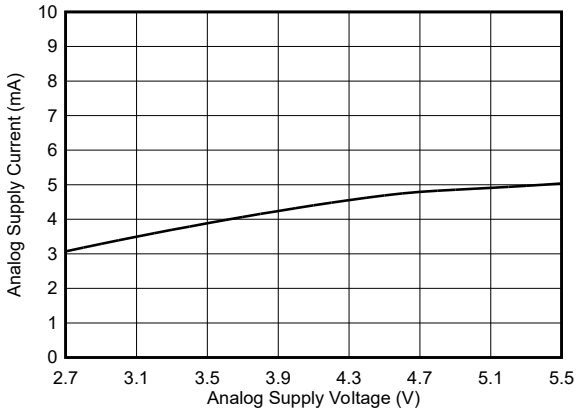
增益 = 1，外部基准 = 2.5V

图 5-22. 采用外部基准时的电源电流与电源电压间的关系



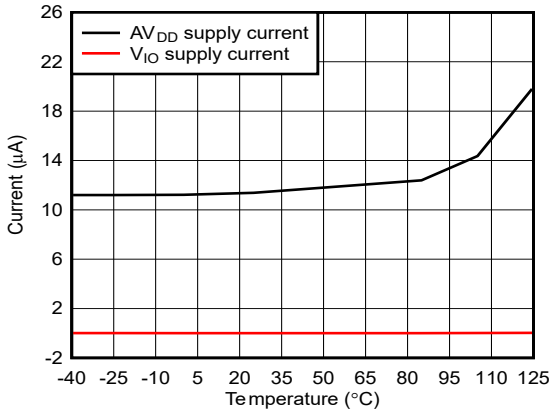
增益 = 2

图 5-23. 采用内部基准时的电源电流与温度间的关系



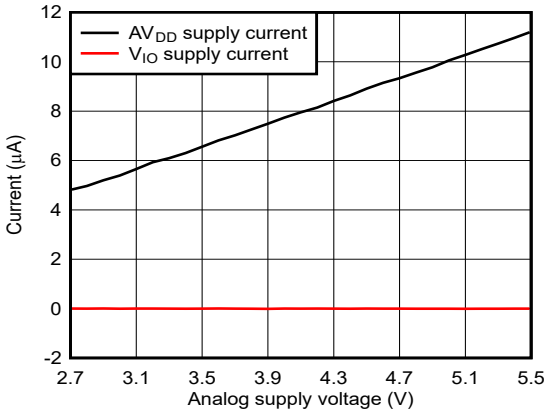
增益 = 1

图 5-24. 采用内部基准时的电源电流与电源电压间的关系



增益 = 1

图 5-25. 断电电流与温度间的关系



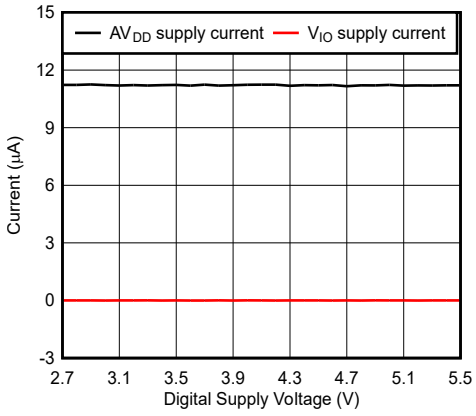
增益 = 1

图 5-26. 断电电流与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

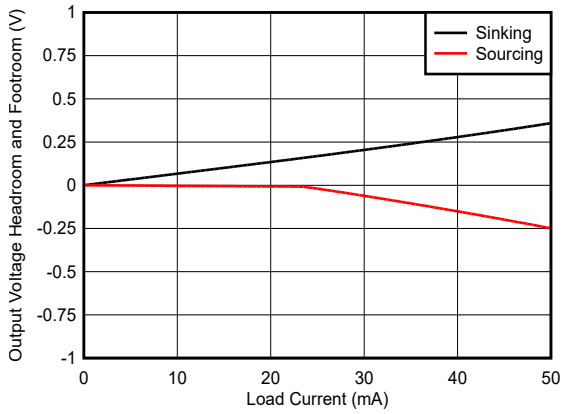
5.12 典型特性（续）

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）



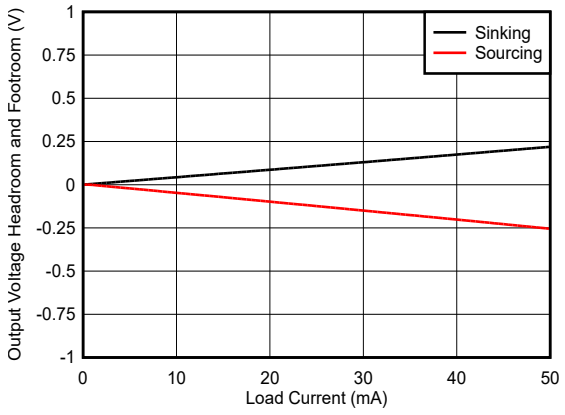
增益 = 1

图 5-27. 断电电流与 V_{IO} 间的关系



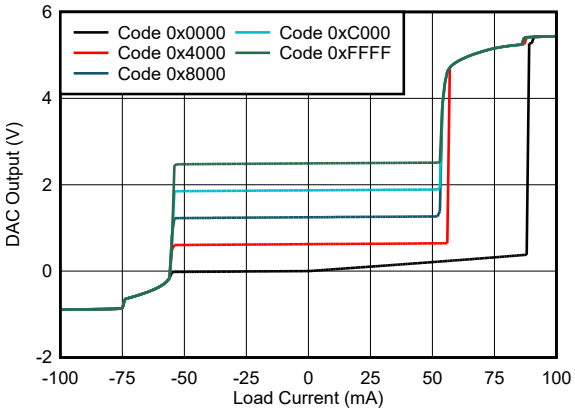
增益 = 1，AV_{DD} = 2.7V

图 5-28. 余量和下余量与负载电流间的关系



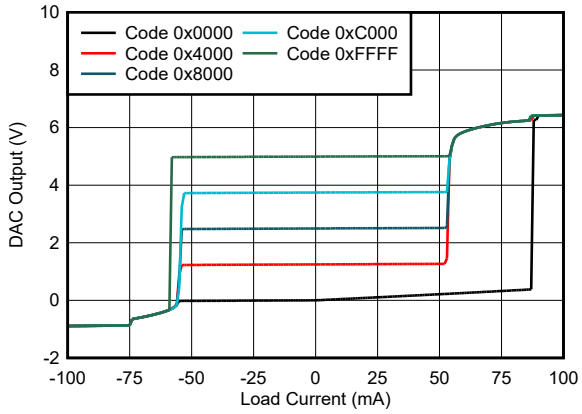
增益 = 2，AV_{DD} = 5V

图 5-29. 余量和下余量与负载电流间的关系



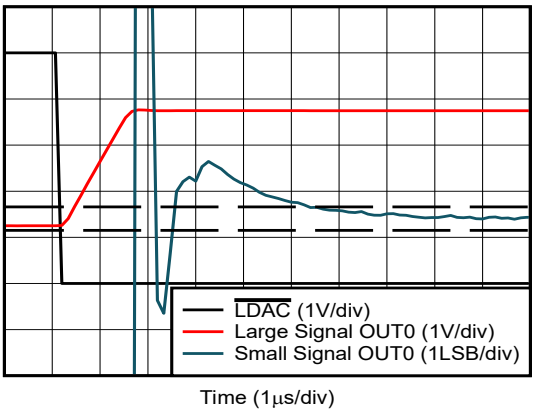
增益= 1、AV_{DD} = 2.7V、外部基准 = 2.5V

图 5-30. 拉电流和灌电流能力



增益= 2、AV_{DD} = 5V、外部基准 = 2.5V

图 5-31. 拉电流和灌电流能力



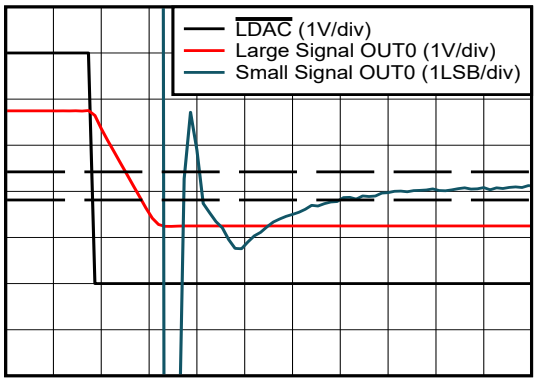
虚线表示稳定间隔

图 5-32. 满标度建立时间，上升沿

Copyright © 2025 Texas Instruments Incorporated

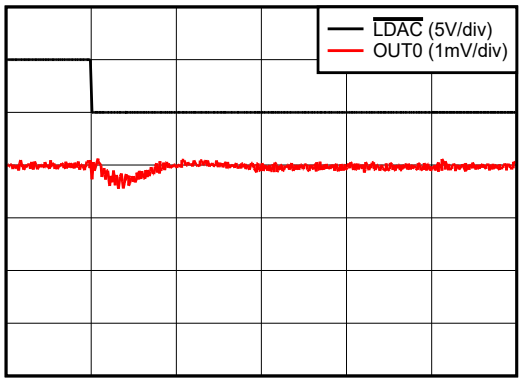
5.12 典型特性（续）

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）



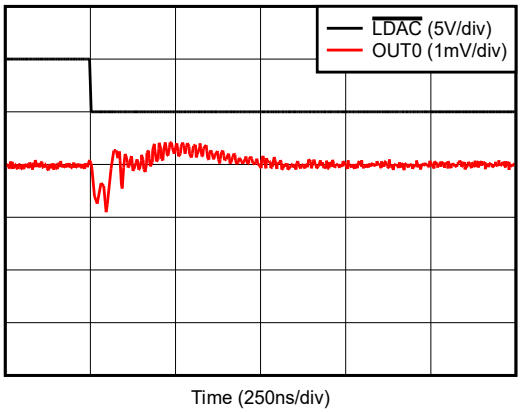
虚线表示稳定间隔

图 5-33. 满标度建立时间，下降沿



1LSB 步长

图 5-34. 干扰脉冲，下降沿



1LSB 步长

图 5-35. 干扰脉冲，上升沿

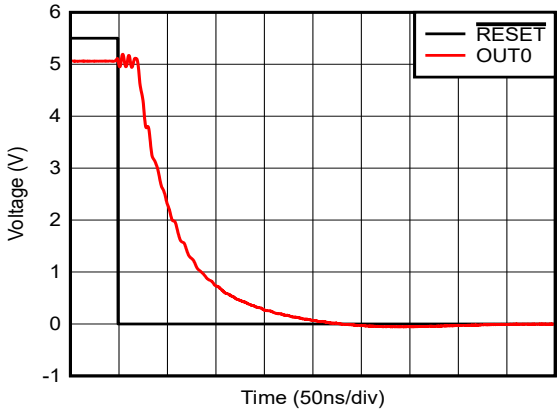


图 5-36. 上电复位为零标度

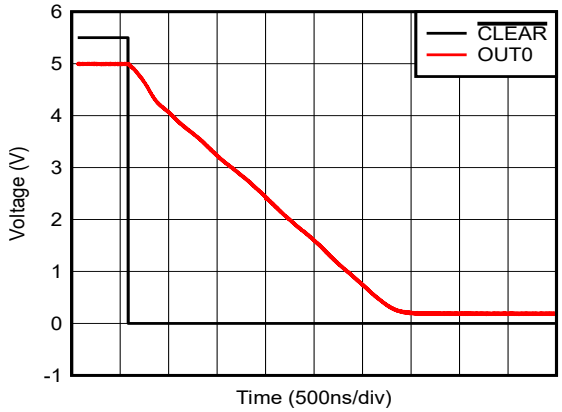


图 5-37. 清除为零标度

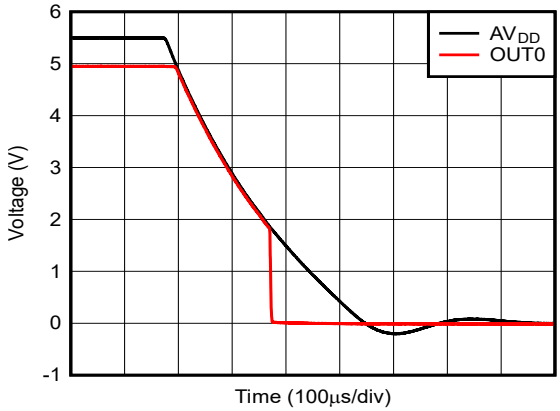


图 5-38. AV_{DD} 断电响应

Copyright © 2025 Texas Instruments Incorporated

5.12 典型特性（续）

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）

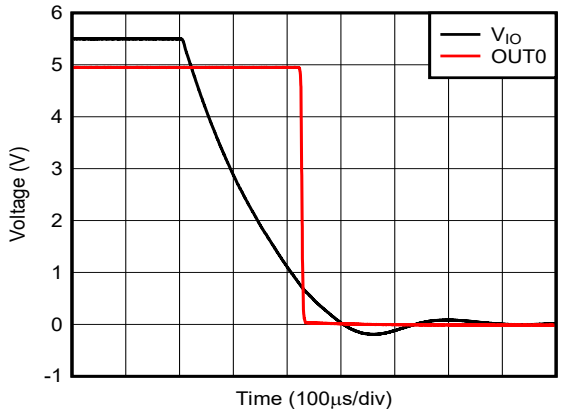
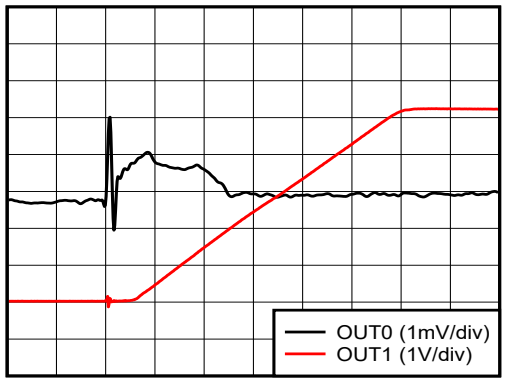
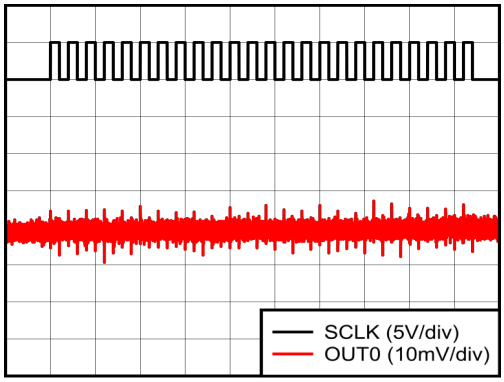


图 5-39. V_{IO} 断电响应



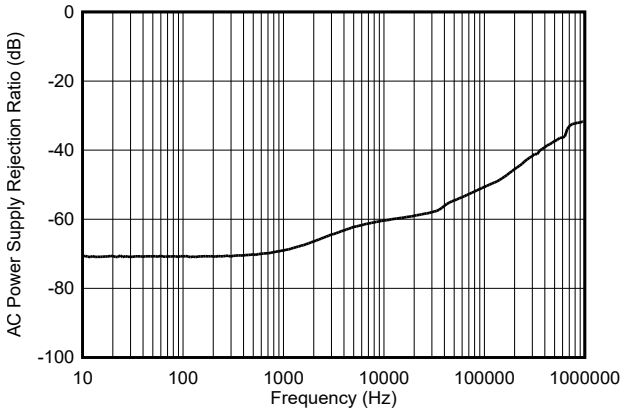
DAC 代码位于中标度

图 5-40. 通道间串扰



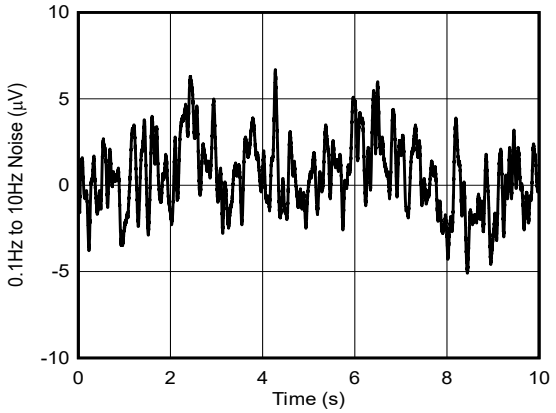
DAC 代码位于中标度，SCLK = 1MHz

图 5-41. 时钟馈通



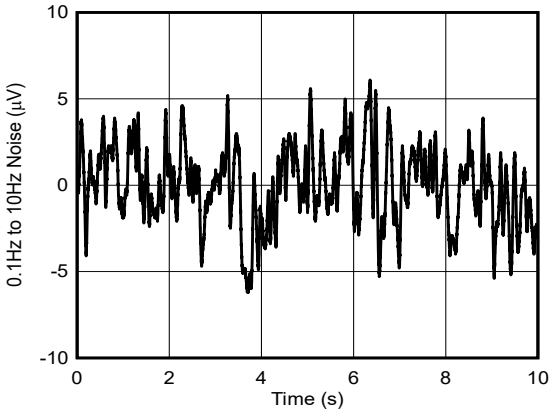
DAC 代码位于满量程，V_{DD} = 5V + 200mV_{PP}

图 5-42. DAC 输出交流 PSRR 与频率间的关系



DAC 代码位于中标度，增益 = 2，外部基准 = 2.5V

图 5-43. 采用外部基准时的 DAC 输出噪声 0.1Hz 至 10Hz



DAC 代码位于中标度

图 5-44. 采用内部基准时的 DAC 输出噪声 0.1Hz 至 10Hz

Copyright © 2025 Texas Instruments Incorporated

5.12 典型特性（续）

T_J = 25°C，AV_{DD} = 5.5V，V_{IO} = 5.5V，内部基准 = 2.5V，增益 = 2，DAC 输出为空载（除非另有说明）

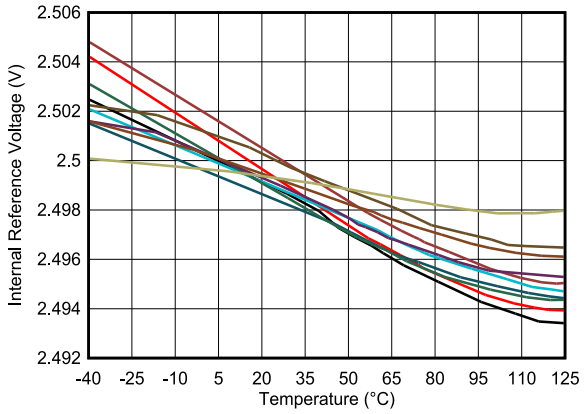


图 5-45. 内部基准电压与温度间的关系

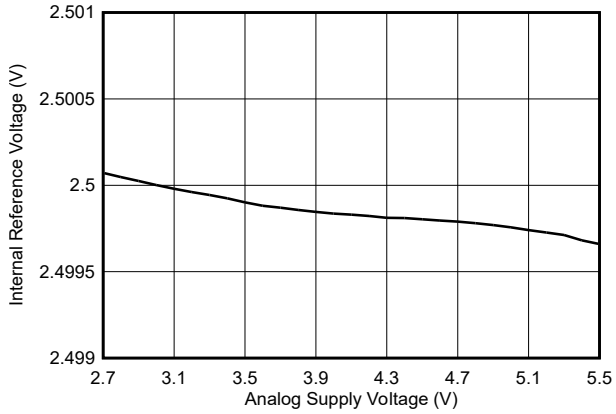


图 5-46. 内部基准电压与电源电压间的关系

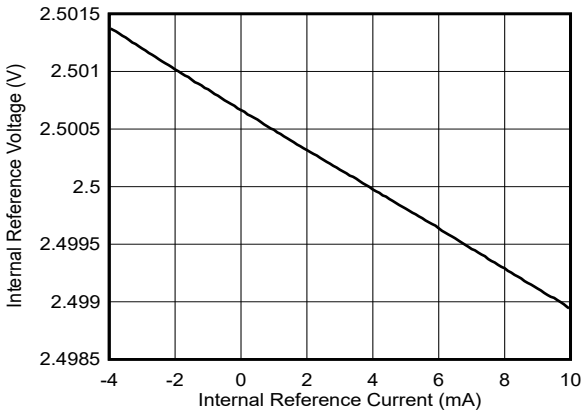


图 5-47. 内部基准电压与内部基准电流间的关系

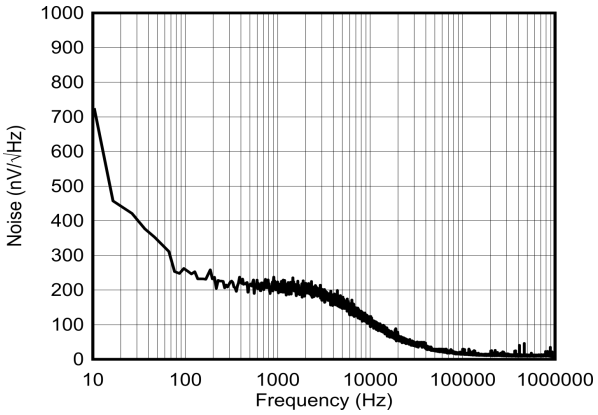


图 5-48. 内部基准噪声密度与频率间的关系

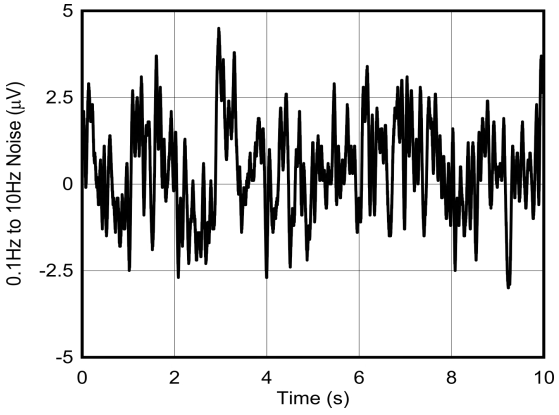


图 5-49. 内部基准噪声

6 详细说明

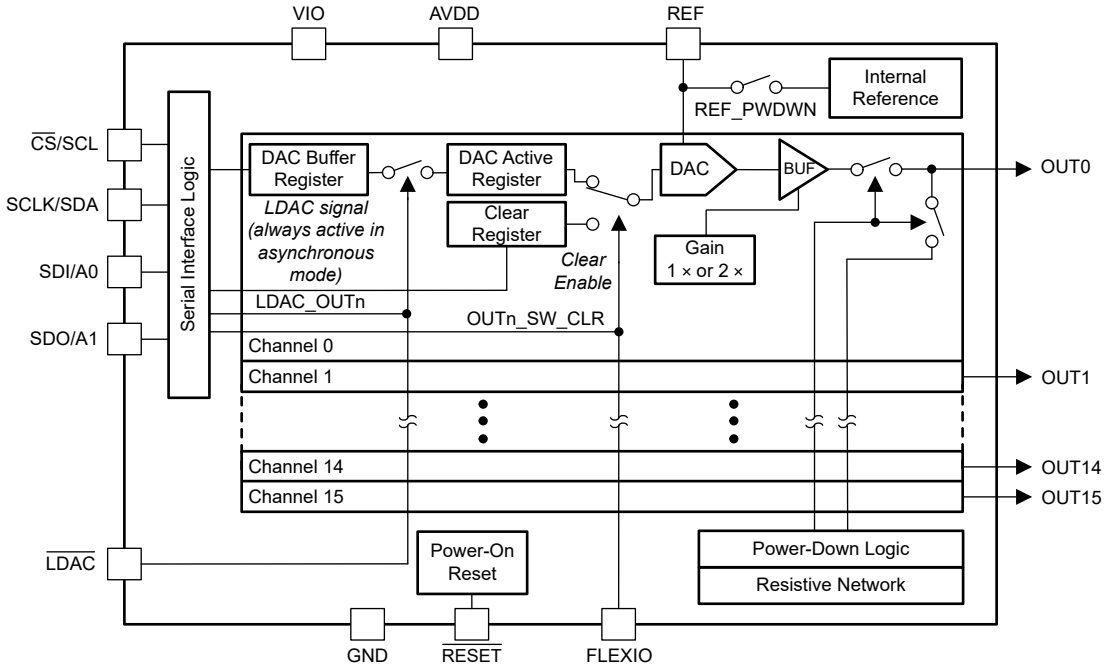
6.1 概述

DAC60516W 是一款具有 12 位分辨率的低功耗 16 通道缓冲式电压输出数模转换器 (DAC)。DAC60516W 包括一个 2.5V 内部基准，并通过软件提供用户可选的增益配置，该配置可用于为多个 DAC 组（每组四个 DAC）设置满量程输出电压范围（另请参阅节 6.3.1.1）。该器件由外部 AV_{DD} 和 V_{IO} 电源供电；AVDD 和 VIO 引脚也可以短接在一起，形成一个单一电源（2.7V 至 5.5V）。与 DAC60516W 的通信通过一个支持 SPI 和 I^2C 通信的串行接口进行。

DAC60516W 采用了上电复位电路，以便进行上电并将 DAC 输出保持在零标度，直到在该器件中写入一个有效代码。

一个清除引脚可同时将多个 DAC 通道更新为指定的清除值。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 数模转换器 (DAC) 架构

DAC60516W 中的每个输出通道都由 R-2R 梯形架构和其后的输出缓冲放大器组成。图 6-1 显示了 DAC 架构的方框图。

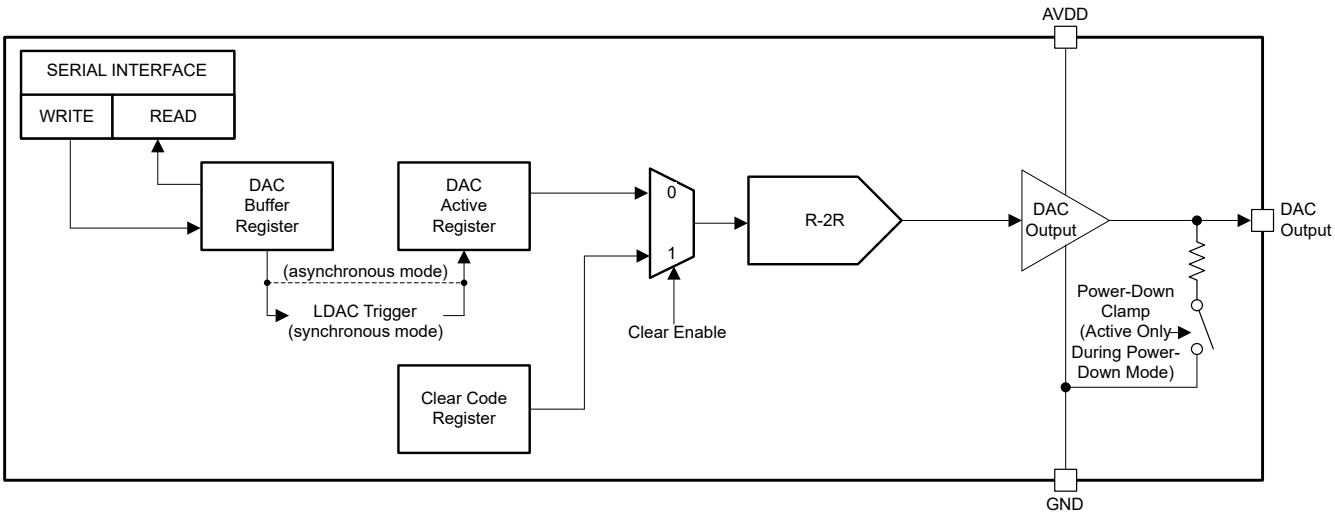


图 6-1. DAC60516W DAC 方框图

发生复位事件后，所有 DAC 寄存器都设置为零代码，DAC 输出放大器断电，DAC 输出通过下拉电阻器钳位到 GND。通过向 PWDWN 寄存器的相应位写入值，可以使用软件独立地启用或禁用每个 DAC 输出。当禁用时，DAC 输出通过下拉电阻器钳位到地。

6.3.1.1 DAC 寄存器结构

该 DAC 产生与 12 位输入代码成比例的输出电压。对于所有输出范围，输入数据均以直接二进制格式写入 DAC 数据寄存器。通过向 DAC_增益寄存器写入值，用户可以将最大满量程 DAC 输出电压配置为 1 × V_{REF} 或 2 × V_{REF}（最大 5V），其中 V_{REF} 是内部或外部基准输入电压。节 7.1.5 显示了可以为 QUAD0（OUT0 至 OUT3）、QUAD1（OUT4 至 OUT7）、QUAD2（OUT8 至 OUT11）和 QUAD3（OUT12 至 OUT15）配置增益设置；一个 QUAD 组中的所有 DAC 通道共享相同的增益设置。

写入 DAC 数据寄存器的数据最初存储在 DAC 缓冲寄存器中。将 DAC 缓冲寄存器中的数据传输到 DAC 有效寄存器可以配置为立即发生（异步模式）或由 DAC 触发信号启动（同步模式）。更新 DAC 有效寄存器后，DAC 输出通道将更改为新值。

通过设置 DAC_BCAST_EN 寄存器中相应的 BCAST_EN 位，可将每个 DAC 配置为在广播模式下运行。将一个值写入 BCAST_DAC_数据寄存器时，这个值会自动存储到广播模式下运行的所有 DAC 的缓冲器和有效数据寄存器中。

此外，每个 DAC 都有一个短路检测电路。DAC_状态寄存器会显示哪些 DAC 通道目前处于短路状态。全局状态位（状态寄存器中的 GDAC_SC_STS）的值是所有 DAC_状态位的逻辑“或”运算结果，可用于确定是否至少有一个通道处于短路状态。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.1.1 DAC 同步运行

每个 DAC 通道的更新模式由 DAC 同步设置确定，而该设置是通过向 SYNC_EN 寄存器写入相应的值来针对每个 DAC 进行配置的。在异步模式下，对 DAC 缓冲器数据寄存器执行写入操作会立即在 $\overline{CS}$ 上升沿更新 DAC 有效寄存器。在同步模式下，对 DAC 缓冲器数据寄存器执行写入操作不会自动更新 DAC 有效寄存器，而是在生成 DAC 触发信号后才会发生更新。为了生成 DAC 触发信号，可以将 $\overline{LDAC}$ 引脚拉至低电平，这会同时更新在同步模式下运行的所有 DAC 输出通道的有效寄存器。$\overline{LDAC}$ 引脚不会影响已在 SYNC_EN 寄存器中配置为异步模式的通道的有效寄存器；但是，只要 $\overline{LDAC}$ 引脚保持在逻辑低电平，所有其他通道（在 SYNC_EN 寄存器中配置为同步模式）就会以异步模式运行。也可以通过软件向触发寄存器中相应的 LDAC_OUTn 位写入值来生成 DAC 触发信号。软件触发器一次更新两个 DAC 通道的有效寄存器；触发寄存器中的每个位对应一对输出通道，将一个位设为 1 可同时更新两个相应通道。

6.3.1.1.2 DAC 缓冲器放大器

DAC 输出缓冲器放大器支持轨到轨运行，具有低噪声和低漂移电压输出。在 DAC 输出引脚上提供放大器输出。最大 DAC 输出电压范围受 AV_{DD} 电源的限制。

该器件的高输出电流即使在大容性负载下也能提供良好的压摆特性。要估算大容性负载的正负压摆率，请将拉电流和灌电流短路电流值除以电容。

6.3.1.1.3 DAC 传递函数

DAC 传输函数如方程式 1 所示。

$$V_{DAC} = \left(\frac{DACIN}{2^{N}}\right) \times FSR \quad (1)$$

其中

- DACIN = 加载到 DAC 寄存器的二进制代码的十进制等效值。DACIN 范围 = 0 至 2^{12} – 1。
- FSR = 所选输出范围的 DAC 满量程输出。对于 0V 至 2.5V 范围，FSR 为 2.5V，对于 0V 至 5V 范围，FSR 为 5V。
- N = DAC 器件的分辨率。对于 DAC60516W，N 为 12。

DAC 输出的电压范围跨度如表 6-1 所示。

表 6-1. DAC 数据格式

DAC 数据寄存器		DAC 输出电压 (V)	
二进制	十六进制	0V 至 5V	0V 至 2.5V
0000 0000 0000	000	0	0
0000 0000 0001	001	0.00122	0.00061
1000 0000 0000	800	2.5	1.25
1111 1111 1110	FFE	4.99755	2.49878
1111 1111 1111	FFF	5	2.5

6.3.2 内部基准

DAC60516W 包含一个 2.5V 精密带隙基准。通过写入 GEN_CONFIG 寄存器中的 REF_PWDWN 位来禁用内部基准，从而支持从外部基准进行操作；默认情况下，此位已设置，必须清除才能启用内部基准。要在外部使用内部基准，应访问 REF 引脚。

建议在基准输出和针对噪声滤波的接地之间使用一个最小电容值为 150nF 的电容器。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 上电复位 (POR)

DAC60516W 提供了上电复位 (POR) 功能。启动后，当建立了 AV_{DD} 和 V_{IO} 电源时，便会发出 POR，以便器件正确初始化。在 POR 后、DAC60516W 需要长达 10ms 的时间来初始化串行接口。

在运行期间，以下三个条件会触发复位：

1. AV_{DD} 或 V_{IO} 降至低于建议的最小运行电压（低至少 200mV）。
2. 向触发寄存器的 SOFT_RST 字段写入值 0xA
3. 该器件的 $\overline{\text{RESET}}$ 引脚被拉至逻辑 0。只要这个引脚保持在逻辑 0，该器件就会保持在断电状态，直到这个引脚被设置为逻辑 1（此时，该器件再次执行串行接口的初始化）。

6.4 器件功能模式

6.4.1 清除模式

每个 DAC 均可通过硬件或软件设置为进入清除状态。当 DAC 进入清除状态时，DAC 中会载入存储在相应清除_代码寄存器中的数据（默认为代码 0），并会将输出设置为相应的电压电平。

在 DAC 进入清除状态时，DAC 缓冲器和有效寄存器不发生变化，这使 DAC 能够在清除事件之前返回到工作点。在 DAC 处于清除状态时，DAC 缓冲器和有效寄存器也可以更新，从而允许 DAC 在恢复正常运行时输出新值。当 DAC 退出清除状态时，DAC 中会立即载入有效寄存器中的数据，并且 DAC 输出通道被设置回相应的电平以恢复运行。

每个 DAC 都可以通过软件配置进入或退出清除状态，这可通过向 CLEAR 寄存器中的相应位写入来实现。当 FLEXIO 引脚配置为低电平有效 $\overline{\text{CLEAR}}$ 引脚时，还可以通过该引脚强制每个 DAC 进入清除状态。通过设置 GEN_CONFIG 寄存器中的 FLEXIO_FUNC 位即可完成此配置（默认情况下，该位为 0，FLEXIO 用作通用输入/输出引脚）。默认情况下，当 $\overline{\text{CLEAR}}$ 引脚置位为逻辑低电平时，每个 DAC 输出都会自动清除，除非设置了清除_引脚_掩码寄存器中的相应位。DAC 退出清除状态后，DAC 中会重新载入有效寄存器的内容，并且 DAC 输出通道会相应地更新。

该器件还允许用户为每个 DAC 设置通用清除代码，这可通过向 BCAST_CLR_数据寄存器写入值来完成。此寄存器中存储的值会写入在广播模式下运行的所有 DAC 的清除_代码寄存器（由 BCAST_EN 寄存器中的适当位设置进行确定），这样可以同时将多个 DAC 通道清除为同一个代码。

如果 DAC 通道出于任何原因处于掉电状态，则会忽略 DAC 上的所有清除命令，直到通道退出掉电状态。

Copyright © 2025 Texas Instruments Incorporated

6.5 编程

该器件通过一个串行接口与系统控制器通信，这个接口支持兼容 I²C 的双线制总线或兼容 SPI 的总线。该器件有一种强大的机制可在兼容 SPI 或兼容 I²C 的控制器之间进行检测，并自动相应地配置这个接口。接口检测机制在启动时运行，从而防止在正常运行期间更改协议。

寄存器映射地址范围为 0x00 至 0x32，支持访问各个寄存器中的位（有关更多详细信息，请参阅节 7）。

6.5.1 I²C 串行接口

在 I²C 模式下，该器件仅在两线制总线上作为目标器件运行。使用开漏 I/O 线路 SDA 和 SCL 与总线建立连接。SDA 和 SCL 引脚特有的集成式峰值抑制滤波器和施密特触发器可大大减少输入峰值和总线噪声的影响。该器件支持标准模式、快速模式和快速模式 + 的传输协议。所有数据字节的传输都是 MSB 优先。

6.5.1.1 I²C 总线概述

在 I²C 协议中，发起传输的器件称为*控制器*，而控制器控制的器件称为*目标*。总线必须由一个控制器器件控制，以生成串行时钟 (SCL)，控制总线访问，并生成启动和停止条件。

要寻址特定器件，需启动一个启动条件。当 SCL 为高电平时，数据线 (SDA) 的逻辑电平从高拉为低，即为启动条件。总线上的所有目标接收目标地址字节，最后一位表明希望进行读取还是写入操作。在第九个时钟脉冲期间，被寻址的目标会生成一个确认位并将 SDA 下拉为低电平，对控制器做出响应。

随后会发起数据传输并发送 8 个时钟脉冲，后跟一个确认位。在数据传输期间，SDA 必须保持稳定，同时 SCL 为高电平，这是因为在 SCL 为高电平时，SDA 中的任何变化会被认为是一个控制信号。

传输完所有数据后，控制器会生成停止条件。当 SCL 为高电平时，SDA 从低电平拉至高电平，即为停止条件。

Copyright © 2025 Texas Instruments Incorporated

6.5.1.2 I²C 总线定义

该器件与 I²C 兼容，总线定义如表 6-2 所示。

表 6-2. I²C 符号集

条件	符号	源端	说明
启动	S	控制器	开始所有总线事务。当 SCL 线路为高电平时，SDA 线路从高电平到低电平的状态变化将定义一个启动条件。每次数据传输由一个启动条件启动。
STOP	P	控制器	终止所有事务并复位总线。当 SCL 线路为高电平时，SDA 线路从低电平到高电平的状态变化将定义一个停止条件。每次数据传输由重复的启动或停止条件终止。
空闲	I	控制器	总线空闲。SDA 和 SCL 线路都保持高电平。
ACK（确认）	A	控制器/目标	握手位（低电平）。每个接收器件被寻址后，必须生成一个确认位。做出确认的器件必须在确认时钟脉冲期间下拉 SDA 线路，这样一来，在确认时钟脉冲的高电平期间，SDA 线路为稳定低电平。请将设置和保持时间考虑在内。
NACK（否定确认）	$\overline{A}$	控制器/目标	握手位（高电平）。在控制器接收数据时，通过在目标发送的最后一个字节上生成一个“否定确认”，控制器可发出数据传输终止信号。
读取	R	控制器	紧随目标地址序列之后的高电平有效位。表示控制器正在启动目标到控制器的数据传输。在启动条件和停止条件之间传送的数据字节的数量没有限制，由控制器器件确定。接收器会确认数据传输。
写入	$\overline{W}$	控制器	紧随目标地址序列之后的低电平有效位。表示控制器正在启动控制器到目标的数据传输。在启动条件和停止条件之间传送的数据字节的数量没有限制，由控制器器件确定。接收器会确认数据传输。
重复启动	Sr	控制器	由控制器生成，与启动条件的功能相同（强调停止条件并非绝对必要）。
块访问	B	控制器	高电平有效位，表示控制器正在启动块访问数据传输。

Copyright © 2025 Texas Instruments Incorporated

6.5.1.3 I²C 目标地址选择

选择 I²C 总线目标地址的方法是在 A0 和 A1 地引脚与 V_{IO} 或 GND 电源轨之间连接分流器。在 I² C 总线上每次出现启动条件后，都会测试 A0 和 A1 引脚的状态。对于每个引脚，该器件提供两个可能的选项：分流至 V_{IO}（逻辑 1）和分流至 GND（逻辑 0），总共四个可能的目标地址，如表 6-3 所示。

表 6-3. I²C 目标地址空间

器件引脚		I²C 目标地址
A1	A0	[A6:A0]
0	0	101 0000
0	1	101 0001
1	0	101 0100
1	1	101 0101

6.5.1.4 I²C 读取和写入操作

对器件执行写入操作时，地址寄存器的值是 R/$\overline{W}$ 位为低电平时在目标地址字节之后传输的第一个字节。对器件的每次写入操作都需要一个地址寄存器值，如图 6-2 所示。

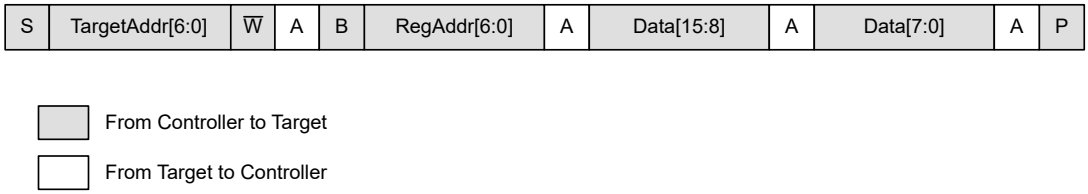


图 6-2. I²C 写入访问协议

对器件执行读取操作时，通过写入操作存入地址寄存器的最后一个值用于确定读取操作将读取哪个寄存器。要更改读取操作将读取哪个寄存器，必须在地址寄存器中写入一个新值。要完成此事务，应在 R/$\overline{W}$ 位为低电平时发出一个目标地址字节，后跟地址寄存器字节；无需额外数据。然后，控制器可以生成一个启动条件，并在 R/$\overline{W}$ 位为高电平时发送目标地址字节，以启动读取命令。

如果需要对同一寄存器进行重复的读取操作，无需一直发送地址寄存器字节，这是因为器件将保存地址寄存器值，直到这个值被下一个写入操作所更改。寄存器字节采用大端字节序和左对齐方式。

在要读取的最后一个字节的末尾发出一个 *否定确认* 命令来终止读取操作。控制器必须在从目标读取的最后一个字节的确认时间内，将 SDA 线路保持为高电平，如图 6-3 所示。

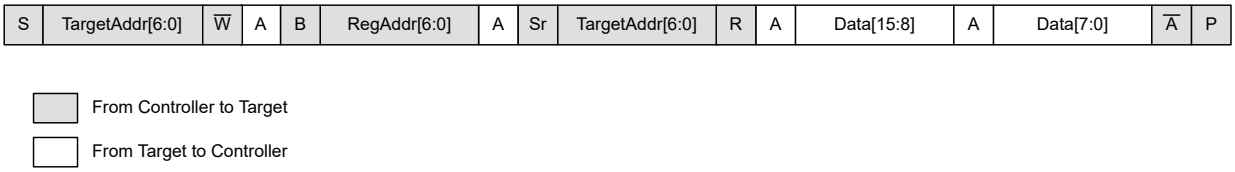


图 6-3. I²C 读取访问协议

Copyright © 2025 Texas Instruments Incorporated

提供的块访问功能可以大幅减少大型数据集的传输开销。块访问功能支持多字节传输，通过将块访问位设置为高电平来进行配置。在事务被停止条件终止之前，器件会持续读取和写入后续存储器位置，如图 6-4 和图 6-5 所示。

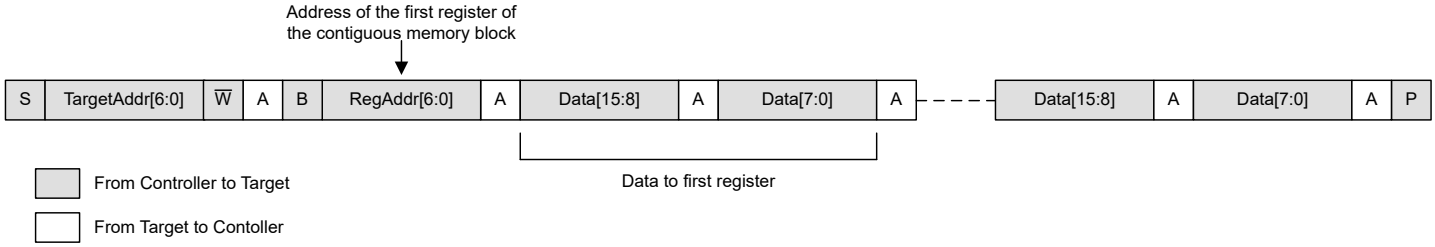


图 6-4. I²C 块写入访问

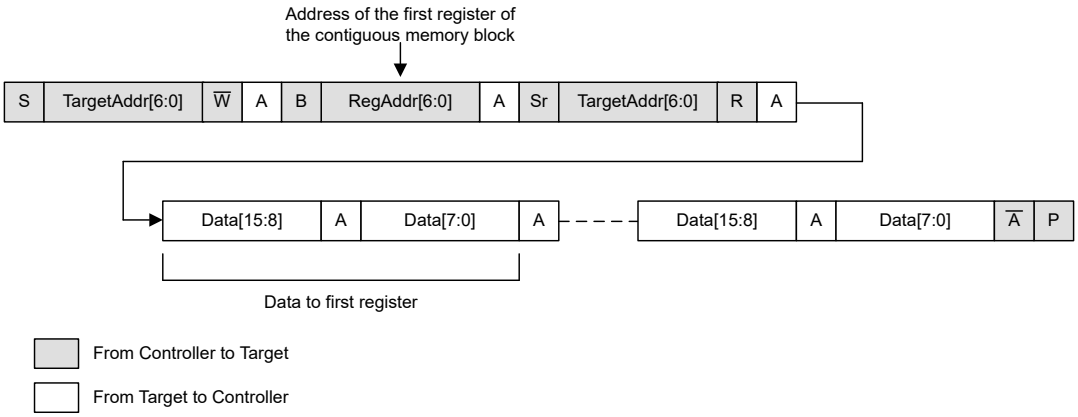


图 6-5. I²C 块读取访问

6.5.1.5 I²C 通用调用复位

该器件支持使用两线制通用调用地址 00h (0000 0000b) 进行复位。器件确认通用调用地址，并对第二个字节作出响应。如果第二个字节为 06h (0000 0110b)，则器件执行软件复位。此软件复位将启动复位事件。器件不会根据第二个字节中的其他值执行任何操作。

Copyright © 2025 Texas Instruments Incorporated

6.5.2 串行外设接口 (SPI)

在 SPI 模式下，通过一个灵活的四线制串行接口控制该器件，这个接口与许多微控制器和 DSP 控制器上使用的 SPI 类型接口兼容。该接口可用于访问器件寄存器。

6.5.2.1 SPI 总线概述

通过将 $\overline{CS}$ 引脚置为低电平来启动一个串行接口访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据采用 SCLK 下降沿时钟信号，因此请确保控制器在 SCLK 上升沿（或接近上升沿）更新 SDI 信号

.常规串行接口访问周期具有 24 位长度，因此 $\overline{CS}$ 引脚必须在至少 24 个 SCLK 下降沿保持低电平。当 $\overline{CS}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。如果访问周期包含的时钟边沿数大于最小值，则器件仅使用最后 24 位。当 $\overline{CS}$ 为高电平时，SCLK 和 SDI 信号被阻断，SDO 引脚处于高阻态状态。

在串行接口访问周期中，SDI 的第一个字节输入是将请求标识为读取或写入命令的指令周期以及要访问的 7 位寄存器地址。此周期中的以下位将构成数据周期，如表 6-4 所示。

表 6-4. SPI 串行接口访问周期

位	字段	说明
23	RW	将通信标识为目标寄存器的读取或写入命令。 RW = 0 设置写入操作。 RW = 1 设置读取操作。
22:16	A[6:0]	寄存器地址。指定在读取或写入操作期间要访问的寄存器。
15:0	DI[15:0]	数据周期位。 如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。 如果是读取命令，则数据周期位为“不用考虑”值。

读取操作要求首先通过设置 SDO_EN 位来启用 SDO 引脚。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据，格式如表 6-5 所示。根据 FSDO 位的设置，数据在 SDO 引脚的 SCLK 上升沿或下降沿移出。

表 6-5. SDO 输出访问周期

位	字段	说明
23	RW	来自上一访问周期的回波 RW 位。
22:16	STATUS[6:0]	状态寄存器的低七位。
15:0	DO[15:0]	上一访问周期中请求的回读数据。

Copyright © 2025 Texas Instruments Incorporated

7 寄存器映射

表 7-1. 寄存器映射

ADDR（十六进制）	寄存器	类型	复位（十六进制）	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	NOP	W	0000	NOP[15:0]															
01	DEVICE_ID	R	6A16	CHIP_ID[15:0]															
02	版本_ID	R	0000	RESERVED													VERSION_ID[2:0]		
03	PWDWN	R/W	FFFF	OUT15_PWDWN	OUT14_PWDWN	OUT13_PWDWN	OUT12_PWDWN	OUT11_PWDWN	OUT10_PWDWN	OUT9_PWDWN	OUT8_PWDWN	OUT7_PWDWN	OUT6_PWDWN	OUT5_PWDWN	OUT4_PWDWN	OUT3_PWDWN	OUT2_PWDWN	OUT1_PWDWN	OUT0_PWDWN
04	DAC_GAIN	R/W	0000	RESERVED												OUT_QUAD3_GAIN	OUT_QUAD2_GAIN	OUT_QUAD1_GAIN	OUT_QUAD0_GAIN
05	触发	W	0000	LDAC_OUT15_OUT14	LDAC_OUT13_OUT12	LDAC_OUT11_OUT10	LDAC_OUT9_OUT8	LDAC_OUT7_OUT6	LDAC_OUT5_OUT4	LDAC_OUT3_OUT2	LDAC_OUT1_OUT0	RESERVED				SOFT_RST[3:0]			
06	BCAST_DAC_数据	R/W	0000	DATA[11:0]												RESERVED			
07	状态	R	4008	RESERVED															GDAC_SC_STS
08	SDO_EN	R/W	0000	RESERVED														FSDO	SDO_EN
09	GEN_CONFIG	R/W	0014	RESERVED										FLEXIO_OUT_POL	FLEXIO_OUT_ODE	RESERVED	REF_PWDWN	RESERVED	FLEXIO_FUNC
0A	SYNC_EN	R/W	0000	OUT15_SYNC_EN	OUT14_SYNC_EN	OUT13_SYNC_EN	OUT12_SYNC_EN	OUT11_SYNC_EN	OUT10_SYNC_EN	OUT9_SYNC_EN	OUT8_SYNC_EN	OUT7_SYNC_EN	OUT6_SYNC_EN	OUT5_SYNC_EN	OUT4_SYNC_EN	OUT3_SYNC_EN	OUT2_SYNC_EN	OUT1_SYNC_EN	OUT0_SYNC_EN
0B	BCAST_EN	R/W	FFFF	OUT15_BCAST_EN	OUT14_BCAST_EN	OUT13_BCAST_EN	OUT12_BCAST_EN	OUT11_BCAST_EN	OUT10_BCAST_EN	OUT9_BCAST_EN	OUT8_BCAST_EN	OUT7_BCAST_EN	OUT6_BCAST_EN	OUT5_BCAST_EN	OUT4_BCAST_EN	OUT3_BCAST_EN	OUT2_BCAST_EN	OUT1_BCAST_EN	OUT0_BCAST_EN
0C	清除	R/W	0000	OUT15_SW_CLR	OUT14_SW_CLR	OUT13_SW_CLR	OUT12_SW_CLR	OUT11_SW_CLR	OUT10_SW_CLR	OUT9_SW_CLR	OUT8_SW_CLR	OUT7_SW_CLR	OUT6_SW_CLR	OUT5_SW_CLR	OUT4_SW_CLR	OUT3_SW_CLR	OUT2_SW_CLR	OUT1_SW_CLR	OUT0_SW_CLR
0D	清除_引脚_掩码	R/W	0000	OUT15_HW_CLR_MASK	OUT14_HW_CLR_MASK	OUT13_HW_CLR_MASK	OUT12_HW_CLR_MASK	OUT11_HW_CLR_MASK	OUT10_HW_CLR_MASK	OUT9_HW_CLR_MASK	OUT8_HW_CLR_MASK	OUT7_HW_CLR_MASK	OUT6_HW_CLR_MASK	OUT5_HW_CLR_MASK	OUT4_HW_CLR_MASK	OUT3_HW_CLR_MASK	OUT2_HW_CLR_MASK	OUT1_HW_CLR_MASK	OUT0_HW_CLR_MASK
0E	BCAST_CLR_数据	R/W	0000	DATA[11:0]												RESERVED			
0F	复位_标志	W	000F	RESERVED												VDD_COLLAPSE_FLAG	RSTPIN_FLAG	VIO_FLAG	PORBASE_FLAG
10	OUT0_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
11	OUT1_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 寄存器映射（续）

ADDR（十六进制）	寄存器	类型	复位（十六进制）	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
12	OUT2_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
13	OUT3_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
14	OUT4_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
15	OUT5_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
16	OUT6_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
17	OUT7_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
18	OUT8_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
19	OUT9_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
1A	OUT10_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
1B	OUT11_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
1C	OUT12_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
1D	OUT13_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
1E	OUT14_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
1F	OUT15_缓冲器_代码	R/W	0000	DATA[11:0]												RESERVED			
20	OUT0_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
21	OUT1_清除_代码	R/W	0000	DATA[11:0]												RESERVED			

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 寄存器映射（续）

ADDR（十六进制）	寄存器	类型	复位（十六进制）	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
22	OUT2_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
23	OUT3_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
24	OUT4_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
25	OUT5_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
26	OUT6_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
27	OUT7_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
28	OUT8_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
29	OUT9_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
2A	OUT10_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
2B	OUT11_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
2C	OUT12_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
2D	OUT13_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
2E	OUT14_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
2F	OUT15_清除_代码	R/W	0000	DATA[11:0]												RESERVED			
31	GPIO_数据	R/W	0001	RESERVED															GPIO
32	DAC_状态	R	0000	OUT15_SC_STS	OUT14_SC_STS	OUT13_SC_STS	OUT12_SC_STS	OUT11_SC_STS	OUT10_SC_STS	OUT9_SC_STS	OUT8_SC_STS	OUT7_SC_STS	OUT6_SC_STS	OUT5_SC_STS	OUT4_SC_STS	OUT3_SC_STS	OUT2_SC_STS	OUT1_SC_STS	OUT0_SC_STS

Copyright © 2025 Texas Instruments Incorporated

7.1 寄存器

7.1.1 NOP 寄存器（偏移 = 0h）[复位 = 0000h]

图 7-1. NOP 寄存器

15	14	13	12	11	10	9	8
NOP[15:0]							
W-0h							
7	6	5	4	3	2	1	0
NOP[15:0]							
W-0h							

表 7-2. NOP 寄存器字段说明

位	字段	类型	复位	说明
15:0	NOP[15:0]	W	0h	无操作 (NOP)。

7.1.2 DEVICE_ID 寄存器（偏移量 = 1h）[复位值 = 6A16h]

图 7-2. DEVICE_ID 寄存器

15	14	13	12	11	10	9	8
CHIP_ID[15:0]							
R-6Ah							
7	6	5	4	3	2	1	0
CHIP_ID[15:0]							
R-16h							

表 7-3. DEVICE_ID 寄存器字段说明

位	字段	类型	复位	说明
15:0	CHIP_ID[15:0]	R	6A16h	器件芯片 ID。对于 DAC60516W 器件，此寄存器读回的值为 6A16h

7.1.3 版本_ID 寄存器（偏移 = 2h）[复位 = 0000h]

图 7-3. 版本_ID 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						VERSION_ID[2:0]	
R-0h						R-0h	

表 7-4. 版本_ID 寄存器字段说明

位	字段	类型	复位	说明
15:3	RESERVED	R	0h	
2:0	VERSION_ID[2:0]	R	0h	器件版本 ID。

Copyright © 2025 Texas Instruments Incorporated

7.1.4 PWDWN 寄存器（偏移 = 3h）[复位 = FFFFh]

图 7-4. PWDWN 寄存器

15	14	13	12	11	10	9	8
OUT15_PWDWN	OUT14_PWDWN	OUT13_PWDWN	OUT12_PWDWN	OUT11_PWDWN	OUT10_PWDWN	OUT9_PWDWN	OUT8_PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
OUT7_PWDWN	OUT6_PWDWN	OUT5_PWDWN	OUT4_PWDWN	OUT3_PWDWN	OUT2_PWDWN	OUT1_PWDWN	OUT0_PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-5. PWDWN 寄存器字段说明

位	字段	类型	复位	说明
15	OUT15_PWDWN	R/W	1h	OUT15 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
14	OUT14_PWDWN	R/W	1h	OUT14 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
13	OUT13_PWDWN	R/W	1h	OUT13 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
12	OUT12_PWDWN	R/W	1h	OUT12 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
11	OUT11_PWDWN	R/W	1h	OUT11 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
10	OUT10_PWDWN	R/W	1h	OUT10 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
9	OUT9_PWDWN	R/W	1h	OUT9 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
8	OUT8_PWDWN	R/W	1h	OUT8 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
7	OUT7_PWDWN	R/W	1h	OUT7 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
6	OUT6_PWDWN	R/W	1h	OUT6 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
5	OUT5_PWDWN	R/W	1h	OUT5 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
4	OUT4_PWDWN	R/W	1h	OUT4 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
3	OUT3_PWDWN	R/W	1h	OUT3 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
2	OUT2_PWDWN	R/W	1h	OUT2 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC
1	OUT1_PWDWN	R/W	1h	OUT1 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC

Copyright © 2025 Texas Instruments Incorporated

表 7-5. PWDWN 寄存器字段说明（续）

位	字段	类型	复位	说明
0	OUT0_PWDWN	R/W	1h	OUT0 断电位。 0h = 启用该 DAC 1h = 在低功耗模式下禁用该 DAC

Copyright © 2025 Texas Instruments Incorporated

7.1.5 DAC_增益寄存器（偏移 = 4h）[复位 = 0000h]

图 7-5. DAC_增益寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				OUT_QUAD3_GAIN	OUT_QUAD2_GAIN	OUT_QUAD1_GAIN	OUT_QUAD0_GAIN
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-6. DAC_GAIN 寄存器字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R	0h	
3	OUT_QUAD3_GAIN	R/W	0h	QUAD-3 V_{REF} 增益。 OUT12、OUT13、OUT14、OUT15 的 V_{REF} 增益设置。 0h = 这组 DAC 处于 0V 至 1 × V_{REF} 输出范围内 1h = 这组 DAC 处于 0V 至 2 × V_{REF} 输出范围内
2	OUT_QUAD2_GAIN	R/W	0h	QUAD-2 V_{REF} 增益。 OUT8、OUT9、OUT10、OUT11 的 V_{REF} 增益设置。 0h = 这组 DAC 处于 0V 至 1 × V_{REF} 输出范围内 1h = 这组 DAC 处于 0V 至 2 × V_{REF} 输出范围内
1	OUT_QUAD1_GAIN	R/W	0h	QUAD-1 V_{REF} 增益。 OUT4、OUT5、OUT6、OUT7 的 V_{REF} 增益设置。 0h = 这组 DAC 处于 0V 至 1 × V_{REF} 输出范围内 1h = 这组 DAC 处于 0V 至 2 × V_{REF} 输出范围内
0	OUT_QUAD0_GAIN	R/W	0h	QUAD-0 V_{REF} 增益。 OUT0、OUT1、OUT2、OUT3 的 V_{REF} 增益设置。 0h = 这组 DAC 处于 0V 至 1 × V_{REF} 输出范围内 1h = 这组 DAC 处于 0V 至 2 × V_{REF} 输出范围内

Copyright © 2025 Texas Instruments Incorporated

7.1.6 触发寄存器（偏移 = 5h）[复位 = 0000h]

图 7-6. TRIGGER 寄存器

15	14	13	12	11	10	9	8
LDAC_ OUT15_OUT14	LDAC_ OUT13_OUT12	LDAC_ OUT11_OUT10	LDAC_ OUT9_OUT8	LDAC_ OUT7_OUT6	LDAC_ OUT5_OUT4	LDAC_ OUT3_OUT2	LDAC_ OUT1_OUT0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
RESERVED				SOFT_RST[3:0]			
R-0h				W-0h			

表 7-7. TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15	LDAC_OUT15_OUT14	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT15 和 OUT14 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
14	LDAC_OUT13_OUT12	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT13 和 OUT12 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
13	LDAC_OUT11_OUT10	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT11 和 OUT10 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
12	LDAC_OUT9_OUT8	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT9 和 OUT8 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
11	LDAC_OUT7_OUT6	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT7 和 OUT6 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
10	LDAC_OUT5_OUT4	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT5 和 OUT4 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
9	LDAC_OUT3_OUT2	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT3 和 OUT2 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
8	LDAC_OUT1_OUT0	W	0h	软件 DAC 触发器。 将 DAC 数据从 OUT1 和 OUT0 缓冲寄存器传输到有效寄存器（如果相应的通道配置为同步模式）。当操作完成时，该位会自行清除。 0h = 无操作。 1h = 传输 DAC 数据。当操作完成时，该位会清除。
7:4	RESERVED	R	0h	
3:0	SOFT_RST[3:0]	W	0h	软件器件复位。 Ah = 软件复位。执行完全上电复位。将器件和所有寄存器复位为默认上电复位状态。通过执行来自动清除。

Copyright © 2025 Texas Instruments Incorporated

7.1.7 BCAST_DAC_数据寄存器（偏移 = 6h）[复位 = 0000h]

图 7-7. BCAST_DAC_数据寄存器

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				RESERVED			
R/W-0h				R-0h			

表 7-8. BCAST_DAC_数据寄存器字段说明

位	字段	类型	复位	说明
15:4	DATA[11:0]	R/W	0h	对于已设置广播使能位的输出通道，对该寄存器执行写操作会将所有 DAC 缓冲器和有效寄存器值设置为指定代码。
3:0	RESERVED	R	0h	

7.1.8 STATUS 寄存器（偏移 = 7h）[复位 = 4008h]

图 7-8. STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-40h							
7	6	5	4	3	2	1	0
RESERVED							GDAC_SC_STS
R-04h							R-0h

表 7-9. 状态寄存器字段说明

位	字段	类型	复位	说明
15:1	RESERVED	R	2004h	
0	GDAC_SC_STS	R	0h	全局 DAC 短路状态。 全局 DAC 短路状态位。该位是所有 DACn_SC_STS 位的 OR 函数。DACn_SC_STS 位位于 DAC_状态寄存器中，每个 DAC 对应一个位。 0h = 没有任何 DAC 输出通道处于短路状态 1h = 至少一个 DAC 输出通道处于短路状态

Copyright © 2025 Texas Instruments Incorporated

7.1.9 SDO_EN 寄存器（偏移 = 8h）[复位 = 0000h]

图 7-9. SDO_EN 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						FSDO	SDO_EN
R-0h						R/W-0h	R/W-0h

表 7-10. SDO_EN 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0h	
1	FSDO	R/W	0h	快速 SDO。 提前一个 SCLK 半周期发送 SDO 数据以实现更快的 SPI 总线速度。无论该设置如何，SDI 锁存沿始终是 SCLK 下降沿。当禁用 SDO_EN 时，FSDO 会被忽略。 0h = 当芯片选择变为低电平，然后在每个 SCLK 上升沿（与 SDI 锁存沿相反的边沿）更新时，SDO 驱动 MSB 1h = 当芯片选择变为低电平，然后在每个 SCLK 下降沿（与 SDI 锁存沿相同的边沿）更新时，SDO 驱动 MSB
0	SDO_EN	R/W	0h	SDO 使能。 启用 SDO 引脚驱动器。启用后，只要 SPI 片选引脚为低电平，就会启用 SDO 以进行读取和写入。无论该位设置如何，在 I^2C 模式下都始终禁用 SDO。 0h = 禁用 SDO 1h = 在读取和写入操作期间启用 SDO

Copyright © 2025 Texas Instruments Incorporated

7.1.10 GEN_CONFIG 寄存器（偏移 =9h）[复位 = 0014h]

图 7-10. GEN_CONFIG 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		FLEXIO_OUT_POL	FLEXIO_OUT_ODE	RESERVED	REF_PWDWN	RESERVED	FLEXIO_FUNC
R-0h		R/W-0h	R/W-1h	R-0h	R/W-1h	R-0h	R/W-0h

表 7-11. GEN_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15:6	RESERVED	R	0h	
5	FLEXIO_OUT_POL	R/W	0h	FLEXIO 引脚极性。 设置 FLEXIO 引脚输出有效状态（当引脚配置为 GPIO 时）。 0h = 如果 GPIO_DATA 设置为 0x00h，则 FLEXIO 数字引脚输出 0V，如果 GPIO_DATA 设置为 0x01h，则输出 V_{IO}（或者当配置为漏极开路时为高阻抗） 1h = 如果 GPIO_DATA 设置为 0x00h，则 FLEXIO 数字引脚输出 V_{IO}（或者当配置为漏极开路时为高阻抗），如果 GPIO_DATA 设置为 0x01h，则输出 0V
4	FLEXIO_OUT_ODE	R/W	1h	FLEXIO 开漏使能。 设置 FLEXIO 引脚驱动模式（当引脚配置为 GPIO 时）。请勿将引脚提升到相对于 VIO 电压的绝对最大额定值以上。如果引脚未配置为数字输出，则会忽略该位。 0h = FLEXIO 引脚输出为推挽式 1h = FLEXIO 引脚输出为开漏式
3	RESERVED	R	0h	
2	REF_PWDWN	R/W	1h	禁用内部基准。 设置为启用或禁用内部电压基准。 0h = 启用内部基准 1h = 禁用内部基准
1	RESERVED	R	0h	
0	FLEXIO_FUNC	R/W	0h	FLEXIO 引脚功能。 设置 FLEXIO 引脚的功能。 0h = GPIO。在此模式下，该引脚用作 GPIO，GPIO_数据寄存器用于支持 GPIO 功能。 1h = $\overline{\text{CLEAR}}$ 引脚。在此模式下，该引脚用作低电平有效 DAC 清除输入引脚。

Copyright © 2025 Texas Instruments Incorporated

7.1.11 SYNC_EN 寄存器（偏移 = Ah）[复位 = 0000h]

图 7-11. SYNC_EN 寄存器

15	14	13	12	11	10	9	8
OUT15_SYNC_EN	OUT14_SYNC_EN	OUT13_SYNC_EN	OUT12_SYNC_EN	OUT11_SYNC_EN	OUT10_SYNC_EN	OUT9_SYNC_EN	OUT8_SYNC_EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
OUT7_SYNC_EN	OUT6_SYNC_EN	OUT5_SYNC_EN	OUT4_SYNC_EN	OUT3_SYNC_EN	OUT2_SYNC_EN	OUT1_SYNC_EN	OUT0_SYNC_EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-12. SYNC_EN 寄存器字段说明

位	字段	类型	复位	说明
15	OUT15_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
14	OUT14_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
13	OUT13_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
12	OUT12_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
11	OUT11_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
10	OUT10_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
9	OUT9_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）

Copyright © 2025 Texas Instruments Incorporated

表 7-12. SYNC_EN 寄存器字段说明（续）

位	字段	类型	复位	说明
8	OUT8_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
7	OUT7_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
6	OUT6_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
5	OUT5_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
4	OUT4_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
3	OUT3_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
2	OUT2_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
1	OUT1_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）
0	OUT0_SYNC_EN	R/W	0h	同步模式使能。 启用或禁用同步模式。 0h = 将该 DAC 设置为异步模式（DAC 有效寄存器在 DAC 缓冲器更新时进行更新） 1h = 将该 DAC 设置为同步模式（DAC 有效寄存器随 DAC 触发器进行更新）

Copyright © 2025 Texas Instruments Incorporated

7.1.12 BCAST_EN 寄存器（偏移 = Bh）[复位 = FFFFh]

图 7-12. BCAST_EN 寄存器

15	14	13	12	11	10	9	8
OUT15_BCAST_EN	OUT14_BCAST_EN	OUT13_BCAST_EN	OUT12_BCAST_EN	OUT11_BCAST_EN	OUT10_BCAST_EN	OUT9_BCAST_EN	OUT8_BCAST_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
OUT7_BCAST_EN	OUT6_BCAST_EN	OUT5_BCAST_EN	OUT4_BCAST_EN	OUT3_BCAST_EN	OUT2_BCAST_EN	OUT1_BCAST_EN	OUT0_BCAST_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-13. BCAST_EN 寄存器字段说明

位	字段	类型	复位	说明
15	OUT15_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
14	OUT14_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
13	OUT13_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
12	OUT12_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
11	OUT11_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
10	OUT10_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
9	OUT9_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
8	OUT8_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
7	OUT7_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
6	OUT6_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
5	OUT5_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
4	OUT4_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
3	OUT3_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
2	OUT2_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入
1	OUT1_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入

Copyright © 2025 Texas Instruments Incorporated

表 7-13. BCAST_EN 寄存器字段说明（续）

位	字段	类型	复位	说明
0	OUT0_BCAST_EN	R/W	1h	启用或禁用广播模式。 0h = 忽略该 DAC 上的广播写入 1h = 允许该 DAC 上的广播写入

Copyright © 2025 Texas Instruments Incorporated

7.1.13 清除寄存器（偏移 = Ch）[复位 = 0000h]

图 7-13. 清除寄存器

15	14	13	12	11	10	9	8
OUT15_SW_CLR	OUT14_SW_CLR	OUT13_SW_CLR	OUT12_SW_CLR	OUT11_SW_CLR	OUT10_SW_CLR	OUT9_SW_CLR	OUT8_SW_CLR
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
OUT7_SW_CLR	OUT6_SW_CLR	OUT5_SW_CLR	OUT4_SW_CLR	OUT3_SW_CLR	OUT2_SW_CLR	OUT1_SW_CLR	OUT0_SW_CLR
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-14. CLEAR 寄存器字段说明

位	字段	类型	复位	说明
15	OUT15_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
14	OUT14_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
13	OUT13_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
12	OUT12_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
11	OUT11_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
10	OUT10_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
9	OUT9_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
8	OUT8_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
7	OUT7_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
6	OUT6_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态

Copyright © 2025 Texas Instruments Incorporated

表 7-14. CLEAR 寄存器字段说明（续）

位	字段	类型	复位	说明
5	OUT5_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
4	OUT4_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
3	OUT3_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
2	OUT2_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
1	OUT1_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态
0	OUT0_SW_CLR	R/W	0h	软件清除使能位。 强制 DAC 进入清除状态。DAC 使用在清除状态下指定的清除代码。 0h = 将该 DAC 恢复到正常运行状态 1h = 强制该 DAC 进入清除状态

Copyright © 2025 Texas Instruments Incorporated

7.1.14 清除_引脚_掩码寄存器（偏移 = Dh）[复位 = 0000h]

图 7-14. 清除_引脚_掩码寄存器

15	14	13	12	11	10	9	8
OUT15_HW_CLR_MASK	OUT14_HW_CLR_MASK	OUT13_HW_CLR_MASK	OUT12_HW_CLR_MASK	OUT11_HW_CLR_MASK	OUT10_HW_CLR_MASK	OUT9_HW_CLR_MASK	OUT8_HW_CLR_MASK
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
OUT7_HW_CLR_MASK	OUT6_HW_CLR_MASK	OUT5_HW_CLR_MASK	OUT4_HW_CLR_MASK	OUT3_HW_CLR_MASK	OUT2_HW_CLR_MASK	OUT1_HW_CLR_MASK	OUT0_HW_CLR_MASK
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-15. 清除_引脚_掩码寄存器字段说明

位	字段	类型	复位	说明
15	OUT15_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
14	OUT14_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
13	OUT13_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
12	OUT12_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
11	OUT11_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
10	OUT10_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
9	OUT9_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
8	OUT8_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
7	OUT7_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
6	OUT6_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
5	OUT5_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
4	OUT4_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
3	OUT3_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
2	OUT2_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道
1	OUT1_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道

Copyright © 2025 Texas Instruments Incorporated

表 7-15. 清除_引脚_掩码寄存器字段说明（续）

位	字段	类型	复位	说明
0	OUT0_HW_CLR_MASK	R/W	0h	$\overline{\text{CLEAR}}$ (FLEXIO) 引脚的屏蔽位。 0h = $\overline{\text{CLEAR}}$ 引脚会影响该 DAC 通道 1h = $\overline{\text{CLEAR}}$ 引脚不影响该 DAC 通道

Copyright © 2025 Texas Instruments Incorporated

7.1.15 BCAST_CLR_数据寄存器（偏移 = Eh）[复位 = 0000h]

图 7-15. BCAST_CLR_数据寄存器

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				RESERVED			
R/W-0h				R-0h			

表 7-16. BCAST_CLR_数据寄存器字段说明

位	字段	类型	复位	说明
15:4	DATA[11:0]	R/W	0h	对于已设置广播使能位的输出通道，对该寄存器执行写操作会将所有 DAC 清除代码寄存器值设置为指定代码。
3:0	RESERVED	R	0h	

7.1.16 复位_标志寄存器（偏移 = Fh）[复位 = 000Fh]

图 7-16. 复位_标志寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				AVDD_ COLLAPSE_ FLAG	RSTPIN_ FLAG	VIO_ FLAG	PORBASE_ FLAG
R-0h				W-1h	W-1h	W-1h	W-1h

表 7-17. 复位_标志寄存器字段说明

位	字段	类型	复位	说明
4	AVDD_COLLAPSE_FLAG	W	1h	写入 0 可检测 AVDD 崩溃事件，此时该标志会自动设置为 1。当 AVDD 引脚电压达到 VREF 电压的 1V 以内时，AVDD 会崩溃。
3	RSTPIN_FLAG	W	1h	写入 0 可检测 RESET 引脚复位事件，此时该标志会自动设置为 1。
2	VIO_FLAG	W	1h	写入 0 可检测 VIO 复位事件，此时该标志会自动设置为 1。VIO 复位事件是由于 VIO 引脚电压降至低于 POR 阈值电压而发生的。
1	PORBASE_FLAG	W	1h	写入 0 可检测 POR 基础复位事件，此时该标志会自动设置为 1。POR 基础复位事件是由于 VDD 降至低于 POR 阈值电压而发生的。

Copyright © 2025 Texas Instruments Incorporated

7.1.17 OUT*n*_BUFFER_CODE 寄存器（偏移= 10h 至 1Fh）[复位 = 0000h]

图 7-17. OUT*n*_BUFFER_CODE 寄存器

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				RESERVED			
R/W-0h				R-0h			

表 7-18. OUT*n*_BUFFER_CODE 寄存器字段说明

位	字段	类型	复位	说明
15:4	DATA[11:0]	R/W	0h	OUT*n* 缓冲寄存器的代码，单极标准二进制格式。
3:0	RESERVED	R	0h	

备注

n = 0 至 16，对应于器件上每个相应的输出通道。

7.1.18 OUT*n*_CLEAR_CODE 寄存器（偏移 = 20h 至 2Fh）[复位= 0000h]

图 7-18. OUT*n*_CLEAR_CODE 寄存器

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				RESERVED			
R/W-0h				R-0h			

表 7-19. OUT*n*_CLEAR_CODE 寄存器字段说明

位	字段	类型	复位	说明
15:4	DATA[11:0]	R/W	0h	OUT*n* 清除寄存器的代码，单极标准二进制格式。
3:0	RESERVED	R	0h	

备注

n = 0 至 16，对应于器件上每个相应的输出通道。

Copyright © 2025 Texas Instruments Incorporated

7.1.19 GPIO_数据寄存器（偏移 = 31h）[复位 = 0001h]

图 7-19. GPIO_数据寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							GPIO
R-0h							R/W-1h

表 7-20. GPIO_数据寄存器字段说明

位	字段	类型	复位	说明
15:1	RESERVED	R	0h	
0	GPIO	R/W	1h	GPIO 位。 对于写入操作，GPIO 引脚用作输出。写入 1 可将相应的 GPIO 引脚设置为高阻抗 (FLEXIO_OUT_ODE=1) 或逻辑 1 (FLEXIO_OUT_ODE=0)。写入 0 可将相应的 GPIO 引脚设置为逻辑低电平。对于读取操作，GPIO 引脚用作输入。通过读取接收相应 GPIO 引脚的状态，这一状态取决于该引脚上的电压；如果该引脚上的电压低于 V_{IH}，则此位在启动时读取为 0（在此情况下发出读取命令时不返回寄存器值（默认值为 1））。在复位事件之后，GPIO 引脚处于高阻抗状态。

7.1.20 DAC_状态寄存器（偏移 = 32h）[复位 = 0000h]

图 7-20. DAC_状态寄存器

15	14	13	12	11	10	9	8
OUT15_SC_STS	OUT14_SC_STS	OUT13_SC_STS	OUT12_SC_STS	OUT11_SC_STS	OUT10_SC_STS	OUT9_SC_STS	OUT8_SC_STS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
OUT7_SC_STS	OUT6_SC_STS	OUT5_SC_STS	OUT4_SC_STS	OUT3_SC_STS	OUT2_SC_STS	OUT1_SC_STS	OUT0_SC_STS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-21. DAC_状态寄存器字段说明

位	字段	类型	复位	说明
15	OUT15_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
14	OUT14_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
13	OUT13_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
12	OUT12_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
11	OUT11_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态

Copyright © 2025 Texas Instruments Incorporated

表 7-21. DAC_状态寄存器字段说明（续）

位	字段	类型	复位	说明
10	OUT10_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
9	OUT9_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
8	OUT8_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
7	OUT7_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
6	OUT6_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
5	OUT5_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
4	OUT4_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
3	OUT3_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
2	OUT2_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
1	OUT1_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态
0	OUT0_SC_STS	R	0h	DAC 短路状态，指示该 DAC 通道是否对地短路。 0h = DAC 通道未处于短路状态 1h = DAC 通道处于短路状态

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

凭借高线性度、小封装尺寸和宽温度范围等优势，DAC60516W 非常适合光纤网络、无线基础设施以及工业系统模拟输出模块等应用。该器件包含一个 2.5V 内部基准和一个内部基准分压器电路，可实现 2.5V 或 5V 的满量程 DAC 输出电压。

8.1.1 双极电压输出

DAC60516W 专为单电源供电而设计，但图 8-1 所示的双极输出也是可行的。

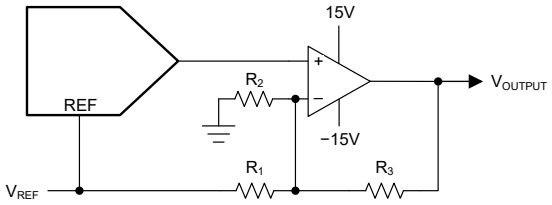


图 8-1. 使用 DAC60516W 实现双极运行

图 8-1 中的电路提供双极输出电压 V_{OUTPUT}，该电压的计算公式如下（增益 = 1）：

$$V_{OUTPUT}(CODE) = \left[\left(V_{REF} \times \frac{CODE}{2^{12}}\right)\left(1 + \frac{R_3}{R_2} + \frac{R_3}{R_1}\right) - \left(V_{REF} \times \frac{R_3}{R_1}\right)\right] \quad (2)$$

其中

- $V_{OUTPUT}(CODE)$ = 电路在给定代码下的输出电压
- CODE = 0 至 4095。这是加载到 DAC 的数字代码
- V_{REF} = 施加到 DAC60516W 的基准电压

通过定义一些参数，方程式 2 可以计算出双极输出范围，其中第一个参数是基准电压值。选择基准电压后，即可通过在代码 0 和代码 4096 下确定所需的 V_{OUTPUT} 来设置相应的增益电阻。当 V_{REF} 为 2.5V、增益为 1 且所需的输出电压范围为 ±10V 时，计算如下：

CODE = 0：

$$V_{OUTPUT}(0) = -\left(V_{REF} \times \frac{R_3}{R_1}\right) = -\left(2.5V \times \frac{R_3}{R_1}\right) \quad (3)$$

将公式设置为最小输出范围 $V_{OUTPUT}(0)$ = –10V 后，可以将公式简化为：$R_3 / R_1 = 4$。

CODE = 4096：

将公式设置为最大输出范围 $V_{OUTPUT}(4096)$ = 10V 后，$R_3 / R_1 = 4$ 可以将公式简化为：$R_3 / R_2 = 3$

一个 12 位 DAC 的最大代码为 4095；代码 4096 用于简化方程式 3。在实际使用中，真正的输出范围使用 –10V 至 (10V – 1LSB) 范围；在本例中，为 –10V 至 +9.9996V。

Copyright © 2025 Texas Instruments Incorporated

8.2 典型应用

8.2.1 可编程高电流电压输出电路

虽然 DAC60516W 能够驱动高达 50mA 的电流（短路电流额定值为 75mA），但可以将该器件集成到图 8-2 所示的电路中，从而在更高的驱动电流下实现稳定的电压输出。在该应用中，DAC 对放大器的输出电压和增益进行编程。放大器使用负反馈保持输出电压。晶体管向负载提供高电流。该电路适用于必须在较高电流下使用不同的电压激励电平来测试元件的应用，其中包括光学激光偏置应用（需要超过 50mA-75mA 的偏置电流）和半导体测试设备。

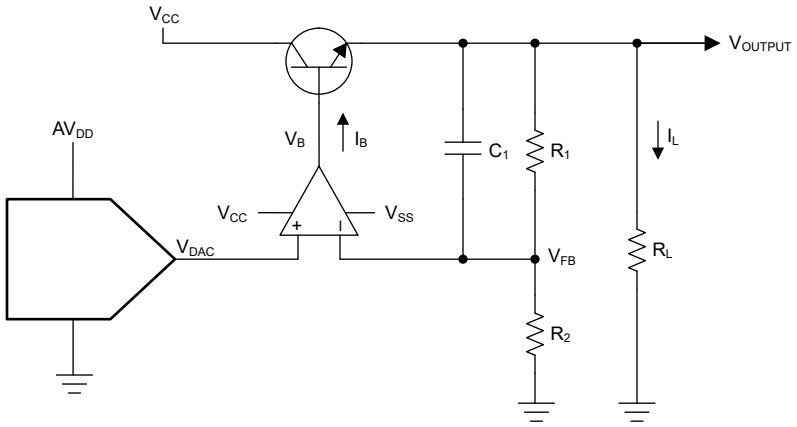


图 8-2. 可编程压控电流源电路

8.2.1.1 设计要求

建议使用具有低失调电压和低温漂（以最大限度减小误差）和足够增益带宽积 (GBW) 的运算放大器。R_1 和 R_2 必须具有足够的容差，以便所需的输出电压 (V_{OUTPUT}) 能够精确跟随 DAC 输出电压。补偿电容器 C_1 必须大于运算放大器输入的输入电容。应选择一个可提供所需负载电流并具有高 H_{FE} 的晶体管，使基极电流远小于运算放大器的输出电流限值。可以使用双极性结型晶体管 (BJT) 达林顿对或高功率金属氧化物半导体场效应晶体管 (MOSFET)。

表 8-1. 设计参数

参数	值
数模转换器 (DAC) 输出	0V 至 2.5V
AV_{DD}	5V
V_{SS}	-5V
V_{CC}	24V
V_{REF}	2.5V
V_{OUTPUT}	0V 至 5V
电流输出	0A 至 10A

Copyright © 2025 Texas Instruments Incorporated

8.2.1.2 详细设计过程

使用方程式 4 计算输出电压的传递函数。

$$V_{OUTPUT} = V_{DAC}\left(1 + \frac{R_1}{R_2}\right) \quad (4)$$

可以选择电阻值，使得静态电流与负载电流相比可以忽略不计。如果需要 10A 负载电流和 5V 输出电压，请选择 R_1 和 R_2 均为 10kΩ。这样可以将流经反馈网络的静态电流最小化为 5V / 20kΩ = 250μA。

对于给定的负载电流 I_L，可通过方程式 5 计算晶体管的基极电流 I_B。

$$I_B = \frac{I_C}{H_{FE}} = \frac{1}{H_{FE}}\left(I_L + \left(\frac{V_{OUTPUT}}{R_1 + R_2}\right)\right) \quad (5)$$

其中：

- I_C = 晶体管的集电极电流
- H_{FE} = 晶体管的直流电流增益

V_{OUTPUT} / (R_1+R_2) 等于先前计算出的静态电流，与负载电流相比可以忽略不计（尤其是对于高于 1A 的负载电流）。因此，该公式简化为方程式 6。

$$I_B = \frac{I_L}{H_{FE}} \quad (6)$$

为了保持 I_B 小于 20mA，H_{FE} 必须大于 I_L / 20mA。通常，补偿电容器 C_1 不是由固定的公式进行设置的，而是通过在观察输出小信号阶跃响应的同时选择适当值来设置的。

8.2.1.3 应用曲线

图 8-3 显示了 DAC60516W 在增益 = 2 并使用内部基准 (AV_{DD} = 5.5V) 时的余量曲线。此曲线说明了 DAC 通道如何在负载电流增加时维持输出电压。

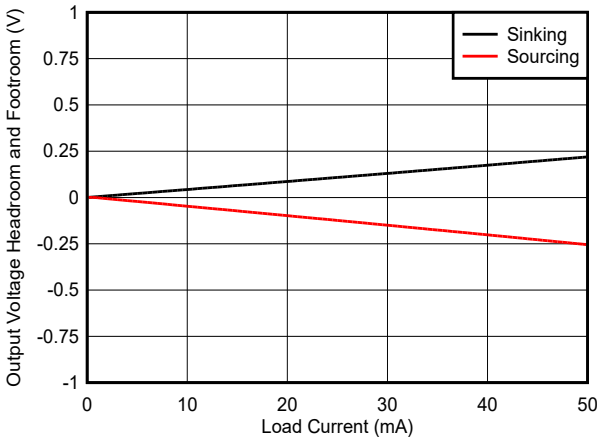


图 8-3. 余量与负载电流间的关系

8.3 初始化设置

为器件加电，并确保已经建立 AV_{DD} 和 V_{IO} 电源。电源达到建议的最小工作电压值后，会发出 POR，以便器件正确初始化。在 POR 之后，DAC60516W 需要 5ms 至 10ms 的时间来初始化串行接口；因此，在启动后应等待至少 10ms 时间与器件通信。

Copyright © 2025 Texas Instruments Incorporated

8.4 电源相关建议

DAC60516W 在额定的 2.7V 至 5.5V AV_{DD} 电源电压范围和 1.7V 至 5.5V V_{IO} 电源电压范围内运行。DAC60516W 不需要特定的电源时序控制；但是，串行接口需要 10ms 时间来初始化并启用与器件的通信。

AV_{DD} 电源必须经过良好调节并且具有低噪声。开关电源和直流/直流转换器通常会在输出电压上产生高频毛刺脉冲或尖峰电压。此外，数字元件可能会产生类似的高频尖峰。这个噪声很容易通过电源连接和模拟输出之间的不同路径耦合进入 DAC 输出电压。为了最大限度减少电源噪声，请连接 1 µ F 至 10 µ F 电容器和 0.1 µ F 旁路电容器。电源必须满足 *节 5* 中列出的输入电流要求。

8.5 布局

8.5.1 布局指南

需要对精密模拟元件进行仔细布局，下面列出了一些良好的布局做法。

- 使用低 ESR 陶瓷旁路电容器将所有电源引脚旁路到地。典型的建议旁路电容为具有 X7R 或 NP0 电介质的 0.1µF 至 0.22µF 陶瓷电容器。
- 将电源和 REF 旁路电容器放置在靠近引脚的位置，以最大限度减小电感并优化性能。
- 使用高质量陶瓷型 NP0 或 X7R 电容器可在整个温度范围内实现优化的性能，并可以获得超低的耗散因数。
- 数字和模拟部分必须对应于 DAC60516W 器件的数字引脚和模拟引脚正确放置。将模拟块和数字块分开可以最大限度减少与相邻块的耦合，并尽可能降低模拟和数字返回电流之间的相互影响。

8.5.2 布局示例

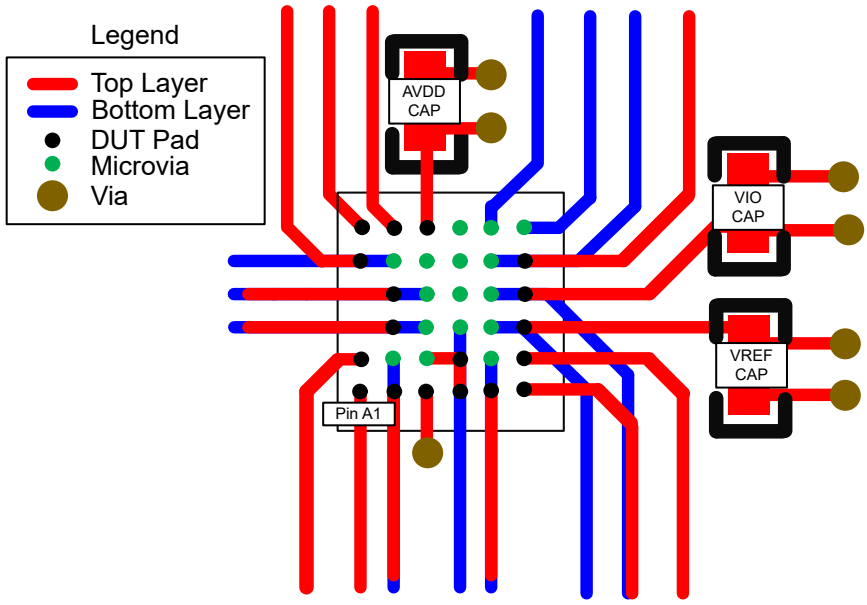


图 8-4. DAC60516W 布局示例

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC60516YBHR	Active	Production	DSBGA (YBH) | 34	3000 | LARGE T&R	-	SNAGCU	Level-1-260C-UNLIM	-	D60516

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

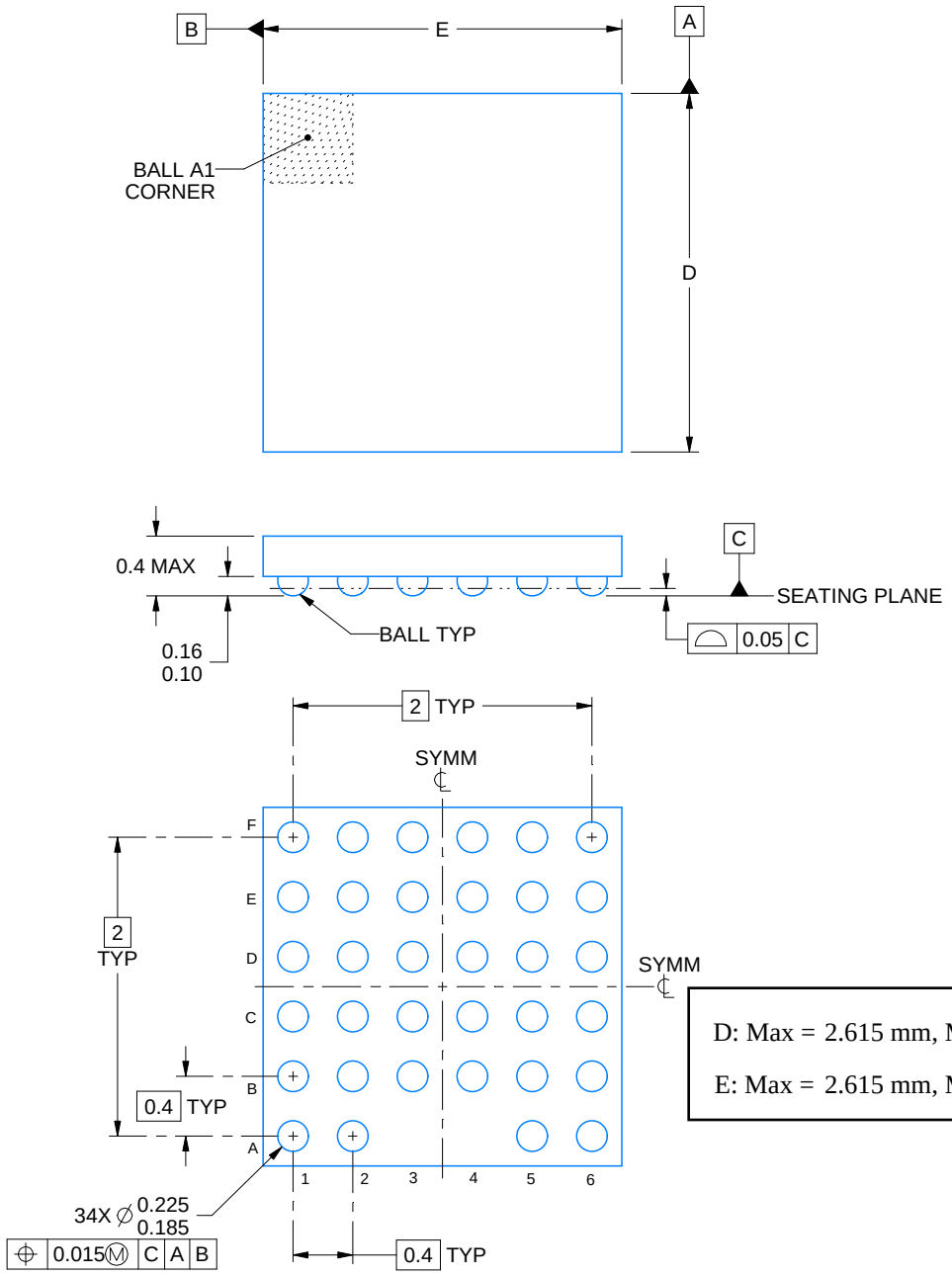
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

YBH0034

PACKAGE OUTLINE

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



4231227/A 10/2024

NOTES:

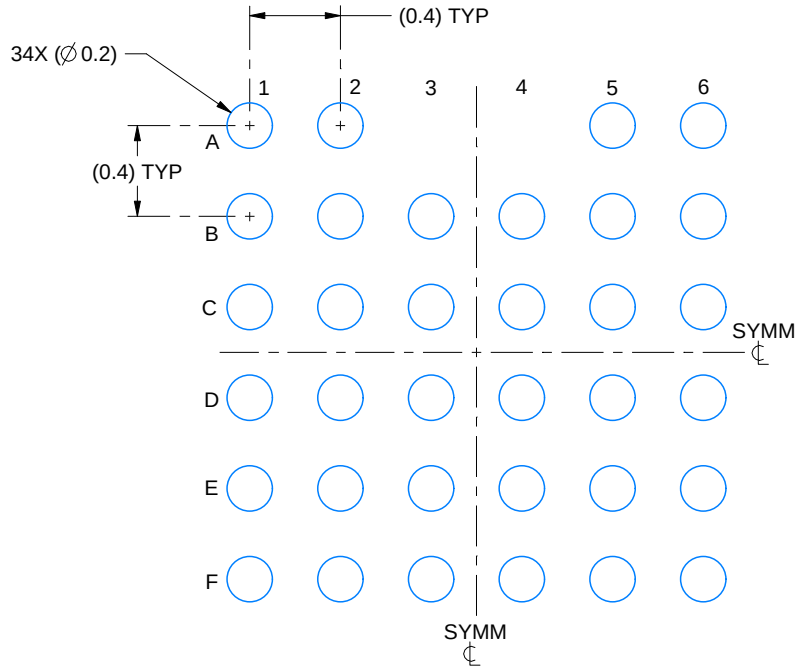
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

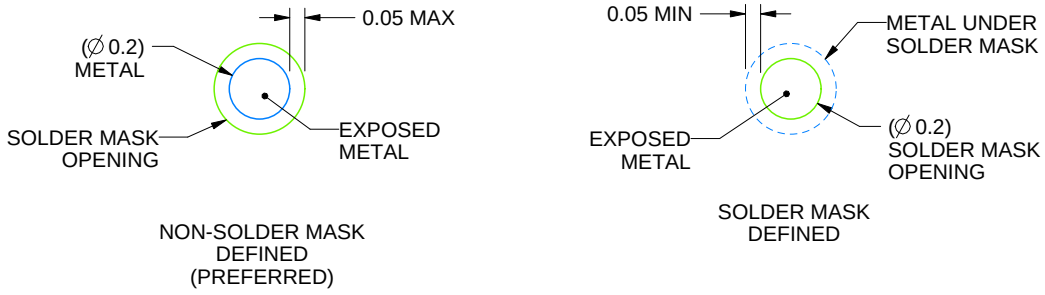
YBH0034

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



SOLDER MASK DETAILS
NOT TO SCALE

4231227/A 10/2024

NOTES: (continued)

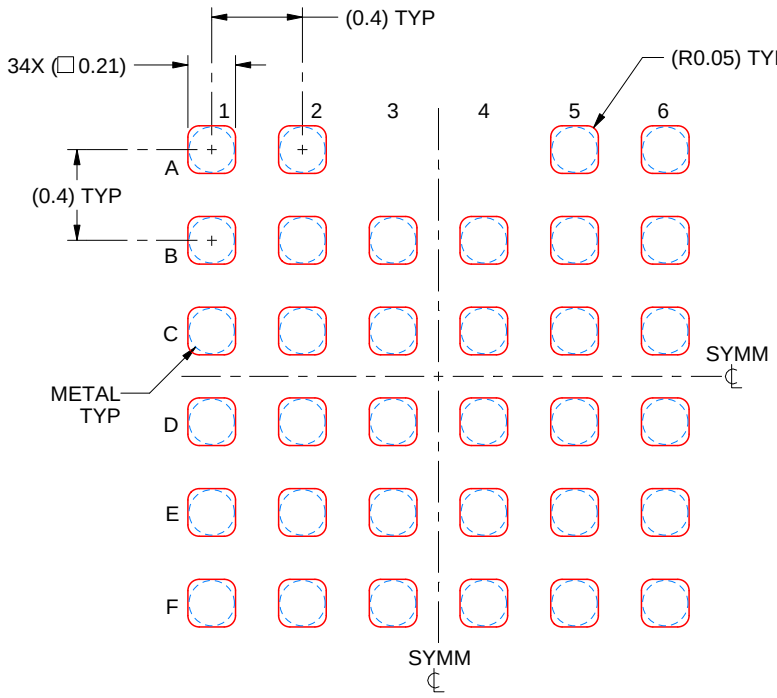
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBH0034

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 30X

4231227/A 10/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月