DAC39RF20：具有 JESD204C 接口的 22GSPS 或 44GSPS 16 位单通道和双通道多奈奎斯特数模转换器 (DAC)

1 特性

- 16 位多奈奎斯特 DAC 内核
- DAC 采样速率：
  - NRZ、RF 模式：22GSPS
  - DES2xL、DES2xH 模式：44GSPS
- 最大输入数据速率：
  - 12 位，双通道：21GSPS/通道
  - 16 位、双通道：15.75GSPS/通道
  - 16 位、单通道：22GSPS
- –3dB 输出带宽：22GHz
- f_{OUT} = 8.9GHz，DES2XL，I_{OUT}=40mA 时的性能
  - 本底噪声（小信号，DEM/抖动功能关闭）：–162dBFS/Hz
  - SFDR (-0.1dBFS)：–64dBc
  - IMD3（每个音调 -7dBFS）：–67dBc
  - 附加相位噪声，10kHz 偏移：-133dBc/Hz
- 用于 DAC 时钟生成的可选 PLL/VCO
- 四个集成式数字上变频器 (DUC)
  - 内插：1x、4x、6x、8x 至 256x
  - 用于 I/Q 输出的复基带 DUC
  - 用于直接射频采样的复数到实数上变频
  - 64 位频率分辨率 NCO
  - 具有跳频功能的相位连续、同步和复位选项
- DUC 输入或 DAC 输入端的可设定 FIR 均衡器
- 直接数字合成 (DDS) 功能
  - 四个分段线性波形发生器
    - 16 个预存储波形
    - 总共 256 个矢量
    - 自动或同步外部触发器
  - 频率、振幅、相位接口流
- JESD204C 接口
  - 16 个通道，速率高达 32.5Gbps
  - 符合 C-S 类子类 1
- 自动时钟和 SYSREF 校准及跟踪

2 应用

- 卫星通信 (SATCOM)
- 相控阵天线系统
- 合成孔径雷达 (SAR) 励磁
- 用于时钟或本机振荡器 (LO) 的 RF 合成
- 无线通信测试仪
- 任意波形发生器 (AWG)

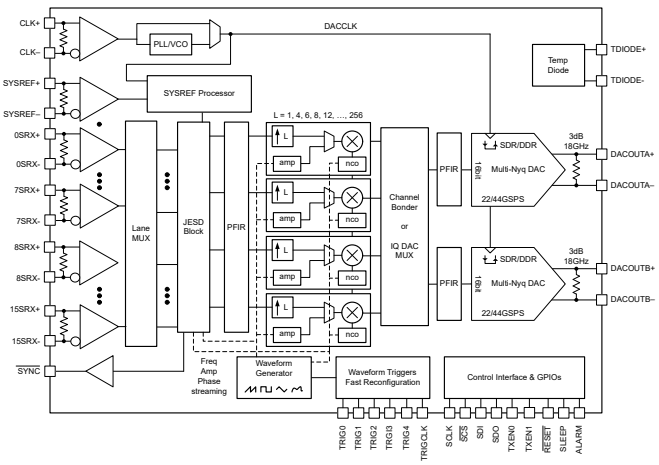
3 说明

DAC39RF20 是具有 16 位分辨率的单通道和双通道数模转换器 (DAC)。借助外部全速率时钟，此器件支持 22GSPS 的单沿采样模式（NRZ 和 RF）以及 44GSPS 的双沿采样模式（DES2XL、DES2XH）。使用内部 PLL/VCO 时，器件支持 17GSPS 的单沿采样模式（NRZ 和 RF）以及 34GSPS 的双沿采样模式（DES2XL、DES2XH）。这些器件可用作非内插或内插 DAC，用于直接射频采样或复数基带信号生成。两通道的最大输入数据速率为 21GSPS（12 位分辨率）或 15.75GSPS（16 位分辨率）。单通道最大速率为 22GSPS（16 位分辨率）。该器件可在超过 20GHz 的频率下生成带宽大于 10GHz 的信号，支持通过 Ku 频带宽直接采样。

封装信息

器件型号	封装(1)	封装尺寸(2)
DAC39RF20	FCCSP（289 个焊球）	13.8mm × 13.8mm，0.8mm 间距

(1) 有关更多信息，请参阅 节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



方框图

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较 3
5 引脚配置和功能 4
6 规格 9
6.1 绝对最大额定值 9
6.2 ESD 等级 9
6.3 建议运行条件 10
6.4 热性能信息 10
6.5 电气特性 - 直流规格 11
6.6 电气特性 - 交流规格 13
6.7 电气特性 - 功耗 24
6.8 时序要求 26
6.9 开关特性 27
6.10 SPI 接口时序图 29
6.11 典型特性：直流线性度、输出功率和串扰 31
6.12 典型特性：单音光谱 33
6.13 典型特性：相位、振幅噪声和时钟延迟 34
6.14 典型特性：单音线性度 37
6.15 典型特性：功率和电源电流 39
7 详细说明 41
7.1 概述 41
7.2 功能方框图 41
7.3 特性说明 42
7.3.1 DAC 输出模式 42
7.3.2 DAC 内核 45
7.3.3 DEM 和抖动 47
7.3.4 偏移量调整 48
7.3.5 时钟子系统 48
7.3.6 数字信号处理块 50
7.3.7 串行器/解串器物理层 80
7.3.8 JESD204C 接口 86
7.3.9 数据路径延迟 107
7.3.10 多器件同步和确定性延迟 109
7.3.11 链路复位 113
7.3.12 生成警报 113
7.3.13 静音功能 115
7.4 器件功能模式 117
7.4.1 电源模式 117
7.5 编程 119
7.5.1 使用标准 SPI 接口 119
7.5.2 使用快速重新配置接口 120
8 寄存器映射 123
8.1 Standard_SPI-3.1 寄存器 124
8.2 系统寄存器 127
8.3 触发寄存器 134
8.4 CPLL_AND_CLOCK 寄存器 137
8.5 SYSREF 寄存器 141
8.6 JESD204C 寄存器 146
8.7 JESD204C_Advanced 寄存器 151
8.8 SerDes_Equalizer 寄存器 180
8.9 SerDes_Eye-Scan 寄存器 188
8.10 SerDes_Lane_Status 寄存器 191
8.11 SerDes_PLL 寄存器 193
8.12 DAC_and_Analog_Configuration 寄存器 195
8.13 Datapath 寄存器 198
8.14 NCO_and_Mixer 寄存器 204
8.15 警报寄存器 216
8.16 Fuse_Control 寄存器 220
8.17 Fuse_Backed 寄存器 221
8.18 DDS_Vector_Mode 寄存器 224
8.19 Programmable_FIR 寄存器 229
9 应用和实施 232
9.1 应用信息 232
9.1.1 启动步骤 232
9.1.2 方波模式的带宽优化 233
9.2 典型应用：Ku 频带雷达发送器 234
9.2.1 设计要求 234
9.2.2 详细设计过程 234
9.2.3 应用曲线 235
9.3 电源相关建议 237
9.3.1 上电和断电时序 239
9.4 布局 240
9.4.1 布局指南 240
9.4.2 布局示例 245
10 器件和文档支持 248
10.1 接收文档更新通知 248
10.2 支持资源 248
10.3 商标 248
10.4 静电放电警告 248
10.5 术语表 248
11 修订历史记录 248
12 机械、封装和可订购信息 248

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

特性/规格		DAC39RF20 第 1 代	DAC39RF2x 第 2 代
PLL/VCO	F_{DACCLK}	8.125GHz ⩽ F_{DACCLK} ⩽ 17GHz	0.8GHz ⩽ F_{DACCLK} ⩽ 22GHz
	PLL 输出分频器	仅限 1x	1、2、4、8 或 16 倍
	CPLL_MPY	8 至 99	6 至 256
	相位噪声		在 100kHz⩽F_{OFFSET}⩽10MHz 范围内，改善 5dB
	多器件同步	否	是
针对 F_{DACCLK}<10GHz 的 SYSREF 窗口功能		否	是
时间戳输出		否	是
SPI 可读温度传感器		否 (温度二极管可用)	是
串行器/解串器信号丢失探测器		否	是
最大 SPI 时钟频率		15MHz	> 50MHz (目标)
DDS 流触发器		AMP = 0	AMP = 0 和 PHASE[0]=1
SOFT_RESET		不能正确清除 0x0080 至 0x00FE 地址范围内的寄存器。使用外部复位。	固定
DES1X			完整的 DES 奈奎斯特区域信号处理

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

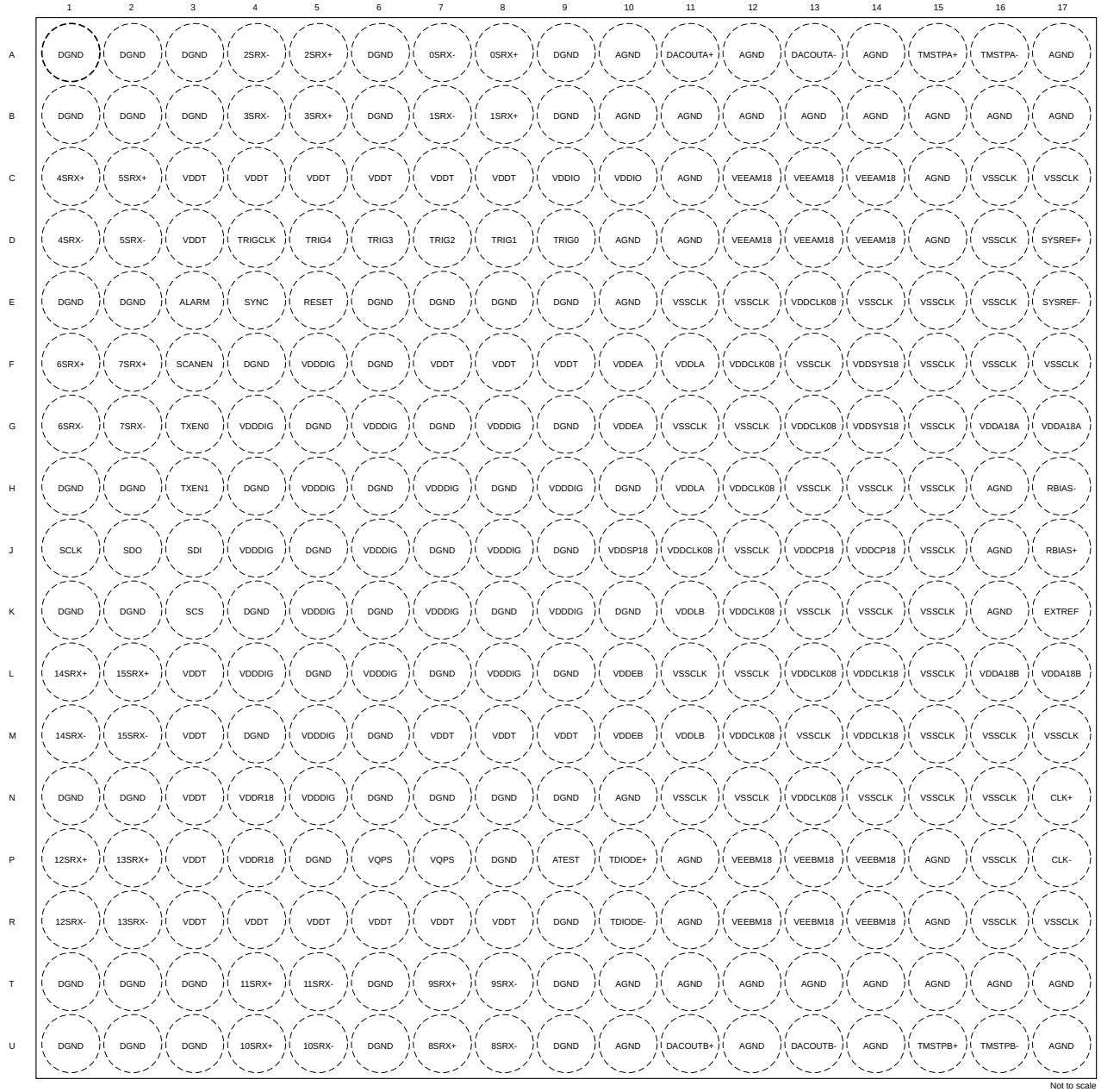


图 5-1. ANH0289A 封装，间距为 0.8mm 的 289 焊球覆晶 CSP（顶视图）

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能

引脚		类型	说明
名称	否		
DAC 输出			
DACOUTA-	A13	O	DAC 通道 A 模拟输出负极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。如果未使用，则连接到 VDDA18A。
DACOUTA+	A11	O	DAC 通道 A 模拟输出正极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。如果未使用，则连接到 VDDA18A。
DACOUTB-	U13	O	DAC 通道 B 模拟输出负极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。如果未使用，则连接到 VDDA18B。
DACOUTB+	U11	O	DAC 通道 B 模拟输出正极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。如果未使用，则连接到 VDDA18B。
差分时钟和 SYSREF 输入			
CLK-	P17	I	器件时钟输入负极端子。CLK+ 和 CLK- 之间有一个内部 100Ω 差分端接。该输入为自偏置输入，应与时钟源进行交流耦合。
CLK+	N17	I	器件时钟输入正极端子。CLK+ 和 CLK- 之间有一个内部 100Ω 差分端接。该输入为自偏置输入，应与时钟源进行交流耦合。
SYSREF-	E17	I	差分 JESD204C SYSREF 输入负端子。SYSREF+ 和 SYSREF- 之间有一个内部 100Ω 差分端接。如果为交流耦合，则该输入会自偏置。如果为直流耦合，则输入共模必须满足建议运行条件中的 V_{CMI} 规格。如果未使用，则保持断开。
SYSREF+	D17	I	差分 JESD204C SYSREF 输入负端子。SYSREF+ 和 SYSREF- 之间有一个内部 100Ω 差分端接。如果未使用，则保持断开。
串行器/解串器接口			
0SRX-	A7	I	串行器/解串器通道 0 负输入。包括到 0SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
0SRX+	A8	I	串行器/解串器通道 0 正输入。包括到 0SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
1SRX-	B7	I	串行器/解串器通道 1 负输入。包括到 1SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
1SRX+	B8	I	串行器/解串器通道 1 正输入。包括到 1SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
2SRX-	A4	I	串行器/解串器通道 2 负输入。包括到 2SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
2SRX+	A5	I	串行器/解串器通道 2 正输入。包括到 2SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
3SRX-	B4	I	串行器/解串器通道 3 负输入。包括到 3SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
3SRX+	B5	I	串行器/解串器通道 3 正输入。包括到 3SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
4SRX-	D1	I	串行器/解串器通道 4 负输入。包括到 4SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
4SRX+	C1	I	串行器/解串器通道 4 正输入。包括到 4SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
5SRX-	D2	I	串行器/解串器通道 5 负输入。包括到 5SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
5SRX+	C2	I	串行器/解串器通道 5 正输入。包括到 5SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
6SRX-	G1	I	串行器/解串器通道 6 负输入。包括到 6SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
6SRX+	F1	I	串行器/解串器通道 6 正输入。包括到 6SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
7SRX-	G2	I	串行器/解串器通道 7 负输入。包括到 7SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
7SRX+	F2	I	串行器/解串器通道 7 正输入。包括到 7SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
8SRX-	U8	I	串行器/解串器通道 8 负输入。包括到 8SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
8SRX+	U7	I	串行器/解串器通道 8 正输入。包括到 8SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
9SRX-	T8	I	串行器/解串器通道 9 负输入。包括到 9SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
9SRX+	T7	I	串行器/解串器通道 9 正输入。包括到 9SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
10SRX-	U5	I	串行器/解串器通道 10 负输入。包括到 10SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
10SRX+	U4	I	串行器/解串器通道 10 正输入。包括到 10SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
11SRX-	T5	I	串行器/解串器通道 11 负输入。包括到 11SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
11SRX+	T4	I	串行器/解串器通道 11 正输入。包括到 11SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
12SRX-	R1	I	串行器/解串器通道 12 负输入。包括到 12SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
12SRX+	P1	I	串行器/解串器通道 12 正输入。包括到 12SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
13SRX-	R2	I	串行器/解串器通道 13 负输入。包括到 13SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
13SRX+	P2	I	串行器/解串器通道 13 正输入。包括到 13SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
14SRX-	M1	I	串行器/解串器通道 14 负输入。包括到 14SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	否		
14SRX+	L1	I	串行器/解串器通道 14 正输入。包括到 14SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
15SRX-	M2	I	串行器/解串器通道 15 负输入。包括到 15SRX+ 的 100Ω 内部终端。如果未使用，可以保持断开。
15SRX+	L2	I	串行器/解串器通道 15 正输入。包括到 15SRX- 的 100Ω 内部终端。如果未使用，可以保持断开。
GPIO 功能			
ALARM	E3	O	当检测到内部未屏蔽警报时，ALARM 引脚被置为有效。报警屏蔽由 ALM_MASK 寄存器设置。没有上拉或下拉。
$\overline{\text{RESET}}$	E5	I	器件复位输入，低电平有效。必须在上电后切换。内部上拉。
SCANEN	F3	I	仅供 TI 使用，可以保持未连接状态。内部下拉电阻。
SCLK	J1	I	串行编程接口 (SPI) 时钟输入。没有上拉或下拉。
$\overline{\text{SCS}}$	K3	I	串行编程接口 (SPI) 器件选择输入，低电平有效。内部上拉。
SDI	J3	I	串行编程接口 (SPI) 数据输入。没有上拉或下拉。
SDO	J2	O	串行编程接口 (SPI) 数据输出。不读取 SPI 数据时具有高阻抗。没有上拉或下拉。
$\overline{\text{SYNC}}$	E4	I/O	JESD204C SYNC 输出，低电平有效。用作输入时上拉激活。
TRIG0	D9	I	触发接口焊球 0。也用作 FR 接口的数据输入 0。内部下拉电阻。
TRIG1	D8	I	触发接口焊球 1。也用作 FR 接口的数据输入 1。内部下拉电阻。
TRIG2	D7	I	触发接口焊球 2。也用作 FR 接口的数据输入 2。内部下拉电阻。
TRIG3	D6	I	触发接口焊球 3。也用作 FR 接口的数据输入 3。内部下拉电阻。
TRIG4	D5	I	触发接口焊球 4。也用作 FR 接口的芯片选择输入。内部下拉电阻。
TRIGCLK	D4	I/O	触发接口时钟。用作 FR 接口的输入时钟或触发接口的输出时钟。内部下拉电阻。
TXEN0	G3	I	用于使 DAC 输出静音或进入“应用休眠”的引脚控制（请参阅 TX_EN_SEL）。另请参阅“发送使能”。内部上拉。
TXEN1	H3	I	用于使 DAC 输出静音或进入“应用休眠”的引脚控制（请参阅 TX_EN_SEL）。另请参阅“发送使能”。内部上拉。
模拟功能			
ATEST	P9	O	模拟测试引脚。可在不使用时保持断开。
EXTREF	K17	I/O	基准电压输出或输入，由 EXTREF_EN 寄存器字段确定。如果使用内部基准，则应将焊球通过 0.1uF 连接至 AGND。
RBIAS-	H17	O	满量程输出电流偏置由从该端子连接到 RBIAS+ 的电阻器设置。
RBIAS+	J17	O	满量程输出电流偏置由从该端子连接到 RBIAS- 的电阻器设置。
TDIODE+	P10	I	温度二极管正极端子（由外部电路感测）
TDIODE-	R10	I	温度二极管负极端子（由外部电路感测）
TMSTPA+	A15	O	保留。
TMSTPA-	A16	O	保留。
TMSTPB+	U15	O	保留。
TMSTPB-	U16	O	保留。
电源			
备注 建议每个电源引脚使用一个低 ESL 0.1μF 去耦电容器			
VDDA18A	G16、G17	I	DAC 通道 A 的电源电压为 1.8V。可与 VDDA18B 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VDDA18B	L16、L17	I	DAC 通道 A 的电源电压为 1.8V。可与 VDDA18A 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VDDCLK08	J11、F12、H12、K12、M12、E13、G13、L13、N13	I	内部采样时钟分配路径的 0.8V 电源电压。该电源上的噪声或杂散可能会降低相位噪声性能。为了获得出色性能，建议将 VDDDIG 和 VDDLA/B 分开。
VDDCLK18	L14、M14	I	时钟 (CLK+/-) 输入缓冲器使用的 1.8V 电源电压。该电源上的噪声或杂散可能会降低相位噪声性能。
VDDCP18	J13、J14	I	数据转换器 PLL 1.8V 电源。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	否		
VDDDIG	G4、J4、L4、F5、H5、K5、M5、N5、G6、J6、L6、H7、K7、G8、J8、L8、H9、K9	I	数字块的 0.8V 电源电压。为了获得出色性能，建议将 VDDLA/B 和 VDDCLK 分开。
VDDEA	F10、G10	I	通道 A DAC 编码器的 0.8V 电源电压。可以与 VDDEB 和 VDDDIG 结合使用。
VDDEB	L10、M10	I	通道 B DAC 编码器使用的 0.8V 电源电压。可以与 VDDEA 和 VDDDIG 结合使用。
VDDIO	C9、C10	I	CMOS 输入和输出端子使用的 1.8V 电源。
VDDLA	F11、H11	I	通道 A 的 DAC 模拟锁存器采用 0.8V 电源，独立于 VDDLB 以实现良好的通道间串扰 (XTALK)。必须与 VDDDIG 分开以获得出色性能。
VDDLB	K11、M11	I	通道 B 的 DAC 模拟锁存器采用 0.8V 电源，独立于 VDDLA 以实现良好的通道间串扰 (XTALK)。必须与 VDDDIG 分开以获得出色性能。
VDDR18	N4、P4	I	串行器/解串器接收器使用的 1.8V 电源电压。
VDDSP18	J10	I	串行器/解串器 PLL 1.8V 电源。
VDDSYS18	F14、G14	I	SYSREF (SYSREF+/–) 输入缓冲器使用的 1.8V 电源电压。当 SYSREF 在正常运行期间被禁用时，可与 VDDCLK18 组合使用。当 SYSREF 在工作期间持续运行时，该电源应与 VDDCLK18 分离，以避免噪声和杂散耦合并降低相位噪声性能。
VDDT	C3、D3、L3、M3、N3、P3、R3、C4、R4、C5、R5、C6、R6、C7、F7、M7、R7、C8、F8、M8、R8、F9、M9	I	串行器/解串器端接使用的 0.8V 电源电压。
VEEAM18	C12、D12、C13、D13、C14、D14	I	通道 A 的 DAC 电流源偏置使用 –1.8V 电源电压。可与 VEEBM18 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VEEBM18	P12、R12、P13、R13、P14、R14	I	通道 B 的 DAC 电流源偏置使用 –1.8V 电源电压。可与 VEEAM18 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VQPS	P6、P7	I	仅供 TI 使用。可在正常工作期间连接至 DGND。
接地			
AGND	A10、B10、D10、E10、N10、T10、U10、B11、C11、D11、P11、R11、T11、B12、A12、T12、U12、B13、T13、A14、B14、T14、U14、B15、C15、D15、P15、R15、T15、B16、H16、J16、K16、T16、A17、B17、T17、U17	-	模拟地。
DGND	A1、B1、E1、H1、K1、N1、T1、U1、A2、B2、E2、H2、K2、N2、T2、U2、A3、B3、T3、U3、F4、H4、K4、M4、G5、J5、L5、P5、A6、B6、E6、F6、H6、K6、M6、N6、T6、U6、E7、G7、J7、L7、N7、E8、H8、K8、N8、P8、A9、B9、E9、G9、J9、L9、N9、R9、T9、U9、H10、K10	-	数字地。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	否		
VSSCLK	E11、G11、L11、N11、E12、G12、J12、L12、N12、F13、H13、K13、M13、E14、H14、K14、N14、E15、F15、G15、H15、J15、K15、L15、M15、N15、C16、D16、E16、F16、M16、N16、P16、R16、C17、F17、M17、R17	-	时钟接地。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数	测试条件	最小值	最大值	单位
电源电压范围	电源电压范围、VDDA18A、VDDA18B(2)	-0.3	2.45	V
	电源电压范围、VEEAM18、VEEBM18(2)	-2.0	0.3	V
	电源电压范围，VDDCLK18、VDDSYS18、VDDSP18、VDDCP18(3)	-0.3	2.45	V
	电源电压范围，VDDLB、VDDLA、VDDCLK08(3)	-0.3	1.0	V
	电源电压范围、VDDIO、VQPS、VDDR18(4)	-0.3	2.45	V
	电源电压范围、VDDDIG、VDDEB、VDDEA、VDDT(4)	-0.3	1.0	V
AGND、DGND 和 VSSCLK 的任意组合之间的电压	AGND、DGND 和 VSSCLK 的任意组合之间的电压	-0.1	0.1	V
施加到输入引脚的电压	CLK+、CLK –(3)	-0.3	VDDCLK18+0.3	V
	SYSREF+、SYSREF –(3)	-0.3	VDDSYS18+0.3	
	[0:15]SRX-/+(4)	-0.3	VDDT + 0.2	
	SCLK、$\overline{SCS}$、SDI、$\overline{RESET}$、SYNC、SCANEN、TXEN[0:1]、FRDI[0:3]、FRCLK、$\overline{FRCS}$、$\overline{SYNC}$ (4)	-0.3	VDDIO+0.3	
	EXTREF(2)	-0.3	VDDA18A + 0.3	
输出引脚处的电压	DACOUTA+、DACOUTA-(2)	-0.3	VDDA18A + 0.5	V
	DACOUTB+、DACOUTB-(2)	-0.3	VDDA18B + 0.5	
	ATEST(2)	-0.3	VDDA18B + 0.3	
	RBIAS-/+(2)	-0.3	VDDA18A + 0.3	
	SDI、SDO、ALARM(4)	-0.3	VDDIO + 0.3	
峰值输入电流（任何输入）		-20	20	mA
峰值总输入电流（强制输入或输出的所有电流的绝对值之和，不包括电源电流和 DACOUTA+、DACOUTA –、DACOUTB+ 和 DACOUTB –）			30	mA
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出“绝对最大额定值”下列出的值可能会对器件造成永久损坏。这些值仅为应力额定值，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 测量至 AGND。
(3) VSSCLK 测量。
(4) 测量至 DGND。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	250	

(1) JEDEC 文件 JEP155 指出，500V HBM 可通过标准 ESD 管控流程安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源电压范围		VDDA18A、VDDA18B(1)	1.71	1.8	1.89	V
		VEEAM18、VEEBM18(1)	-1.89	-1.8	-1.71	V
		VDDCLK18、VDDSYS18、VDDSP18、VDDCP18(2)	1.71	1.8	1.89	V
		VDDLB、VDDLA、VDDCLK08(2)	0.76	0.8	0.84	V
		VDDIO、VDDR18(3)	1.71	1.8	1.89	V
		VQPS(3)	0	0	1.89	V
		VDDDIG、VDDEB、VDDEA、VDDT(3)	0.76	0.8	0.84	V
V_{CMI}	输入共模电压	CLK+、CLK –(2) (4)		0.4		V
		SYSREF+、SYSREF –(2) (4)	0.4	0.5	0.6	V
V_{ID}	输入差分峰峰值电压	SYSREF+ 至 SYSREF –	400	1000	2000	$mV_{PP-DIFF}$
		CLK+ 至 CLK –、f_{CLK} < 3GHz(6)	800	1000	2000	$mV_{PP-DIFF}$
		CLK+ 至 CLK –、3GHz < f_{CLK} < 12GHz(6)	800	1000	1400	$mV_{PP-DIFF}$
		CLK+ 至 CLK –、12GHz < f_{CLK} < 17GHz(6)	800	1000	1800	$mV_{PP-DIFF}$
		CLK+ 至 CLK –、f_{CLK} > 17GHz(6)	800	1000	2000	$mV_{PP-DIFF}$
T_A	自然通风条件下的工作温度		-40		85	°C
T_J	推荐工作结温				105(5)	°C
T_{J-MAX}	最大额定工作结温	最大额定工作结温	125			°C

(1) 测量至 AGND。
(2) VSSCLK 测量。
(3) 测量至 DGND。
(4) CLK+/- 和 SYSREF+/- 被弱自偏置到最佳共模电压。CLK+/- 应始终与时钟源进行交流耦合。如有可能，建议将 SYSREF+/- 与时钟源进行交流耦合。
(5) 芯片设计用于在 Tj = 150°C 下运行，并在 Tj = 113°C 时使器件和芯片金属化降级高达 150,000POH 连续运行（118°C 时为 100,000POH）。不过，要是结温长时间超过 105℃，可能会让封装的瞬时故障 (FIT) 率上升。
(6) 为了获得更优相位噪声，时钟振幅应尽量接近其范围的上限值。

6.4 热性能信息

热指标(1)		13.8mm x 13.8mm FCCSP 289 引脚	单位
$R_{\theta JA}$	结至环境热阻	15.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	1.3	°C/W
$R_{\theta JB}$	结至电路板热阻	4.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	°C/W
Ψ_{JB}	结至电路板特征参数	4.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性 - 直流规格

除非另有说明，典型值的条件为：T_A = +25°C 时的典型值，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，f_{OUT} = 2897MHz，NRZ 模式，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
位	DAC 内核分辨率		16		16	位
DNL	微分非线性			±5		LSB
INL	积分非线性			±10		LSB
DAC 模拟输出（DACOUTA+、DACOUTA－、DACOUTB+、DACOUTB－）						
I_{FS_SWITCH}	开关满量程输出电流	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 0x10（默认值），Current_2x = 1		39.5		mA
I_{FS_SWITCH}	开关满量程输出电流	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 0x10（默认值），Current_2x = 0		19.8		mA
		从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0x0 且 FINE_CUR_A/FINE_CUR_B = 0x10（默认值），Current_2x = 0		2.5		
I_{STATIC}	每个引脚的静态输出电流	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 0x10（默认值）		5.1		mA
$I_{FSDRIFT}$	满量程输出电流温漂	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 0x10（默认值）		±8		uA/℃
				±250		PPM/℃
$I_{FSERROR}$	满量程电流误差	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 0x10（默认值）		±1.2		%
V_{COMP}	输出顺从电压范围	从 DACOUTA+、DACOUTA－、DACOUTB+ 或 DACOUTB－ 至 AGND 测得	1.3		2.3	V
R_{TERM}	输出差分端接电阻			100		Ω
$R_{TERMDRIFT}$	输出差分端接电阻温度系数			45		mΩ/℃
				435		PPM/℃
时钟和 SYSREF 输入（CLK+、CLK-、SYSREF+、SYSREF-）						
R_T	内部差分端接电阻			100		Ω
基准电压						
V_{REF}	基准输出电压			0.9		V
$V_{REF-DRIFT}$	基准输出电压温漂			45		ppm/°C
I_{REF}	最大基准输出电流源能力			100		nA

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性 - 直流规格 （续）

除非另有说明，典型值的条件为：T_A = +25°C 时的典型值，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，f_{OUT} = 2897MHz，NRZ 模式，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
JESD204C 串行器/解串器接口 ([15:0]SRX+/-)						
V_{SRDIFF}	串行器/解串器接收器输入振幅		50		1200	mVppdiff
V_{SRCOM}	串行器/解串器输入共模(2)			450		mV
Z_{SRdiff}	串行器/解串器内部差分终端		80	100	120	Ω
CMOS 接口（SCLK、$\overline{SCS}$、SDI、SDO、$\overline{RESET}$、TRIG[0:4]、TRIGCLK、$\overline{SYNC}$、TXENABLE[0:1]）						
I_{IH}	高电平输入电流（带下拉电阻）	TRIG[0..4](3)、TRIGCLK(3)、SCANEN(1)			200	uA
I_{IH}	高电平输入电流（不带下拉电阻）	$\overline{SDS}$、$\overline{RESET}$、$\overline{SYNC}$、TXEN[0:1]、SDI、SCLK(1)			2	uA
I_{IL}	低电平输入电流（带上拉电阻）	$\overline{SDS}$、$\overline{RESET}$、$\overline{SYNC}$、TXEN[0:1](1)	-100			uA
I_{IL}	低电平输入电流（不带上拉电阻）	SCANEN、SDI、SCLK(1)	-20			uA
C_I	输入电容	输入电容		3		pF
V_{IH}	高电平输入电压	SCLK、$\overline{SCS}$、SDI、$\overline{RESET}$、SCANEN、TXEN[0：1]、$\overline{SYNC}$、TRIG[0..4]、TRIGCLK	0.7 x VDDIO18			V
V_{IL}	低电平输入电压			0.3 个 VDDIO18		V
V_{OH}	高电平输出电压	I_{LOAD} = －400uA	1.55			V
V_{OL}	低电平输出电压	I_{LOAD} = 400uA			0.2	V
温度二极管特性 (TDIODE+、TDIODE-)						
ΔV_{BE}	温度二极管电压斜率	10μA 的强制正向电流。失调电压（在 0°C 时约为 0.792V）随工艺不同而变化，必须针对每个器件进行测量。必须在器件未上电或 PD 引脚置位的情况下完成失调电压测量，以更大限度地减少器件自发热。		-1.45		mV/℃

(1) 连接器件中没有 IO 电源电压偏移。
(2) 建议从串行器/解串器发送器进行交流耦合。
(3) 当被用作输入时，TRIG[0..3]和 TRIGCLK 有一个下拉电阻。当用作输出时，下拉电阻器被禁用。

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
与模式无关的参数						
f_{DACCLK}	DAC 时钟速率 = f_{SAMPLE}（NRZ 模式和射频模式） = f_{SAMPLE}/2（DES2XL/H 模式）			22		GHz
BW	模拟输出带宽 (-3dB)	不包括 sinx/x 响应。可用频率范围可能超过 –3dB 点。		20		GHz
串扰	通道 A (DACOUTA+/-) 和通道 B (DACOUTB+/-) 之间的隔离，受扰通道上的 f_{OUT} = -25MHz 偏移，仅双通道器件	f_{OUT} = 97MHz，NRZ 模式		131		dBc
		f_{OUT} = 2897MHz，NRZ 模式		111		dBc
		f_{OUT} = 5897MHz，NRZ 模式		92		dBc
		f_{OUT} = 8897MHz，NRZ 模式		81		dBc
		f_{OUT} = 13103MHz，射频模式		74		dBc
		f_{OUT} = 16103MHz，射频模式		75		dBc
		f_{OUT} = 19103MHz，射频模式		72		dBc
DAC 输出时域特性						
t_{RISE}	10% 至 90%(1)	JMODE 0，1 倍内插		18		ps
t_{FALL}	90% 至 10%(1)	JMODE 0，1 倍内插		18		ps
f_{CLK} 固定杂散	相对于 1GHz 时的满量程正弦波	NRZ 模式，f_{OUT} = 直流（中间代码），DEM/抖动关闭		71		dBc
		NRZ 模式，f_{OUT} = 直流（中间代码），DEM/抖动打开		70		dBc
		DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动关闭		69		dBc
		DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动打开		73		dBc
2*f_{CLK} 固定杂散	相对于 1GHz 时的满量程正弦波	DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动关闭		88		dBc
		DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动打开		87		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格 （续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
22GSPS，JMODE 2，4 倍内插，NRZ 模式						
P_{OUT}	100Ω 负载下的正弦波(3)输出功率(2)	f_{OUT} = 97MHz		1.0		dBm
		f_{OUT} = 2897MHz		0.35		dBm
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		6.3		dBm
		f_{OUT} = 5897MHz		-0.25		dBm
		f_{OUT} = 8897MHz		-2.5		dBm
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		3.6		dBm
SFDR	0 - F_{DACCLK}/2 时的无杂散动态范围 (SFDR)	f_{OUT} = 97MHz		-69		dBc
		f_{OUT} = 2897MHz		-66		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-54		dBc
		f_{OUT} = 5897MHz		-58		dBc
		f_{OUT} = 8897MHz		-48		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-51		dBc
HD2	二次谐波 (HD2)，0 - F_{DACCLK}/2	f_{OUT} = 97MHz		-70		dBc
		f_{OUT} = 2897MHz		-67		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-65		dBc
		f_{OUT} = 5897MHz		-58		dBc
		f_{OUT} = 8897MHz		-48		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-51		dBc
HD3	三次谐波 (HD3)，0 - F_{DACCLK}/2	f_{OUT} = 97MHz		-73		dBc
		f_{OUT} = 2897MHz		-69		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-54		dBc
		f_{OUT} = 5897MHz		-70		dBc
		f_{OUT} = 8897MHz		-55		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-60		dBc
$SFDR_{NONHD23}$	非 HD2/3 SFDR，0 - F_{DACCLK}/2	f_{OUT} = 97MHz		-85		dBc
		f_{OUT} = 2897MHz		-82		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-76		dBc
		f_{OUT} = 5897MHz		-73		dBc
		f_{OUT} = 8897MHz		-74		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-77		dBc
IMD3	三阶双音互调失真	f_{OUT} = 97 +/- 10MHz，每个音调 -7dBFS		-86		dBc
		f_{OUT} = 2897 +/- 10MHz，每个音调 -7dBFS		-78		dBc
		f_{OUT} = 2897 +/- 10MHz，每个音调 -7dBFS，I_{FS_SWITCH} = 40mA		-67		dBc
		f_{OUT} = 5897 +/- 10MHz，每个音调 -7dBFS		-77		dBc
		f_{OUT} = 8897 +/- 10MHz，每个音调 -7dBFS		-71		dBc
		f_{OUT} = 8897 +/- 10MHz，每个音调 -7dBFS，I_{FS_SWITCH} = 40mA		-68		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，大信号，正弦输出，DEM/抖动打开	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-162		dBc/Hz
		f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBc/Hz
		v= 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-158		dBc/Hz
		f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-148		dBc/Hz
NSD	噪声频谱密度，大信号，正弦输出，禁用 DEM/抖动	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-167		dBc/Hz
		f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-158		dBc/Hz
		f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-160		dBc/Hz
		f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-150		dBc/Hz
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动打开	AOUT = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-162		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-157		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-143		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-149		dBFS/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动禁用	A_{OUT} = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-168		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-162		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-166		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-157		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-156		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-161		dBFS/Hz
PN	附加 DAC 相位噪声，减去外部时钟贡献量	f_{OUT} = 10GHz，1kHz 偏移		-121		dBc/Hz
		f_{OUT} = 10GHz，10kHz 偏移		-131		dBc/Hz
		f_{OUT} = 10GHz，100kHz 偏移		-137		dBc/Hz
		f_{OUT} = 10GHz，1MHz 偏移		-137		dBc/Hz
		f_{OUT} = 10GHz，10MHz 偏移		-136		dBc/Hz
PN	附加 DAC 相位噪声，减去外部时钟贡献量，禁用 DEM/抖动	f_{OUT} = 10GHz，1kHz 偏移		-122		dBc/Hz
		f_{OUT} = 10GHz，10kHz 偏移		-131		dBc/Hz
		f_{OUT} = 10GHz，100kHz 偏移		-138		dBc/Hz
		f_{OUT} = 10GHz，1MHz 偏移		-137		dBc/Hz
		f_{OUT} = 10GHz，10MHz 偏移		-136		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
22GSPS，JMODE 2，4 倍内插，DES2xL 模式						
P_{OUT}	100Ω 负载下的正弦波[3]输出功率[2]	f_{OUT} = 97MHz		1.0		dBm
		f_{OUT} = 2897MHz		0.3		dBm
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		6.3		dBm
		f_{OUT} = 5897MHz		0.5		dBm
		f_{OUT} = 8897MHz		-0.6		dBm
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		5.4		dBm
SFDR	0 - F_{DACCLK}/2 时的无杂散动态范围 (SFDR)	f_{OUT} = 97MHz		-70		dBc
		f_{OUT} = 2897MHz		-67		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-53		dBc
		f_{OUT} = 5897MHz		-73		dBc
		f_{OUT} = 8897MHz		-67		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-64		dBc
HD2	二次谐波 (HD2)，0 - F_{DACCLK}/2	f_{OUT} = 97MHz		-72		dBc
		f_{OUT} = 2897MHz		-68		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-67		dBc
		f_{OUT} = 5897MHz		-81		dBc
		f_{OUT} = 8897MHz		-67		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-64		dBc
HD3	三次谐波 (HD3)，0 - F_{DACCLK}/2	f_{OUT} = 97MHz		-73		dBc
		f_{OUT} = 2897MHz		-69		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-53		dBc
		f_{OUT} = 5897MHz		-82		dBc
		f_{OUT} = 8897MHz		-73		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-79		dBc
$SFDR_{NONHD23}$	非 HD2/3 SFDR，0 - F_{DACCLK}/2	f_{OUT} = 97MHz		-87		dBc
		f_{OUT} = 2897MHz		-83		dBc
		f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-87		dBc
		f_{OUT} = 5897MHz		-73		dBc
		f_{OUT} = 8897MHz		-74		dBc
		f_{OUT} = 8897MHz，I_{FS_SWITCH} = 40mA		-78		dBc
IMG_{DES}	F_{DACCLK} - F_{OUT} DES 图像	f_{OUT} = 97MHz		-53		dBc
IMG_{DES}	F_{DACCLK} - F_{OUT} DES 图像	f_{OUT} = 2897MHz		-52		dBc
IMG_{DES}	F_{DACCLK} - F_{OUT} DES 图像	f_{OUT} = 2897MHz，I_{FS_SWITCH} = 40mA		-54		dBc
IMG_{DES}	F_{DACCLK} - F_{OUT} DES 图像	f_{OUT} = 5897MHz		-53		dBc

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
IMD3	三阶双音互调失真	f_{OUT} = 97 +/- 10MHz，每个音调 -7dBFS		-84		dBc
		f_{OUT} = 2897 +/- 10MHz，每个音调 -7dBFS		-85		dBc
		f_{OUT} = 2897 +/- 10MHz，每个音调 -7dBFS，I_{FS_SWITCH} = 40mA		-68		dBc
		f_{OUT} = 5897 +/- 10MHz，每个音调 -7dBFS		-83		dBc
		f_{OUT} = 8897 +/- 10MHz，每个音调 -7dBFS		-71		dBc
		f_{OUT} = 8897 +/- 10MHz，每个音调 -7dBFS，I_{FS_SWITCH} = 40mA		-67		dBc
NSD	噪声频谱密度，大信号，正弦输出，DEM/抖动关闭	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-168		dBc/Hz
		f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-161		dBc/Hz
		f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-162		dBc/Hz
		f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-153		dBc/Hz
NSD	噪声频谱密度，大信号，正弦输出，DEM/抖动打开	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-161		dBc/Hz
		f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBc/Hz
		f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-159		dBc/Hz
		f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBc/Hz
		f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-152		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动关闭	AOUT = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-167		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-163		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-167		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-160		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-159		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-162		dBFS/Hz
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动打开	A_{OUT} = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-162		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-157		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 5897MHz，相对于 f_{OUT} 偏移 70MHz		-148		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz		-145		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8897MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-151		dBFS/Hz
PN	附加 DAC 相位噪声，减去外部时钟贡献量，DEM/抖动关闭	f_{OUT} = 10GHz，1kHz 偏移		-123		dBc/Hz
		f_{OUT} = 10GHz，10kHz 偏移		-132		dBc/Hz
		f_{OUT} = 10GHz，100kHz 偏移		-140		dBc/Hz
		f_{OUT} = 10GHz，1MHz 偏移		-145		dBc/Hz
		f_{OUT} = 10GHz，10MHz 偏移		-147		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格 （续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
22GSPS，JMODE 2，4 倍内插，射频模式						
P_{OUT}	100Ω 负载下的正弦波(3)输出功率(2)	f_{OUT} = 16103MHz		-2.3		dBm
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		3.7		dBm
		f_{OUT} = 19103MHz		-3.8		dBm
SFDR	F_{DACCLK}/2 - F_{DACCLK} 时的无杂散动态范围 (SFDR)	f_{OUT} = 13103MHz		-54		dBc
		f_{OUT} = 16103MHz		-52		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-50		dBc
		f_{OUT} = 19103MHz		-54		dBc
HD2	F_{DACCLK}/2 - F_{DACCLK} 内的二次谐波失真	f_{OUT} = 13103MHz		-60		dBc
		f_{OUT} = 16103MHz		-52		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-51		dBc
		f_{OUT} = 19103MHz		-55		dBc
HD3	F_{DACCLK}/2 - F_{DACCLK} 内的三次谐波失真	f_{OUT} = 13103MHz		-54		dBc
		f_{OUT} = 16103MHz		-66		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-52		dBc
		f_{OUT} = 19103MHz		-60		dBc
$SFDR_{NONHD23}$	F_{DACCLK}/2 - F_{DACCLK} 内的非 HD2/3 SFDR	f_{OUT} = 13103MHz		-76		dBc
		f_{OUT} = 16103MHz		-68		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-70		dBc
		f_{OUT} = 19103MHz		-72		dBc
IMD3	三阶双音互调失真	f_{OUT} = 13103 +/- 10MHz，每个音调 -7dBFS		-58		dBc
		f_{OUT} = 16103 +/- 10MHz，每个音调 -7dBFS		-67		dBc
		f_{OUT} = 16103 +/- 10MHz，每个音调 -7dBFS，I_{FS_SWITCH} = 40mA		-73		dBc
		f_{OUT} = 19103 +/- 10MHz，每个音调 -7dBFS		-74		dBc
NSD	噪声频谱密度，大信号，正弦输出，DEM/抖动关闭	f_{OUT} = 13103MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-148		dBc/Hz
		f_{OUT} = 19103MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz
NSD	噪声频谱密度，大信号，正弦输出，DEM/抖动打开	f_{OUT} = 13103MHz，相对于 f_{OUT} 偏移 70MHz		-144		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz		-145		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-147		dBc/Hz
		f_{OUT} = 19103MHz，相对于 f_{OUT} 偏移 70MHz		-145		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动关闭	f_{OUT} = 13103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-156		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-154		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-155		dBFS/Hz
		f_{OUT} = 19103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-153		dBFS/Hz
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动打开	f_{OUT} = 13103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-144		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-144		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-149		dBFS/Hz
		f_{OUT} = 19103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-144		dBFS/Hz
PN	附加 DAC 相位噪声，减去外部时钟贡献量，DEM/抖动关闭	f_{OUT} = 17.8GHz，1kHz 偏移		-117		dBc/Hz
		f_{OUT} = 17.8GHz，10kHz 偏移		-127		dBc/Hz
		f_{OUT} = 17.8GHz，100kHz 偏移		-136		dBc/Hz
		f_{OUT} = 17.8GHz，1MHz 偏移		-141		dBc/Hz
		f_{OUT} = 17.8GHz，10MHz 偏移		-142		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
22GSPS，JMODE 2，4 倍内插，DES2xH 模式						
P_{OUT}	100Ω 负载下的正弦波[3]输出功率[2]	f_{OUT} = 13103MHz		-2.3		dBm
		f_{OUT} = 16103MHz		-1.6		dBm
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		4.5		dBm
		f_{OUT} = 19103MHz		-3.6		dBm
SFDR	F_{DACCLK}/2 - F_{DACCLK} 时的无杂散动态范围 (SFDR)	f_{OUT} = 13103MHz		-63		dBc
		f_{OUT} = 16103MHz		-53		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-51		dBc
		f_{OUT} = 19103MHz		-57		dBc
HD2	F_{DACCLK}/2 - F_{DACCLK} 内的二次谐波失真	f_{OUT} = 13103MHz		-63		dBc
		f_{OUT} = 16103MHz		-52		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-51		dBc
		f_{OUT} = 19103MHz		-61		dBc
HD3	F_{DACCLK}/2 - F_{DACCLK} 内的三次谐波失真	f_{OUT} = 13103MHz		-76		dBc
		f_{OUT} = 16103MHz		-71		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-76		dBc
		f_{OUT} = 19103MHz		-62		dBc
$SFDR_{NONHD23}$	F_{DACCLK}/2 - F_{DACCLK} 内的非 HD2/3 SFDR	f_{OUT} = 13103MHz		-78		dBc
		f_{OUT} = 16103MHz		-74		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-78		dBc
		f_{OUT} = 19103MHz		-73		dBc
IMG_{DES}	F_{DACCLK} - F_{OUT} DES 图像	f_{OUT} = 16103MHz		-47.3		dBc
		f_{OUT} = 16103MHz，I_{FS_SWITCH} = 40mA		-52.6		dBc
		f_{OUT} = 19103MHz		-42.8		dBc
IMD3	三阶双音互调失真	f_{OUT} = 13103 +/- 10MHz，每个音调 -7dBFS		-75		dBc
		f_{OUT} = 16103 +/- 10MHz，每个音调 -7dBFS		-79		dBc
		f_{OUT} = 16103 +/- 10MHz，每个音调 -7dBFS，I_{FS_SWITCH} = 40mA		-68		dBc
		f_{OUT} = 19103 +/- 10MHz，每个音调 -7dBFS		-77		dBc
NSD	噪声频谱密度，大信号，正弦输出，DEM/抖动关闭	f_{OUT} = 13103MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz		-148		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-148		dBc/Hz
		f_{OUT} = 19103MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

除非另有说明，典型值的条件为：T_A = +25°C，结温工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz（外部时钟模式），I_{FS_SWITCH} = 20mA，单音调振幅 = -0.1dBFS，启用抖动和 DEM，64b/66b 编码。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，大信号，正弦输出，DEM/抖动打开	f_{OUT} = 13103MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBc/Hz
		f_{OUT} = 16103MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-147		dBc/Hz
		f_{OUT} = 19103MHz，相对于 f_{OUT} 偏移 70MHz		-145		dBc/Hz
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动关闭	f_{OUT} = 13103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-156		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-155		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-157		dBFS/Hz
		f_{OUT} = 19103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-153		dBFS/Hz
NSD	噪声频谱密度，微小信号，正弦输出，DEM/抖动打开	f_{OUT} = 13103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-145		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-145		dBFS/Hz
		f_{OUT} = 16103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 40mA		-151		dBFS/Hz
		f_{OUT} = 19103MHz，A_{OUT} =-20dBFS，相对于 f_{OUT} 偏移 70MHz		-144		dBFS/Hz
PN	附加 DAC 相位噪声，减去外部时钟贡献量，DEM/抖动关闭	f_{OUT} = 17.8GHz，1kHz 偏移		-117		dBc/Hz
		f_{OUT} = 17.8GHz，10kHz 偏移		-127		dBc/Hz
		f_{OUT} = 17.8GHz，100kHz 偏移		-136		dBc/Hz
		f_{OUT} = 17.8GHz，1MHz 偏移		-144		dBc/Hz
		f_{OUT} = 17.8GHz，10MHz 偏移		-147		dBc/Hz

(1) 在 50Ω 负载下以单端方式测量
(2) 一个 100Ω 负载等效于 2:1 阻抗变换后的 50Ω 单端负载。包括器件裸片和封装寄生效应及输出响应。已剔除 PCB 和外部元件损耗。
(3) 方波或直流输出比正弦波高 3dB

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性 - 功耗

除非另有说明，典型值的条件为：T_A = +25°C，自然通风工作温度范围内的最小值和最大值，典型电源电压，2 个通道，外部时钟模式，f_{CLK} = 22GHz，f_{OUT} = 2997MHz，NRZ 模式，I_{FS_SWITCH} = 20mA。

参数		测试条件	最小值	典型值	最大值	单位
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 1：单 DAC，JMODE 0 搭配 1 路实数据流，f_{INPUT} = 22GSPS，1 倍内插，f_{SERDES} = 22.6875Gbps，66b/64b 编码，NRZ 模式，f_{OUT} = 8797MHz		42		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			41		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 和 VDDSP18 的 1.8V 组合电源电流			197		
$I_{VDDCP18}$	数据转换器 PLL/VCO 的 1.8V 电源			1		
I_{VDDL}	VDDLB 和 VDDLA 的 0.8V 组合电源电流			372		
I_{VDDCLK}	VDDCLK08 的 0.8V 电源电流			670		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 0.8V 电源电流			2407		
I_{VEE}	VEEAM18 和 VEEBM18 的 -1.8V 组合电源电流			63		
P_{DIS}	总功率损耗			3384		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 2：双 DAC，JMODE 2 搭配 2 路 IQ 流，f_{INPUT} = 5.5GSPS，4 倍内插，f_{SERDES} = 22.6875Gbps，66b/64b 编码，NRZ 模式，f_{OUT} = 2897MHz		71		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			41		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 和 VDDSP18 的 1.8V 组合电源电流			198		
$I_{VDDCP18}$	数据转换器 PLL/VCO 的 1.8V 电源			1		
I_{VDDL}	VDDLB 和 VDDLA 的 0.8V 组合电源电流			396		
I_{VDDCLK}	VDDCLK08 的 0.8V 电源电流			671		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 0.8V 电源电流			4052		
I_{VEE}	VEEAM18 和 VEEBM18 的 -1.8V 组合电源电流			120		
P_{DIS}	总功率损耗			4875		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 3：双 DAC，JMODE 3 搭配 4 路 IQ 流，f_{INPUT} = 2.75GSPS，8 倍内插，f_{SERDES} = 30.9375Gbps，66b/64b 编码，NRZ 模式，f_{OUT} = 2897MHz，5897MHz		71		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			41		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 和 VDDSP18 的 1.8V 组合电源电流			199		
$I_{VDDCP18}$	数据转换器 PLL/VCO 的 1.8V 电源			1		
I_{VDDL}	VDDLB 和 VDDLA 的 0.8V 组合电源电流			402		
I_{VDDCLK}	VDDCLK08 的 0.8V 电源电流			672		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 0.8V 电源电流			4960		
I_{VEE}	VEEAM18 和 VEEBM18 的 -1.8V 组合电源电流			120		
P_{DIS}	总功率损耗			5608		mW

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性 - 功耗（续）

除非另有说明，典型值的条件为：T_A = +25°C，自然通风工作温度范围内的最小值和最大值，典型电源电压，2 个通道，外部时钟模式，f_{CLK} = 22GHz，f_{OUT} = 2997MHz，NRZ 模式，I_{FS_SWITCH} = 20mA。

参数		测试条件	最小值	典型值	最大值	单位
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 4：双 DAC，JMODE 6 搭配 4 路 IQ 流，f_{INPUT} = 458.3MSPS，48 倍内插，f_{SERDES} = 30.25Gbps，66b/64b 编码，NRZ 模式，f_{OUT} = 2897MHz，5897MHz		71		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			41		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 和 VDDSP18 的 1.8V 组合电源电流			195		
$I_{VDDCP18}$	数据转换器 PLL/VCO 的 1.8V 电源			1		
I_{VDDL}	VDDLB 和 VDDLA 的 0.8V 组合电源电流			401		
I_{VDDCLK}	VDDCLK08 的 0.8V 电源电流			672		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 0.8V 电源电流			3409		
I_{VEE}	VEEAM18 和 VEEBM18 的 -1.8V 组合电源电流			120		
P_{DIS}	总功率损耗			4358		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 7：单 DAC，DDS SPI 模式下使用 1 个 DSP，NRZ 输出模式，f_{CLK} = 22GHz，f_{OUT} = 8897MHz		43		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			41		
I_{VDDCSR}	VDDCLK18、VDDSYS18、VDDR18 和 VDDSP18 的 1.8V 组合电源电流			115		
$I_{VDDCP18}$	数据转换器 PLL/VCO 的 1.8V 电源			1.2		
I_{VDDL}	VDDLB 和 VDDLA 的 0.8V 组合电源电流			378		
I_{VDDCLK}	VDDCLK08 的 0.8V 电源电流			669		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 0.8V 电源电流			1200		
I_{VEE}	VEEAM18 和 VEEBM18 的 -1.8V 组合电源电流			61		
P_{DIS}	总功率损耗			2266		mW
P_{DIS}	总功率损耗	电源模式 6：断电时的电源模式 2			700	mW
I_{VDDDIG}	启用 DES 时的额外电流	与 f_{CLK} 和 DAC 数量成比例变化		150		mA
	在 DUC 输出端启用 PFIR 时的额外电流	与 f_{CLK} 和非零抽头比值（总共 24 个抽头中）成比例变化		2100		mA
$I_{VDDCP18}$	启用 PLLVCO 时的额外电流	与 f_{CLK} 成比例变化		132		mA
I_{VEE}	与 20mA 相比，采用 40mA 时的额外电流	根据 DAC		57		mA

Copyright © 2026 Texas Instruments Incorporated

6.8 时序要求

除非另有说明，典型值的条件为：T_A = +25°C，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz，外部时钟模式，I_{FS_SWITCH} = 20mA，单音调振幅 = 0.1dBFS，启用抖动和 DEM。

			最小值	标称值	最大值	单位
输入时钟（CLK+、CLK-）						
f_{CLK}	输入时钟频率	外部时钟模式	0.8		22	GHz
f_{CLK}	输入时钟频率	PLL/VCO 时钟模式	0.1		3	GHz
SYSREF 和时钟路径延迟						
t_{SYSREF_LOW}	SYSREF 低电平时间要求		5*t_{DEVLK} + 1ns			
t_{SYSREF_HIGH}	SYSREF 高电平时间要求		5*t_{DEVLK} + 1ns			
$t_{ADJRANGEMIN}$	时钟延迟的最小范围 t_{ADJ}			130		ps
$t_{ADJRANGEMAX}$	时钟延迟的最大范围 t_{ADJ}			280		ps
$t_{SYSRANGEMIN}$	SYSREF 系统延迟最小范围			130		ps
$t_{SYSRANGEMAX}$	SYSREF 系统延迟最大范围			280		ps
$t_{xSTEPCOARSEMAX}$	t_{ADJ} 和 t_{SYS} 延迟最大粗调步长	设置位 18:14		6650		fs
$t_{xSTEPCOARSEMIN}$	t_{ADJ} 和 t_{SYS} 延迟最小粗调步长	设置位 18:14		4850		fs
$t_{xSTEPMEDMAX}$	t_{ADJ} 和 t_{SYS} 延迟最大中调步长	设置位 13:10		1300		fs
$t_{xSTEPMEDMIN}$	t_{ADJ} 和 t_{SYS} 延迟最小中调步长	设置位 13:10		625		fs
$t_{xSTEPFINEMAX}$	t_{ADJ} 和 t_{SYS} 延迟最大细调步长	设置位 9：0		13		fs
$t_{xSTEPFINEMIN}$	t_{ADJ} 和 t_{SYS} 延迟最小细调步长(1)	设置位 9：0		-47		fs
$t_{xSETTLE}$	t_{ADJ} 和 t_{SYS} 延迟趋稳时间	在所增延迟的 5% 以内稳定		42		ns
复位						
t_{RESET}	最小 $\overline{\text{RESET}}$ 脉冲宽度			100		ns

(1) 负阶跃发生于从 N*2^32 - 1 到 N*2^32 的转换期间，即当 5LSB 从 0b11111 变为 0b00000，且 MSB 递增 1 时。

Copyright © 2026 Texas Instruments Incorporated

6.9 开关特性

T_A = +25°C 时的典型值，自然通风条件下在工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz，外部时钟模式，I_{FS_SWITCH} = 40mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
JESD204C 串行器/解串器接口 [15:0]SRX-/+						
$f_{SERDESMAX}$	串行器/解串器比特率最大值		32.5			Gbps
$f_{SERDESMIN}$	串行器/解串器比特率最小值				1.5	Gbps
f_{REFMAX}	串行器/解串器 PLL 基准频率最大值		2040			MHz
f_{REFMIN}	串行器/解串器 PLL 基准频率最小值				82	MHz
f_{VCOMAX}	串行器/解串器 PLL 频率最大值		16.25			GHz
f_{VCOMIN}	串行器/解串器 PLL 频率最小值				8.125	GHz
SJ_{LF}	低频正弦抖动容限	20kHz			5	UI
SJ_{HF}	高频正弦抖动容限	20MHz			0.05	UI
BHPUJ	有界高概率非相关抖动容限				0.25	UI
BHPCJ	有界高概率相关抖动容限				0.2	UI
TUJ	总抖动容限(2)				0.7	UI
$BOOST_{CTLE}$	相对于直流，CTLE 在数据速率奈奎斯特频率下的升压		9			dB
R_{LDIFF}	差分回波损耗	f_{IN} = 0.275 - 0.75*f_{SERDES}			-9.7	dB
延迟						
T_{DACCLK}	DAC 时钟周期			1 / f_{CLK}		
t_{DAC_LAT}	从 SYSREF 上升沿到 DAC 输出的数字路径延迟			请参阅“XLS 计算器”		
$t_{RELEASE}$	从 SYSREF 上升沿到弹性缓冲器释放的延迟			请参阅“XLS 计算器”		
t_{RXIN}	从 SERDES 输入到弹性缓冲器释放的延迟			请参阅“XLS 计算器”		
t_{TXEN_OUTPUT}	TXENABLEn 上升沿至数据输出（从应用程序睡眠状态唤醒）	TX_PIN_FUNCn=4，IDLE_STATIC=1，DSP_MODE=0x1111，PFIR_EN=0，DSP_L=15		28065		CLK 周期
t_{TXEN_OUTPUT}	TXENABLEn 上升沿到 DAC 的数据输出	TX_PIN_FUNCn = 1、2 或 3 且 IDLE_STATIC=0			1425	CLK 周期
t_{TXEN_OUTPUT}	TXENABLEn 上升沿到 DAC 的数据输出	TX_PIN_FUNCn = 1、2 或 3 且 IDLE_STATIC=1			337	CLK 周期
t_{TXEN_MUTE}	TXENABLEn 下降沿至 DAC 输出被静音	TX_PIN_FUNCn = 1、2 或 3 且 IDLE_STATIC=0			392	CLK 周期
t_{TXEN_MUTE}	TXENABLEn 下降沿至 DAC 输出被静音	TX_PIN_FUNCn = 1、2 或 3 且 IDLE_STATIC=1			337	CLK 周期
t_{TXEN_PW}	所需的 TXENABLEn 脉冲宽度	TX_PIN_FUNCn = 1、2 或 3	64			CLK 周期
t_{TXEN_PW}	所需的 TXENABLEn 脉冲宽度	TX_PIN_FUNCn =4	124			CLK 周期
串行编程接口						
f_{S_C}	串行时钟频率				15	MHz
t_P	串行时钟周期		66			ns
t_{PH}	串行时钟脉冲宽度高电平		25			ns
t_{PL}	串行时钟脉冲宽度低电平		25			ns
t_{SU}	SDI 设置		3.2			ns
t_H	SDI 保持		1.0			ns

Copyright © 2026 Texas Instruments Incorporated

6.9 开关特性（续）

T_A = +25°C 时的典型值，自然通风条件下在工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz，外部时钟模式，I_{FS_SWITCH} = 40mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
t_{IZ}	SDI 三态				3	ns
t_{ODZ}	SDO 被驱动至三态	200fF 负载	0		6.4	ns
t_{OZD}	SDO 三态到被驱动	200fF 负载	0		6.4	ns
t_{OD}	SDO 输出延迟	200fF 负载	0		6.4	ns
t_{CSS}	$\overline{SCS}$ 设置		3.2			ns
t_{CSH}	$\overline{SCS}$ 保持		1			ns
t_{IAG}	接入间隙		12.8			ns
t_{CRS}	$\overline{SCS}$ 设置为 $\overline{RESET}$	$\overline{RESET}$ 上升沿	0			ns
t_{CSH}	$\overline{SCS}$ 保持至 $\overline{RESET}$	$\overline{RESET}$ 上升沿	30			ns
快速重新配置 (FR) 和触发接口						
$F_{TRIGCLK}$	TRIGCLK 频率				200	MHz
$t_{TRIGCLK_P}$	TRIGCLK 周期		5			ns
$t_{TRIGCLK_PH}$	TRIGCLK 脉冲宽度高电平		2.4			ns
t_{FRCLK_PL}	TRIGCLK 脉冲宽度低电平		2.4			ns
$t_{TRIG0_3_SU}$	TRIG[3:0] 设置	相对于 TRIGCLK 输出上升沿(4)	1.2			ns
$t_{TRIG0_3_H}$	TRIG[3：0] 保持	相对于 TRIGCLK 输出上升沿(4)	0.5			ns
t_{TRIG4_SU}	TRIG4 设置	相对于 TRIGCLK 输出上升沿(4)	1.2			ns
t_{TRIG4_H}	TRIG4 保持	相对于 TRIGCLK 输出上升沿(4)	0.5			ns
		单个时钟事务，相对于 TRIGCLK 输出上升沿(4)	3			ns
t_{FR_IAG}	接入间隙		5			ns
t_{TRIG4_CS2S}	TRIG4 上升至 TRIGCLK 建立时间	FRS TRIGCLK 模式且 FRS = 1	2			ns
t_{TRIG4_CS2H}	TRIG4 上升至 TRIGCLK 保持时间		2ns + 1 触发时钟周期			ns
t_{TRIG4_CSIMAX}	TRIG4 上升至 NCO 更新反映到 DAC 输出最大值上	FRS 即时模式且 FRS = 1。此延迟是不确定的。	5ns + 1,140 个 DACCLK 周期(5)			
t_{TRIG4_CSIMIN}	TRIG4 上升至 NCO 更新反映到 DAC 输出最小值上	FRS 即时模式且 FRS = 1。此延迟是不确定的。	1,060 个 DACCLK 周期(5)			
$t_{FR_PFIRWAIT}$	设置 FR_PFIR_PROG = 1 后的等待时间		1024			DACCLK
PLL/VCO 特性						
f_{REF}	参考时钟频率		0.1		3	GHz
f_{DACCLK}	具有转换器 PLL/VCO 的 DAC 采样时钟		8.125		17	GHz
PLL_{RATIO}	基准时钟与 VCO 频率之比(3)		6		128	
PLL_{DIV}	VCO 频率与 DAC 采样时钟之比		1		1	
PN_{PLL}	PLL/VCO 相位噪声，f_{REF} = 2GHz(1)	f_{VCO}= 16GHz，1KHz 偏移		-112		dBc/Hz
		f_{VCO}= 16GHz，10kHz 偏移		-122		dBc/Hz
		f_{VCO}= 16GHz，100kHz 偏移		-129		dBc/Hz
		f_{VCO}= 16GHz，1MHz 偏移		-132		dBc/Hz
		f_{VCO}= 16GHz，10MHz 偏移		-132		dBc/Hz
		f_{VCO}= 16GHz，100MHz 偏移		-145		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

6.9 开关特性（续）

T_A = +25°C 时的典型值，自然通风条件下在工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz，外部时钟模式，I_{FS_SWITCH} = 40mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
PN_{PLLINT}	1kHz 至 100MHz，f_{REF} = 2GHz(1)	f_{VCO} = 20GHz		-56		dBc

(1) 在 1GHz 时在 DAC 输出端测量，标准化为 VCO 频率。
(2) 包括高频正弦抖动；高斯抖动 (GJ) 部分是针对 BER 为 10^{-15} 定义的。
(3) 器件支持 2^N*3^M，其中 N = 1 - 16，M = 0 或 1
(4) TRIGCLK 输出上为 4pF
(5) 当 DES2X 滤波器启用时，延迟会增加 185 个 DACCLK 周期。当 PFIR 启用且 PFIR_MODE= 0 时，延迟会增加 265 个 DACCLK 周期（相对于第一个 PFIR 抽头）。

6.10 SPI 接口时序图

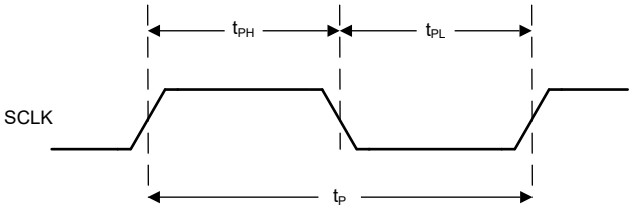


图 6-1. SPI 时钟时序图

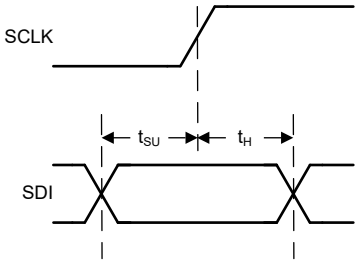


图 6-2. SPI 数据输入时序图

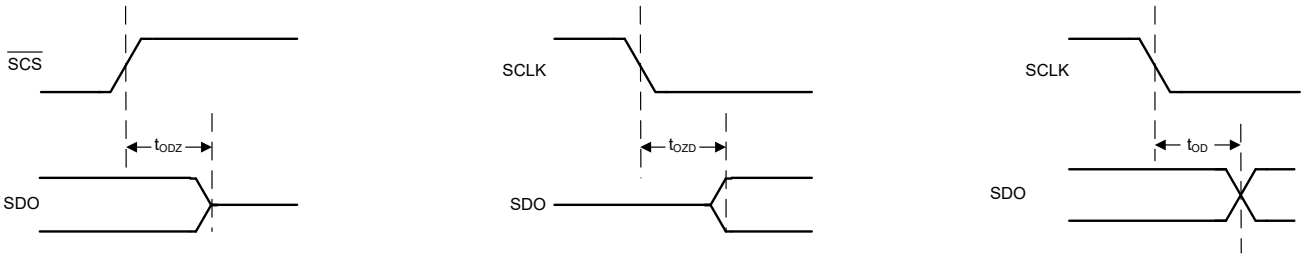


图 6-3. SPI 数据输出时序图

Copyright © 2026 Texas Instruments Incorporated

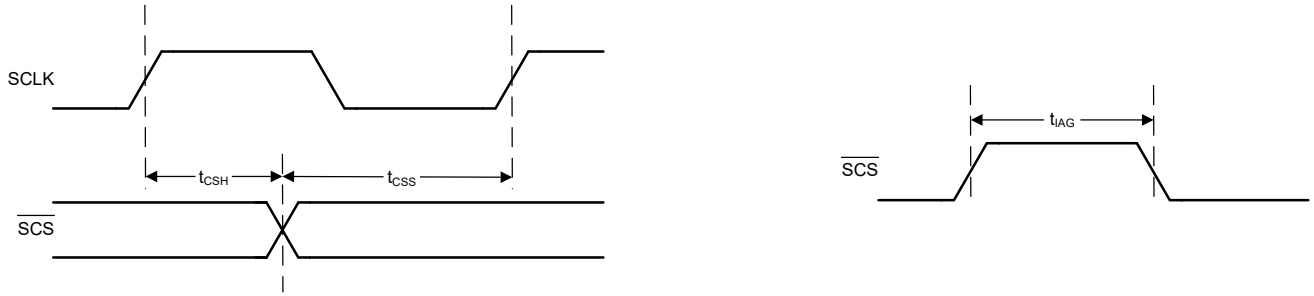


图 6-4. SPI 片选时序图

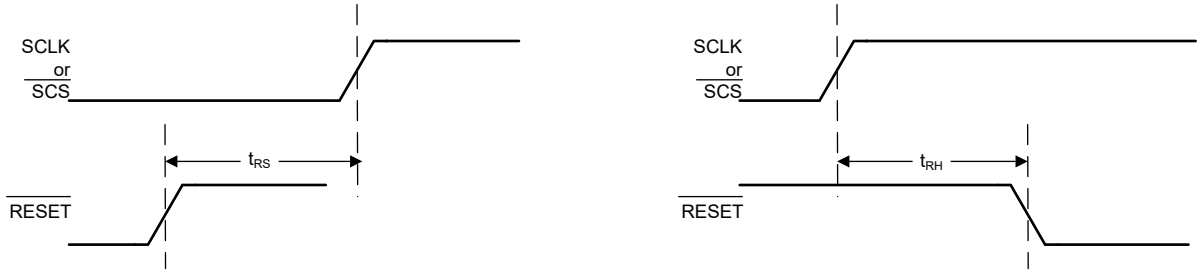
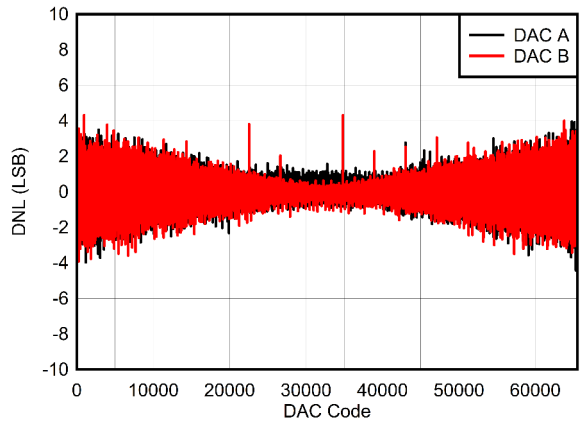


图 6-5. $\overline{\text{RESET}}$ 时序图

Copyright © 2026 Texas Instruments Incorporated

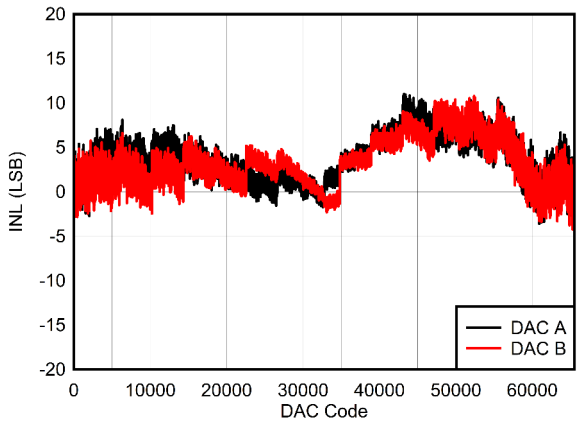
6.11 典型特性：直流线性度、输出功率和串扰

T_A = +25°C 时的典型值，自然通风条件下在工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz，I_{FS_SWITCH} = 20mA，单音振幅 = -0.1dBFS，禁用抖动和 DEM，除非另有说明。



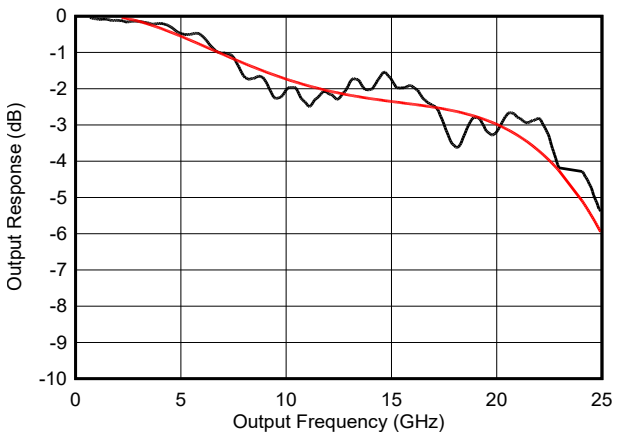
禁用 DEM 和抖动

图 6-6. 微分非线性度 (DNL) 与 DAC 代码间的关系



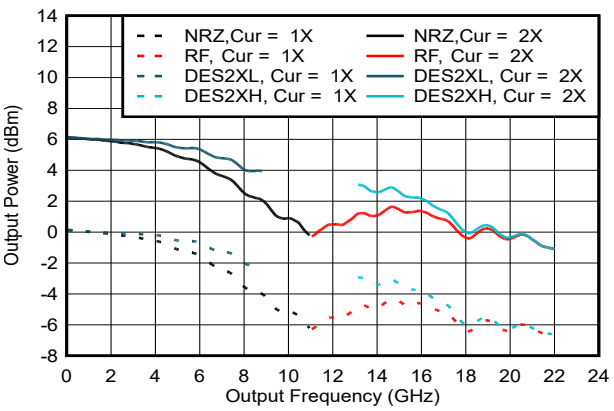
禁用 DEM 和抖动

图 6-7. 积分非线性度 (INL) 与 DAC 代码间的关系



针对标准化为 0Hz 的 Sin(x)/x 输出响应进行补偿。已剔除 PCB 和平衡-非平衡变压器损耗。

图 6-8. 模拟输出响应与输出频率间的关系



已剔除 PCB 和平衡-非平衡变压器损耗。

图 6-9. 输出功率与输出频率间的关系

6.11 典型特性：直流线性度、输出功率和串扰（续）

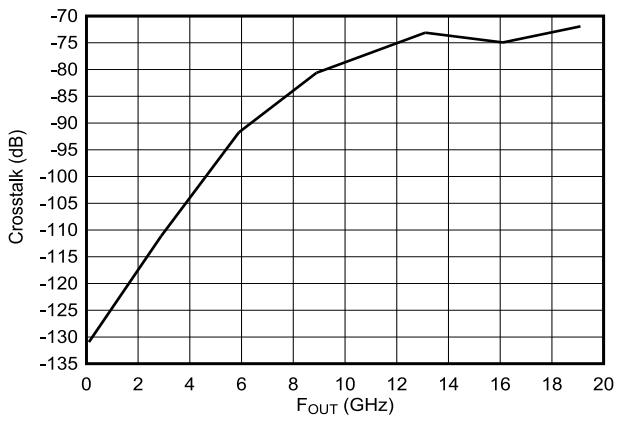


图 6-10. 串扰与输出频率间的关系

Copyright © 2026 Texas Instruments Incorporated

6.12 典型特性：单音光谱

T_A = +25°C 时的典型值，自然通风条件下在工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz，I_{FS_SWITCH} = 40mA (CURRENT_2X = 1)，单音振幅 = -0.1dBFS，启用抖动和 DEM，除非另有说明。

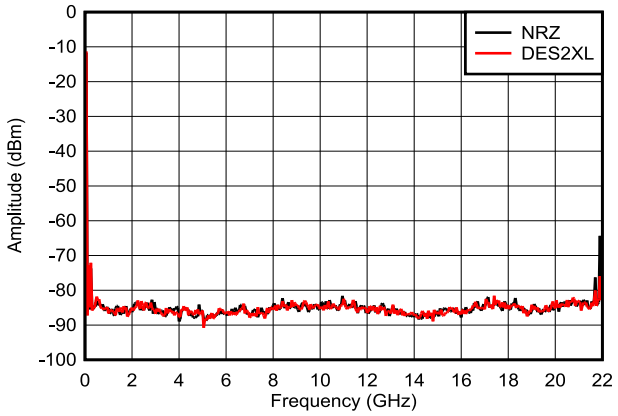


图 6-11. 97MHz 处的输出频谱，DEM/抖动打开

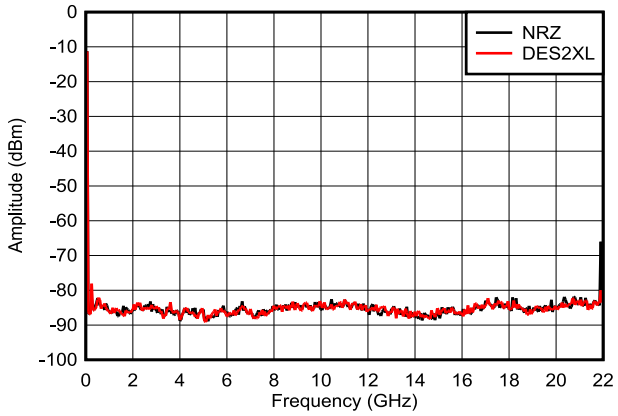


图 6-12. 97MHz 处的输出频谱，DEM/抖动关闭

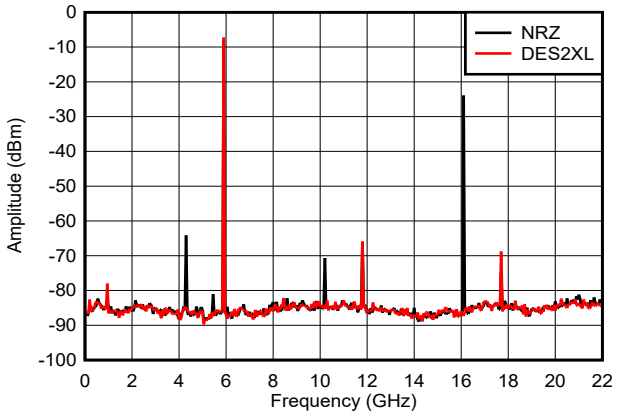


图 6-13. 5,897MHz 处的输出频谱，DEM/抖动打开

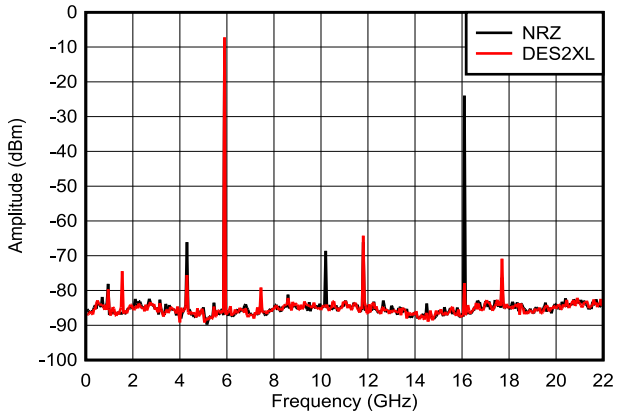


图 6-14. 5,897MHz 处的输出频谱，DEM/抖动关闭

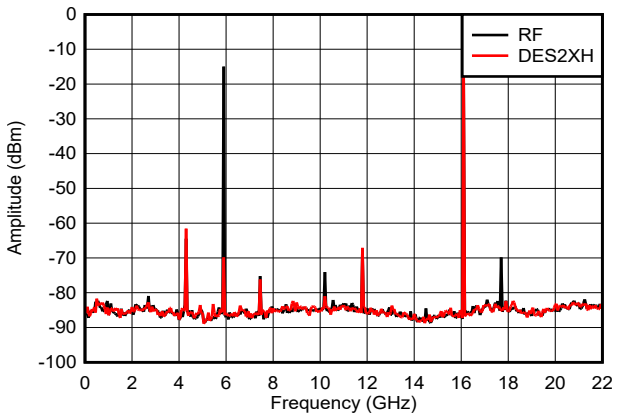


图 6-15. 16,097MHz 处的输出频谱，DEM/抖动打开

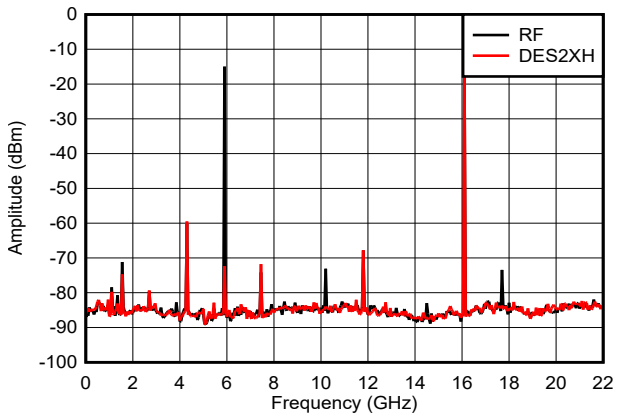


图 6-16. 16,097MHz 处的输出频谱，DEM/抖动关闭

Copyright © 2026 Texas Instruments Incorporated

6.13 典型特性：相位、振幅噪声和时钟延迟

T_A = +25°C 时的典型值，自然通风条件下在工作温度范围内的最小值和最大值，典型电源电压，f_{DACCLK} = 24GHz（在外部时钟模式下为）和 16GHz（在 PLL/VCO 时钟模式下），I_{FS_SWITCH} = 40mA (CURRENT_2X = 1)，单音振幅 = -0.05dBFS，禁用抖动和 DEM，除非另有说明。

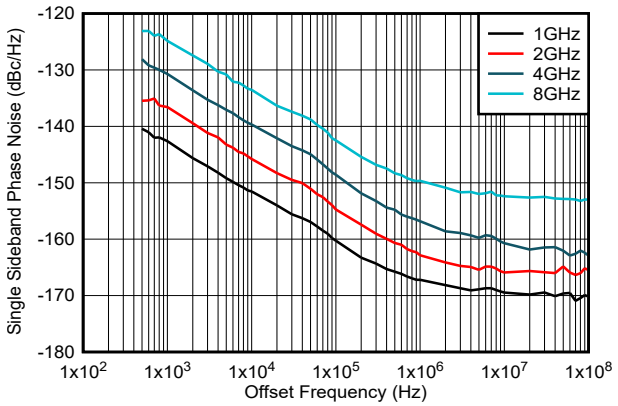


图 6-17. DES2XL 模式下的相位噪声，DEM/抖动关闭

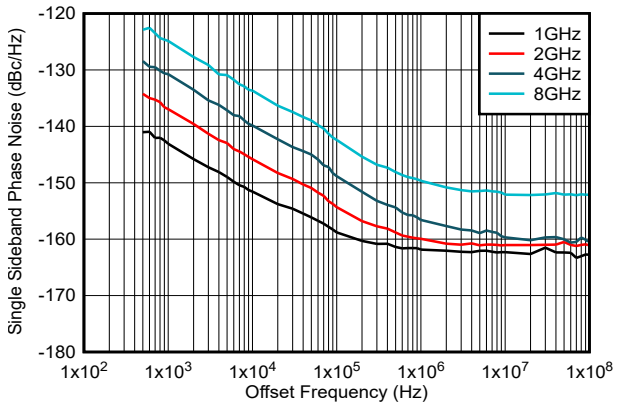
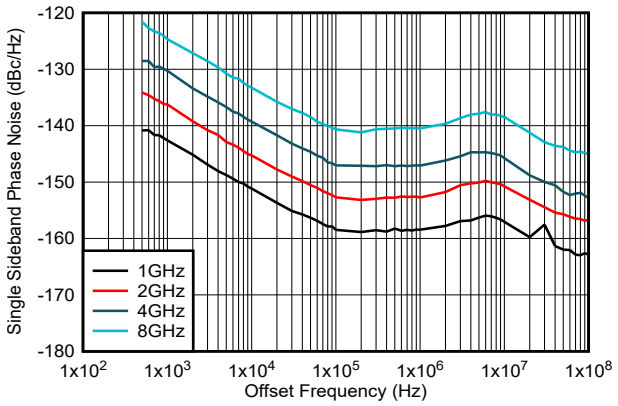
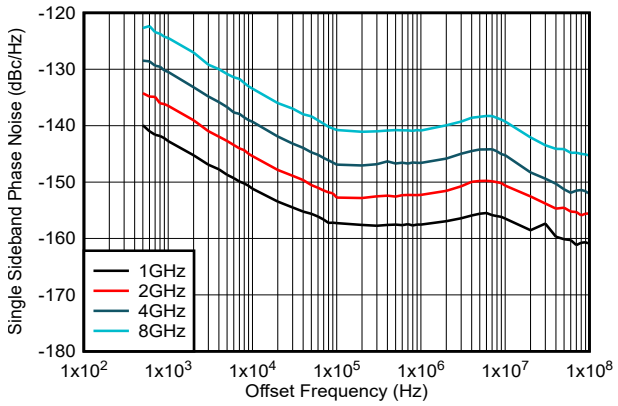


图 6-18. DES2XL 模式下的相位噪声，DEM/抖动打开



在外部时钟模式下使用 DES2XL 而不是 NRZ

图 6-19. NRZ 模式下的相位噪声，DEM/抖动关闭



在外部时钟模式下使用 DES2XL 而不是 NRZ

图 6-20. NRZ 模式下的相位噪声，DEM/抖动打开

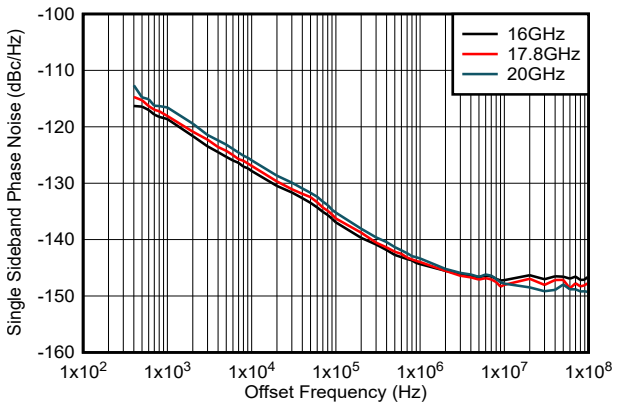


图 6-21. DES2XH 模式下的相位噪声，DEM/抖动关闭

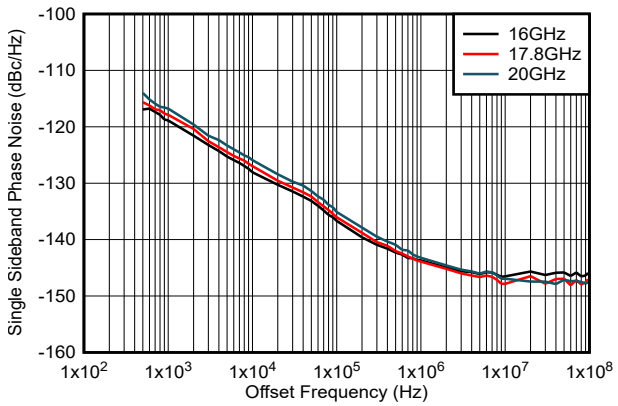


图 6-22. DES2XH 模式下的相位噪声，DEM/抖动打开

Copyright © 2026 Texas Instruments Incorporated

6.13 典型特性：相位、振幅噪声和时钟延迟（续）

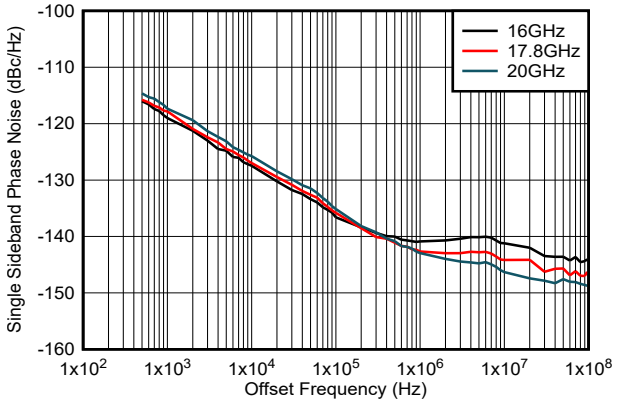


图 6-23. RF 模式下的相位噪声，DEM/抖动关闭

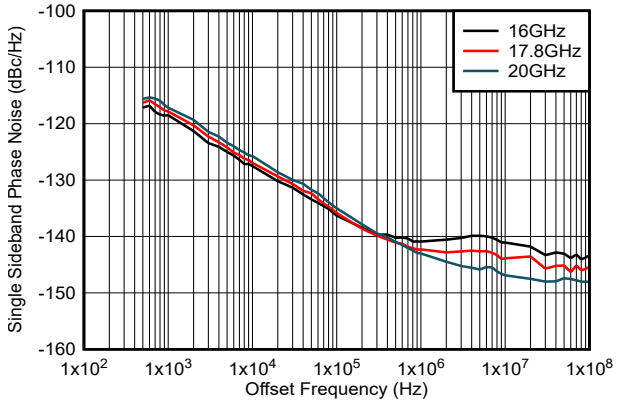


图 6-24. RF 模式下的相位噪声，DEM/抖动打开

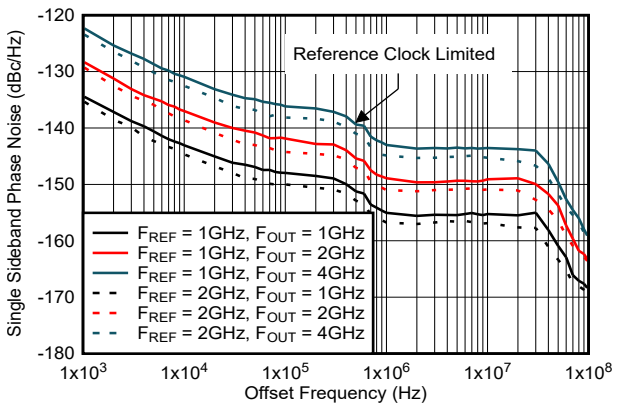


图 6-25. PLL/VCO、DES2XL 和 DEM/抖动关闭时的相位噪声

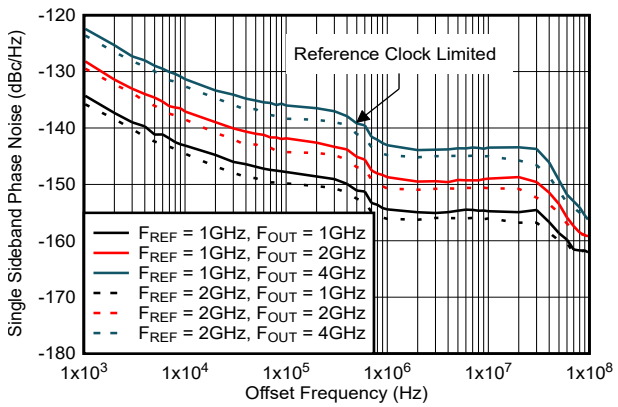


图 6-26. PLL/VCO、DES2XL 和 DEM/抖动打开时的相位噪声

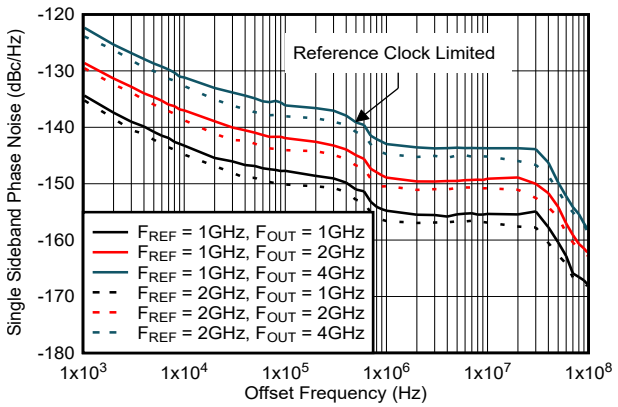


图 6-27. PLL/VCO、NRZ 和 DEM/抖动关闭时的相位噪声

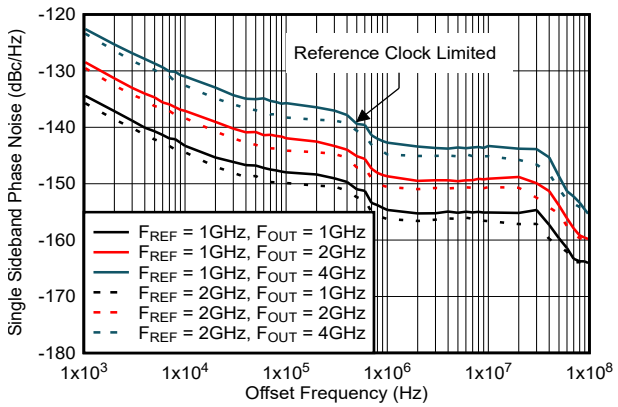
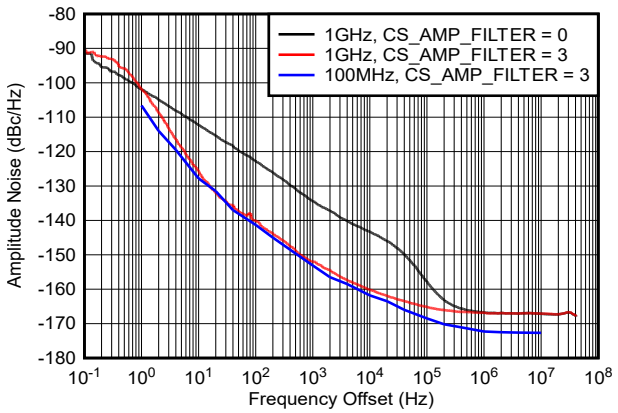


图 6-28. PLL/VCO、NRZ 和 DEM/抖动打开时的相位噪声

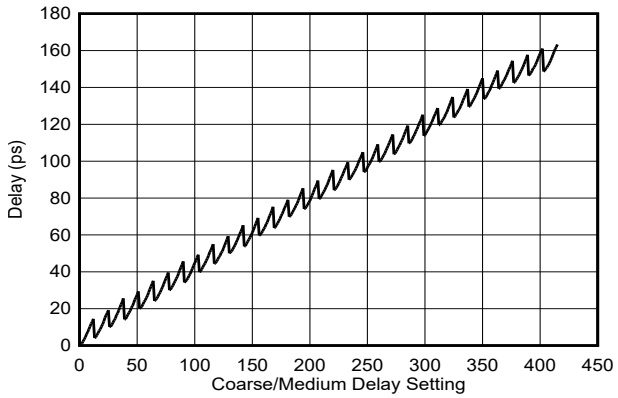
Copyright © 2026 Texas Instruments Incorporated

6.13 典型特性：相位、振幅噪声和时钟延迟 （续）



Fout = 1GHz，DES2XL 模式，DEM/Dither 关闭

图 6-29. 1GHz 时的交流振幅噪声



设置 = TSYS[18:14]*13 + TSYS[13:10]，TSYS[13:10] 限制为 ⩽ 12

图 6-30. T_{SYS} 延迟

Copyright © 2026 Texas Instruments Incorporated

6.14 典型特性：单音线性度

T_A = +25°C 时的典型值，自然通风条件下在工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 22GHz，I_{FS_SWITCH} = 20mA (CURRENT_2X = 0)，单音振幅 = -0.1dBFS，启用抖动和 DEM，除非另有说明。

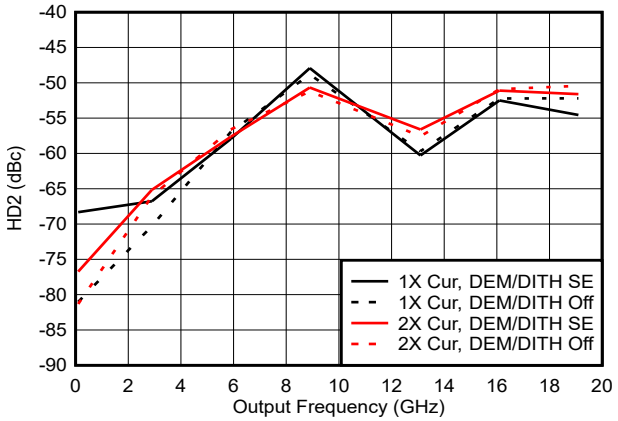


图 6-31. NRZ 和 RF 模式下 HD2 与输出频率间的关系

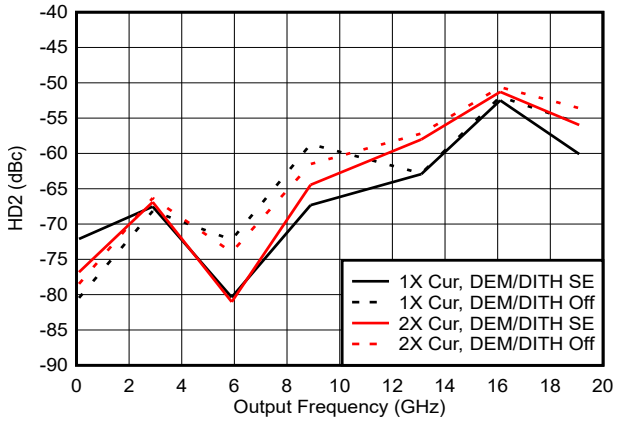
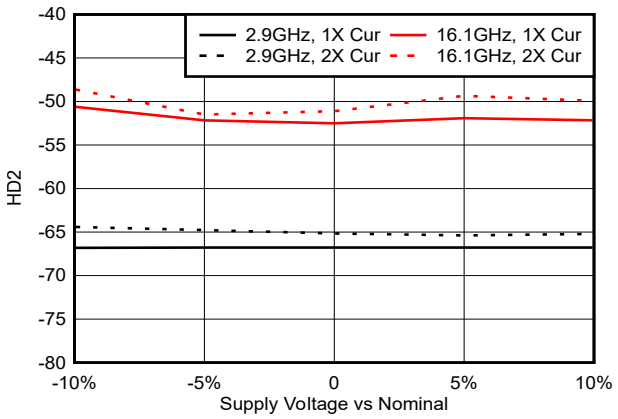
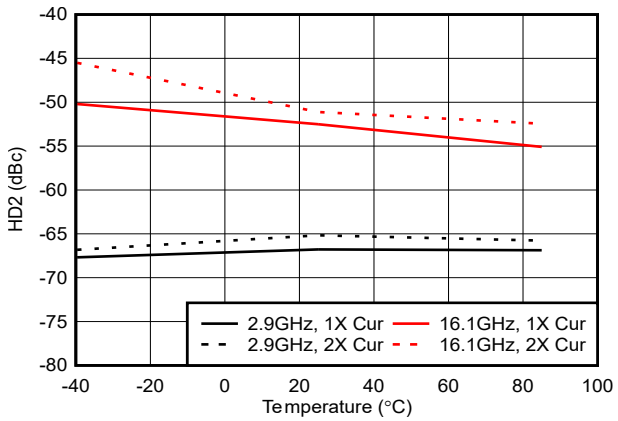


图 6-32. DES2XL 和 DES2XH 模式下 HD2 与输出频率间的关系



DEM/抖动单边沿 (SE)，建议电源电压范围为 ±5%

图 6-33. NRZ 和 RF 模式下 HD2 与电源电压间的关系



DEM/抖动单边沿 (SE)

图 6-34. NRZ 和 RF 模式下 HD2 与温度间的关系

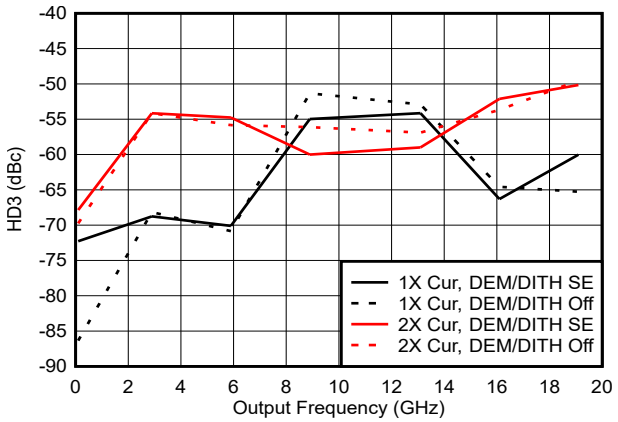


图 6-35. NRZ 和 RF 模式下 HD3 与输出频率间的关系

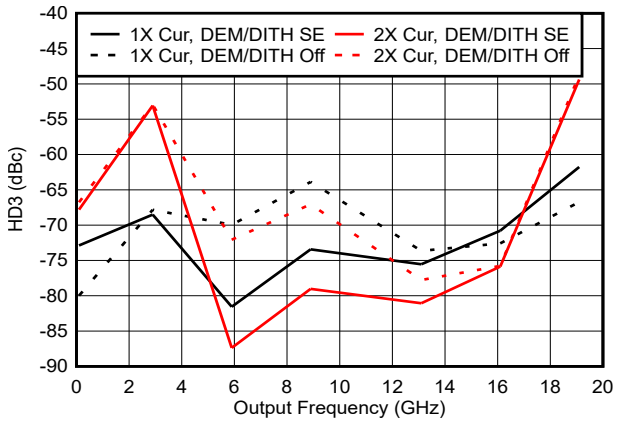
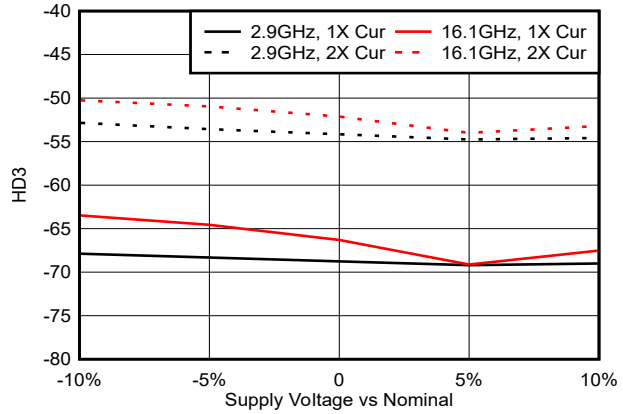


图 6-36. DES2XL 和 DES2XH 模式下 HD3 与输出频率间的关系

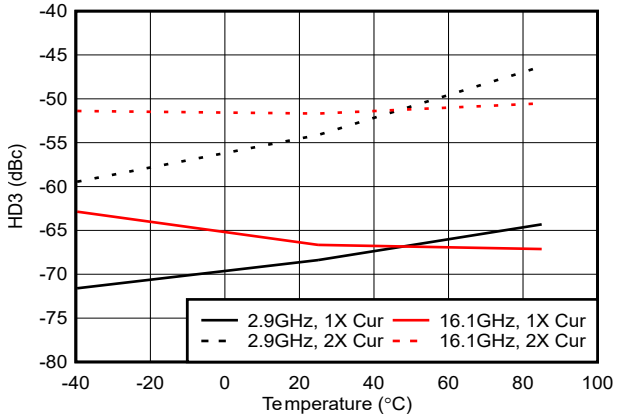
Copyright © 2026 Texas Instruments Incorporated

6.14 典型特性：单音线性度（续）



DEM/抖动单边沿 (SE)，建议电源电压范围为 ±5%

图 6-37. NRZ 和 RF 模式下 HD3 与电源电压间的关系



DEM/抖动单边沿 (SE)

图 6-38. NRZ 和 RF 模式下 HD3 与温度间的关系

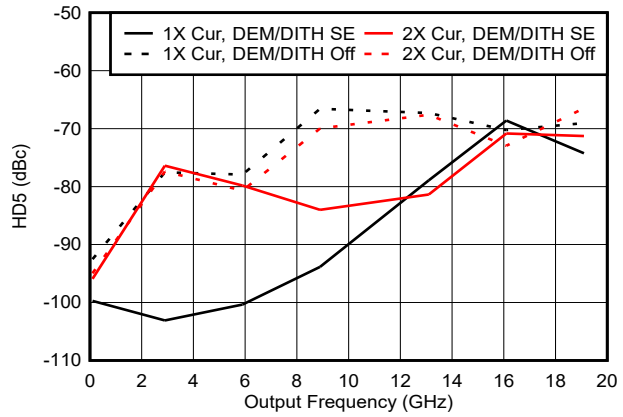


图 6-39. NRZ 和 RF 模式下 HD5 与输出频率间的关系

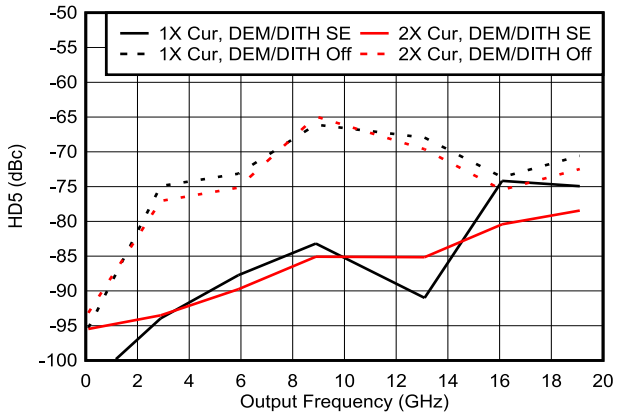
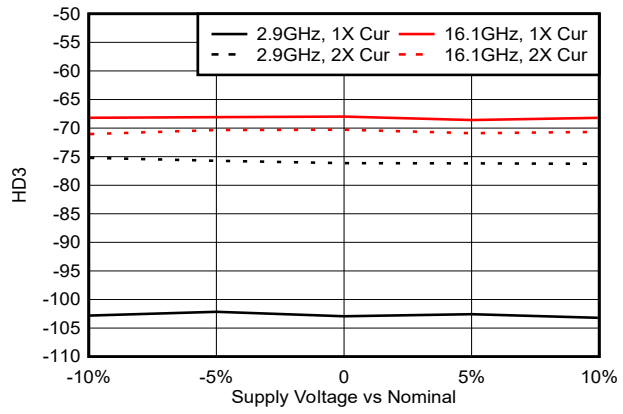
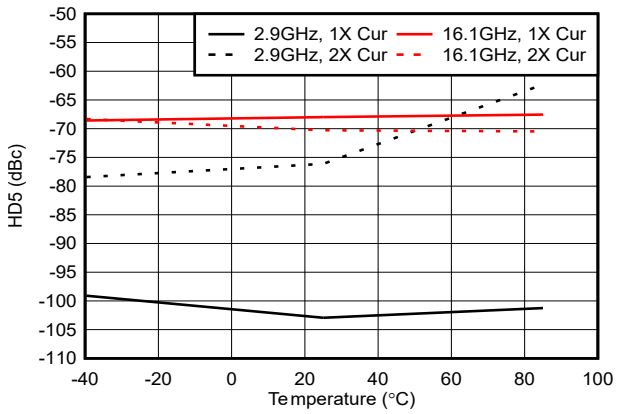


图 6-40. DES2XL 和 DES2XH 模式下 HD5 与输出频率间的关系



DEM/抖动单边沿 (SE)，建议电源电压范围为 ±5%

图 6-41. NRZ 和 RF 模式下 HD3 与电源电压间的关系



DEM/抖动单边沿 (SE)

图 6-42. NRZ 和 RF 模式下 HD3 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6.15 典型特性：功率和电源电流

T_A = +25°C，I_{FS_SWITCH} = 20mA (CURRENT_2X = 0)，双 DAC 输出，启用抖动和 DEM，JMODE2 采用 64b/66b 编码，2 个 DUC，除非另有说明。

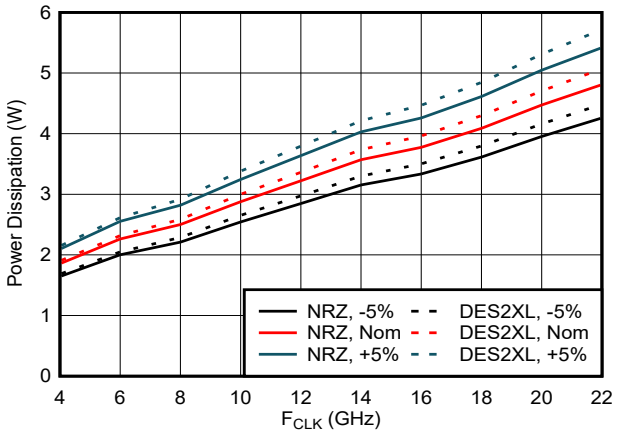


图 6-43. 功率耗散与输入时钟间的关系

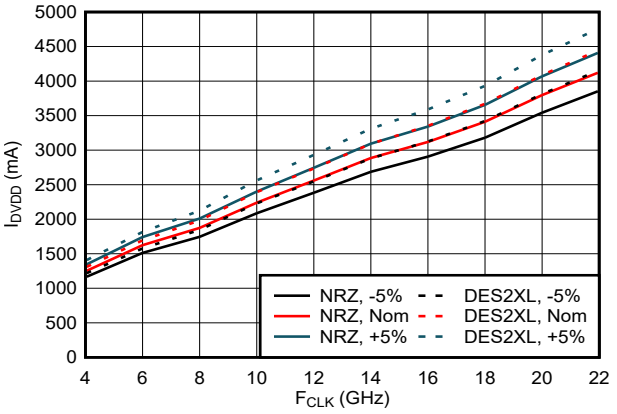


图 6-44. I_{DVDD} 与输入时钟间的关系

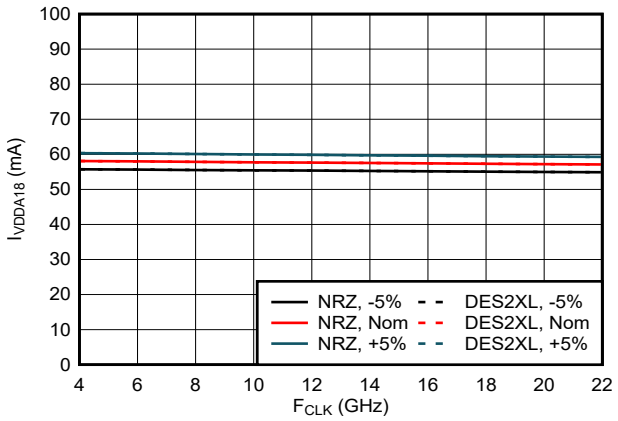
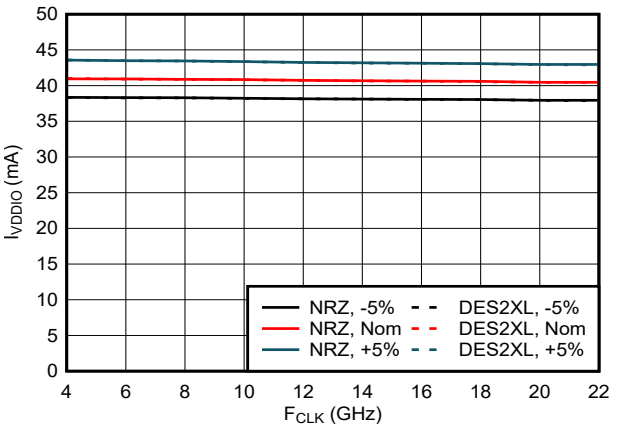


图 6-45. I_{VDDA18} 与输入时钟间的关系



除 IO 电路外，VDDIO 还包含一个内部稳压器

图 6-46. I_{VDDIO} 与输入时钟间的关系

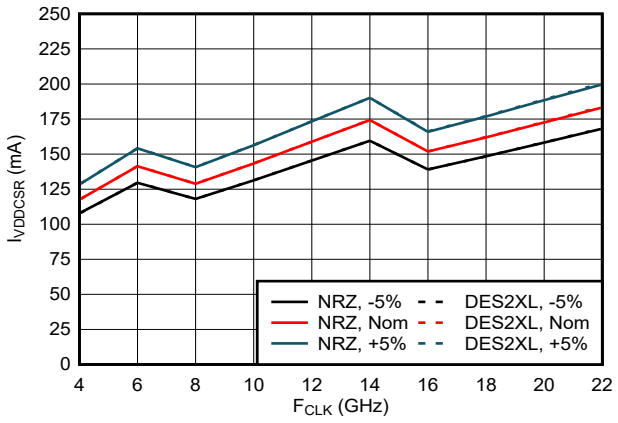


图 6-47. I_{VDDCSR} 与输入时钟间的关系

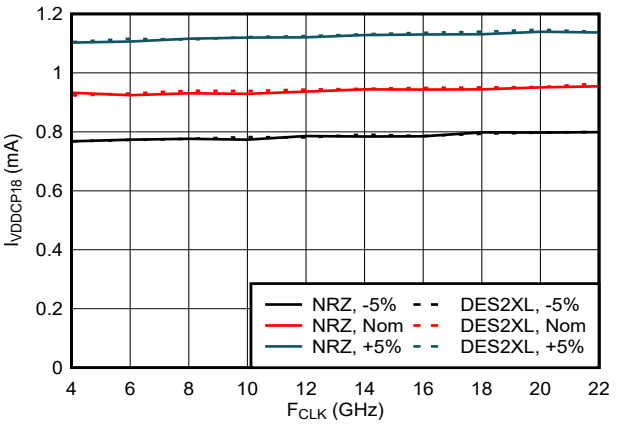


图 6-48. $I_{VDDCP18}$ 与输入时钟间的关系

Copyright © 2026 Texas Instruments Incorporated

6.15 典型特性：功率和电源电流（续）

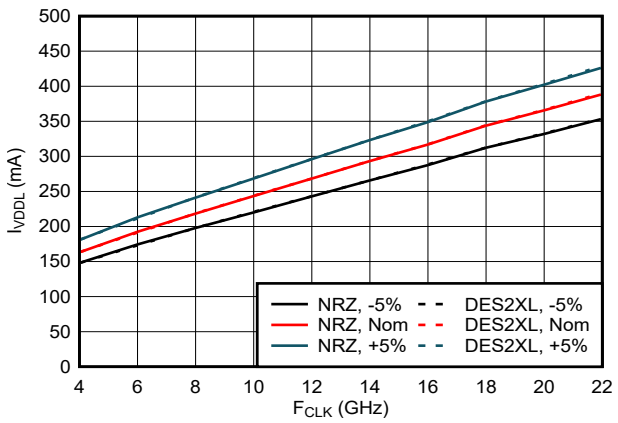


图 6-49. I_{VDDL} 与输入时钟间的关系

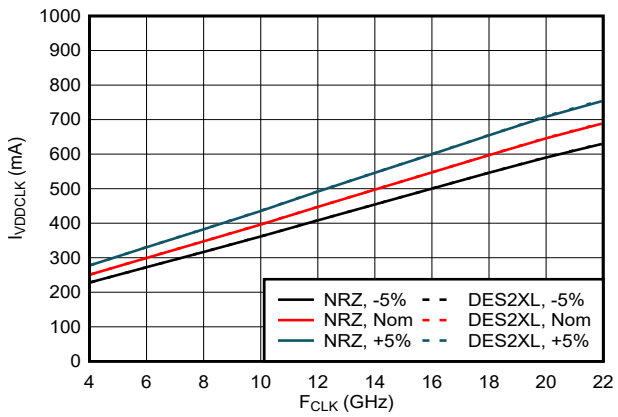


图 6-50. I_{VDDCLK} 与输入时钟间的关系

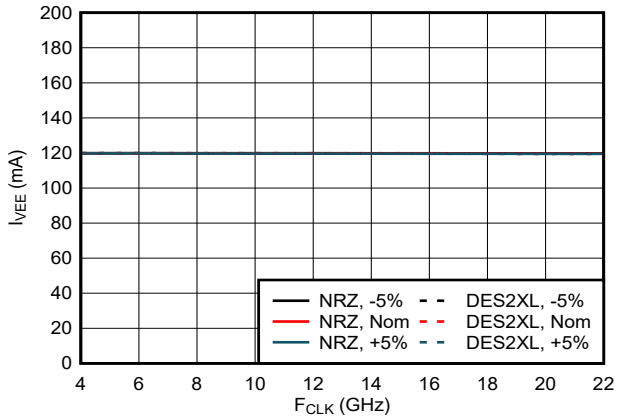


图 6-51. I_{VEE} 与输入时钟间的关系

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

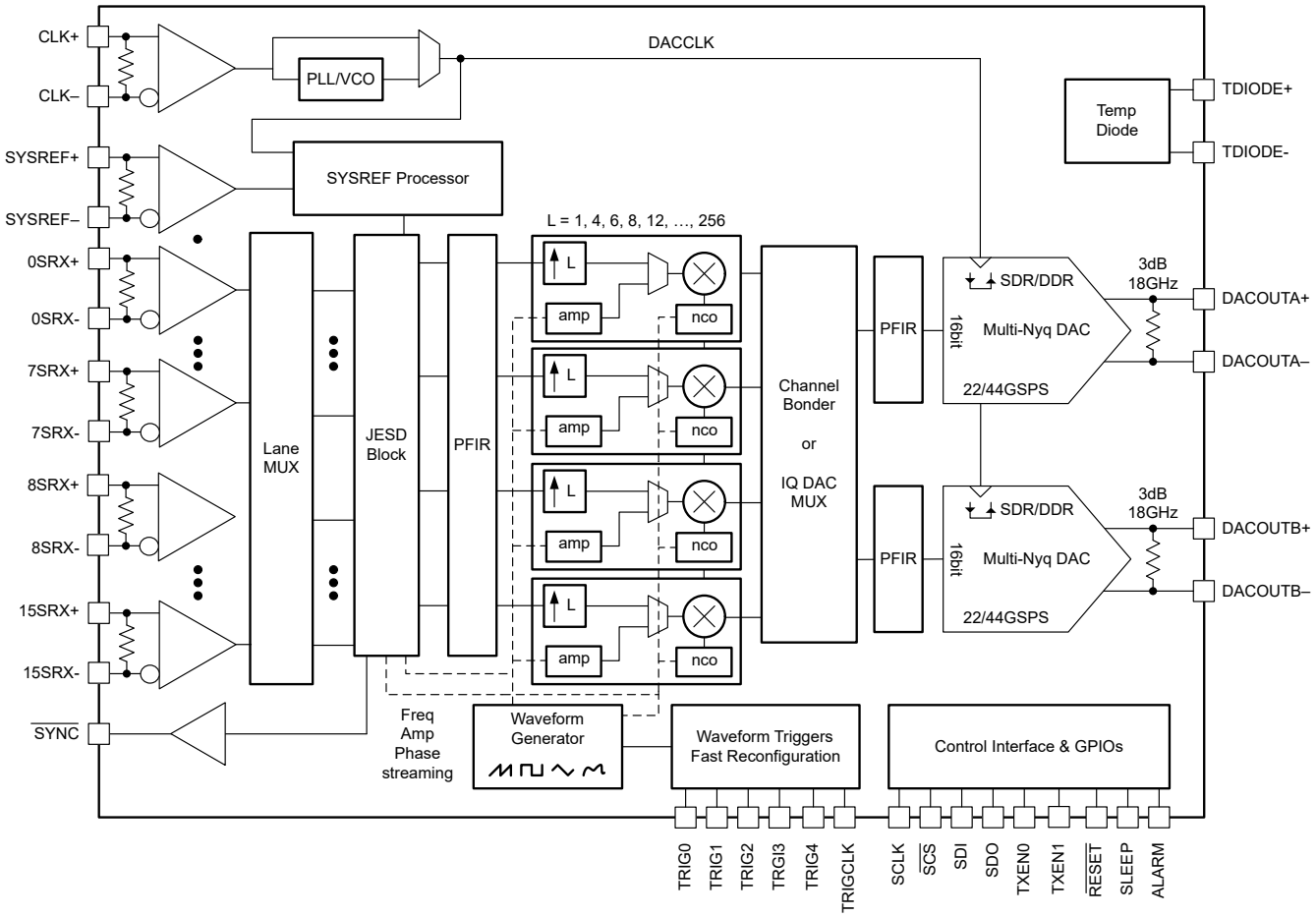
DAC39RF20 是具有 16 位分辨率的单通道和双通道数模转换器 (DAC)。借助外部时钟，此器件支持 22GSPS 的单沿采样模式（NRZ 和 RF）以及 44GSPS 的双沿采样模式（DES2XL、DES2XH）。使用内部 PLL/VCO 时，器件支持 17GSPS 的单沿采样模式（NRZ 和 RF）以及 34GSPS 的双沿采样模式（DES2XL、DES2XH）。这些器件可用作非内插或内插 DAC，用于直接射频采样或复数基带信号生成。两通道的最大输入数据速率为 21GSPS（12 位分辨率）或 15.75GSPS（16 位分辨率）。单通道最大速率为 22GSPS（16 位分辨率）。该器件可在超过 20GHz 的频率下生成带宽大于 10GHz 的信号，支持通过 Ku 频带宽直接采样。

高采样率、输出频率范围、64 位 NCO 频率分辨率以及具有相位相干的无限频率捷变能力，使得 DAC39RF20 能实现任意波形生成 (AWG) 和直接数字合成 (DDS)。四个内置的分段线性波形发生器可用于合成复杂波形，例如用于非线性频率调制 (NLFM)、Frank 或 Barker 相位编码雷达脉冲，或用于量子计算控制器的绝热门导数消除 (DRAG) 脉冲。

可选用高性能 PLL/VCO 从低频基准时钟生成 DAC 采样时钟。

符合 JESD204C 标准的接口具有 16 个接收器对，速率高达 32.5Gbps。该接口符合子类 1 标准，可通过使用 SYSREF 实现确定性延迟和多器件同步（仅限外部时钟模式）。

7.2 功能方框图



7.3 特性说明

本部分介绍了器件的模拟和数字特性。

7.3.1 DAC 输出模式

DAC39RF20 包含两个能够在第 1 和第 2 奈奎斯特区域中直接传输的多奈奎斯特 DAC 内核。高输出频率功能通过改变 DAC 输出频率响应的特定输出开关波形来实现，从而增强较高奈奎斯特区域中的 DAC 图像。通过对 MXMODE0/1 寄存器进行设定，可以为每个 DAC 独立选择所需的输出模式。表 7-1 中提供了 DAC 输出模式及其属性和用途的列表。本节中显示的响应不考虑 DAC 模拟带宽或外部无源或有源信号链元件的影响。

表 7-1. 多奈奎斯特输出模式和用途摘要

DAC 输出模式	通过直流	理想频率范围(2)	峰值输出功率 (1)	其他
非归零 (NRZ)	是	0 - F_{CLK}/2	0dBFS	
射频 (RF)	否	F_{CLK}/2 - F_{CLK}	– 2.8dBFS	
双边沿采样低频带 (DES2XL)	是	0 - 0.4*F_{CLK}/2	0dBFS	F_{CLK} - F_{OUT} 时的占空比图像
双边沿采样高频带 (DES2XH)	否	0.6*F_{CLK} - F_{CLK}	0dBFS	F_{CLK} - F_{OUT} 时的占空比图像

(1) 此处的峰值功率不包括寄生无源器件或外部元件导致的模拟输出带宽的影响
(2) F_{CLK} 是 CLK+/- 输入的频率

Copyright © 2026 Texas Instruments Incorporated

7.3.1.1 NRZ 模式

非归零 (NRZ) 模式是标准零阶保持模式。图 7-1 给出了 NRZ 模式的时序图。采样在提供给 DAC 内核的时钟的上升沿(从 PLL/VCO 或外部)从 DAC 输出，并保持到下一个上升沿。该输出波形可视为时域中的矩形滤波器，从而在频域中产生正弦响应。结果是第二奈奎斯特和第三奈奎斯特区域的频率响应具有显著的功率损耗，采样率为零，仅适用于第一奈奎斯特区域运行。NRZ 模式的频率响应图如图 7-2 所示。

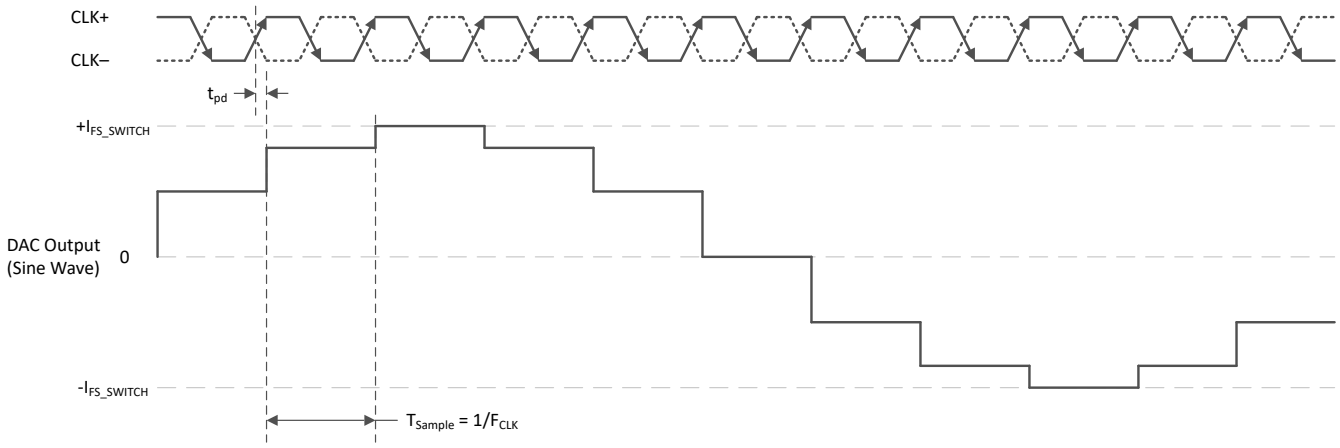


图 7-1. NRZ 模式时序图

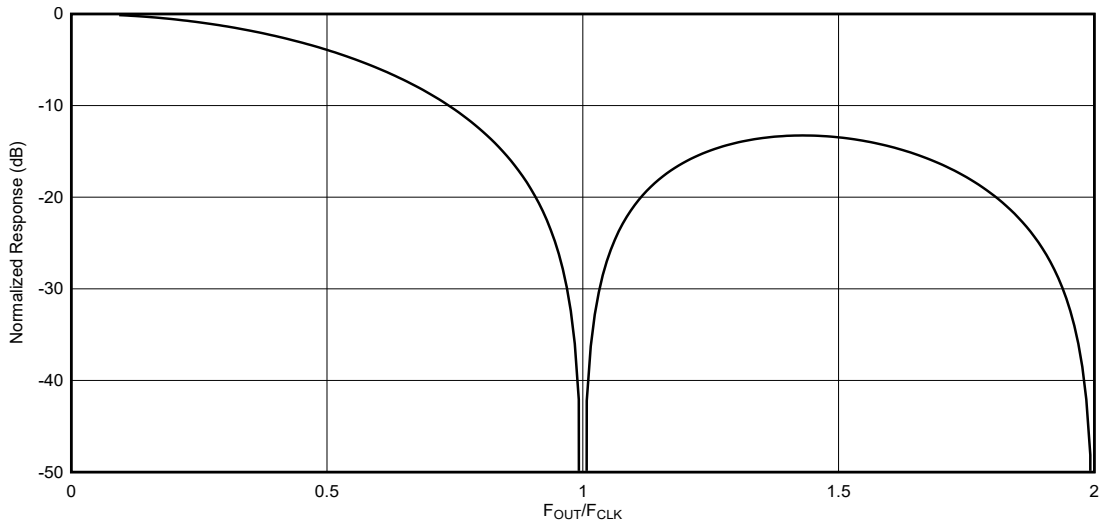


图 7-2. NRZ 模式输出频率响应

7.3.1.2 RF 模式

射频模式通过在采样周期的中途将采样反相，向 DAC 输出添加了一个混合功能。结果是频率响应在第二奈奎斯特区域达到峰值并提供最大平坦度。射频模式的时序图如图 7-3 所示。射频模式的频率响应图如图 7-4 所示。

Copyright © 2026 Texas Instruments Incorporated

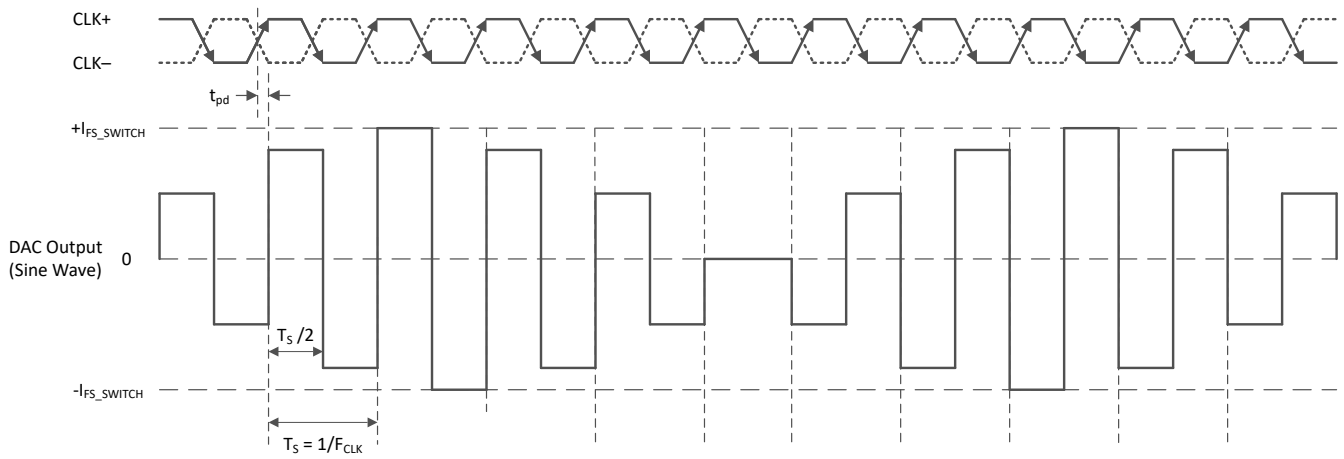


图 7-3. 射频模式时序图

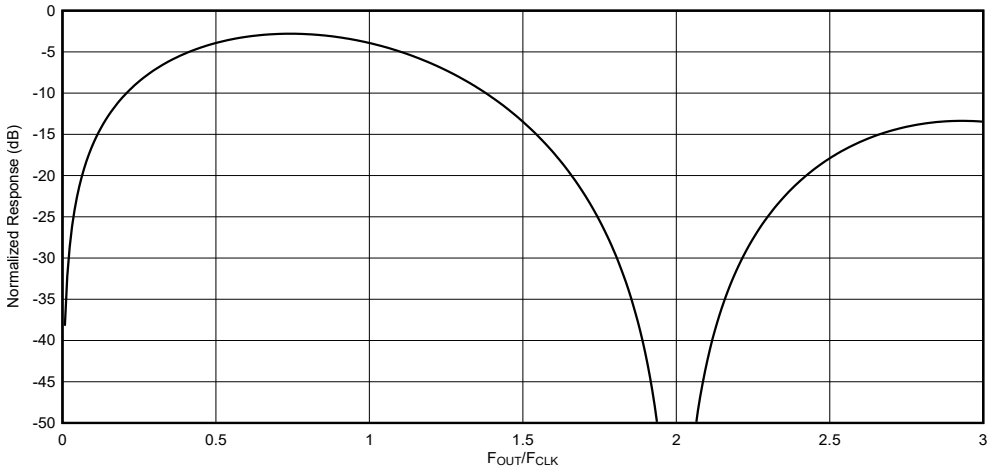


图 7-4. RF 模式输出频率响应

7.3.1.3 DES 模式

双边沿采样 (DES) 模式在提供给 DAC 内核的 DACCLK 的上升沿和下降沿（来自 PLL/VCO 或在外部提供）输出唯一的采样，并在同一时钟频率下将采样率加倍。器件中包含一个额外的 2 级数字内插，以实现双倍采样率。在 DES2XL 模式下，内插滤波器为低通（通过 0 - 0.4*F_{DACCLK}），并且在 DES2XH 模式下，内插滤波器为高通（通过 0.6*F_{DACCLK} - F_{DACCLK}）。结合了 Sin(x)/x 响应的 DES2XL 和 DES2XH 内插滤波器如图 7-5 所示。

如果 CLK 占空比不是 50%，将以 F_{CLK} - F_{OUT} 生成信号图像。与具有相同 DACCLK 的 NRZ 或 RF 模式相比，DES2XL 及 DES2XH 模式显著降低了图像振幅，并降低了滤波器要求。

Copyright © 2026 Texas Instruments Incorporated

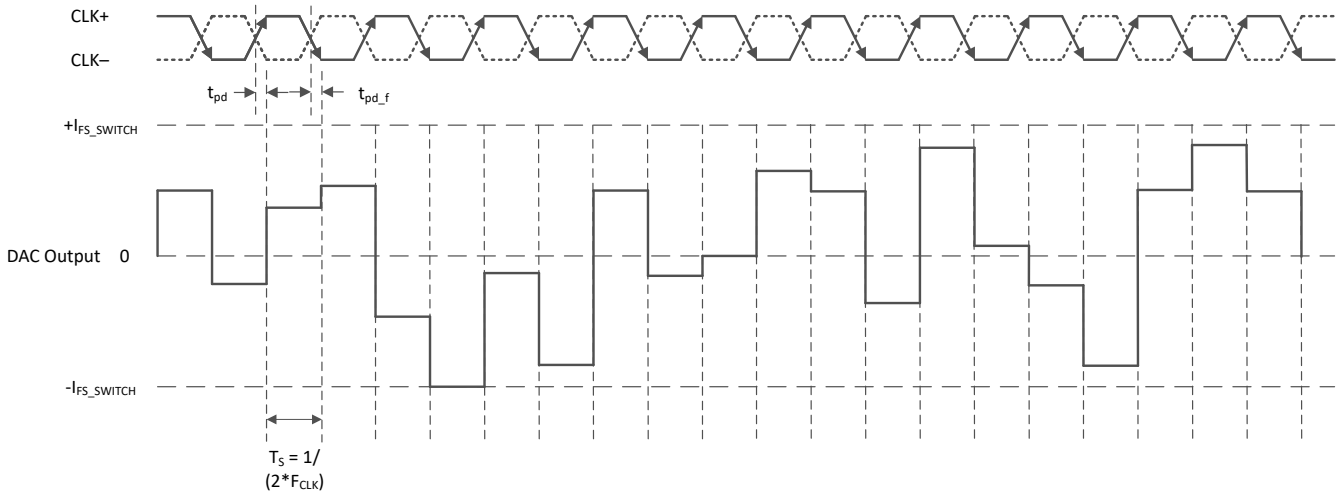


图 7-5. DES 模式时序图

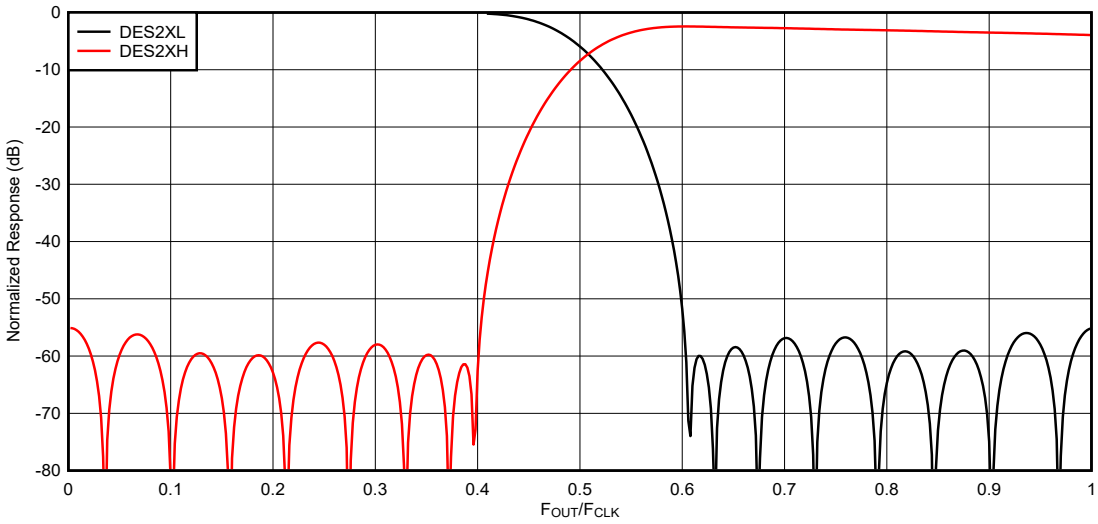


图 7-6. DES 模式输出频率响应

7.3.2 DAC 内核

该器件具有两个 16 位 DAC 内核。

7.3.2.1 DAC 输出结构

图 7-7 展示了一个 DAC 通道的 DAC 内核模拟输出结构。两个电流输出引脚 DACOUTx± 之间有一个差分端接电阻。电流转向开关阵列连接到输出引脚，并根据数字代码在输出引脚之间调节电流。恒定直流电流偏置 I_{FS_STATIC} 从两个输出端消耗电流，而不考虑数字代码。内部一个标称阻值为 100 Ω 的电阻 R_{TERM} 以差分方式端接输出。

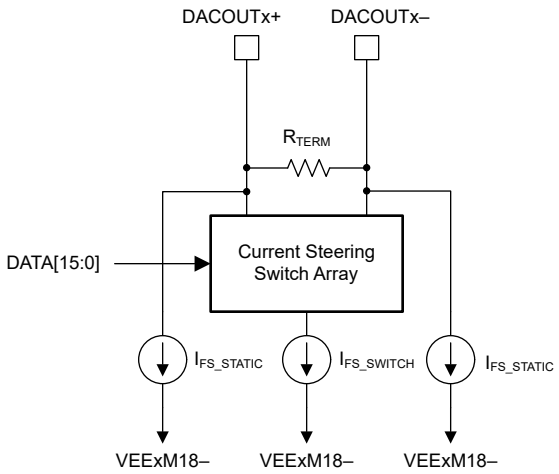


图 7-7. 模拟输出结构

表 7-2 给出了 DACOUTx± 输出上从数字代码转换为电流的示例。表 7-2 中显示的电流包括电流引导部分和每个桥臂上的偏置电流。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 将数字代码转换为模拟电流的示例

数字代码	二进制补码	偏移二进制	$I_{DACOUTx+}$	$I_{DACOUTx-}$	$I_{DACOUTx+} - I_{DACOUTx-}$
32767	0111 1111 1111 1111	1111 1111 1111 1111	0.9999847 × I_{FS_SWITCH} + I_{FS_STATIC}	0.0000153 × I_{FS_SWITCH} + I_{FS_STATIC}	0.9999694 × I_{FS_SWITCH}
16384	0100 0000 0000 0000	1100 0000 0000 0000	¾ × I_{FS_SWITCH} + I_{FS_STATIC}	¼ × I_{FS_SWITCH} + I_{FS_STATIC}	½ × I_{FS_SWITCH}
0	0000 0000 0000 0000	0000 0000 0000 0000	½ × I_{FS_SWITCH} + I_{FS_STATIC}	½ × I_{FS_SWITCH} + I_{FS_STATIC}	0
-16384	1100 0000 0000 0000	0100 0000 0000 0000	¼ × I I_{FS_SWITCH} + I_{FS_STATIC}	¾ × I I_{FS_SWITCH} + I_{FS_STATIC}	– ½ × I_{FS_SWITCH}
-32768	1000 0000 0000 0000	0000 0000 0000 0000	I_{FS_STATIC}	I I_{FS_SWITCH} + I_{FS_STATIC}	– I_{FS_SWITCH}

7.3.2.2 调整满量程电流

总 DAC 输出电流通过外部 R_{BIAS} 电阻器和 COARSE_CUR_A 或 COARSE_CUR_B、FINE_CUR_A 或 FINE_CUR_B 和 CURRENT_2X_EN 寄存器进行设置。有开关满量程电流和静态满量程电流。开关电流在 DACOUTA/B+ 和 DACOUTA/B- 之间按 DAC 数字信号值的比例进行分压。静态电流在每个焊球 DACOUTA/B+ 和 DACOUTA/B- 的输出端固定。

总 DAC 开关输出电流的公式为

$$I_{FSSWITCH} = \frac{3.6k\Omega}{R_{BIAS}} \times (1.2mA + 1.2mA{*}COARSE + 0.025mA{*}FINE) \times 2^{CUR_2X_EN} \quad (1)$$

其中

- R_{bias} 是外部偏置电阻器
- COARSE 是寄存器 COARSE_CUR_A 或 COARSE_CUR_B 的值（0 到 15）
- FINE 是寄存器 FINE_CUR_A 或 FINE_CUR_B 的值（0 到 63）
- CUR_2X_EN 是寄存器 CURRENT_2X_EN 的值（0 或 1）

静态电流是开关电流的固定部分

$$I_{FS_STATIC} = 0.23 \times I_{FS_SWITCH} \quad (2)$$

使用 3.6kΩ 偏置电阻时，COARSE_CUR_A 为默认值或 COARSE_CUR_B = 15，FINE_CUR_A 或 FINE_CUR_B = 32 以及 CURRENT_2X_EN = 0，$I_{FS_SWITCHED}$ 约为 20mA，以及 I_{FS_STATIC} 约为 4.6mA（在每个焊球 + 和 - 上）。

7.3.3 DEM 和抖动

该器件包含两个可选特性，可改善因电流段和开关时序不匹配而产生的非线性：动态元素混合 (DEM) 和抖动。

DAC 内核包括

1. 温度计编码电流源/开关，表示 MSB
2. 二进制加权电流源/开关，表示 LSB。
3. 用于抖动的附加电流源/开关

DEM 会随机选择使用哪个 MSB 电流源/开关来生成输出，这会因电流源和开关时序不匹配而使非线性白化。DEM_DITH 和 DEM_ADJ 寄存器控制电流源/段移位的频率和幅度。

抖动会使数字数据添加或减去不同的数字代码值，然后通过切换具有相同振幅的其他电流源来消除这些数字代码值。数字数据路径会扩展，因此保持完整的 16 位范围。DITH0/1 寄存器字段控制抖动的频率。

Copyright © 2026 Texas Instruments Incorporated

使用 DEM 通常可改善接近满量程的低阶谐波。抖动通常可改善接近满量程的高阶谐波以及较低数字振幅下的所有谐波。由于非线性问题的白化，DEM 和抖动都会增加输出的本底噪声（振幅和相位）。可通过 DEM 和抖动设置以及减少开关活动来减少本底噪声。

7.3.4 偏移量调整

该器件允许对 DAC 输出端的信号进行偏移量调节。偏移量调节不会删减 DAC 数据的完整 16 位数字范围。

偏移量分别由 DACA 和 DACB 的 DAC_OFS[0] 或 DAC_OFS[1] 寄存器值设置。如果启用了抖动（请参阅寄存器 DEM_DITH），则该值将饱和至 ±128 的范围。如果禁用抖动，该值将饱和至 ±3968 范围。这样可确保绝不会超出初级 DAC 范围。

7.3.5 时钟子系统

该器件需要一个运行时钟（名为 DACCLK），该时钟的运行频率与 NRZ、RTZ 和射频模式下的 DAC 内核采样率相等，或者是 DES 模式下 DAC 内核采样率的一半。时钟子系统如图 7-8. 所示。输入时钟可以直接采用 DACCLK 频率，也可以在使用 PLL/VCO (CPLL) 来生成 DACCLK 时，采用参考频率。使用内部 PLL/VCO 时，无法实现多器件同步。

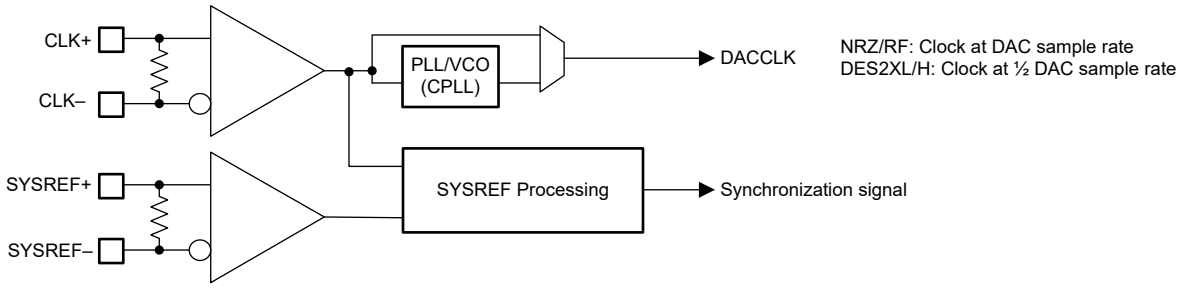


图 7-8. 器件时钟子系统

7.3.5.1 转换器锁相环 (CPLL)

CPLL 支持高达最大 DACCLK 频率的一个连续频率范围。使用 CPLL 时，用户必须在设置 CPLL_EN 之前对各种参数进行编程以确保正常运行，但要受到以下约束：

1. $F_{DACCLK} = F_{CPLL} = F_{CLK} * CPLL_MPY$
2. $8GHz <= F_{CPLL} <= 17GHz$
3. $8 <= CPLL_MPY <= 99$

7.3.5.2 时钟和 SYSREF 延迟

该器件的时钟和 SYSREF 路径上有多个可用延迟，可用于器件和 SYSREF 对齐（请参阅图 7-9）。时钟路径中有一个可编程反转和延迟细调 D_{ADJ}，它由 T_{ADJ} 寄存器（当 SRCAL_EN = 0 时）或自动 SYSREF 校准引擎（当 SRCAL_EN = 1 时）控制。在 SYSREF 路径中，存在一个由 T_{SYS} 控制的精细延迟调整 D_{SYS}。T_{SYS} 的初始值由 T_{SYS} 寄存器（SRCAL_EN =0 或 SRTRK_EN=0）控制，然后由自动 SYSREF 校准引擎控制（当 SRCAL_EN =1 且 SRTRK_EN=1 时）。当 SRCAL_EN =1 时，可通过 TADJ_CAL 和 TSYS_CAL 寄存器读取自动 SYSREF 校准和跟踪值。

Copyright © 2026 Texas Instruments Incorporated

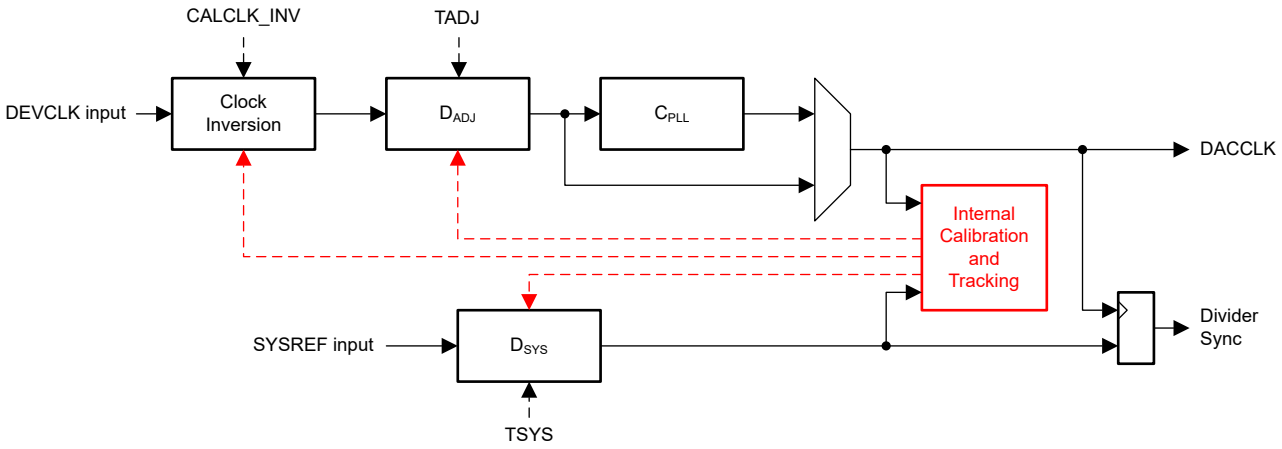


图 7-9. 时钟和 SYSREF 延迟图

延迟寄存器包含 3 个延迟字段：粗调、中调和精调。每个字段中，数值 0 对应最小延迟。延迟范围和步长的规格见节 6.8。

表 7-3. 时序调整块寄存器延迟编码

寄存器位	说明
18:14	32 步粗调延迟
13:10	13 步中调延迟 – 不允许值 >12
9:0	1024 步细调延迟

7.3.5.3 SYSREF 采集和监控

7.3.5.3.1 SYSREF 频率要求

SYSREF 输入周期必须是器件中所有时钟（包括 LMFC/LEMC）的整数倍。下表描述了 SYSREF 周期的要求：

表 7-4. SYSREF 周期的要求

对 SYSREF 周期的要求
SYSREF 周期必须是 32 个 DACCLK 周期的倍数。
SYSREF 周期必须是 LT DACCLK 周期的倍数。此要求仅在启用了 JESD204C 接口时适用。 [1]
SYSREF 周期必须是 8*LT*S/GCD(8*LT*S,F) DACCLK 周期的倍数。此要求仅在启用了 JESD204C 接口时适用。 [1]
SYSREF 周期必须是 LT*S*K DACCLK 周期的倍数。此要求仅在启用了 JESD204C 接口 [1] 并且 (SUBCLASS = 1) 时适用
SYSREF 周期必须是 32*(TRIGC_DIV+1) DACCLK 周期的倍数。此要求仅适用于 TRIG_TYPE*n* = 4 或 6 时（适用于任意 *n*）。

1. 当 JESD_M 大于 0 且 SYS_EN=1 时，会启用 JESD204C 接口
2. GCD(*x*,*y*) 是 *x* 和 *y* 的最大公除数，是可以均匀地除以 *x* 和 *y* 的最大整数。

必须为任何时钟设置 SYSREF_ALIGN_EN 才能与 SYSREF 边沿重新对齐。

7.3.5.3.2 用于完全对齐的 SYSREF 脉冲

该器件包含通过 SYSREF 对齐的时钟分频器级联。必须有多个 SYSREF 脉冲才能完全对齐所有时钟分频器，并设置 CLK_ALIGNED 寄存器位。总共需要 15 个 SYSREF 脉冲才能完全对齐器件。

7.3.5.3.3 自动 SYSREF 校准和跟踪

当配置为自动 SYSREF 校准和跟踪（CPLL_EN = 0 且 SRCAL_EN = 1）时，系统会在 SYSREF_RX_EN = 1 且 SRCAL_EN = 1 时开始校准。如果其中的任何一个变为低电平，校准引擎会复位，并且 SYSREF_CAL_DONE、SYSREF_CAL_FAIL 和 SYSREF_TRACK_FAIL 会被清零。

Copyright © 2026 Texas Instruments Incorporated

7.3.5.3.3.1 SYSREF 自动校准过程

使用以下程序运行自动校准：

1. 将 SRCAL_AVG 和 SRTRK_AVG 设为适当的设置
2. 设置 SYSREF_RX_EN=1
3. 设置 SYSREF_PROC_EN=1
4. 等待 SYSREF 接收器稳定，然后再设置 SRCAL_EN =1
5. 等待 SYSREF_CAL_DONE=1

为了使校准产生最佳结果，在整个校准过程中延迟需要保持一致。时钟和 SYSREF 路径任意部分的电源电压或温度即使发生微小变化，也可能显著影响校准结果质量。等待器件温度稳定有助于成功完成校准过程。系统设计人员必须确保从设置 SRCAL_EN 到 SYSREF_CAL_DONE = 1 这段时间内相关路径保持稳定。

为实现多器件的最佳对齐，所有器件必须同时校准，以确保共用的 SYSREF 电路处于相同的温度和电压条件下。

7.3.5.3.3.2 多器件对齐

使用内部校准时，T_{SYS} 初始可设定为调整多个经校准器件间的对齐。为此，请对 T_{SYS} 的各个粗延迟、中延迟和精细延迟设置执行二进制搜索。对于每次测试，必须在所有芯片上重新运行校准，然后必须测量输出的时序差以确定下一步。

7.3.5.3.3.3 校准失败

如果校准由于在延迟范围内未找到边沿而失败，则将 SYSREF_CAL_FAIL 设置为 1，将 TADJ_CAL 设置为 0，并设置 CALCLK_INV_CAL，以便 CALCLK 的上升沿至少是 SYSREF 上升沿之前 DADJ 的整个范围。虽然这为 SYSREF 采样提供了最大的裕度，但该器件不使用 SYSREF 作为低偏斜对齐基准。在这种情况下不执行 SYSREF 跟踪。

7.3.5.3.3.4 SYSREF 跟踪

只要 SYSREF_CAL_DONE=1 且 SYSREF_CAL_FAIL=0，SYSREF 跟踪就会运行，并自动调整 TSYS_CAL 以保持 SYSREF 与时钟下降沿对齐。

为了保持跟踪，SYSREF 与器件内部或外部时钟之间的时序变化不能变化得太快。用户必须避免电压突然变化，因为这会导致跟踪切换到不同的时钟边沿。

7.3.5.4 触发时钟

通过根据寄存器 TRIGC_DIV 对 DAC 时钟进行分频，生成同步触发时钟。分频器在 SYSREF 的每个上升沿复位。如果检测到重新对齐触发时钟分频器的 SYSREF 边沿，则设置 CLK_REALIGNED。触发时钟用于闩锁同步触发接口。

要使触发时钟有效，必须设置 SYS_EN = 1，并且 TRIG_TYPE*n* 值中的至少一个值必须为 4 或 6。如果 TRIGC_OUT_EN = 1 且 FR_EN = 0，则在 TRIGCLK 输出端驱动触发时钟。或者，用户可以使用 ALARM_SEL 在 ALARM 引脚上输出触发时钟（如果 TRIGCLK 引脚因为被分配给 FRI 接口而不可用，则这很有用）。如果 FR_EN = 1，则 TRIGCLK 成为闩锁 FR 数据的输入。

当 TRIGC_DIV 为偶数且大于零（TRIGC_DIV+1 为奇数）时，输出时钟的高电平时间比低电平时间少 32 个 DACCLK 周期。

7.3.6 数字信号处理块

数字信号处理块如图 7-10 所示。该器件包含四个数字上变频器 (DUC) 块，支持四个复数 (IQ) 输入流，这些输入流可以在不同的射频频率下进行组合。可以灵活地分配这四个 DUC 和将其相加，用于通道接合器中的任一 DAC 输出。可设定 FIR 滤波器可用于 DUC 的输入或 DAC 采样速率。最后一个信号处理块是一个额外的 2 倍内插滤波器，用于 DES 模式。

Copyright © 2026 Texas Instruments Incorporated

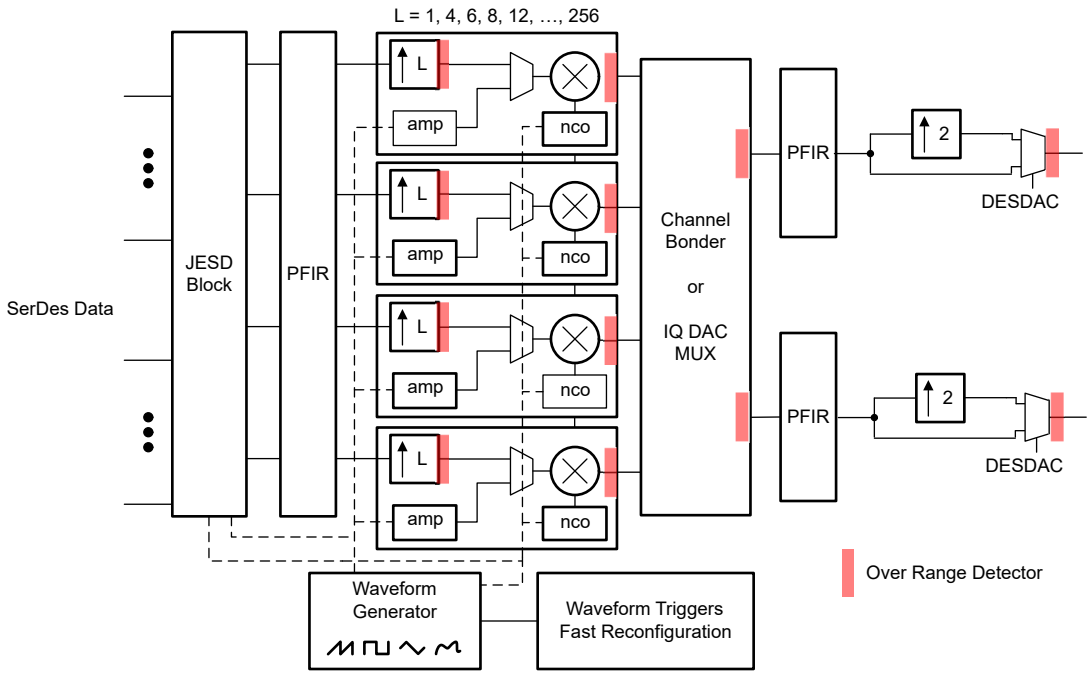


图 7-10. 数字信号处理块

DSP 可以在多种不同的模式下工作，下文进行了总结。每种模式在其各自子部分中都有更全面的介绍。每个 DSP 块的模式通过 DSP_MODE*n* 寄存器（*n* = 0 至 3）选择

1. 旁路模式：旁路模式会禁用 DUC/DDS 信号处理并将数据发送到 IQ DAC 多路复用器。然后，可以反转信号 (DAC_INV)，使用 PFIR 进行均衡，并且对于 DES2XL/H 模式，可进行 2 倍内插。
2. DUC 模式：该模式接受来自 JESD204C 接口的 I/Q 样本，使用 FIR 滤波器内插采样率，然后使用 NCO/混频器将信号转换为载波频率。
3. DDS SPI 模式：该模式使用 AMP、FREQ 和 PHASE 寄存器定义余弦信号的振幅、频率和相位。DSP 不使用来自 JESD204C 接口的样本。
4. DDS 矢量模式：此模式使用矢量表（通过 SPI 设定）来生成 DDS 波形。支持频率和振幅斜升，以及自动/手动触发。DSP 不使用来自 JESD204C 接口的样本。
5. DDS 流模式 该模式使用 JESD204C 接口将频率、相位和振幅值流式传输到 DDS。STREAM_MODE 寄存器可用于将流限制为仅频率或仅相位+振幅。

表 7-5 汇总了 NCO/混频器的主要特性及其在各种 DSP 模式下的运行方式。

表 7-5. NCO/混频器特性与 DSP 模式

特性	DSP 模式 (DSP_MODE*n*)			
	DUC 模式	DDS SPI 模式	DDS 矢量模式	DDS 流模式
振幅控制	通过 I/Q 样本确定（经由 JESD）	AMP 寄存器	通过矢量设置 (DDS_VEC)	AMP 寄存器或 JESD 流（请参阅 STREAM_MODE）
频率控制	FREQ 寄存器（64 位）	FREQ 寄存器（64 位）	通过矢量设置 (DDS_VEC)（48 位）	FREQ 寄存器或 JESD 流（请参阅 STREAM_MODE）
相位控制	PHASE 寄存器	PHASE 寄存器	通过矢量设置 (DDS_VEC)	PHASE 寄存器或 JESD 流（请参阅 STREAM_MODE）
JESD 接口	是（每个 DSP 两个 16 位流）（I/Q 数据）	否	否	是（每个 DSP 两个 16 位流）

Copyright © 2026 Texas Instruments Incorporated

表 7-5. NCO/混频器特性与 DSP 模式（续）

特性	DSP 模式 (DSP_MODE*n*)			
	DUC 模式	DDS SPI 模式	DDS 矢量模式	DDS 流模式
触发操作	FREQ/PHASE 更新。如果 NCO_AR = 1，则累加器复位。	FREQ/PHASE/AMP 更新。如果 NCO_AR = 1，则累加器复位。	如果等待触发，则前进到下一个矢量。	更新非流参数。如果 NCO_AR = 1，则累加器复位
其他特性	相位同调频率变化。相位连续频率变化。	相位同调频率变化。相位连续频率变化。	FREQ/AMP 通过矢量表斜升	对零振幅进行流式传输会产生触发信号
混频器用于：	将 IQ 数据与 NCO 相乘	振幅控制	振幅控制	振幅控制

7.3.6.1 旁路模式

旁路模式会禁用 DUC/DDS 并将数据直接从 JESD204C 传输层发送到编码器。布线由通道接合器控制。

7.3.6.2 DUC 模式

7.3.6.2.1 数字上变频器 (DUC)

每个 DUC 通过 L = 4、6、8、12、16、24、32、48、64、96、128、192 和 256 范围内的因子内插 I 和 Q 信号。然后，生成的上变频基带 I/Q 信号乘以由数控振荡器 (NCO) 生成的复正弦信号，将信号混合到 DAC 输出所需的载波频率。表 7-6 中列出了支持的内插因子与启用的 DUC 数。

表 7-6. 支持的内插因子与启用的 DUC 数间的关系

支持的内插因子 (L)	支持 DUC 模式的 DSP 通道
4x、6x	只有 DSP 通道 0 和 1 可以使用 DUC 模式。必须禁用通道 2 和 3 或将其置于非 DUC 模式。
8x - 256x	任何 DSP 通道都可以置于 DUC 模式。

可以绕过 NCO 和混频器，基本上将频率和相位设置为 0；在这种情况下，I 输入传递到 I 输出，Q 输入传递到 Q 输出。

7.3.6.2.1.1 内插滤波器

DUC 的第一个操作是将输入信号内插到更高的数据速率。表 7-7 中总结了可用的内插选项。将输入信号的采样率乘以指定的内插量即可确定 DAC 输出速率，这取决于 DAC39RF20 的最大采样率。这种速率不包括 DES 模式的可选 2 倍内插。对于 6 倍及以下的内插率，可用的 DUC 通道数会减少。

表 7-7. 内插选项总结

内插	DUC 通道的最大数量
4x	2（仅限 DUC0 和 DUC1）
6x	2（仅限 DUC0 和 DUC1）
8x	4
12x	4
16x	4
24x	4
32x	4
48x	4
64x	4
96x	4
128x	4
192x	4
256x	4

Copyright © 2026 Texas Instruments Incorporated

每个 DUC 包含多个 2 倍或 3 倍内插滤波器。复合内插滤波器响应在图 7-11 至图 7-35 中给出。这些滤波器旨在输入带宽上提供 81.4% 的通带宽和小于 0.001dB 的通带纹波。通带内的任何信号的阻带衰减大于 90dB。

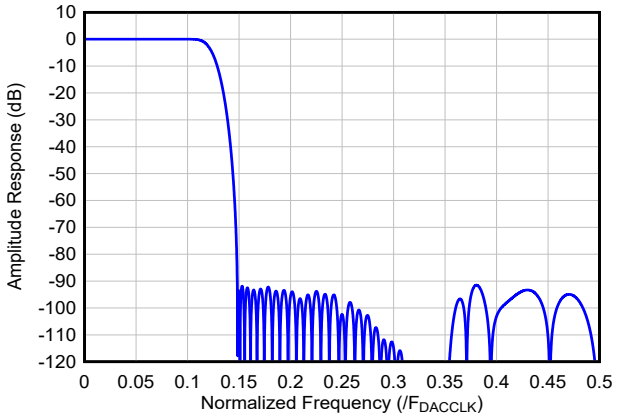


图 7-11. 4 倍内插滤波器响应

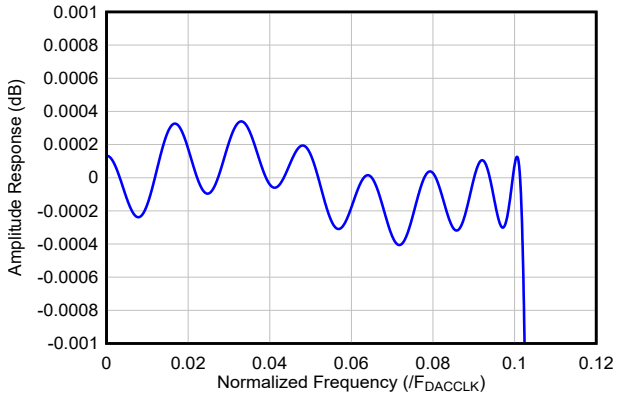


图 7-12. 4 倍内插滤波器通带响应

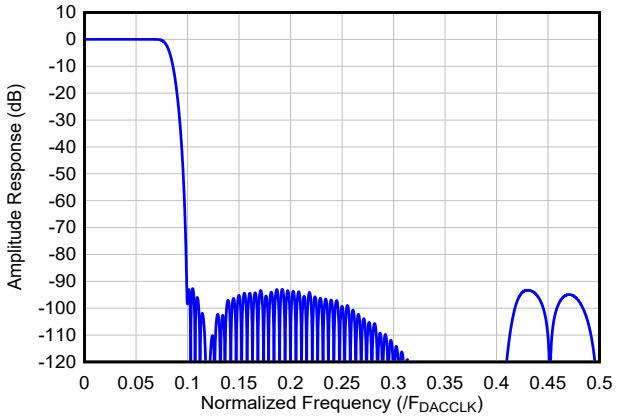


图 7-13. 6 倍内插滤波器响应

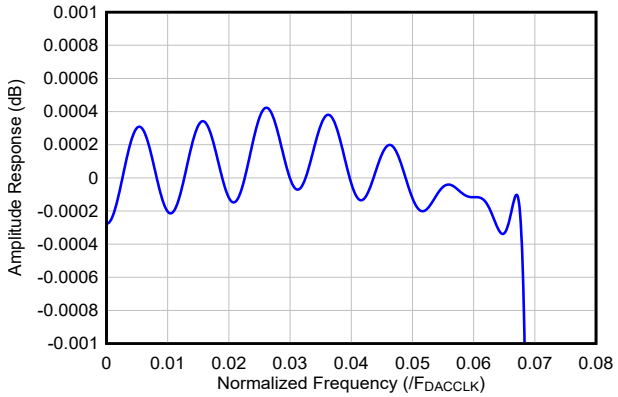


图 7-14. 6 倍内插滤波器通带响应

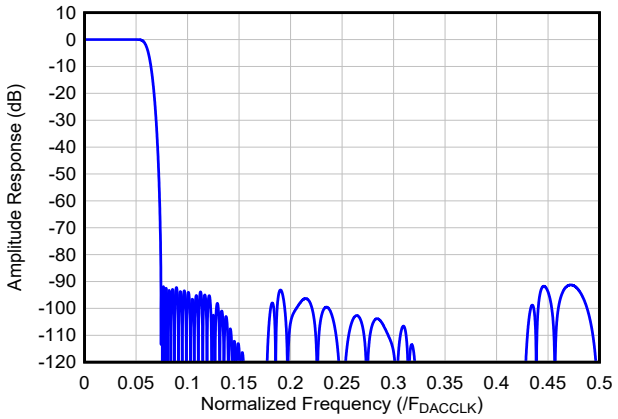


图 7-15. 8 倍内插滤波器响应

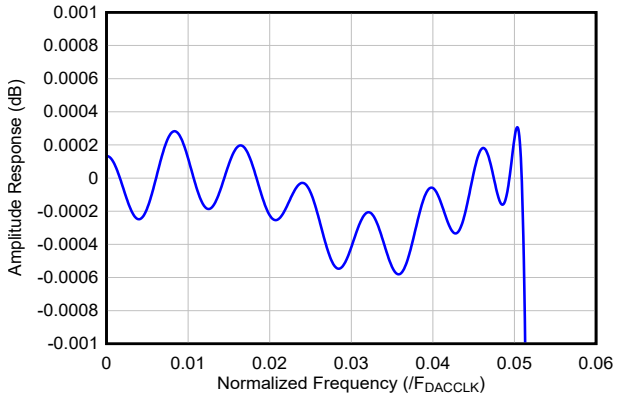


图 7-16. 8 倍内插滤波器通带响应

Copyright © 2026 Texas Instruments Incorporated

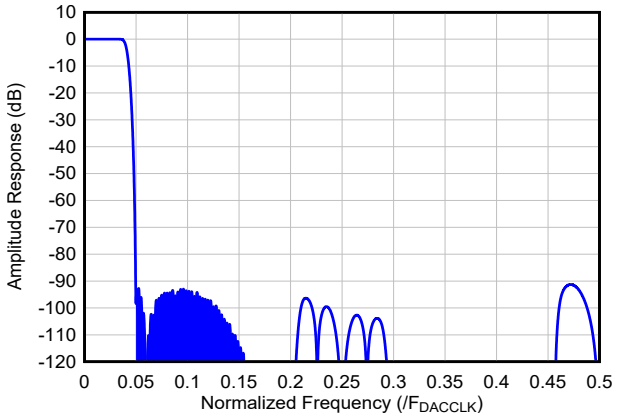


图 7-17. 12 倍内插滤波器响应

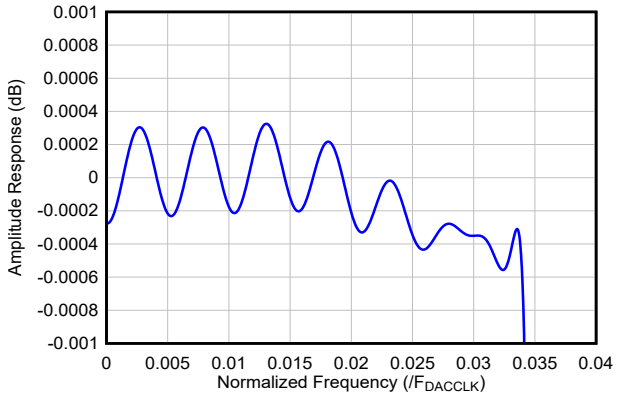


图 7-18. 12 倍内插滤波器通带响应

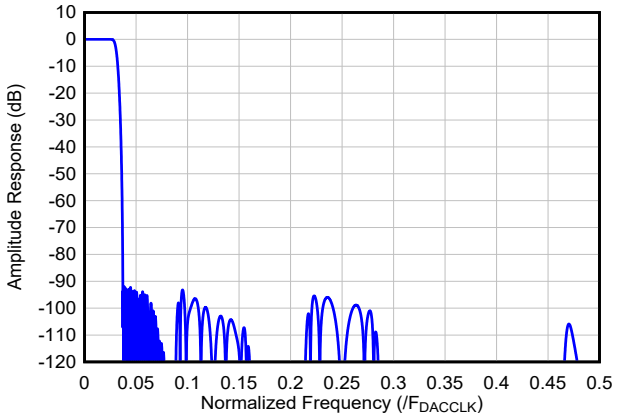


图 7-19. 16 倍内插滤波器响应

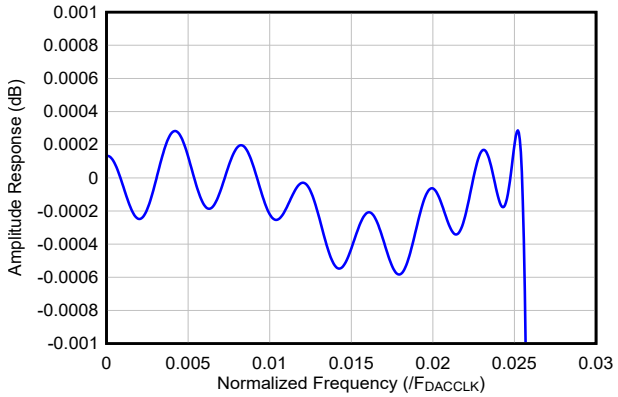


图 7-20. 16 倍内插滤波器通带响应

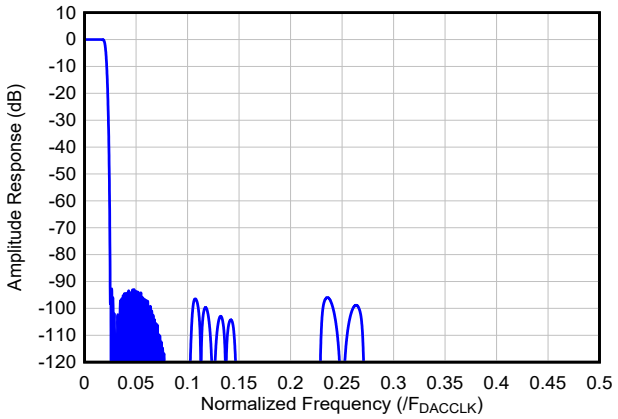


图 7-21. 24 倍内插滤波器响应

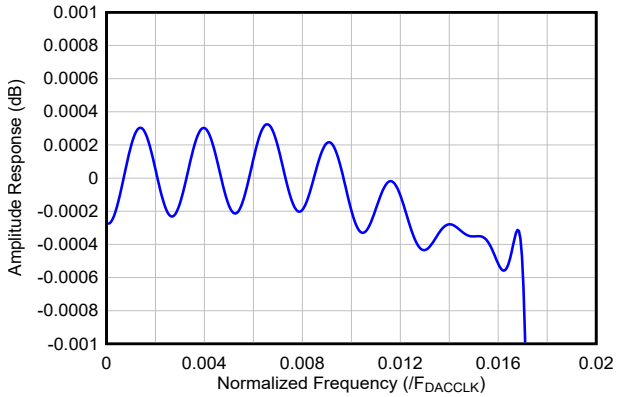


图 7-22. 24 倍内插滤波器通带响应

Copyright © 2026 Texas Instruments Incorporated

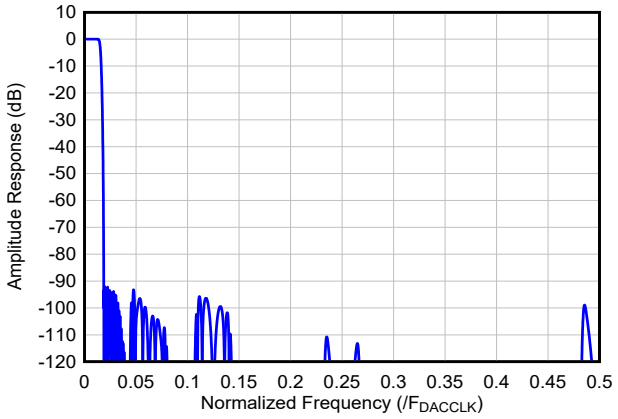


图 7-23. 32 倍内插滤波器响应

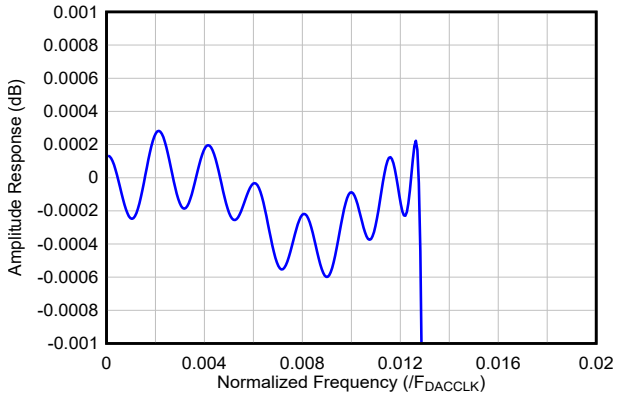


图 7-24. 32 倍内插滤波器通带响应

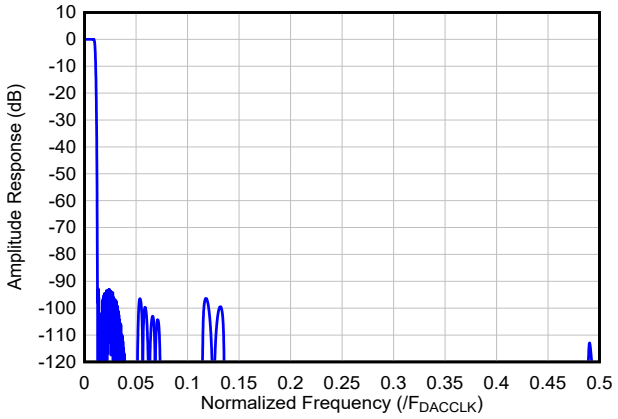


图 7-25. 48 倍内插滤波器响应

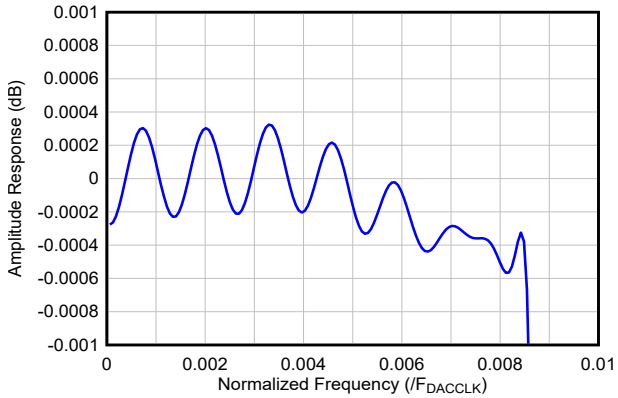


图 7-26. 48 倍内插滤波器通带响应

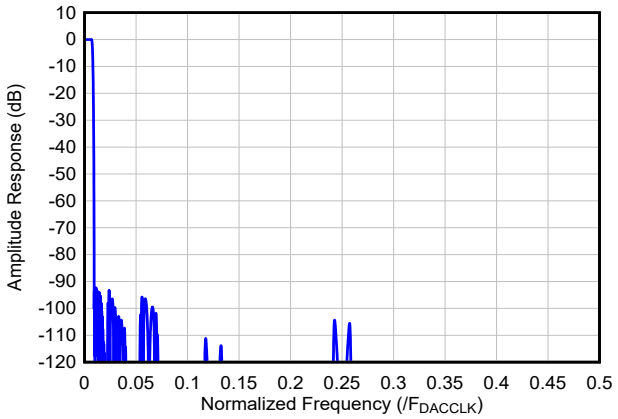


图 7-27. 64 倍内插滤波器响应

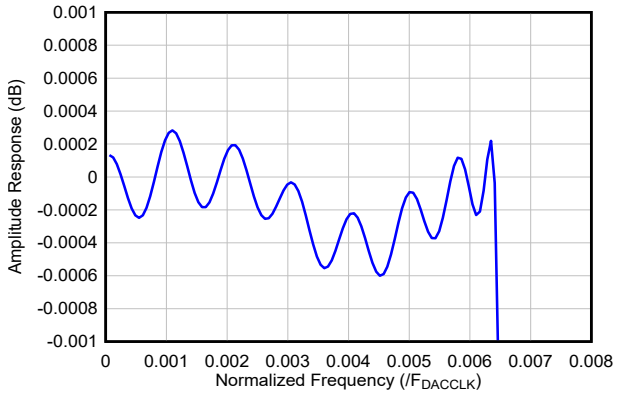


图 7-28. 64 倍内插滤波器通带响应

Copyright © 2026 Texas Instruments Incorporated

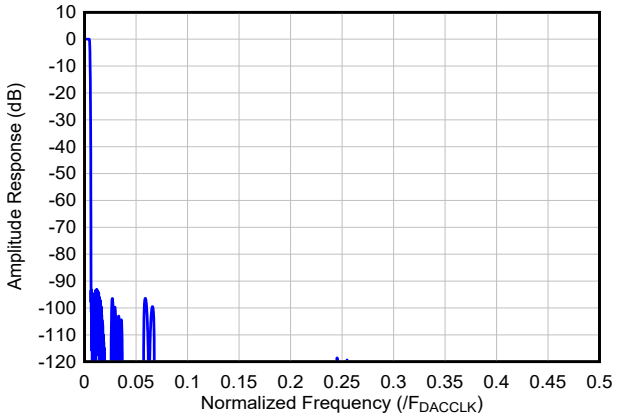


图 7-29. 96 倍内插滤波器响应

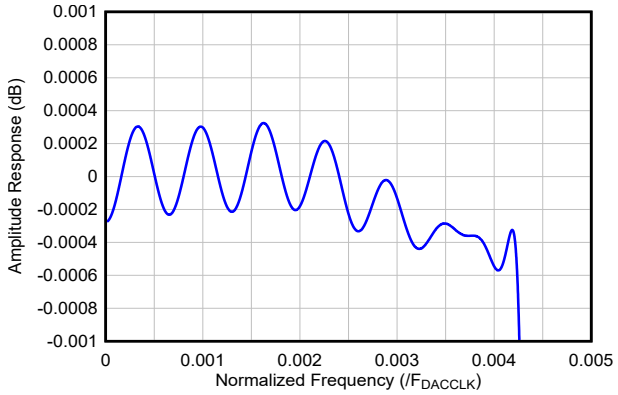


图 7-30. 96 倍内插滤波器通带响应

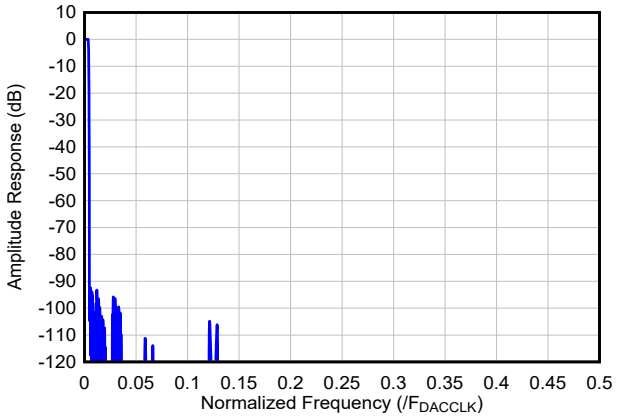


图 7-31. 128 倍内插滤波器响应

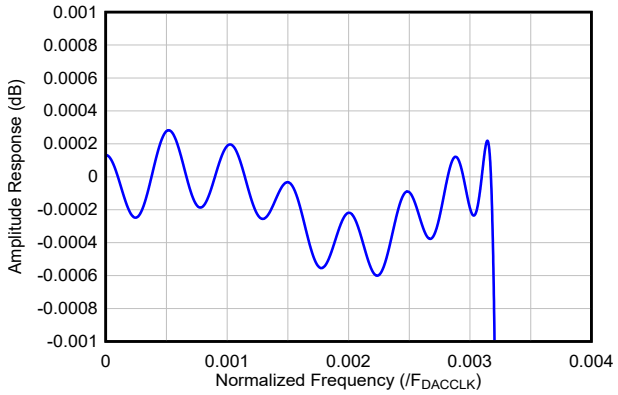


图 7-32. 128 倍内插滤波器通带响应

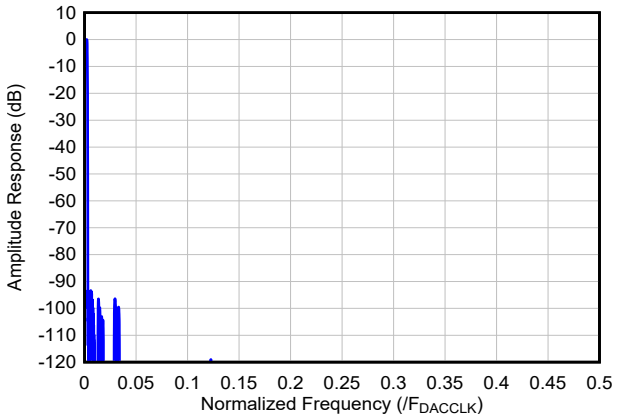


图 7-33. 192 倍内插滤波器响应

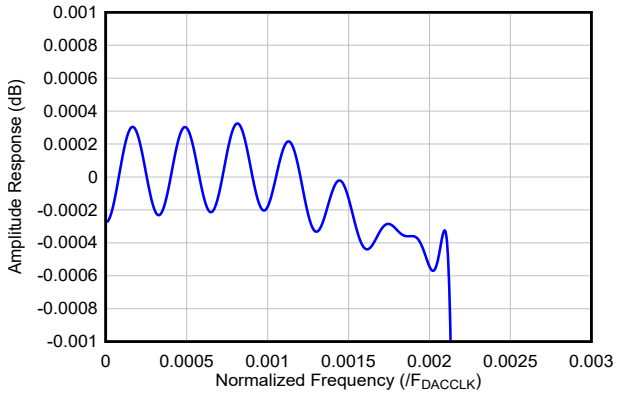


图 7-34. 192 倍内插滤波器通带响应

Copyright © 2026 Texas Instruments Incorporated

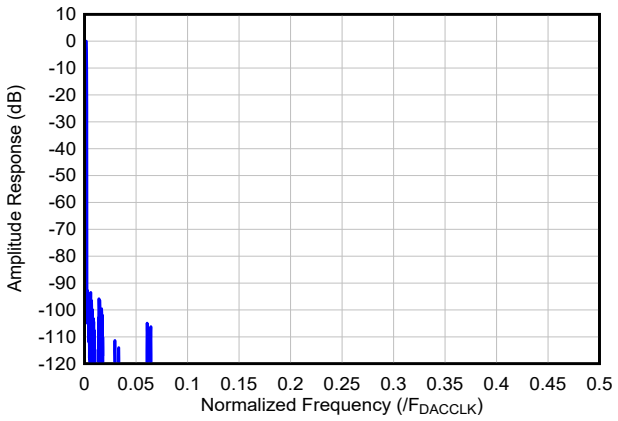


图 7-35. 256 倍内插滤波器响应

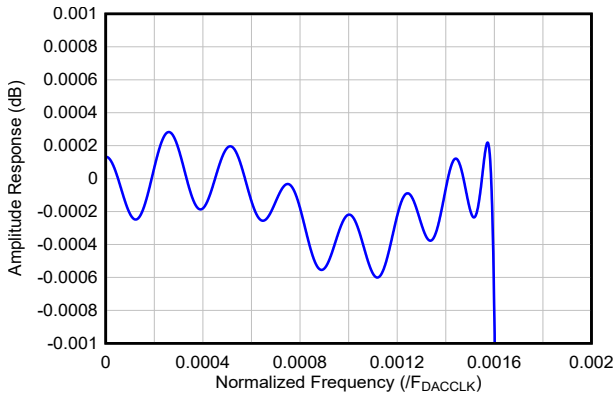


图 7-36. 256 倍内插滤波器通带响应

7.3.6.2.1.2 数控振荡器 (NCO)

每个 DUC 都有自己的 NCO 模块，该模块能够通过具有 64 位频率和 16 位相位字的 NCO 实现相位连续跳频和相位同调跳频。NCO 提供用于复杂混合操作的复杂连续波信号。NCO 也可用于 DDS SPI 模式，具有恒定输入以生成音调。

当频率恰好设置为 (2*N - 1)/32 或 (2*N+1)/64（N 是整数）时，NCO 在最坏情况下 SFDR < -96dBc。对于其他频率，最坏情况下 SFDR < -105dBc。

NCO 更新模式是相位连续（参见相位连续 NCO 更新模式）、相位同调（参见相位同调 NCO 更新模式）或相位同步（参见相位同步 NCO 更新模式）。如果仅需要单个 NCO 频率（无跳频），则选择相位连续 NCO。

NCO 频率通过标准 SPI 接口或快速重新配置接口 (FRI) 写入 NCO 频率字寄存器设置。一旦由 TRIG_TYPEn 选择的特定触发源触发，频率更新就会发生。可用的触发源包括 SPI 寄存器、SYSREF 信号、用同步信号替换 I 输入信号的 LSB、$\overline{\text{FRCS}}$ 的 TRIG 引脚或上升沿（当使用了 FRI 时）。

7.3.6.2.1.2.1 相位连续 NCO 更新模式

在相位连续 NCO 更新模式下，相位和/或频率在不复位相位累加器的情况下进行更新，该相位累加器在更改频率时保持当前正弦波相位，以减少输出响应中的不连续情况。相位连续 NCO 模式运行如图 7-37 所示。

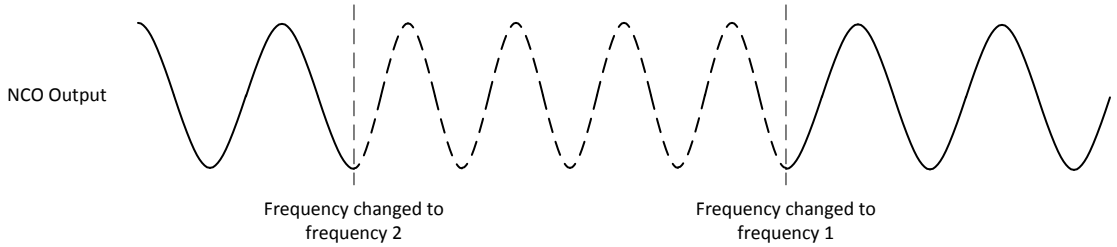


图 7-37. 相位连续 NCO 模式运行示例

7.3.6.2.1.2.2 相位同调 NCO 更新模式

在相位同调 NCO 更新模式下，频率字会更新并与计数器相乘以更新累加器。这使得特定频率的相位与之前使用的频率“一致”，就好像 NCO 从未被调谐到与该频率不一致的频率一样。由于相位信息由计数器维护，因此任何频率都可以是相位同调的。相位同调 NCO 模式运行如图 7-38 所示。

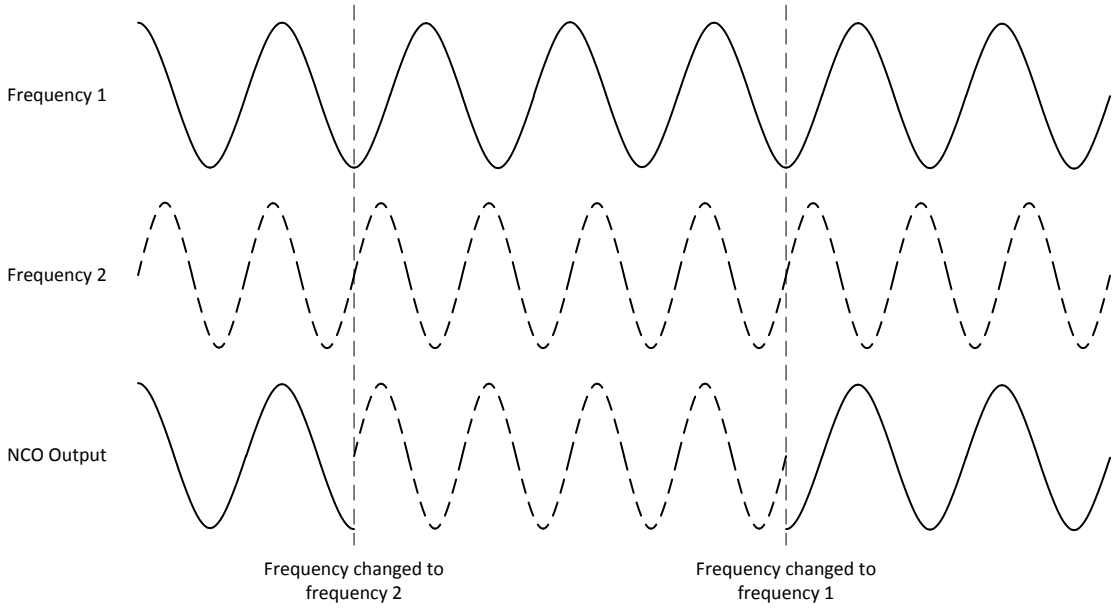


图 7-38. 相位同调 NCO 模式运行示例

7.3.6.2.1.2.3 相位同步 NCO 更新模式

在相位同步 NCO 更新模式中，频率字被更新（如果它改变了）并且累加器被复位至初始相位值。通过在所有器件上同时提供同步信号，该模式可用于在多个器件上对齐 NCO。

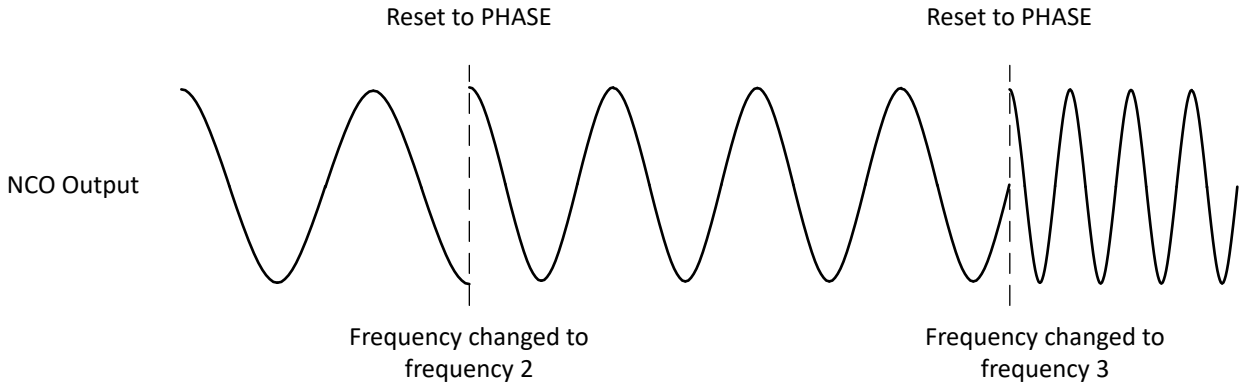


图 7-39. 相位同步 NCO 更新模式

7.3.6.2.1.2.4 NCO 同步

使用数字上变频功能时，许多系统需要 DAC 通道之间的同步，包括内部 NCO 的相位。此外，跳频系统可能对同步跳频有其他要求，以便在 NCO 频率变化期间保持 NCO 同步。该器件具有多种更新 NCO 变化的方法。其中包括：

- 通过 JESD204C 输入数据流中 DUC0 的“I”输入的 LSB 实现同步
- 通过 SYSREF 同步
- 通过 TRIG[3:0] 引脚的上升沿进行同步
- 使用 FR 接口时通过 $\overline{\text{FRCS}}$ 的上升沿更新
- 通过 SPI_SYNC 寄存器位更新

用于 NCO 同步的方法通过 TRIG_TYPE 的寄存器设置进行控制。

Copyright © 2026 Texas Instruments Incorporated

JESD204C LSB 方法允许在输入数据中嵌入同步信息，因而可由数据源（即 FPGA）轻松控制。通过控制多个器件上同步位的时序，可以实现多器件同步。JESD204C LSB 同步中详细介绍了 LSB 同步。

通过发出 SYSREF 脉冲实现同步需要一个直流耦合 SYSREF 接口，并且能够发出单个 SYSREF 脉冲，除非 NCO 频率是 SYSREF 频率的整数倍。许多系统将使用交流耦合 SYSREF 信号，这使得无法可靠地发出单个 SYSREF 脉冲。谨慎处理 SPI 接口时序，尤其是对于慢速 SYSREF 信号 (< 10 MHz)，这样可能会实现在多个器件上屏蔽和取消屏蔽 SYSREF。然而，由于 SPI 路径是异步的，因此未对其进行表征。

为了使用同步触发接口进行同步，TRIGCLK 闩锁的 TRIG 引脚上的上升沿立即触发 DSPn 操作。寄存器 TRIG_SEL 决定哪个外部触发器引脚绑定到每个 DSP 通道。如果触发接口配置为 FRI 接口，则 TXEN0/1（由 TX_PIN_FUNC0/1 寄存器分配时）或 $\overline{\text{SYNC}}$（由 SYNCB_PIN_FUNC 寄存器分配时）可以设定为触发器引脚。

借助 SPI_SYNC 同步，寄存器 TRIG_SEL 确定哪个 TRIG_SPI 位绑定到每个 DSP 通道。

7.3.6.2.1.2.4.1 JESD204C LSB 同步

在复数输入 JMODES 模式下，DSP 模块（如 NCO）可通过 JESD204C 接口 DUC0 通道“I”输入的 LSB 实现同步。替代数据位 LSB 的控制位将用作同步的触发事件。表 7-8 展示了在使用 LSB 替换时，SYNC 位如何替换 I 采样 LSB。当 SPI_SYNC 寄存器位为高电平时，启用 LSB 替换模式。要触发事件，LSB 必须在 4 个或更多连续样本中为低电平，然后在 4 个连续样本中为高电平。当使用 SPI 接口更新 NCO 频率字时，用户必须将 SPI_SYNC 设置回 0 以改回表示 I 样本数据的 LSB。当使用 FR 接口更新 NCO 时，LSB 会在同步事件触发后改回表示 I 样本数据。

表 7-8. 使用 LSB 替换进行位分配

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I 样本	I[15:1]															Sync
Q 样本	Q[15:0]															

7.3.6.3 DDS SPI 模式

在 DDS SPI 模式下（请参阅图 7-40），使用 FREQ 和 PHASE 寄存器控制 NCO。DSP 不使用来自 JESD204C 接口的样本，而混频器用于使用 AMP 寄存器来缩放 NCO 输出的振幅。此模式对于生成持续时间不确定的余弦音调非常有用。用户可以随时更改幅度、频率和相位，方法是更新 AMP、FREQ 和 PHASE 寄存器，然后生成 DSP 触发事件（请参阅 DSP 触发）。

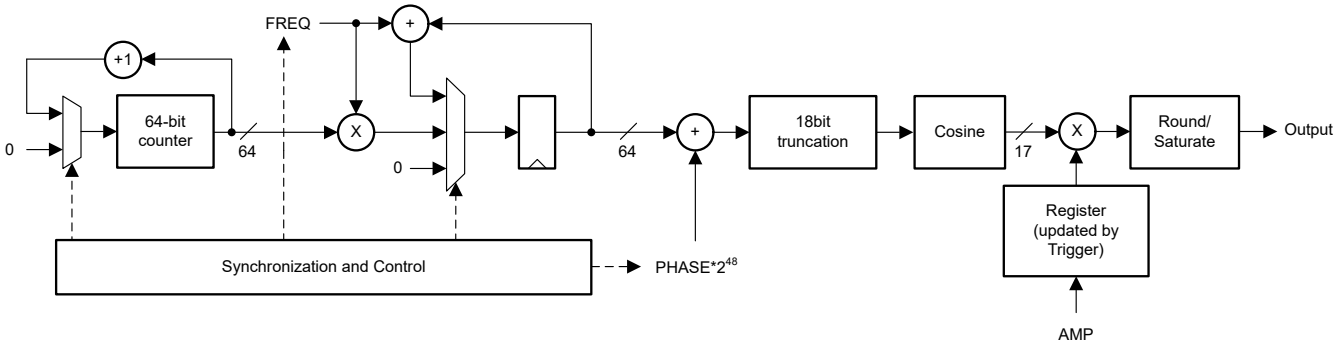


图 7-40. DDS SPI 模式方框图

DDS SPI 模式与 DUC 模式支持相同的 NCO 触发器特性：

- 相位连续模式：触发事件更新频率，但相位累加器未复位（NCO_CONT=1、NCO_AR=0）。
- 相位同步模式：触发事件更新频率并复位相位累加器 (NCO_AR=1)
- 相位相干模式：触发事件更新频率并从计数器为相位累加器播种（NCO_CONT=0、NCO_AR=0）

Copyright © 2026 Texas Instruments Incorporated

7.3.6.4 DDS 矢量模式

任何 DSP 通道都可以在 DDS 矢量模式下运行（请参阅 DSP_MODE*n*）。在该模式下，内插滤波器被禁用，NCO/混频器逻辑被重新用于生成用户定义的波形（由 DDS_VEC 定义）。DSP 无需从 JESD 接口获取任何输入样本。

表 7-9. DDS 矢量模式的术语和定义

术语	定义
矢量字段	每个 DDS 矢量由多个字段组成，这些字段定义用于生成波形段的信号属性。示例字段包括 PHASE_START 和 FREQ_START。
Vector	矢量是矢量表中的一个条目，包含定义波形段的字段（请参阅 DDS_VEC）
矢量表	DDS 使用的矢量表（请参阅 DDS_VEC）。
矢量块	分配给 DDS 通道的矢量表的一部分（DDS_VEC 的子集）
波形段	DDS 根据矢量表中的单个矢量所生成的信号。
波形	通过播放一系列波形段生成的信号
停滞状态	矢量处理器等待触发事件时进入停滞状态。基本上在启动阶段发生这种情况。若加载的矢量设置了 VTRIG_MODE 字段且触发队列中无有效触发或未排队，也会进入停滞。通常，DDS 输出在矢量处理器处于停滞状态时静音；但保持模式会对此设定一个例外情况。

DDS 矢量模式合成器如图 7-41 所示。主要特性包括：

- 通过播放一系列波形段来生成波形。
- 每个波形段由矢量表中的矢量 (DDS_VEC) 定义。
- 四个 DDS 通道可生成独立的波形。
- 可禁用 DDS 通道以允许其余通道使用更多矢量。
- 每个矢量包含多个字段，分别用于定义波形段初始振幅、频率和相位。振幅和频率也可以升降渐变，并且可以定义波形段的持续时间（请参阅 DDS_VEC）。
- 支持二阶振幅渐变 (DDS_AMP2)。
- 最多可使用 256 个矢量。
- 启动后，直至触发事件发生才会开始播放。
- 播放可在特定矢量的起始处停滞，此时 DDS 等待触发信号以继续（等待期间输出会静音，保持模式激活时除外）（请参阅 VTRIG_MODE）
- 单个触发输入事件可多次播放波形 (DDS_BURST)。
- “对称模式”可指示 DDS 先按升序、后按降序输出矢量（适用于对称法兰克码）(DDS_SYM)
- 索引模式允许通过 TRIG[4：1] 输入信号，指示 DDS 跳转到矢量存储器的特定部分。启用索引模式时，DDS 矢量模式只使用一个 DSP 通道。

Copyright © 2026 Texas Instruments Incorporated

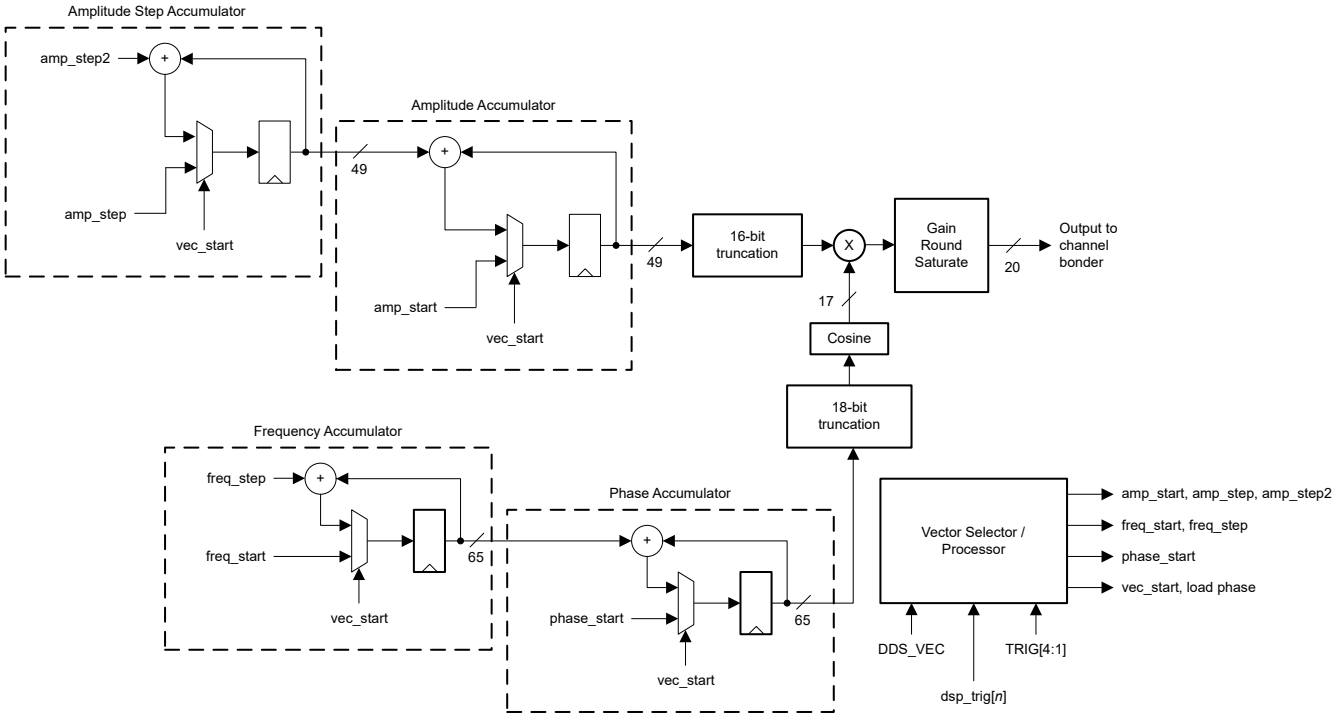


图 7-41. DDS 矢量波形发生器

矢量表（由 DDS_VEC 定义）被划分为多个区块，分别分配给不同的 DSP 通道。DSP 通道被划分为若干通道集（通道 0 和通道 2 为一组，通道 1 和通道 3 为另一组）。当一个组中的两个 DSP 通道都处于 DDS 矢量模式时，这两个通道将共享存储器。如表 7-10 所示。每个 DDS 通道按升序执行其分配的矢量块中的矢量，从最低索引开始。当 DDS 通道完成一个矢量的播放时，会检查该矢量的 LAST_VEC 字段。如果 LAST_VEC=1，则通道将从其分配的矢量块起始处重新开始执行。

表 7-10. 分配给用于 DSP0/2 配置的通道的矢量块

矢量范围	如果通道 2 未处于 DDS 矢量模式	如果通道 0 未处于 DDS 矢量模式	如果通道 0 和 2 都处于 DDS 矢量模式
DDS_VEC[0:63]	通道 0	通道 2	通道 0
DDS_VEC[64:127]			通道 2

表 7-11. 分配给用于 DSP1/3 配置的通道的矢量块

矢量范围	如果通道 3 未处于 DDS 矢量模式	如果通道 1 未处于 DDS 矢量模式	如果通道 1 和 3 都处于 DDS 矢量模式
DDS_VEC[128:191]	通道 1	通道 3	通道 1
DDS_VEC[192:255]			
DDS_VEC[256:319]			通道 3
DDS_VEC[320:383]			

上表中的映射允许通道 0 和 2 共享资源。同样，通道 1 和 3 共享资源。

系统为通道 1 和 3 分配了更多内存。这种分配策略在 DDS 矢量模式与 DUC 或 DDS 流模式混合应用时，能够最大化可用内存资源。在这些混合配置中，DDS 矢量模式适用于通道 1、2 和/或 3，并不适用于通道 0。

矢量处理器负责读取每个矢量，对参数进行格式化和缩放处理，并在适当的持续时间内将这些参数应用于 DDS 累加器。

Copyright © 2026 Texas Instruments Incorporated

表 7-12 定义了矢量处理器生成的参数的方式。所有对 DDS 矢量字段的引用均针对当前正在播放的具体矢量的对应字段。

表 7-12. DDS 矢量字段

信号	格式	说明
step_exp	整数	步进指数。范围是 -4 至 -32。该值的作用是为幅度和频率的步进应用一个与矢量持续时间相匹配的缩放因子。较长的矢量使用较小的缩放因子（较大的 STEP_EXP 值）。 step_exp = -STEP_EXP - 1 每个矢量的 STEP_EXP 字段的建议值为： STEP_EXP = floor(log2(NUM_SAMP_M32+32)) - 1
amp_start	49 位，有符号	振幅累加器的初始值。在矢量开始时应用。 amp_start = AMP_START * 2^{33} 可将 amp_start 设置为零，以在等待触发信号时使 DDS 输出静音。
amp_step	49 位，有符号	振幅步进累加器的初始值。 amp_step =AMP_STEP * 2^{33} * 2^{step_exp} + amp_step/2 注意：“amp_step2/2”项确保振幅值的序列遵循更简单的二次方程。
amp_step2	49 位，有符号	振幅步进累加器（二阶项）的步进。在整个矢量期间生效。该参数仅在启用二阶振幅时适用（请参阅 DDS_AMP2） amp_step2 = AMP_STEP2 * 2^{33} * 4^{step_exp}
freq_start	65 位	频率累加器的初始值。在矢量开始时应用。 freq_start =FREQ_START * 2^{17} + freq_step/2 注意：“freq_step/2”项确保相位值的序列遵循更简单的二次方程。 注意：启用二阶振幅时（请参阅 DDS_AMP2），FREQ_START 的低 16 位用于振幅控制，并且上面针对 freq_start 的公式假定这些 16 位为零。
freq_step	65 位	频率累加器的步进值。在整个矢量期间生效。 freq_step = FREQ_STEP * 2^{33} * 2^{step_exp}
phase_start	65 位	相位累加器的初始值。在矢量开始时应用。 phase_start = PHASE_START * 2^{49}
vec_start	1 位	控制信号，指示矢量开始。促使累加器初始化。置位持续一个采样周期。 如果矢量处理器遇到需要触发的矢量（队列中没有触发信号），则 vec_start 信号将置为有效，但 amp_start 和 amp_step 将设置为零以使 DDS 输出静音。触发发生后，VEC_START 再次被置为有效，但这次是正常配置 AMP_START 和 AMP_STEP 以启动矢量的情况。 如果保持模式处于活动状态，则不会生成静音。amp_start 和 amp_step 信号不会被设为零，且响应触发事件时，vec_start 不会再次脉冲触发（因为矢量已在播放）。
load_phase	1 位	当保持模式禁用时，oad_phase 信号与 vec_start 信号匹配（相位累加器加载 phase_start）。当保持模式启用时，load_phase 保持低电平，以实现相位连续运行。

7.3.6.4.1 二阶振幅支持

默认情况下，矢量引擎不支持二阶振幅斜坡。但是，可以使用 DDS_AMP2 寄存器启用此模式。此模式可生成平滑且精确的振幅曲线。启用此模式时，会发生一些重要的变化：

1. 每个矢量的最大长度为 65536 个样本（NUM_SAMP_M32 不得超过 65504）。
2. 每个矢量的 FREQ_START 字段的低 16 位被重新用于定义 2 阶振幅阶跃值，该值是一个 16 位有符号值 (AMP_STEP2)。这会将初始频率的分辨率降低到 32 位（为了定义初始频率，假设 FREQ_START 的低 16 位为零）。
3. STEP_EXP 的最大支持值变为 15 (step_exp = -16)。

Copyright © 2026 Texas Instruments Incorporated

7.3.6.4.2 矢量顺序和对称矢量模式

每个 DDS 通道都有一个本地矢量指针，该指针在每个矢量完成后更新。局部矢量指针被添加到通道偏移量中，以索引到 DDS_VEC。每个通道的通道偏移取决于启用的通道数，并在表 7-13 中列出。

表 7-13. DDS_VEC 的通道偏移

通道	通道偏移
0	0
1	128
2	0（或如果 DSP 通道 0 也处于矢量模式，则为 64）
3	128（或如果 DSP 通道 1 也处于矢量模式，则为 256）

禁用对称模式 (DDS_SYM=0) 时，本地指针从通道偏移值开始，并在每个矢量完成后递增。一旦设置了 LAST_VEC 字段 (=1) 的矢量完成，指针将返回到通道偏移值，并且递增序列重复。

以下是局部矢量指针的示例序列（DDS_SYM=0，矢量 5 具有 LAST_VEC=1），其中通道偏移 = 0：

0, 1, 2, 3, 4, 5, 0, 1, 2, 3, 4, 5, 0, 1, 2, 3, 4, 5, ⋯

当通过设置 DDS_SYM 启用对称模式时，在播放设置了 LAST_VEC 的矢量后，指针不会重置为通道偏移值。指针开始递减，直到达到通道偏移值，然后再次开始递增（通道偏移矢量播放两次）。

以下是局部矢量指针的示例序列（DDS_SYM=1，矢量 5 具有 LAST_VEC=1），其中通道偏移 = 0：

0, 1, 2, 3, 4, 5, 4, 3, 2, 1, 0, 0, 1, 2, 3, 4, 5, 4, 3, 2, 1, 0, 0, 1, 2, 3, 4, 5, ⋯

请注意，矢量 5 播放 ***一次***，但矢量 0 播放 ***两次***（以支持对称的法兰克码）。上面处于递减阶段的矢量加了下划线。在递减阶段，将忽略矢量的 VTRIG_MODE 字段，并和 VTRIG_MODE 为 0 时一样处理矢量。这可确保在波形的后半部分播放完整的对称波形而无需触发。

请注意，对称模式用于法兰克码（具有对称相位序列的相位调制）。当波形段以相反的顺序播放时，构成波形段的实际样本在时间上不会反转（不会反向播放）。

7.3.6.4.3 初始启动

只要 SYS_EN=1 且数据路径未处于 APP 睡眠状态，就会启用向量处理器。启用后，处理器会等待触发信号以开始运行。有关启动的一些重要注意事项：

1. 启动时，矢量处理器从向量块中获取第一个矢量。
2. 如果禁用了保持模式 (DDS_HOLD[n]=0)，则处理器的行为就像为第一个矢量设置了 VTRIG_MODE 一样。DDS 输出保持静音状态，直到发生第一个触发信号。稍后返回到第一个矢量时，正常接受 VTRIG_MODE。
3. 如果启用了保持模式 (DDS_HOLD[n]=1)，则 DDS 输出在启动时静音。接收到触发信号后，第一个矢量开始播放，但如果 VTRIG_MODE=1，则处理器保持挂起状态，并且需要第二个触发信号来完成第一个矢量。
4. 假设处理器正在等待触发信号，所有触发事件到 DAC 输出的延迟是相同的，无论触发器是初始化回放还是恢复回放。

7.3.6.4.4 触发队列

如果 DDS 通道未停止，但仍然接收到触发事件，则该事件将排队并在稍后消耗。这通过事件计数器实现。接收触发事件会使计数器递增。播放需要触发的向量会使计数器递减。如果计数器为零且向量需要触发，则播放会暂停，直到接收到触发事件。最多可缓存 65535 个触发事件排队进行处理。超过该限制的触发会被丢弃（计数器在 65535 时饱和）。

7.3.6.4.5 触发突发

Copyright © 2026 Texas Instruments Incorporated

可以对 DDS_BURST 寄存器进行编程（每个 DDS 通道一个）以启用突发触发。突发触发使每个接收到的触发事件都能够将 DDS_BURST+1 事件添加到触发队列中（请参阅触发队列）（如果 DDS 暂停，将立即消耗一个事件)。这对于需要以突发形式发送一系列相同波形的雷达应用很有用。

7.3.6.4.6 保持模式

DDS_HOLD[n] 寄存器可以设置为在 DDS 通道 n 上启用保持模式。这使得 DDS 能够保持矢量以生成长度无限（以及恒定频率和振幅）的音调，然后使用触发器启动频率或振幅斜坡，接着以不同的频率和/或振幅再次保持。激活保持模式后，适用以下更改：

1. 启用 DDS 输出的初始触发也不满足第一个矢量的触发条件。有关完整详细信息，请参阅“初始启动”。
2. 在初始触发后，每当矢量处理器停止时，DDS 输出不会静音。相反，矢量启动，但会无限期运行（等待触发事件）。一旦发生触发事件，DDS 会在继续播放下一个矢量之前播放电流矢量的 NUM_SAMP_M32+32 个额外样本。
3. 相位累加器以相位连续模式运行。这可确保在启动每个矢量时具有相位连续行为。当启动后发生第一个触发时，会应用第一个矢量的 PHASE_START 值，但随后的所有操作都会忽略 PHASE_START 值。
4. 每个矢量的长度必须是 32 的倍数（所有矢量的 NUM_SAMP_M32 字段必须是 32 的倍数）。
5. 必须禁用索引模式 (DDS_IMODE=0).。
6. 必须禁用对称模式（当 DDS_HOLD[n] 为 1 时，DDS_SYM[n] 必须为 0）。

*（转到典型应用示例）*下面是任意频率和/或振幅之间平滑过渡的示例用例。在本描述中，矢量编号是通道矢量块内的偏移量。

1. **设置初始频率/振幅：**
   a. 启用保持模式 (DDS_HOLD) 并将矢量 0 (DDS_VEC) 设定为初始所需的频率和振幅：
      i. FREQ_START = 所需的频率；
      ii. AMP_START = 所需的振幅；
      iii. NUM_SAMP_M32 = 0；FREQ_STEP = 0；AMP_STEP = 0；STEP_EXP = 0；VTRIG_MODE = 1；LAST_VEC = 0；
   b. 启动 DDS (SYS_EN=1)。
   c. DDS 无限期地播放矢量 0，并等待触发。
2. **斜升至新的频率/振幅：**
   a. 当需要新的频率或振幅时，对矢量 1 进行设定以生成从初始频率/振幅（在步骤 1 中）开始、到新频率和振幅结束的频率或振幅斜坡。将 VTRIG_MODE 设置为 0 斜坡的持续时间由 NUM_SAMP_M32 设置。对 FREQ_STEP、AMP_STEP 和 STEP_EXP 的相应值进行设定。设定 VTRIG_MODE = 0 和 LAST_VEC = 1。
   b. 使用新的频率/振幅更新矢量 0（它尚未产生任何影响）。矢量 0 的其他字段可以保持不变（与步骤 1 相同）。
   c. 使用任何触发方法触发 DDS。这会导致 DDS 播放矢量 1（斜坡），然后返回到矢量 0（该矢量为新频率和/或振幅）。然后，DDS 无限期地保持在矢量 0 上。
3. **当需要一个新的频率或振幅时，重复步骤 2。**

7.3.6.4.7 索引模式

可以通过设置 DDS_IMODE=1 来启用索引模式。索引模式允许 TRIG[4:1] 引脚在 DDS 由 TRIG[0] 触发时，选择矢量存储器中要跳转到的 16 个位置之一。这允许用户随机访问矢量存储器的 16 个部分（触发多个不同波形中的一个）。

任何 DSP 通道都可以在索引模式下运行，但用户必须通过设定 TRIG_TYPE*n*=4 和 TRIG_SEL*n*=0，将 DSP 通道配置为由 TRIG[0] 触发。多个 DSP 通道可以同时在索引模式下运行，但 DSP 通道都共用 TRIG[4:0] 引脚，因此用户无法唯一地对通道建立索引。请注意，DSP 通道 0 和 2 无法访问太多矢量，因此对于索引模式而言不是很好

Copyright © 2026 Texas Instruments Incorporated

的选择。建议将通道 3 用于索引模式，以便可以为 16 个唯一的位置建立索引。如果用户尝试跳转到大于分配给通道的矢量数量的矢量编号，该地址将被混叠回通道的分配中。

在索引模式中，矢量被正常处理，但是进行了以下更改：

1. 每次 DDS 接收到触发信号时，TRIG[4:1] 的当前值乘以 16，并存储在名为 VINDEX 的内部寄存器中。
2. 如果 DSP 通道只能访问 128 个矢量，那么 VINDEX 的位 7 将被忽略（地址混叠）。如果只有 64 个矢量可用，则位 7 和 6 都被忽略。
3. 如果*在处理器等待触发时*收到触发信号，则会更新 VINDEX 寄存器，然后处理器跳转到 VINDEX 指定的矢量并立即播放该矢量。如果新矢量的 VTRIG_MODE=1，则使用触发信号，否则触发信号将被放入触发队列中。如果 DDS_SYM=1，VINDEX 将复制到 VSYM（矢量处理器记忆对称播放的起始索引，以便稍后递减索引）。
4. 如果在处理器*未等待触发*时接收到触发信号，则会更新 VINDEX 寄存器，并且触发信号会被放入队列中，但播放不会中断。VINDEX 的新值可在以后使用（请参阅以下项目）。
5. 当 DDS_SYM=0 时（非对称模式），并且处理器完成 LAST_VEC=1 的矢量时，处理器跳转到 VINDEX 指定的矢量（而不是将矢量指针设置为 0）。
6. 5.当 DDS_SYM=1（对称模式），并且矢量指针处于递减阶段时，矢量指针不会递减到 VINDEX，而是递减到 VSYM。一旦 VSYM 指定的矢量完成，对称序列就完成，因此处理器跳转到 VINDEX 指定的矢量并设置 VSYM=VINDEX（此定义允许一个对称序列在执行另一个对称序列时排入队列）。

7.3.6.4.8 索引模式中的已排队或突发触发

只有一个 VINDEX 寄存器，并且每次接收到触发信号时值都会被覆盖。这意味着用户无法将具有*唯一* VINDEX 值的多个触发事件排队。但是，DDS 可以多次重复使用存储的 VINDEX 值。例如，如果 DDS_BURST=3，则单个触发事件会播放特定波形 4 次。下面详细说明了该示例的操作：

1. 假设 DDS 正在等待触发且 DDS_SYM[0]=0（非对称模式）。
2. 假设 DDS_VEC[80].VTRIG_MODE=1。
3. TRIG[0] 上升，其中 TRIG[4:1]=5。DDS 设置 VINDEX=5*16=80。DDS 开始播放矢量 80（使用一次触发，并且因为 DDS_BURST=3，3 个触发事件排队）。
4. DDS 播放矢量 80 至 83。
5. DDS_VEC[83].LAST_VEC=1，因此 DDS 跳转到 DDS_VEC[VINDEX]（这是矢量 80，因为 VINDEX 尚未更改）。由于 DDS_VEC[80].VTRIG_MODE=1，因此从队列中删除了一个触发事件。
6. 矢量 80 至 83 共播放 4 次（播放中间隔为零）。第四次播放后，触发队列为空，因此 DDS 停止（静音）并再次等待触发。

7.3.6.4.9 启用 DDS 时写入矢量

用户可以在 DDS 被启用 (SYS_EN=1) 的情况下写入 DDS 矢量 (DDS_VEC)；但是，用户*必须确保* DDS 在写入矢量时不会尝试读取任何矢量。这可以通过以下几种方法之一来实现：

1. 如果 DDS 通道空闲（等待触发信号），用户可以写入分配给该通道的任何矢量。但是，用户不得更改 DDS 空闲的矢量的 VTRIG_MODE 字段。
2. 在索引模式中，用户可以写入当前未播放的矢量表部分中的矢量（因为 TRIG[4:1] 输入未激活它们）。
3. 如果 DDS 处于激活状态但最终停止以等待触发信号，并且用户可以确保在触发 DDS 之前写入矢量以读取它们，则用户可以写入超出停止点的矢量。

7.3.6.5 DDS 流模式

DDS 流模式支持用户使用 JESD204C 接口向 DDS 发送连续的频率/相位/振幅值流。该模式对于频率/相位/振幅调制/键控非常有用。与 DUC 模式相比，频率流技术可在宽频率范围内生成复杂的线性调频信号，同时占用更少的 JESD204C 带宽资源。

Copyright © 2026 Texas Instruments Incorporated

要将 DSP 通道置于 DDS 流模式，需将 DSP_MODE*n* 设置为 DDS 流模式。DDS 流模式支持 F_{DACCLK}/16、F_{DACCLK}/32 或 F_{DACCLK}/64 的输入采样速率。该参数通过编程 DSP_L 寄存器将 DDS 上采样因子设置为 16、32 或 64。用户必须选择支持 16 位采样的 JMODE，且该模式的 LT 值需与 DDS 上采样因子（16、32 或 64）匹配。

表 7-14 总结了 DDS 流模式的一些主要特性。

表 7-14. DDS 流模式总结

属性/特性	详细信息
支持的 JMODE：	支持 JESD_M 和 DSP_L 所需设置的任何 16 位 JMODE
分配给每个 DDS 通道的 JESD204C 转换器（流）数量：	2 （32 位）
JESD_M 支持的值：	2、4、6、8
支持的上采样因子 (DSP_L)：	16、32、64
流传输选项	流频率、相位和振幅 (STREAM_MODE[*n*]=0) 仅流频率 (STREAM_MODE[*n*]=1) 仅流相位和振幅 (STREAM_MODE[*n*]=2)
可以通过流式传输零振幅来触发 DDS：	是
触发 DDS 时要执行的操作：	从 FREQ/PHASE/AMP 寄存器更新非流式参数。如果设置了 NCO_AR，则复位相位累加器。

根据表 7-15，为每个 DSP 通道分配两个 16 位 JESD204C 转换器（流）。用户必须对 JESD_M 进行编程，以确保每个 DSP 通道（配置为 DDS 流模式）接收两个 16 位数据流。这两个 16 位数据流会拼接成一个 32 位数据流（称为 sdata）。低数据流为低 16 位 (sdata[15：0])。高数据流为高 16 位(sdata[31：16])。

表 7-15. JESD204C 转换器到 DSP 通道的分配（DDS 流模式）

JESD204C 转换器（流）	与转换器关联的 DSP 通道	对 32 位 DDS 流 (sdata) 的贡献
C0	DSP0	sdata[15:0]
C1	DSP0	sdata[31:16]
C2	DSP1	sdata[15:0]
C3	DSP1	sdata[31:16]
C4	DSP2	sdata[15:0]
C5	DSP2	sdata[31:16]
C6	DSP3	sdata[15:0]
C7	DSP3	sdata[31:16]

如果启用了 FPA-Stream 模式 (STREAM_MODE[n]=0)，DDS 会将 sdata[31：1] 解释为频率或相位+振幅，具体取决于 sdata[0] 的值。表 7-16 和表 7-17 显示了这一情况。这样可让流控制所有参数（频率、相位、振幅）。相位/振幅样本在内部延迟一个输入采样周期（与频率样本相比）。因此，用户可以通过先发送相位+振幅采样，然后发送频率采样来同时更改所有参数。

表 7-16. 频率样本的格式 (STREAM_MODE[*n*]=0)

sdata[31:1]	sdata[0]
31 位频率值 （LSB 权重为 $2^{-31} * F_{DAC}$）	1’b0

Copyright © 2026 Texas Instruments Incorporated

表 7-17. 相位+振幅样本的格式 (STREAM_MODE[*n*]=0)

sdata[31:16]	sdata[15:1]	sdata[0]
16 位相位值 (LSB 权重为 2^{-16} * 2π 弧度)	15 位振幅值 (无符号) (LSB 权重为 2^{-15} *满标度)	1’b1

当接收到频率数据时，会保持之前的相位和幅度。当接收到相位/振幅数据时，则保持之前的频率。当 DDS 首次启用 (通过 SYS_EN) 时，初始频率，相位和振幅均为零。

用户也可以通过流式传输零值振幅并设置相位 LSB 位 PHASE[0]= 1 来触发 DDS。如果 NCO_AR[n] 被置位，则复位相位累加器 (信号振幅非零时，它就会恢复累加)。这为生成具有一致初始相位的频率线性调频信号提供了便捷方式。

在频率/相位/振幅或相位/振幅流模式 (STREAM_MODE[*n*]= 2)下，频率由 FREQ 寄存器确定。

在频率/相位/振幅或相位/振幅流模式 (STREAM_MODE[*n*]= 0 或 2) 下，流式传输零值振幅会导致 DDS 开始使用 FREQ[n] 寄存器中的任何新值。该触发信号由 DDS 在内部解码，并独立于 DSP 触发机制中定义的触发源工作。

由于 JESD204C 链路可能会发生位错误，因此这可能会破坏 sdata[0] 位，从而导致频率、相位或振幅损坏。用户可以定期切换 sdata[0] 以流式传输所有参数，确保任何损坏都能被定期覆盖。如果用户倾向于始终发送频率数据或始终发送相位 / 幅度数据，可使用 STREAM_MODE 寄存器指示 DDS 完全忽略 sdata[0] 位。表 7-18 列出了这些选项。

表 7-18. 流模式说明

STREAM_MODE *n*	说明
0	FPA 流：使用 sdata[0] 位来动态流式传输频率/相位/振幅。
1	F 流：仅流式传输频率样本。sdata[0] 位是频率值的 LSB，支持 32 位频率传输。相位和振幅由 PHASE[*n*] 和 AMP[*n*] 寄存器设定。
2	PA 流：仅流式传输相位/振幅样本 (忽略 sdata[0])。频率由 FREQ[*n*] 寄存器设置。

表 7-19. 频率样本的格式 (STREAM_MODE[*n*]=1)

sdata[31:0]
32 位频率值 (LSB 权重为 2^{-32} * F_{DAC})

表 7-20. 相位+振幅样本的格式 (STREAM_MODE[*n*]=2)

sdata[31:16]	sdata[15:1]	sdata[0]
16 位相位值 (LSB 权重为 2^{-16} * 2π 弧度)	15 位振幅值 (无符号) (LSB 权重为 2^{-15} *满标度)	无关

7.3.6.6 DSP 触发

每个 DSP 通道都可以接收来自各种源的触发事件 (请参阅图 7-42 和表 7-21)。当 DSP 通道接收到触发时，可能会发生多种不同的操作，具体取决于 DSP 模式 (DSP_MODE*n*) 和其他 DSP 设置。触发器操作在图 7-42 和表 7-22 中进行了汇总。

默认情况下，所有 DSP 通道均可通过将 TRIG_SPI[0] 从 0 更改为 1 (SPI 即时模式，其中所有 DSP 通道都绑定到 TRIG_SPI[0]) 来触发。

Copyright © 2026 Texas Instruments Incorporated

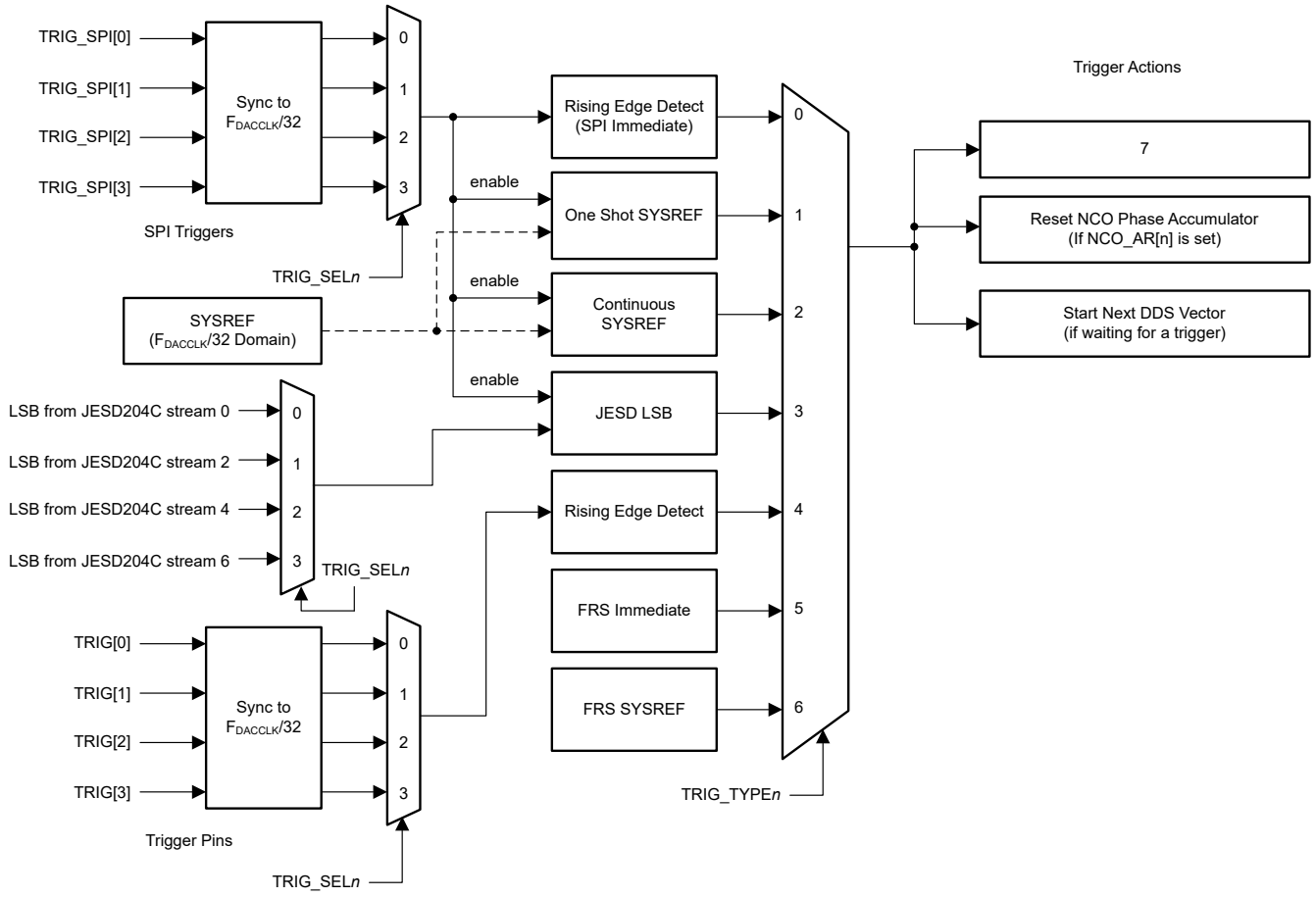


图 7-42. DSP*n* 的触发源和操作（显示一个 DSP 通道）

表 7-21. 触发源/模式

TRIG_TYPE[n] 值[2]	触发源/模式	说明
0	SPI 即时（默认）	TRIG_SPI 位上绑定[1] 到 DSP**n** 的上升沿将触发 DSP**n**。*要同时触发多个 DSP 通道，您必须使用 TRIG_SEL 将它们绑定到同一个 TRIG_SPI 位。*.由于 SPI 接口与 DSP 时钟异步，所以这个触发类型不适用于对齐多个器件。
1	SYSREF 单次触发	绑定[1] 到 DSP**n** 的 TRIG_SPI 位上的上升沿将使下一个 SYSREF 上升沿触发 DSP**n**。*如果 SYSREF 时序与内部时钟不一致（即会导致* CLK_ALIGNED *为低电平），SYSREF 无法触发 DSP*。这种触发类型可用于跨多个器件对齐所有 DSP，前提是所有器件都接收确定性的 SYSREF。
2	SYSREF 连续	只要绑定[1] 到 DSP ***n*** 的 TRIG_SPI 位为高电平，每个 SYSREF 上升沿都会触发 DSP ***n*** 。*如果 SYSREF 时序与内部时钟不一致（即会导致 CLK_ALIGNED 为低电平），SYSREF 无法触发 DSP*。这种触发类型可用于跨多个器件对齐所有 DSP，前提是所有器件都接收确定性的 SYSREF。
3	JESD204C LSB	只要绑定[1] 到 DSP ***n*** 的 TRIG_SPI 位为高电平，来自 JESD204C 接口的流 0 的 LSB 就会触发 DSP ***n*** 。LSB 必须在四个连续样本中为低电平，然后在四个连续样本中变为高电平，才能启动触发事件。只要所有器件都以子类 1 模式运行，这种触发类型可用于跨多个器件对齐所有 DSP。
4	触发引脚[3]	绑定[1] 到 DSP ***n*** 的外部触发引脚 (TRIG) 上的上升沿会触发 DSP ***n*** 。*要同时触发多个 DSP 通道，您必须符合触发时钟的设置/保持时间，或者使用 TRIG_SEL 将它们绑定到同一个 TRIG 位*。另请参见触发时钟。这种触发类型可用于跨多个器件对齐所有 DSP，前提是所有器件都将触发时钟对齐到通用 SYSREF，并且 TRIG 信号符合触发时钟的建立/保持时间。
5	FRS 即时	如果设置了 FRS，则 DSPn 在 FRI 事务结束时由 $\overline{\text{FRCS}}$ 的上升沿（用作 FR 接口时的引脚 TRIG[4]）触发。由于 FRI 接口与 DSP 时钟异步，所以这个触发类型不适用于对齐多个器件。但是，触发类型可以在单个器件中对齐多个 DSP 通道。

Copyright © 2026 Texas Instruments Incorporated

表 7-21. 触发源/模式（续）

TRIG_TYPE[n] 值 [2]	触发源/模式	说明
6	FRS-TRIGCLK	如果设置了 FRS，则 DSPn 由 TRIGCLK 的上升沿触发，之后跟随 $\overline{FRCS}$ 的上升沿（用作 FR 接口时的引脚 TRIG[4]）。如果 frcs_n 满足 trig_c 的设置/保持时间，该方法可以确定性地在多个器件中对齐 DSP。

1. 使用 TRIG_SEL 选择将哪个 TRIG_SPI 或 TRIG 位绑定到每个 DSP。
2. 有关更多信息，请参阅 TRIG_TYPE。
3. 当任何 TRIG_TYPE[n] 设置为 4 时，默认使用 TRIG 引脚，但用户可以替换不同的引脚来代替 TRIG[0]、TRIG[1] 或 TRIG[2] 引脚。这是使用 TX_PIN_FUNC 或 SYNCB_PIN_FUNC 寄存器完成的。例如，若 SYNCB_PIN_FUNC=10，则使用 SYNCB 引脚而不是 TRIG[0] 引脚。用户还必须验证 TRIG_SELn=0 是否将 DSPn 绑定到 SYNCB 引脚（代表 TRIG[0]）。

表 7-22. DSP 触发操作与 DSP 模式之间的关系

DSP_MODE*n*	应用于 NCO 的新 FREQ[n] 值	应用于 NCO 的新 PHASE[n] 值	应用到混频器的新 AMP[n] 值	相位累加器复位	前进到下一个 DDS 矢量
DUC 模式	是	是	不适用	如果 NCO_ARn[]=1	不适用
DDS SPI 模式	是	是	是	如果 NCO_AR[n]=1	不适用
DDS 矢量模式	不适用	不适用	不适用	每当矢量开始时复位（自动或手动触发），除非处于保持模式	是，如果矢量处理器正在等待触发（请参阅 VTRIG_MODE）
DDS 流模式	仅当 STREAM_MODE *n*=2 时	仅当 STREAM_MODE *n*=1 时	仅当 STREAM_MODE *n*=1 时	如果 NCO_AR[n]=1	不适用

请勿在触发发生的同时写入 AMP、FREQ 和 PHASE 寄存器，否则 NCO 可能会接收到损坏的 AMP、FREQ 或 PHASE 值。

7.3.6.6.1 触发延迟

触发 DSP 块的确定性方法有多种：通过 JESD204C 接口的 LSB、触发引脚或经由 SYSREF。表 7-23 中列出了每个触发方法的延迟参数。T_{SYSREF_NCO}、T_{SYSREF_VEC}、T_{TRIG_NCO} 和 T_{TRIG_VEC} 的值取决于器件配置，并在德州仪器 (TI) 提供的延迟计算器电子表格中提供。T_{JSYNC_NCO} 的值在表 7-24 中提供。

表 7-23. NCO 同步延迟参数

延迟参数	说明
T_{SYSREF_NCO}	从 SYSREF 采样高电平（通过 DACCLK）到 DAC 输出响应 NCO 同步事件（由 SYSREF 触发）的延迟。
T_{SYSREF_VEC}	从 SYSREF 采样高电平（到触发 NCO）到 DAC 输出（矢量模式）（DACCLK 周期）的延迟
T_{TRIG_NCO}	从 TRIGn 采样高电平到 DAC 输出的延迟（DUC/流/DDS-SPI）（DACCLK 周期）
T_{TRIG_VEC}	从 TRIGn 采样高电平到 DAC 输出的延迟（矢量模式）（DACCLK 周期）
T_{JSYNC_NCO}	通过内插滤波器到 NCO 的延迟减去同步 NCO 的 LSB 的延迟。仅在使用输入数据的 LSB 来同步 NCO 时适用。为了使输入采样 **n** 成为第一个与新 NCO 频率或相位混合的采样，在采样 **n'** = **n**+T_{JSYNC_NCO}/LT 时，LSB 可以被拉高。请注意，**n'** 可以是非整数值，因为同步路径并非总是输入采样周期的整数倍。请参阅 表 7-24

表 7-24. T_{JSYNC_NCO} 与 LT 间的关系

内插因子 (LT)	T_{JSYNC_NCO} [DACCLK 周期] [1]
4	-148、-152、-156、-160、-164、-168、-172、-176
6	-70、-76、-82、-86、-88、-92、-94、-98、-100、-104、-106、-110、-112、-116、-122、-128
8	10、18、26、34

Copyright © 2026 Texas Instruments Incorporated

表 7-24. T_{JSYNC_NCO} 与 LT 间的关系（续）

内插因子 (LT)	T_{JSYNC_NCO} [DACCLK 周期](1)
12	90、102、106、114、118、126、130、142
16	262、278
24	406、422、430、446
32	624
48	896、912
64	1404
96	2036
128	2932
192	4212
256	6004

(1) 列出了多个值，表示 T_{JSYNC_NCO} 取决于 LSB 何时相对于多帧边界上升。

7.3.6.7 NCO 方波模式

每个 DSP 通道内的 NCO 可配置为产生方波，而不是正弦/余弦波形。该功能专为希望使用具有可设定频率、相位、振幅、压摆时间和占空比的 DAC 合成时钟信号的系统而设计。通过设置 NCO_SQ_MODE[*n*] 在 DSP*n* 上启用此功能。此模式与所有 DDS 模式兼容，但 DUC 模式不支持此模式（请参见 DSP_MODE*n*）。DDS-SPI 模式是此特性的主要用例。但如果需要频率斜升，DDS 矢量模式或 DDS 流模式可能很有用。

可以使用 SLEW 和 DUTY_CYCLE 寄存器来调节压摆时间和占空比。压摆时间设定为周期的一部分，因此当 NCO 频率改变时，周期也会改变；因此，压摆时间也会改变。

频率、相位和振幅的控制方式与 NCO 生成正弦/余弦波形时使用的方式相同。表 7-25 对此进行了总结。

表 7-25. NCO 参数控制方法与 DSP 模式之间的关系

NCO 参数	NCO 参数的控制方法取决于 DSP 模式		
	DDS SPI 模式	DDS 流模式	DDS 矢量模式
频率	FREQ 寄存器	取决于 STREAM_MODE	矢量引擎
相位	PHASE 寄存器	取决于 STREAM_MODE	矢量引擎
振幅	AMP 寄存器	取决于 STREAM_MODE	矢量引擎
Slew	SLEW 寄存器	SLEW 寄存器	SLEW 寄存器
占空比	DUTY_CYCLE 寄存器	DUTY_CYCLE 寄存器	DUTY_CYCLE 寄存器

NCO 产生的方波如图 7-43 所示。

Copyright © 2026 Texas Instruments Incorporated

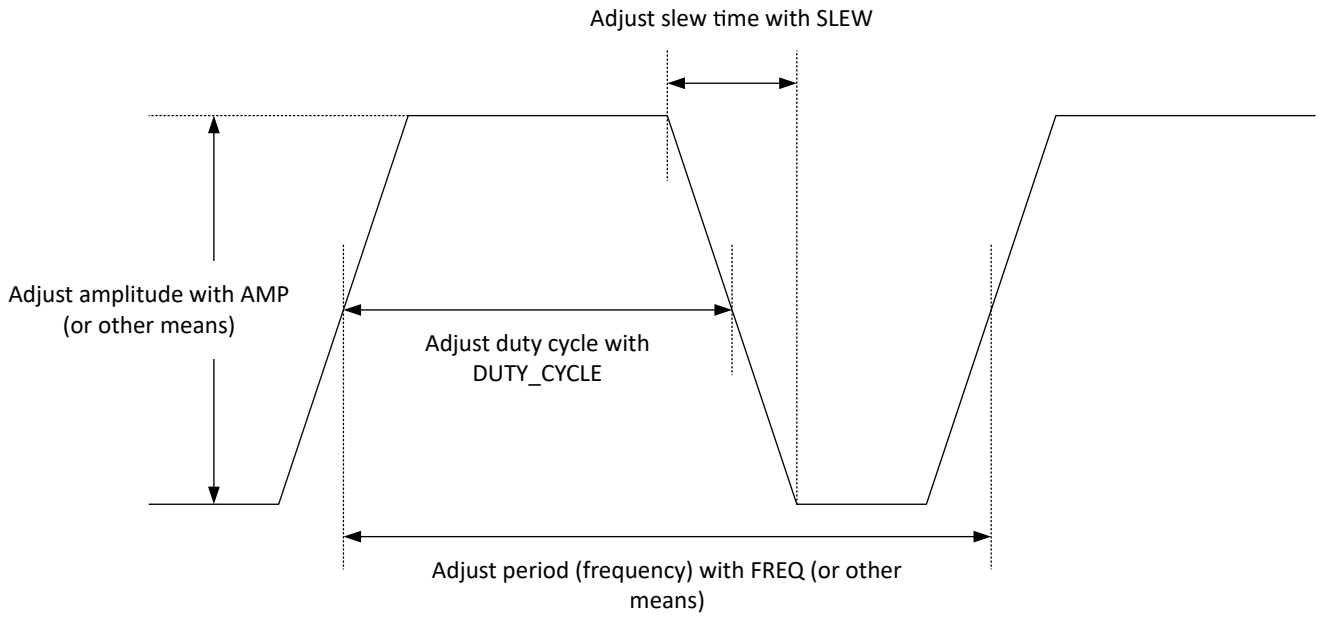


图 7-43. NCO 方波属性

占空比可在宽范围内调节，但用户绝不能将占空比调整为会导致信号下降沿与上升沿“冲突”的极端值。支持的占空比范围取决于 SLEW 设置，如表 7-26 所列。

表 7-26. 支持的占空比范围与压摆时间之间的关系

SLEW 设置	压摆时间占周期的百分比 (25% * 2^{-SLEW})	可接受的占空比范围 [百分比]	支持的 DUTY_CYCLE 寄存器范围（十进制）
0	25%	25% - 75%	1024 至 3072
1	12.5%	12.5% - 87.5%	512 至 3584
2	6.25%	6.25% - 93.75%	256 至 3840
3	3.125%	3.125% - 96.875%	128 至 3968
4	1.5625%	1.5625% - 98.4375%	64 至 4032
5	0.78125%	0.78125% - 99.21875%	32 至 4064
6	0.390625%	0.390625% - 99.60938%	16 至 4080
7	0.195313%	0.195313% - 99.80469%	8 至 4088
8	0.097656%	0.097656% - 99.90234%	4 至 4092
9	0.048828%	0.048828% - 99.95117%	2 至 4094

关于方波发生器的注意事项：

1. 方波模式仅适用于 NRZ 或 DES2XL DAC 输出模式（第 1 奈奎斯特模式），并且频率小于 DAC 时钟速率的 1/10，否则周期内没有足够的数据点来定义转换周期。
2. 当 NCO 产生输出时，可以更改 SLEW 和 DUTY_CYCLE 参数，但这些参数直到 DSP 接收到触发事件后才会生效。以这种方式更新这些参数的操作不是很简单，因为波形可能会干扰新波形。为了防止干扰，可以将波形选通为低电平，以使用 NCO_SQ_EN 更新 SLEW 和 DUTY_CYCLE 参数。
3. 当在 DDS 矢量模式下使用方波时，使用 DDS_HOLD 特性，使矢量引擎在等待触发时在矢量上保持并持续生成波形。如果您不使用此模式，则输出会通过进入中间代码静音，而不会将方波选通至低电平状态。
4. 在内部，方波在 -32768 至 +32767 之间波动，然后通过混频器进行缩放。当 DDS 振幅 (AMP) 为满量程 (32767) 时，这会略微减小波形，从而使输出从 32767 摆动到 +32766。
5. 将 DDS 振幅设置为 0 与选通波形不同。将振幅设置为 0 会使中间码处的摆幅为 0。将波形选通为低电平将使波形保持为“逻辑低电平”或“最小电平”（例如，如果 DDS 振幅设置为 32767，则为 -32767）。

Copyright © 2026 Texas Instruments Incorporated

6. 方波模式与 DSP_FORMAT=1 不兼容。
7. 在方波模式下，请勿将 NCO 频率设置为高于 $F_{DAC}/4$。
8. 用户必须注意，SLEW 设置不会过高。如果设置得过高，NCO 可能无法在转换期间生成输出样本。因此，由于每个边沿都四舍五入到最接近的采样周期，因此生成的信号的抖动可能较差。当压摆时间包含多个采样周期时，抖动性能会变得更好。压摆时间中的采样周期数等于 $0.25 * 2^{-SLEW[n]} * 2^{64} / FREQ[n]$（假设采用 DDS SPI 模式）。DAC 输出端的低通抗成像滤波器有助于平滑转换，从而产生更平滑的时钟信号。
9. DES2XL 模式有利于使用，因为 DES2XL 会增加转换周期中的点数。但是，当 DES2x 数字滤波器限制数字带宽时，滤波器会在转换周期附近产生大于方波振幅的纹波。因此，方波振幅必须减小 2-3%，以防止数字信号饱和。
10. 请参阅方波模式的带宽优化，了解方波模式的 DAC 输出带宽的优化。

7.3.6.7.1 方波启用

在方波模式下，NCO 能够通过将波形选通为低电平来同步禁用波形输出。这与数字时钟信号通常的选通方式类似。用户可以决定如何提供波形启用信号（请参阅 NCO_SQ_SEL）。当提供的启用信号更改状态时，NCO 不会立即响应，而是等待波形处于低电平状态，以便输出端不会出现截断脉冲。如图 7-44 所示。当波形被禁用然后重新启用时，波形的相位不会改变。波形返回到波形的同一相位，就像波形从未被禁用一样。

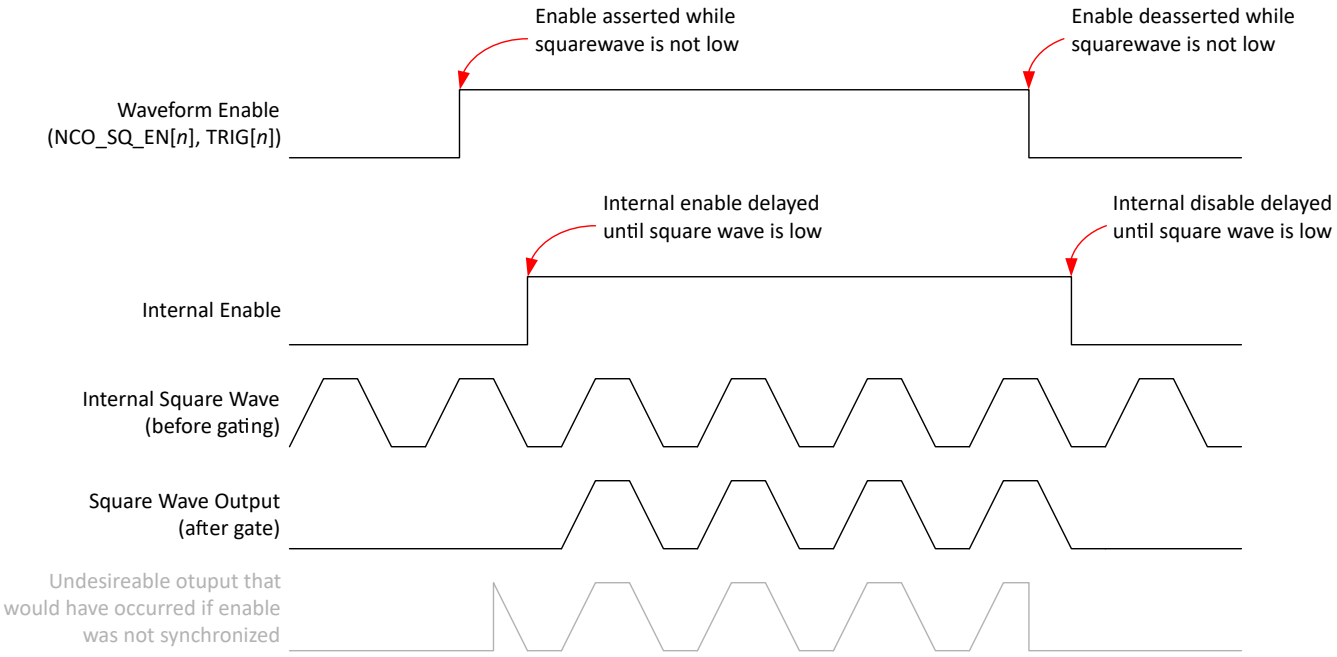


图 7-44. 波形启用/禁用示例

当波形被禁用时，NCO 会应用设定到 SLEW 或 DUTY_CYCLE 寄存器中的任何新值。重新启用波形后，可以观察到新设置。禁用波形时，不应用 FREQ、PHASE、AMP 的新值。用户必须为 DSP 提供触发器才能更新这些参数。

当启用信号改变状态时会发生一些延迟。NCO 必须首先等待波形变为低电平。除了该延迟外，NCO 还会额外延迟 448 个 DAC 时钟周期，用于处理事件。如果用户在 NCO 仍在处理先前的更改时再次更改启用信号，则可能会发生额外的延迟，因为 NCO 必须完全处理先前的更改，然后 NCO 才检查启用信号的当前状态并处理其他更改（如果需要）。

7.3.6.8 DSP 静音功能

每个 DSP 通道都包含静音功能，确保 DSP 输出在启动期间或从睡眠条件唤醒时为零。静音时输出直接从有效样本转换为零，取消静音时输出直接从零转换为有效样本。在 DSP 输出端应用静音（刚好在通道接合器输入之前）。

Copyright © 2026 Texas Instruments Incorporated

DSP 输出在以下条件下静音：

- SY_EN 从 0 转换为 1
- 器件处于 APP 睡眠状态
- DSP 通道根据 APP_SLEEP0/1 处于睡眠状态

DSP 通道唤醒后，计数器会延长静音。计数器的持续时间是 DSP_MODE*n*、DSP_L 和 PFIR_MODE 的函数。静音延长可确保存储在 DUC、DDS 或 PFIR 信号路径中的未知或旧样本被清除（并且这些样本永远不会到达通道接合器）。该延长可根据 DSP 信号路径的存储器深度大致扩展。

静音延长（以 DAC 周期为单位）由以下公式给出

$$\text{Total Mute Extension (in DAC cycles)} = 512 \times (D_{DSP} + D_{PFIR}) \quad (3)$$

其中 表 7-27 和 表 7-28 定义 D_{DSP} 和 D_{PFIR} 的值。请注意，D_{DSP} 和 D_{PFIR} 是特定于通道的（每个 DSP 通道可以基于 DSP_MODE*n* 和 PFIR_EN 具有唯一值）。

表 7-27. 与 DSP 延迟 (D_{DSP}) 相关联的 DSP*n* 静音延长

DSP_MODE*n*	DSP_L	LT（显示以供参考）	D_{DSP}
DSP 未处于 DUC 模式	不限	不限	2
DSP 处于 DUC 模式	0 至 2	RESERVED	2
	3	4x	2
	4	6x	3
	5	8x	3
	6	12x	4
	7	16x	4
	8	24x	6
	9	32x	8
	10	48x	10
	11	64x	13
	12	96x	20
	13	128x	26
	14	192x	38
	15	256x	50

表 7-28. 启用 PFIR 时 DSP*n* 的静音延长 (D_{PFIR})

DSP_MODE*n*	PFIR_EN[*n*]	PFIR_MODE	静音延长 (D_{PFIR})							
			内插因子 (LT)							
			4	6	8	12	16	24	32	所有其他
非 DUC 模式	任意值	任意值	0	0	0	0	0	0	0	0
DUC 模式	0	任意值	0	0	0	0	0	0	0	0
DUC 模式	1	0	0	0	0	0	0	0	0	0
DUC 模式	1	1	2	2	3	4	8	11	26	未定义
DUC 模式	1	2	1	2	2	3	4	6	14	未定义
DUC 模式	1	3	0	0	2	2	3	4	7	未定义

如果 DSP_FORMAT=1，则 DSP2/3 分别使用来自 DSP0/1 的静音延长。这样可确保 DSP2/3 使用与合作伙伴通道相同的持续时间。

Copyright © 2026 Texas Instruments Incorporated

7.3.6.9 DSP 输出增益

在 DSP 输出端，有一个“增益/舍入/饱和”功能。此功能执行以下步骤（按顺序）：

1. 接收混频器的输出（32 位）
2. 对混频器输出进行舍入（19 位）
3. 实现一个可以绕过混频器的多路复用器（适用于 NCO_EN=0 时的 DUC 模式）。
4. 通过 DSP_GAINn 执行增益功能（输出 24 位）。请注意，当混频器被旁路时，仍然应用增益。
5. 对结果进行舍入和饱和处理至 20 位，并发送至通道接合器。

请注意，混频器输出具有足够的范围来支持高达约 2.0 的采样。这个额外范围通过增益模块保持不变，然后在增益模块之后移除。此额外范围设计允许数据路径混合幅度大于 1.0 的 I/Q 值，且当增益设置提供足够衰减时不会饱和。例如，如果 I 和 Q 样本都是满量程 (1.0)，复数幅度大约为 1.414。如果增益 (DSP_GAINn) 为 -3dB 或者更低，信号不会饱和。这在 DUC 输入为零频偏移且接近满量程的基带 QAM 信号时很有用（QAM 星座图角点幅度大于 1.0）。对于其他信号而言，基带 I/Q 样本的分布并非十分接近矩形，因此这种额外的动态范围带来好处有限（根据峰值在 I/Q 平面中的位置，仅有较少的峰值样本会出现饱和）。

7.3.6.10 复杂输出支持

每个 DSP 通道只能生成一个实际输出信号。如果用户偏好复数信号，可以使用 DSP_FORMAT 寄存器来启用 DSP2 和 DSP3 中的混频器，分别为 DSP0 和 DSP1 生成虚数 (Q) 样本（将可用 DSP 通道的数量从 4 个减少到 2 个）。为此，将信号分别从 DSP0 和 DSP1 路由到 DSP2 和 DSP3。所路由的 NCO 输出将乘以 -j，以便 DSP2/DSP3 生成虚数输出（而不是实数输出）。

7.3.6.11 通道接合器

当使用 DSP 时，通道接合器允许每个 DAC 通道接收任意组合的 DSP 通道输出之和（请参阅图 7-45）。为避免在对 DSP 信号求和时发生饱和，应调整 DSP 增益（请参阅 DSP_GAINn）。在信号到达通道接合器之前，在每个 DSP 内应用增益（请参阅“DSP 输出增益”）。

DSP 输出通过 DAC_SRC 寄存器绑定到 DAC 通道，随后所有绑定的 DSP 信号会被求和，生成发送至 DAC 通道的信号（该信号将被传送至 PFIR、DES2X 内插器或编码器）。

当 DSP 被旁路时（请参阅“旁路模式”），通道接合器仅允许用户通过 DAC_SRC 寄存器将任一旁路样本流路由至任一 DAC 通道。旁路模式下不支持缩放或求和操作。

最后，通道接合器可以根据 DAC_INVn 选择性地反转输出。

通道接合器的输入分辨率为 20 位，输出分辨率为 16 位。

Copyright © 2026 Texas Instruments Incorporated

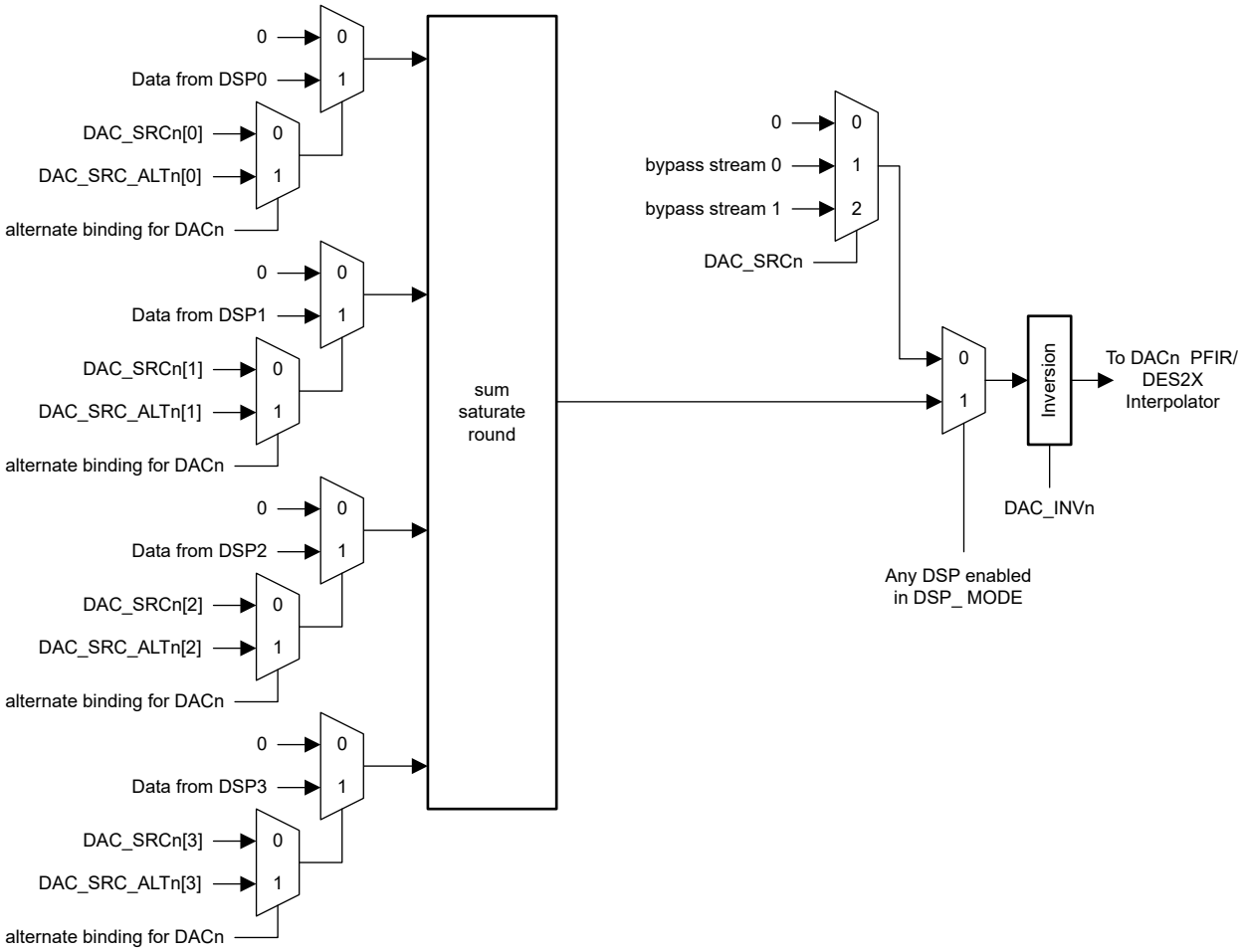


图 7-45. DAC 通道 n 的通道接合器方框图

7.3.6.12 可设定 FIR 滤波器

该器件包含一个可设定 FIR 滤波器 (PFIR)，该滤波器放置在通道接合器之后和 DES 内插器之前（使用时，也可以是 DAC 编码器），或放置在 DUC 的输入端。当放置在通道接合器的输出端时，PFIR 可以均衡完整的 DAC 奈奎斯特区域（单边沿时钟）。当放置在 DUC 的输入端时，可以分离 PFIR，以便为每个 DUC 输入提供单独的滤波器，并可在信号带宽内进行均衡。由于 DUC 输入端的采样率较低，因此 PFIR 有更多可用的滤波器抽头。同样，滤波器覆盖的时间范围更长（采样率较低时的抽头更多），从而提高了滤波器的频率分辨率。

表 7-29. PFIR 特性

PFIR 行为/特性	PFIR 的放置	
	PFIR 放置在通道接合器之后（实数模式）(PFIR_MODE=0)	PFIR 放置在 DUC 通道之前（复数模式）(PFIR_MODE>0)
支持的通道数量	多达 2 个实数通道	1、2 或 4 个复数通道，具体取决于 PFIR_MODE
复数支持	PFIR 输入、输出和系数均为实数（非复数）	PFIR 输入、输出和系数均为复数
采样速率	F_{DACCLK}	F_{DACCLK}/LT
系数的数量（抽头数）	24 个实系数	取决于 LT 和 PFIR_MODE
反射模式支持	是，请参阅“PFIR 反射消除”部分	否
支持 DSP_MODE*n* 设置	支持任何 DSP_MODE*n*	仅支持 DUC 模式
支持的插值 (LT)	支持所有内插因子	仅支持 4x – 32x。
广播支持	是，通道 0 可广播到 DAC1（请参阅 PFIR_BC）	否
减少了抽头数量	否，始终使用 24 个抽头	是，请参阅 PFIR_LEN

Copyright © 2026 Texas Instruments Incorporated

PFIR 系数分辨率为 16 位。表 7-30 根据 PFIR 位置和模式提供滤波器抽头的最大数量。

表 7-30. PFIR 模式

PFIR_MODE 设置	PFIR 位置	最多通道数	内插	每通道的最大抽头数
0	通道接合器输出	2 个实数 DAC 通道	(1x - 256x)	24
1	DUC0 之前	1 个复数 DUC 通道	4x	48
			6x	48
			8x	96
			12x	96
			16x	192
			24x	192
			32x	384
2	在 DUC0 和 DUC1 之前	2 个 复数 DUC 通道	4x	24
			6x	24
			8x	48
			12x	48
			16x	96
			24x	96
			32x	192
3	在 DUC0、DUC1、DUC2 和 DUC3 之前	4 个 复数 DUC 通道	8x	24
			12x	24
			16x	48
			24x	48
			32x	96

7.3.6.12.1 PFIR 系数

PFIR 抽头的系数通过 PFIR_H 或 FR_PFIR_H 寄存器数组来定义。这些数组总共支持 768 个系数。每个系数都是一个有符号的 16 位值，LSB 权重为 2^{-15}。实系数和虚系数被分配给数组中的不同位置。根据 PFIR_MODE，以不同的方式为 PFIR 通道分配位置（请参阅表 7-31）。在复数模式 (PFIR_MODE>0) 下，系数数量随着内插因子的增多而增加。另请注意，当 PFIR_MODE=3 时，DUC 通道顺序会出现异常(0、2、1、3)。

Copyright © 2026 Texas Instruments Incorporated

表 7-31. PFIR 系数分配与 PFIR_MODE 和 LT 间的关系

	PFIR_MODE												
	0	1				2				3		
	LT	内插因子 (LT)				内插因子 (LT)				内插因子 (LT)		
偏移[1] 至 PFIR_H[n]	*不限*	4x、6x	8x、12x	16x、24x	32x	4x、6x	8x、12x	16x、24x	32x	8x、12x	16x、24x	32x
0	DAC0	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数	DUC0，实数
24												
48												
72												
96										DUC0，图像	DUC0，图像	DUC0，图像
120												
144												
168												
192						DUC0，图像	DUC0，图像	DUC0，图像	DUC0，图像	DUC2，实数	DUC2，实数	DUC2，实数
216												
240												
264												
288										DUC2，图像	DUC2，图像	DUC2，图像
312												
336												
360												
384	DAC1	DUC0，图像	DUC0，图像	DUC0，图像	DUC0，图像	DUC1，实数	DUC1，实数	DUC1，实数	DUC1，实数	DUC1，实数	DUC1，实数	DUC1，实数
408												
432												
456												
480										DUC1，图像	DUC1，图像	DUC1，图像
504												
528												
552												
576						DUC1，图像	DUC1，图像	DUC1，图像	DUC1，图像	DUC3，实数	DUC3，实数	DUC3，实数
600												
624												
648												
672										DUC3，图像	DUC3，图像	DUC3，图像
696												
720												
744												

(1) 每行代表一组 24 个系数。仅列出组内第一个系数的索引。

Copyright © 2026 Texas Instruments Incorporated

7.3.6.12.2 PFIR 反射消除模式

实数模式下的 PFIR 滤波器可以拆分为两个 PFIR 滤波器，其间有延迟，用于消除在 DAC 输出网络、电缆等上发生的反射。提供了 PFIR_DLY 寄存器以帮助实现这一点。PFIR_DLY 通过在系数 11 和 12 之间插入零值系数来调整 PFIR 的抽头 12 至 23 的延迟。可添加最多 255 个零值系数。

例如，若 PFIR_DLY[0] = 103，则 PFIR0 会在脉冲响应中插入 103 个零。因此，PFIR0 的脉冲响应为：

- h[n] = PFIR_H[n]，其中 n =0..11
- h[n] = 0，其中 n =12..114
- h[n] = PFIR_H[n -103]，其中 n =115..126

7.3.6.12.3 PFIR 节能

PFIR 滤波器是一个大型数字模块，其功耗可能与其余数字逻辑电路相当。用户可以通过以下三种主要方式来降低 PFIR 的功耗：

1. 将不需要的系数编程为零。与使用所有非零系数相比，可实现适度的功耗降低。
2. 设置 PFIR_EN，使其启用的通道数量少于 PFIR_MODE 设定下的最大支持通道数。示例：设置 PFIR_MODE=3（支持最多 4 个 DUC 滤波），但将 PFIR_EN[3：0]=0b0001（仅对 DUC0 进行滤波）。
3. 设置 PFIR_LEN=0 以使有源系数数量减半。示例：当 PFIR_MODE=3 且 LT=32x 时，支持 96 个抽头，但如果 PFIR_LEN=0，抽头数量会减少一半（减少至 48 个）。请注意，任何使用 24 个系数的模式均不支持此功能。

7.3.6.12.4 PFIR 使用情况

1. 针对所需的运行模式配置 JESD204C 子系统、DSP 和其他元件。请勿设置 SYS_EN。
2. 对 PFIR_MODE 进行设定（请参阅 PFIR 模式）：
   a. 如果使用 DUC 模式（请参阅 DSP_MODE*n*），则用户可以选择将 PFIR 放置在 DUC 之后 (PFIR_MODE=0) 或 DUC 之前 (PFIR_MODE>0)。如果使用任何其它模式（DDS、旁路等），用户必须使用 PFIR_MODE=0 以全采样率运行 PFIR。
   b. 如果使用 PFIR_MODE>0，请选择一种支持用户要过滤的通道数的模式。如果选择的模式支持的通道数多于所需的通道数，则可减少抽头数并降低功耗。
3. 对 PFIR_EN 进行设定以指定要进行滤波的通道。
4. 基于用于更新 PFIR 系数的接口，对 FR_EN 进行设定。如果 FR_EN=1，则使用 FR_PFIR_H 和 FR_PFIR_PROG，而不是下面的 PFIR_H 和 PFIR_PROG。
5. 请参阅表 7-31 并对 PFIR_H 的正确元素进行设定（基于 PFIR_MODE 和 LT）。
6. 设置其他可能的选项，例如 PFIR_LEN 或 PFIR_DLY。
7. 设置 SYS_EN 以启动系统。PFIR 现在以指定的配置运行。
8. 要动态更改系数（当 SYS_EN=1 时），首先设置 PFIR_PROG=1，然后等待 1024 个 DACCLK 周期，然后再修改 PFIR_H。用户完成更改后，设置 PFIR_PROG=0 以使更改生效。

7.3.6.13 DES 内插器

在 DES2XL 和 DES2XH 输出模式下，求和块的输出可选择由 DES 内插器进行 2 倍内插，使采样率加倍。DES 内插器具有 80% 的通带宽、54dB 的阻带衰减和小于 ±0.02dB 的纹波。DES 内插器可用作具有反相频谱的高通 (DES2XH) 或低通 (DES2XL)。DES 内插器的滤波器抽头是

[-9 0 19 0 -39 0 70 0 -122 0 211 0 -403 0 1293 2048 1293 0 -403 0 211 0 -122 0 70 0 -39 0 19 0 -9]*2^{-11}

响应如图 7-46 所示，其中 DES2XL 的通带纹波如图 7-47 所示。

由于在上升沿和下降沿均采集样本，插值后的采样速率为 2*f_{DACCLK}，因此图 7-46 中的 x 轴覆盖奈奎斯特区域。

由于滤波器在某些频率的通带增益为 0.1dB，用户可能需要降低输入信号幅度以避免削波。

Copyright © 2026 Texas Instruments Incorporated

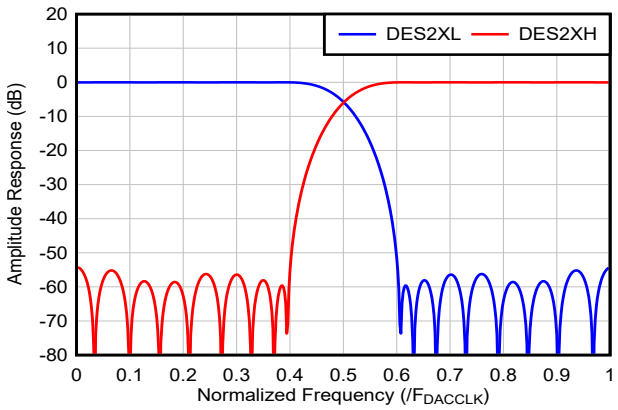


图 7-46. DES 内插器频率响应

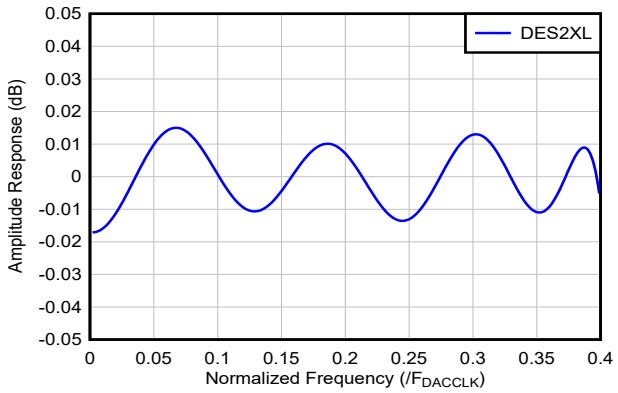


图 7-47. DES 内插器频率响应（通带）

7.3.6.13.1 DAC 静音功能

DAC 静音功能用于在以下多种情况下使输出数据静音。静音时，输出直接从有效样本转换到中标度 (0)，取消静音时，直接从中标度 (0) 转换到有效样本。

DAC 输出在以下条件下静音：

- SYS_EN=0
- MODE>0
- 器件处于应用休眠模式

静音条件停止后，计数器会延长静音状态。计数器的延长时长由 MXMODE、PFIR_EN 和 PFIR_MODE 确定。静音延长可确保每当编码器启动或恢复时，PFIR、DES2X 滤波器或编码器信号路径中存储的未知或旧样本都被清除（这些样本永远不会到达 DAC）。延长时长大致与信号路径的存储深度成比例。

该延长（以 DAC 周期为单位）由包含三项的公式定义：

$$\text{Total Mute Extension}\left(\text{in DAC cycles}\right) = 512 \times \left(2 + D_{PFIR_ENC} + D_{DES2X}\right) \quad (4)$$

各项取值在表 7-32 和表 7-33 中给出，且每个编码器通道 *n* 可独立配置：

表 7-32. 全速率模式下 PFIR 操作的静音延长 (D_{PFIR_ENC})

条件	D_{PFIR_ENC} 的值
PFIR_EN[*n*] && PFIR_MODE==0	2
所有其他条件	0

表 7-33. DES2X 操作的静音延长 (D_{DES2X})

MXMODE*n*	D_{DES2X}
DES2X 或 DES2XH	1
所有其他	0

当 DAC 的发送使能信号为低电平且 IDLE_STATIC=0 时，也会触发此静音功能。这通过动态切换实现静音，可使器件老化更均衡。当不再满足该触发条件时不会延长静音时间。

7.3.7 串行器/解串器物理层

该器件包含 16 个串行器/解串器通道。每个串行器/解串器通道都有一个用于通道损耗均衡的 CTLE。

Copyright © 2026 Texas Instruments Incorporated

7.3.7.1 串行器/解串器 PLL

串行器/解串器 PHY 包含一个 PLL 和电源稳压器，可提供所需的高质量、高速内部时钟。PLL 使用源自 DACCLK 的基准时钟。PLL 锁定状态通过 PLL_LOCK 位提供。

7.3.7.1.1 启用串行器/解串器 PLL

要启用内部串行器/解串器 PLL，PLL_EN 必须设置为高电平。然后，如果 VCAL_EN=1，将运行 VCO 校准。成功校准后，VCAL_DONE 字段会变为高电平。校准后不久，PLL 应该实现锁定。锁定由 LOCK 字段指示。

当 PLL_EN 为低电平时，PLL 和稳压器完全断电。

7.3.7.1.2 参考时钟

在正常运行期间，集成式 PLL 使用来自器件时钟树的基准时钟来生成可从中获取比特率的更高频率的时钟。基准时钟频率 (F_{REF}) 可以在开关特性中指定的范围内。PLL VCO (F_{VCO}) 生成的时钟频率由乘法因子 MPY 设置根据以下公式确定：

$$F_{VCO} = MPY \times F_{REF} \quad (5)$$

VCO 输出频率 (F_{VCO}) 必须在开关特性中指定的范围内。

线路速率 (F_{BIT}) 和 PLL 输出时钟频率 (F_{VCO}) 之间的关系取决于用户定义的 RATE 设置:

$$F_{BIT} = \frac{2 \times F_{VCO}}{2^{RATE}} \quad (6)$$

JESD PHY 独立于 PLL，包括额外的频率转换以支持各种线路速率。具体请参阅表 7-34。

7.3.7.1.3 PLL VCO 校准

串行器/解串器 PLL 输出频率使用多个 VCO 内核实现。LC 回路可提供良好的相位噪声性能。8.125GHz 至 16.25GHz 的整个范围（倍频）以 4 个不同的 VCO 内核涵盖。需要进行 VCO 校准才能获得所需的正确频率。

校准需要稳定的基准时钟。校准在 PLL 被启用后开始。校准期间，PLL 环路被禁用，而 VCO 控制电压被驱动至量程中点。校准算法使用频率检测器来确定 VCO 频率是过高还是过低。

当 VCO 校准完成（或被跳过）并检测到锁定时，PLL_LOCKED 字段被置位。

7.3.7.1.4 串行器/解串器 PLL 环路带宽

SPLL 环路带宽由 VCO 增益、相位检测器增益和环路滤波器无源器件（电阻器和电容器）决定。环路滤波器带宽可以根据 PLL 倍频因子进行调整，以获得更好的噪声性能。该器件具备查找表，可根据 VCO 校准设置和 MPY 进行环路滤波器设置。当 MPY 值较低 (<33)，其中 refclk 相对较高 (≥400MHz)，可以使用固定的环路滤波器设置。

环路带宽范围为 1MHz 到 12MHz。

7.3.7.2 串行器/解串器接收器

7.3.7.2.1 串行器/解串器数据速率选择

PLL 输出频率由基准时钟频率 ($F_{RX} = F_{VCO}/2$) 和 PLL 倍频因子决定，详见基准时钟。然而，PLL 输出频率仅在有限范围内工作，因此提供了速率设置以支持广泛的线路速率。

线速率 (F_{BIT}) 和 VCO 频率 (F_{VCO}) 之间的关系取决于用户定义的速率设置，如表 7-34 所列。

表 7-34. 线路速率与速率设置间的关系

RATE 字段	说明	线速率	支持的线路速率
0	全速率	2 * F_{VCO}	16.25Gbps – 32.5Gbps
1	一半速率	1 * F_{VCO}	8.125Gbps – 16.25Gbps

Copyright © 2026 Texas Instruments Incorporated

表 7-34. 线路速率与速率设置间的关系（续）

RATE 字段	说明	线速率	支持的线路速率
2	四分之一速率	0.5 * F_{VCO}	4.0625Gbps-8.125Gbps
3	8 倍速率	0.25 * F_{VCO}	2.03125Gbps – 4.0625Gbps
4	十六倍速率	0.125 * F_{VCO}	1.015625Gbps – 2.03125Gbps

7.3.7.2.2 串行器/解串器接收器端接

nSRX+ 和 nSRX- (n = 0:15) 差分输入分别通过 50Ω 内部端接至一个公共点，如图 7-48 所示。串行器/解串器输入仅适用于交流耦合操作。

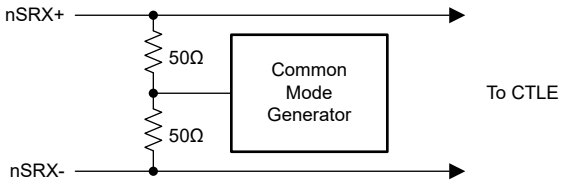


图 7-48. 串行器/解串器接收器输入端接

7.3.7.2.3 串行器/解串器接收器极性

nSRX+ 和 nSRX- 的极性可通过设置 LANE_INV 寄存器来反转。这或许可以避免交换差分信号布线，从而简化 PCB 布局并提高信号完整性。

7.3.7.2.4 串行器/解串器时钟数据恢复

时钟恢复算法可调整用于对 nSRX+ 和 nSRX- 采样的时钟，以便在数据转换之间的中间进行数据采样。

该算法使用基本技术来确定采样时钟是否放置正确，以及是否需要提前或延迟移动采样时钟。当两个连续数据样本不同时，将检查两者之间的边沿样本。采样时钟可以提前考虑也可以延迟考虑，具体取决于边沿采样是与第一个数据样本匹配还是第二个数据样本匹配。

每 32 个 UI 就会进行 32 次此类比较，每个结果都计为一个投票，以便在更早或更晚的时间移动采样点（没有发生转换的位置不会产生投票）。如果多数票是提前票或延迟票，内部计数器将分别递增或递减。当内部计数器溢出或下溢时，时钟的采样时刻将分别延迟或提前（达 1/64 UI）进行调整。

每次调整时钟的采样时刻时，内部计数器都会返回至中间码，并出现消隐间隔（也称为“稳定时间”）。在消隐间隔期间，不会计算票数。这是确保传入的数据和边沿样本已反映新采样时刻所必需的。这可以防止算法过冲。消隐间隔（稳定时间）由 CDRSTL 寄存器字段定义。最大设置可以节省功耗。

内部计数器的大小（因此包括调整采样时刻所需的增量或减量的数量）是可设定的（请参阅 CRDVOTE 寄存器字段）。

请注意，即使 SIG_DET[n] 状态位为低电平（信号丢失），时钟恢复算法也会继续运行。

7.3.7.2.5 串行器/解串器均衡器

通过设置 EQMODE 字段，该均衡器在多种不同的模式下运行。表 7-35 中说明了可用的设置。

表 7-35. 均衡器模式

EQMODE	说明	详细信息
0	无均衡	该均衡器在最大增益下提供平坦响应。如果接收器处的抖动主要是由串扰而不是与频率相关的损耗所致，则可以使用此设置。
1	自适应或固定均衡	零点位置由所选的运行速率决定，而均衡器的低频增益则通过分析接收数据中的数据模式和过渡位置通过算法确定。（请参阅自适应均衡）。此设置还通过设置 EQ_OVR=1 和使用 EQLEVEL 的固定均衡电平来用于固定均衡。（参见固定均衡）
2	前标均衡分析	对接收到的数据中的数据模式和转换位置进行分析，以确定传输链路伙伴是否不正确地应用了过多或过少的前标均衡。有关更多详细信息，请参阅前标和后标分析。

Copyright © 2026 Texas Instruments Incorporated

表 7-35. 均衡器模式（续）

EQMODE	说明	详细信息
3	后标均衡分析	对接收到的数据中的数据模式和转换位置进行分析，以确定传输链路伙伴是否不正确地应用了过多或过少的后标均衡。有关更多详细信息，请参阅前标和后标分析。

7.3.7.2.5.1 自适应均衡

串行器/解串器接收器包含一个自适应均衡器，此均衡器通过衰减与信号高频分量相关的低频分量来补偿通道插入损耗，从而减少码间串扰。

启用后，接收器均衡逻辑分析数据模式和转换时间，以确定是增大还是减小均衡器的低频增益。

决策逻辑以具有相对较长分析间隔的投票算法形式来实现。得出的慢速时间常数降低了错误决策的可能性，但允许均衡器补偿通道相对稳定的响应。

自适应均衡器的锁定时间取决于数据，因此无法指定普遍适用的绝对限制。但假设是随机数据，最大锁定时间约为 6×10^6 UI 除以 CDR 活动级别。

若要启用自适应均衡：

1. 在设置 SYS_EN=1 之前设置 EQMODE = 1。
2. 启用均衡器后，读取 EQLEVEL_S 以获得自适应均衡器的当前状态。在读取 EQLEVEL_S 之前，设置 EQHOLD=1 以冻结 EQ 环路，从而确保 EQLEVEL_S 返回相干值。建议进行多次读取以验证自适应循环是否已稳定（在每次读取之间先将 EQHOLD 设置为低电平，然后再次设置为高电平，以使循环运行）。

7.3.7.2.5.2 固定均衡

对于固定（非自适应均衡），在设置 SYS_EN=1 之前，编程 EQMODE=1、EQ_OVR=1、EQZ_OVR=0。将 EQLEVEL 编程为所需的均衡级别。

7.3.7.2.5.3 前标和后标分析

前标和后标分析可用于确定发送器中预加重的优化设置。使用模型如下所示：

1. 如有必要，设定 SYS_EN=0。设定使用 JESD 接口的模式 (JESD_M>0)。
2. 设定 EQMODE = 1。设定 SYS_EN=1，并为均衡器留出足够的时间来进行适应和稳定。您可以多次读取 EQLEVEL_S 来验证该值是稳定的还是在相邻值之间切换（在读取 EQLEVEL_S 之前设置 EQHOLD=1，然后让 EQHOLD 返回至 0。然后根据需要重复）。
3. 设置 EQHOLD = 1 来锁定均衡器（禁用调整）。这也会导致 EQOVER 和 EQUNDER 字段变为低电平。
4. 等待至少 48UI，如果 CDR 活动小于 100%，则按比例等待更长的时间，以确保对 EQHOLD 上的 1 进行采样并执行操作。SPI 足够慢，无需显式延迟。
5. 将 EQMODE 设为 2 或 3，以分别选择前标或后标分析。对于单独的 SPI 事务，设置 EQHOLD = 0。分析接收到的信号的均衡特性（均衡器响应继续被锁定）。
6. 等待至少 150,000UI，以便有时间进行分析，如果 CDR 活动低于 100%，则时间按比例延长。
7. 检查 EQOVER 和 EQUNDER 以获得分析结果。
   a. 如果 EQOVER 为高电平，则表示信号过度均衡
   b. 如果 EQUNDER 为高电平，则表示该信号均衡不足
8. 设置 EQHOLD = 1
9. 调整发送器。如果需要，重复项目 3 至 7。
10. 设置 EQMODE = 1，并通过单独的 SPI 事务设置 EQHOLD = 0 以退出分析模式并返回正常自适应均衡。

7.3.7.2.6 串行器/解串器接收器眼图扫描

所有接收通道都提供有助于映射接收到的数据眼图的特性。并支持多种不同的模式（如需模式列表，请参阅 ES 寄存器）。以下各节介绍了如何从器件获取眼图扫描数据以及一些构建眼图的方法。然后，必须在外部（通常是在软件中）执行将这些数据转换为眼图的过程。

Copyright © 2026 Texas Instruments Incorporated

所用基本原理如下：

- 启用专用眼图扫描输入采样器，并在采样值与普通数据样本不同时生成错误。
- 向专用眼图扫描采样器施加电压偏移。
- 应用相位偏移来调整眼图扫描采样器的采样时刻。
- 重置错误计数器
- 指定扫描持续时间并启动扫描过程。扫描完成后，检查发生了多少错误。
- 更改电压和/或相位偏移，然后重复。

或者，可以将该算法配置为在指定的时间间隔内，优化指定相位偏移处的电压偏移。

可以在接收正常的数据流量时使用眼图扫描。

用于直接控制眼图扫描和符号响应提取的寄存器字段包括 ES、ESBSEL、ESPO、ESVO、ESVO_OVR、ESLEN、ESRUN 和 ESDONE。在 PHY_STATUS 寄存器的 ECOUNT 字段中累积眼图扫描错误（请参阅串行器/解串器 PHY 状态）。可以通过 ES 字段选择所需的眼图扫描模式，如下所示。所有 ES 设置均使用 ESLEN 字段来确定扫描过程持续时间。

表 7-36. 眼图扫描模式

ES 字段	效果
0000	*禁用：*眼图扫描已禁用（眼图扫描采样器断电）
0X01	*比较*如果 ES[2] = 0，则对正常样本和眼图扫描样本之间的不匹配进行计数，否则进行匹配。
0X10	*比较零：*因为 ES = 0X01，但仅分析零，忽略一。
0X11	*比较一：*当 ES = 0X01 时，但仅分析一，而忽略零。
0100	*计数一：*当眼图扫描样本为 1 时，ECOUNT 递增。
1X00	*平均：*将 ESVO_S 调整为平均眼图张开度。在 ES[2] = 0 时分析零，在 ES[2]= 1 时分析一。
1X01	*外部：*将 ESVO_S 调整至外部眼图张开度（最低电压零，最高电压 1）。在 ES[2] = 0 时分析零，在 ES[2]= 1 时分析一。
1X10	*内部：*将 ESVO_S 调整为内眼图张开度（最高电压零，最低电压 1）。在 ES[2] = 0 时分析零，在 ES[2]= 1 时分析一。

除设置 0X01 外，所有眼图扫描选项仅分析 1 或 0。请注意，在决定一个位是一还是零之前会应用 INVPAIR 的值。

眼图扫描仅分析每接收到的第 32 个位，其位置由寄存器字段 ESBSEL 设置。

为了构建完整的眼图，叠加来自字内所有位置和两极性的数据。或者，基于每秒或第四位组装眼图，可以判断数据流中是否存在任何占空比或正交失真。

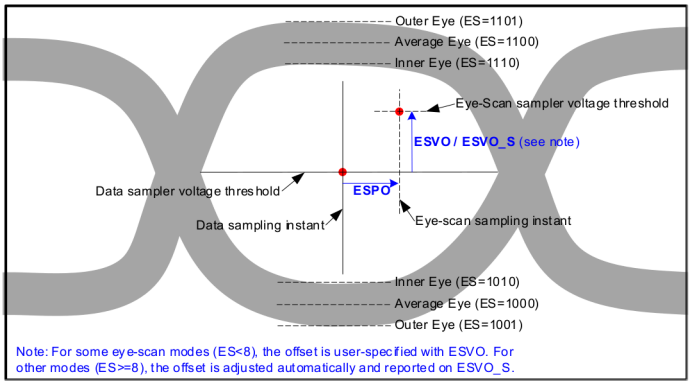


图 7-49. 眼图扫描术语

Copyright © 2026 Texas Instruments Incorporated

7.3.7.2.6.1 Eyescan 程序

通过以下过程使用眼图扫描。

1. 按照 JESD204C 使用模型中的步骤，为 JESD204C 运行配置器件。设置 SYS_EN=1 后返回此处。既可以使用 JESD204C 位流运行眼图扫描，也可以使用通用 PRBS 输入激励来运行。眼图扫描同时在所有已启用的物理通道上运行。
2. 将 ES 设定为所需的眼图扫描模式。
3. 如果 ES 小于 8，则必须将 ESVO 设定为所需的电压偏移。在其他模式下，眼图扫描逻辑会自动调节眼图扫描采样器的失调电压。
4. 将 ESPO 设定为所需的相位偏移。
5. 将 ESBSEL 设定为 0 至 31 之间的值。每 32 个接收位（抽取因子为 32）进行一次眼图扫描分析。ESBSEL 可调节该抽取相位。对于随机激励，这不会影响结果。如果输入具有重复模式，这可能会影响结果。
6. 将 ESLEN 设定为所需的样本数。设置越高，结果越一致。
7. 设置 ECOUNT_CLR = 1，然后设置 ECOUNT_CLR = 0 以将错误计数器清除。建议执行此步骤，但如果需要，则可以跳过此步骤（例如，将来自多个眼图扫描运行的计数相加）。如果不使用 ECOUNT（对于 ES 为 8 或更大的模式），也可以跳过此设置。
8. 设定 ESRUN = 1 以开始扫描。
9. 轮询 ESDONE，直到 ESDONE 为您要运行眼图扫描的每个通道返回 1。
10. 如果所选的眼图扫描模式修改了眼图扫描电压偏移（内部/外部/平均模式），则读取 ESVO_S 以获得内部/外部/平均眼图边界。对于其他眼图扫描模式，则读取 ECOUNT 以返回记录的不匹配（或匹配）数量。
11. 设定 ESRUN = 0。
12. 返回至步骤 2，以运行另一个眼图扫描数据收集过程。在步骤 2 到 12 的多次迭代期间，接收器可以保持启用状态。

7.3.7.2.6.2 构建眼图

有两种基本方法可以使用眼图扫描功能构建眼图。

1. 使用 ESVO_S 的快速方法：
   a. 对 ESPO 的每个有效值重复眼图扫描过程中所述的过程。对于 ESPO 的每个值，运行 0 和 1 的内眼分析。这会找到 ESPO 的每个值的最大零 ($ESVO_{max0}$) 和最小一 ($ESVO_{min1}$)。
   b. ESPO 的每个值都与眼图中的一列单元相关联。$ESVO_{max0}$ 和 $ESVO_{min1}$（含）之间的所有列中单元均为黑色，其他单元均为白色。
   c. 通过包括外部和/或平均分析，可以将其他详细信息添加到眼图中（请参阅 ES）。例如，通过平均分析生成的 ESVO_S 值可以标为红色，而包括内部分析值和外部分析值在内的所有其他值都标为白色。
2. 使用 ECOUNT 的详细方法：
   a. 选择一种可以对不匹配问题进行计数的眼图扫描模式。对 ESVO 和 ESPO 的每个有效值重复眼图扫描过程中所述的步骤。
   b. 每次运行后，记录 PHY_STATUS 寄存器中的 ECOUNT 值（每次运行前复位 ECOUNT）。
   c. 每次眼图扫描对应于眼图的一个单元。ESPO 是单元的 x 坐标。ESVO 是单元的 y 坐标。单元的强度与 $ECOUNT/N_{samples}$ 成正比，其中 $N_{samples}$ 是每次运行所分析的样本数量（由 ESLEN 确定）。
   d. 这种方法需要更多的时间来运行，但可以提供更精细的眼图。

7.3.7.3 串行器/解串器 PHY 状态

PHY_LANE 寄存器决定选择哪个 PHY 通道以通过 PHY_STATUS 寄存器读回状态数据。PHY_SSEL 寄存器指定在 PHY_STATUS 寄存器中返回哪个状态字段。

Copyright © 2026 Texas Instruments Incorporated

表 7-37. PHY_STATUS 寄存器返回的状态值

PHY_SSEL	PHY_STATUS 上返回的数据（省略保留位）		
0x00	[5]	EQOVER	EQOVER 状态前标/后标分析。请参阅“前标/后标分析使用模式”
	[4]	EQUNDER	用于前标/后标分析的 EQUNDER 状态。请参阅“前标/后标分析使用模式”。
	[3:0]	EQLEVEL_S	返回当前有效的均衡器电平（0 至 14）。
0x01	[0]	ESDONE	返回 1，表示眼图扫描过程已完成。
0x02	[5:0]	ESVO_S	返回眼图扫描的电压偏移结果。适用于自动计算电压偏移的眼图扫描模式。仅当 ESDONE 返回 1 时有效。
0x03	[15:0]	ECOUNT	返回不匹配计数（适用于计数不匹配的眼图扫描模式）。仅当 ESDONE 返回 1 时有效。
0x04-0x05		RESERVED	
0x06	[0]	OCIP	如果偏移校准当前正在运行，或已启用但尚未开始，则返回 1。
0x10-0x19		RESERVED	

7.3.8 JESD204C 接口

该器件使用 JESD204C 高速串行接口将数据从逻辑器件传输到接收 DAC。器件串行通道能够以 8b/10b 编码和 64b/66b 编码运行。使用 8B/10B 编码的 JESD204C 格式向后兼容现有的 JESD204B 接收器。最多可使用 16 个通道来降低与速度受限逻辑器件连接时的通道速率。8b/10b 与 64B/66B 编码 JESD204C 之间存在一些差异，本节将重点介绍这些差异。图 7-50 展示了 8b/10b 编码 JESD204C 接口的简化方框图，图 7-51 展示了 64b/66b 编码 JESD204C 接口的简化方框图。

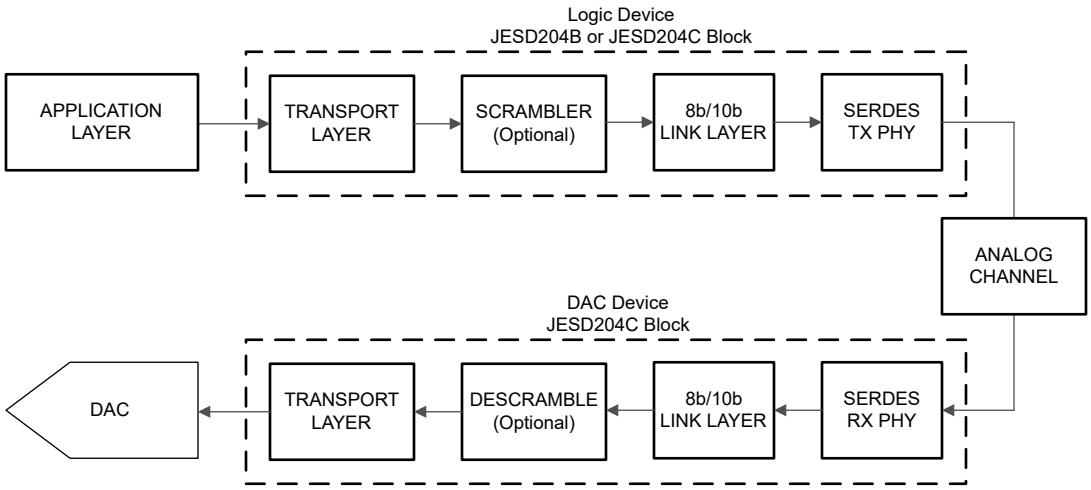


图 7-50. 具有 8b/10b 编码的简化 JESD204C 接口图

Copyright © 2026 Texas Instruments Incorporated

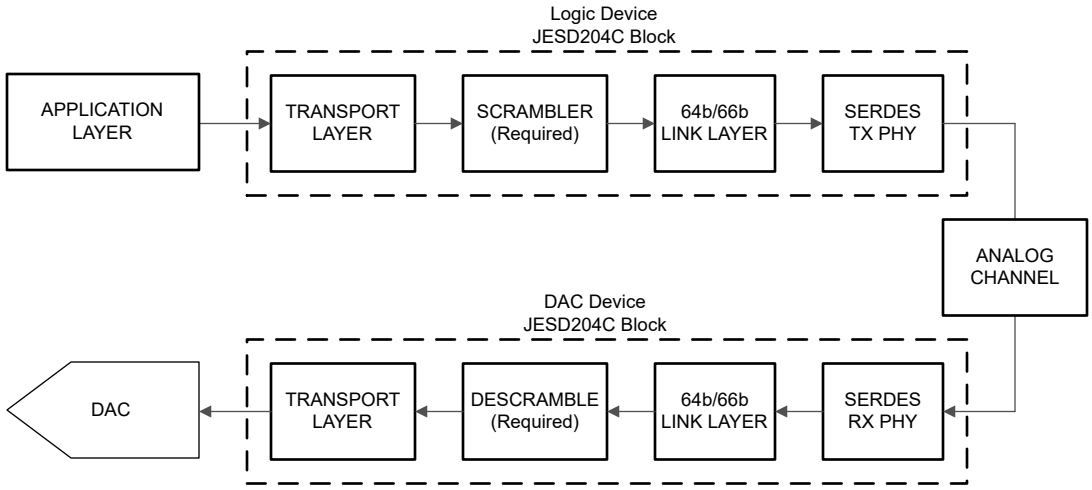


图 7-51. 具有 64b/66b 编码的简化 JESD204C 接口图

该器件并不支持 JESD204C 的所有可选特性。表 7-38 中提供了支持的特性和不支持的特性的列表

表 7-38. 支持的 JESD204C 特性声明

字母标识符	特性	器件是否支持？
a	8b/10b 链路层	是
b	64b/66b 链路层	是
c	64b/80b 链路层	否
d	使用 64b/66b 或 64b/80b 链路层时的命令通道	否
e	使用 64b/66b 或 64b/80b 链路层时的正向纠错 (FEC)	是
f	使用 64b/66b 或 64b/80b 链路层时的 CRC3	否
g	使用 8b/10b 链路层时的物理 $\overline{\text{SYNC}}$ 引脚	是
h	子类 0	是
i	子类 1	是
j	子类 2	否
k	单个链路中的通道对齐	是
l	子类 1，通过 MULTIREF 信号支持多点链路上的通道对齐	否
m	$\overline{\text{SYNC}}$ 接口时序与 JESD204A 兼容	是
n	$\overline{\text{SYNC}}$ 接口时序与 JESD204B 兼容	是

表 7-39 中简要总结了 JESD204C 接口中使用的各种信号以及相关器件引脚名称以供参考。

表 7-39. JESD204C 信号总结

信号名称	器件引脚名称	说明
数据	[15:0]SRX±	8b/10b 或 64b/66b 编码后的高速串行化数据，该数据由串行器/解串器接收器接收。
$\overline{\text{SYNC}}$	$\overline{\text{SYNC}}$	链路初始化信号（握手），切换为低电平以启动代码组同步 (CGS) 过程。不用于 64B/66B 编码模式。
器件时钟	DACCLK+、DACCLK–	DAC 采样时钟，也用于为数字逻辑和串行器/解串器接收器计时。

Copyright © 2026 Texas Instruments Incorporated

表 7-39. JESD204C 信号总结（续）

信号名称	器件引脚名称	说明
SYSREF	SYSREF+、SYSREF–	用于确定性复位每个 JESD204C 器件中的内部本地多帧时钟 (LMFC) 或本地扩展多块时钟 (LEMC) 计数器的系统计时参考

7.3.8.1 偏离 JESD204C 标准

JESD204C 第 4.3.4 节要求子类 1 器件能够测量检测到的 SYSREF 信号活动边沿与其预期位置偏离的器件时钟周期数，并且若与预期位置的偏差小于可编程的器件时钟周期数，则不会重新对齐 LMFC/LEMC。此设计不包含此功能，但符合 JESD204B 标准。如果启用了 JESD204C 子系统和 SYSREF 处理器（且 SYSREF_ALIGN_EN=1），则 LMFC 和其他支持时钟与检测到的 SYSREF 对齐。满足 JESD204C 的新要求会使时钟生成逻辑明显复杂化。必须处理相位测量结果并通过纹波时钟分频器架构进行传递，然后相位调整必须反馈回根分频器。

7.3.8.2 链路层

链路层在 JESD204C 中为 8b/10b 和 64b/66b 编码方案提供多种用途，但是每种编码方案的实现存在一些差异。一般而言，链路层的职责包括：将串行器/解串器 PHY 映射至 JESD“通道”、对数据换序（请参阅扰频器和解码器）、建立代码 (8b/10b) 或块 (64b/66b) 边界以及多帧 (8b/10b) 或多块 (64b/66b) 边界以校正串行器/解串器通道、初始化链路、对数据进行编码以及监控链路运行状况。

7.3.8.2.1 串行器/解串器纵横制

该器件在从串行器/解串器 PHY 发出后即包含一个纵横制，允许在通道之间映射信号以简化 Tx 和 Rx 之间的 PCB 布线，从而降低 PCB 复杂性或缩短布线（减少损耗）。请参阅 LANE_SEL[n]。

物理层通道（0SRX± 至 15SRX±）必须根据 JESD204C 格式图中所示位封装图内定义的通道路由到相应的 JESD204C 通道（JESD0 至 JESD15）。

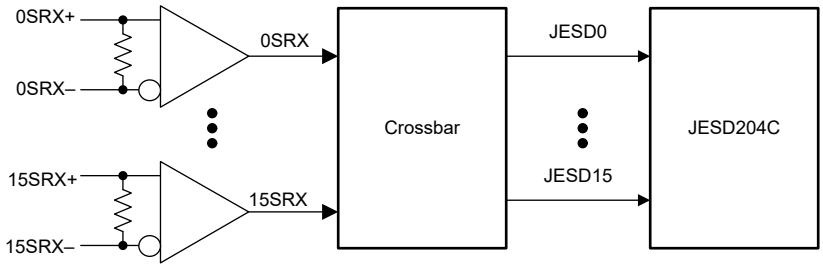


图 7-52. 纵横制方框图

7.3.8.2.2 误码率测试仪

用户可以使用位于纵横制之后的错误计数器执行误码率 (BER) 测试。

BER 测试是 PHY 级测试，JESD204C 链路层编码（8b/10b 或 64b/66b）不适用，但 JENC 仍会影响相对于 DACCLK 的串行比特率。

用户设定 JTEST，以选择接收器在所有活动通道上预期的 PRBS 序列。执行 BER 测试时，以与正常模式相同的方式确定串行比特率 (F_{BIT})。下表中定义了预期的 PRBS 序列：

表 7-40. PRBS 测试模式

PRBS 测试模式	序列	序列长度（位）	注释
PRBS7	y[n] = y[n-6] ^ y[n-7]	127	
PRBS9	y[n] = y[n-5] ^ y[n-9]	511	请参阅 JESD204C 附录 K
PRBS15	y[n] = y[n-14] ^ y[n-15]	32767	请参阅 JESD204C 附录 K

Copyright © 2026 Texas Instruments Incorporated

表 7-40. PRBS 测试模式（续）

PRBS 测试模式	序列	序列长度（位）	注释
PRBS31	y[n] = y[n-28] ^ y[n-31]	2,147,483,647	请参阅 JESD204C 附录 K

使用 BER 测试仪的步骤如下

1. 根据 JESD204C 用法设置芯片和操作参数，但不设置 SYS_EN。
   a. 影响物理层的程序参数，例如：JMODE、JESD_M、DSP_L、JENC、LANE_SEL、LANE_INV、REFDIV、MPY 和 RATE。
   b. 如果希望 LT 大于 1，则必须启用至少一个使用 DSP_MODE*n* 的 DSP（这会影响链路速率）。如果 LT=1，则禁用所有 DSP。
   c. 无需对仅影响链路或传输层的参数进行设定，例如 SUBCLASS、SFORMAT、SCR、KM1、JESD_M 或 RBD。
   d. 无需使用 SYSREF 或对 SYSREF 相关参数进行设定。
2. 设定 JTEST，选择要验证的 PRBS 序列。
3. 允许发送器在所有活动通道上发送 PRBS 序列。
4. 设定 SYS_EN=1。
5. 查询 PLL_LOCKED 寄存器并等待 PLL_LOCKED 返回 1。
6. 等待 4 微秒（让 PHY 完全初始化并向 BER 测试仪提供有效数据）。
7. 设定 BER_EN=1 和 LEC_CNT_SEL=0。
8. 读取 LEC_CNT[n] 以获取逻辑通道 n 的错误计数
9. 设定 BER_EN=0，然后设定 BER_EN=1，以复位所有通道的 LEC_CNT 值并再次开始计数。

7.3.8.2.3 扰频器和解码器

DAC 器件中提供了数据解扰器，用于在接收后对数据进行解扰。扰频用于避免因重复数据流而导致在传输的数据中出现频谱峰值。扰频器对于 8b/10b 编码模式是可选的。但它对于 64b/66b 编码模式是必需的，以便有足够的频谱内容用于时钟恢复和自适应均衡。扰频器在编码前对数据进行操作，以使 8b/10b 扰频器在 10 位编码前对 8 位的八位位组进行扰频，64b/66b 扰频器在同步报头插入（66 位编码）之前对 64 位块进行扰频。JESD204C 接收器会自动将解扰器与传入的扰频数据流同步。对于 8b/10b 编码，初始通道对齐序列 (ILA) 绝不会进行扰频。可通过为 8b/10b 编码模式设置 SCR 来启用解扰器，但是，解扰器会在 64b/66b 模式下自动启用。对于由 JESD204C 标准定义的 8b/10b 编码以及 64b/66b 编码方案，扰频多项式是不同的。

7.3.8.2.4 64b 和 66b 解码链路层

本节介绍 64b/66b 解码工作模式的链路层，包括字符、帧和多帧边界的初始化、通道对齐、64b/66b 编码以及运行期间帧和多帧对齐的监控。

7.3.8.2.4.1 同步报头对齐

该器件不使用 JESD204C 标准中推荐的同步报头对齐算法。推荐的算法需要*连续* 16 个无效的同步报头才能失锁。由于随机数据在 50% 时间内看似有效同步报头，因此*连续* 接收 16 个无效的同步报头可能需要较长时间。

该器件使用递增/递减计数器机制来监视是否失锁：

- 初始锁定时，器件会设置计数器 = 0。
- 当接收到无效的同步报头时，计数器递增 16。
- 当接收到有效的同步报头时，计数器递减 1（不递减至 0 以下）。
- 如果计数器大于或等于 256，则检测失锁。
- 释放弹性缓冲器 (LINK_UP=1) 后，一个通道上的失锁会复位齿轮箱，并且器件会尝试重新获取所有通道上的对齐。

由于该标准允许使用替代算法，因此该方案符合该标准。

Copyright © 2026 Texas Instruments Incorporated

7.3.8.2.4.2 扩展多块对齐

按照图 84 中 JESD204C 标准所示执行扩展多块对齐。返回 EMB_INIT 状态所需的连续错误序列数阈值固定为 8。

7.3.8.2.4.3 数据完整性

使用 CRC 或 FEC 来验证数据完整性（请参阅 SHMODE）。当多块存在 CRC 校验失败 (SHMODE=0) 或 FEC 无法纠正检测到的错误 (SHMODE=2) 时，会检测到数据完整性错误。

对于每个通道，如果出现 CRC 或不可修正的 FEC 错误的多块数量超过 DI_ERR_TH 设置的阈值，而没有一连串由 DI_ERR_REC 指定的连续、无错误多块，则设置内部信号 DI_FAULT。当检测到由 DI_ERR_REC 指定的一连串连续、无错误多块时，系统会将 DI_FAULT 清除。

错误率计数器仅适用于 FEC。CRC 错误率可通过 PHY 级 BER 测试来估算。

使用 FEC 错误率测试：

1. 根据 JESD204C 用法设置器件和运行参数，但不要设置 SYS_EN。必须启用 FEC（JENC=1 且 SHMODE=2）。
2. 设定 FEC_EM_EN=1。
3. 设定 SYS_EN=1 以启动错误计数器。
4. 设定 LEC_CNT_SEL 以选择要读取的 FEC 计数器。
5. 读取 LEC_CNT[n] 以获取逻辑通道 n 的错误计数
6. 设定 FEC_EM_EN=0，然后设定 FEC_EM_EN=1，以复位所有通道的 LEC_CNT 值并再次开始计数。

请注意，FEC 在检测到不可纠正的错误时不如 CRC 有效，并且超过校正能力的错误仍可能报告为可纠正的错误。有关 FEC 算法的详细信息，请参阅 JESD204C 规范。

7.3.8.2.5 8B 和 10B 编码链路层

数据链路层利用 8b/10b 解码，将通过串行器/解串器链路接收到的 10 位字符转换为适用于传输层的 8 位八位位组。8b 或 10b 编码可确保直流平衡，从而允许在串行器/解串器发送器和接收器之间使用交流耦合，并为接收器指定足够数量的边沿转换，以可靠地恢复数据时钟。8b/10b 编码还提供了一些错误检测，因为字符中的一位错误可能会导致无法找到 8b/10b 解码器查找表中的 10 位字符或字符差异不正确。

7.3.8.2.5.1 代码组同步 (CGS)

初始化 JESD204B 链路的第一步是在 LMFC 被 SYSREF 确定性复位后，让接收器找到通过每个串行器/解串器通道发送的编码 10 位字符的边界。此过程称为代码组同步 (CGS)。当准备好初始化链路时，接收器首先使 $\overline{\text{SYNC}}$ 信号变为有效（设置为逻辑“0”）。发送器通过发送一连串 K28.5 逗号字符来响应请求。接收器将其字符时钟与 K28.5 字符序列对齐，并在成功接收四个连续的 K28.5 字符后实现 CGS。在实现 CGS 后，接收器在下一个 LMFC 边沿使 $\overline{\text{SYNC}}$ 变为无效（设置为逻辑“1”），并等待发送器启动初始通道对齐序列 (ILAS)。

7.3.8.2.5.2 初始通道对齐序列 (ILAS)

在发送器检测到 $\overline{\text{SYNC}}$ 信号无效（逻辑“0”到逻辑“1”的转换）后，它会一直等到其下一个 LMFC 边沿开始发送初始通道对齐序列 (ILAS) 为止。ILAS 由四个多帧组成，每个多帧都包含预定的序列。器件接收器会搜索 ILAS 的起始位置以确定帧和多帧边界。ILAS 的每个多帧都以 /R/ 字符 (K28.0) 开头，以 /A/ 字符 (K28.3) 结尾，并且可以使用其中任一字符检测多帧的边界。一旦 ILAS 到达接收器，每个通道便会开始在弹性缓冲器中缓冲其数据，从 /R/ 字符开始，直到所有接收器都接收到 ILAS，然后同时从所有通道中释放 ILAS 以对齐这些通道。选择弹性缓冲器释放点是为了避免因数据延迟变化（ILAS 到达每个通道的接收器）而导致数据释放的模糊性。ILAS 的第二个多帧包含 JESD204B 链路配置的配置参数，接收器可以使用这些参数来验证发送器和接收器配置是否匹配。

7.3.8.2.5.3 多帧和本地多帧时钟 (LMFC)

传输层的帧合并为多帧，用于在子类 1 实现中实现确定性延迟的过程。多帧的长度由 K 参数设置，该参数定义了多帧中的帧数。每个多帧允许的最大帧数 (K) 为 32。K 的总允许范围由不等式 ceil(17/F) ≤ K ≤ min (32, floor

Copyright © 2026 Texas Instruments Incorporated

(1024/F)) 定义，其中 ceil() 和 floor() 分别是上限和下限函数。本地多帧时钟 (LMFC) 会跟踪多帧的开始和结束，以实现确定性延迟和数据同步。LMFC 由 SYSREF 信号重置为发送器和接收器中的确定性相位，用作确定性延迟的时序基准。方程式 7 中给出了 LMFC 时钟频率，其中 f_{BIT} 是串行器/解串器接口的串行比特率（线速率），F 和 K 如上所定义。如果 SYSREF 是连续信号，SYSREF 的频率必须等于 f_{LMFC} 或者是其整数分频。

$$f_{LMFC} = f_{BIT} / (10 \times F \times K) \quad (7)$$

7.3.8.2.5.4 帧和多帧监控

当在意外位置检测到帧对齐字符 (/F/) 或多帧对齐字符 (/A/) 时，将设置 LANE_ERR[7]。系统不监测对齐字符缺失的情况。

帧对齐监测器会同时检查 /F/ 和 /A/ 字符以确定它们是否与帧边界对齐。如果在预期帧边界位置未接收到对齐字符，却在非预期帧边界位置接收到两个字符（两个 /F/、两个 /A/ 或其中各一个），则设置 LANE_ERR[5] 并将 $\overline{SYNC}$ 置为有效以重新启动链路。

多帧对齐监测视器只检查 /A/ 字符，以确定它们是否与多帧边界对齐。如果在预期多帧边界位置未接收到多帧对齐字符，却在非预期多帧边界位置接收到两个多帧对齐字符，则设置 LANE_ERR[6] 并将 $\overline{SYNC}$ 置为有效以重新启动链路。

如果发送器在 ILAS 启动后连续发送 4 个 /K/ 字符，则会设置 LANE_ERR[5] 和 LANE_ERR[6] 并将 $\overline{SYNC}$ 置为有效以重新启动链路。

系统不支持帧和多帧对齐校正。连续两个帧或者多帧对齐错误将导致链路重启。

7.3.8.2.5.5 链路重新启动

如果任何启用的通道检测到以下情况之一，JESD 控制器会将 $\overline{SYNC}$ 置为有效以重新启动链路。

- JESD_RST = 1
- SYS_EN 的上升沿
- 发送器在 ILAS 开始后连续发送 4 个 /K/ 字符。
- 发生齿轮箱溢出/下溢且 GBRST_EN=1
- 按照 JESD204C 规范 8.6.1 中的规定，代码组同步丢失。
- 帧和多帧监控里指定的意外位置中的两帧/多帧对齐字符
- JESD204C 链路层退出任何睡眠模式（通过更改为 MODE）
- SYSREF 致使时钟或 LMFC 重新对齐
- 检测到弹性缓冲器错误

7.3.8.2.5.6 链路错误报告

通过设置 SYNC_EPW>0 启用 $\overline{SYNC}$ 上的错误报告。如果任何启用的通道检测到以下情况，则会在 $\overline{SYNC}$ 上发出错误报告：

- 非表内错误或意外的控制字符错误（也会在 LANE_ERR[2] 中报告）。
  - 如果在 ILAS 之后出现任何控制字符而不是 /A/ 或 /F/，则会生成意外的控制字符错误。不会监测 ILAS 是否有意外的控制字符。
- 视差错误（也会在 LANE_ERR[1] 中报告）。在以下情况下会产生视差错误：
  - 10 位符号中多于 6 个或少于 4 个一
  - 输入视差为负，10 位符号中小于 5 个一
  - 输入视差为正，10 位符号中多于 5 个一
  - 输入视差为负，但 10 位符号仅对正视差存在
  - 输入视差为正，但 10 位符号仅对负视差存在
- 意外位置的对齐字符（/A/ 或 /F/）（也会在 LANE_ERR[7] 中报告）

在发送错误报告时检测到的错误不会单独报告。

Copyright © 2026 Texas Instruments Incorporated

7.3.8.2.5.7 看门狗计时器 (JTIMER)

JESD204C 接收器包含一个看门狗计时器，可提高可靠性。看门狗定时器的作用是：如果链路长时间处于“断开”状态，或者链路已连接但持续产生 CRC 错误或不可纠正的 FEC 错误，则复位 PHY 层。

- 看门狗计时器由一个时钟频率为 F_{DACCLK}/2048 的 加/减计数器组成。计数器在时钟的上升沿递增/递减。
- 只要 SYS_EN =0 或 MODE>1，计数器就会初始化为 0，如果启用了 JESD 接口，当 SYS_EN_EN=1 且 MODE <=1 时，计数器便开始工作（请参阅 JESD_M）。
- 如果链路已建立且 FEC 或 CRC 错误数未超过阈值 (LINK_UP&!DI_FAULT =1)，计数器按可编程量递减（请参阅 JTR）。计数器在 0 时饱和。
- 此功能中的 DI_FAULT 信号会被扩展，因此在检测到故障时，信号至少被时钟边沿捕获。
- 如果 LINK_UP&!DI_FAULT=0，计数器会加 128。
  - 递增计数器不会导致溢出。
  - 如果计数器达到 JTT 定义的阈值，所有通道的 PHY 层将被禁用一个 F_{DACCLK}/2048 周期。如果仅在 JTPLL=1 时，PHY PLL 和基准分频器也会同步禁用一个 F_{DACCLK}/2048 周期。当 PHY 复位时，计数器会返回到 0。

7.3.8.3 子类 1 模式下需要 SYSREF 对齐

当 SUBCLASS=1 时，接收器在测量通道到达时间 (LANE_ARR) 或释放弹性缓冲器之前等待 JESD_ALIGNED=1。JESD204C 标准未规定此项，但出于以下原因，该限制是适当的：

1. 在测量通道到达时间之前，等待可确保 SYSREF 正确对齐用于通道到达测量的参考计数器 (LMFC/LEMC)。这一点很重要，因为仅会测量通道到达时间一次，并且除非对 SYS_EN 进行循环（因此会复位基准计数器），否则用户无法重新测量它们。
2. 等待可以避免以下情况：链路通过任意 LMFC/LEMC 阶段（和任意延迟）短暂启动，然后在处理 SYSREF 脉冲后重新停止（如果 SYSREF 周期非常长，则可能会发生这种情况）。

此外，在 8b/10b 模式（且 SUBCLASS=1）时，接收器在将 $\overline{\text{SYNC}}$ 取消置位之前等待 JESD_ALIGNED=1。

JESD_ALIGNED 信号根据以下规则生成：

1. 最初设置 SYS_EN 时，JESD_ALIGNED 为 0。
2. 如果 SYSREF 脉冲导致支持 LMFC/LEMC 的任何时钟重新对齐，则会将 JESD_ALIGNED 清除。
3. 如果 SYSREF 脉冲导致 LMFC/LEMC 进行任何调整，则会将 JESD_ALIGNED 清除。
4. 如果 LMFC/LEMC 计数器处理两个 SYSREF 对齐事件（sysref_align_jctrl 脉冲）且第二个事件不需要调整 LMFC/LEMC 相位，则设置 JESD_ALIGNED。
   - 在所有支持时钟对齐之前，LMFC/LEMC 计数器可能不会接收任何 SYSREF 事件。因此，设置 JESD_ALIGNED 可能需要最多 15 个有效 SYSREF 脉冲（当 SYSREF_ALIGN_EN=1 时）。
   - 需要两个 SYSREF 对齐事件才能到达 LMFC/LEMC 计数器，这样可确保在 SYSREF 周期有效时才会启动链路（避免错误的链路启动）。
5. 只要 JESD_ALIGNED 被清除，对两个 SYSREF 事件（针对项目 4）进行计数的计数器也会复位。
6. 请注意，必须为 SYSREF 对齐事件设置 SYSREF_ALIGN_EN，才能到达 LMFC/LEMC 计数器。如果已设置 JESD_ALIGNED，然后清除 SYSREF_ALIGN_EN，然后发生未对齐的 SYSREF 脉冲，则 JESD_ALIGNED 寄存器不受影响（保持被设置状态）。这是有意行为。要在 SYSREF_ALIGN_EN=0 时监控 SYSREF 脉冲是否错位，请使用 CLK_ALIGNED 或 SYSREF_ALM 寄存器。

7.3.8.4 传输层

传输层对链路层中的数据进行解码，并将样本提供给 DSP 或 DAC 编码器。

传输层从链路层获取八位位组，并将其映射到数据流。八位位组到帧和帧到通道的映射由传输层设置（例如 L、M、F、S、N 和 N'）定义。一个帧由 F 个八位位组组成，这些帧会被映射到 L 个通道上。样本为 N 位，但通过链路以 N' 位的形式发送。样本来自 M 个数据流，每个转换器每帧周期有 S 个样本。

Copyright © 2026 Texas Instruments Incorporated

在 JESD204C 接口模式中定义的器件中有许多预定义的传输层模式。JESD204C 块的各种配置参数在 JESD204C 接口参数定义中定义。

链路层会进一步将帧映射到多帧。

7.3.8.5 JESD204C 调试捕获 (JCAP)

7.3.8.5.1 物理层调试捕获

JCAP 寄存器可用于捕获物理层的输出，以进行一般调试。

使用以下程序：

1. 针对 JESD204C 运行设置器件（请参阅启动程序，但在设置 SYS_EN=1 之前返回此处）。
   a. 有些步骤不是 PHY 级测试的必要步骤。例如，如果应用 DC 或 PHY 测试模式，则无需配置 SYSREF、SUBCLASS、RBD、KM1 等。用户仍必须对寄存器进行设定，例如：REFDIV、MPY、RATE 和 LANE_SEL_x（如果适用）。
   b. 您必须对 DSP_L、JESD_M 和 JENC 进行设定，因为这些寄存器会影响 PHY 速率和通道数。
2. 设定 JCAP_MODE=0 以捕获 PHY 输出。
3. 向 PHY 输入应用所需的激励（DC、PHY 测试模式或 JESD204C 数据)。
4. 配置寄存器后，设置 SYS_EN=1。
5. 设置 JCAP_ARM=1
6. 对于从 0 到 L-1 的每个逻辑通道 n：
   a. 设定 JCAP_PAGE = n。这样将允许从通道 n 访问数据
   b. 读取 JCAP_STATUS 并确认 JCAP_STATUS 返回 1，以指示通道 n 已捕获数据。如果 JCAP_STATUS 返回 0，则等待通道更长时间以捕获数据，而如果未捕获任何数据，则会在 100us 后超时。如果发生这种情况，请验证 PLL 已锁定（请参阅 PLL_LOCKED）并且所有芯片设定都正确。
   c. 读取 JCAP[0-15] 以在每个通道中返回多达 16 字节的数据。如果进行直流测试，则只需读取 JCAP[0] 并进行验证以返回 0x00 或 0xFF，具体取决于施加到 PHY 通道的差分输入电压。
   d. 如果应用测试模式或 JESD204C 数据，请注意不会执行同步。模式相对于 JCAP 寄存器字节边界的对齐是任意的。软件需要考虑所有可能的数据对齐方式。
   e. 重复步骤 (a) 至 (c) 以检查每个通道的数据。
7. 如果要测试另一个直流电平或模式：
   a. 将新的直流电平或模式应用于 PHY 输入。
   b. 设定 JCAP_ARM=0
   c. 返回到步骤 5。

7.3.8.5.2 链路层调试捕获

JCAP 寄存器可用于捕获链路层的输出，以进行一般调试。

可以使用以下程序：

1. 针对 JESD204C 运行设置器件（请参阅启动程序，但在设置 SYS_EN=1 之前返回此处）。
2. 设定 JCAP_MODE =1 以捕获链路层输出。
3. 将符合 JESD204C 标准的数据应用于 PHY 输入。
4. 设定 JCAP_ARM=1。
5. 将 JCAP_OFFSET 设定为所需的捕获偏移。这对于捕获 ILAS 中的链路配置八位位组尤其有用。请参阅 JCAP_OFFSET 说明。
6. 配置寄存器后，设置 SYS_EN=1。
7. 对于从 0 到 L-1 的每个逻辑通道 n：
   a. 设定 JCAP_PAGE = n。这样将允许从通道 n 访问数据

Copyright © 2026 Texas Instruments Incorporated

b. 读取 JCAP_STATUS 并确认 JCAP_STATUS 返回 1，以指示通道 n 已捕获数据。如果 JCAP_STATUS 返回 0，则等待通道更长时间以捕获数据，而如果未捕获任何数据，则会超时。如果发生这种情况，请验证 PLL 已锁定（请参阅 PLL_LOCKED）并且所有芯片设定都正确。如果 PLL 已锁定，但未执行任何捕获，则链路层可能难以识别多帧或 EMB 边界。检查发送器或执行 PHY 捕获以调试问题。
c. 读取 JCAP[0-15] 以在每个通道中返回多达 16 字节的数据。
d. 重复步骤 (a) 至 (c) 以检查每个通道的数据。

8. 只需清除然后再次设置 JCAP_ARM，即可执行（非 ILAS 或有效载荷数据的）另一个捕获。返回步骤 7 以读取新捕获的结果。要再次捕获 ILAS，设置 SYS_EN=0，然后返回到步骤 5。

7.3.8.5.3 传输层调试捕获

JCAP 寄存器可用于捕获传输层的输出，以进行一般调试。将 JESD204C 发送器配置为生成长度为一个帧的固定、重复样本序列（例如短传输层测试模式）。捕获不会同步到帧边界。捕获仅与应用层时钟同步（这不一定与帧边界相对应，具体取决于 JMODE 和 LT）。

要执行传输层捕获，请配置 JCAP_MODE=2。然后，在链路启动时设定 JCAP_ARM=1 进行捕获。另请参阅 JCAP_STATUS。

捕获完成后，可以从 JCAP 寄存器中读取数据。必须对 JCAP_PAGE 寄存器进行设定，这样才能访问所有数据页。数据的组织取决于 LT（内插因子），并在下表中定义。

表 7-41. 传输层捕获映射

JCAP_PAGE	从 {JCAP[2n+1], JCAP[2n]} 返回的传输层样本				
	LT = 1 (*n*=0..4)	LT = 4 或 6 (*n*=0..7)	LT = 8 或 12 (*n*=0..7)	LT = 16 或 24 (*n*=0..7)	LT = 32 或更高版本 (*n*=0..7)
0	C0[16 *n*]	C0[8 *n*]	C0[4 *n*]	C0[2 *n*]	C0[*n*]
1	C0[16 *n* +1]	C0[8 *n* +2]	C0[4 *n* +1]	-	-
2	C0[16 *n* +2]	C0[8 *n* +4]	C0[4 *n* +2]	C0[2 *n* +1]	-
3	C0[16 *n* +3]	C0[8 *n* +6]	C0[4 *n* +3]	-	-
4	C0[16 *n* +4]	C1[8 *n*]	C1[4 *n*]	C1[2 *n*]	C1[*n*]
5	C0[16 *n* +5]	C1[8 *n* +2]	C1[4 *n* +1]	-	-
6	C0[16 *n* +6]	C1[8 *n* +4]	C1[4 *n* +2]	C1[2 *n* +1]	-
7	C0[16 *n* +7]	C1[8 *n* +6]	C1[4 *n* +3]	-	-
8	C0[16 *n* +8]	C2[8 *n*]	C2[4 *n*]	C2[2 *n*]	C2[*n*]
9	C0[16 *n* +9]	C2[8 *n* +2]	C2[4 *n* +1]	-	-
10	C0[16 *n* +10]	C2[8 *n* +4]	C2[4 *n* +2]	C2[2 *n* +1]	-
11	C0[16 *n* +11]	C2[8 *n* +6]	C2[4 *n* +3]	-	-
12	C0[16 *n* +12]	C3[8 *n*]	C3[4 *n*]	C3[2 *n*]	C3[*n*]
13	C0[16 *n* +13]	C3[8 *n* +2]	C3[4 *n* +1]	-	-
14	C0[16 *n* +14]	C3[8 *n* +4]	C3[4 *n* +2]	C3[2 *n* +1]	-
15	C0[16 *n* +15]	C3[8 *n* +6]	C3[4 *n* +3]	-	-
16	C1[16 *n*]	C0[8 *n* +1]	C4[4 *n*]	C4[2 *n*]	C4[*n*]
17	C1[16 *n* +1]	C0[8 *n* +3]	C4[4 *n* +1]	-	
18	C1[16 *n* +2]	C0[8 *n* +5]	C4[4 *n* +2]	C4[2 *n* +1]	
19	C1[16 *n* +3]	C0[8 *n* +7]	C4[4 *n* +3]	-	
20	C1[16 *n* +4]	C1[8 *n* +1]	C5[4 *n*]	C5[2 *n*]	C5[*n*]
21	C1[16 *n* +5]	C1[8 *n* +3]	C5[4 *n* +1]	-	-
22	C1[16 *n* +6]	C1[8 *n* +5]	C5[4 *n* +2]	C5[2 *n* +1]	-
23	C1[16 *n* +7]	C1[8 *n* +7]	C5[4 *n* +3]	-	-
24	C1[16 *n* +8]	C2[8 *n* +1]	C6[4 *n*]	C6[2 *n*]	C6[*n*]

Copyright © 2026 Texas Instruments Incorporated

表 7-41. 传输层捕获映射（续）

JCAP_PAGE	从 {JCAP[2n+1], JCAP[2n]} 返回的传输层样本				
	LT = 1 (*n*=0..4)	LT = 4 或 6 (*n*=0..7)	LT = 8 或 12 (*n*=0..7)	LT = 16 或 24 (*n*=0..7)	LT = 32 或更高版本 (*n*=0..7)
25	C1[16 *n* +9]	C2[8 *n* +3]	C6[4 *n* +1]	-	-
26	C1[16 *n* +10]	C2[8 *n* +5]	C6[4 *n* +2]	C6[2 *n* +1]	-
27	C1[16 *n* +11]	C2[8 *n* +7]	C6[4 *n* +3]	-	-
28	C1[16 *n* +12]	C3[8 *n* +1]	C7[4 *n*]	C7[2 *n*]	C7[*n*]
29	C1[16 *n* +13]	C3[8 *n* +3]	C7[4 *n* +1]	-	-
30	C1[16 *n* +14]	C3[8 *n* +5]	C7[4 *n* +2]	C7[2 *n* +1]	-
31	C1[16 *n* +15]	C3[8 *n* +7]	C7[4 *n* +3]	-	-

备注

1. 所有采样字段为 16 位（两个字节）。最高有效字节从较高的地址 (JCAP[2n+1]) 读取。
2. 对于 8 位和 12 位 JESD204C 模式，样本左对齐到 16 位字段中。
3. 包含“-”的单元未使用且返回未定义的数据。
4. 与禁用的流（即转换器）对应的样本字段会返回未定义的数据（即 JESD_M 被设定为小于最大允许值的值）。

7.3.8.6 JESD204C 接口模式

器件 JESD204C 模式使用表 7-42、表 7-43 和表 7-44 中定义的参数进行配置。

表 7-42. JESD204C 接口参数定义

参数	说明
JMODE	JESD204C 模式编号。用户将此参数配置为选择支持的模式。大多数其他参数都是从此设置派生出来的。请参阅表 7-45。
LS	每个样本流的通道数。这是从 JMODE 得出的。请参阅表 7-45。
LT	输入采样率与时钟速率之间的比值。LT = F_{CLK} / F_{S_IN}。注意 DES2X 模式不会影响 LT 的值。 DSP_MODE*n* = 旁路（禁用所有 DSP，LT = 1） 任何 DSP 启用（且 JESD_M > 0），LT 由 DSP_L 设置 任何 DSP 启用（且 JESD_M = 0），LT 不适用
Lx	用于给定 JMODE 的最大通道数。链路将根据启用的通道数量缩减运行通道 (L) 的数量。请参阅 JESD_M
Mx	给定 JMODE 的最大流数。Mx 根据表 7-45 自动计算得出。用户可以使用 JESD_M 寄存器指定实际流数 (M)。
R	每个 DACCLK 周期中每个通道传输的位数。从 JMODE 和 LT 得出（请参阅表 7-46）。根据 R，用户必须对 REFDIV、MPY 和 RATE 寄存器进行编程。此外，最大 DACCLK 频率是 R 的函数。
SI	采样交错/增量因子。值 1 表示应用符合 JESD204C 标准的标准传输层映射（样本从 0 线性映射到 S-1）。大于 1 的值表示按如下所述使用备用映射：从样本 0 开始映射样本，按 SI 递增索引。根据需要多次重复此步骤以映射所有 S 样本，每次开始重复步骤时使用的索引要比上一次大 1。请参阅 JESD204C 格式图。
KR	对于 8b/10b 操作，KR 定义了 K（每个多帧的帧数）的合法值。限制合法值以提高弹性缓冲器的抗翻转度。多帧长度限制为 128 个字符的弹性缓冲器深度的倍数（如果 K*F 为 32 或 64，则缓冲器深度减少到 32 或 64 个字符）。此外，具有较少的合法 K 值可最大限度地减少验证负担。对于 8b/10b 模式，K 通过 KM1 寄存器进行编程。

表 7-43. JESD204C 链路参数

参数	说明	ILAS 字段名称	该器件的值参考 (1)
ADJCNT	DAC LMFC 调整	ADJCNT[3:0]	不适用
ADJDIR	DAC LMFC 调整方向	ADJDIR[0]	不适用
BID	存储体 ID	BID[3:0]	不适用

Copyright © 2026 Texas Instruments Incorporated

表 7-43. JESD204C 链路参数（续）

参数	说明	ILAS 字段名称	该器件的值参考 (1)
CF	每帧的控制字数	CF[4:0]	0
CS	每样本的控制位数	CS[1:0]	0
DID	器件标识号	DID[7:0]	不适用
F	每帧的八位位组数（每通道）	F[7:0]	请参阅 表 7-45
HD	高密度格式	HD[0]	请参阅 表 7-45
JESDV	JESD204 版本	JESDV[2:0]	不适用
K	每个多帧的帧数	K[7:0]	由 KM1 寄存器设置 (2)
L	每个链路的通道数	L[4:0]	ceiling(M/Mx*Lx)
LID	通道标识号	LID[4:0]	不适用
M	每个链路的样本流数（请参阅(1)）	M[7:0]	由 JESD_M 寄存器设置
N	每个样本的位数（在添加控制或尾位之前）	N[4:0]	请参阅 表 7-45
N'	每个样本的总位数（包括控制位和尾位）	N’[4:0]	请参阅 表 7-45
PHADJ	向 DAC 发出的相位调整请求	PHADJ[0]	不适用
S	每帧每个流的样本数	S[4:0]	请参阅 表 7-45
SCR	启用扰频	SCR[0]	由 SCR 寄存器设置
SUBCLASSV	器件子类版本	SUBCLASSV[2:0]	不适用
RES1	保留字段 1	RES1[7:0]	不适用
RES2	保留字段 2	RES2[7:0]	不适用
CHKSUM	校验和（以上所有字段的总和，模数为 256）	FCHK[7:0]	不适用

(1) 在 8b 和 10b 模式下，发送器可在 ILAS 期间发送链路配置八位位组。发送器发送的值不是由该接收器检查，也不需要与接收器的工作值保持一致。为了进行调试，可以通过 SPI 捕获和报告特定的 ILAS 八位位组。请参阅 JCAP_PAGE 和 JCAP_OFFSET。
(2) 在 8b/10b 模式下，K 由 KM1 寄存器控制。在 64b/66b 模式下，K = 256 x E/F（由 JMODE 确定）。

表 7-44. 链路参数（仅适用于 64b 和 66b 编码）

参数	说明	该器件的值参考 (1)
E	每个扩展多块的多块数量（仅限 64b 和 66b 编码）	所有模式均使用 E=1，除非 F=3，这样则 E=3。（E 是基于 JMODE 自动设置的）。

每个支持的模式都分配了一个模式编号，该编号可以通过表 7-45 中列出的参数编程到 JMODE 寄存器中。

Copyright © 2026 Texas Instruments Incorporated

表 7-45. JESD 接口模式

JMODE	编码	每个流的最大输入采样速率 (GSPS) [1] [2]	最大串行器/解串器波特率 (Gbps)	R = F_{BIT}/ F_{DACCLK} [3]	N	Mx = 最大流数	Ls = 每个流的通道数	Lx = 通道数上限	LT = 内插		JESD 格式				KR
									最小值	最大值	F	S	HD	SI	
0	8b/10b	12.8	16	1.25	16	1	16	16	1	1	2	16	0	1	32、64、128
	64b/66b	22	22.69	1.03125											
1	8b/10b	6.4	16	2.5/LT	16	2	8	16	1	8	2	8	0	1	32、64、128
	64b/66b	15.76	32.5	2.0625/LT											
2	8b/10b	3.2	16	5/LT	16	4	4	16	1	16	2	4	0	1	32、64、128
	64b/66b	7.88	32.5	4.125/LT											
3	8b/10b	1.6	16	10/LT	16	8	2	16	4	32	2	2	0	1	32、64、128
	64b/66b	3.94	32.5	8.25/LT											
4	8b/10b	0.8	16	20/LT	16	8	1	8	4	64	2	1	0	1	32、64、128
	64b/66b	1.97	32.5	16.5/LT											
5	8b/10b	0.4	16	40/LT	16	8	½	4	8	128	4	1	0	1	16、32、64
	64b/66b	0.98	32.5	33/LT											
6	8b/10b	0.2	16	80/LT	16	8	¼	2	16	256	8	1	0	1	8、16、32
	64b/66b	0.49	32.5	66/LT											
7	8b/10b	0.1	16	160/LT	16	8	⅛	1	32	256	16	1	0	1	4、8、16
	64b/66b	0.25	32.5	132/LT											
8	8b/10b	16	16	1	12	1	16	16	1	1	8	80	0	16	8、16、32
	64b/66b	22	18.15	0.825											
9	8b/10b	12.8	16	1.25	12	1	12	12	1	1	2	16	1	1	32.64、128
	64b/66b	22	22.69	1.03125											
10	8b/10b	8	16	2	12	2	8	16	1	1	8	40	0	8	8、16、32
	64b/66b	21.01	32.5	1.65											
11	8b/10b	6.4	16	2.5	12	2	6	12	1	1	2	8	1	1	32.64、128
	64b/66b	15.76	32.5	2.0625											
12	8b/10b	4	16	4	12	2	4	8	1	1	8	20	0	4	8、16、32
	64b/66b	10.51	32.5	3.3											
13	8b/10b	3.2	16	5	12	2	3	6	1	1	2	4	1	1	32.64、128
	64b/66b	7.88	32.5	4.125											
14	8b/10b	22	13.75	0.625	8	1	16	16	1	1	1	16	0	1	64、128,256
	64b/66b	22	11.34	0.5156											
15	8b/10b	12.8	16	1.25	8	2	8	16	1	1	1	8	0	1	64、128,256
	64b/66b	22	22.69	1.03125											
16	8b/10b	6.4	16	2.5	8	2	4	8	1	1	1	4	0	1	64、128,256
	64b/66b	15.76	32.5	2.0625											
17	8b/10b [4]	不适用	不适用	不适用	12	2	8	16	1	1	3	16	0	1	不适用
	64b/66b	21.01	32.5	1.546875											

1. 在最小内插速率下
2. 编码 (8b/10b 或 64b/66b) 仅限于 JMODE 和 LT 的某些组合。有关详细信息，请参阅表 7-46。
3. 请参阅表 7-47 (8b/10b) 或表 7-48 (64b/66b) 以根据 R 的值对 PHY PLL 进行设定。
4. 此模式不支持 8b/10b 编码。

Copyright © 2026 Texas Instruments Incorporated

表 7-46. 支持的内插/上采样因子 (LT) 与 JMODE 之间的关系

用户指定的参数		推导出的参数	
JMODE	LT	R [1] (JENC=0) (8b/10b)	R [2] (JENC=1) (64b/66b)
0	1	1.25	1.03125
1	1	2.5	2.0625
	4	0.625	0.515625
	6	0.41667	-
	8	0.3125	-
2	1	5	4.125
	4	1.25	1.03125
	6	0.833	0.6875
	8	0.625	0.515625
	12	0.41667	-
	16	0.3125	-
3	4	2.5	2.0625
	6	1.667	1.375
	8	1.25	1.03125
	12	0.833	0.6875
	16	0.625	0.515625
	24	0.41667	-
	32	0.3125	-
4	4	5	4.125
	6	3.333	2.75
	8	2.5	2.0625
	12	1.667	1.375
	16	1.25	1.03125
	24	0.833	0.6875
	32	0.625	0.515625
	48	0.41667	-
	64	0.3125	-
5	8	5	4.125
	12	3.333	2.75
	16	2.5	2.0625
	24	1.667	1.375
	32	1.25	1.03125
	48	0.833	0.6875
	64	0.625	0.515625
	96	0.41667	-
	128	0.3125	-

Copyright © 2026 Texas Instruments Incorporated

表 7-46. 支持的内插/上采样因子 (LT) 与 JMODE 之间的关系（续）

用户指定的参数		推导出的参数	
JMODE	LT	R [1] (JENC=0) (8b/10b)	R [2] (JENC=1) (64b/66b)
6	16	5	4.125
	24	3.333	2.75
	32	2.5	2.0625
	48	1.667	1.375
	64	1.25	1.03125
	96	0.833	0.6875
	128	0.625	0.515625
	192	0.41667	-
	256	0.3125	-
7	32	5	4.125
	48	3.333	2.75
	64	2.5	2.0625
	96	1.667	1.375
	128	1.25	1.03125
	192	0.833	0.6875
	256	0.625	0.515625
8	1	1	0.825
9	1	1.25	1.031255
10	125	2	1.65
11	1	2.5	2.0625
12	1	4	3.3
13	1	5	4.125
14	1	0.625	0.515625
15	1	1.25	1.03125
16	1	2.5	2.0625
17	1	-	1.546875

1. 请参阅表 7-47 （8b/10b) 或表 7-48 (64b/66b) 以根据 R 的值对 PHY PLL 进行设定。
2. 如果未指定 R 的值，则该特定 JMODE 和 LT 设置不支持相关的通道编码（8b/10b 或 64b/66b）。

表 7-47. 从 8b/10b 模式的 R 参数推导出的参数 (JENC = 0)

R 参数	最大 DAC 时钟速率 (F_{DACCLK})	最大通道速率 (F_{BIT} = R x F_{DACCLK})
0.3125 (40/128)	25.6GHz	8Gbps
0.416667 (40/96)	25.6GHz	10.667Gbps
0.625 (40/64)	25.6GHz	16Gbps
0.833333 (40/48)	19.2GHz	16Gbps
1 (40/40)	16GHz	16Gbps
1.25 (40/32)	12.8GHz	16Gbps
1.666667 (40/24)	9.6GHz	16Gbps
2 (40/20)	8GHz	16Gbps
2.5 (40/16)	6.4GHz	16Gbps
3.333333 (40/12)	4.8GHz	16Gbps
4 (40/10)	4GHz	16Gbps

Copyright © 2026 Texas Instruments Incorporated

表 7-47. 从 8b/10b 模式的 R 参数推导出的参数 (JENC = 0) （续）

R 参数	最大 DAC 时钟速率 (F_{DACCLK})	最大通道速率 (F_{BIT} = R x F_{DACCLK})
5 (40/8)	3.2GHz	16Gbps

表 7-48. 从 64b/66b 模式的 R 参数推导出的参数 (JENC = 0)

R 参数	最大 DAC 时钟速率 (F_{DACCLK})	最大通道速率 (F_{BIT} = R x F_{DACCLK})
0.515625 (33/64)	25.6GHz	13.2Gbps
0.6875 (33/48)	25.6GHz	17.6Gbps
0.825 (33/40)	25.6GHz	21.12Gbps
1.03125 (33/32)	25.6GHz	26.4Gbps
1.375 (33/24)	23.636GHz	32.5Gbps
1.546875 (99/64)	21.010GHz	32.5Gbps
1.65 (33/20)	19.697GHz	32.5Gbps
2.0625 (33/16)	15.758GHz	32.5Gbps
2.75 (33/12)	11.818GHz	32.5Gbps
3.3 (33/10)	9.848GHz	32.5Gbps
4.125 (33/8)	7.87GHz	32.5Gbps

7.3.8.6.1 JESD204C 格式图

以下各小节对每个 JESD204C 帧格式进行了描述，说明了如何将样本和尾位映射到通道。未显示在输出格式表中的所有通道均未使用。每个表只描述了一个帧。尾位被丢弃并被传输层忽略。所有图均以逻辑通道编号为基准，可使用 LANE_SELn 随意将其映射到外部物理通道。每种描述均显示了模式支持的最大流（转换器）数量，但用户可以配置更小的数量（请参阅 JESD_M），这可能会导致处于激活状态的通道更少。

表 7-49. JESD 模式图符号

		对于应用层的意义		
符号	说明	旁路模式	DUC 模式	DDS 流模式
T	尾位（零）	-	-	-
C0[n]	流 0 的样本	请参阅 DAC_SRC	DSP0 (I)	DSP0 (sdata[15:0])
C1[n]	流 1 的样本	请参阅 DAC_SRC	DSP0 (Q)	DSP0 (sdata[31:16])
C2[n]	流 2 的样本	-	DSP1 (I)	DSP1 (sdata[15:0])
C3[n]	流 3 的样本	-	DSP1 (Q)	DSP1 (sdata[31:16])
C4[n]	流 4 的样本	-	DSP2 (I)	DSP2 (sdata[15:0])
C5[n]	流 5 的样本	-	DSP2 (Q)	DSP2 (sdata[31:16])
C6[n]	流 6 的样本	-	DSP3 (I)	DSP3 (sdata[15:0])
C7[n]	流 7 的样本	-	DSP3 (Q)	DSP3 (sdata[31:16])
在上述所有表示法中，n 表示样本数（0 至 S-1）。某些 JESD204C 模式的 S=1（每帧每个流一个样本）。在这些情况下，说明中省略了“[n]”。				

7.3.8.6.1.1 16 位格式

表 7-50. JMODE 0（16 位，每个流 16 个通道，1 个流)

八位位组	0		1	
半字节	0	1	2	3
通道 0	C0[0]			
通道 1	C0[1]			

Copyright © 2026 Texas Instruments Incorporated

表 7-50. JMODE 0（16 位，每个流 16 个通道，1 个流）（续）

八位位组	0		1	
半字节	0	1	2	3
通道 2	C0[2]			
通道 3	C0[3]			
通道 4	C0[4]			
通道 5	C0[5]			
通道 6	C0[6]			
通道 7	C0[7]			
通道 8	C0[8]			
通道 9	C0[9]			
通道 10	C0[10]			
通道 11	C0[11]			
通道 12	C0[12]			
通道 13	C0[13]			
通道 14	C0[14]			
通道 15	C0[15]			

表 7-51. JMODE 1（16 位，每个流 8 个通道，最多 2 个流）

八位位组	0		1	
半字节	0	1	2	3
通道 0	C0[0]			
通道 1	C0[1]			
通道 2	C0[2]			
通道 3	C0[3]			
通道 4	C0[4]			
通道 5	C0[5]			
通道 6	C0[6]			
通道 7	C0[7]			
通道 8	C1[0]			
通道 9	C1[1]			
通道 10	C1[2]			
通道 11	C1[3]			
通道 12	C1[4]			
通道 13	C1[5]			
通道 14	C1[6]			
通道 15	C1[7]			

表 7-52. JMODE 2（16 位，每个流 4 个通道，最多 4 个流）

八位位组	0		1	
半字节	0	1	2	3
通道 0	C0[0]			
通道 1	C0[1]			
通道 2	C0[2]			
通道 3	C0[3]			

Copyright © 2026 Texas Instruments Incorporated

表 7-52. JMODE 2（16 位，每个流 4 个通道，最多 4 个流）（续）

八位位组	0		1	
半字节	0	1	2	3
通道 4	C1[0]			
通道 5	C1[1]			
通道 6	C1[2]			
通道 7	C1[3]			
通道 8	C2[0]			
通道 9	C2[1]			
通道 10	C2[2]			
通道 11	C2[3]			
通道 12	C3[0]			
通道 13	C3[1]			
通道 14	C3[2]			
通道 15	C3[3]			

表 7-53. JMODE 3（16 位，每个流 2 个通道，最多 8 个流）

八位位组	0		1	
半字节	0	1	2	3
通道 0	C0[0]			
通道 1	C0[1]			
通道 2	C1[0]			
通道 3	C1[1]			
通道 4	C2[0]			
通道 5	C2[1]			
通道 6	C3[0]			
通道 7	C3[1]			
通道 8	C4[0]			
通道 9	C4[1]			
通道 10	C5[0]			
通道 11	C5[1]			
通道 12	C6[0]			
通道 13	C6[1]			
通道 14	C7[0]			
通道 15	C7[1]			

表 7-54. JMODE 4（16 位，每个流 1 个通道，最多 8 个流）

八位位组	0		1	
半字节	0	1	2	3
通道 0	C0			
通道 1	C1			
通道 2	C2			
通道 3	C3			
通道 4	C4			
通道 5	C5			

Copyright © 2026 Texas Instruments Incorporated

表 7-54. JMODE 4（16 位，每个流 1 个通道，最多 8 个流）（续）

八位位组	0		1	
半字节	0	1	2	3
通道 6	C6			
通道 7	C7			

表 7-55. JMODE 5（16 位，每个流 1/2 个通道，最多 8 个流）

八位位组	0		1		2		3	
半字节	0	1	2	3	4	5	6	7
通道 0	C0				C1			
通道 1	C2				C3			
通道 2	C4				C5			
通道 3	C6				C7			

表 7-56. JMODE 6（16 位，每个流 1/4 个通道，最多 8 个流）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
通道 0	C0				C1				C2				C3			
通道 1	C4				C5				C6				C7			

表 7-57. JMODE 7（16 位，每个流 1/8 个通道，最多 8 个流）

八位位组	0		1		2		3		4		5		6		7		8		9		10		11		12		13		14		15	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
通道 0	C0				C1				C2				C3				C4				C5				C6				C7			

7.3.8.6.1.2 12 位格式

表 7-58. JMODE 8（12 位，每个流 16 个通道，1 个流)

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
通道 0	C0[0]		C0[16]		C0[32]		C0[48]		C0[64]							T
通道 1	C0[1]		C0[17]		C0[33]		C0[49]		C0[65]							T
通道 2	C0[2]		C0[18]		C0[34]		C0[50]		C0[66]							T
通道 3	C0[3]		C0[19]		C0[35]		C0[51]		C0[67]							T
通道 4	C0[4]		C0[20]		C0[36]		C0[52]		C0[68]							T
通道 5	C0[5]		C0[21]		C0[37]		C0[53]		C0[69]							T
通道 6	C0[6]		C0[22]		C0[38]		C0[54]		C0[70]							T
通道 7	C0[7]		C0[23]		C0[39]		C0[55]		C0[71]							T
通道 8	C0[8]		C0[24]		C0[40]		C0[56]		C0[72]							T
通道 9	C0[9]		C0[25]		C0[41]		C0[57]		C0[73]							T
通道 10	C0[10]		C0[26]		C0[42]		C0[58]		C0[74]							T
通道 11	C0[11]		C0[27]		C0[43]		C0[59]		C0[75]							T
通道 12	C0[12]		C0[28]		C0[44]		C0[60]		C0[76]							T
通道 13	C0[13]		C0[29]		C0[45]		C0[61]		C0[77]							T
通道 14	C0[14]		C0[30]		C0[46]		C0[62]		C0[78]							T
通道 15	C0[15]		C0[31]		C0[47]		C0[63]		C0[79]							T

Copyright © 2026 Texas Instruments Incorporated

表 7-59. JMODE 9（12 位，每个流 12 个通道，1 个流）

八位位组	0		1	
半字节	0	1	2	3
通道 0	C0[0]			C0[1][11:8]
通道 1	C0[1][7:0]		C0[2] [11:4]	
通道 2	C0[2] [3:0]	C0[3]		
通道 3	C0[4]			C0[5][11:8]
通道 4	C0[5][7:0]		C0[6] [11:4]	
通道 5	C0[6] [3:0]	C0[7]		
通道 6	C0[8]			C0[9][11:8]
通道 7	C0[9][7:0]		C0[10] [11:4]	
通道 8	C0[10] [3:0]	C0[11]		
通道 9	C0[12]			C0[13][11:8]
通道 10	C0[13][7:0]		C0[14] [11:4]	
通道 11	C0[14] [3:0]	C0[15]		

表 7-60. JMODE 10（12 位，每个流 8 个通道，最多 2 个流）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
通道 0	C0[0]		C0[8]		C0[16]		C0[24]		C0[32]							T
通道 1	C0[1]		C0[9]		C0[17]		C0[25]		C0[33]							T
通道 2	C0[2]		C0[10]		C0[18]		C0[26]		C0[34]							T
通道 3	C0[3]		C0[11]		C0[19]		C0[27]		C0[35]							T
通道 4	C0[4]		C0[12]		C0[20]		C0[28]		C0[36]							T
通道 5	C0[5]		C0[13]		C0[21]		C0[29]		C0[37]							T
通道 6	C0[6]		C0[14]		C0[22]		C0[30]		C0[38]							T
通道 7	C0[7]		C0[15]		C0[23]		C0[31]		C0[39]							T
通道 8	C1[0]		C1[8]		C1[16]		C1[24]		C1[32]							T
通道 9	C1[1]		C1[9]		C1[17]		C1[25]		C1[33]							T
通道 10	C1[2]		C1[10]		C1[18]		C1[26]		C1[34]							T
通道 11	C1[3]		C1[11]		C1[19]		C1[27]		C1[35]							T
通道 12	C1[4]		C1[12]		C1[20]		C1[28]		C1[36]							T
通道 13	C1[5]		C1[13]		C1[21]		C1[29]		C1[37]							T
通道 14	C1[6]		C1[14]		C1[22]		C1[30]		C1[38]							T
通道 15	C1[7]		C1[15]		C1[23]		C1[31]		C1[39]							T

表 7-61. JMODE 11（12 位，每个流 6 个通道，最多 2 个流）

八位位组	0		1	
半字节	0	1	2	3
通道 0	C0[0]			C0[1][11:8]
通道 1	C0[1][7:0]		C0[2] [11:4]	
通道 2	C0[2] [3:0]	C0[3]		
通道 3	C0[4]			C0[5][11:8]
通道 4	C0[5][7:0]		C0[6] [11:4]	
通道 5	C0[6] [3:0]	C0[7]		

Copyright © 2026 Texas Instruments Incorporated

表 7-61. JMODE 11（12 位，每个流 6 个通道，最多 2 个流）（续）

八位位组	0				1			
半字节	0		1		2		3	
通道 6	C1[0]						C1[1][11:8]	
通道 7	C1[1][7:0]				C1[2] [11:4]			
通道 8	C1[2] [3:0]		C1[3]					
通道 9	C1[4]						C1[5][11:8]	
通道 10	C1[5][7:0]				C1[6] [11:4]			
通道 11	C1[6] [3:0]		C1[7]					

表 7-62. JMODE 12（12 位，每个流 4 个通道，最多 2 个流）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
通道 0	C0[0]		C0[4]		C0[8]		C0[12]		C0[16]							T
通道 1	C0[1]		C0[5]		C0[9]		C0[13]		C0[17]							T
通道 2	C0[2]		C0[6]		C0[10]		C0[14]		C0[18]							T
通道 3	C0[3]		C0[7]		C0[11]		C0[15]		C0[19]							T
通道 4	C1[0]		C1[4]		C1[8]		C1[12]		C1[16]							T
通道 5	C1[1]		C1[5]		C1[9]		C1[13]		C1[17]							T
通道 6	C1[2]		C1[6]		C1[10]		C1[14]		C1[18]							T
通道 7	C1[3]		C1[7]		C1[11]		C1[15]		C1[19]							T

表 7-63. JMODE 13（12 位，每个流 3 个通道，最多 2 个流）

八位位组	0				1			
半字节	0		1		2		3	
通道 0	C0[0]						C0[1][11:8]	
通道 1	C0[1][7:0]				C0[2] [11:4]			
通道 2	C0[2] [3:0]		C0[3]					
通道 3	C0[4]						C0[5][11:8]	
通道 4	C0[5][7:0]				C0[6] [11:4]			
通道 5	C0[6] [3:0]		C0[7]					

表 7-64. JMODE 17（12 位，每个流 8 个通道，最多 2 个流）

八位位组	0		1		2	
半字节	0	1	2	3	4	5
通道 0	C0[0]			C0[1]		
通道 1	C0[2]			C0[3]		
通道 2	C0[4]			C0[10]		
通道 3	C0[6]			C0[11]		
通道 4	C0[8]			C0[12]		
通道 5	C0[10]			C0[13]		
通道 6	C0[12]			C0[14]		
通道 7	C0[14]			C0[15]		
通道 8	C1[0]			C1[1]		
通道 9	C1[2]			C1[3]		
通道 10	C1[4]			C1[5]		

Copyright © 2026 Texas Instruments Incorporated

表 7-64. JMODE 17（12 位，每个流 8 个通道，最多 2 个流）（续）

八位位组	0		1		2	
半字节	0	1	2	3	4	5
通道 11	C1[6]		C1[7]			
通道 12	C1[8]		C1[9]			
通道 13	C1[10]		C1[11]			
通道 14	C1[12]		C1[13]			
通道 15	C1[14]		C1[15]			

7.3.8.6.1.3 8 位格式

表 7-65. JMODE 14（8 位，每个流 16 个通道，1 个流)

八位位组	0	
半字节	0	1
通道 0	C0[0]	
通道 1	C0[1]	
通道 2	C0[2]	
通道 3	C0[3]	
通道 4	C0[4]	
通道 5	C0[5]	
通道 6	C0[6]	
通道 7	C0[7]	
通道 8	C0[8]	
通道 9	C0[9]	
通道 10	C0[10]	
通道 11	C0[11]	
通道 12	C0[12]	
通道 13	C0[13]	
通道 14	C0[14]	
通道 15	C0[15]	

表 7-66. JMODE 15（8 位，每个流 8 个通道，最多 2 个流）

八位位组	0	
半字节	0	1
通道 0	C0[0]	
通道 1	C0[1]	
通道 2	C0[2]	
通道 3	C0[3]	
通道 4	C0[4]	
通道 5	C0[5]	
通道 6	C0[6]	
通道 7	C0[7]	
通道 8	C1[0]	
通道 9	C1[1]	
通道 10	C1[2]	
通道 11	C1[3]	

Copyright © 2026 Texas Instruments Incorporated

表 7-66. JMODE 15（8 位，每个流 8 个通道，最多 2 个流）（续）

八位位组	0	
半字节	0	1
通道 12	C1[4]	
通道 13	C1[5]	
通道 14	C1[6]	
通道 15	C1[7]	

表 7-67. JMODE 16（8 位，每个流 4 个通道，最多 2 个流）

八位位组	0	
半字节	0	1
通道 0	C0[0]	
通道 1	C0[1]	
通道 2	C0[2]	
通道 3	C0[3]	
通道 4	C1[0]	
通道 5	C1[1]	
通道 6	C1[2]	
通道 7	C1[3]	

7.3.8.6.2 DUC 和 DDS 模式

此器件包含一个 DUC 模式和一个直接数字合成 (DDS) 模式。数据路径模式使用来自 JESD 接口的复数（I 和 Q）数据，在 DUC 中对该数据进行内插和上变频，对 DUC 输出求和并在 DAC 中生成模拟信号。在 DDS 模式下，DUC NCO 直接用于生成音调，而无需输入数据。

下面的列表总结了 DDS 模式与 DUC 模式的区别：

1. 未启用内插滤波器
2. JESD204C 接口未启用
3. NCO 功耗更低（无复混频）
4. AMP 寄存器为每个 DUC (DDS) 通道提供唯一的振幅，允许 DDS 通道生成音调以消除 DAC 输出中的谐波音调。例如，如果 DDS 通道 0 产生基音，则通道 1 可产生用于取消 HD2 的音调，而通道 2 可产生用于取消 HD3 的音调。
5. JMODE 和 DUC_L 寄存器会被忽略，JESD204C 系统和内插滤波器施加的 SYSREF 周期限制被移除。

7.3.9 数据路径延迟

为器件定义了多种不同的延迟，如图 7-53 所示并列于表 7-68 中。这些参数中有许多取决于芯片配置（JMODE、LT、JENC、RBD、NCO_EN、MXMODE (DES2X)、PFIR_EN、PFIR_MODE）。TI 提供了 Excel 电子表格计算器，用于计算不同运行模式下的器件延迟。

在 JESD204C 子类 0 操作中，从串行器/解串器输入到 DAC 输出的延迟称为 T_{DAC_LAT0}，不具有确定性，Excel 电子表格计算器中提供了最小和最大范围。

在 JESD204C 子类 1 操作中，从 SYSREF 输入到 DAC 输出的延迟 T_{DAC_LAT} 是确定性的，并在 Excel 电子表格计算器中提供。JESD204C 发送器到 RxFIFO 输出的 JESD204C 链路也可能具有确定性延迟，前提是 RBD 值设置正确（适当的条件取决于 SYSREF 和链路路径的延迟，如图 7-53 所示）。

Copyright © 2026 Texas Instruments Incorporated

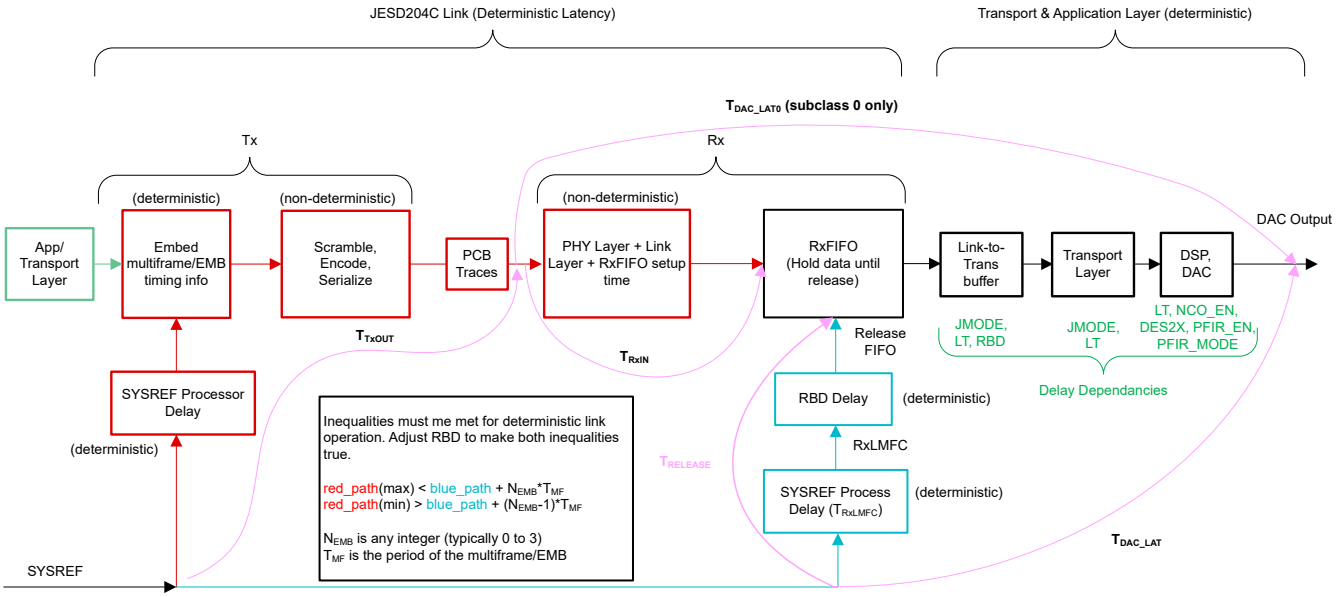


图 7-53. 器件延迟的定义

Copyright © 2026 Texas Instruments Incorporated

表 7-68. 延迟定义

延迟参数	定义
$T_{RELEASE}$	从跟随 SYSREF 上升沿的 DACCLK 上升沿到弹性缓冲器释放事件的延迟。（仅限子类 1。）
T_{DAC_LAT}	从跟随 SYSREF 上升沿的 DACCLK 上升沿到 SYSREF 在 DAC 输出端启动首次多帧/扩展多块采样的时间的延迟（仅限子类 1）。
T_{RxIN}	从接收器数据输入到弹性缓冲器输入的延迟，包括弹性缓冲器的最短设置时间。这是非确定性的，因此提供了最小和最大限制。
T_{TxOUT}	从发送器器件 SYSREF 输入，到发送器 (Tx) 输出的多帧或 EMB 边界信号抵达接收器 (Rx) 之间的延迟。
T_{DAC_LAT0}	从接收器数据输入（多帧/EMB 边界）到 DAC 输出上启动的首次多帧采样的延迟。这是非确定性的，因此提供了最小和最大限制（仅限子类 0）。

7.3.10 多器件同步和确定性延迟

JESD204C 子类 1 概述了一种通过串行链路实现确定性延迟的方法。使用 PLL/VCO 时，无法实现多器件同步。如果两个器件实现相同的确定性延迟，则可以将其视为同步。从系统启动到启动的这一延迟必须是确定性的。实现确定性延迟有两个关键要求。第一项要求是正确采集 SYSREF。SYSREF 将每个器件中的 LMFC 计数器复位，以用作已知的时序基准。

第二项要求是在接收器中选择适当的弹性缓冲器释放点。转换器器件是 JESD204C 链路中的接收器 (RX)，逻辑器件是发送器 (TX)。弹性缓冲器是实现确定性延迟的关键块，通过在数据从发送器传输到接收器时吸收串行化数据传播延迟的变化来实现。适当的释放点是针对延迟变化提供足够裕度的释放点。错误的释放点会导致一个 LMFC 周期的延迟变化，在某些情况下会导致缓冲区溢出，从而阻止建立链路。只有当多帧短路时，用户才会获得错误的释放点，并造成那样的情况发生。这些通道通常校正不当，从而导致错误的数据。要选择合适的释放点，需要了解弹性缓冲器中以 LMFC 边沿为基准的数据的平均到达时间以及所有器件的总预期延迟变化。利用此信息，可以定义 LMFC 周期内无效释放点的区域，该区域从所有通道的最小延迟一直延展到最大延迟。本质上，设计人员必须确保所有通道的数据在前一个释放点发生后、下一个释放点发生之前到达所有器件。另外，也可以通过实验找到无效区域 - 请参阅设定 RBD。

图 7-54 提供了用于演示此要求的简化时序图。在此图中，显示了两个发送器（ADC 或逻辑器件）的数据。第二个发送器 (TX 2) 具有更长的布线距离 (t_{PCB})，因此链路延迟比第一个发送器 (TX 1) 更长。首先，根据所有器件的数据到达时间，将 LMFC 周期的无效区域标记为关闭。然后，使用释放缓冲器延迟 (RBD) 参数设置释放点，将释放点从 LMFC 边缘移动适当数量的四位/八位位组步长，以便释放点发生在 LMFC 周期的有效区域内。对于图 7-54，由于有效区域的每一侧都有足够的裕度，因此 LMFC 边沿 (RBD = 0) 是释放点的理想选择。

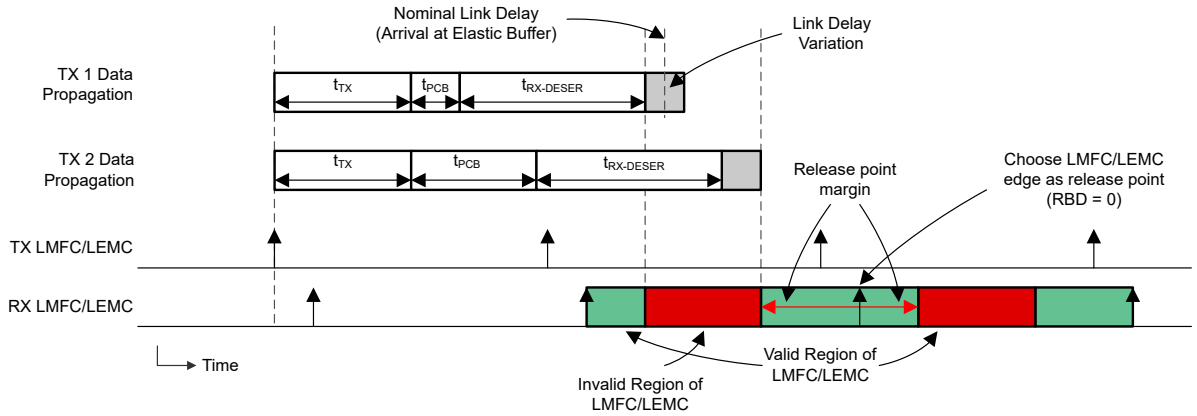


图 7-54. 用于弹性缓冲器释放点选择的 LMFC 有效区域定义

TX 和 RX LMFC 未必需要进行相位对齐，但了解其相位对于正确选择弹性缓冲器释放点至关重要。此外，弹性缓冲器释放点在每个 LMFC 周期内发生，但缓冲器仅在所有通道均已到达时释放。因此，总链路延迟可能超过单个 LMFC 周期；请参阅 *JESD204B 多器件同步：将要求进行分解* 了解更多信息。

Copyright © 2026 Texas Instruments Incorporated

7.3.10.1 对 RBD 进行编程

在子类 1 运行中，必须对 RBD 寄存器进行正确设定，以防止弹性缓冲器溢出

RBD 的有效值范围取决于 RX 和 TX LMFC/LEMC 之间的相位差以及串行器/解串器发送器、通道和串行器/解串器接收器中的链路延迟。因此，无法提供预先确定好的适用于所有系统的 RBD 值。提供的 LANE_ARR 寄存器可帮助用户测量通道到达时间并为系统选择适当的 RBD 值。为了确保确定性延迟，可在系统原型设计期间选择 RBD 值并将其存储在系统固件中。每次打开系统时计算 RBD 可能会导致不确定的延迟。

到达时间以八字节（8 个字节）为单位进行报告，并以基准计数器为基准进行测量，该计数器会针对接收到的每个八字节（每通道）递增。对于 8b/10b 模式，基准计数器通过 SYSREF 对齐（复位），并以 32 个八字节（256 字节）的模数运行，与 K 的值无关。对于 64b/66b 模式，模数为 32*E 八字节（256*E 字节）。弹性缓冲器的深度表示为 EBD，并取决于多帧/EMB 的长度。

表 7-69. 用于基准计数器和 LANE_ARR 值的模数

链路编码	AM（参考计数器和 LANE_ARR 的模数）[八字节]
8b/10b (JENC = 0)	32
64b/66b (JENC = 1)	32*E

由于通道到达时间是模值，因此使用考虑模值的算术（与最早到达的通道相比，*最近* 到达的通道实际上可能具有*更小* 的 LANE_ARR 值）。图 7-55 和图 7-56 以图形方式描述了 RBD 计算，以强调这一点。通道到达时间被映射到周长为 64 个四字节的圆上，这对应于用于测量通道到达时间的模数 64 计数器。

最早可用的 RBD 值等于最新的 LANE_ARR 值加 1（模 AM）。最新可用的 RBD 值等于最早的 LANE_ARR 值加上缓冲区深度（模 AM）（缓冲区深度用 EBD 表示）。请注意，最新的可用 RBD 值会导致最早到达的通道在数据被读出的相同时钟周期内覆盖缓冲区数据（这是可以接受的，不会导致溢出）。

在可用范围的中间选择 RBD 值将更大程度地提高偏差容限，但如果需要更低的延迟，用户可以选择更接近最新到达通道的值。

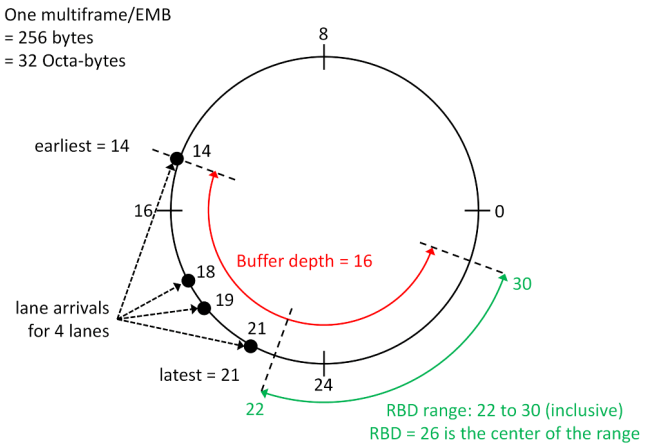


图 7-55. RBD 示例（通道到达时间不会跨越零）

Copyright © 2026 Texas Instruments Incorporated

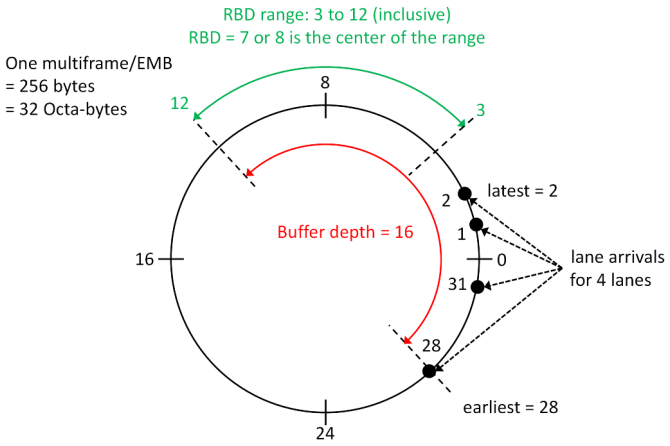


图 7-56. RBD 示例（通道到达时间跨越零）

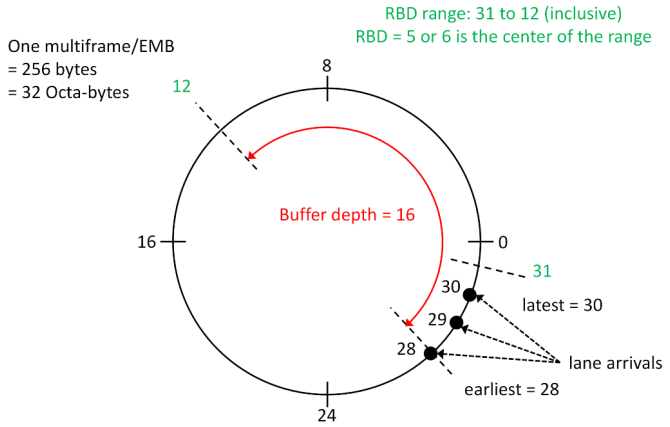


图 7-57. RBD 示例（有效 RBD 范围跨越零）

7.3.10.2 多帧长度小于 32 个八字节（256 字节）

对于 8b/10b 模式，始终使用 5 位模数 32 计数器测量通道到达时间，无论实际多帧长度如何。

当多帧长度也为 32 个八字节时，整个 5 位计数器通过 SYSREF 对齐。当多帧长度为 16 或 8 个八字节时，只有计数器的低 4 位或 3 位（分别）通过 SYSREF 对齐，并且高位保留为自由运行状态。这种排列使得用户能够无歧义地确定哪些通道是最早和最新的通道，即使通道偏差高达 15 个八字节（32 个八字节的圆上有一个较大且无歧义的空空间将最新通道与最早通道隔开）也是如此。

当多帧长度小于 32 个八字节时，LANE_ARR 值可以从一个链路启动显著变化到下一个链路启动，但只要用户不混合来自多个链路启动的 LANE_ARR 数据，这就不会干扰 RBD 计算。

7.3.10.3 用于确定 RBD 值的建议算法

```
initial begin
int tries;
int arrival [];
// 根据启动程序启动链路。RBD 的任何值都正常。
// 请注意，不能设置 LINK_UP，因为 RBD 可能无效。
```

```
startup_link();
// 等待 LANE_ARR_RDY 变为高电平
// 1000 次尝试后放弃。
tries = 0;
while(read_reg(LANE_ARR_RDY)==0 && tries<1000)
tries++;

// 对所有通道读取 LANE_ARR
arrival = new [L];

foreach(arrival[i]) arrival[i] = read_reg(LANE_ARR[i]);

RBD = determine_RBD(arrival, K*F/8);
// 使用此 RBD 值重新启动链路
end

// 此函数根据到达时间数组计算 RBD
function determine_RBD(
int arrival [], // 来自 LANE_ARR 的到达时间动态数组
int oneMF // 每个多帧/EMB 的八字节数
);
int spacing, max_spacing;
int latest, earliest;
int L, early_overwrite;
int AM, EB_size;

// 缓冲区大小最多为 16 个八字节，但不能超过 oneMF
EB_size = oneMF > 16 ? 16 : oneMF;

// LANE_ARR 的模值
AM = JENC ? 32*E : 32;

// 通道数目是到达数组的大小
L = arrival.size;
// 按数字升序对到达列表进行排序
arrival.sort;

// 找到到达时间之间的最大间距（在圆上）
max_spacing = 0;
for(int i = 0; i<L; i++) begin
```


Copyright © 2026 Texas Instruments Incorporated

```
spacing = arrival[(i+1)%L] – arrival[i] + (i==L-1)*AM;
if(spacing>max_spacing) begin
max_spacing = spacing;
latest = arrival[i];
earliest = arrival[(i+1)%L];
end
end

// 检查通道偏斜，确认其对于弹性缓冲器不会过大
if ( (latest-earliest+AM)%AM >= EB_size ) begin
$display(“ERROR: Lane skew too large for elastic buffer”);
$display(“ Earliest=%0d Latest=%0d”);
return 0;
end

// 选择让 RBD 位于最新到达通道 (+1) 和时刻之间的中间位置
// 最早的通道开始覆盖弹性缓冲器。
early_overwrite = (earliest+EB_size)%AM;
if(early_overwrite < latest+1) early_overwrite += AM;
return (latest+1+early_overwrite)/2 % oneMF;

endfunction
```

7.3.10.4 在子类 0 系统中运行

该器件可与子类 0 兼容，前提是不需要多 DAC 同步和确定性延迟。由于这些限制，该器件无需 SYSREF 应用即可运行。内部 LMFC 自动自生成，起始相位未知。$\overline{\text{SYNC}}$ 照常用来启动 CGS 和 ILAS。

7.3.11 链路复位

所有通道的整个链路层在以下情况下随时复位：

- 在 JESD 链路使用的通道上检测到齿轮箱 FIFO 下溢/上溢 (LANE_ERR)
- 在 JESD 链路使用的通道上检测到弹性缓冲器溢出 (EB_ERR)
- JESD 链路中断 (JESD_LINK_DOWN_ALM)
- SYSREF 导致时钟分频器或 LMFC/LEMC 重新对齐 (CLK_REALIGNED)
- JTimer 到期 (JTIMER_EXPIRED_ALM，JTIMER)
- SYS_EN=0
- JESD_RST=0
- MODE≥2

7.3.12 生成警报

警报引脚可用于通知主机控制器可能需要干预的事件。如果在 ALM_MASK 寄存器中未屏蔽 SYS_ALM 寄存器中的任何活动警报，这些警报会使警报输出变为有效。

除了任务模式运行外，警报引脚还可用作测试输出。请参阅 ALARM_SEL。

Copyright © 2026 Texas Instruments Incorporated

7.3.12.1 超范围检测

数据路径能够检测超范围条件并在 OVR_STATUS 寄存器中记录事件。

OVR_STATUS 寄存器对于每个 DSP 通道和 DAC 通道都有一个位。如果设置 OVR_STATUS 的任何位，则也会设置 OVR_ALM 位，并且如果 OVR_MASK=0，则会将警报输出置为有效。用户可以选择通过向 OVR_ALM 位写入“1”来清除警报，这也会清除 OVR_STATUS 寄存器的所有位。用户还可以选择通过向寄存器写入“1”直接清除 OVR_STATUS 寄存器的所有位。

对于数据路径的某些元件，超范围条件被定义为满量程样本。对于其他元件，必须发生饱和。区别很小，不会影响此特性的实用性。监测器的位置如图 7-10 所示。

如果 DSP*n* 中发生以下任何事件，则会设置 OVR_DSP*n* 位：

1. 在 DUC 模式下，内插滤波器生成了等于满量程的内插样本。即使所有 DUC 输入样本低于满量程，也会发生这种情况。
2. 用户通过 JESD204C 接口将满量程样本输入 DUC（如果在 DUC 之前启用通过 PFIR 衰减，则会阻止此检测）。
3. 由于 PFIR 增益大于单位增益，因此在 DUC 之前启用 PFIR，并且 PFIR 产生满量程样本。
4. 在混频器中发生了饱和。如果混频器旋转了 I/Q 样本并且结果为饱和，则会发生这种情况。如果 I/Q 输入样本的绝对值大于满量程并且 DSP_GAIN*n* 足够大，就会发生这种情况。

如果 DAC 通道 *n* 上发生以下任何事件，则会设置 OVR_DAC*n* 位：

1. 在通道接合器上发生了饱和。
   a. 这可以是将多个 DSP 通道加在一起的结果，或者一个 DSP 通道产生一个 20 位输出样本的结果，该样本略微饱和至通道接合器的 16 位满量程输出。
   b. 即使 PFIR 随后在样本到达 DAC 之前使样本衰减，也可以检测通道接合器中的饱和。
2. DACn 的 DES2X 滤波器会生成满量程样本（即使 DES2X 滤波器没有满量程输入样本）。
3. PFIR 配置为滤除通道接合器输出，并且 PFIR 施加的增益用于生成满量程样本。

任何被禁用的数据路径元件都不应检测到超范围条件（满量程样本和/或饱和）。例如：

1. 如果 DSP0 配置为 DUC 模式，填充满量程样本，然后将 SYS_EN 清除以将 DSP0 重新配置为非 DUC 模式（或禁用），则不应再检测已禁用 DUC 内的满量程样本（即使再次设置 SYS_EN=1 后也是如此）。
2. 如果 PFIR 或 DES2X 滤波器中填充了满量程样本，但随后 SYS_EN 被清除并且该器件重新配置为不使用 PFIR 或 DES2X 滤波器，当通过 SYS_EN 重新启用数据路径时，不会检测 PFIR 或 DES2X 滤波器内的满量程样本。

7.3.12.2 超范围屏蔽

如果用户不希望超范围事件影响警报输出，则设置 OVR_MASK=1。仍会在 OVR_STATUS 和 OVR_ALM 中检测和报告事件，但不影响警报输出。

此外，用户可以指示器件临时停止检测和记录超范围事件（屏蔽事件）。当输入预计会导致超范围且不希望报告事件的信号时，用户可以选择执行此操作。用户可以选择多个输入引脚中的一个作为屏蔽信号。下面表 7-70 将对这些引脚进行详细介绍。如果没有引脚配置为屏蔽信号，则会检测到并记录所有事件。

表 7-70. 超范围屏蔽编程和行为

引脚	编程以将该引脚用作超范围屏蔽	屏蔽超范围（满量程）事件的情况
TRIG[4]	OVR_MASK_SEL=1	当 TRIG[4] 为高电平时，事件将被忽略。
SYNCB	SYNCB_PIN_FUNC=14	当 SYNCB 为低电平时，事件将被忽略。
TXENABLE[0]	TX_PIN_FUNC0=14	当 TXENABLE[0] 为低电平时，事件将被忽略。

Copyright © 2026 Texas Instruments Incorporated

表 7-70. 超范围屏蔽编程和行为（续）

引脚	编程以将该引脚用作超范围屏蔽	屏蔽超范围（满量程）事件的情况
TXENABLE[1]	TX_PIN_FUNC1=14	当 TXENABLE[1] 为低电平时，事件将被忽略。

7.3.13 静音功能

静音功能会在下文所述的各种条件下将输出数据静音。静音时，输出直接从有效样本转换到量程中点 (0)，或者取消静音时直接从中标度 (0) 转换到有效样本。

DAC 输出在以下条件下静音：

- SYS_EN=0
- MODE>0
- 器件处于 APP 睡眠状态

静音条件停止后，计数器会延长静音。计数器的持续时间是 MXMODE、PFIR_EN 和 PFIR_MODE 的函数。静音延长可确保每当编码器启动或恢复时（这些样本永远不会到达 DAC），PFIR、DES2X 滤波器或编码器信号路径中存储的未知或旧样本都被清除。该延长可根据信号路径的存储器深度大致扩展。

延长（以 DAC 周期为单位）由以下公式定义（其中包含三项）：

总静音延长时间（以 DAC 周期为单位）= 512 * (2 + D_{PFIR_ENC} + D_{DES2X})

各项的值在下表中定义，并且对于每个编码器通道 *n* 可以是唯一的：

表 7-71. 全速率模式下 PFIR 操作的静音延长 (D_{PFIR_ENC})

条件	D_{PFIR_ENC} 的值
PFIR_EN[*n*]&&PFIR_MODE==0	2
所有其他条件	0

表 7-72. DES2X 运行的静音延长 (D_{DES2X})

MXMODE	D_{DES2X}
DES2X 或 DES2XH	1
所有其他	0

当 DAC 的发送启用信号为低电平 (transmit_enn) 且 IDLE_STATIC=0 时，也会触发此静音功能。若退出此状况，则不会进行静音延长。

7.3.13.1 报警数据路径静音

某些警报情况会导致 JESD204C 传输布局输出静音。在以下情况下，传输布局输出将被静音：

1. JESD 已启用，但 JESD 链路已断开。
   a. JESD 接口启用（请参阅 JESD_M）并且 SYS_EN=1 和 LINK_UP=0
2. 该器件配置为不会自动从 JESD 链路断开警报中恢复，并且当前会报告链路断开警报。
   a. JESD_LINK_DOWN_REC=0 且 JESD_LINK_DOWN_ALM=1
3. 该器件当前正在检测启用的通道中的数据完整性故障。
   a. JESD_DI_MUTE_MASK=0 并且已启用的通道存在 DI_FAULT=1
4. 该器件配置为不自动从数据完整性警报中恢复，并且当前会报告未屏蔽的数据完整性警报。
   a. JESD_DI_REC=0 和 JESD_DI_MUTE_MASK=0 和 JESD_DI_ALM=1
5. 此芯片配置为在 SYSREF 警报上静音，当前报告 SYSREF 警报。
   a. SYSREF_MUTE_MASK=0 & SYSREF_ALM=1

Copyright © 2026 Texas Instruments Incorporated

7.3.13.2 发送启用

两个发送启用引脚 TXEN0/1 或 $\overline{\text{SYNC}}$ 可以通过 TX_PIN_FUNC 和 SYNCBPIN_FUNC 寄存器进行配置，以快速将 DAC 输出静音和取消静音。或者，TX_EN 寄存器可用于此目的。

建议在禁用发送之前减少输入数据，以避免输出突然变化。重新启用发送后，输出将保持静音状态，直到新数据可用于输出为止。在此期间没有干扰或旧数据输出。

Copyright © 2026 Texas Instruments Incorporated

7.4 器件功能模式

本节介绍了器件的功能模式。特性说明中对本节中的某些特性进行了更详细的讨论。

7.4.1 电源模式

该器件具有主要通过 MODE 寄存器控制的各种功耗模式。本节概述了每种模式下实际启用的子系统。这些功耗模式仅在 SYS_EN=1 时适用。

表 7-73. 功耗模式汇总

	系统组件的状态			
电源模式	**应用层（DSP、编码器）**	**链路层**	**PHY 层**	**SYSREF 子系统、LMFC、LEMC、NCO 累加器、DAC 内核、稳压器**
正常运行	开启	开启	开启	开启
APP 睡眠	关闭	开启	开启	开启
链路睡眠	关闭	关闭	开启	开启
PHY 睡眠	关闭	关闭	关闭	开启
断电	关闭	关闭	关闭	关闭

Copyright © 2026 Texas Instruments Incorporated

表 7-74. 电源模式

电源模式	说明	进入此模式的条件
正常运行	• 所有系统都正常运行 • 可以使用 APP_SLEEP0/APP_SLEEP1 特性将各个应用层元件置于睡眠状态。	MODE==0 && !SLEEP（引脚）
APP 睡眠	• 两个 DAC 根据 IDLE_STATIC 寄存器静音 • 大多数 DSP 和编码器时钟均关闭。 • SYSREF 同步将保持不变，因此 LMFC/LEMC 计数器、触发时钟计数器和 NCO 累加器将继续按照配置运行。 • 在此模式下无法处理使用 TRIG_TYPE 配置的 DSP 触发事件。 (1)	MODE==1 || (MODE==0 && SLEEP（引脚）
链路睡眠	与 APP 睡眠相同，但 JESD 链路层时钟被关闭（但 LMFC/LEMC 相位保持不变）。	MODE=2
PHY 睡眠	与链路睡眠相同，但 JESD PHY 层也处于关闭状态。	MODE=3
断电	• JESD、DSP 和编码器子系统关闭（并保持在复位状态）。 • LMFC/LEMC、触发器时钟计数器和 NCO 累加器关闭（与 SYSREF 的对齐丢失）。 • DACCLK 和 SYSREF 接收器（和 LDO）关闭 • CPLL 关闭 • 两个 DAC 内核均使用防老化静态代码关闭并静音。 • 这些子系统保持正常运行（与 MODE 寄存器无关）： – SPI（包括任何粘滞状态位） – 模拟测试总线（如果启用） – XOR 测试树（如果已启用）	MODE=7

(1) 避免在 APP 层处于睡眠状态时或在将器件置于睡眠状态之前的 1000 个 DACCLK 周期发生任何 DSP 触发事件。这样做会产生不可预知的行为。唤醒 APP 层时，在生成触发事件之前验证 PWR_IDLE 返回 1。如果不遵循此建议，用户可以在 APP 层完全唤醒后生成触发来重新建立可预测的 NCO 参数。

备注

无论当前是哪种功耗模式，如果 SYS_EN 为低电平，则会禁用各种元件。有关详细信息，请参阅 SYS_EN。

备注

无论电源模式如何，如果 JESD_M=0，链路层和 PHY 层都会断电

备注

当从正常操作转换到表 7-74 中的任何其他模式时，输出会在 1000 个 DACCLK 周期内静音。

当 TX_PIN_FUNC0、TX_PIN_FUNC1 或 SYNCB_PIN_FUNC 中的任何一个被设置为 4 时，可以分配 TXEN0/1 或 $\overline{\text{SYNC}}$ 引脚来将器件置于 APP_SLEEP 状态（如果器件已经处于更深的睡眠状态，则不会产生任何影响）。

Copyright © 2026 Texas Instruments Incorporated

7.5 编程

该器件包含两个编程接口。标准 SPI 接口用于对寄存器进行编程，而 PFIR 系数可通过快速重新配置 (FR) 接口进行选择性配置。

7.5.1 使用标准 SPI 接口

使用以下四个引脚访问标准 SPI 接口：串行时钟 (SCLK)、串行数据输入 (SDI)、串行数据输出 (SDO) 和串行接口片选 ($\overline{SCS}$)。通过 $\overline{SCS}$ 引脚启用寄存器访问。

7.5.1.1 $\overline{SCS}$

该信号必须置位低电平才能通过串行接口访问寄存器。必须遵守相对于 SCLK 的建立和保持时间。

7.5.1.2 SCLK

在该信号的上升沿接受串行数据输入。SCLK 没有最低频率要求。

7.5.1.3 SDI

每个寄存器访问都需要在此输入端采用特定的 24 位模式。该模式包含一个读写 (R/W) 位、寄存器地址和寄存器值。数据以 MSB 优先的方式移动，多字节寄存器始终采用小端字节序格式（存储在最低地址的最低有效字节）。必须遵守相对于 SCLK 的建立和保持时间（请参阅开关特性）。

7.5.1.4 SDO

SDO 信号提供读取命令所请求的输出数据。该输出在写入总线周期以及读取总线周期的读取位和寄存器地址部分期间具有高阻抗。

7.5.1.5 串行接口协议

如图 7-58 所示，每个寄存器访问都由 24 位组成。第一个位为高电平时进行读取，为低电平时进行写入。

接下来的 15 位是要写入的寄存器的地址。在写入操作期间，最后 8 位是写入到已寻址寄存器的数据。在读取操作期间，SDI 上的最后 8 个位将被忽略，在此期间，SDO 将输出来自已寻址寄存器的数据。图 7-58 展示了串行协议详细信息。

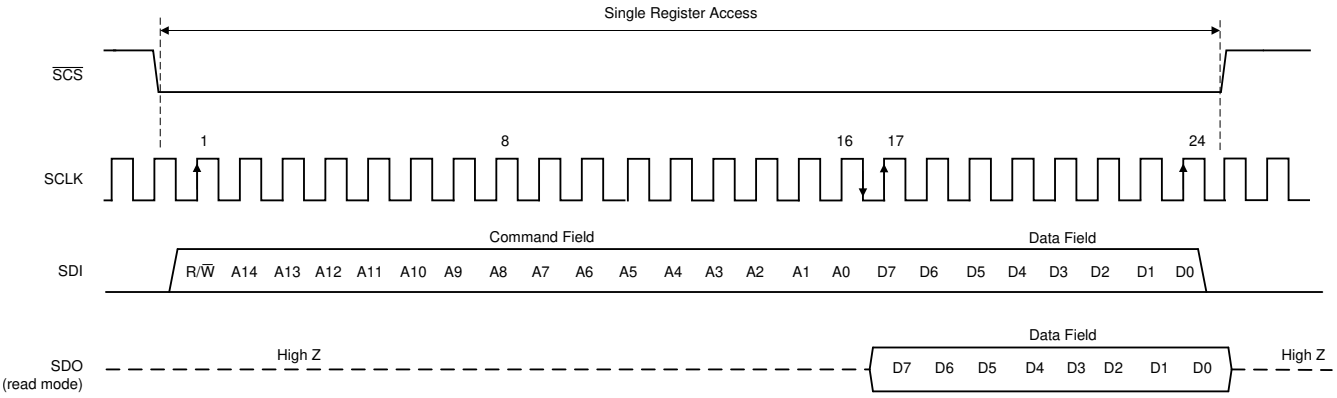


图 7-58. 串行接口协议：单独读取和写入

7.5.1.6 流模式

串行接口支持流式读取和写入。在此模式下，事务的前 24 位将照常指定访问类型、寄存器地址和数据值。只要 $\overline{SCS}$ 输入保持在置位（逻辑低电平）状态，读/写数据的额外时钟周期就会立即传输。对于每次后续的 8 位流事务传输，寄存器地址都会自动递增（默认）或递减。ADDR_ASC 位（寄存器 000h，位 5 和 2）控制地址值是上升（递增）还是下降（递减）。可以通过设置 ADDR_HOLD 位来禁用流模式（请参阅 SPI 配置寄存器）。图 7-59 展示了流模式事务详细信息。

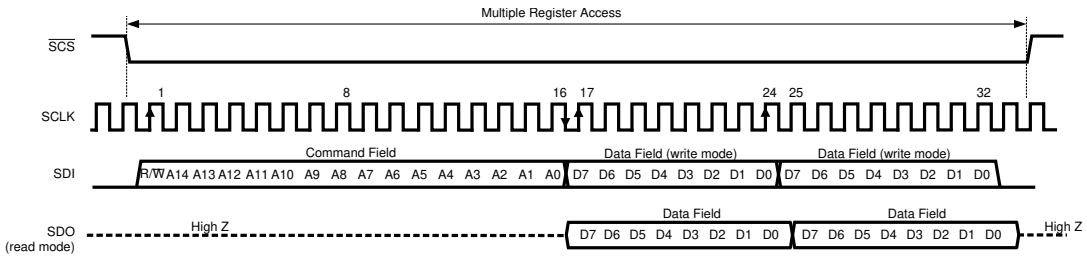


图 7-59. 串行接口协议：流式读写

7.5.2 使用快速重新配置接口

快速重新配置 (FR) 接口提供快速的只写访问来配置 PFIR 系数和 NCO 频率和相位。FR 接口与 SPI 接口类似，但每个时钟周期发送 4 位，并且会重复使用外部触发器。图 7-60 展示了 FR 时序图。它使用一个 R/W 位（对于该器件，始终设为 0 以指示写操作）、一个事务同步位 FRS 和 14 位地址，后跟一定数量的数据字节。地址在每个数据字节后递减（与小端字节序一致）。该接口可按字节寻址，数据在每个字节后提交。FR 接口每时钟占用 4 位（一个半字节）。对于多半字节字段，系统会首先发送数据的半字节最高有效位。

当事务同步位 (FRS) 被置位时，$\overline{FRCS}$ 的上升沿会生成一个事件。该事件可以产生立即触发信号，也可以布设另一个触发源，如 SYSREF（请参阅 TRIG_TYPEn 寄存器）。在第一个数据字节完成之前结束的事务可能不会触发同步事件。

可以通过单个时钟事务发送 FRS 位来进行同步。

Copyright © 2026 Texas Instruments Incorporated

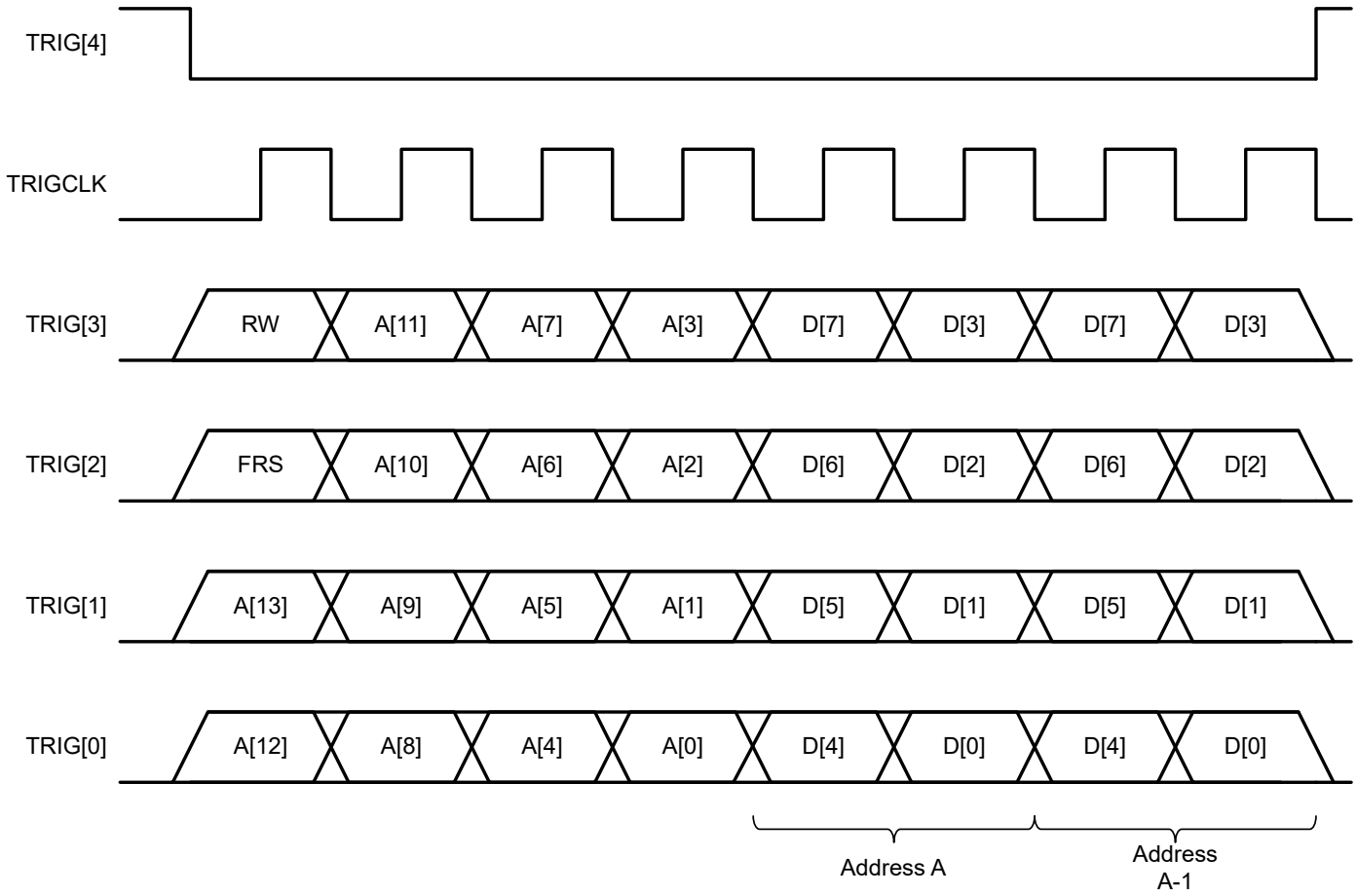


图 7-60. FR 接口时序图

表 7-75 中列出了用于编程和交换 NCO 设置和 PFIR 系数的 FRI 寄存器。

以下步骤可启用 FRI：

1. 设定 TRIGC_OUT_EN=0。这将对 TRIGCLK 输出进行三态设置。TRIGC_OUT_EN 应保持清除状态，直到稍后禁用 FRI。
2. 从主机系统（FRI 控制器）将 TRIGCLK（FRI 时钟）驱动为 0 或 1。将 TRIG[4]（芯片选择条）驱动为 1。在步骤 5 之前，不得切换两个输入。
3. 执行 SPI 写入以设置 FR_EN。
4. 等待至少 100ns。
5. 此时，您可以开始 FRI 事务。

通过以下步骤禁用 FRI：

1. 确保 FRI 总线处于空闲状态且 TRIG[4]=1。TRIGCLK（FRI 时钟）可以为空闲低电平或高电平。
2. 执行 SPI 写入以清除 FR_EN。
3. 在切换 TRIG[4] 或 TRIGCLK 之前，至少等待 100ns。
4. 如果要启用 TRIGCLK 输出，请确保 FRI 控制器具有三态的 TRIGCLK，然后再设置 TRIGC_OUT_EN。

Copyright © 2026 Texas Instruments Incorporated

表 7-75. FRI 寄存器

地址	名称	说明
0x0303	FR_NCO_AR	**NCO 累加器复位** [7:4] 保留 [3:0] FR_NCO_AR：提供对 NCO_AR 寄存器的写入访问权限。
0x0320-0x033F	FR_FREQ[0:3]	**NCOn 累加器的频率** [63:0] FR_FREQ[n]：提供对 FREQ 寄存器的写入访问权限。
0x0340-0x0347	FR_PHASE[0:3]	**NCOn 累加器的相位** [15:0] FR_PHASE[n]：提供对 PHASE 寄存器的写入访问权限。
0x0348-0x034F	FR_AMP[0:3]	**DDS 振幅** [15:0] FR_AMP[n]：提供对 AMP 寄存器的写入访问权限。
0x0350-0x035F	FR_FREQS[0:3]	**NCOn 累加器的 32 位频率** [31:0] FR_FREQS[n]：提供对每个 FREQ 寄存器高 32 位的写入访问权限。提供该功能是为了在只需要 32 位分辨率时，允许 FRI 流事务，以在单个事务中更新多个频率。
0x2810-0x2E0F	FR_PFIR_H[767:0]	**FR 可设定 FIR 系数**（默认值：0x0000） [15:0] FR_PFIR_H[n] 当 FR_EN=1 时，对该寄存器的写入会设置 PFIR_H 中的值 **备注** 注意：仅当 SYS_EN=0 且 PFIR_PROG=1 时，才应更改该寄存器。
0x2E10	FR_PFIR_PROG	**FR 可设定 FIR 设定启用**（默认值：0x00） [7:1] 保留 [0] FR_PFIR_PROG：当 FR_EN=1 时，对该寄存器的写入会设置 PFIR_PROG 中的值

Copyright © 2026 Texas Instruments Incorporated

8 寄存器映射

Copyright © 2026 Texas Instruments Incorporated

8.1 Standard_SPI-3.1 寄存器

表 8-1 列出了 Standard_SPI-3.1 寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. STANDARD_SPI-3.1 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x0	CONFIG_A		节 8.1.1
0x2	DEVICE_CONFIG		节 8.1.2
0x3	CHIP_TYPE		节 8.1.3
0x4	CHIP_ID		节 8.1.4
0x6	CHIP_VERSION		节 8.1.5
0xC	VENDOR_ID		节 8.1.6

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. Standard_SPI-3.1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 CONFIG_A 寄存器（偏移 = 0x0）[复位 = 0x30]

CONFIG_A 如表 8-3 所示。

返回到汇总表。

表 8-3. CONFIG_A 寄存器字段说明

位	字段	类型	复位	说明
7	SOFT_RESET	R/W	0x0	设置该位会导致芯片和所有 SPI 寄存器（包括 CONFIG_A）完全复位。该位将自行清零，并且读数始终为零。写入该位后，器件可能需要长达 150ns 的时间才能复位。在此期间，请勿执行任何 SPI 事务。
6	RESERVED	R-0/W	0x0	保留
5	ASCEND	R/W	0x1	地址流方向 0x0 = 在流式读取/写入期间地址递减 0x1 = 在流式读取/写入期间地址递增（默认）
4	SDO_ACTIVE	R	0x1	始终读为 1。
3-0	RESERVED	R/W	0x0	保留

8.1.2 DEVICE_CONFIG 寄存器（偏移 = 0x2）[复位 = 0x00]

表 8-4 中显示了 DEVICE_CONFIG。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-4. DEVICE_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R-0/W	0x0	
2-0	模式	R/W	0x0	指定在 SYS_EN=1 时应用的电源状态。 0x0 = 正常运行 - 所有系统正常运行 0x1 = 应用休眠 – 保持 JESD204C 链路。 0x2 = 链路休眠 – JESD204C 链路层断电时的应用休眠。 0x3 = PHY 休眠 – JESD204C 链路和物理层断电时的应用休眠。 0x4 = 保留 0x5 = 保留 0x6 = 保留 0x7 = PowerDown – 全断电（最低功耗、恢复最慢）。

8.1.3 CHIP_TYPE 寄存器（偏移 = 0x3）[复位 = 0x04]

CHIP_TYPE 如表 8-5 所示。

返回到汇总表。

表 8-5. CHIP_TYPE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0x0	
3-0	CHIP_TYPE	R	0x4	始终返回 0x4，表示该器件是高速 DAC。

8.1.4 CHIP_ID 寄存器（偏移 = 0x4）[复位 = 0x003C]

CHIP_ID 如表 8-6 所示。

返回到汇总表。

表 8-6. CHIP_ID 寄存器字段说明

位	字段	类型	复位	说明
15-0	CHIP_ID	R	0x3C	将芯片标识为 DAC39RF20 系列

8.1.5 CHIP_VERSION 寄存器（偏移 = 0x6）[复位 = 0x01]

CHIP_VERSION 如表 8-7 所示。

返回到汇总表。

表 8-7. CHIP_VERSION 寄存器字段说明

位	字段	类型	复位	说明
7-0	CHIP_VERSION	R	0x1	设备版本： 0x01：DAC39RF20 PG1

8.1.6 VENDOR_ID 寄存器（偏移 = 0xC）[复位 = 0x0451]

VENDOR_ID 如表 8-8 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-8. VENDOR_ID 寄存器字段说明

位	字段	类型	复位	说明
15-0	VENDOR_ID	R/W	0x451	始终返回 0x0451（TI 供应商 ID）。

Copyright © 2026 Texas Instruments Incorporated

8.2 系统寄存器

表 8-9 列出了系统寄存器的存储器映射寄存器。表 8-9 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-9. SYSTEM 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x20	SYS_EN		节 8.2.1
0x21	FR_EN		节 8.2.2
0x22	PWR_RAMP		节 8.2.3
0x23	PWR_IDLE		节 8.2.4
0x24	CMOS_BOOST		节 8.2.5
0x25	TX_EN_SEL		节 8.2.6
0x26	TX_EN		节 8.2.7
0x27	TX_PIN_FUNC		节 8.2.8
0x28	SYNCB_PIN_FUNC		节 8.2.9
0x2A	APP_SLEEP0		节 8.2.10
0x2B	APP_SLEEP1		节 8.2.11
0x2C	APP_SLEEP0_EN		节 8.2.12

复杂的位访问类型经过编码可适应小型表单元。表 8-10 展示了适用于此部分中访问类型的代码。

表 8-10. 系统访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.2.1 SYS_EN 寄存器（偏移 = 0x20）[复位 = 0x00]

SYS_EN 如表 8-11 所示。

返回到汇总表。

表 8-11. SYS_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	SYS_EN	R/W	0x0	当 SYS_EN=0 时，所有从 DAC 时钟运行的电路（除了熔丝控制器）被保持在复位状态。时钟关闭以省电。LMFC/LEMC 计数器也保持在复位状态，因此 SYSREF 不会对齐 LMFC/LEMC。 注释：仅当 FUSE_DONE=1 时，才应将该寄存器从 0 更改为 1。 注释：如果 CPLL_EN=1，则在 CPLL_LOCKED=1 之前不应设置该位。 0x0 = 禁用系统运行 0x1 = 启用系统运行

Copyright © 2026 Texas Instruments Incorporated

8.2.2 FR_EN 寄存器（偏移 = 0x21）[复位 = 0x00]

FR_EN 如表 8-12 所示。

返回到汇总表。

表 8-12. FR_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	FR_EN	R/W	0x0	FRI 利用 TRIG 引脚，使其不可用于触发 DSP。用户可以使用 TX_PIN_FUNC 或 SYNCB_PIN_FUNC 将其他引脚作为触发输入分配。 注意：在更改 FR_EN 之前和之后，TRIGCLK 输入应是静态的，TRIG[4] 应保持高电平 30ns。 注意：仅当 FRI 接口空闲时，才应更改该寄存器。 0x0 = 禁用 FRI。PFIR 和 NCO 参数通过 SPI 控制。 0x1 = 启用 FRI。PFIR 和 NCO 参数通过 FRI 控制。

8.2.3 PWR_RAMP 寄存器（偏移 = 0x22）[复位 = 0x00]

PWR_RAMP 如表 8-13 所示。

返回到汇总表。

表 8-13. PWR_RAMP 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	
1-0	PWR_RAMP	R/W	0x0	该寄存器控制在启用数字元件时设计如何斜升功率。使用该寄存器可避免大浪涌电流。较高的设置将减小浪涌电流。设计将由于以下操作中的任一个将功率斜升： 1) 设置 SYS_EN=1 2) 将 MODE 调整到更高的功耗状态 3) 使用引脚退出 APP 睡眠模式（请参阅 TX_PIN_FUNC / SYNCB_PIN_FUNC） 4) 通过 APP_SLEEP0/1 功能让元件退出睡眠模式。 所有功耗区的最大波动时间： 0：4376 DACCLK 周期 1：20256 DACCLK 周期 2：252576 DACCLK 周期 3：3969696 个 DACCLK 周期

8.2.4 PWR_IDLE 寄存器（偏移 = 0x23）[复位 = 0x0X]

PWR_IDLE 如表 8-14 所示。

返回到汇总表。

表 8-14. PWR_IDLE 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0	0x0	
0	PWR_IDLE	R	X	当功率控制器处于空闲状态（没有处于打开或关闭过程中的功耗区）时，此项会返回 1。该位也可驱动至 ALARM 引脚。请参阅 ALARM_TSEL。

Copyright © 2026 Texas Instruments Incorporated

8.2.5 CMOS_BOOST 寄存器（偏移 = 0x24）[复位 = 0x00]

CMOS_BOOST 如表 8-15 所示。

返回到汇总表。

表 8-15. CMOS_BOOST 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	
1	TRIGC_BOOST	R/W	0x0	启用 TRIGCLK 输出的升压特性。仅当 TRIGCLK 配置为输出引脚时有效。
0	SDO_BOOST	R/W	0x0	启用 SDO 输出的升压特性。

8.2.6 TX_EN_SEL 寄存器（偏移 = 0x25）[复位 = 0x00]

TX_EN_SEL 如表 8-16 所示。

返回到汇总表。

表 8-16. TX_EN_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3	IDLE_STATIC	R/W	0x0	选择禁用传输时 DAC 使用的方法（通过 txenable 或 TX_EN） 0x0 = 动态空闲：将 DEM/抖动电路的输入静音，并强制打开 DEM/抖动电路。这在 DAC 内部实现平衡的老化，但会增加开关噪声并略微增加功耗。启用/禁用传输的延迟稍大。 0x1 = 静态空闲：（默认）向 DAC 应用静态采样。这会导致一定的不平衡老化，但开关噪声和功耗较低。启用/禁用传输的延迟较小（请参阅“传输使能 A/C 规格”）。
2-0	RESERVED	R-0/W	0x0	

8.2.7 TX_EN 寄存器（偏移 = 0x26）[复位 = 0x00]

TX_EN 如表 8-17 所示。

返回到汇总表。

表 8-17. TX_EN 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	
1	TX_EN1	R/W	0x0	如果为低电平，则根据 IDLE_STATIC 将 DACB 静音。
0	TX_EN0	R/W	0x0	如果为低电平，则根据 IDLE_STATIC 将 DACA 静音。

8.2.8 TX_PIN_FUNC 寄存器（偏移 = 0x27）[复位 = 0x00]

TX_PIN_FUNC 如表 8-18 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-18. TX_PIN_FUNC 寄存器字段说明

位	字段	类型	复位	说明
7-4	TX_PIN_FUNC1	R/W	0x0	定义 TXENABLE[1] 引脚的功能。当该引脚为低电平时会应用这些操作。 注意：这些设置可与 TRIG_TYPEx=4 搭配使用。它们提供备用引脚来驱动触发器系统，但不影响 FRI 接口（FRI 接口始终使用物理 TRIG 引脚）。如果将多个引脚配置为同一 TRIG[x] 引脚的备用输入，则行为未定义。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = 忽略引脚（默认） 0x1 = 根据 IDLE_STATIC 值将 DACA 静音。引脚为低电平有效。 0x2 = 根据 IDLE_STATIC 值将 DACB 静音。引脚为低电平有效。 0x3 = 根据 IDLE_STATIC 值将 DACA 和 DACB 静音。引脚为低电平有效。 0x4 = 根据 APP_SLEEP 休眠整个应用层。引脚为低电平有效。 0x5 = 根据 APP_SLEEP0 休眠整个应用层。引脚为低电平有效。 0x6 = 根据 APP_SLEEP1 休眠整个应用层。引脚为低电平有效。 0x7 = 引脚应用 DAC_SRC_ALT0 绑定。低电平有效。 0x8 =应用 DAC_SRC_ALT1 绑定。引脚为低电平有效。 0x9 =应用 DAC_SRC_ALT0 和 DAC_SRC_ALT1 绑定。引脚为低电平有效。 0xA = TRIG[0] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xB = TRIG[1] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xC = TRIG[2] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xD = 保留 0xE = 屏蔽超范围事件。引脚为低电平有效。 0xF = 保留
3-0	TX_PIN_FUNC0	R/W	0x0	定义 TXENABLE[0] 引脚的功能。当该引脚为低电平时会应用这些操作。 注意：这些设置可与 TRIG_TYPEx=4 搭配使用。它们提供备用引脚来驱动触发器系统，但不影响 FRI 接口（FRI 接口始终使用物理 TRIG 引脚）。如果将多个引脚配置为同一 TRIG[x] 引脚的备用输入，则行为未定义。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = 忽略引脚（默认） 0x1 = 根据 IDLE_STATIC 值将 DACA 静音。引脚为低电平有效。 0x2 = 根据 IDLE_STATIC 值将 DACB 静音。引脚为低电平有效。 0x3 = 根据 IDLE_STATIC 值将 DACA 和 DACB 静音。引脚为低电平有效。 0x4 = 根据 APP_SLEEP 休眠整个应用层。引脚为低电平有效。 0x5 = 根据 APP_SLEEP0 休眠整个应用层。引脚为低电平有效。 0x6 = 根据 APP_SLEEP1 休眠整个应用层。引脚为低电平有效。 0x7 =应用 DAC_SRC_ALT0 绑定。引脚为低电平有效。 0x8 =应用 DAC_SRC_ALT1 绑定。引脚为低电平有效。 0x9 =应用 DAC_SRC_ALT0 和 DAC_SRC_ALT1 绑定。引脚为低电平有效。 0xA = TRIG[0] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xB = TRIG[1] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xC = TRIG[2] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xD = 保留 0xE = 屏蔽超范围事件。引脚为低电平有效。 0xF = 保留

Copyright © 2026 Texas Instruments Incorporated

8.2.9 SYNCB_PIN_FUNC 寄存器（偏移 = 0x28）[复位 = 0x00]

SYNCB_PIN_FUNC 如表 8-19 所示。

返回到汇总表。

表 8-19. SYNCB_PIN_FUNC 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	SYNCB_PIN_FUNC	R/W	0x0	定义了 JENC=1 (64b/66b) 时 SYNCB 引脚的功能。当 JENC=0 (8b/10b) 时，该寄存器无效（SYNCB 由 JESD 接口使用）。 当该引脚为低电平时会应用这些操作。注意：这些设置可与 TRIG_TYPEx=4 搭配使用。 它们提供备用引脚来驱动触发器系统，但不影响 FRI 接口（FRI 接口始终使用物理 TRIG 引脚）。如果将多个引脚配置为同一 TRIG[x] 引脚的备用输入，则行为未定义。 如果未使用 JESD 接口，则所有 DSP 都处于 DDS 模式且 JESD_M=0。但是，您仍必须设置 JENC=1 才能允许 SYNCB 引脚用作输入信号。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = 忽略引脚（默认） 0x1 = 根据 IDLE_STATIC 值将 DACA 静音。引脚为低电平有效。 0x2 = 根据 IDLE_STATIC 值将 DACB 静音。引脚为低电平有效。 0x3 = 根据 IDLE_STATIC 值将 DACA 和 DACB 静音。引脚为低电平有效。 0x4 = 根据 APP_SLEEP 休眠整个应用层。引脚为低电平有效。 0x5 = 根据 APP_SLEEP0 休眠整个应用层。引脚为低电平有效。 0x6 = 根据 APP_SLEEP1 休眠整个应用层。引脚为低电平有效。 0x7 =应用 DAC_SRC_ALT0 绑定。引脚为低电平有效。 0x8 =应用 DAC_SRC_ALT1 绑定。引脚为低电平有效。 0x9 =应用 DAC_SRC_ALT0 和 DAC_SRC_ALT1 绑定。引脚为低电平有效。 0xA = TRIG[0] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xB = TRIG[1] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xC = TRIG[2] 的替代输入。可与设置为 4 的 TRIG_TYPEx 搭配使用。 0xD = 保留 0xE = 屏蔽超范围事件。引脚为低电平有效。 0xF = 保留

8.2.10 APP_SLEEP0 寄存器（偏移 = 0x2A）[复位 = 0x00]

APP_SLEEP0 如 表 8-20 所示。

返回到汇总表。

表 8-20. APP_SLEEP0 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-20. APP_SLEEP0 寄存器字段说明（续）

位	字段	类型	复位	说明
5	DACB_SLEEP0	R/W	0x0	这些位控制在引脚或寄存器激活 APP_SLEEP0 功能时将哪些元件置于睡眠状态（请参阅 TX_PIN_FUNC、SYNCB_PIN_FUNC、APP_SLEEP0_EN）。 注意：当 APP_SLEEP0/APP_SLEEP1 功能停用时，元件将逐渐重新启用，以防止电源欠压。 注意：当 MODE 寄存器为 1 或更高时，整个应用层处于睡眠状态，因此该寄存器无效。 注意：当 PFIR 为 DSP 输入生成样本时，PFIR 通道在 DSP 通道处于睡眠状态时处于睡眠状态。 注意：当 PFIR 为编码器生成样本时，PFIR 通道在编码器处于睡眠状态时处于睡眠状态： 注意：当 PFIR 通道 0 正在向两个编码器广播时，仅在两个编码器都处于睡眠状态的情况下，PFIR 才处于睡眠状态（请参阅 PFIR_BC）。 当 APP_SLEEP0 功能激活时，DACB 静音（根据 IDLE_STATIC），编码器 1 处于睡眠状态。 当 DSP 处于睡眠状态时，如果 MODE 寄存器配置为正常运行，它仍然可以处理触发事件。
4	DACA_SLEEP0	R/W	0x0	当 APP_SLEEP0 功能激活时，DACA 被静音（根据 IDLE_STATIC），并且相关的编码器处于睡眠状态。 注意：如果 APP_SLEEP0 和 APP_SLEEP1 功能同时处于活动状态，则任一功能请求元件（逻辑或）时，元件处于睡眠状态。
3	DSP3_SLEEP0	R/W	0x0	当 APP_SLEEP0 功能激活时，DSP 通道 3 处于睡眠状态。
2	DSP2_SLEEP0	R/W	0x0	当 APP_SLEEP0 功能激活时，DSP 通道 2 处于睡眠状态。
1	DSP1_SLEEP0	R/W	0x0	当 APP_SLEEP0 功能激活时，DSP 通道 1 处于睡眠状态。
0	DSP0_SLEEP0	R/W	0x0	当 APP_SLEEP0 功能激活时，DSP 通道 0 处于睡眠状态。

8.2.11 APP_SLEEP1 寄存器（偏移 = 0x2B）[复位 = 0x00]

APP_SLEEP1 如 表 8-21 所示。

返回到汇总表。

表 8-21. APP_SLEEP1 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5	DACB_SLEEP1	R/W	0x0	当 APP_SLEEP1 功能激活时，DACB 被静音（根据 IDLE_STATIC），并且相关的编码器处于睡眠状态。请参阅 APP_SLEEP0 的说明。
4	DACA_SLEEP1	R/W	0x0	当 APP_SLEEP1 功能激活时，DACA 被静音（根据 IDLE_STATIC），并且编码器 0 处于睡眠状态。
3	DSP3_SLEEP1	R/W	0x0	当 APP_SLEEP1 功能激活时，DSP 通道 3 处于睡眠状态。
2	DSP2_SLEEP1	R/W	0x0	当 APP_SLEEP1 功能激活时，DSP 通道 2 处于睡眠状态。
1	DSP1_SLEEP1	R/W	0x0	当 APP_SLEEP1 功能激活时，DSP 通道 1 处于睡眠状态。
0	DSP0_SLEEP1	R/W	0x0	当 APP_SLEEP1 功能激活时，DSP 通道 0 处于睡眠状态。

8.2.12 APP_SLEEP0_EN 寄存器（偏移 = 0x2C）[复位 = 0x00]

APP_SLEEP0_EN 如 表 8-22 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-22. APP_SLEEP0_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	APP_SLEEP0_EN	R/W	0x0	设置后，根据 APP_SLEEP0 寄存器，元件将进入睡眠状态。当需要对应用程序睡眠进行精细控制，但不需要专用引脚来激活时，可使用此选项。您可以保留该寄存器设置并修改 APP_SLEEP0 寄存器以动态休眠/唤醒元件（当 SYS_EN=1 时）。

Copyright © 2026 Texas Instruments Incorporated

8.3 触发寄存器

表 8-23 列出了触发寄存器的存储器映射寄存器。表 8-23 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-23. TRIGGER 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x40	TRIGC_DIV		节 8.3.1
0x41	TRIGC_OUT_EN		节 8.3.2
0x42	TRIG_TYPE		节 8.3.3
0x44	TRIG_SPI		节 8.3.4
0x45	TRIG_SEL		节 8.3.5
0x4F	DSP_TRIG_DET		节 8.3.6
0x50	FRS_R		节 8.3.7

复杂的位访问类型经过编码可适应小型表单元。表 8-24 展示了适用于此部分中访问类型的代码。

表 8-24. 触发访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.3.1 TRIGC_DIV 寄存器（偏移 = 0x40）[复位 = 0x7F]

TRIGC_DIV 如表 8-25 所示。

返回到汇总表。

表 8-25. TRIGC_DIV 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-0	TRIGC_DIV	R/W	0x7F	$F_{TRIGCLK} = F_{DACCLK} / 32 / (TRIGC_DIV+1)$ 注意：应设定 TRIGC_DIV，以将触发时钟频率保持在 200MHz 以下。

8.3.2 TRIGC_OUT_EN 寄存器（偏移 = 0x41）[复位 = 0x00]

TRIGC_OUT_EN 如表 8-26 所示。

返回到汇总表。

表 8-26. TRIGC_OUT_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-26. TRIGC_OUT_EN 寄存器字段说明（续）

位	字段	类型	复位	说明
0	TRIGC_OUT_EN	R/W	0x0	当 SYS_EN = 1 时，在 TRIGCLK 输出端上驱动触发时钟。 注意：至少一个 TRIG_TYPEn 必须为 4 才能使 TRIGCLK 正常运行。 注意：当 FR_EN=1 时，TRIGC_OUT_EN 被忽略并被视为等于 0。

8.3.3 TRIG_TYPE 寄存器（偏移 = 0x42）[复位 = 0x0000]

TRIG_TYPE 如表 8-27 所示。

返回到汇总表。

表 8-27. TRIG_TYPE 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R-0/W	0x0	
14-12	TRIG_TYPE3	R/W	0x0	TRIG_TYPEn 选择用于 DSPn 的触发器类型。每个 DSP 通道可以具有唯一的触发类型。有关 DSP 触发时将发生哪些操作的更多信息，请参阅 DSP 触发。某些触发类型需要用户设定 TRIG_SELn，以便为 DSPn 选择触发指数。 注意：JESD204C LSB 位即使用于触发器，仍会传递到 DUC 输入（或 DDS 流功能）。这对 DUC 输入的影响可以忽略不计。使用 DDS 流时，如果 TRIG_TYPEn=3，仅支持 STREAM_MODEn=1。注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = SPI 即时 - TRIG_SPI[TRIG_SELn] 上的上升沿将立即触发 DSPn 操作。 0x1 = SYSREF 单次触发 - TRIG_SPI[TRIG_SELn] 上的上升沿将在下一个 SYSREF 上升沿触发 DSPn 操作。 0x2 = SYSREF 连续 - 当 TRIG_SPI[TRIG_SELn] 为高电平时，每个 SYSREF 上升沿都将触发 DSPn 操作。 0x3 = JESD204C LSB - 当 TRIG_SPI[TRIG_SELn] 为高电平时，来自流 0 的 JESD204C 样本的 LSB 将触发 DSPn 操作。要启动触发事件，LSB 必须在 4 个连续样本中为低电平，然后在 4 个连续样本中为高电平。仅当 DDS0 的 DDS 振幅流被禁用时，该设置才与 DDS 流模式兼容（请参阅 DSP_MODE 和 AMP_STREAM）。 0x4 = TRIG[TRIG_SELn] 上的上升沿将触发 DSPn 操作。如果启用了 FRI 接口，TRIG 引脚将不可用，但其他引脚可以映射到此功能（请参阅 TX_PIN_FUNC、SYNCB_PIN_FUNC）。 0x5 = 如果设置了 FRS，则由 frcs_n 的上升沿触发 DSPn 0x6 = 如果设置了 FRS，则由 trig_c 的上升沿触发 DSPn，此后是 frcs_n 的上升沿（单次触发）。 0x7 = 保留
11	RESERVED	R-0/W	0x0	
10-8	TRIG_TYPE2	R/W	0x0	请参阅 TRIG_TYPE3 说明
7	RESERVED	R-0/W	0x0	
6-4	TRIG_TYPE1	R/W	0x0	请参阅 TRIG_TYPE3 说明
3	RESERVED	R-0/W	0x0	
2-0	TRIG_TYPE0	R/W	0x0	请参阅 TRIG_TYPE3 说明

8.3.4 TRIG_SPI 寄存器（偏移 = 0x44）[复位 = 0x00]

TRIG_SPI 如表 8-28 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-28. TRIG_SPI 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	TRIG_SPI	R/W	0x0	这些位用于触发或启用 DSP 通道的触发源。TRIG_TYPEn 寄存器决定使用 TRIG_SPI 的方式。TRIG_SPI[TRIG_SELn] 影响 DSPn。请参见 DSP 触发。 注意：根据 TRIG_TYPE 的设置，这些寄存器位对边沿或电平敏感。

8.3.5 TRIG_SEL 寄存器（偏移 = 0x45）[复位 = 0x00]

TRIG_SEL 如表 8-29 所示。

返回到汇总表。

表 8-29. TRIG_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-6	TRIG_SEL3	R/W	0x0	确定哪个 TRIG_SPI 位或哪个外部触发器 (TRIG) 绑定到 DSP 通道 3
5-4	TRIG_SEL2	R/W	0x0	确定哪个 TRIG_SPI 位或哪个外部触发器 (TRIG) 绑定到 DSP 通道 2
3-2	TRIG_SEL1	R/W	0x0	确定哪个 TRIG_SPI 位或哪个外部触发器 (TRIG) 绑定到 DSP 通道 1
1-0	TRIG_SEL0	R/W	0x0	确定哪个 TRIG_SPI 位或哪个外部触发器 (TRIG) 绑定到 DSP 通道 0

8.3.6 DSP_TRIG_DET 寄存器（偏移 = 0x4F）[复位 = 0x00]

DSP_TRIG_DET 如表 8-30 所示。

返回到汇总表。

表 8-30. DSP_TRIG_DET 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留
0	DSP_TRIG_DET	R/W1C	0x0	只要一个或多个 DSP 接收到触发事件，就会设置该位。写入 1 以进行清除。

8.3.7 FRS_R 寄存器（偏移 = 0x50）[复位 = 0xXX]

FRS_R 如表 8-31 所示。

返回到汇总表。

表 8-31. FRS_R 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	X	保留
0	FRS_R	R	X	这为最后一个 FRI 事务中的 FRS 值提供了回读。

Copyright © 2026 Texas Instruments Incorporated

8.4 CPLL_AND_CLOCK 寄存器

表 8-32 列出了 CPLL_AND_CLOCK 寄存器的存储器映射寄存器。表 8-32 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-32. CPLL_AND_CLOCK 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x80	CLK_SLOW		节 8.4.1
0x82	NOISEREDUCE_CLK		节 8.4.2
0x84	DES_LOOP_EN		节 8.4.3
0x85	DES_LOOP_BW		节 8.4.4
0x8A	CPLL_EN		节 8.4.5
0x8B	CPLL_MPY		节 8.4.6
0x8F	CPLL_LOCKED		节 8.4.7
0x90	CPLL_LPF_OVR		节 8.4.8
0x92	CPLL_LPF_R1		节 8.4.9
0x93	CPLL_LPF_R2		节 8.4.10
0x98	CPLL_STATUS		节 8.4.11
0x99	CPLL_STATUS2		节 8.4.12

复杂的位访问类型经过编码可适应小型表单元。表 8-33 展示了适用于此部分中访问类型的代码。

表 8-33. CPLL_AND_CLOCK 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.4.1 CLK_SLOW 寄存器（偏移 = 0x80）[复位 = 0x00]

CLK_SLOW 如表 8-34 所示。

返回到汇总表。

表 8-34. CLK_SLOW 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留
0	CLK_SLOW	R/W	0x0	当 DEVCLK 频率低于 3GHz 时，设置该位。

8.4.2 NOISEREDUCE_CLK 寄存器（偏移 = 0x82）[复位 = 0x03]

NOISEREDUCE_CLK 如表 8-35 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-35. NOISEREDUCE_CLK 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	
1	NOISEREDUCE_CLKDIST_EN	R/W	0x1	减少时钟发生器电源 (VDDCLK08) 上的噪声。
0	NOISEREDUCE_CLKGEN_EN	R/W	0x1	减少时钟分配电源 (AVDDCLK) 上的噪声。

8.4.3 DES_LOOP_EN 寄存器（偏移 = 0x84）[复位 = 0x00]

DES_LOOP_EN 如表 8-36 所示。

返回到汇总表。

表 8-36. DES_LOOP_EN 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	保留
1	DES_LOOP_EN1	R/W	0x0	DES_LOOP_EN1 启用 DACB 的 DES 校正环路。这可能会降低 DES 模式下 FDAC-FOUT 图像的振幅
0	DES_LOOP_EN0	R/W	0x0	DES_LOOP_EN0 启用 DACA 的 DES 校正环路。这可能会降低 DES 模式下 FDAC-FOUT 图像的振幅

8.4.4 DES_LOOP_BW 寄存器（偏移 = 0x85）[复位 = 0x00]

DES_LOOP_BW 如表 8-37 所示。

返回到汇总表。

表 8-37. DES_LOOP_BW 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	保留
1-0	DES_LOOP_BW	R/W	0x0	调整 DES 校正环路的带宽。两个 DAC 通道都会受影响。最低值具有最佳稳定性，但噪声更高。

8.4.5 CPLL_EN 寄存器（偏移 = 0x8A）[复位 = 0x00]

CPLL_EN 如表 8-38 所示。

返回到汇总表。

表 8-38. CPLL_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	CPLL_EN	R/W	0x0	在高电平时启用转换器 PLL。

8.4.6 CPLL_MPY 寄存器（偏移 = 0x8B）[复位 = 0x000A]

CPLL_MPY 如表 8-39 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-39. CPLL_MPY 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R-0/W	0x0	
7-0	CPLL_MPY	R/W	0xA	指定 PHY 的 PLL 倍频器。请参阅“CPLL 控制”。允许的值为 8 到 99。 $F_{DACCLK} = F_{REF} * CPLL_MPY$

8.4.7 CPLL_LOCKED 寄存器（偏移 = 0x8F）[复位 = 0x0X]

CPLL_LOCKED 如表 8-40 所示。

返回到汇总表。

表 8-40. CPLL_LOCKED 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0	0x0	
0	CPLL_LOCKED	R	X	如果 CPLL 锁定，则该位返回 1

8.4.8 CPLL_LPF_OVR 寄存器（偏移 = 0x90）[复位 = 0x10]

CPLL_LPF_OVR 如表 8-41 所示。

返回到汇总表。

表 8-41. CPLL_LPF_OVR 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0x4	仅供 TI 使用。保留为默认值。
1	CPLL_LPF_OVR	R/W	0x0	允许对寄存器 CPLL_LPF_R1 和 CPLL_LPF_R2 中的 LPF 设置进行控制。
0	RESERVED	R/W	0x0	仅供 TI 使用。保留为默认值。

8.4.9 CPLL_LPF_R1 寄存器（偏移 = 0x92）[复位 = 0x30]

CPLL_LPF_R1 如 表 8-42 所示。

返回到汇总表。

表 8-42. CPLL_LPF_R1 寄存器字段说明

位	字段	类型	复位	说明
7-0	CPLL_LPF_R1	R/W	0x30	控制 PLL 环路带宽和相位裕度

8.4.10 CPLL_LPF_R2 寄存器（偏移 = 0x93）[复位 = 0x40]

CPLL_LPF_R2 如 表 8-43 所示。

返回到汇总表。

表 8-43. CPLL_LPF_R2 寄存器字段说明

位	字段	类型	复位	说明
7-0	CPLL_LPF_R2	R/W	0x40	控制 PLL 环路带宽和相位裕度

Copyright © 2026 Texas Instruments Incorporated

8.4.11 CPLL_STATUS 寄存器（偏移 = 0x98）[复位 = 0x00]

CPLL_STATUS 如表 8-44 所示。

返回到汇总表。

表 8-44. CPLL_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0	0x0	
0	CPLL_LOCK_LOST	R/W1C	0x0	只要 LOCK 信号为低电平，就会设置此位。这是一个粘滞位（即使 CPLL 获得锁定也保持置位状态）。写入 1 表示清除。这用于调试目的，并允许 SPI 监测 CPLL 是否失去锁定（即使短暂失去锁定）。

8.4.12 CPLL_STATUS2 寄存器（偏移 = 0x99）[复位 = 0xXX]

CPLL_STATUS2 如 表 8-45 所示。

返回到汇总表。

表 8-45. CPLL_STATUS2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0	0x0	
5	CPLL_NO_LOCK	R	X	这表示 CPLL 已完成校准，但无法保持或维持稳定锁定。如果实现了锁定，但随后持续丢失（可能是由于参考时钟频率的变化），也会发生这种情况。
4	CPLL_CORE_GAP	R	X	如果 CPLL 检测到内核之间的频差，则返回 1。
3	CPLL_REF_SLOW	R	X	如果 CPLL 基准时钟太慢以至于 CPLL 无法锁定，则返回 1。如果发生这种情况，请验证 CPLL_MPY 的设定。
2	CPLL_REF_FAST	R	X	如果 CPLL 基准时钟过快而无法锁定 CPLL，则返回 1。如果发生这种情况，请验证 CPLL_MPY 的设定。
1	CPLL_VCAL_DONE	R	X	返回 1 以指示 CPLL 校准已完成。
0	RESERVED	R-0	0x0	

Copyright © 2026 Texas Instruments Incorporated

8.5 SYSREF 寄存器

表 8-46 列出了 SYSREF 寄存器的存储器映射寄存器。表 8-46 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-46. SYSREF 寄存器

偏移	首字母缩写词	寄存器名称	部分
0xA0	SYSREF_ALIGN		节 8.5.1
0xA2	SYSREF_CALTRK		节 8.5.2
0xA3	SYSREF_RX_EN		节 8.5.3
0xA4	SYSREF_PROC_EN		节 8.5.4
0xA5	SRCAL_CTRL		节 8.5.5
0xB0	TADJ		节 8.5.6
0xB3	TSYS		节 8.5.7
0xC0	TADJ_CAL		节 8.5.8
0xC3	TSYS_CAL		节 8.5.9
0xDE	SRCAL_FREEZE		节 8.5.10
0xDF	SRCAL_STAT		节 8.5.11
0xFF	SYNC_STATUS		节 8.5.12

复杂的位访问类型经过编码可适应小型表单元。表 8-47 展示了适用于此部分中访问类型的代码。

表 8-47. SYSREF 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.5.1 SYSREF_ALIGN 寄存器（偏移 = 0xA0）[复位 = 0x00]

SYSREF_ALIGN 如表 8-48 所示。

返回到汇总表。

表 8-48. SYSREF_ALIGN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留
0	SYSREF_ALIGN_EN	R/W	0x0	如果设置该位，芯片会重新对齐每个检测到的 SYSREF 边沿。这会影响外部时钟分频器和所有外部时钟。如果未设置该位，芯片将不会重新对齐任何 SYSREF 边沿，并且 JESD204C 链路不会因未对齐的 SYSREF 边沿而重启。

Copyright © 2026 Texas Instruments Incorporated

8.5.2 SYSREF_CALTRK 寄存器（偏移 = 0xA2）[复位 = 0x74]

SYSREF_CALTRK 如表 8-49 所示。

返回到汇总表。

表 8-49. SYSREF_CALTRK 寄存器字段说明

位	字段	类型	复位	说明
7-6	SRCAL_AVG	R/W	0x1	指定用于 SYSREF 校准的平均值计算量。大值会增加校准时间并减少校准值的变化。 0x0 = 4 个累积 0x1 = 16 个累积 0x2 = 64 个累积 0x3 = 256 个累积
5	SRTRK_EN	R/W	0x1	设置后，校准完成后允许运行跟踪。清零后，校准后不运行跟踪。这可以用于禁用跟踪，既可以测量跟踪产生的噪声影响，也能避免跟踪功能异常引发问题。
4	SRTRK_HYST_EN	R/W	0x1	设置后，低速跟踪累加器必须处于其最小值或最大值的 2^{SRTRK_AVG+1} 范围内，跟踪功能才会执行调整。请参阅“跟踪”。
3-2	SRTRK_AVG	R/W	0x1	指定用于 SYSREF 跟踪的平均值计算量。数值越大，跟踪速率越低，且跟踪失败的概率越高。 0x0 = 16 个累积 0x1 = 64 个累积 0x2 = 256 个累积 0x3 = 1024 个累积
1-0	SRTRK_STEP	R/W	0x0	指定用于 SYSREF 跟踪的步长。数值越大，跟踪速率越高，跟踪成功的可能性越大，但也可能增加跟踪过程中的延迟变化。 0x0 = 每次更改 32 个 LSB 步长 0x1 = 每次更改 64 个 LSB 步长 0x2 = 每次更改 256 个 LSB 步长 0x3 = 每次更改 1024 个 LSB 步长

8.5.3 SYSREF_RX_EN 寄存器（偏移 = 0xA3）[复位 = 0x00]

SYSREF_RX_EN 如表 8-50 所示。

返回到汇总表。

表 8-50. SYSREF_RX_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留
0	SYSREF_RX_EN	R/W	0x0	设置该位可使能 SYSREF 接收器电路。在清零该位之前，用户应始终将 SYSREF_PROC_EN 清零。 注意：仅当 CPLL_EN=0 时才应设置该位。

8.5.4 SYSREF_PROC_EN 寄存器（偏移 = 0xA4）[复位 = 0x00]

SYSREF_PROC_EN 如表 8-51 所示。

返回到汇总表。

表 8-51. SYSREF_PROC_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

表 8-51. SYSREF_PROC_EN 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SYSREF_PROC_EN	R/W	0x0	该位设置后可启用 SYSREF 处理器。启用此功能后，系统将接收并处理每个新的 SYSREF 边沿。设置该位之前，用户应始终将 SYSREF_RX_EN 清零。提供该位是为了在允许 SYSREF 变为数字之前，使 SYSREF 接收器稳定下来。

8.5.5 SRCAL_CTRL 寄存器（偏移 = 0xA5）[复位 = 0x00]

SRCAL_CTRL 如表 8-52 所示。

返回到汇总表。

表 8-52. SRCAL_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留
0	SRCAL_EN	R/W	0x0	清零后，内部 SYSREF 校准和跟踪引擎将复位，并且 SYSREF_CAL_DONE 将被清零。设置该位将允许运行 SYSREF 校准和跟踪。

8.5.6 TADJ 寄存器（偏移 = 0xB0）[复位 = 0x000000]

表 8-53 中显示了 TADJ。

返回到汇总表。

表 8-53. TADJ 寄存器字段说明

位	字段	类型	复位	说明
23	CALCLK_INV	R/W	0x0	设置后，会对时钟输入进行反相处理。 注意：该寄存器仅在 SRCAL_EN=0 时有效。
22-19	RESERVED	R-0/W	0x0	保留
18-0	TADJ	R/W	0x0	这定义了当 SYSREF 校准被禁用 (SRCAL_EN=0) 时的 DEVCLK 延迟调整。有关编码说明，请参阅“时序调整块”。 注意：该寄存器仅在 SRCAL_EN=0 时有效。

8.5.7 TSYS 寄存器（偏移 = 0xB3）[复位 = 0x040000]

表 8-54 中显示了 TSYS。

返回到汇总表。

表 8-54. TSYS 寄存器字段说明

位	字段	类型	复位	说明
23-19	RESERVED	R-0/W	0x0	保留
18-0	TSYS	R/W	0x00040000	这定义了当 SYSREF 跟踪被禁用（SRCAL_EN=0 或 SRTRK_EN=0）时的 SYSREF 延迟调整。有关编码说明，请参阅“时序调整块”。 注意：注意：仅当 SRCAL_EN=0 或 SRTRK_EN=0 时，才应更改该寄存器。

8.5.8 TADJ_CAL 寄存器（偏移 = 0xC0）[复位 = 0xXXXXXX]

TADJ_CAL 如表 8-55 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-55. TADJ_CAL 寄存器字段说明

位	字段	类型	复位	说明
23	CALCLK_INV_CAL	R	X	该寄存器字段本应存储时钟反相校准值，但由于错误始终返回零。CALCLK_INV 在校准程序中正常工作。
22-19	RESERVED	R-0	0x0	保留
18-0	TADJ_CAL	R	X	这将返回 SYSREF 校准生成的 CLK 延迟调整的快照。 注意：该寄存器仅在 SRCAL_EN=1 时有效。 注意：仅当 SRCAL_FREEZE=1 或 SYSREF_CAL_DONE=1 时，才应读取该寄存器。

8.5.9 TSYS_CAL 寄存器（偏移 = 0xC3）[复位 = 0x0XXXXX]

TSYS_CAL 如 表 8-56 所示。

返回到汇总表。

表 8-56. TSYS_CAL 寄存器字段说明

位	字段	类型	复位	说明
23-19	RESERVED	R-0	0x0	保留
18-0	TSYS_CAL	R	X	这将返回 SYSREF 跟踪生成的 SYSREF 延迟调整的快照。 注意：该寄存器仅在 SRCAL_EN=1 和 SRTRK_EN=1 时有效。 注意：仅当 SRCAL_FREEZE=1 时，才应读取该寄存器。

8.5.10 SRCAL_FREEZE 寄存器（偏移 = 0xDE）[复位 = 0x00]

SRCAL_FREEZE 如 表 8-57 所示。

返回到汇总表。

表 8-57. SRCAL_FREEZE 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留
0	SRCAL_FREEZE	R/W	0x0	设置后，TADJ_CAL 和 TSYS_CAL 将冻结在其当前值，以便进行读取。校准和跟踪算法将继续运行。 在设置该位之后，用户必须等待至少 24 个 SYSREF 周期，才能尝试读取 TADJ_CAL 或 TSYS_CAL。将此位清零后，它必须保持低电平超过 8 个 SYSREF 周期，以确保数据进行更新。 仅当 SRCAL_EN=1 时，该寄存器才有效。 注意：TADJ_CAL 和 TSYS_CAL 的冻结值不具备抗干扰能力。

8.5.11 SRCAL_STAT 寄存器（偏移 = 0xDF）[复位 = 0x0X]

SRCAL_STAT 如 表 8-58 所示。

返回到汇总表。

表 8-58. SRCAL_STAT 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0	0x0	保留
3	SYSREF_ALIGNMENT	R	X	若该值为高电平，当 SYSREF 上升时，时钟为高电平。此处返回的值是 8*SRCAL_AVG 个周期的平均值。当使用 CPLL 时，使用 DEVCLK SYSREF 采样器。否则使用 DACCLK SYSREF 样本。 注意：当 SYSREF_WIN_EN=1 时，该寄存器中的值无定义。

Copyright © 2026 Texas Instruments Incorporated

表 8-58. SRCAL_STAT 寄存器字段说明（续）

位	字段	类型	复位	说明
2	SYSREF_CAL_FAIL	R	X	如果 SYSREF 校准过程无法找到对齐点，则设置该位。只要达到条件（SYSREF_RX_EN = 0 且 SRCAL_EN = 0），该位就会被清零。
1	SYSREF_TRACK_FAIL	R	X	如果在跟踪窗口时 SYSREF 跟踪超出延迟范围，则设置该位。发生这种情况时，跟踪会尝试继续运行，但可能无法保持 SYSREF 采样窗口。发生这种情况时，用户应重新运行校准。只要达到条件 SYSREF_RX_EN = 0 且 SRCAL_EN = 0，该位就会被清零。
0	SYSREF_CAL_DONE	R	X	当 SYSREF 校准成功完成时设置该位。只要达到条件 SYSREF_RX_EN = 0 且 SRCAL_EN = 0，该位就会被清零。

8.5.12 SYNC_STATUS 寄存器（偏移 = 0xFF）[复位 = 0xXX]

SYNC_STATUS 如 表 8-59 所示。

返回到汇总表。

表 8-59. SYNC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R-0	0x0	
4	DIV_REALIGNED	R/W1C	X	只要 16 分频的时钟分频器与 SYSREF 重新对齐，就会设置该位。该位主要用于调试目的，因为 CLK_REALIGNED 更适合客户使用。写入 1 以将该位清零。
3	CLK_REALIGNED	R/W1C	X	只要有效 SYSREF 关联时钟分频器与 SYSREF 边沿重新对齐，就会设置该位。该位有助于确认内部采样的 SYSREF 信号是否具有正确且稳定的周期。写入 1 以将该位清零。
2	CLK_ALIGNED	R	X	指示最后一个 SYSREF 脉冲是否与所有有效 SYSREF 相关时钟分频器是否一致（分频器无需调整）（1 = 一致，0 = 不一致）。该器件最多可能需要两个 SYSREF 脉冲（均与时钟分频器一致）才能设置该位。该位为只读（不能通过 SPI 清零）。无论 SYSREF_ALIGN_EN 的状态如何，该位都会报告对齐状态。
1	RESERVED	R-0	0x0	
0	SYSREF_DET	R/W1C	X	检测到 SYSREF 时会设置该位。写入 1 可将该位清零并允许重新检测该位。

Copyright © 2026 Texas Instruments Incorporated

8.6 JESD204C 寄存器

表 8-60 列出了 JESD204C 寄存器的存储器映射寄存器。表 8-60 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-60. JESD204C 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x101	JMODE		节 8.6.1
0x102	JESD_M		节 8.6.2
0x103	JCTRL		节 8.6.3
0x104	SHMODE		节 8.6.4
0x105	KM1		节 8.6.5
0x106	RBD		节 8.6.6
0x107	JESD_STATUS		节 8.6.7
0x108	REFDIV		节 8.6.8
0x10A	MPY		节 8.6.9
0x10B	RATE		节 8.6.10

复杂的位访问类型经过编码可适应小型表单元。表 8-61 展示了适用于此部分中访问类型的代码。

表 8-61. JESD204C 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
R-1	R -1	读取 返回 1s
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.6.1 JMODE 寄存器（偏移 = 0x101）[复位 = 0x00]

表 8-62 中显示了 JMODE。

返回到汇总表。

表 8-62. JMODE 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-0	JMODE	R/W	0x0	指定 JMODE

8.6.2 JESD_M 寄存器（偏移 = 0x102）[复位 = 0x01]

JESD_M 如 表 8-63 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-63. JESD_M 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	JESD_M	R/W	0x1	指定要启用的样本流（JESD204C 转换器）数量（JESD204C M 参数）。启用的流的数量必须根据配置为从 JESD 接口接收样本的 DAC 或 DSP 通道数量进行合理设置（请参阅 DSP_MODE、MXMODE、DAC_SRC、DSP_L）。当 JESD_M=0 时，即使设置了 SYS_EN，JESD 接口也不会被启用（例如，如果所有 DSP 通道不需要输入采样）。 当 DSP_MODE = 旁路模式（禁用所有 DSP）时，JESD_M 必须为 1 或 2。使用 DAC_SRC 将 DAC 通道绑定到输入流 0 或 1。 DSP_MODE = 任何启用的 DSP，JESD_M 必须为 0、1、2、4、6、8。对于每个需要采样的 DSP 通道，需启用 2 个样本流（请参阅 DSP_MODE）。若无需 DSP 通道接收输入采样，则使用 JESD_M=0 来禁用 JESD 接口。 流 0 和 1 为 DSP 通道 0 提供数据。 流 2 和 3 为 DSP 通道 1 提供数据。 流 4 和 5 为 DSP 通道 2 提供数据。 流 6 和 7 为 DSP 通道 3 提供数据。 注释 1：JESD_M 不应超过与所选 JMODE 关联的 Mx 参数。有关与每个 JMODE 关联的 Mx 值，请参阅“支持的模式”。 启用通道数 (L) 的计算公式为 L = ceiling(M/Mx*Lx)。 仅当所有启用的 DSP 均使用非 JESD 模式（例如 DDS SPI 或 DDS 矢量模式）时，在 DSP 模式下使用 JESD_M=1 才合法。单个样本流可用于触发源（TRIG_TYPEn=3，TRIG_SELn=0）。以这种方式触发时，仅支持 JMODE 3 至 7，LT 必须为 32、64、128 或 256（请参阅 DSP_L）。

8.6.3 JCTRL 寄存器（偏移 = 0x103）[复位 = 0x03]

表 8-64 中显示了 JCTRL。

返回到汇总表。

表 8-64. JCTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6	TI_MODE	R/W	0x0	0x0 = JESD204C 标准模式（默认） 0x1 = 特殊 TI 模式（如果使用 TI 发送器 IP，则设置此项）。
5	SUBCLASS	R/W	0x0	指定如何释放弹性缓冲器： 0x0 = 子类 0 操作（默认）。一旦所有通道都开始写入缓冲器，立即释放弹性缓冲器。 0x1 = 子类 1 操作。在 LMFC/LEMC 和 RBD 定义的释放时机释放弹性缓冲器。
4	JENC	R/W	0x0	0x0 = 使用 8b/10b 链路层 0x1 = 使用 64b/66b 链路层
3-2	RESERVED	R-0/W	0x0	
1	SFORMAT	R/W	0x1	JESD204C 样本的输入样本格式。 如果任何 DSP 配置为 DSP 流模式，则必须使用 SFORMAT=1。 0x0 = 偏移二进制 0x1 = 有符号的二进制补码（默认）

Copyright © 2026 Texas Instruments Incorporated

表 8-64. JCTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SCR	R/W	0x1	建议使用 8b/10b 扰频器来降低杂散噪声，并确保某些样本有效载荷不能阻止 JESD204C 接收器检测不正确的代码组或通道对齐。该寄存器对 64b/66b 模式（始终进行扰频）没有影响。 0x0 = 8b/10b 扰频器已禁用 0x1 = 8b/10b 扰频器已启用（默认）

8.6.4 SHMODE 寄存器（偏移 = 0x104）[复位 = 0x00]

表 8-65 中显示了 SHMODE。

返回到汇总表。

表 8-65. SHMODE 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	
1-0	SHMODE	R/W	0x0	为 64b/66b 同步字（每个多块 32 位数据）选择模式。这仅在 JENC=1（64b/66b 模式）时适用。 注意：该器件不支持任何 JESD204C 命令特性。接收器会忽略所有命令字段。 0x0 = 启用 CRC-12 检查（JESD204C 表 41）（默认设置） 0x1 =保留（用于不支持的 CRC-3） 0x2 =启用 FEC（JESD204C 表 45） 0x3 =保留（适用于不受支持的独立命令通道）

8.6.5 KM1 寄存器（偏移 = 0x105）[复位 = 0x3F]

KM1 如 表 8-66 所示。

返回到汇总表。

表 8-66. KM1 寄存器字段说明

位	字段	类型	复位	说明
7-0	KM1	R/W	0x3F	K 是每个多帧的帧数，当使用 8b/10b 链路层时，应在此处对 K-1 进行编程（请参阅 JENC）。根据 JMODE 设置，K 的合法值受到限制。若将 K 编程为非法值，会导致链路故障。 默认值为 KM1=31，对应于 K=32。 注意：对于使用 64b/66b 链路层的模式，忽略 KM1 寄存器。K 的有效值为 256*E/F。

8.6.6 RBD 寄存器（偏移 = 0x106）[复位 = 0x80]

表 8-67 中显示了 RBD。

返回到汇总表。

表 8-67. RBD 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-1/W	0x1	
6-0	RBD	R/W	0x0	该寄存器改变了弹性缓冲器释放机会。将 RBD 增加 1 会将释放机会延迟 8 个字节（八位位组）。 对于 8b/10b 模式，RBD 的合法范围为 0 至 K*F/8-1。 对于 64b/66b 模式，RBD 的合法范围为 0 至 32*E-1。

Copyright © 2026 Texas Instruments Incorporated

8.6.7 JESD_STATUS 寄存器（偏移 = 0x107）[复位 = 0xXX]

JESD_STATUS 如 表 8-68 所示。

返回到汇总表。

表 8-68. JESD_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	EB_ERR	W1C	X	弹性缓冲器出现下溢/溢出。
6	LINK_UP	R	X	设置后，表示 JESD204C 链路已启动（释放弹性缓冲器）。
5	JSYNC_STATE	R	X	返回 JESD204C $\overline{\text{SYNC}}$ 信号的状态。 0 = 0b0 = $\overline{\text{SYNC}}$ 置为有效 1 = 0b1 = $\overline{\text{SYNC}}$ 置为无效
4	RESERVED	R	X	
3	JESD_ALIGNED	R	X	指示 LMFC/LEMC 已通过 SYSREF 对齐，另一个 SYSREF 脉冲已确认该对齐状态。该位为只读（不能通过 SPI 清零）。设置 SYSREF_ALIGN_EN 和 SYS_EN 后，该器件可能需要多达 15 个 SYSREF 脉冲才能实现对齐并设置该位。
2	PLL_LOCKED	R	X	当设置为高电平时，表示所有启用的 PHY PLL 均锁定。
1-0	RESERVED	R	X	

8.6.8 REFDIV 寄存器（偏移 = 0x108）[复位 = 0x0030]

表 8-69 中显示了 REFDIV。

返回到汇总表。

表 8-69. REFDIV 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R-0/W	0x0	
7-0	REFDIV	R/W	0x30	指定频率分频值，以从 DAC 时钟 (F_{DACCLK}) 生成 PHY PLL 基准时钟 (FREF)。 以下为合法值：1、2、3、4、5、6、8、10、12、16、20、24、32、40、48、64、80、96 和 128。 保留所有其他值，可能导致未定义行为。 请参阅“PLL 控制”。

8.6.9 MPY 寄存器（偏移 = 0x10A）[复位 = 0x0A]

表 8-70 中显示了 MPY。

返回到汇总表。

表 8-70. MPY 寄存器字段说明

位	字段	类型	复位	说明
7-0	MPY	R/W	0xA	指定 PHY 的 PLL 倍频器。请参阅“PLL 控制”。以下值对于此设计是合法的： 8 (0x8) = 8x 10 (0xA) = 10x 16 (0x10) = 16x 20 (0x14) = 20x 33 (0x21) = 33x 40 (0x28) = 40x 66 (0x42) = 66x 99 (0x63) = 99x

Copyright © 2026 Texas Instruments Incorporated

8.6.10 RATE 寄存器（偏移 = 0x10B）[复位 = 0x00]

表 8-71 中显示了 RATE。

返回到汇总表。

表 8-71. RATE 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R-0/W	0x0	
2-0	RATE	R/W	0x0	控制从串行器/解串器 VCO 频率 F_{VCO} 到串行器/解串器比特率 F_{BIT} 的倍频器。影响所有通道。请参阅“串行器/解串器 PLL”部分。 0x0 = 2x 0x1 = 1x 0x2 = 0.5x 0x3 = 0.25x 0x4 = 0.125x 0x5 = 保留 0x6 = 保留 0x7 = 保留

Copyright © 2026 Texas Instruments Incorporated

8.7 JESD204C_Advanced 寄存器

表 8-72 列出了 JESD204C_Advanced 寄存器的存储器映射寄存器。表 8-72 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-72. JESD204C_ADVANCED 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x120	JSYNC_N		节 8.7.1
0x121	JTEST		节 8.7.2
0x122	JEXTRA		节 8.7.3
0x124	JTIMER		节 8.7.4
0x125	JESD_RST		节 8.7.5
0x127	SYNC_EPW		节 8.7.6
0x128	DI_TH		节 8.7.7
0x12C	LANE_ARSTAT		节 8.7.8
0x12E	LANE_INV		节 8.7.9
0x130	LANE_SEL_0		节 8.7.10
0x131	LANE_SEL_1		节 8.7.11
0x132	LANE_SEL_2		节 8.7.12
0x133	LANE_SEL_3		节 8.7.13
0x134	LANE_SEL_4		节 8.7.14
0x135	LANE_SEL_5		节 8.7.15
0x136	LANE_SEL_6		节 8.7.16
0x137	LANE_SEL_7		节 8.7.17
0x138	LANE_SEL_8		节 8.7.18
0x139	LANE_SEL_9		节 8.7.19
0x13A	LANE_SEL_10		节 8.7.20
0x13B	LANE_SEL_11		节 8.7.21
0x13C	LANE_SEL_12		节 8.7.22
0x13D	LANE_SEL_13		节 8.7.23
0x13E	LANE_SEL_14		节 8.7.24
0x13F	LANE_SEL_15		节 8.7.25
0x140	LANE_ARR_0		节 8.7.26
0x141	LANE_ARR_1		节 8.7.27
0x142	LANE_ARR_2		节 8.7.28
0x143	LANE_ARR_3		节 8.7.29
0x144	LANE_ARR_4		节 8.7.30
0x145	LANE_ARR_5		节 8.7.31
0x146	LANE_ARR_6		节 8.7.32
0x147	LANE_ARR_7		节 8.7.33
0x148	LANE_ARR_8		节 8.7.34
0x149	LANE_ARR_9		节 8.7.35
0x14A	LANE_ARR_10		节 8.7.36
0x14B	LANE_ARR_11		节 8.7.37
0x14C	LANE_ARR_12		节 8.7.38

Copyright © 2026 Texas Instruments Incorporated

表 8-72. JESD204C_ADVANCED 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x14D	LANE_ARR_13		节 8.7.39
0x14E	LANE_ARR_14		节 8.7.40
0x14F	LANE_ARR_15		节 8.7.41
0x150	LANE_STATUS_0		节 8.7.42
0x151	LANE_STATUS_1		节 8.7.43
0x152	LANE_STATUS_2		节 8.7.44
0x153	LANE_STATUS_3		节 8.7.45
0x154	LANE_STATUS_4		节 8.7.46
0x155	LANE_STATUS_5		节 8.7.47
0x156	LANE_STATUS_6		节 8.7.48
0x157	LANE_STATUS_7		节 8.7.49
0x158	LANE_STATUS_8		节 8.7.50
0x159	LANE_STATUS_9		节 8.7.51
0x15A	LANE_STATUS_10		节 8.7.52
0x15B	LANE_STATUS_11		节 8.7.53
0x15C	LANE_STATUS_12		节 8.7.54
0x15D	LANE_STATUS_13		节 8.7.55
0x15E	LANE_STATUS_14		节 8.7.56
0x15F	LANE_STATUS_15		节 8.7.57
0x160	LANE_ERROR_0		节 8.7.58
0x161	LANE_ERROR_1		节 8.7.59
0x162	LANE_ERROR_2		节 8.7.60
0x163	LANE_ERROR_3		节 8.7.61
0x164	LANE_ERROR_4		节 8.7.62
0x165	LANE_ERROR_5		节 8.7.63
0x166	LANE_ERROR_6		节 8.7.64
0x167	LANE_ERROR_7		节 8.7.65
0x168	LANE_ERROR_8		节 8.7.66
0x169	LANE_ERROR_9		节 8.7.67
0x16A	LANE_ERROR_10		节 8.7.68
0x16B	LANE_ERROR_11		节 8.7.69
0x16C	LANE_ERROR_12		节 8.7.70
0x16D	LANE_ERROR_13		节 8.7.71
0x16E	LANE_ERROR_14		节 8.7.72
0x16F	LANE_ERROR_15		节 8.7.73
0x170	FIFO_STATUS_0		节 8.7.74
0x171	FIFO_STATUS_1		节 8.7.75
0x172	FIFO_STATUS_2		节 8.7.76
0x173	FIFO_STATUS_3		节 8.7.77
0x174	FIFO_STATUS_4		节 8.7.78
0x175	FIFO_STATUS_5		节 8.7.79
0x176	FIFO_STATUS_6		节 8.7.80

Copyright © 2026 Texas Instruments Incorporated

表 8-72. JESD204C_ADVANCED 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x177	FIFO_STATUS_7		节 8.7.81
0x178	FIFO_STATUS_8		节 8.7.82
0x179	FIFO_STATUS_9		节 8.7.83
0x17A	FIFO_STATUS_10		节 8.7.84
0x17B	FIFO_STATUS_11		节 8.7.85
0x17C	FIFO_STATUS_12		节 8.7.86
0x17D	FIFO_STATUS_13		节 8.7.87
0x17E	FIFO_STATUS_14		节 8.7.88
0x17F	FIFO_STATUS_15		节 8.7.89
0x18A	JCAP_ARM		节 8.7.90
0x18B	JCAP_MODE		节 8.7.91
0x18C	JCAP_OFFSET		节 8.7.92
0x18E	JCAP_PAGE		节 8.7.93
0x18F	JCAP_STATUS		节 8.7.94
0x190	JCAP		节 8.7.95
0x1A0	LEC_CTRL		节 8.7.96
0x1B0	LEC_CNT_0		节 8.7.97
0x1B1	LEC_CNT_1		节 8.7.98
0x1B2	LEC_CNT_2		节 8.7.99
0x1B3	LEC_CNT_3		节 8.7.100
0x1B4	LEC_CNT_4		节 8.7.101
0x1B5	LEC_CNT_5		节 8.7.102
0x1B6	LEC_CNT_6		节 8.7.103
0x1B7	LEC_CNT_7		节 8.7.104
0x1B8	LEC_CNT_8		节 8.7.105
0x1B9	LEC_CNT_9		节 8.7.106
0x1BA	LEC_CNT_10		节 8.7.107
0x1BB	LEC_CNT_11		节 8.7.108
0x1BC	LEC_CNT_12		节 8.7.109
0x1BD	LEC_CNT_13		节 8.7.110
0x1BE	LEC_CNT_14		节 8.7.111
0x1BF	LEC_CNT_15		节 8.7.112

复杂的位访问类型经过编码可适应小型表单元。表 8-73 展示了适用于此部分中访问类型的代码。

表 8-73. JESD204C_Advanced 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入

Copyright © 2026 Texas Instruments Incorporated

表 8-73. JESD204C_Advanced 访问类型代码（续）

访问类型	代码	说明
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.7.1 JSYNC_N 寄存器（偏移 = 0x120）[复位 = 0x01]

JSYNC_N 如表 8-74 所示。

返回到汇总表。

表 8-74. JSYNC_N 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	JSYNC_N	R/W	0x1	将该位设置为 0，手动操作使 SYNC~ 信号有效。正常运行时，将该位设置为 1。

8.7.2 JTEST 寄存器（偏移 = 0x121）[复位 = 0x00]

表 8-75 中显示了 JTEST。

返回到汇总表。

表 8-75. JTEST 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R-0/W	0x0	
4-0	JTEST	R/W	0x0	设置 PRBS 模式。保留 0x5 及更高版本。请参阅 BER_EN。 0x0 =已禁用测试模式（正常运行） 0x1 = PRBS7 0x2 = PRBS9 0x3 = PRBS15 0x4 = PRBS31

8.7.3 JEXTRA 寄存器（偏移 = 0x122）[复位 = 0x0000]

表 8-76 中显示了 JEXTRA。

返回到汇总表。

表 8-76. JEXTRA 寄存器字段说明

位	字段	类型	复位	说明
15-1	EXTRA_LANE	R/W	0x0	对 JEXTRA 进行编程以启用额外的逻辑通道（即使选定的 JMODE 不使用这些通道）。EXTRA_LANE[n] 启用通道 n（n=1 至 15）。该寄存器启用链路层。要为额外通道也启用 PHY，请设置 EXTRA_PHY=1。 注意：额外通道的比特率和模式由 JMODE 和 JTEST 寄存器设置。

Copyright © 2026 Texas Instruments Incorporated

表 8-76. JEXTRA 寄存器字段说明（续）

位	字段	类型	复位	说明
0	EXTRA_PHY	R/W	0x0	0x0 = 仅启用额外通道的链路层。使用此模式可评估来自额外通道的开关噪声。与每个额外通道关联的 PHY 不会强制开启。要向额外通道提供输入数据，一种可能有用的方法是使用 LANE_SELn 将额外的逻辑通道绑定到 PHY 通道，这些 PHY 通道绑定到主活动通道（逻辑通道 0 至 L-1） 0x1 = 额外通道的 PHY 层也已启用。使用此模式可从额外的物理通道接收数据。如果要在比 JMODE 启用的通道更多的通道上运行 BER 测试，或者在这些通道上运行其他 PHY 任务（眼图扫描等），则应执行此操作。

8.7.4 JTIMER 寄存器（偏移 = 0x124）[复位 = 0x00]

表 8-77 中显示了 JTIMER。

返回到汇总表。

表 8-77. JTIMER 寄存器字段说明

位	字段	类型	复位	说明
7	JTPLL	R/W	0x0	如果已设置该位，当看门狗定时器超时后，PHY PLL、偏置电路、参考分频器以及接收器模拟电路均会被复位。若该位为 0，则仅复位 PHY 接收器的数字逻辑部分。
6	RESERVED	R-0/W	0x0	
5-4	JTR	R/W	0x0	该寄存器可确定在链路建立且未设置 DI_FAULT 时看门狗计数器递减的量。 有关完整详细信息，请参阅看门狗计时器 (JTIMER)。 0x0 = 1 0x1 = 2 0x2 = 8 0x3 = 16
3	RESERVED	R-0/W	0x0	
2-0	JTT	R/W	0x0	JESD204C 看门狗计数器阈值。当看门狗计数器达到 JTT 定义的阈值时，PHY 层复位（如果 JTPLL=1，则包括 PHY PLL）并且看门狗计时器复位。JTT 的值越大，看门狗计时器的干预时间就越长。 有关完整详细信息，请参阅看门狗计时器 (JTIMER)。 注意：看门狗可能检测不到短于 2^{11} (2048) 个 DACCLK 周期的链路建立事件。 0x0 = 看门狗计时器禁用 0x1 = 2^{17} 0x2 = 2^{19} 0x3 = 2^{21} 0x4 = 2^{23} 0x5 = 保留 0x6 = 保留 0x7 = 保留

8.7.5 JESD_RST 寄存器（偏移 = 0x125）[复位 = 0x00]

JESD_RST 如表 8-78 所示。

返回到汇总表。

表 8-78. JESD_RST 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-78. JESD_RST 寄存器字段说明（续）

位	字段	类型	复位	说明
0	JESD_RST	R/W	0x0	设置后，该位保持 JESD 电路的数字部分处于复位状态，但不影响 PHY。

8.7.6 SYNC_EPW 寄存器（偏移 = 0x127）[复位 = 0x00]

SYNC_EPW 如表 8-79 所示。

返回到汇总表。

表 8-79. SYNC_EPW 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R-0/W	0x0	
2-0	SYNC_EPW	R/W	0x0	指定用于向发送器报告错误的 $\overline{\text{SYNC}}$ 的脉冲宽度。当检测到不需要链路重新同步的错误时，SYNC_EPW 链路时钟周期（等于 8*SYNC_EPW 字符持续时间）的 $\overline{\text{SYNC}}$ 将置为有效。要通过 SYNC~ 禁用错误报告，请设置 SYNC_EPW=0。SYNC_EPW 的合法取值范围为 0 至 4。 报告的错误列在《链路错误报告》中。

8.7.7 DI_TH 寄存器（偏移 = 0x128）[复位 = 0x00]

DI_TH 如表 8-80 所示。

返回到汇总表。

表 8-80. DI_TH 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-2	DI_ERR_REC	R/W	0x0	指定必须接收多少个连续、无错误多块才能复位数据完整性错误计数器（如果触发了数据完整性警报，则取消触发该警报）。 0x0 = 1 个多块 0x1 = 4 个多块 0x2 = 16 个多块 0x3 = 64 个多块
1-0	DI_ERR_TH	R/W	0x0	指定必须有多少个多块出现数据完整性错误才能触发数据完整性警报。接收器会对每个错误进行计数，但如果出现一连串无错误多块（由 DI_ERR_REC 指定），则错误计数器会复位。 0x0 = 1 个多块 0x1 = 2 个多块 0x2 = 4 个多块 0x3 = 8 个多块

8.7.8 LANE_ARSTAT 寄存器（偏移 = 0x12C）[复位 = 0xXX]

LANE_ARSTAT 如表 8-81 所示。

返回到汇总表。

表 8-81. LANE_ARSTAT 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	W1C	X	

Copyright © 2026 Texas Instruments Incorporated

表 8-81. LANE_ARSTAT 寄存器字段说明（续）

位	字段	类型	复位	说明
0	LANE_ARR_RDY	W1C	X	当捕获到通道到达时间并可在 LANE_ARR 中进行读取时，将设置该位。当所有通道都就绪并且芯片尝试释放弹性缓冲器时，将捕获通道到达数据。当 SYS_EN=0 或 JESD_RST=1 时，该位清零。写入 1 可清除该位，并允许重新捕获通道到达数据。

8.7.9 LANE_INV 寄存器（偏移 = 0x12E）[复位 = 0x0000]

LANE_INV 如表 8-82 所示。

返回到汇总表。

表 8-82. LANE_INV 寄存器字段说明

位	字段	类型	复位	说明
15-0	LANE_INV	R/W	0x0	编程 LANE_INV[n]=1，使通过物理通道 n 的比特流反转。如果在发送器和接收器之间交换差分对，则使用此选项。

8.7.10 LANE_SEL_0 寄存器（偏移 = 0x130）[复位 = 0x00]

LANE_SEL_0 如 表 8-83 所示。

返回到汇总表。

表 8-83. LANE_SEL_0 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[0]	R/W	0x0	指定要绑定到逻辑通道 0 的物理通道（0 至 15）。若需将物理通道 p 绑定到逻辑通道 n，请编程 LANE_SEL[n]=p。例如，要将逻辑通道 0 绑定到物理通道 3，请编程 LANE_SEL[0]=3。

8.7.11 LANE_SEL_1 寄存器（偏移 = 0x131）[复位 = 0x01]

LANE_SEL_1 如 表 8-84 所示。

返回到汇总表。

表 8-84. LANE_SEL_1 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[1]	R/W	0x1	指定要绑定到逻辑通道 1 的物理通道（0 至 15）。

8.7.12 LANE_SEL_2 寄存器（偏移 = 0x132）[复位 = 0x02]

LANE_SEL_2 如 表 8-85 所示。

返回到汇总表。

表 8-85. LANE_SEL_2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[2]	R/W	0x2	指定要绑定到逻辑通道 2 的物理通道（0 至 15）。

Copyright © 2026 Texas Instruments Incorporated

8.7.13 LANE_SEL_3 寄存器（偏移 = 0x133）[复位 = 0x03]

LANE_SEL_3 如 表 8-86 所示。

返回到汇总表。

表 8-86. LANE_SEL_3 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[3]	R/W	0x3	指定要绑定到逻辑通道 3 的物理通道（0 至 15）。

8.7.14 LANE_SEL_4 寄存器（偏移 = 0x134）[复位 = 0x04]

LANE_SEL_4 如 表 8-87 所示。

返回到汇总表。

表 8-87. LANE_SEL_4 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[4]	R/W	0x4	指定要绑定到逻辑通道 4 的物理通道（0 至 15）。

8.7.15 LANE_SEL_5 寄存器（偏移 = 0x135）[复位 = 0x05]

LANE_SEL_5 如 表 8-88 所示。

返回到汇总表。

表 8-88. LANE_SEL_5 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[5]	R/W	0x5	指定要绑定到逻辑通道 5 的物理通道（0 至 15）。

8.7.16 LANE_SEL_6 寄存器（偏移 = 0x136）[复位 = 0x06]

LANE_SEL_6 如 表 8-89 所示。

返回到汇总表。

表 8-89. LANE_SEL_6 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[6]	R/W	0x6	指定要绑定到逻辑通道 6 的物理通道（0 至 15）。

8.7.17 LANE_SEL_7 寄存器（偏移 = 0x137）[复位 = 0x07]

LANE_SEL_7 如 表 8-90 所示。

返回到汇总表。

表 8-90. LANE_SEL_7 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-90. LANE_SEL_7 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	LANE_SEL[7]	R/W	0x7	指定要绑定到逻辑通道 7 的物理通道（0 至 15）。

8.7.18 LANE_SEL_8 寄存器（偏移 = 0x138）[复位 = 0x08]

LANE_SEL_8 如 表 8-91 所示。

返回到汇总表。

表 8-91. LANE_SEL_8 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[8]	R/W	0x8	指定要绑定到逻辑通道 8 的物理通道（0 至 15）。

8.7.19 LANE_SEL_9 寄存器（偏移 = 0x139）[复位 = 0x09]

LANE_SEL_9 如 表 8-92 所示。

返回到汇总表。

表 8-92. LANE_SEL_9 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[9]	R/W	0x9	指定要绑定到逻辑通道 9 的物理通道（0 至 15）。

8.7.20 LANE_SEL_10 寄存器（偏移 = 0x13A）[复位 = 0x0A]

LANE_SEL_10 如 表 8-93 所示。

返回到汇总表。

表 8-93. LANE_SEL_10 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[10]	R/W	0xA	指定要绑定到逻辑通道 10 的物理通道（0 至 15）。

8.7.21 LANE_SEL_11 寄存器（偏移 = 0x13B）[复位 = 0x0B]

LANE_SEL_11 如 表 8-94 所示。

返回到汇总表。

表 8-94. LANE_SEL_11 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[11]	R/W	0xB	指定要绑定到逻辑通道 11 的物理通道（0 至 15）。

8.7.22 LANE_SEL_12 寄存器（偏移 = 0x13C）[复位 = 0x0C]

LANE_SEL_12 如 表 8-95 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-95. LANE_SEL_12 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[12]	R/W	0xC	指定要绑定到逻辑通道 12 的物理通道（0 至 15）。

8.7.23 LANE_SEL_13 寄存器（偏移 = 0x13D）[复位 = 0x0D]

LANE_SEL_13 如 表 8-96 所示。

返回到汇总表。

表 8-96. LANE_SEL_13 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[13]	R/W	0xD	指定要绑定到逻辑通道 13 的物理通道（0 至 15）。

8.7.24 LANE_SEL_14 寄存器（偏移 = 0x13E）[复位 = 0x0E]

LANE_SEL_14 如 表 8-97 所示。

返回到汇总表。

表 8-97. LANE_SEL_14 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[14]	R/W	0xE	指定要绑定到逻辑通道 14 的物理通道（0 至 15）。

8.7.25 LANE_SEL_15 寄存器（偏移 = 0x13F）[复位 = 0x0F]

LANE_SEL_15 如 表 8-98 所示。

返回到汇总表。

表 8-98. LANE_SEL_15 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	LANE_SEL[15]	R/W	0xF	指定要绑定到逻辑通道 15 的物理通道（0 至 15）。

8.7.26 LANE_ARR_0 寄存器（偏移 = 0x140）[复位 = 0xXX]

LANE_ARR_0 如 表 8-99 所示。

返回到汇总表。

表 8-99. LANE_ARR_0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-99. LANE_ARR_0 寄存器字段说明（续）

位	字段	类型	复位	说明
6-0	LANE_ARR[0]	R	X	返回通道 0 相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。对于 8b/10b，无论多帧长度如何，返回的值都可以介于 0 和 31（含）之间。对于 64b/66b，返回的值都可以介于 0 和 32*E-1（含）之间。这些寄存器仅在 LANE_ARR_RDY=1 时有效。

8.7.27 LANE_ARR_1 寄存器（偏移 = 0x141）[复位 = 0xXX]

LANE_ARR_1 如 表 8-100 所示。

返回到汇总表。

表 8-100. LANE_ARR_1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	保留
6-0	LANE_ARR[1]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.28 LANE_ARR_2 寄存器（偏移 = 0x142）[复位 = 0xXX]

LANE_ARR_2 如 表 8-101 所示。

返回到汇总表。

表 8-101. LANE_ARR_2 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[2]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.29 LANE_ARR_3 寄存器（偏移 = 0x143）[复位 = 0xXX]

LANE_ARR_3 如 表 8-102 所示。

返回到汇总表。

表 8-102. LANE_ARR_3 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[3]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.30 LANE_ARR_4 寄存器（偏移 = 0x144）[复位 = 0xXX]

LANE_ARR_4 如 表 8-103 所示。

返回到汇总表。

表 8-103. LANE_ARR_4 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	

Copyright © 2026 Texas Instruments Incorporated

表 8-103. LANE_ARR_4 寄存器字段说明（续）

位	字段	类型	复位	说明
6-0	LANE_ARR[4]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.31 LANE_ARR_5 寄存器（偏移 = 0x145）[复位 = 0xXX]

LANE_ARR_5 如 表 8-104 所示。

返回到汇总表。

表 8-104. LANE_ARR_5 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[5]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.32 LANE_ARR_6 寄存器（偏移 = 0x146）[复位 = 0xXX]

LANE_ARR_6 如 表 8-105 所示。

返回到汇总表。

表 8-105. LANE_ARR_6 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[6]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.33 LANE_ARR_7 寄存器（偏移 = 0x147）[复位 = 0xXX]

LANE_ARR_7 如 表 8-106 所示。

返回到汇总表。

表 8-106. LANE_ARR_7 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[7]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.34 LANE_ARR_8 寄存器（偏移 = 0x148）[复位 = 0xXX]

LANE_ARR_8 如 表 8-107 所示。

返回到汇总表。

表 8-107. LANE_ARR_8 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[8]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

Copyright © 2026 Texas Instruments Incorporated

8.7.35 LANE_ARR_9 寄存器（偏移 = 0x149）[复位 = 0xXX]

LANE_ARR_9 如 表 8-108 所示。

返回到汇总表。

表 8-108. LANE_ARR_9 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[9]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.36 LANE_ARR_10 寄存器（偏移 = 0x14A）[复位 = 0xXX]

LANE_ARR_10 如 表 8-109 所示。

返回到汇总表。

表 8-109. LANE_ARR_10 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[10]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.37 LANE_ARR_11 寄存器（偏移 = 0x14B）[复位 = 0xXX]

LANE_ARR_11 如 表 8-110 所示。

返回到汇总表。

表 8-110. LANE_ARR_11 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[11]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.38 LANE_ARR_12 寄存器（偏移 = 0x14C）[复位 = 0xXX]

LANE_ARR_12 如 表 8-111 所示。

返回到汇总表。

表 8-111. LANE_ARR_12 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[12]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.39 LANE_ARR_13 寄存器（偏移 = 0x14D）[复位 = 0xXX]

LANE_ARR_13 如 表 8-112 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-112. LANE_ARR_13 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[13]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.40 LANE_ARR_14 寄存器（偏移 = 0x14E）[复位 = 0xXX]

LANE_ARR_14 如 表 8-113 所示。

返回到汇总表。

表 8-113. LANE_ARR_14 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[14]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.41 LANE_ARR_15 寄存器（偏移 = 0x14F）[复位 = 0xXX]

LANE_ARR_15 如 表 8-114 所示。

返回到汇总表。

表 8-114. LANE_ARR_15 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	X	
6-0	LANE_ARR[15]	R	X	返回相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间（单位：八字节）。

8.7.42 LANE_STATUS_0 寄存器（偏移 = 0x150）[复位 = 0xXX]

LANE_STATUS_0 如 表 8-115 所示。

返回到汇总表。

表 8-115. LANE_STATUS_0 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	X	
2	F_EMB_SYNC	R	X	如果逻辑通道 0 具有帧或 EMB 同步，则返回 1。
1	CG_BK_SYNC	R	X	如果逻辑通道 0 具有代码组或块同步，则返回 1。
0	SIG_DET	R	X	如果逻辑通道 0 正在检测数据信号，则返回 1

8.7.43 LANE_STATUS_1 寄存器（偏移 = 0x151）[复位 = 0xXX]

LANE_STATUS_1 如 表 8-116 所示。

返回到汇总表。

表 8-116. LANE_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[1]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

Copyright © 2026 Texas Instruments Incorporated

8.7.44 LANE_STATUS_2 寄存器（偏移 = 0x152）[复位 = 0xXX]

LANE_STATUS_2 如 表 8-117 所示。

返回到汇总表。

表 8-117. LANE_STATUS_2 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[2]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.45 LANE_STATUS_3 寄存器（偏移 = 0x153）[复位 = 0xXX]

LANE_STATUS_3 如 表 8-118 所示。

返回到汇总表。

表 8-118. LANE_STATUS_3 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[3]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.46 LANE_STATUS_4 寄存器（偏移 = 0x154）[复位 = 0xXX]

LANE_STATUS_4 如 表 8-119 所示。

返回到汇总表。

表 8-119. LANE_STATUS_4 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[4]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.47 LANE_STATUS_5 寄存器（偏移 = 0x155）[复位 = 0xXX]

LANE_STATUS_5 如 表 8-120 所示。

返回到汇总表。

表 8-120. LANE_STATUS_5 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[5]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.48 LANE_STATUS_6 寄存器（偏移 = 0x156）[复位 = 0xXX]

LANE_STATUS_6 如 表 8-121 所示。

返回到汇总表。

表 8-121. LANE_STATUS_6 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[6]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.49 LANE_STATUS_7 寄存器（偏移 = 0x157）[复位 = 0xXX]

LANE_STATUS_7 如 表 8-122 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-122. LANE_STATUS_7 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[7]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.50 LANE_STATUS_8 寄存器（偏移 = 0x158）[复位 = 0xXX]

LANE_STATUS_8 如 表 8-123 所示。

返回到汇总表。

表 8-123. LANE_STATUS_8 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[8]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.51 LANE_STATUS_9 寄存器（偏移 = 0x159）[复位 = 0xXX]

LANE_STATUS_9 如 表 8-124 所示。

返回到汇总表。

表 8-124. LANE_STATUS_9 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[9]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.52 LANE_STATUS_10 寄存器（偏移 = 0x15A）[复位 = 0xXX]

LANE_STATUS_10 如 表 8-125 所示。

返回到汇总表。

表 8-125. LANE_STATUS_10 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[10]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.53 LANE_STATUS_11 寄存器（偏移 = 0x15B）[复位 = 0xXX]

LANE_STATUS_11 如 表 8-126 所示。

返回到汇总表。

表 8-126. LANE_STATUS_11 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[11]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.54 LANE_STATUS_12 寄存器（偏移 = 0x15C）[复位 = 0xXX]

LANE_STATUS_12 如 表 8-127 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-127. LANE_STATUS_12 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[12]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.55 LANE_STATUS_13 寄存器（偏移 = 0x15D）[复位 = 0xXX]

LANE_STATUS_13 如 表 8-128 所示。

返回到汇总表。

表 8-128. LANE_STATUS_13 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[13]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.56 LANE_STATUS_14 寄存器（偏移 = 0x15E）[复位 = 0xXX]

LANE_STATUS_14 如 表 8-129 所示。

返回到汇总表。

表 8-129. LANE_STATUS_14 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[14]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.57 LANE_STATUS_15 寄存器（偏移 = 0x15F）[复位 = 0xXX]

LANE_STATUS_15 如 表 8-130 所示。

返回到汇总表。

表 8-130. LANE_STATUS_15 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_STATUS[15]	R	X	请参阅 LANE_STATUS[0] 的寄存器和说明

8.7.58 LANE_ERROR_0 寄存器（偏移 = 0x160）[复位 = 0xXX]

LANE_ERROR_0 如 表 8-131 所示。

返回到汇总表。

表 8-131. LANE_ERROR_0 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[0]	W1C	X	指示通道 0 各类错误的粘滞位。 0x0 = 齿轮箱 FIFO 溢出或下溢。只要写入时钟频率正确，齿轮箱写入时钟就可以在该标志之后至少漂移 3UI 而不会导致数据损坏。 0x1 = 发生了视差错误 (8b/10b) 或无效的同步报头 (64b/66b)。 0x2 = 发生了非表内或意外控制字符 (8b/10b) 或数据完整性 (64b/66b) 错误。 0x3 = 保留 0x4 = 代码组或块同步丢失。 0x5 = 帧对齐丢失（仅限 8b/10b）或 DI_FAULTis 1 (64b/66b)。 0x6 = 多帧、多块或扩展多块对齐丢失。 0x7 = 在非预期位置 (8b/10b) 发现对齐字符，或（扩展）多块引导信号未处于预期位置 (64b/66b)

Copyright © 2026 Texas Instruments Incorporated

8.7.59 LANE_ERROR_1 寄存器 (偏移 = 0x161) [复位 = 0xXX]

LANE_ERROR_1 如 表 8-132 所示。

返回到汇总表。

表 8-132. LANE_ERROR_1 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[1]	W1C	X	指示通道 1 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.60 LANE_ERROR_2 寄存器 (偏移 = 0x162) [复位 = 0xXX]

LANE_ERROR_2 如 表 8-133 所示。

返回到汇总表。

表 8-133. LANE_ERROR_2 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[2]	W1C	X	指示通道 2 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.61 LANE_ERROR_3 寄存器 (偏移 = 0x163) [复位 = 0xXX]

LANE_ERROR_3 如 表 8-134 所示。

返回到汇总表。

表 8-134. LANE_ERROR_3 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[3]	W1C	X	指示通道 3 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.62 LANE_ERROR_4 寄存器 (偏移 = 0x164) [复位 = 0xXX]

LANE_ERROR_4 如 表 8-135 所示。

返回到汇总表。

表 8-135. LANE_ERROR_4 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[4]	W1C	X	指示通道 4 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.63 LANE_ERROR_5 寄存器 (偏移 = 0x165) [复位 = 0xXX]

LANE_ERROR_5 如 表 8-136 所示。

返回到汇总表。

表 8-136. LANE_ERROR_5 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[5]	W1C	X	指示通道 5 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.64 LANE_ERROR_6 寄存器 (偏移 = 0x166) [复位 = 0xXX]

LANE_ERROR_6 如 表 8-137 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-137. LANE_ERROR_6 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[6]	W1C	X	指示通道 6 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.65 LANE_ERROR_7 寄存器（偏移 = 0x167）[复位 = 0xXX]

LANE_ERROR_7 如 表 8-138 所示。

返回到汇总表。

表 8-138. LANE_ERROR_7 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[7]	W1C	X	指示通道 7 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.66 LANE_ERROR_8 寄存器（偏移 = 0x168）[复位 = 0xXX]

LANE_ERROR_8 如 表 8-139 所示。

返回到汇总表。

表 8-139. LANE_ERROR_8 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[8]	W1C	X	指示通道 8 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.67 LANE_ERROR_9 寄存器（偏移 = 0x169）[复位 = 0xXX]

LANE_ERROR_9 如 表 8-140 所示。

返回到汇总表。

表 8-140. LANE_ERROR_9 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[9]	W1C	X	指示通道 9 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.68 LANE_ERROR_10 寄存器（偏移 = 0x16A）[复位 = 0xXX]

LANE_ERROR_10 如 表 8-141 所示。

返回到汇总表。

表 8-141. LANE_ERROR_10 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[10]	W1C	X	指示通道 10 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.69 LANE_ERROR_11 寄存器（偏移 = 0x16B）[复位 = 0xXX]

LANE_ERROR_11 如 表 8-142 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-142. LANE_ERROR_11 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[11]	W1C	X	指示通道 11 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.70 LANE_ERROR_12 寄存器（偏移 = 0x16C）[复位 = 0xXX]

LANE_ERROR_12 如 表 8-143 所示。

返回到汇总表。

表 8-143. LANE_ERROR_12 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[12]	W1C	X	指示通道 12 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.71 LANE_ERROR_13 寄存器（偏移 = 0x16D）[复位 = 0xXX]

LANE_ERROR_13 如 表 8-144 所示。

返回到汇总表。

表 8-144. LANE_ERROR_13 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[13]	W1C	X	指示通道 13 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.72 LANE_ERROR_14 寄存器（偏移 = 0x16E）[复位 = 0xXX]

LANE_ERROR_14 如 表 8-145 所示。

返回到汇总表。

表 8-145. LANE_ERROR_14 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[14]	W1C	X	指示通道 14 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.73 LANE_ERROR_15 寄存器（偏移 = 0x16F）[复位 = 0xXX]

LANE_ERROR_15 如 表 8-146 所示。

返回到汇总表。

表 8-146. LANE_ERROR_15 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERROR[15]	W1C	X	指示通道 15 各类错误的粘滞位。请参阅 LANE_ERROR[0] 的说明。

8.7.74 FIFO_STATUS_0 寄存器（偏移 = 0x170）[复位 = 0xXX]

FIFO_STATUS_0 如 表 8-147 所示。

返回到汇总表。

表 8-147. FIFO_STATUS_0 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	X	

Copyright © 2026 Texas Instruments Incorporated

表 8-147. FIFO_STATUS_0 寄存器字段说明（续）

位	字段	类型	复位	说明
5-0	PDIFF	R	X	该寄存器返回逻辑通道 0 齿轮箱 FIFO 内的写入指针和读取指针之间的差值。

8.7.75 FIFO_STATUS_1 寄存器（偏移 = 0x171）[复位 = 0xXX]

FIFO_STATUS_1 如 表 8-148 所示。

返回到汇总表。

表 8-148. FIFO_STATUS_1 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[1]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.76 FIFO_STATUS_2 寄存器（偏移 = 0x172）[复位 = 0xXX]

FIFO_STATUS_2 如 表 8-149 所示。

返回到汇总表。

表 8-149. FIFO_STATUS_2 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[2]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.77 FIFO_STATUS_3 寄存器（偏移 = 0x173）[复位 = 0xXX]

FIFO_STATUS_3 如 表 8-150 所示。

返回到汇总表。

表 8-150. FIFO_STATUS_3 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[3]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.78 FIFO_STATUS_4 寄存器（偏移 = 0x174）[复位 = 0xXX]

FIFO_STATUS_4 如 表 8-151 所示。

返回到汇总表。

表 8-151. FIFO_STATUS_4 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[4]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.79 FIFO_STATUS_5 寄存器（偏移 = 0x175）[复位 = 0xXX]

FIFO_STATUS_5 如 表 8-152 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-152. FIFO_STATUS_5 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[5]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.80 FIFO_STATUS_6 寄存器（偏移 = 0x176）[复位 = 0xXX]

FIFO_STATUS_6 如 表 8-153 所示。

返回到汇总表。

表 8-153. FIFO_STATUS_6 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[6]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.81 FIFO_STATUS_7 寄存器（偏移 = 0x177）[复位 = 0xXX]

FIFO_STATUS_7 如 表 8-154 所示。

返回到汇总表。

表 8-154. FIFO_STATUS_7 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[7]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.82 FIFO_STATUS_8 寄存器（偏移 = 0x178）[复位 = 0xXX]

FIFO_STATUS_8 如 表 8-155 所示。

返回到汇总表。

表 8-155. FIFO_STATUS_8 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[8]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.83 FIFO_STATUS_9 寄存器（偏移 = 0x179）[复位 = 0xXX]

FIFO_STATUS_9 如 表 8-156 所示。

返回到汇总表。

表 8-156. FIFO_STATUS_9 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[9]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.84 FIFO_STATUS_10 寄存器（偏移 = 0x17A）[复位 = 0xXX]

FIFO_STATUS_10 如 表 8-157 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-157. FIFO_STATUS_10 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[10]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.85 FIFO_STATUS_11 寄存器（偏移 = 0x17B）[复位 = 0xXX]

FIFO_STATUS_11 如 表 8-158 所示。

返回到汇总表。

表 8-158. FIFO_STATUS_11 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[11]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.86 FIFO_STATUS_12 寄存器（偏移 = 0x17C）[复位 = 0xXX]

FIFO_STATUS_12 如 表 8-159 所示。

返回到汇总表。

表 8-159. FIFO_STATUS_12 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[12]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.87 FIFO_STATUS_13 寄存器（偏移 = 0x17D）[复位 = 0xXX]

FIFO_STATUS_13 如 表 8-160 所示。

返回到汇总表。

表 8-160. FIFO_STATUS_13 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[13]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.88 FIFO_STATUS_14 寄存器（偏移 = 0x17E）[复位 = 0xXX]

FIFO_STATUS_14 如 表 8-161 所示。

返回到汇总表。

表 8-161. FIFO_STATUS_14 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[14]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.89 FIFO_STATUS_15 寄存器（偏移 = 0x17F）[复位 = 0xXX]

FIFO_STATUS_15 如 表 8-162 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-162. FIFO_STATUS_15 寄存器字段说明

位	字段	类型	复位	说明
7-0	FIFO_STATUS[15]	R	X	请参阅 FIFO_STATUS[0] 的说明。

8.7.90 JCAP_ARM 寄存器（偏移 = 0x18A）[复位 = 0x00]

JCAP_ARM 如表 8-163 所示。

返回到汇总表。

表 8-163. JCAP_ARM 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	JCAP_ARM	R/W	0x0	将该位从 0 转换为 1 将使捕获调试系统准备好在下一个 JCAP 触发事件发生时捕获。每次系统准备好时，只会发生一次捕获。

8.7.91 JCAP_MODE 寄存器（偏移 = 0x18B）[复位 = 0x00]

JCAP_MODE 如表 8-164 所示。

返回到汇总表。

表 8-164. JCAP_MODE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	JCAP_MODE	R/W	0x0	选择调试捕获模式 0x0 =**[JESD_JCAP_LINKIN]**捕获链路层的输入（齿轮箱输出）。设置 JCAP_ARM 后立即触发。如果在 SYS_EN 之前设置 JCAP_ARM，则在设置 SYS_EN 且齿轮箱已释放时触发（不同通道的齿轮箱可能会在不同时间释放）。 0x1 = **[JESD_JCAP_LINKOUT]** 捕获链路层的输出。设置 JCAP_ARM 后，在下一次 MF/EMB 启动时触发。如果在 SYS_EN 之前设置 JCAP_ARM，则会在通道的第一个 MF/EMB 上触发。（这允许在 8b/10b 模式下捕获 ILAS。）注意：不同的通道可能会在不同的 MF/EMB 边界上触发（如果在设置 JCAP_ARM 之前链路已建立，则适用于 64b/66b 或 8b/10b）。 0x2 = **[JESD_JCAP_TRANS]** 捕获传输层的输出。设置 JCAP_ARM 后立即触发。这只能在 LINK_UP=1 时使用。在此模式下忽略 JCAP_OFFSET。 0x3-0xF = 保留

8.7.92 JCAP_OFFSET 寄存器（偏移 = 0x18C）[复位 = 0x0000]

JCAP_OFFSET 如表 8-165 所示。

返回到汇总表。

表 8-165. JCAP_OFFSET 寄存器字段说明

位	字段	类型	复位	说明
15-0	JCAP_OFFSET	R/W	0x0	延迟到 JCAP_MODE 定义的 JCAP 触发事件之后的 JCAP_OFFSET*8 个八位位组才开始捕获。

Copyright © 2026 Texas Instruments Incorporated

8.7.93 JCAP_PAGE 寄存器（偏移 = 0x18E）[复位 = 0x00]

JCAP_PAGE 如表 8-166 所示。

返回到汇总表。

表 8-166. JCAP_PAGE 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0x0	
4-0	JCAP_PAGE	R/W	0x0	选择在读取 JCAP 或 JCAP_STATUS 时从哪个逻辑页面访问捕获的数据。当 JCAP_MODE <2 时，只有前 16 页有效并对应于逻辑通道。当 JCAP_MODE=2 时，前 32 页有效，并按照“传输层调试捕获”中所示映射数据。 您可以根据需要编写 JCAP_PAGE 来访问所有通道的状态和数据。

8.7.94 JCAP_STATUS 寄存器（偏移 = 0x18F）[复位 = 0x00]

JCAP_STATUS 如表 8-167 所示。

返回到汇总表。

表 8-167. JCAP_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	JCAP_STATUS	R/W	0x0	当该位返回“1”时，表示 JCAP_PAGE 指定的通道已完成捕获，并且可以从 JCAP 读取数据。只要 JCAP_ARM=0、SYS_EN=0 或 JESD_RST=1，该位就会复位。在读取 JCAP_STATUS 之前，对 JCAP_PAGE 进行编程。 注意：当 JCAP_MODE<2 时，16 个 JCAP_PAGE 中的每一个都将包含唯一的 JCAP_STATUS。当 JCAP_MODE=2 时，仅在 JCAP_PAGE=0 时定义 JCAP_STATUS。

8.7.95 JCAP 寄存器（偏移 = 0x190）[复位 = 0xXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX]

表 8-168 中显示了 JCAP。

返回到汇总表。

表 8-168. JCAP 寄存器字段说明

位	字段	类型	复位	说明
127-0	JCAP	R	X	捕获物理层或链路层数据时，地址 0x0190 是捕获的第一个字节，0x019F 是捕获的最后一个字节。在每个字节内，位 7 是捕获的第一个位，位 0 是捕获的最后一个位。捕获传输层数据时，请参阅“传输层调试捕获”。 读取 JCAP 之前，请对 JCAP_PAGE 进行编程。除非 JCAP_STATUS=1，否则此处返回的值未定义。

8.7.96 LEC_CTRL 寄存器（偏移 = 0x1A0）[复位 = 0x02]

LEC_CTRL 如表 8-169 所示。

返回到汇总表。

表 8-169. LEC_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-169. LEC_CTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
3-2	LEC_CNT_SEL	R/W	0x0	选择在 LEC_CNT 中可以访问的通道错误计数器。 0x0 = BER 计数器 0x1 = FEC 可纠正错误计数器 0x2 = FEC 不可纠正错误计数器 0x3 = 保留
1	FEC_EM_EN	R/W	0x1	当设置该位置位、JENC=1 且 SHMODE=2 时，FEC 错误计数器将对存在 FEC 错误的多个块进行计数。要清零并重新启动计数器，请将 FEC_EM_EN 编程为 0，然后再编程回 1。
0	BER_EN	R/W	0x0	设置接收器参数后，用户可以将 JTEST 编程为 PRBS 模式，确保 JESD 接口被启用（参阅 DSP_MODE），设置 SYS_EN，然后设置 BER_EN 以启用 BER 计数器（请参阅 LEC_CNTn）。要清零并重新启动计数器，请将 BER_EN 编程为 0，然后再编程回 1。BER 逻辑将在 BER_EN 上升沿之后与传入的 PRBS 数据自同步。

8.7.97 LEC_CNT_0 寄存器（偏移 = 0x1B0）[复位 = 0xXX]

LEC_CNT_0 如 表 8-170 所示。

返回到汇总表。

表 8-170. LEC_CNT_0 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[0]	R	X	返回 LEC_CNT_SEL 中所选的错误计数器在通道 0 上检测到的错误数。该值将在 255 达到饱和。 对于 BER 计数器，通道 n 的误码率计算如下： BER = LEC_CNT[0]/F_{BIT}/T_{BER} ，其中 TBER 是从设置 BER_EN 到读取 LEC_CNT[n] 之间经过的秒数。T_{BER} 由主机系统或时钟测量。 对于 FEC 计数器，通道 n 的多块错误率 (MER) 可以按如下方式计算： MER = LEC_CNT[0]/(66*32*F_{BIT})/ T_{MER}，其中 T_{MER} 是从启动错误计数器到读取 LEC_CNT[0] 之间经过的秒数。T_{MER} 由主机系统或时钟测量。当 SYS_EN=0、JESD_RST=1、FEC_EM_EN=0 或 JTimer 到期时，FEC 错误计数器复位（请参阅 JTIMER）。 注意：未定义已禁用通道和由 EXTRA_LANE 启用的通道上的错误计数器。 注意：在启用计数器后（使用 BER_EN 或 FEC_EM_EN），用户必须等待至少 1us，然后才能读取该寄存器。

8.7.98 LEC_CNT_1 寄存器（偏移 = 0x1B1）[复位 = 0xXX]

LEC_CNT_1 如 表 8-171 所示。

返回到汇总表。

表 8-171. LEC_CNT_1 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[1]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.99 LEC_CNT_2 寄存器（偏移 = 0x1B2）[复位 = 0xXX]

LEC_CNT_2 如 表 8-172 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-172. LEC_CNT_2 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[2]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.100 LEC_CNT_3 寄存器（偏移 = 0x1B3）[复位 = 0xXX]

LEC_CNT_3 如 表 8-173 所示。

返回到汇总表。

表 8-173. LEC_CNT_3 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[3]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.101 LEC_CNT_4 寄存器（偏移 = 0x1B4）[复位 = 0xXX]

LEC_CNT_4 如 表 8-174 所示。

返回到汇总表。

表 8-174. LEC_CNT_4 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[4]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.102 LEC_CNT_5 寄存器（偏移 = 0x1B5）[复位 = 0xXX]

LEC_CNT_5 如 表 8-175 所示。

返回到汇总表。

表 8-175. LEC_CNT_5 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[5]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.103 LEC_CNT_6 寄存器（偏移 = 0x1B6）[复位 = 0xXX]

LEC_CNT_6 如 表 8-176 所示。

返回到汇总表。

表 8-176. LEC_CNT_6 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[6]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.104 LEC_CNT_7 寄存器（偏移 = 0x1B7）[复位 = 0xXX]

LEC_CNT_7 如 表 8-177 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-177. LEC_CNT_7 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[7]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.105 LEC_CNT_8 寄存器（偏移 = 0x1B8）[复位 = 0xXX]

LEC_CNT_8 如 表 8-178 所示。

返回到汇总表。

表 8-178. LEC_CNT_8 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[8]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.106 LEC_CNT_9 寄存器（偏移 = 0x1B9）[复位 = 0xXX]

LEC_CNT_9 如 表 8-179 所示。

返回到汇总表。

表 8-179. LEC_CNT_9 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[9]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.107 LEC_CNT_10 寄存器（偏移 = 0x1BA）[复位 = 0xXX]

LEC_CNT_10 如 表 8-180 所示。

返回到汇总表。

表 8-180. LEC_CNT_10 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[10]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.108 LEC_CNT_11 寄存器（偏移 = 0x1BB）[复位 = 0xXX]

LEC_CNT_11 如 表 8-181 所示。

返回到汇总表。

表 8-181. LEC_CNT_11 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[11]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.109 LEC_CNT_12 寄存器（偏移 = 0x1BC）[复位 = 0xXX]

LEC_CNT_12 如 表 8-182 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-182. LEC_CNT_12 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[12]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.110 LEC_CNT_13 寄存器（偏移 = 0x1BD）[复位 = 0xXX]

LEC_CNT_13 如 表 8-183 所示。

返回到汇总表。

表 8-183. LEC_CNT_13 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[13]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.111 LEC_CNT_14 寄存器（偏移 = 0x1BE）[复位 = 0xXX]

LEC_CNT_14 如 表 8-184 所示。

返回到汇总表。

表 8-184. LEC_CNT_14 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[14]	R	X	请参阅 LEC_CNT[0] 的说明

8.7.112 LEC_CNT_15 寄存器（偏移 = 0x1BF）[复位 = 0xXX]

LEC_CNT_15 如 表 8-185 所示。

返回到汇总表。

表 8-185. LEC_CNT_15 寄存器字段说明

位	字段	类型	复位	说明
7-0	LEC_CNT[15]	R	X	请参阅 LEC_CNT[0] 的说明

Copyright © 2026 Texas Instruments Incorporated

8.8 SerDes_Equalizer 寄存器

表 8-186 列出了 SerDes_Equalizer 寄存器的存储器映射寄存器。表 8-186 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-186. SERDES_EQUALIZER 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x1C0	CDR0		节 8.8.1
0x1D0	EQ_CTRL		节 8.8.2
0x1D1	EQZERO		节 8.8.3
0x1D2	LANE_EQ_0		节 8.8.4
0x1D3	LANE_EQ_1		节 8.8.5
0x1D4	LANE_EQ_2		节 8.8.6
0x1D5	LANE_EQ_3		节 8.8.7
0x1D6	LANE_EQ_4		节 8.8.8
0x1D7	LANE_EQ_5		节 8.8.9
0x1D8	LANE_EQ_6		节 8.8.10
0x1D9	LANE_EQ_7		节 8.8.11
0x1DA	LANE_EQ_8		节 8.8.12
0x1DB	LANE_EQ_9		节 8.8.13
0x1DC	LANE_EQ_10		节 8.8.14
0x1DD	LANE_EQ_11		节 8.8.15
0x1DE	LANE_EQ_12		节 8.8.16
0x1DF	LANE_EQ_13		节 8.8.17
0x1E0	LANE_EQ_14		节 8.8.18
0x1E1	LANE_EQ_15		节 8.8.19
0x1E2	EQDEBUG		节 8.8.20

复杂的位访问类型经过编码可适应小型表单元。表 8-187 展示了适用于此部分中访问类型的代码。

表 8-187. SerDes_Equalizer 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.8.1 CDR0 寄存器（偏移 = 0x1C0）[复位 = 0x51]

CDR0 如 表 8-188 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-188. CDR0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-4	CDRVOTE	R/W	0x5	指定触发 CDR 环路调整相位内插器所需的（净）投票数。较高的设置会使环路响应速度变慢，但能降低环路噪声。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = 1 0x1 = 3 0x2 = 5 0x3 = 7 0x4 = 15 0x5 = 31（默认值） 0x6 = 保留 0x7 = 保留
3-2	RESERVED	R-0/W	0x0	
1-0	CDRSTL	R/W	0x1	指定 CDR 环路在每次调整相位内插器后，停止分析数据的时长。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = 32UI 0x1 = 96UI 0x2 = 192UI 0x3 = 2016UI

8.8.2 EQ_CTRL 寄存器（偏移 = 0x1D0）[复位 = 0x00]

表 8-189 中显示了 EQ_CTRL。

返回到汇总表。

表 8-189. EQ_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R-0/W	0x0	
4	EQ_OVR	R/W	0x0	当 EQMODE=1 或更高时，您可以使用 EQLEVEL[n] 寄存器编程 EQ_OVR=1，以覆盖均衡器电平。影响所有通道。
3	EQZ_OVR	R/W	0x0	设置该位可以启用 EQZERO 寄存器（覆盖均衡器的零点频率）。当 EQZ_OVR=0 时，根据 RATE 寄存器设置频率。影响所有通道。
2	EQHOLD	R/W	0x0	当均衡器处于完全自适应模式（EQMODE=1 和 EQ_OVR=0）时，对 EQHOLD 进行编程将冻结（保持）自适应环路（针对所有通道）。
1-0	EQMODE	R/W	0x0	设置均衡器模式（针对所有通道）：请参阅“均衡器”部分。 0x0 = EQ_DISABLE 0x1 = EQ_ENABLE 0x2 = EQ_PRECURSOR 0x3 = EQ_POSTCURSOR

8.8.3 EQZERO 寄存器（偏移 = 0x1D1）[复位 = 0x00]

表 8-190 中显示了 EQZERO。

返回到汇总表。

表 8-190. EQZERO 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-190. EQZERO 寄存器字段说明 （续）

位	字段	类型	复位	说明
4-0	EQZERO	R/W	0x0	当 EQZ_OVR=1 时，该字段覆盖均衡器的零点频率（针对所有通道）。当 EQZ_OVR=0 时，零频将根据 RATE 设置自动调整。 EQZERO：零频率 (MHz)：注意 0:114: 2:124：当 RATE=4 时自动设置 10:169: 17:222：当 RATE=3 时自动设置 22:326: 25:426：当 RATE=2 时自动设置 27:615: 29:792：当 RATE=1 时自动设置 30:1122: 31:2027:：当 RATE=0 时自动设置 所有其他：保留：

8.8.4 LANE_EQ_0 寄存器（偏移 = 0x1D2）[复位 = 0x17]

LANE_EQ_0 如 表 8-191 所示。

返回到汇总表。

表 8-191. LANE_EQ_0 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[0]	R/W	0x1	控制物理通道 0 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[0]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 0 的均衡级别。有效范围为 0 到 14。

8.8.5 LANE_EQ_1 寄存器（偏移 = 0x1D3）[复位 = 0x17]

LANE_EQ_1 如 表 8-192 所示。

返回到汇总表。

表 8-192. LANE_EQ_1 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[1]	R/W	0x1	控制物理通道 1 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[1]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 1 的均衡级别。有效范围为 0 到 14。

8.8.6 LANE_EQ_2 寄存器（偏移 = 0x1D4）[复位 = 0x17]

LANE_EQ_2 如 表 8-193 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-193. LANE_EQ_2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0x0	
5-4	EQTRIM[2]	R/W	0x1	控制物理通道 2 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[2]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 2 的均衡级别。有效范围为 0 到 14。

8.8.7 LANE_EQ_3 寄存器（偏移 = 0x1D5）[复位 = 0x17]

LANE_EQ_3 如 表 8-194 所示。

返回到汇总表。

表 8-194. LANE_EQ_3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[3]	R/W	0x1	控制物理通道 3 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[3]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 3 的均衡级别。有效范围为 0 到 14。

8.8.8 LANE_EQ_4 寄存器（偏移 = 0x1D6）[复位 = 0x17]

LANE_EQ_4 如 表 8-195 所示。

返回到汇总表。

表 8-195. LANE_EQ_4 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[4]	R/W	0x1	控制物理通道 4 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[4]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 4 的均衡级别。有效范围为 0 到 14。

8.8.9 LANE_EQ_5 寄存器（偏移 = 0x1D7）[复位 = 0x17]

LANE_EQ_5 如 表 8-196 所示。

返回到汇总表。

表 8-196. LANE_EQ_5 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-196. LANE_EQ_5 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	EQTRIM[5]	R/W	0x1	控制物理通道 5 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[5]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 5 的均衡级别。有效范围为 0 到 14。

8.8.10 LANE_EQ_6 寄存器（偏移 = 0x1D8）[复位 = 0x17]

LANE_EQ_6 如 表 8-197 所示。

返回到汇总表。

表 8-197. LANE_EQ_6 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[6]	R/W	0x1	控制物理通道 6 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[6]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 6 的均衡级别。有效范围为 0 到 14。

8.8.11 LANE_EQ_7 寄存器（偏移 = 0x1D9）[复位 = 0x17]

LANE_EQ_7 如 表 8-198 所示。

返回到汇总表。

表 8-198. LANE_EQ_7 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[7]	R/W	0x1	控制物理通道 7 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[7]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 7 的均衡级别。有效范围为 0 到 14。

8.8.12 LANE_EQ_8 寄存器（偏移 = 0x1DA）[复位 = 0x17]

LANE_EQ_8 如 表 8-199 所示。

返回到汇总表。

表 8-199. LANE_EQ_8 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-199. LANE_EQ_8 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	EQTRIM[8]	R/W	0x1	控制物理通道 8 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[8]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 8 的均衡级别。有效范围为 0 到 14。

8.8.13 LANE_EQ_9 寄存器（偏移 = 0x1DB）[复位 = 0x17]

LANE_EQ_9 如 表 8-200 所示。

返回到汇总表。

表 8-200. LANE_EQ_9 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[9]	R/W	0x1	控制物理通道 9 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[9]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 9 的均衡级别。有效范围为 0 到 14。

8.8.14 LANE_EQ_10 寄存器（偏移 = 0x1DC）[复位 = 0x17]

LANE_EQ_10 如 表 8-201 所示。

返回到汇总表。

表 8-201. LANE_EQ_10 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[10]	R/W	0x1	控制物理通道 10 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[10]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 10 的均衡级别。有效范围为 0 到 14。

8.8.15 LANE_EQ_11 寄存器（偏移 = 0x1DD）[复位 = 0x17]

LANE_EQ_11 如 表 8-202 所示。

返回到汇总表。

表 8-202. LANE_EQ_11 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-202. LANE_EQ_11 寄存器字段说明 （续）

位	字段	类型	复位	说明
5-4	EQTRIM[11]	R/W	0x1	控制物理通道 11 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[11]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 11 的均衡级别。有效范围为 0 到 14。

8.8.16 LANE_EQ_12 寄存器（偏移 = 0x1DE）[复位 = 0x17]

LANE_EQ_12 如 表 8-203 所示。

返回到汇总表。

表 8-203. LANE_EQ_12 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[12]	R/W	0x1	控制物理通道 12 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[12]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 12 的均衡级别。有效范围为 0 到 14。

8.8.17 LANE_EQ_13 寄存器（偏移 = 0x1DF）[复位 = 0x17]

LANE_EQ_13 如 表 8-204 所示。

返回到汇总表。

表 8-204. LANE_EQ_13 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[13]	R/W	0x1	控制物理通道 13 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[13]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 13 的均衡级别。有效范围为 0 到 14。

8.8.18 LANE_EQ_14 寄存器（偏移 = 0x1E0）[复位 = 0x17]

LANE_EQ_14 如 表 8-205 所示。

返回到汇总表。

表 8-205. LANE_EQ_14 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-205. LANE_EQ_14 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	EQTRIM[14]	R/W	0x1	控制物理通道 14 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[14]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 14 的均衡级别。有效范围为 0 到 14。

8.8.19 LANE_EQ_15 寄存器（偏移 = 0x1E1）[复位 = 0x17]

LANE_EQ_15 如 表 8-206 所示。

返回到汇总表。

表 8-206. LANE_EQ_15 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5-4	EQTRIM[15]	R/W	0x1	控制物理通道 15 的 EQ 修整。 0x0 = EQ_TRIM_POS12 0x1 = EQ_TRIM_DEFAULT 0x2 = EQ_TRIM_NEG10 0x3 = EQ_TRIM_NEG18
3-0	EQLEVEL[15]	R/W	0x7	当 EQ_OVR=1 时，该字段控制物理通道 15 的均衡级别。有效范围为 0 到 14。

8.8.20 EQDEBUG 寄存器（偏移 = 0x1E2）[复位 = 0x06]

EQDEBUG 如 表 8-207 所示。

返回到汇总表。

表 8-207. EQDEBUG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5	EQUD	R/W	0x0	设置后，自适应 EQ 将检测“P”模式，以增强其从严重欠均衡状况中恢复的能力。此类欠均衡状况可能导致 CDR 无法锁定。
4	EQOD	R/W	0x0	设置后，若长时间未检测到均衡模式，自适应 EQ 将自动降低均衡电平。这有助于从严重过均衡状态中恢复。此功能未在 PHY 中实现。
3-0	RESERVED	R/W	0x6	

Copyright © 2026 Texas Instruments Incorporated

8.9 SerDes_Eye-Scan 寄存器

表 8-208 列出了 SerDes_Eye-Scan 寄存器的存储器映射寄存器。表 8-208 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-208. SERDES_EYE-SCAN 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x1F0	ESRUN		节 8.9.1
0x1F1	ES_CNTL		节 8.9.2
0x1F2	ESPO		节 8.9.3
0x1F3	ESVO		节 8.9.4
0x1F4	ESBSEL		节 8.9.5
0x1F5	ECOUNT_CLR		节 8.9.6

复杂的位访问类型经过编码可适应小型表单元。表 8-209 展示了适用于此部分中访问类型的代码。

表 8-209. SerDes_Eye-Scan 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.9.1 ESRUN 寄存器（偏移 = 0x1F0）[复位 = 0x00]

表 8-210 中显示了 ESRUN。

返回到汇总表。

表 8-210. ESRUN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	ESRUN	R/W	0x0	设置眼图扫描后，请设置 ESRUN=1 以运行眼图扫描测试。请参阅“眼图扫描使用模式”。

8.9.2 ES_CNTL 寄存器（偏移 = 0x1F1）[复位 = 0x00]

ES_CNTL 如表 8-211 所示。

返回到汇总表。

表 8-211. ES_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-211. ES_CNTL 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	ESLEN	R/W	0x0	指定眼图扫描测试的长度。值越大，结果越一致，但需要的时间越长。 注意：许多眼图扫描模式仅分析零（或一）。由于它们不会分析每个样本，因此与分析所有样本的模式相比，这些模式将需要更长时间才能完成。 0x0 = 127 0x1 = 1032 0x2 = 8191 0x3 = 65535
3-0	EYESCAN_MODE	R/W	0x0	指定眼图扫描模式。适用于所有通道。 注意：仅在 ESRUN=0 时更改该寄存器。 0x0 = ES_DISABLED 眼图扫描禁用（默认）。 0x1 = ES_COMPARE 统计普通采样器和眼图扫描采样器之间的不匹配。分析零和一。 0x2 = ES_COMPAREZEROS，与 0b0001 功能相同，但仅分析逻辑零。 0x3 = ES_COMPAREONES，与 0b0001 功能相同，但仅分析逻辑一。 0x4 = ES_COUNTONES，眼图采样为 1 时递增 ECOUNT [n]。 0x5 = 保留 0x6 = 保留 0x7 = 保留 0x8 = ES_AVEZEROS，将 ESVO_Sn 调节为零的平均电压。 0x9 = ES_OUTERZEROS，将 ESVO_Sn 调节为零的最低电压。 0xA = ES_INNERZEROS，将 ESVO_Sn 调节为零的最高电压。 0xB = 保留 0xC = ES_AVGONES，将 ESVO_Sn 调节为一的平均电压。 0xD = ES_OUTERONES，将 ESVO_Sn 调节为一的最高电压。 0xE = ES_INNERONES，将 ESVO_Sn 调节为一的最低电压。 0xF = 保留

8.9.3 ESPO 寄存器（偏移 = 0x1F2）[复位 = 0x00]

表 8-212 中显示了 ESPO。

返回到汇总表。

表 8-212. ESPO 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-0	ESPO	R/W	0x0	所有通道的眼图扫描相位偏移。与普通采样器相比，这可调节眼图扫描采样器的采样时刻。这是一个介于 -64 和 +63 之间的有符号值，步长为 UI 的 1/32。 注意：仅在 ESRUN=0 时更改该寄存器。

8.9.4 ESVO 寄存器（偏移 = 0x1F3）[复位 = 0x00]

表 8-213 中显示了 ESVO。

返回到汇总表。

表 8-213. ESVO 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-213. ESVO 寄存器字段说明（续）

位	字段	类型	复位	说明
5-0	ESVO	R/W	0x0	所有通道的眼图扫描电压偏移量。这将调节眼图扫描采样器的电压阈值。这是一个介于 -32 和 +31 之间的有符号值。步长约为 10mV（提供大约 -320mV 至 +310mV 的调节范围）。对于自动调节电压偏移量并在 ESVO_S[n] 上返回结果的眼图扫描模式，将忽略该字段。 注意：仅在 ESRUN=0 时更改该寄存器。

8.9.5 ESBSEL 寄存器（偏移 = 0x1F4）[复位 = 0x00]

表 8-214 中显示了 ESBSEL。

返回到汇总表。

表 8-214. ESBSEL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R-0/W	0x0	
4-0	ESBSEL	R/W	0x0	眼图扫描仅在每 32 位运行一次（PHY 总线宽度为 32 位）。该字段指定运行眼图扫描的位位置（有效范围为 0 至 31）。可以使用 ESBSEL 的所有可能值运行眼图扫描并将结果合并。或者，可以将结果分开，以查看任何占空比失真/重复抖动的影响。 注意：仅在 ESRUN=0 时更改该寄存器。

8.9.6 ECOUNT_CLR 寄存器（偏移 = 0x1F5）[复位 = 0x00]

ECOUNT_CLR 如表 8-215 所示。

返回到汇总表。

表 8-215. ECOUNT_CLR 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	ECOUNT_CLR	R/W	0x0	将其编程为 1，然后编程为 0，以将 ECOUNT 计数器清零。

Copyright © 2026 Texas Instruments Incorporated

8.10 SerDes_Lane_Status 寄存器

表 8-216 列出了 SerDes_Lane_Status 寄存器的存储器映射寄存器。表 8-216 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-216. SERDES_LANE_STATUS 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x218	PHY_LANE		节 8.10.1
0x219	PHY_SSEL		节 8.10.2
0x21A	PHY_STATUS		节 8.10.3

复杂的位访问类型经过编码可适应小型表单元。表 8-217 展示了适用于此部分中访问类型的代码。

表 8-217. SerDes_Lane_Status 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.10.1 PHY_LANE 寄存器（偏移 = 0x218）[复位 = 0x00]

PHY_LANE 如表 8-218 所示。

返回到汇总表。

表 8-218. PHY_LANE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	保留
3-0	PHY_LANE	R/W	0x0	指定选择哪个物理 PHY 通道通过 PHY_STATUS 寄存器读回状态数据。

8.10.2 PHY_SSEL 寄存器（偏移 = 0x219）[复位 = 0x00]

PHY_SSEL 如表 8-219 所示。

返回到汇总表。

表 8-219. PHY_SSEL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R-0/W	0x0	保留
4-0	PHY_SSEL	R/W	0x0	指定在 PHY_STATUS 寄存器上返回哪个状态字段

8.10.3 PHY_STATUS 寄存器（偏移 = 0x21A）[复位 = 0xXXXX]

PHY_STATUS 如表 8-220 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-220. PHY_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHY_STATUS	R	X	返回物理通道的状态信息。在读取该寄存器之前，对 PHY_LANE 进行编程以选择物理通道，并对 PHY_SSEL 进行编程以选择要返回哪种类型的数据。请参阅“串行器/解串器 PHY 状态”部分

Copyright © 2026 Texas Instruments Incorporated

8.11 SerDes_PLL 寄存器

表 8-221 列出了 SerDes_PLL 寄存器的存储器映射寄存器。表 8-221 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-221. SERDES_PLL 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x228	SPLL_STATUS		节 8.11.1
0x229	SPLL_STATUS2		节 8.11.2

复杂的位访问类型经过编码可适应小型表单元。表 8-222 展示了适用于此部分中访问类型的代码。

表 8-222. SerDes_PLL 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.11.1 SPLL_STATUS 寄存器（偏移 = 0x228）[复位 = 0x0X]

SPLL_STATUS 如表 8-223 所示。

返回到汇总表。

表 8-223. SPLL_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	保留
0	SPLL_LOCK_LOST	R/W1C	X	只要来自 SPLL 的 LOCK 信号为低电平，就会设置此位。这是一个粘滞位（即使 SPLL 获得锁定也保持置位状态）。写入 1 表示清除。这用于调试目的，并允许 SPI 监测 SPLL 是否失去锁定（即使短暂失去锁定）。

8.11.2 SPLL_STATUS2 寄存器（偏移 = 0x229）[复位 = 0xXX]

SPLL_STATUS2 如 表 8-224 所示。

返回到汇总表。

表 8-224. SPLL_STATUS2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0	0x0	保留
5	SPLL_NO_LOCK	R	X	这表示 SPLL 已完成校准，但无法保持或维持稳定锁定。如果实现了锁定，但随后持续丢失（可能是由于参考时钟频率的变化），也会发生这种情况。
4	SPLL_CORE_GAP	R	X	如果 SPLL 检测到内核之间的频差，则返回 1。如果发生这种情况，SPLL 可能存在故障。

Copyright © 2026 Texas Instruments Incorporated

表 8-224. SPLL_STATUS2 寄存器字段说明（续）

位	字段	类型	复位	说明
3	SPLL_REF_SLOW	R	X	如果 SPLL 基准时钟太慢以至于 SPLL 无法锁定，则返回 1。如果发生这种情况，请验证 SPLL 设定（REFDIV 和 MPY）。
2	SPLL_REF_FAST	R	X	如果 SPLL 基准时钟过快而无法锁定 SPLL，则返回 1。如果发生这种情况，请验证 SPLL 设定（REFDIV 和 MPY）。
1	SPLL_VCAL_DONE	R	X	返回 1 以指示 SPLL 校准已完成。设置 SYS_EN 后会进行校准，而 JESD_M 为非零且 VCAL_EN=1。
0	RESERVED	R-0	0x0	保留

Copyright © 2026 Texas Instruments Incorporated

8.12 DAC_and_Analog_Configuration 寄存器

表 8-225 列出了 DAC_and_Analog_Configuration 寄存器的存储器映射寄存器。表 8-225 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-225. DAC_AND_ANALOG_CONFIGURATION 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x280	CURRENT_2X		节 8.12.1
0x2A0	DACA_CURRENT		节 8.12.2
0x2A1	DACB_CURRENT		节 8.12.3
0x2AF	CS_AMP_FILTER		节 8.12.4
0x2B0	EXTREF_EN		节 8.12.5
0x2C0	NOISEREDUCE_EN0		节 8.12.6
0x2C1	NOISEREDUCE_EN1		节 8.12.7
0x2CF	DAC_OFS_CHG_BLK		节 8.12.8

复杂的位访问类型经过编码可适应小型表单元。表 8-226 展示了适用于此部分中访问类型的代码。

表 8-226. DAC_and_Analog_Configuration 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.12.1 CURRENT_2X 寄存器（偏移 = 0x280）[复位 = 0x00]

CURRENT_2X 如 表 8-227 所示。

返回到汇总表。

表 8-227. CURRENT_2X 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0x0	保留
0	CURRENT_2X_EN	R/W	0x0	0x0 = 为两个 DAC 启用 2 倍电流模式。 0x1 = 为两个 DAC 禁用 2 倍电流模式。

8.12.2 DACA_CURRENT 寄存器（偏移 = 0x2A0）[复位 = 0x0F]

DACA_CURRENT 如表 8-228 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-228. DACA_CURRENT 寄存器字段说明

位	字段	类型	复位	说明
7-4	COARSE_CUR_A_SLEEP	R/W	0x0	睡眠模式下 DACA 的粗调电流控制
3-0	COARSE_CUR_A	R/W	0xF	有源模式下 DACA 的粗调电流控制

8.12.3 DACB_CURRENT 寄存器（偏移 = 0x2A1）[复位 = 0x0F]

DACB_CURRENT 如表 8-229 所示。

返回到汇总表。

表 8-229. DACB_CURRENT 寄存器字段说明

位	字段	类型	复位	说明
7-4	COARSE_CUR_B_SLEEP	R/W	0x0	睡眠模式下 DACB 的粗调电流控制
3-0	COARSE_CUR_B	R/W	0xF	有源模式下 DACB 的粗调电流控制

8.12.4 CS_AMP_FILTER 寄存器（偏移 = 0x2AF）[复位 = 0x00]

CS_AMP_FILTER 如表 8-230 所示。

返回到汇总表。

表 8-230. CS_AMP_FILTER 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-2	CS_AMP_FILTER1	R/W	0x0	调整 DACB 电流源偏置路径中低通滤波器的截止频率。设置越高，电流源路径中带宽就越低，这会抑制 1/f 噪声但启动时间会更长。 0x0 = 20kHz 时的截止频率（默认） 0x1 = 4kHz 时的截止频率 0x2 = 800Hz 时的截止频率 0x3 = 1Hz 时的截止频率
1-0	CS_AMP_FILTER0	R/W	0x0	调整 DACA 电流源偏置路径中低通滤波器的截止。请参阅 CS_AMP_FILTER1。

8.12.5 EXTREF_EN 寄存器（偏移 = 0x2B0）[复位 = 0x00]

EXTREF_EN 如表 8-231 所示。

返回到汇总表。

表 8-231. EXTREF_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	EXTREF_EN	R/W	0x0	启用外部基准

8.12.6 NOISEREDUCE_EN0 寄存器（偏移 = 0x2C0）[复位 = 0xFF]

NOISEREDUCE_EN0 如 表 8-232 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-232. NOISEREDUCE_EN0 寄存器字段说明

位	字段	类型	复位	说明
7-6	NOISEREDUCE_IO18_EN	R/W	0x3	降低 1.8V VDDIO 电源的噪声。
5	NOISEREDUCE_CLKDRV_DACB_EN	R/W	0x1	减少 DACB 时钟驱动器电源 (AVDDCLK) 上的噪声。
4	NOISEREDUCE_CLKDRV_DACA_EN	R/W	0x1	减少 DACA 时钟驱动器电源 (AVDDCLK) 上的噪声。
3-2	NOISEREDUCE_MUX_DACB_EN	R/W	0x3	降低 DACB MUX 电源上的噪声。将两个位设置为相同的值。
1-0	NOISEREDUCE_MUX_DACA_EN	R/W	0x3	降低 DACA MUX 电源上的噪声。将两个位设置为相同的值。

8.12.7 NOISEREDUCE_EN1 寄存器（偏移 = 0x2C1）[复位 = 0x0F]

NOISEREDUCE_EN1 如 表 8-233 所示。

返回到汇总表。

表 8-233. NOISEREDUCE_EN1 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-2	NOISEREDUCE_SWDRV_DACB_EN	R/W	0x3	降低 DACB 开关驱动器电源上的噪声。将两个位设置为相同的值。
1-0	NOISEREDUCE_SWDRV_DACA_EN	R/W	0x3	降低 DACA 开关驱动器电源上的噪声。将两个位设置为相同的值。

8.12.8 DAC_OFS_CHG_BLK 寄存器（偏移 = 0x2CF）[复位 = 0x00]

DAC_OFS_CHG_BLK 如表 8-234 所示。

返回到汇总表。

表 8-234. DAC_OFS_CHG_BLK 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	DAC_OFS_CHG_BLK	R/W	0x0	设置后，对 DAC_OFS[n] 的更改不会传播到高速时钟，两个 DAC 继续使用其当前值。当这个值从 1 更改为 0 时，新的 DAC_OFS[n] 值将应用于两个 DAC。当新值应用于每个 DAC 时，可能存在微小的时间偏移（数十个 CLK 周期）。

Copyright © 2026 Texas Instruments Incorporated

8.13 Datapath 寄存器

表 8-235 列出了 Datapath 寄存器的存储器映射寄存器。表 8-235 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-235. DATAPATH 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x2E0	DSP_MODE		节 8.13.1
0x2E2	DSP_L		节 8.13.2
0x2E3	DSP_GAIN0		节 8.13.3
0x2E4	DSP_GAIN1		节 8.13.4
0x2E5	DSP_GAIN2		节 8.13.5
0x2E6	DSP_GAIN3		节 8.13.6
0x2E7	DSP_FORMAT		节 8.13.7
0x2E8	DAC_SRC		节 8.13.8
0x2E9	DAC_SRC_ALT		节 8.13.9
0x2EA	MXMODE		节 8.13.10
0x2EB	TRUNC_HLSB		节 8.13.11
0x2EC	DAC_DLY0		节 8.13.12
0x2ED	DAC_DLY1		节 8.13.13
0x2EE	DAC_INV		节 8.13.14

复杂的位访问类型经过编码可适应小型表单元。表 8-236 展示了适用于此部分中访问类型的代码。

表 8-236. Datapath 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.13.1 DSP_MODE 寄存器 (偏移 = 0x2E0) [复位 = 0x0000]

DSP_MODE 如表 8-237 所示。

返回到汇总表。

表 8-237. DSP_MODE 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-237. DSP_MODE 寄存器字段说明（续）

位	字段	类型	复位	说明
14-12	DSP_MODE3	R/W	0x0	DSP_MODE3 字段定义 DSP 通道 3 的工作模式。 注意：注意：当所有 DSP 被禁用时，此部件自动激活旁路模式（JESD 样本发送至 DAC）。 JESD 接口和 DSP 通道之间无交叉开关，一定要为需要 JESD 采样的 DSP 模式分配较低编号的 DSP 通道（通道 0 至 JESD_M/2 – 1），这一点很重要。确保还对 JESD_M 进行适当编程。如果没有 DSP 需要 JESD 样本，则使用 JESD_M=0。请参阅 DSP 模式。 注意：当 DSP_L 配置为 4 倍或 6 倍内插时，只有 DSP 通道 0 和 1 可以在 DUC 模式下运行。其余通道必须使用其他模式（或禁用）。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = DSP0 禁用（未使用） 0x1 = DUC 模式 – 通过 DUC 发送 JESD 样本 0x2 = DDS SPI 模式 – 使用来自 FREQ、PHASE 和 AMP 寄存器的 DDS 值（未使用 JESD 样本） 0x3 = DDS 矢量模式 – 使用 DDS 矢量播放器创建 DAC 样本（未使用 JESD 样本） 0x4 = DDS 流模式 – 使用从 JESD 接口流式传输的 DDS 参数 0x5 = 保留 0x6 = 保留 0x7 = 保留
11	RESERVED	R-0/W	0x0	
10-8	DSP_MODE2	R/W	0x0	DSP_MODE2 字段定义 DSP 通道 2 的工作模式，具体可依据 DSP_MODE3 的表
7	RESERVED	R-0/W	0x0	
6-4	DSP_MODE1	R/W	0x0	DSP_MODE1 字段定义 DSP 通道 1 的工作模式，具体可依据 DSP_MODE3 的表
3	RESERVED	R-0/W	0x0	
2-0	DSP_MODE0	R/W	0x0	DSP_MODE0 字段定义 DSP 通道 0 的工作模式，具体可依据 DSP_MODE3 的表

8.13.2 DSP_L 寄存器（偏移 = 0x2E2）[复位 = 0x00]

DSP_L 如表 8-238 所示。

返回到汇总表。

表 8-238. DSP_L 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-238. DSP_L 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	DSP_L	R/W	0x0	指定 DUC 内插因子或 DDS 上采样因子。DSP_L 仅在 JESD_M 大于 0 且启用了至少一个 DSP 通道 (DSP_MODE) 时适用。这通常意味着为 DUC 模式或 DDS 流模式配置一个或多个 DSP 通道（请参阅 DSP_MODE）。但是，JESD 接口也可以用于为在 DDS-SPI 或 DDS-Vector 模式下运行的 DSP 提供触发信号。所有 DSP 通道共用一项设置。 所有设置 0x3-0xF 都支持 DUC 模式、DDS-SPI 模式、DDS 矢量模式。 注意：如果 DSP 通道在各种模式下运行，则必须选择支持所有活动模式的 DSP_L 设置。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = 保留 0x1 = 保留 0x2 = 保留 0x3 = 4x 0x4 = 6x 0x5 = 8x 0x6 = 12x 0x7 = 16x（也适用于 DDS 流上采样因子） 0x8 = 24x 0x9 = 32x（也适用于 DDS 流上采样因子） 0xA = 48x 0xB = 64x（也适用于 DDS 流上样本因子） 0xC = 96x 0xD = 128x 0xE = 192x 0xF = 256x

8.13.3 DSP_GAIN0 寄存器（偏移 = 0x2E3）[复位 = 0x00]

DSP_GAIN0 如 表 8-239 所示。

返回到汇总表。

表 8-239. DSP_GAIN0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-4	DSP_GAIN0_COARSE	R/W	0x0	调整 DSP 通道 0 的输出粗调增益。 COARSE_GAIN = 2^{-VALUE}
3-0	DSP_GAIN0_FINE	R/W	0x0	调整 DSP 通道 0 的输出精细增益。 FINE_GAIN = 1 - (VALUE/32)

8.13.4 DSP_GAIN1 寄存器（偏移 = 0x2E4）[复位 = 0x00]

DSP_GAIN1 如 表 8-240 所示。

返回到汇总表。

表 8-240. DSP_GAIN1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-4	DSP_GAIN1_COARSE	R/W	0x0	调整 DSP 通道 1 的输出粗调增益。 COARSE_GAIN = 2^{-VALUE}
3-0	DSP_GAIN1_FINE	R/W	0x0	调整 DSP 通道 1 的输出精细增益。 FINE_GAIN = 1 - (VALUE/32)

Copyright © 2026 Texas Instruments Incorporated

8.13.5 DSP_GAIN2 寄存器（偏移 = 0x2E5）[复位 = 0x00]

DSP_GAIN2 如 表 8-241 所示。

返回到汇总表。

表 8-241. DSP_GAIN2 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-4	DSP_GAIN2_COARSE	R/W	0x0	调整 DSP 通道 2 的输出粗调增益。 COARSE_GAIN = 2^{-VALUE}
3-0	DSP_GAIN2_FINE	R/W	0x0	调整 DSP 通道 2 的输出精细增益。 FINE_GAIN = 1 - (VALUE/32)

8.13.6 DSP_GAIN3 寄存器（偏移 = 0x2E6）[复位 = 0x00]

DSP_GAIN3 如 表 8-242 所示。

返回到汇总表。

表 8-242. DSP_GAIN3 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-4	DSP_GAIN3_COARSE	R/W	0x0	调整 DSP 通道 3 的输出粗调增益。 COARSE_GAIN = 2^{-VALUE}
3-0	DSP_GAIN3_FINE	R/W	0x0	调整 DSP 通道 3 的输出精细增益。 FINE_GAIN = 1 - (VALUE/32)

8.13.7 DSP_FORMAT 寄存器（偏移 = 0x2E7）[复位 = 0x00]

DSP_FORMAT 如表 8-243 所示。

返回到汇总表。

表 8-243. DSP_FORMAT 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0x0	
0	DSP_FORMAT	R/W	0x0	当 DSP 配置为 DUC 模式或 DDS 模式时，选择实数或虚数输出（请参阅 DSP_MODE）。 注意：该寄存器会影响 DUC 和 DDS 模式。 0x0 = DSP 输出为实数（DSP 混频器通过丢弃虚部将复数转换为实数）。最多可启用 4 个 DSP。 0x1 = DSP 输出为复数。最多可启用 2 个 DSP（DSP0 和 DSP1）。DSP2 中的混频器为 DSP0 生成虚数样本，因此用户应使用 DAC_SRC 将 DAC 绑定到 DSP2。类似地，如果启用了 DSP1，则 DSP3 中的混频器会为 DSP1 生成虚数样本，因此用户应该将 DAC 绑定到 DSP3，以在需要时访问这些样本。请参阅“复数输出支持”。

8.13.8 DAC_SRC 寄存器（偏移 = 0x2E8）[复位 = 0x21]

DAC_SRC 如表 8-244 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-244. DAC_SRC 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC_SRC1	R/W	0x2	在旁路模式下（请参阅 DSP_MODE），DAC_SRC1 选择将哪个输入流发送到 DACB。在 DUC 或 DDS 模式下，DAC_SRC1 控制将哪些 DSP (DUC/DDS) 输出路由（相加）到 DACB。 位 0：旁路中的 DSP0 或流 0 位 1：旁路中的 DSP1 或流 1 位 2：DSP2 bit3：DSP3
3-0	DAC_SRC0	R/W	0x1	请参阅 DAC_SRC1

8.13.9 DAC_SRC_ALT 寄存器（偏移 = 0x2E9）[复位 = 0x00]

DAC_SRC_ALT 如表 8-245 所示。

返回到汇总表。

表 8-245. DAC_SRC_ALT 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC_SRC_ALT1	R/W	0x0	DAC_SRC_ALT1 寄存器的格式与 DAC_SRC1 寄存器完全相同，但仅在通过引脚控制来在 DAC 通道上激活备用绑定功能时适用。请参阅 SYNCB_PIN_FUNC 和 TX_PIN_FUNC。
3-0	DAC_SRC_ALT0	R/W	0x0	DAC_SRC_ALT0 寄存器的格式与 DAC_SRC0 寄存器完全相同，但仅在通过引脚控制来在 DAC 通道上激活备用绑定功能时适用。请参阅 SYNCB_PIN_FUNC 和 TX_PIN_FUNC。

8.13.10 MXMODE 寄存器（偏移 = 0x2EA）[复位 = 0x00]

表 8-246 中显示了 MXMODE。

返回到汇总表。

表 8-246. MXMODE 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R-0/W	0x0	
6-4	MXMODE1	R/W	0x0	为 DACB 指定 DAC 输出模式。 0x0 = 正常模式（非归零 (NRZ)）（n*FS 处 sinc 空值） 0x1 = 射频模式（恢复为逆变换 (RTI)）（直流和 2n*FS 处 sinc 空值） 0x2 = 归零 (RTZ)（2n*FS 处 sinc 空值） 0x3 = DES2XL – DES 内插器提供的样本 0x4 = DES2XH – DES 内插器提供的样本（高通模式） 0x5 = 保留 0x6 = 禁用 - 禁用 DACB 0x7 = 保留
3	RESERVED	R-0/W	0x0	
2-0	MXMODE0	R/W	0x0	参阅 MXMODE0

8.13.11 TRUNC_HLSB 寄存器（偏移 = 0x2EB）[复位 = 0x00]

TRUNC_HLSB 如表 8-247 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-247. TRUNC_HLSB 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	TRUNC_HLSB	R/W	0x0	当 DAC 的输出分辨率小于 16 位时，输出将截断到适当的分辨率。如果将该位置位，将向截位后的值添加 1/2 LSB 偏移，以降低截位操作引入的平均偏移。

8.13.12 DAC_DLY0 寄存器（偏移 = 0x2EC）[复位 = 0x00]

DAC_DLY0 如 表 8-248 所示。

返回到汇总表。

表 8-248. DAC_DLY0 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5	DAC_DLY0_EN	R/W	0x0	0x0 = 禁用 DACA 的可调延迟（默认值） 0x1 = 启用 DACA 的可调延迟
4-0	DAC_DLY0_VAL	R/W	0x0	调整 DACA 的延迟。增加的延迟（以 DACCLK 周期为单位）为 64 + DAC_DLY0_VAL。 注意：除非在更改期间样本流是静态的，否则更改该寄存器会对 DAC 输出产生干扰。

8.13.13 DAC_DLY1 寄存器（偏移 = 0x2ED）[复位 = 0x00]

DAC_DLY1 如 表 8-249 所示。

返回到汇总表。

表 8-249. DAC_DLY1 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5	DAC_DLY1_EN	R/W	0x0	0x0 = 禁用 DACB 的可调延迟（默认值） 0x1 = 启用 DACB 的可调延迟
4-0	DAC_DLY1_VAL	R/W	0x0	调整 DACB 的延迟。增加的延迟（以 DACCLK 周期为单位）为 64 + DAC_DLY1_VAL。 注意：除非在更改期间样本流是静态的，否则更改该寄存器会对 DAC 输出产生干扰。

8.13.14 DAC_INV 寄存器（偏移 = 0x2EE）[复位 = 0x00]

DAC_INV 如表 8-250 所示。

返回到汇总表。

表 8-250. DAC_INV 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	
1	DAC_INV1	R/W	0x0	设置后，DAC1 输出反相
0	DAC_INV0	R/W	0x0	设置后，DAC0 输出反相

Copyright © 2026 Texas Instruments Incorporated

8.14 NCO_and_Mixer 寄存器

表 8-251 列出了 NCO_and_Mixer 寄存器的存储器映射寄存器。表 8-251 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-251. NCO_AND_MIXER 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x300	NCO_CNTL		节 8.14.1
0x301	NCO_CONT		节 8.14.2
0x303	NCO_AR		节 8.14.3
0x304	STREAM_MODE		节 8.14.4
0x305	NCO_SS		节 8.14.5
0x306	NCO_SQ_MODE		节 8.14.6
0x307	NCO_SQ_EN		节 8.14.7
0x308	NCO_SQ_SEL		节 8.14.8
0x320	FREQ_0		节 8.14.9
0x328	FREQ_1		节 8.14.10
0x330	FREQ_2		节 8.14.11
0x338	FREQ_3		节 8.14.12
0x340	PHASE_0		节 8.14.13
0x342	PHASE_1		节 8.14.14
0x344	PHASE_2		节 8.14.15
0x346	PHASE_3		节 8.14.16
0x348	AMP_0		节 8.14.17
0x34A	AMP_1		节 8.14.18
0x34C	AMP_2		节 8.14.19
0x34E	AMP_3		节 8.14.20
0x360	SLEW0		节 8.14.21
0x361	SLEW1		节 8.14.22
0x362	SLEW2		节 8.14.23
0x363	SLEW3		节 8.14.24
0x364	DUTY_CYCLE0		节 8.14.25
0x366	DUTY_CYCLE1		节 8.14.26
0x368	DUTY_CYCLE2		节 8.14.27
0x36A	DUTY_CYCLE3		节 8.14.28
0x370	FREQ_R_0		节 8.14.29
0x378	FREQ_R_1		节 8.14.30
0x380	FREQ_R_2		节 8.14.31
0x388	FREQ_R_3		节 8.14.32
0x390	PHASE_R_0		节 8.14.33
0x392	PHASE_R_1		节 8.14.34
0x394	PHASE_R_2		节 8.14.35
0x396	PHASE_R_3		节 8.14.36
0x398	AMP_R_0		节 8.14.37
0x39A	AMP_R_1		节 8.14.38

Copyright © 2026 Texas Instruments Incorporated

表 8-251. NCO_AND_MIXER 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x39C	AMP_R_2		节 8.14.39
0x39E	AMP_R_3		节 8.14.40

复杂的位访问类型经过编码可适应小型表单元。表 8-252 展示了适用于此部分中访问类型的代码。

表 8-252. NCO_and_Mixer 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.14.1 NCO_CNTL 寄存器（偏移 = 0x300）[复位 = 0x00]

NCO_CNTL 如表 8-253 所示。

返回到汇总表。

表 8-253. NCO_CNTL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R-0/W	0x0	
2	NCO_SC	R/W	0x0	自相干 NCO 模式：如果设置该位，所有 NCO 均使用 DDS/DUC 通道 0 中 NCO 的基准计数器。这通常与 NCO_SS 寄存器一起使用。这仅影响相位相干模式 (NCO_CONT=0)。
1	RESERVED	R-0/W	0x0	
0	NCO_EN	R/W	0x0	设置后，DUC 样本与 NCO 混合。清零时，混频器被旁路掉。这仅适用于 DUC 模式，对 DDS 模式没有影响（请参阅 DSP_MODE）。

8.14.2 NCO_CONT 寄存器（偏移 = 0x301）[复位 = 0x00]

NCO_CONT 如表 8-254 所示。

返回到汇总表。

表 8-254. NCO_CONT 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	NCO_CONT	R/W	0x0	对于每个位 NCO_CONT[n]，如果设置，则 NCOn 在相位连续模式下运行。这意味着无需为相位累加器播种即可发生频率变化。如果该位清零，则 NCOn 在相位同调模式下运行。在频率变化期间，通过主计数器为相位累加器播种。这意味着，如果从频率 A 变为 B，然后再返回到 A，则相位将恢复到从未发生过变化时的状态。NCO_CONT 仅适用于 DUC 模式和 DDS SPI 模式（请参阅 DSP_MODE）。

Copyright © 2026 Texas Instruments Incorporated

8.14.3 NCO_AR 寄存器（偏移 = 0x303）[复位 = 0x00]

NCO_AR 如表 8-255 所示。

返回到汇总表。

表 8-255. NCO_AR 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	NCO_AR	R/W	0x0	对于每个位 NCO_AR[n]，如果设置，则每当有针对 DSPn 的触发事件时，NCOn 的累加器将被重置。NCO_AR 仅适用于 DUC 模式和 DDS 流模式（请参阅 DSP_MODE）。请参阅 DSP 触发

8.14.4 STREAM_MODE 寄存器（偏移 = 0x304）[复位 = 0x00]

STREAM_MODE 如表 8-256 所示。

返回到汇总表。

表 8-256. STREAM_MODE 寄存器字段说明

位	字段	类型	复位	说明
7-6	STREAM_MODE3	R/W	0x0	STREAM_MODEn 会配置 DSPn 的流模式。这仅适用于配置为 DDS 流模式的 DSP 通道。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。 0x0 = 使用 sdata[0] 控制位动态流式传输频率/相位/振幅。 0x1 = 仅流传输频率样本（sdata[0] 为频率 LSB）。相位和振幅由 PHASE[n] 和 AMP[n] 寄存器设定。 0x2 = 仅流式传输相位/振幅样本（忽略 sdata[0]）。频率由 FREQ[n] 寄存器设置。 0x3 = 保留
5-4	STREAM_MODE2	R/W	0x0	请参阅 STREAM_MODE3
3-2	STREAM_MODE1	R/W	0x0	请参阅 STREAM_MODE3
1-0	STREAM_MODE0	R/W	0x0	请参阅 STREAM_MODE3

8.14.5 NCO_SS 寄存器（偏移 = 0x305）[复位 = 0x00]

NCO_SS 如表 8-257 所示。

返回到汇总表。

表 8-257. NCO_SS 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-257. NCO_SS 寄存器字段说明（续）

位	字段	类型	复位	说明
0	NCO_SS	R/W	0x0	设置该位后，所有 NCO 都将连续自同步，每 256 个 DAC 时钟周期同步一次。大多数应用场景不会使用此功能，但在辐射环境中，用户可以设置 NCO_SS，以将抗翻转的 AMP、FREQ 和 PHASE 寄存器值连续传输到 NCO 内的内部（非抗扰性）寄存器。这有助于在辐射下生成音调，无需外部周期性同步源（例如 SYSREF）。 可以在 NCO 运行 (SYS_EN=1) 时更改 NCO_SS。要写入新的 FREQ、AMP 或 PHASE 值，请先将 NCO_SS 清零，然后在写入新值后重新设置。所有值会在全部 NCO 上同步生效。 用户应确保每当 NCO_SS=1 时，NCO_AR=0（否则 NCO 累加器和/或基准计数器将持续复位）。 如果用户还设置 NCO_SC=1 和 NCO_CONT=0，则所有四个 NCO 在辐射环境下将保持彼此间的相位一致性（但无法保证与外部元件的一致性）。从 DUC/DDS 通道 0 中的基准计数器连续为每个 NCO 累加器播种。该特性可用于生成相干谐波音调，以消除 DAC 中的谐波失真。 这可用于 DUC 模式、DDS SPI 模式和 DDS 流模式。

8.14.6 NCO_SQ_MODE 寄存器（偏移 = 0x306）[复位 = 0x00]

NCO_SQ_MODE 如表 8-258 所示。

返回到汇总表。

表 8-258. NCO_SQ_MODE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	NCO_SQ_MODE	R/W	0x0	对于每个位 NCO_SQ_MODE[n]，如果设置，NCOn 的输出将产生方波，而非正弦/余弦波形。NCO_SQ_MODE 仅适用于 DDS 模式（请参阅 DSP_MODE）。在此模式下，SLEW 和 DUTY_CYCLE 寄存器可用于自定义波形的压摆率和占空比。请参阅“NCO 方波模式”。 如果将 DSP 通道配置为产生方波，则用户应将该 DSP 专门绑定到 DAC 输出（即不将任何其他 DSP 通道求和到同一 DAC 中）。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。

8.14.7 NCO_SQ_EN 寄存器（偏移 = 0x307）[复位 = 0x00]

NCO_SQ_EN 如表 8-259 所示。

返回到汇总表。

表 8-259. NCO_SQ_EN 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	NCO_SQ_EN	R/W	0x0	如果 NCO_SQ_SELn = 0，则 NCO_SQ_EN[n] 充当 NCOn 方波输出的使能信号。请参阅“方波使能”。

8.14.8 NCO_SQ_SEL 寄存器（偏移 = 0x308）[复位 = 0x0000]

NCO_SQ_SEL 如表 8-260 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-260. NCO_SQ_SEL 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R-0/W	0x0	
14-12	NCO_SQ_SEL3	R/W	0x0	NCO_SQ_SELn 选择将用作 NCOn 的波形使能的引脚或寄存器。仅适用于 NCO 方波模式。另请参阅“方波使能”。 注释 1：这些设置将始终使用物理 TRIG 引脚，即使 SYNCB_PIN_FUNC 将 SYNCB 分配为 TRIG 引脚的备用输入也是如此。 注释 2：在此模式下，SYNCB 输入为高电平有效。当使用 NCO_SQ_SELn=5 时，请确保 JENC=1 且 SYNCB_PIN_FUNC=0。 0x0 = 寄存器位（默认） 0x1 = TRIG0 引脚（注释 1） 0x2 = TRIG1 引脚（注释 1） 0x3 = TRIG2 引脚（注释 1） 0x4 = TRIG3 引脚（注释 1） 0x5 = SYNCB 引脚（注释 2） 0x6 = 保留 0x7 = 保留
11	RESERVED	R-0/W	0x0	
10-8	NCO_SQ_SEL2	R/W	0x0	参阅 NCO_SQ_SEL3
8	RESERVED	R-0/W	0x0	
7	RESERVED	R	0x0	
6-4	NCO_SQ_SEL1	R/W	0x0	参阅 NCO_SQ_SEL3
3	RESERVED	R-0/W	0x0	
2-0	NCO_SQ_SEL0	R/W	0x0	参阅 NCO_SQ_SEL3

8.14.9 FREQ_0 寄存器（偏移 = 0x320）[复位 = 0x0000000000000000]

FREQ_0 如 表 8-261 所示。

返回到汇总表。

表 8-261. FREQ_0 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[0]	R/W	0x0	指定 NCO0 的频率。用于 DUC 模式、DDS SPI 模式和 DDS 流（相位）模式。 NCO 频率 (F_{NCO}) 是： $F_{NCO} = FREQ[0]* 2^{-64} * F_{DACCLK}$ F_{DACCLK} 是 DAC 的采样频率。FREQ[0] 是该寄存器的整数值。该寄存器可以解释为有符号或无符号（两种解释均有效）。 使用该公式来确定要编程的值： $FREQ[0]= 2^{64} * F_{NCO}/F_{DACCLK}$ 注意：对该寄存器的更改在 DSP0 接收到触发后才会生效（请参阅“DSP 触发”）。 注意：在 DSP0 触发事件启动前后 ±320 个 DAC 时钟周期的窗口内，不应更新 FREQ [0]。

8.14.10 FREQ_1 寄存器（偏移 = 0x328）[复位 = 0x0000000000000000]

FREQ_1 如 表 8-262 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-262. FREQ_1 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[1]	R/W	0x0	请参阅 FREQ[0]

8.14.11 FREQ_2 寄存器（偏移 = 0x330）[复位 = 0x0000000000000000]

FREQ_2 如 表 8-263 所示。

返回到汇总表。

表 8-263. FREQ_2 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[2]	R/W	0x0	请参阅 FREQ[0]

8.14.12 FREQ_3 寄存器（偏移 = 0x338）[复位 = 0x0000000000000000]

FREQ_3 如 表 8-264 所示。

返回到汇总表。

表 8-264. FREQ_3 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[3]	R/W	0x0	请参阅 FREQ[0]

8.14.13 PHASE_0 寄存器（偏移 = 0x340）[复位 = 0x0000]

PHASE_0 如 表 8-265 所示。

返回到汇总表。

表 8-265. PHASE_0 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE[0]	R/W	0x0	指定 NCOn 的相位。用于 DUC 模式、DDS SPI 模式和 DDS 流（频率）模式。 该值左对齐到 64 位字段后，将添加到相位累加器中。相位（以弧度为单位）为 PHASE[0] * 2^{-16} * 2 π。该寄存器可以解释为有符号或无符号。 注意：对该寄存器的更改在 DSP0 接收到触发后才会生效（请参阅“DSP 触发”）。 注意：在 DSP0 触发事件启动前后 ±320 个 DAC 时钟周期的窗口内，不应更新 PHASE [0]。

8.14.14 PHASE_1 寄存器（偏移 = 0x342）[复位 = 0x0001]

PHASE_1 如 表 8-266 所示。

返回到汇总表。

表 8-266. PHASE_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE[1]	R/W	0x1	请参阅 PHASE[0]

Copyright © 2026 Texas Instruments Incorporated

8.14.15 PHASE_2 寄存器（偏移 = 0x344）[复位 = 0x0002]

PHASE_2 如 表 8-267 所示。

返回到汇总表。

表 8-267. PHASE_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE[2]	R/W	0x2	请参阅 PHASE[0]

8.14.16 PHASE_3 寄存器（偏移 = 0x346）[复位 = 0x0003]

PHASE_3 如 表 8-268 所示。

返回到汇总表。

表 8-268. PHASE_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE[3]	R/W	0x3	请参阅 PHASE[0]

8.14.17 AMP_0 寄存器（偏移 = 0x348）[复位 = 0x0000]

AMP_0 如 表 8-269 所示。

返回到汇总表。

表 8-269. AMP_0 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP[0]	R/W	0x0	指定 DSP (DDS) 通道 0 的 DDS 振幅。16 位有符号值。 该寄存器适用于 DDS SPI 模式和 DDS 流模式（请参阅 DSP_MODE）。对于 DDS 流模式，仅当 AMP_STREAM = 0 时使用该寄存器。 注意：对该寄存器的更改在 DSP0 接收到触发后才会生效（请参阅“DSP 触发”）。 注意：在 DSP0 触发事件启动前后 ±320 个 DAC 时钟周期的窗口内，不应更新 AMP [0]。

8.14.18 AMP_1 寄存器（偏移 = 0x34A）[复位 = 0x0000]

AMP_1 如 表 8-270 所示。

返回到汇总表。

表 8-270. AMP_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP[1]	R/W	0x0	请参阅 AMP[0]

8.14.19 AMP_2 寄存器（偏移 = 0x34C）[复位 = 0x0000]

AMP_2 如 表 8-271 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-271. AMP_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP[2]	R/W	0x0	请参阅 AMP[0]

8.14.20 AMP_3 寄存器（偏移 = 0x34E）[复位 = 0x0000]

AMP_3 如 表 8-272 所示。

返回到汇总表。

表 8-272. AMP_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP[3]	R/W	0x0	请参阅 AMP[0]

8.14.21 SLEW0 寄存器（偏移 = 0x360）[复位 = 0x00]

SLEW0 如 表 8-273 所示。

返回到汇总表。

表 8-273. SLEW0 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	SLEW0	R/W	0x0	为 DDS 通道 n 指定 DDS 方波的压摆时间。仅适用于 NCO 方波模式。合法范围为 0 到 9。值越大、压摆率就越快（压摆时间越短）。 以度为单位的压摆时间为：$90*2^{-SLEW0}$ 以弧度为单位的转换时间为：$0.5\pi*2^{-SLEW}$ 以秒为单位的压摆时间为：$0.25*2^{-SLEW0} / F_{NCO}$ 注意：当 DSP0 接收到触发信号（请参阅“DSP 触发”）或方波输出门控为低电平时，对该寄存器的更改生效。请参阅“方波使能”。

8.14.22 SLEW1 寄存器（偏移 = 0x361）[复位 = 0x00]

SLEW1 如 表 8-274 所示。

返回到汇总表。

表 8-274. SLEW1 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	SLEW1	R/W	0x0	参阅 SLEW0

8.14.23 SLEW2 寄存器（偏移 = 0x362）[复位 = 0x00]

SLEW2 如 表 8-275 所示。

返回到汇总表。

表 8-275. SLEW2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	SLEW2	R/W	0x0	参阅 SLEW0

Copyright © 2026 Texas Instruments Incorporated

8.14.24 SLEW3 寄存器（偏移 = 0x363）[复位 = 0x00]

SLEW3 如 表 8-276 所示。

返回到汇总表。

表 8-276. SLEW3 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	SLEW3	R/W	0x0	参阅 SLEW0

8.14.25 DUTY_CYCLE0 寄存器（偏移 = 0x364）[复位 = 0x0800]

DUTY_CYCLE0 如 表 8-277 所示。

返回到汇总表。

表 8-277. DUTY_CYCLE0 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R-0/W	0x0	
11-0	DUTY_CYCLE0	R/W	0x800	指定 DDS 通道 n 的 DDS 方波的占空比。仅适用于 NCO 方波模式。默认值（十进制为 2048）提供 50% 的占空比。 占空比（以百分比表示）等于 100% * DUTY_CYCLE0/4096brbr#注意：当 DSP0 接收到触发信号（请参阅“DSP 触发”）或方波输出门控为低电平时，对该寄存器的更改生效。请参阅“方波使能”。

8.14.26 DUTY_CYCLE1 寄存器（偏移 = 0x366）[复位 = 0x0800]

DUTY_CYCLE1 如 表 8-278 所示。

返回到汇总表。

表 8-278. DUTY_CYCLE1 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R-0/W	0x0	
11-0	DUTY_CYCLE1	R/W	0x800	参阅 DUTY_CLCYE0

8.14.27 DUTY_CYCLE2 寄存器（偏移 = 0x368）[复位 = 0x0800]

DUTY_CYCLE2 如 表 8-279 所示。

返回到汇总表。

表 8-279. DUTY_CYCLE2 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R-0/W	0x0	
11-0	DUTY_CYCLE2	R/W	0x800	参阅 DUTY_CLCYE0

8.14.28 DUTY_CYCLE3 寄存器（偏移 = 0x36A）[复位 = 0x0800]

DUTY_CYCLE3 如 表 8-280 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-280. DUTY_CYCLE3 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R-0/W	0x0	
11-0	DUTY_CYCLE3	R/W	0x800	参阅 DUTY_CLCYE0

8.14.29 FREQ_R_0 寄存器（偏移 = 0x370）[复位 = 0xXXXXXXXXXXXXXXXX]

FREQ_R_0 如 表 8-281 所示。

返回到汇总表。

表 8-281. FREQ_R_0 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R[0]	R	X	这提供了对 DUC/DDS 通道 0 当前使用的频率设置的回读。该频率可由 FREQ 寄存器或其他信号源确定。在读取每个字节时对该值进行采样，因此，如果回读过程中频率发生变化，则可能返回非相干数据。

8.14.30 FREQ_R_1 寄存器（偏移 = 0x378）[复位 = 0xXXXXXXXXXXXXXXXX]

FREQ_R_1 如 表 8-282 所示。

返回到汇总表。

表 8-282. FREQ_R_1 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R[1]	R	X	请参阅 FREQ_R[0]

8.14.31 FREQ_R_2 寄存器（偏移 = 0x380）[复位 = 0xXXXXXXXXXXXXXXXX]

FREQ_R_2 如 表 8-283 所示。

返回到汇总表。

表 8-283. FREQ_R_2 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R[2]	R	X	请参阅 FREQ_R[0]

8.14.32 FREQ_R_3 寄存器（偏移 = 0x388）[复位 = 0xXXXXXXXXXXXXXXXX]

FREQ_R_3 如 表 8-284 所示。

返回到汇总表。

表 8-284. FREQ_R_3 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R[3]	R	X	请参阅 FREQ_R[0]

8.14.33 PHASE_R_0 寄存器（偏移 = 0x390）[复位 = 0xXXXX]

PHASE_R_0 如 表 8-285 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-285. PHASE_R_0 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R[0]	R	X	这提供了对 DUC/DDS 通道 0 当前使用的相位设置的回读。该相位可由 PHASE 寄存器或其他信号源确定。在读取每个字节时对该值进行采样，因此，如果回读过程中相位发生变化，则可能返回非相干数据。

8.14.34 PHASE_R_1 寄存器（偏移 = 0x392）[复位 = 0xXXXX]

PHASE_R_1 如 表 8-286 所示。

返回到汇总表。

表 8-286. PHASE_R_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R[1]	R	X	请参阅 PHASE_R[0]

8.14.35 PHASE_R_2 寄存器（偏移 = 0x394）[复位 = 0xXXXX]

PHASE_R_2 如 表 8-287 所示。

返回到汇总表。

表 8-287. PHASE_R_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R[2]	R	X	请参阅 PHASE_R[0]

8.14.36 PHASE_R_3 寄存器（偏移 = 0x396）[复位 = 0xXXXX]

PHASE_R_3 如 表 8-288 所示。

返回到汇总表。

表 8-288. PHASE_R_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R[3]	R	X	请参阅 PHASE_R[0]

8.14.37 AMP_R_0 寄存器（偏移 = 0x398）[复位 = 0xXXXX]

AMP_R_0 如 表 8-289 所示。

返回到汇总表。

表 8-289. AMP_R_0 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP_R[0]	R	X	这提供了对 DDS 通道 0 当前使用的振幅设置的回读。格式为 16 位有符号。该振幅可由 AMP 寄存器或另一个源确定。在非 DDS 模式下，返回值未定义。在读取每个字节时对该值进行采样，因此，如果回读过程中振幅发生变化，则可能返回非相干数据。

8.14.38 AMP_R_1 寄存器（偏移 = 0x39A）[复位 = 0xXXXX]

AMP_R_1 如 表 8-290 所示。

Copyright © 2026 Texas Instruments Incorporated

返回到汇总表。

表 8-290. AMP_R_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP_R[1]	R	X	请参阅 AMP_R[0]

8.14.39 AMP_R_2 寄存器（偏移 = 0x39C）[复位 = 0xXXXX]

AMP_R_2 如 表 8-291 所示。

返回到汇总表。

表 8-291. AMP_R_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP_R[2]	R	X	请参阅 AMP_R[0]

8.14.40 AMP_R_3 寄存器（偏移 = 0x39E）[复位 = 0xXXXX]

AMP_R_3 如 表 8-292 所示。

返回到汇总表。

表 8-292. AMP_R_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP_R[3]	R	X	请参阅 AMP_R[0]

Copyright © 2026 Texas Instruments Incorporated

8.15 警报寄存器

表 8-293 列出了 Alarm 寄存器的存储器映射寄存器。表 8-293 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-293. ALARM 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x430	SYS_ALM		节 8.15.1
0x431	ALM_MASK		节 8.15.2
0x432	MUTE_MASK		节 8.15.3
0x433	MUTE_REC		节 8.15.4
0x434	ALARM_SEL		节 8.15.5
0x435	OVR_STATUS		节 8.15.6
0x436	OVR_MASK_SEL		节 8.15.7

复杂的位访问类型经过编码可适应小型表单元。表 8-294 展示了适用于此部分中访问类型的代码。

表 8-294. Alarm 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.15.1 SYS_ALM 寄存器（偏移 = 0x430）[复位 = 0x02]

SYS_ALM 如 表 8-295 所示。

返回到汇总表。

表 8-295. SYS_ALM 寄存器字段说明

位	字段	类型	复位	说明
7	JESD_LINK_DOWN_ALM	R/W1C	0x0	当 SYS_EN=1 时，只要 LINK_UP 从 1 转换为 0，就会设置该位。
6	JTIMER_EXPIRED_ALM	R/W1C	0x0	当 JESD204C 链路断开的时间超过 JTIMER 允许的时长时，该位会被置位（此时 DSP_MODE 中 JESD204C 接口已启用、SYS_EN=1 且 LINK_UP=0）。
5	JESD_DI_ALM	R/W1C	0x0	只要在启用的通道上检测到 DI_FAULT，就会设置该位。仅适用于 64b/66b 模式。
4	OVR_ALM	R/W1C	0x0	如果在数据路径中出现满标度采样，则设置该位。写入 1 以清除警报。另请参阅 OVR_STATUS。
3-2	RESERVED	R-0/W	0x0	
1	SYSRST_ALM	R/W1C	0x1	只要芯片由于 RESET 或 SOFT_RESET 而复位，就会设置该位。
0	SYSREF_ALM	R/W1C	0x0	当检测到 SYSREF 边沿与任何活动的 SYSREF 相关时钟分频器存在对齐错误时，就会设置该位。

Copyright © 2026 Texas Instruments Incorporated

8.15.2 ALM_MASK 寄存器（偏移 = 0x431）[复位 = 0x00]

ALM_MASK 如 表 8-296 所示。

返回到汇总表。

表 8-296. ALM_MASK 寄存器字段说明

位	字段	类型	复位	说明
7	JESD_LINK_DOWN_MASK	R/W	0x0	设置后，来自 JESD_LINK_DOWN_ALM 寄存器的警报被屏蔽，将不会影响警报输出。
6	JTIMER_EXPIRED_MASK	R/W	0x0	设置后，来自 JTIMER_EXPIRED_ALM 寄存器的警报被屏蔽，将不会影响警报输出。
5	JESD_DI_MASK	R/W	0x0	设置后，来自 JESD_DI_ALM 寄存器的警报被屏蔽，将不会影响警报输出。
4	OVR_MASK	R/W	0x0	设置后，来自 OVR_ALM 寄存器的警报被屏蔽，将不会影响警报输出。
3-1	RESERVED	R-0/W	0x0	
0	SYSREF_ALM_MASK	R/W	0x0	设置后，来自 SYSREF_ALM 寄存器的警报被屏蔽，将不会影响警报输出。

8.15.3 MUTE_MASK 寄存器（偏移 = 0x432）[复位 = 0x21]

MUTE_MASK 如 表 8-297 所示。

返回到汇总表。

表 8-297. MUTE_MASK 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0x0	
5	JESD_DI_MUTE_MASK	R/W	0x1	该寄存器控制哪些警报会导致 JESD204C 传输层输出自动静音。除非设置了相应的 MUTE_REC 位，否则一旦传输层输出被静音，用户将需要解决问题并清除警报才能使传输层输出取消静音（或者，可以设置静音掩码以忽略警报并取消传输层输出的静音）。 当 DI_FAULT=1 时，除非设置了该位，否则 JESD204C 传输层输出将根据 JESD_DI_REC 进行静音。
4-1	RESERVED	R-0/W	0x0	
0	SYSREF_MUTE_MASK	R/W	0x1	该寄存器控制哪些警报会导致 JESD204C 传输层输出自动静音。除非设置了相应的 MUTE_REC 位，否则一旦传输层输出被静音，用户将需要解决问题并清除警报才能使传输层输出取消静音（或者，可以设置静音掩码以忽略警报并取消传输层输出的静音）。 除非设置了该位，否则 SYSREF_ALM 寄存器中的警报会使 JESD204C 传输层输出静音。

8.15.4 MUTE_REC 寄存器（偏移 = 0x433）[复位 = 0xA0]

MUTE_REC 如 表 8-298 所示。

返回到汇总表。

表 8-298. MUTE_REC 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x1	保留
6	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-298. MUTE_REC 寄存器字段说明（续）

位	字段	类型	复位	说明
5	JESD_DI_REC	R/W	0x1	该寄存器控制 JESD204C 传输层输出是否会在警报条件消失时自动取消静音。 该位仅当 JESD_DI_MUTE_MASK=0 时有效。0：JESD204C 传输层输出将保持静音状态，直到 JESD_DI_ALM=0 1：当 DI_FAULT=0 时，JESD204C 传输层输出将自动取消静音。
4-0	RESERVED	R-0/W	0x0	

8.15.5 ALARM_SEL 寄存器（偏移 = 0x434）[复位 = 0x00]

ALARM_SEL 如 表 8-299 所示。

返回到汇总表。

表 8-299. ALARM_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	ALARM_SEL	R/W	0x0	0x0 = 当任何未屏蔽的警报处于活动状态（任务模式）时，警报输出置为有效。请参阅“生成警报”。 0x1 = ALARM 引脚输出会触发时钟。

8.15.6 OVR_STATUS 寄存器（偏移 = 0x435）[复位 = 0x00]

OVR_STATUS 如 表 8-300 所示。

返回到汇总表。

表 8-300. OVR_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R-0/W	0x0	
5	OVR_DAC1	R/W1C	0x0	如果在 DAC1 上检测到满标度采样，则设置该位。写入 1 以清零。 注意：有关超出范围的可能原因，请参阅“超出范围检测”部分。 注意：向 OVR_ALM 寄存器写入 1 将清除该寄存器的所有位。 注意：OVR_ALM 寄存器返回的是 OVR_STATUS 的按位或结果，因此如果清除 OVR_STATUS 的所有位，OVR_ALM 也将返回 0。
4	OVR_DAC0	R/W1C	0x0	如果在 DAC0 上检测到满标度采样，则设置该位。写入 1 以进行清除。请参阅 OVR_DAC1 的说明。
3	OVR_DSP3	R/W1C	0x0	如果在 DSP3 内检测到满标度采样，则设置该位。写入 1 以进行清除。请参阅 OVR_DAC1 的说明。
2	OVR_DSP2	R/W1C	0x0	如果在 DSP2 内检测到满标度采样，则设置该位。写入 1 以进行清除。请参阅 OVR_DAC1 的说明。
1	OVR_DSP1	R/W1C	0x0	如果在 DSP1 内检测到满标度采样，则设置该位。写入 1 以进行清除。请参阅 OVR_DAC1 的说明。
0	OVR_DSP0	R/W1C	0x0	如果在 DSP0 内检测到满标度采样，则设置该位。写入 1 以进行清除。请参阅 OVR_DAC1 的说明。

8.15.7 OVR_MASK_SEL 寄存器（偏移 = 0x436）[复位 = 0x00]

OVR_MASK_SEL 如 表 8-301 所示。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 8-301. OVR_MASK_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	OVR_MASK_SEL	R/W	0x0	0x0 = TRIG[4] 引脚不屏蔽超范围事件。 0x1 =当 TRIG[4] 引脚置位为高电平时，超范围事件被屏蔽（不会导致设置 OVR_STATUS 位）。

Copyright © 2026 Texas Instruments Incorporated

8.16 Fuse_Control 寄存器

表 8-302 列出了 Fuse_Control 寄存器的存储器映射寄存器。表 8-302 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-302. FUSE_CONTROL 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x600	FUSE_DONE		节 8.16.1

复杂的位访问类型经过编码可适应小型表单元。表 8-303 展示了适用于此部分中访问类型的代码。

表 8-303. Fuse_Control 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

8.16.1 FUSE_DONE 寄存器（偏移 = 0x600）[复位 = 0xXX]

FUSE_DONE 如表 8-304 所示。

返回到汇总表。

表 8-304. FUSE_DONE 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	X	
0	FUSE_DONE	R	X	当保险丝控制器空闲时返回“1”。这表示它已完成保险丝自动加载序列或保险丝自动编程序列。 当 FUSE_DONE 为 0 时，用户不应读取或写入任何由保险丝支持的寄存器。

Copyright © 2026 Texas Instruments Incorporated

8.17 Fuse_Backed 寄存器

表 8-305 列出了 Fuse_Backed 寄存器的存储器映射寄存器。表 8-305 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-305. FUSE_BACKED 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x711	SPIN_ID		节 8.17.1
0x723	DACA_CURRENT_FINE		节 8.17.2
0x724	DACB_CURRENT_FINE		节 8.17.3
0x727	DEM_ADJ		节 8.17.4
0x729	DEM_DITH		节 8.17.5
0x72A	DAC_OFS		节 8.17.6
0x73E	DES_TRIM0		节 8.17.7
0x73F	DES_TRIM1		节 8.17.8

复杂的位访问类型经过编码可适应小型表单元。表 8-306 展示了适用于此部分中访问类型的代码。

表 8-306. Fuse_Backed 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.17.1 SPIN_ID 寄存器（偏移 = 0x711）[复位 = 0xX0]

SPIN_ID 如表 8-307 所示。

返回到汇总表。

表 8-307. SPIN_ID 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	X	
4-0	SPIN_ID	R	0x0	该寄存器标识产品版本。

8.17.2 DACA_CURRENT_FINE 寄存器（偏移 = 0x723）[复位 = 0xXX]

DACA_CURRENT_FINE 如表 8-308 所示。

返回到汇总表。

表 8-308. DACA_CURRENT_FINE 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	X	

Copyright © 2026 Texas Instruments Incorporated

表 8-308. DACA_CURRENT_FINE 寄存器字段说明（续）

位	字段	类型	复位	说明
5-0	FINE_CUR_A	R/W	X	DACA 精细电流控制。来自具有修整值的保险丝负载的默认值。可用于较小的满量程电流调整。

8.17.3 DACB_CURRENT_FINE 寄存器（偏移 = 0x724）[复位 = 0xXX]

DACB_CURRENT_FINE 如表 8-309 所示。

返回到汇总表。

表 8-309. DACB_CURRENT_FINE 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	X	
5-0	FINE_CUR_B	R/W	X	DACB 精细电流控制。来自具有修整值的保险丝负载的默认值。可用于较小的满量程电流调整。

8.17.4 DEM_ADJ 寄存器（偏移 = 0x727）[复位 = 0x00]

DEM_ADJ 如表 8-310 所示。

返回到汇总表。

表 8-310. DEM_ADJ 寄存器字段说明

位	字段	类型	复位	说明
7-4	DEM_ADJ1	R/W	0x0	针对 DACB 的单边沿数据无关 DEM 调节 DEM 行为。除非为单边沿数据无关 DEM 配置 DACB，否则该寄存器无效。请参阅 DEM 和抖动部分。
3-0	DEM_ADJ0	R/W	0x0	针对 DACA 的单边沿数据无关 DEM 调节 DEM 行为。除非为单边沿数据无关 DEM 配置 DACA，否则该寄存器无效。请参阅 DEM 和抖动部分。

8.17.5 DEM_DITH 寄存器（偏移 = 0x729）[复位 = 0xXX]

DEM_DITH 如表 8-311 所示。

返回到汇总表。

表 8-311. DEM_DITH 寄存器字段说明

位	字段	类型	复位	说明
7-6	DEM1	R/W	X	0x0 = 为 DACB 启用单边沿数据无关 DEM 0x1 = 为 DACB 启用双边沿数据无关 DEM 0x2 = 保留 0x3 = 为 DACB 禁用了 DEM
5-4	DEM0	R/W	X	参阅 DEM1
3-2	DITH1	R/W	X	0x0 = 为 DACB 启用单边沿抖动 0x1 = 为 DACB 启用双边沿抖动 0x2 = 保留 0x3 = 为 DACB 禁用了抖动
1-0	DITH0	R/W	X	参阅 DITH1

Copyright © 2026 Texas Instruments Incorporated

8.17.6 DAC_OFS 寄存器（偏移 = 0x72A）[复位 = 0xXXXX]

DAC_OFS 如表 8-312 所示。

返回到汇总表。

表 8-312. DAC_OFS 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R-0/W	0x0	
12-6	DAC_OFS[1]	R/W	X	DACB 的偏移量调整。该寄存器中的值添加到 DACB 输出。这是一个二进制补码 13 位有符号值。LSB 权重是一个 DAC LSB。 设定到该寄存器中的值通过一个饱和函数传递，以将调节限制在可能的范围内。 如果在 DACB 上启用抖动（请参阅 DITH1），则将 DAC_OFS[1] 饱和至范围 +/- 128。如果在 DACB 上禁用抖动，则饱和范围为 +/ 3968。来自修整值的默认值。请参阅偏移量调整部分。
5-0	DAC_OFS[0]	R/W	X	请参阅 DAC_OFS[1]

8.17.7 DES_TRIM0 寄存器（偏移 = 0x73E）[复位 = 0x00]

DES_TRIM0 如 表 8-313 所示。

返回到汇总表。

表 8-313. DES_TRIM0 寄存器字段说明

位	字段	类型	复位	说明
7-6	DES_STEP0	R/W	0x0	调整 DACA 的 DES 时序调整设定大小 0x0 = 1X 0x1 = 2X 0x2 = 4X 0x3 = 等同于 0b10
5	DES_POL0	R/W	0x0	更改 DACA 的 DES 时序调节极性 0x0 = 正数 0x1 = 负数
4-0	DES_OFS0	R/W	0x0	DACA 的 DES 时序偏移值

8.17.8 DES_TRIM1 寄存器（偏移 = 0x73F）[复位 = 0x00]

DES_TRIM1 如 表 8-314 所示。

返回到汇总表。

表 8-314. DES_TRIM1 寄存器字段说明

位	字段	类型	复位	说明
7-6	DES_STEP1	R/W	0x0	调整 DACB 的 DES 时序调整设定大小 0x0 = 1X 0x1 = 2X 0x2 = 4X 0x3 = 等同于 0b10
5	DES_POL1	R/W	0x0	更改 DACB 的 DES 时序调节极性 0x0 = 正数 0x1 = 负数
4-0	DES_OFS1	R/W	0x0	DACB 的 DES 时序偏移值

Copyright © 2026 Texas Instruments Incorporated

8.18 DDS_Vector_Mode 寄存器

表 8-315 列出了 DDS_Vector_Mode 寄存器的存储器映射寄存器。表 8-315 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-315. DDS_VECTOR_MODE 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x800	DDS_BURST_0		节 8.18.1
0x802	DDS_BURST_1		节 8.18.2
0x804	DDS_BURST_2		节 8.18.3
0x806	DDS_BURST_3		节 8.18.4
0x808	DDS_IMODE		节 8.18.5
0x809	DDS_SYM		节 8.18.6
0x80A	DDS_HOLD		节 8.18.7
0x80B	DDS_IDLE		节 8.18.8
0x80C	DDS_INDEX0		节 8.18.9
0x80D	DDS_INDEX1		节 8.18.10
0x80E	DDS_INDEX2		节 8.18.11
0x80F	DDS_INDEX3		节 8.18.12
0x810	DDS_AMP2		节 8.18.13
0x820	DDS_VEC_n		节 8.18.14

复杂的位访问类型经过编码可适应小型表单元。表 8-316 展示了适用于此部分中访问类型的代码。

表 8-316. DDS_Vector_Mode 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.18.1 DDS_BURST_0 寄存器（偏移 = 0x800）[复位 = 0x0000]

DDS_BURST_0 如 表 8-317 所示。

返回到汇总表。

表 8-317. DDS_BURST_0 寄存器字段说明

位	字段	类型	复位	说明
15-0	DDS_BURST[0]	R/W	0x0	DDS 通道 n 的触发突发控制。在 DDS 矢量模式下，DDS_BURST 定义当接收到触发事件时额外触发 DDS 通道多少次（请参阅触发突发）。其他触发器会排队，DDS 的行为类似于接收到的 DDS_BURST+1 触发器。DDS_BURST 的合法范围为 0 至 65535。用户可以在 DDS 启用 (SYS_EN=1) 时更改 DDS_BURST，但必须确保在 SPI 事务期间或事务完成后的 50ns 内不会发生触发事件。

Copyright © 2026 Texas Instruments Incorporated

8.18.2 DDS_BURST_1 寄存器（偏移 = 0x802）[复位 = 0x0000]

DDS_BURST_1 如 表 8-318 所示。

返回到汇总表。

表 8-318. DDS_BURST_1 寄存器字段说明

位	字段	类型	复位	说明
15-0	DDS_BURST[1]	R/W	0x0	请参阅 DDS_BURST[0] 的说明

8.18.3 DDS_BURST_2 寄存器（偏移 = 0x804）[复位 = 0x0000]

DDS_BURST_2 如 表 8-319 所示。

返回到汇总表。

表 8-319. DDS_BURST_2 寄存器字段说明

位	字段	类型	复位	说明
15-0	DDS_BURST[2]	R/W	0x0	请参阅 DDS_BURST[0] 的说明

8.18.4 DDS_BURST_3 寄存器（偏移 = 0x806）[复位 = 0x0000]

DDS_BURST_3 如 表 8-320 所示。

返回到汇总表。

表 8-320. DDS_BURST_3 寄存器字段说明

位	字段	类型	复位	说明
15-0	DDS_BURST[3]	R/W	0x0	请参阅 DDS_BURST[0] 的说明

8.18.5 DDS_IMODE 寄存器（偏移 = 0x808）[复位 = 0x00]

DDS_IMODE 如表 8-321 所示。

返回到汇总表。

表 8-321. DDS_IMODE 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	DDS_IMODE	R/W	0x0	0x0 = 禁用索引模式。最多可启用/禁用 4 个 DDS 通道。DDS 根据每个矢量的 VTRIG_MODE 字段等待触发信号。 0x1 = 启用索引模式。只有 DDS 通道 0 可以启用，并且所有矢量存储器都分配给它。TRIG[4:1] 输入可用于按需跳转到特定的矢量。如需完整详细信息，请参阅索引模式部分。

8.18.6 DDS_SYM 寄存器（偏移 = 0x809）[复位 = 0x00]

DDS_SYM 如表 8-322 所示。

返回到汇总表。

表 8-322. DDS_SYM 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	

Copyright © 2026 Texas Instruments Incorporated

表 8-322. DDS_SYM 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	DDS_SYM	R/W	0x0	DDS_SYM[n] 启用 DDS 通道 n 的对称模式。请参阅矢量顺序和对称模式。

8.18.7 DDS_HOLD 寄存器（偏移 = 0x80A）[复位 = 0x00]

DDS_HOLD 如表 8-323 所示。

返回到汇总表。

表 8-323. DDS_HOLD 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	DDS_HOLD	R/W	0x0	DDS_HOLD[n] 启用 DDS 通道 n 的保持模式。请参阅保持模式。

8.18.8 DDS_IDLE 寄存器（偏移 = 0x80B）[复位 = 0xXX]

DDS_IDLE 如表 8-324 所示。

返回到汇总表。

表 8-324. DDS_IDLE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	X	
3-0	DDS_IDLE	R	X	如果 DDS 通道 n 当前空闲（等待触发），DDS_IDLE[n] 返回 1，否则返回 0。

8.18.9 DDS_INDEX0 寄存器（偏移 = 0x80C）[复位 = 0xXX]

DDS_INDEX0 如 表 8-325 所示。

返回到汇总表。

表 8-325. DDS_INDEX0 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	X	
3-0	DDS_INDEX0	R	X	DDS_Index0 返回 DDS 通道 n 当前正在执行（或等待触发器执行）的矢量的索引。

8.18.10 DDS_INDEX1 寄存器（偏移 = 0x80D）[复位 = 0xXX]

DDS_INDEX1 如 表 8-326 所示。

返回到汇总表。

表 8-326. DDS_INDEX1 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	X	
3-0	DDS_INDEX1	R	X	参阅 DDS_INDEX0

Copyright © 2026 Texas Instruments Incorporated

8.18.11 DDS_INDEX2 寄存器（偏移 = 0x80E）[复位 = 0xXX]

DDS_INDEX2 如 表 8-327 所示。

返回到汇总表。

表 8-327. DDS_INDEX2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	X	
3-0	DDS_INDEX2	R	X	参阅 DDS_INDEX0

8.18.12 DDS_INDEX3 寄存器（偏移 = 0x80F）[复位 = 0xXX]

DDS_INDEX3 如 表 8-328 所示。

返回到汇总表。

表 8-328. DDS_INDEX3 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	X	
3-0	DDS_INDEX3	R	X	参阅 DDS_INDEX0

8.18.13 DDS_AMP2 寄存器（偏移 = 0x810）[复位 = 0x00]

DDS_AMP2 如 表 8-329 所示。

返回到汇总表。

表 8-329. DDS_AMP2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	DDS_AMP2	R/W	0x0	DDS_AMP2[n] 启用 DDS 通道 n 的二阶振幅控制。这允许矢量模式合成平滑且精确的振幅曲线。 注意：仅当 SYS_EN=0 时，才应更改该寄存器。

8.18.14 DDS_VEC_n 寄存器（偏移 = 0x820）[复位 = 0xXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX]

DDS_VEC_n 如表 8-330 所示。

返回到汇总表。

表 8-330. DDS_VEC_n 寄存器字段说明

位	字段	类型	复位	说明
167-120	FREQ_START	R/W	X	每个矢量为 21 字节（168 位），矢量 n 的地址从 0x0B10 + 21*n 开始（21 是基地址 10 值)。所有 384 个矢量占用 8064 字节。 矢量被分配给 DDS 通道，具体取决于启用的 DDS 通道数量。有关更多详细信息，请参阅 DDS 矢量模式部分。 注意：当 DDS 启用时，可通过 SPI 更新矢量，但存在限制。请参阅启用 DDS 时写入矢量。 频率累加器的初始值（48 位）。 注意：FREQ_START 的低 16 位可以重新用于二阶振幅控制（AMP_STEP2，16 位，有符号）。
119-88	FREQ_STEP	R/W	X	频率阶跃（32 位）
87-72	AMP_START	R/W	X	振幅累加器的初始值（16 位，有符号）

Copyright © 2026 Texas Instruments Incorporated

表 8-330. DDS_VEC_n 寄存器字段说明（续）

位	字段	类型	复位	说明
71-56	AMP_STEP	R/W	X	振幅阶跃（16 位，有符号）
55-40	PHASE_START	R/W	X	相位累加器的初始值（16 位）
39-8	NUM_SAMP_M32	R/W	X	样本中的矢量长度减 32（32 位）。NUM_SAMP_M32 必须是 8 的倍数（样本数最小值为 32）。低 3 位始终返回 0。
7-3	STEP_EXP	R/W	X	定义了应用于频率和振幅阶跃值的指数。合法范围为 3 至 31（如果 DDS_AMP2[n]=1，则为 3 至 15）。
2	RESERVED	R-0/W	X	
1	LAST_VEC	R/W	X	0x0 = 播放该矢量后继续下一个矢量。 0x1 = 播放该矢量后返回至矢量块起始处（或在索引模式下返回至 VINDEX）。
0	VTRIG_MODE	R/W	X	0x0 = 自动触发（矢量自动开始和结束） 0x1 = 手动触发（DDS 可能停止，直到发生触发）

Copyright © 2026 Texas Instruments Incorporated

8.19 Programmable_FIR 寄存器

表 8-331 列出了 Programmable_FIR 寄存器的存储器映射寄存器。表 8-331 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-331. PROGRAMMABLE_FIR 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x2800	PFIR_EN		节 8.19.1
0x2801	PFIR_MODE		节 8.19.2
0x2803	PFIR_LEN		节 8.19.3
0x2804	PFIR_BC		节 8.19.4
0x2805	PFIR_DLY		节 8.19.5
0x2807	FR_EN		节 8.19.6
0x2810	PFIR_H_n		节 8.19.7
0x2E10	PFIR_PROG		节 8.19.8

复杂的位访问类型经过编码可适应小型表单元。表 8-332 展示了适用于此部分中访问类型的代码。

表 8-332. Programmable_FIR 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.19.1 PFIR_EN 寄存器（偏移 = 0x2800）[复位 = 0x00]

PFIR_EN 如表 8-333 所示。

返回到汇总表。

表 8-333. PFIR_EN 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R-0/W	0x0	
3-0	PFIR_EN	R/W	0x0	PFIR_EN[n] 启用通道 n 的 PFIR。在设置 SYS_EN 之前，实际上不会启用 PFIR。 当 PFIR_MODE 配置为实数运算 (PFIR_MODE=0) 时，n 对应于 DAC 通道（n = 0 至 1）。当 PFIR_MODE 配置为复数运算（PFIR_MODE 大于 0）时，n 对应于 DUC 通道（n = 0 至 3）。在不受支持的通道上启用 PFIR 会产生未定义的行为。请参阅“PFIR 配置”部分。 注意：当 PFIR 放置在 DUC 之前时，必须为 DUC 模式配置相关的 DSP 通道（例如，如果设置了 PFIR_EN[n]，则应将 DSP_MODEn 设置为 DUC 模式)。

Copyright © 2026 Texas Instruments Incorporated

8.19.2 PFIR_MODE 寄存器（偏移 = 0x2801）[复位 = 0x00]

PFIR_MODE 如表 8-334 所示。

返回到汇总表。

表 8-334. PFIR_MODE 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R-0/W	0x0	
1-0	PFIR_MODE	R/W	0x0	这指定了 PFIR 的通用模式（请参阅“PFIR 配置”部分）。它会影响所有 PFIR 通道。用户还必须设置 PFIR_EN 才能启用 PFIR。

8.19.3 PFIR_LEN 寄存器（偏移 = 0x2803）[复位 = 0x00]

PFIR_LEN 如表 8-335 所示。

返回到汇总表。

表 8-335. PFIR_LEN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	PFIR_LEN	R/W	0x0	支持的系数 (NPFIR) 的数量取决于 PFIR_MODE 和 DSP_L。另请参阅 PFIR 省电。 注意：如果 NPFIR=24，低功耗选项不可用（抽头数不能减少到 24 以下）。 0x0 = 支持 NPFIR/2 系数（低功率选项） 0x1 = 支持 NPFIR 系数（全功率选项）

8.19.4 PFIR_BC 寄存器（偏移 = 0x2804）[复位 = 0x00]

PFIR_BC 如表 8-336 所示。

返回到汇总表。

表 8-336. PFIR_BC 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	PFIR_BC	R/W	0x0	当 PFIR_MODE=0 且 PFIR_EN=1 时，用户可以选择设置 PFIR_BC=1 以将 PFIR 通道 0 的输出广播到两个 DAC。这样，用户就可以向两个 DAC 发送相同的信号，而无需为通道 1 启用 PFIR（降低功耗） 0x0 = 已禁用 PFIR 广播 0x1 = 已启用 PFIR 广播

8.19.5 PFIR_DLY 寄存器（偏移 = 0x2805）[复位 = 0x0000]

PFIR_DLY 如表 8-337 所示。

返回到汇总表。

表 8-337. PFIR_DLY 寄存器字段说明

位	字段	类型	复位	说明
15-8	PFIR_DLY[1]	R/W	0x0	当 PFIR_MODE=0 (PFIR-after-channel-bonder) 时，此寄存器通过 PFIR_DLY 样本（即 DAC 周期）延迟脉冲响应的后半部分。这对于取消反射很有用。PFIR_DLY[1] 控制通道 1 的延迟。请参阅 PFIR 反射消除。

Copyright © 2026 Texas Instruments Incorporated

表 8-337. PFIR_DLY 寄存器字段说明（续）

位	字段	类型	复位	说明
7-0	PFIR_DLY[0]	R/W	0x0	当 PFIR_MODE=0 (PFIR-after-channel-bonder) 时，此寄存器通过 PFIR_DLY 样本（即 DAC 周期）延迟脉冲响应的后半部分。这对于取消反射很有用。PFIR_DLY[0] 控制通道 0 的延迟。请参阅“PFIR 反射消除”部分。

8.19.6 FR_EN 寄存器（偏移 = 0x2807）[复位 = 0x00]

FR_EN 如表 8-338 所示。

返回到汇总表。

表 8-338. FR_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R-0/W	0x0	
0	FR_EN	R/W	0x0	注意：仅当 FR 接口空闲时，才应更改该寄存器。 0x0 = 禁用 FR 接口。PFIR 系数由 PFIR_H 控制 0x1 = FR 接口已启用。PFIR 系数由 FR_PFIR_H 控制。

8.19.7 PFIR_H_n 寄存器（偏移 = 0x2810）[复位 = 0xXXXX]

PFIR_H_n 如表 8-339 所示。

返回到汇总表。

表 8-339. PFIR_H_n 寄存器字段说明

位	字段	类型	复位	说明
15-0	PFIR_H[n]	R/W	X	当 FR_EN=1 时，对该寄存器的写入会设置 PFIR_H 中的值。系数 n (0:767) 的存储器位于地址 0x2810 + 2*n。每个系数都是一个有符号的 16 位值，LSB 权重为 2^{-15}。此分配内的系数组织方式取决于 PFIR_MODE。请参阅 PFIR 设定部分。 注意：当 FR_EN=1 时，无法通过 SPI 读取或写入该寄存器，并且只能通过 FR 接口写入。要读取这些值，请设置 FR_EN=0。

8.19.8 PFIR_PROG 寄存器（偏移 = 0x2E10）[复位 = 0xXX]

PFIR_PROG 如表 8-340 所示。

返回到汇总表。

表 8-340. PFIR_PROG 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	X	
0	PFIR_PROG	R/W	0x0	要在 PFIR 运行 (SYS_EN=1) 后修改 PFIR 系数 (PFIR_H)，请设置 PFIR_PROG=1。该命令指示所有 PFIR 保持其当前系数（双缓冲区）。这样可以对新系数进行编程，但不会立即生效。对新系数进行编程后，设置 PFIR_PROG=0 以将其传输到 PFIR 并使其生效。 注意：设置 PFIR_PROG 后，至少等待 1,024 个 DACCLK 周期以便 PFIR 检测到变化，然后再修改 PFIR_H。 注意：当 FR_EN=1 时，该寄存器无法通过 SPI 读取或写入，只能通过 FRI 写入。要读取这些值，请设置 FR_EN=0。 0x0 = PFIR 系数应用于 PFIR 0x1 = PFIR 保持旧系数，允许重新编程

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

9.1.1 启动步骤

下面列出了器件的启动过程：

1. 使用上电和断电时序中的过程在焊球 $\overline{\text{RESET}}$ 被置为有效的情况下为器件加电。
2. 应用 DACCLK，然后使 $\overline{\text{RESET}}$ 失效。
3. 如果使用 CPLL，则设置 CPLL_EN = 1。
4. 设置所有操作参数（可以按任何顺序对寄存器进行编程）：
   a. 将 DSP_MODE*n* 编程为使用 JESD204C 接口的模式。
   b. 如果使用 DUC 模式或 DDS 流模式，请选择内插/上采样因子并对 DSP _L 寄存器进行编程。
   c. 确定总内插因子 (LT)，因为在后续步骤中需要该值。
   d. 确定需要多少个样本流并对 JESD_M 寄存器进行编程。
   e. 从 JJESD 接口模式中选择 JESD204C 模式。确保所选模式支持先前计算的 LT 值和所需的链路层编码。此外，确保该模式支持在 JESD_M 寄存器中设置的所需流数。将模式编号编程到 JMODE 寄存器中。
   f. 对 JENC 寄存器进行编程，以选择 8b/10b 或 64b/66b 操作。
   g. 使用 JESD 接口模式和之前计算出的 LT 值计算 R 的值。
   h. 使用表 7-47 (8b/10b) 或表 7-48 (64b/66b) 标识与 R 值和 DAC 时钟频率相匹配的行。根据这些表对 REFDIV、REFDIV、MPY 和 RATE 进行编程。
   i. 如有必要，对 LANE_SEL[n] 进行编程，将相应的物理通道绑定到逻辑通道。如有必要，对 LANE_INV 进行编程以解决任何通道反转问题（交换差分对 +/-）。
   j. 根据您所需的用途对其它常用设置进行编程（JCNTL 寄存器中的 SUBCLASS、SFORMAT、SCR）。
   k. 如果使用 8b/10b 编码，则对 KM1 寄存器进行编程以设置 K 参数，来匹配链路伙伴。确保遵守 JESD 接口模式中 KR 参数所施加的约束。
   l. 如果需要子类 1 操作 (SUBCLASS=1)，您还必须对 RBD 进行编程。通过参考编程 RBD 来确定 *RBD* 的适当值。
   m. 如有必要，对可选的串行器/解串器参数（CDR0、EQ_CTRL、EQZERO、EQLEVEL）进行编程。
5. 如果 SUBCLASS=1，则需要 SYSREF 才能在接收器中建立 LMFC/LEMC 相位。按照以下过程使用自动 SYSREF 校准：
   a. 将 SRCAL_AVG 和 SRTRK_AVG 设为适当的设置
   b. 如果需要跟踪，则设置 SRTRK_EN SRTRK_EN
   c. 设置 SYSREF_RX_ENSYSREF_RX_EN=1.如有必要，请等待一段时间让 SYSREF 接收器稳定下来。
   d. 启用 SYSREF 发生器，以生成周期性 SYSREF 信号。每个 SYSREF 周期的时间段必须满足 SYSREF 频率要求中的要求。如果 SYSREF 为交流耦合，请留出足够的时间让耦合电容器稳定下来，然后再继续。
   e. 设置 SRCAL_EN =1
   f. 等待 SYSREF_CAL_DONE=1。验证 SYSREF_CAL_FAILSYSREF_CAL_FAIL =0。
6. 对发送器（链接伙伴，例如 FPGA 或 ASIC）进行编程，并开始传输。
7. 等待加载保险丝值（寄存器 FUSE_DONE 返回 1）。
8. 编程 SYS_EN=1 以启动接收器。
9. 如果 SUBCLASS=1，接收器必须处理足够数量的有效 SYSREF 脉冲来设置 JESD_ALIGNED 寄存器，否则 JESDlink 将保持断开状态。有关详细信息，请参阅 JESD_ALIGNED 寄存器说明。
10. 读取 JESD_STATUS 寄存器以确认链路运行（JESD_STATUS = 1 中的 LINK_UP 字段）。如果 LINK_UP 字段返回 0，请按以下顺序验证这些项目：

Copyright © 2026 Texas Instruments Incorporated

a. 如果 PLL_LOCKED 字段返回 0，请验证 PLL 设置（REFDIV、MPY 和 RATE）是否正确。验证 DACCLK 频率是否正确。
b. 如果 SUBCLASS = 1，且 ALIGNED 字段返回 0，请验证是否已应用 SYSREF 并启用 SYSREF 处理器 SYSREF_PROC_EN = 1。验证 SYSREF 周期是否有效。
c. 如果 PLL_LOCKED = 1（且 ALIGNED = 1 或 SUBCLASS = 0），则读取 LANE_STATUS[n] 寄存器（只读取逻辑通道 0 至 L-1 的寄存器）。确定某些通道是否无法获取代码组或块同步。如果是，请验证发送器是否已正确编程。验证是否正确对 LANE_SEL[n] 进行了编程。考虑执行 PHY 测试以验证/优化 PHY 操作（使用 JTEST 的 PRBS 测试，眼图扫描测试或均衡器优化）。
d. d.如果 SUBCLASS = 1 且 EB_ERR = 1，则可能是 RBD 值设置不正确。请参阅“对 RBD 进行编程”。

11. 如果 SUBCLASS = 1 并且链路已建立，可根据需要关闭 SYSREF 信号。如果 SYSREF 为直流耦合，可在源端同步门控 SYSREF。如果 SYSREF 为交流耦合，需先编程 SYSREF_PROC_EN = 0，再关闭 SYSREF 发送端或设置 SYSREF_RX_EN=0（此方法也适用于直流耦合 SYSREF）。
12. 要将器件配置为其他模式，请设置 SYS_EN = 0。然后，返回到步骤 4。

9.1.2 方波模式的带宽优化

如 DAC 输出模式中所述，DAC 输出为零阶保持 (ZOH) 特性，其中输出值在整个采样时间内保持恒定（NRZ 模式下为完整时钟周期，DES2XL 模式下为 ½ 时钟周期）。鉴于 DAC 本身具有较高的输出带宽，其输出响应仅经过最小程度的滤波，在采样周期更长的 NRZ 模式下尤为明显。具体情况可见 NRZ 模式（图 9-1）和 DES2XL 模式（图 9-2）的方波波形图。

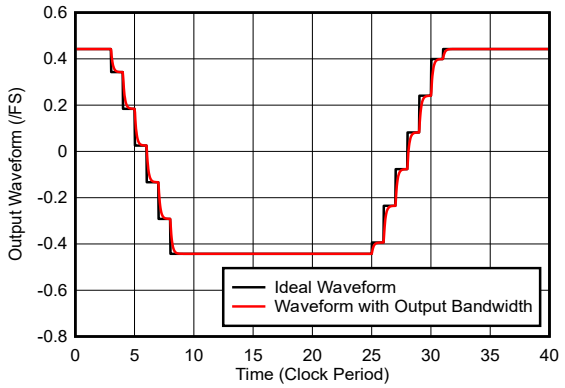


图 9-1. 具有 DAC 带宽限制的 NRZ 模式的输出波形

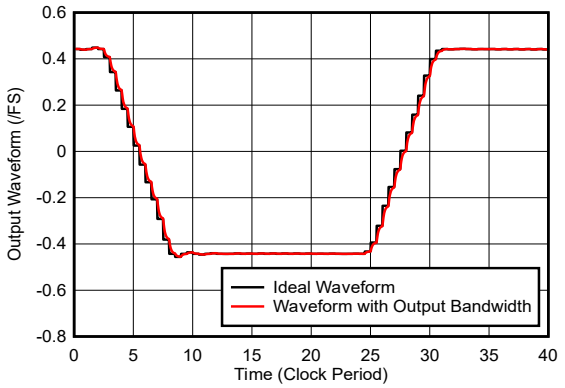


图 9-2. 具有 DAC 带宽限制的 DES 模式的输出波形

DAC 输出带宽可通过以下方式降低：在保留方波模式高压摆率的同时，消除采样间的波动。输出带宽若与过渡周期带宽相近，约为 $2/(3*T_{TRANS})$，其中 T_{TRANS} 为过渡时间，可在维持压摆率与消除 ZOH 结构之间取得良好平衡。

图 9-3 展示了采用建议输出带宽的方波输出波形，其中使用

- f_{CLK} = 22GHz
- F_{NCO} = 1GHz
- SLEW = 2（7.5GHz 转换时间）
- DES2XL 模式
- BW_{OUT} = 5GHz

在消除 ZOH 结构后，方波压摆率基本保持不变。

Copyright © 2026 Texas Instruments Incorporated

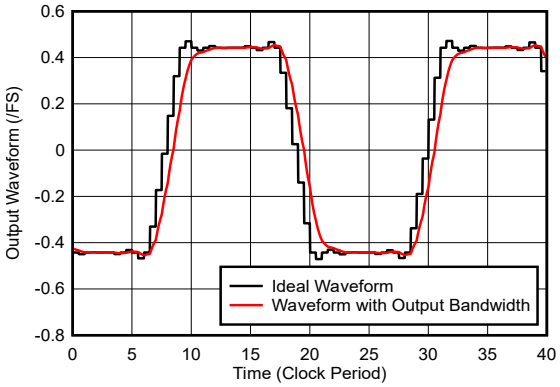


图 9-3. 采用建议输出带宽的方波输出

9.2 典型应用：Ku 频带雷达发送器

9.2.1 设计要求

Ku 频带的频率范围为 12GHz 至 18GHz，其中雷达的频率范围为 15GHz 至 17GHz。本示例中使用信号带宽为 1GHz、中心频率为 16.2GHz 的雷达。

多普勒雷达使用返回信号的频移来测量物体的速度。来自地面杂波的大反射信号与 TX 和 RX 相位噪声混合，这可能会使小型移动物体的返回信号变大。这就对雷达线性调频脉冲的近端相位噪声提出了要求。在本示例中，我们假设在 16.2GHz 中心频率下，单边带相位噪声要求为 -126dBc/Hz。

雷达对杂散信号也很敏感，对于本示例，我们假设带内 SFDR 需要 80dBFS。

9.2.2 详细设计过程

表 9-1 中列出了设计参数的摘要。1.25GSPS 复数输入采样速率覆盖 1GHz 信号带宽，使用 16 倍内插将 TX 采样速率提高到 20GSPS。该器件的数控振荡器 (NCO) 用于在 3.8GHz 下将信号置于 TX 输出上。在 DES2XH 模式下额外应用了 2 倍内插，将采样速率提高到 40GSPS，输出频率增加到 16.2GHz。

JMODE 4 中的 JESD204C 接口配置为每个 IQ 对具有 4 个流（2 个 IQ 对）和 2 个串行器/解串器通道。使用 64/66 位编码时，串行器/解串器波特率为 20.625Gbps。

表 9-1. Ku 频带发送器的设计参数

参数	值
输入时钟	20GHz
DAC 采样速率	40GSPS
输出模式	DES2XH
DEM 和抖动设置	开
TX 内插因子	16x
TX 输入速率	1.25GSPS 复频率
NCO 频率	3.8GHz
JMODE	4
流数	4（2 个 IQ 对，1/DAC）
串行器/解串器通道数	4
编码	64/66
串行器/解串器波特率	20.625Gbps

Copyright © 2026 Texas Instruments Incorporated

9.2.3 应用曲线

用于测试的雷达芯片波形是一个非线性调频 (NLFM) 脉冲，在 20GSPS 复数输入速率下可持续 4096 个样本。频率从 -0.5GHz 斜升到 +0.5GHz，遵循由 Price 绘制的频率斜升曲线，该曲线见文献 [Price R. *Chebyshev Low Pulse Compression Sidelobes via a Nonlinear FM.*National Radio Science Meeting of URSI; PortSaid, Egypt: 1979.]，T = 4096 个样本，B = 0.8，B_l =0.5611 且 B_c = 0.238。

$$f(f, B_l, B_c) = B \times \frac{t - T/2}{T} \times \left(B_l + \frac{B_c}{\sqrt{1 - 4\left(t - T/2\right)^2 / T^2}} \right) \quad (8)$$

未偏移至 16.2GHz 的 NLFM 线性调频信号的频率斜升曲线如图 9-4 所示。基于方程式 8 的时域 DDS 波形和连续波形如图 9-5 所示。DDS 波形和连续波形的自动关联如图 9-6 所示。

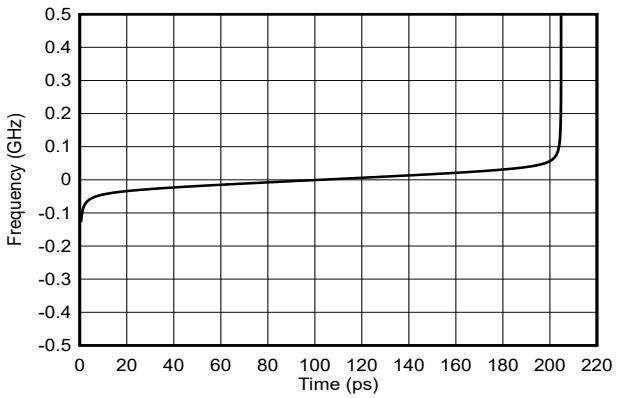


图 9-4. NLFM 频率斜升

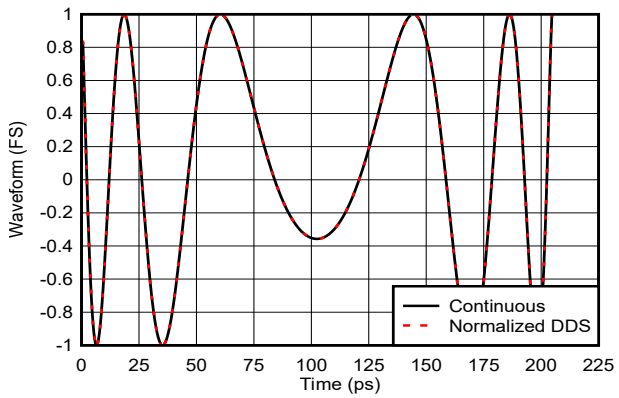


图 9-5. NLFM 波形的归一化时域（红色 = DDS 波形，黑色=连续方程波形）

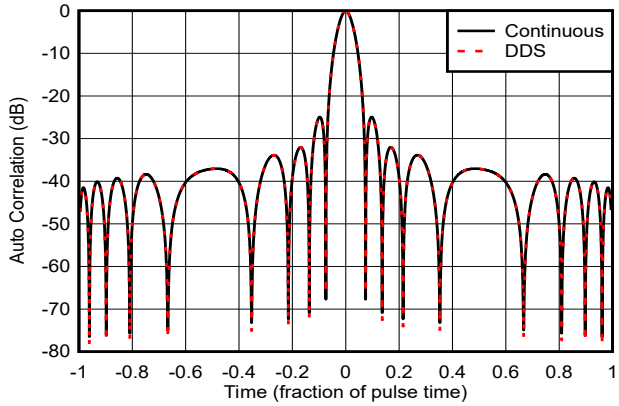


图 9-6. NLFM 波形的自相关（红色= DDS 波形，黑色 = 连续方程波形）

图 9-7 展示了在 5GHz 带宽范围内满量程音调的 16.2GHz 频谱纯度。最大杂散出现在 3.16GHz 处，约为 66dBc，为 4 次谐波。16.2GHz 音调的输出相位噪声如图 9-8 所示。

Copyright © 2026 Texas Instruments Incorporated

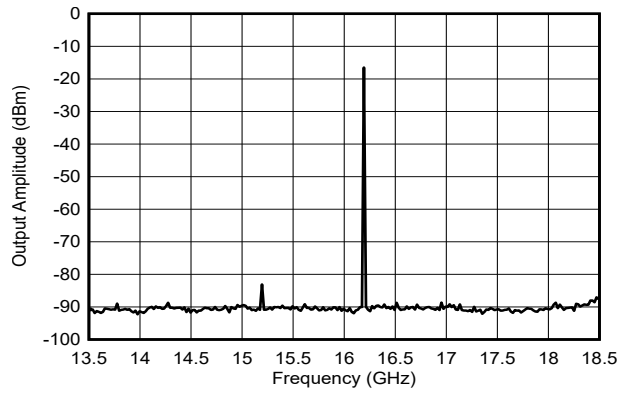


图 9-7. f_{OUT} = 16.2GHz 时的带内单音频谱

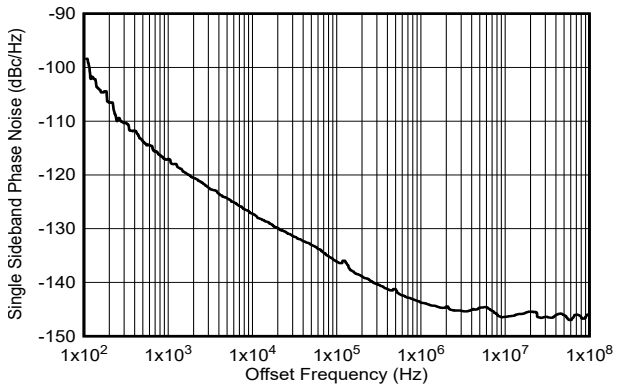


图 9-8. 16.2GHz 频率下的 DAC 附加相位噪声

Copyright © 2026 Texas Instruments Incorporated

9.3 电源相关建议

该器件有三个电源电压并且需要七个电源域，才能实现如表 9-2 中所示的数据表性能：

表 9-2. 推荐的电源域

电压	电源域	器件电源
+1.8V	VDDA	VDDA18A、VDDA18B
	VDDIO	VDDIO
	VDDCSR	VDDCLK、VDDSYS、VDDR
	VDDSP18	VDDSP18
	VDDCP18	VDDCP18
+0.8V	VDDL	VDDLA、VDDLB
	VDDCLK08	VDDCLK08
	DVDD	VDDDIG、VDDT、VDDEA 和 VDDEB
-1.8V	VEEx	VEEAM18、VEEBM18

推荐的电源如图 9-9 所示。电源电压必须具有低噪声，并提供所需的电流以实现额定器件性能。首先使用降压高效开关转换器，然后使用 LDO 进行第二级稳压，从而降低开关噪声并提高电压精度。用户还可以参阅 TI WEBENCH® Power Designer，它可用于根据需要选择和设计各个电源元件。推荐的开关稳压器为：

- TPSM82913 = +2.3V，适用于 VDDA、VDDIO、VDDCSR、VDDL 和 VDCCCLK 域
- 对于 DVDD，TPS543820 (8A) 或 TPS543A22 (12A) = +0.8V
- TPSM82913 = +3.8V，适用于 VEEx 域

推荐的 LDO 包括：

- +1.8V 和 +0.8V TPS7A9401
- -1.8V LM27762

Copyright © 2026 Texas Instruments Incorporated

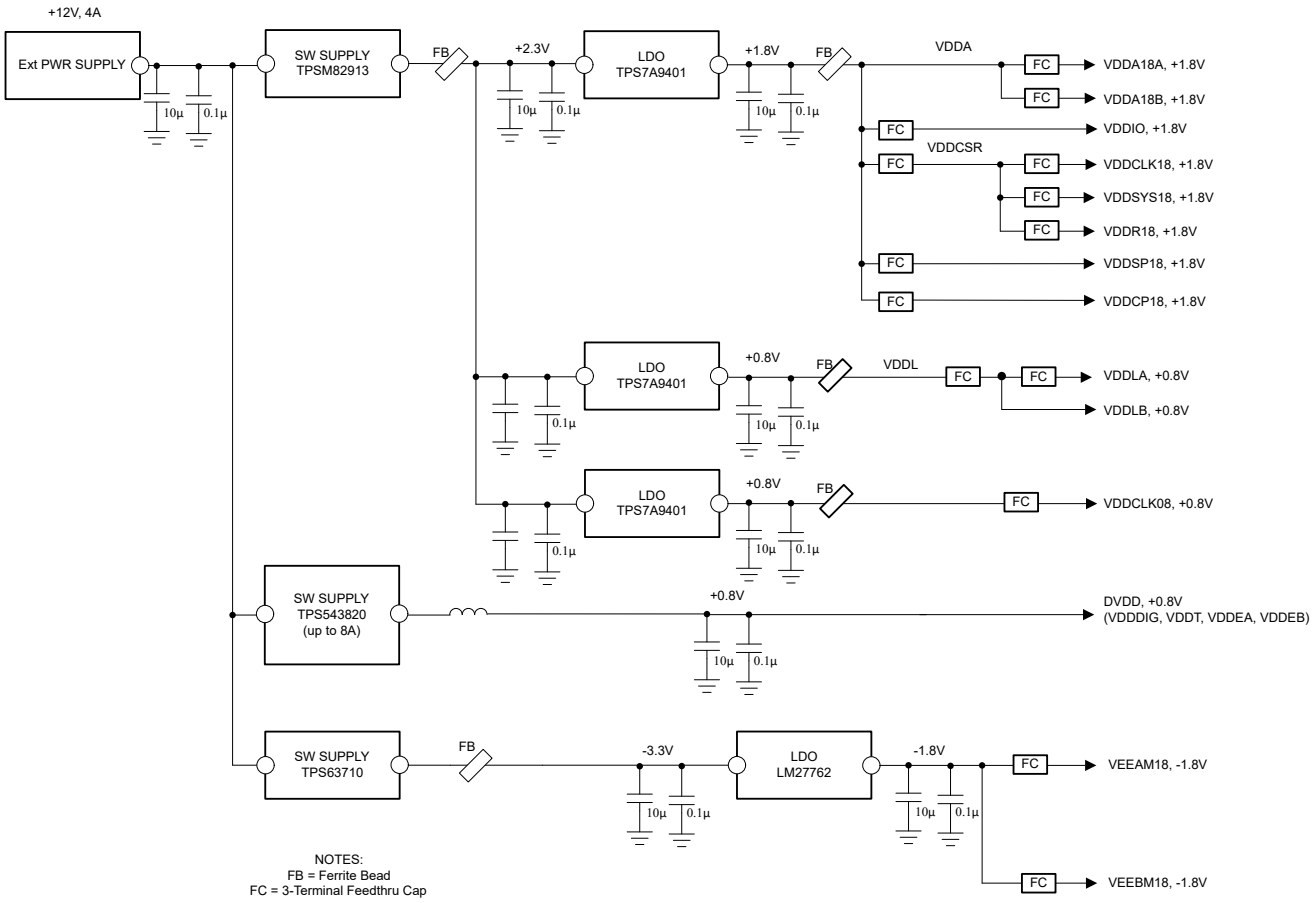


图 9-9. 推荐的电源方框图

VDDA 电源由 LDO 或低噪声压降线性稳压器调节，输出电压为 +1.8V，并进一步细分为以下子组电源域：

- VDDA：VDDA18A、VDDA18B
- VDDIO
- VDDCSR：VDDCLK18、VDDSYS18、VDDR18
- VDDSP18
- VDDCP18

每个器件电源均可连接到单个 LDO，但可通过铁氧体磁珠和/或三端电容器或类似器件进行隔离。

VDDL 电源为 +0.8V，并进一步细分为 VDDLA 和 VDDLB。每个器件电源均可连接到单个 LDO，但可通过铁氧体磁珠和/或三端电容器或类似器件进行隔离。

VDDCLK08 电源为 +0.8V，可实现出色相位噪声性能。VDDCLK08 必须通过 LDO 进行隔离，以防止其他 0.8V 电源耦合到时钟路径中的噪声。

DVDD 电源为 +0.8V，可直接连接到开关电源。DVDD 包含以下器件电源：VDDDIG、VDDT、VDDDEA 和 VDDDEB，它们均可连接在一起。无需使用铁氧体磁珠和/或三端电容器或类似器件进行进一步隔离。

VEEx 电源由单个 LDO 提供 -1.8V 电压，并进一步细分为 VEEAM18 和 VEEBM18，它们通过铁氧体磁珠和/或三端电容器或类似器件进行隔离。

建议遵循以下重要的电源设计注意事项：

1. 当所有电源轨和总线电压进入系统板时，将其解耦。进一步在每个电源域的 DAC 或其附近进行额外去耦。通常建议每个电源引脚搭配一个低 ESL 的 0.1 µ F 去耦电容，除非数据表或 EVM 组件中有所规定。

Copyright © 2026 Texas Instruments Incorporated

2. 请记住，每个附加的滤波级可实现大概 20dB/十倍频程的噪声抑制。
3. 对高频和低频进行解耦，可能需要多个电容值。
4. 串联铁氧体磁珠和馈通电容器通常用于电源普通接入点，可用于额外的电源域隔离。需对系统板上的每个单独电源电压实施上述措施，无论电压是来自 LDO 还是开关稳压器。
5. 为了增加电容，请使用紧密堆叠的电源和接地层对（≤4 密耳间距），这增加了 PCB 设计固有的高频 (>500MHz) 解耦。
6. 应尽可能使电源远离敏感的模拟电路，如 DAC 的前端射频级、高速时钟和数字电路。
7. 使需要更高电流的电源域靠近堆叠顶部或具有电源正常入口点的层。这样可以更大限度地减小整体环路电感。
8. 电源平面上的任何开放或无效区域，请填充接地以提供额外的隔离和屏蔽。
9. 在所有相邻电源平面和/或接地平面填充之间保持 20mil 至 25mil 的间隙。这有助于消除同一层内相邻电源域和/或接地之间的所有间隙耦合。
10. 一些开关稳压器电路/组件可能位于 PCB 的另一侧以增加隔离效果。
11. 遵循 IC 制造建议；如果应用手册或数据表中没有直接说明，可以研究评估板。这些是值得参考的好工具。上述几点可帮助提供可靠的电源设计，从而在许多应用中实现数据表中指明的性能。

每个应用在电源电压上具有不同的噪声容差，因此请阅读以下两个应用手册以获取更多信息，更好地理解如何进行协调：

- 雷达应用中射频转换器的无杂波电源（第 1 部分）
- 雷达应用中射频转换器的无杂波电源（第 2 部分）

另请参阅图 9-15 至图 9-18，其中说明了单电源布局和堆叠方法。

9.3.1 上电和断电时序

有两种推荐的器件电源斜升顺序。

- 选项 1：
  1. 斜升 1.8V 电源
  2. 斜升 -1.8V 电源
  3. 斜升 0.8V 电源

  备注

  在器件的生命周期内，步骤 3 和步骤 1 的之间的累计时间不能超过 30 分钟。例如，如果步骤 3 和步骤 1 之间的时间为 10ms，则需要 180,000 次加电才能达到 30 分钟累计值。
  4. 如果 DAC 输出通过电阻器偏置网络端接：
     a. 对器件寄存器 COARSE_CUR_x、COARSE_CUR_x_SLEEP 和 CURRENT_2X_EN 进行编程，使其输出电流为偏置网络的设计电流。
     b. 斜升偏置网络电源电压

- 选项 2：
  1. 斜升 0.8V 电源
  2. 斜升 1.8V 电源
  3. 斜升 -1.8V 电源
  4. 如果 DAC 输出通过电阻器偏置网络端接：
     a. 对器件寄存器 COARSE_CUR_x、COARSE_CUR_x_SLEEP 和 CURRENT_2X_EN 进行编程，使其输出电流为偏置网络的设计电流。
     b. 斜升偏置网络电源电压

  备注

  选项 2 中对步骤之间的间隔时间没有要求

按与上述相反的顺序斜降。

Copyright © 2026 Texas Instruments Incorporated

9.4 布局

9.4.1 布局指南

在 PC 板设计过程中，需要特别注意许多关键信号连接：

1. DAC 模拟输出信号
2. 采样时钟
3. 串行器/解串器 (JESD204x) 数据输入
4. 电源
5. 电源和接地策略

在开发高速 PCB 设计时，需要考量许多注意事项。如果要进行高速 PCB 设计，可以参考以下建议和示例图：

1. 尽可能在串行器/解串器输入上使用松散耦合的 100 Ω 差分布线进行布线。这种布线可更大限度地降低角和长度匹配蛇形对成对阻抗的影响。
2. 提供足够的线对间距以更大限度地减少串扰，尤其是在松散耦合差分布线情况下。当无法提供足够的间距时，紧密耦合的差分布线可用于降低自辐射噪声或提高相邻布线的抗噪性。
3. 提供足够的接地平面覆铜间距，更大限度地减少与高速布线的耦合。任何接地平面覆铜都必须有足够的过孔连接到电路板的主接地平面。请勿使用悬空或接地不良的覆铜。
4. 使用平滑的辐射角并避免 45 或 90 度弯曲，以减少模拟和数字信号布线的所有高速输入/输出上的阻抗不匹配。详情请参考图 9-10。

Copyright © 2026 Texas Instruments Incorporated

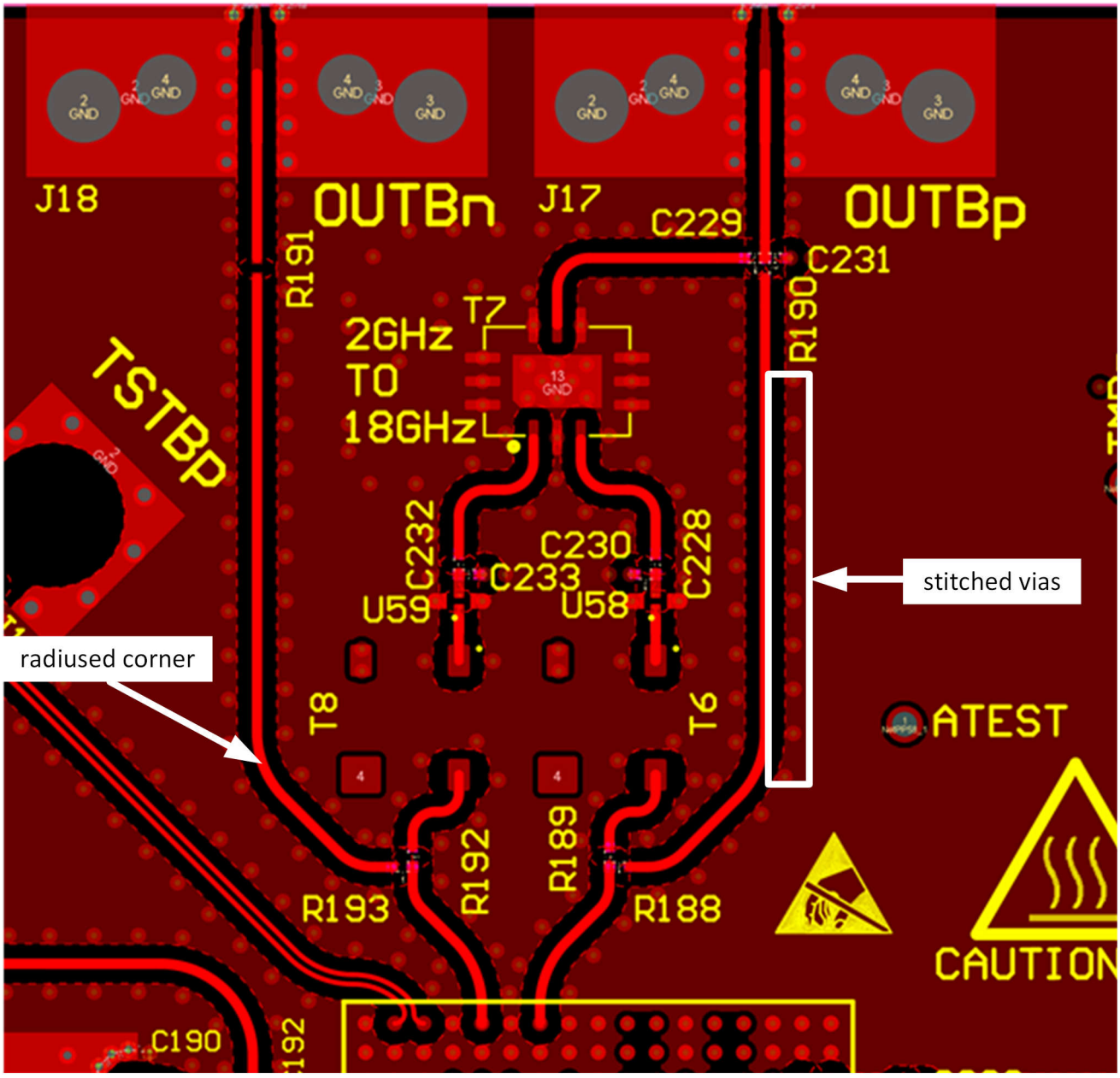


图 9-10. 高速信号布线旁边的半径角和拼接过孔

5. 在元件着陆垫（例如 SMA 连接器、平衡-非平衡变压器等）上引入所需的任何接地平面开孔，以避免这些位置的阻抗不连续。在这些着陆垫下方的一个或多个接地平面上进行开孔，以实现焊盘尺寸或层叠高度，从而实现所需的 50Ω 单端阻抗。请参阅图 9-11 和一个示例。

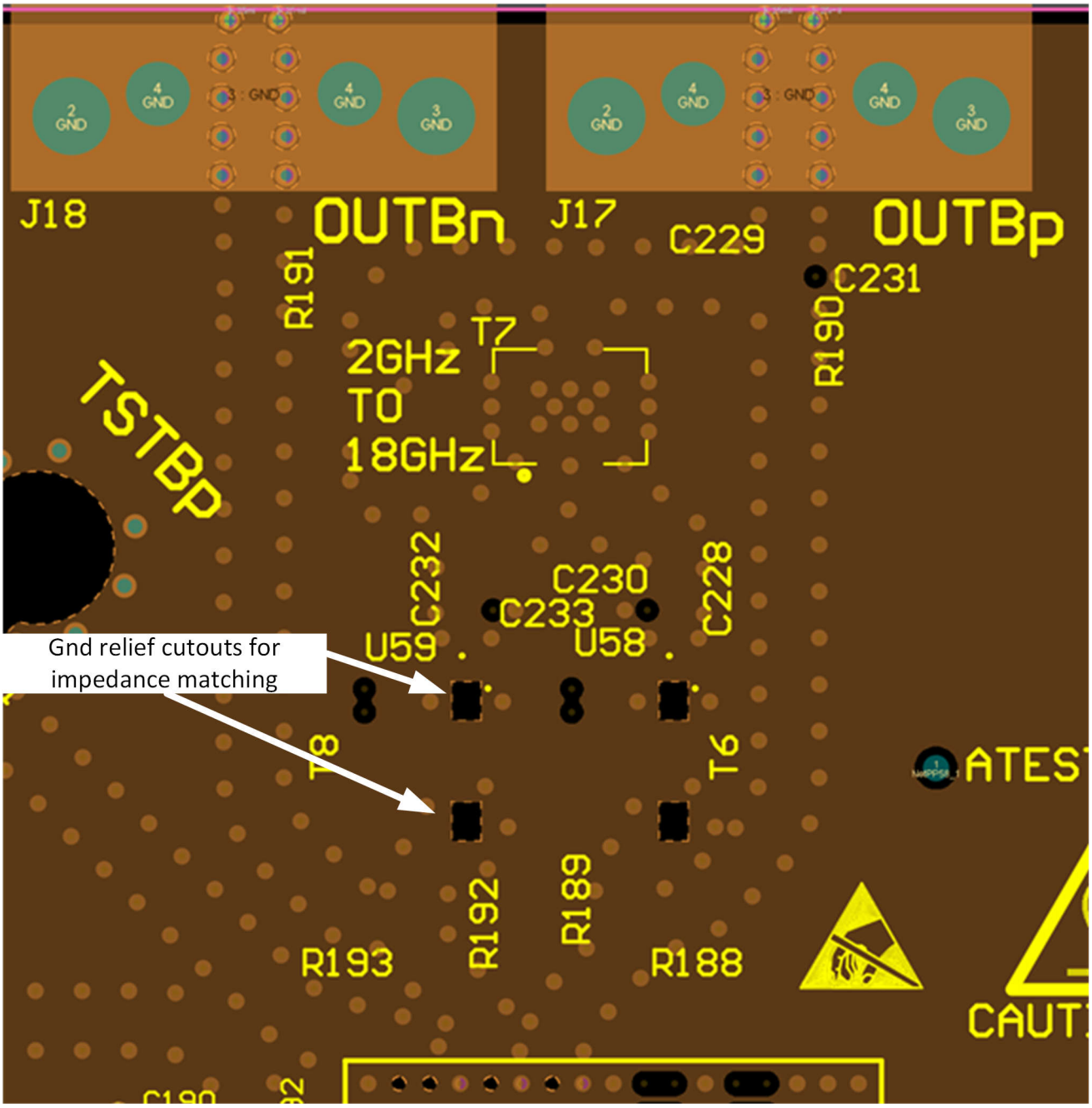


图 9-11. 平衡-非平衡变压器引脚下方的接地开孔

6. 避免在基准接地平面中的不平顺处附近布线。不平顺处包括与电源和信号过孔以及通孔器件引线相关的接地平面或接地层间隙的切割处。
7. 在由布线传输的最大频率 (λ/4) 决定的适当间距下，提供与任何高速信号相邻的对称接地连接拼接过孔。详情请参考图 9-10。
8. 当高速信号必须使用过孔转换到另一层时，应尽可能远地穿过电路板（最好是从上到下），以更大限度地减少过孔顶部或底部的过孔残桩。如果层选择不灵活，请使用背钻或埋入式盲孔来消除残桩。在各层之间转换时，务必使两个接地过孔（“回路过孔”）靠近关键的高速信号布线过孔放置，就近形成接地回路。详情请参考图 9-12。

Copyright © 2026 Texas Instruments Incorporated

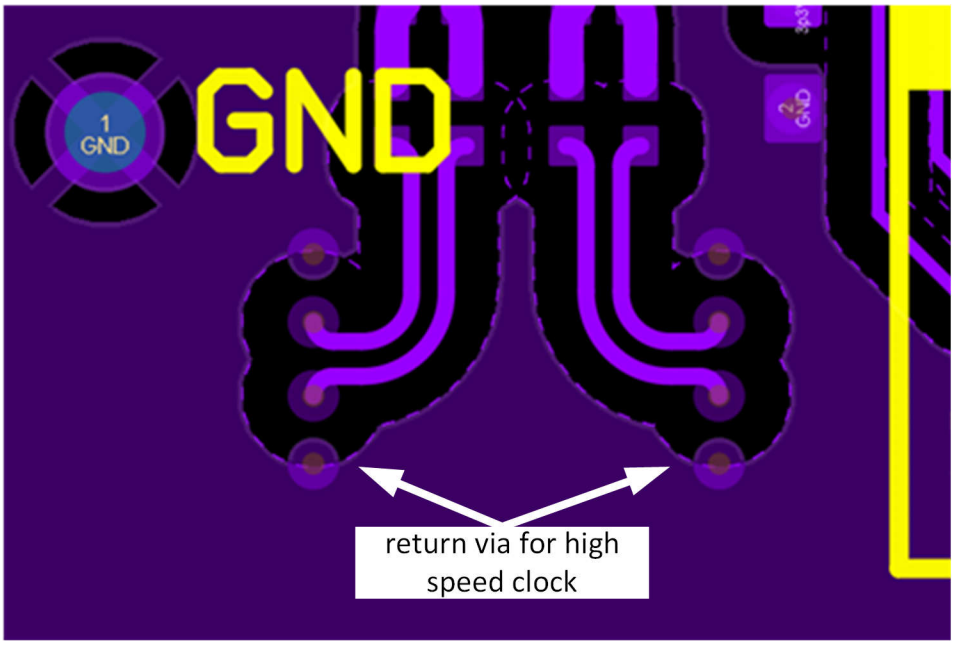


图 9-12. 高速时钟的回路过孔

9. 请特别注意 JESD204x 数据输入路由和模拟输出路由之间的潜在耦合。JESD204x 输入的开关噪声可耦合到模拟输出布线中，并由于 DAC 的高带宽而显示为宽带噪声。尽可能将串行器/解串器 JESD204x 数据输入从 DAC 输出布线布置在单独的层上，以避免噪声耦合，详情请参考图 9-13 和图 9-14。

Copyright © 2026 Texas Instruments Incorporated

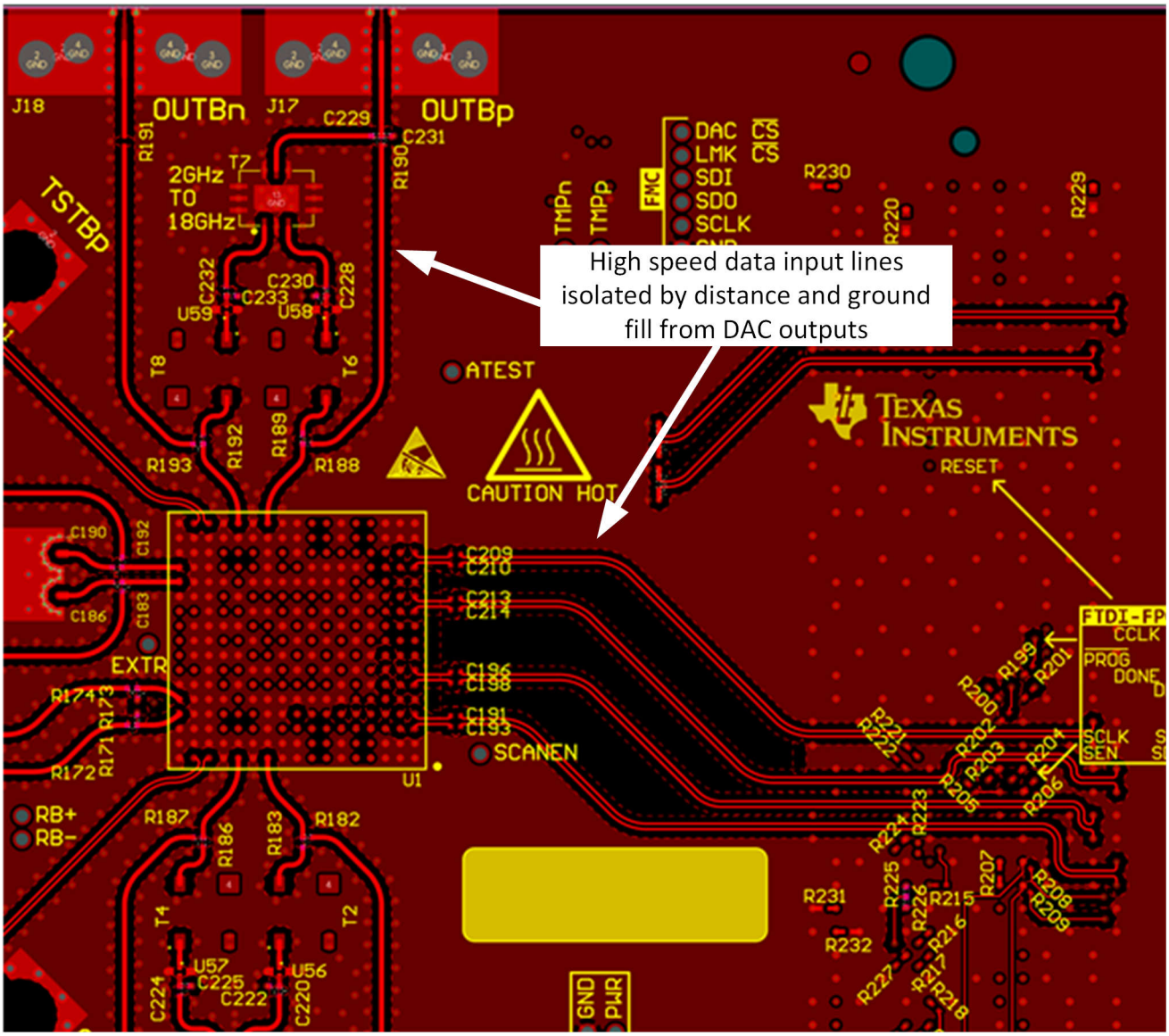


图 9-13. 具有地线填充隔离的串行器/解串器顶层布线

Copyright © 2026 Texas Instruments Incorporated

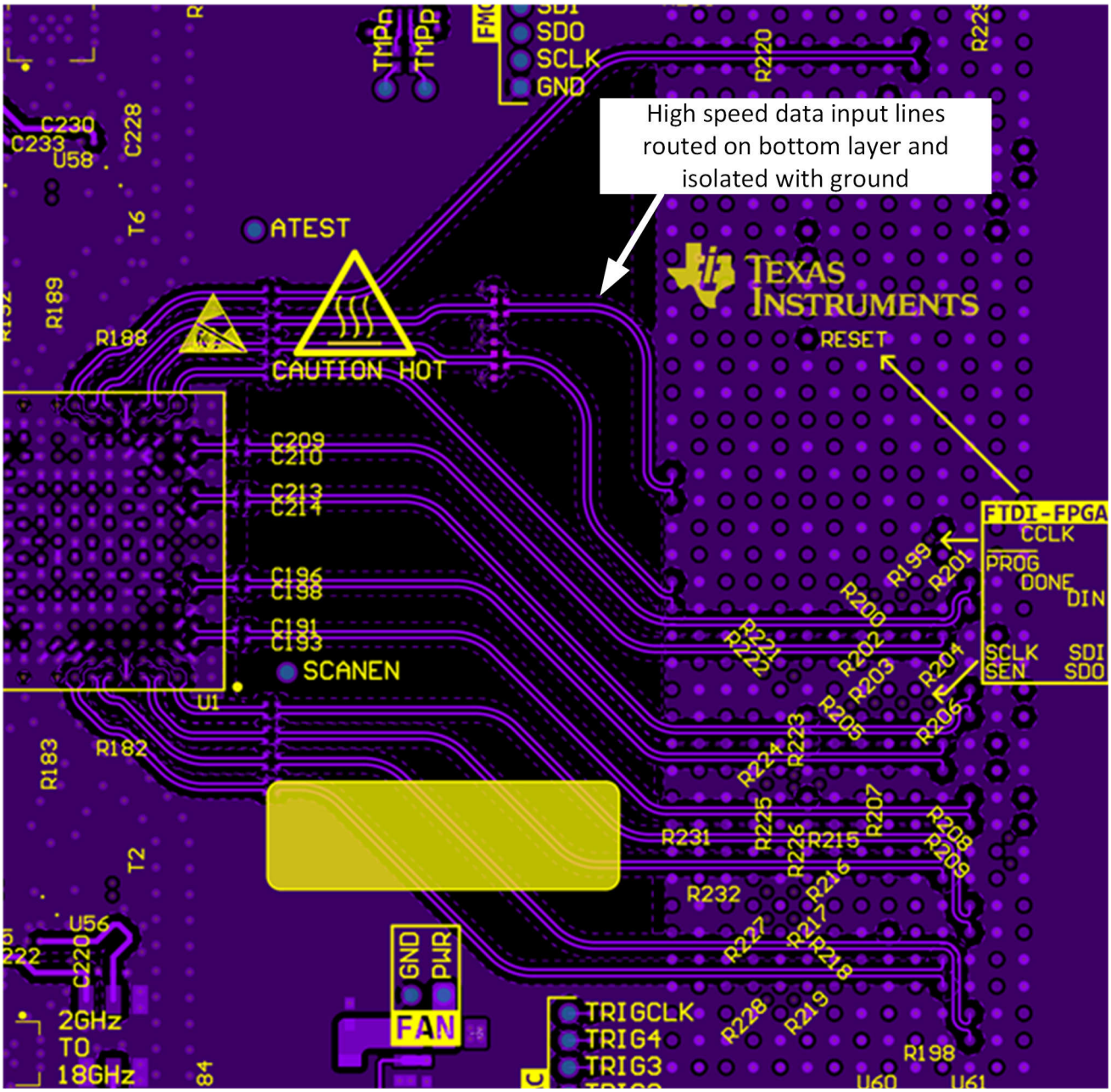


图 9-14. 具有接地隔离的串行器/解串器底层布线

10. 减小时钟振幅会降低 DAC 噪声性能，因此请确保时钟信号具有足够的驱动强度，尤其是对于高频。为了避免这种情况，如果使用无源平衡-非平衡变压器来驱动或连接转换器的采样时钟引脚，则应使时钟源靠近 DAC。如果布线长度超过几英寸，则可能需要在 DAC 采样时钟输入引脚处进行阻抗匹配。

9.4.2 布局示例

图 9-15 至图 9-18 展示了电源平面设计的示例。

Copyright © 2026 Texas Instruments Incorporated

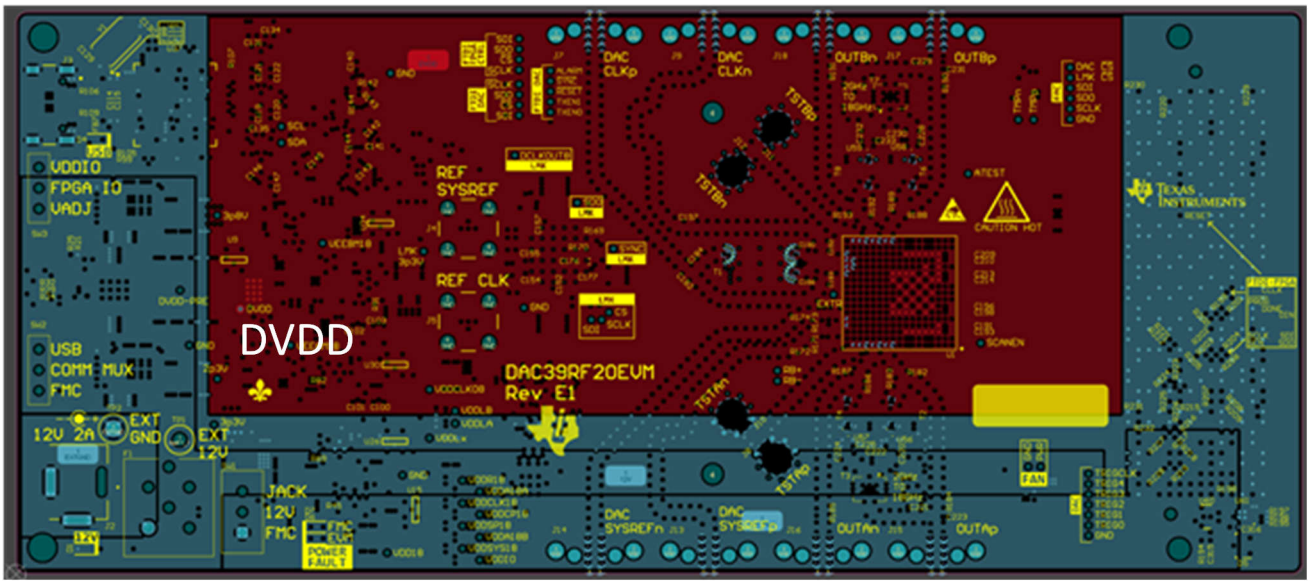


图 9-15. 第 3 层的电源平面布局

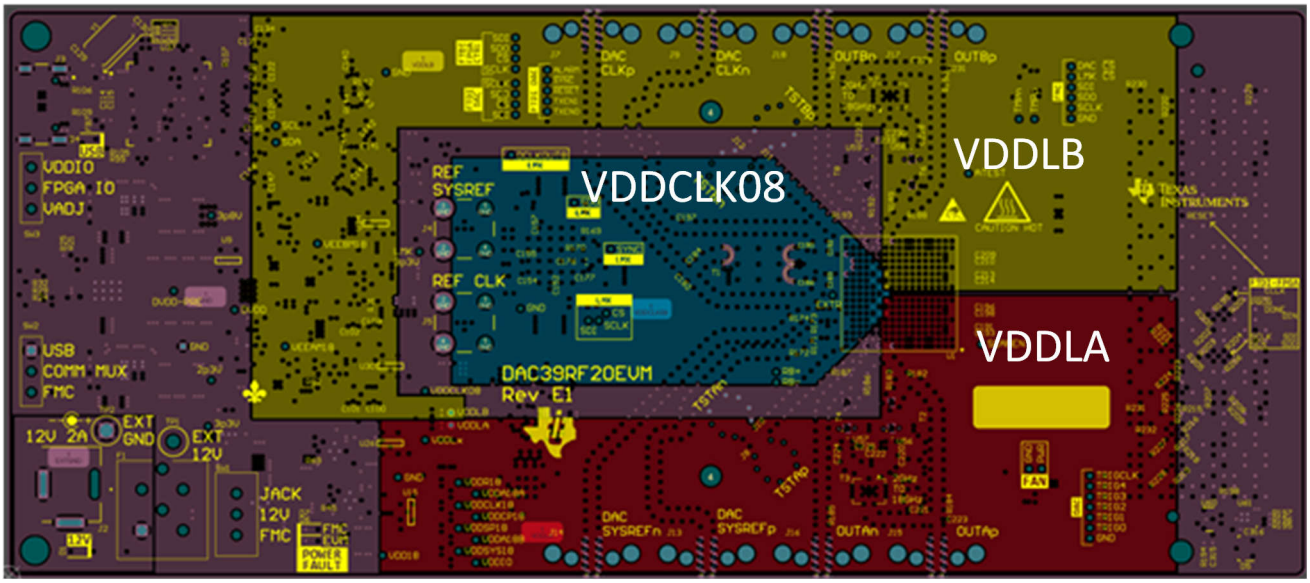


图 9-16. 第 5 层的电源平面布局

Copyright © 2026 Texas Instruments Incorporated

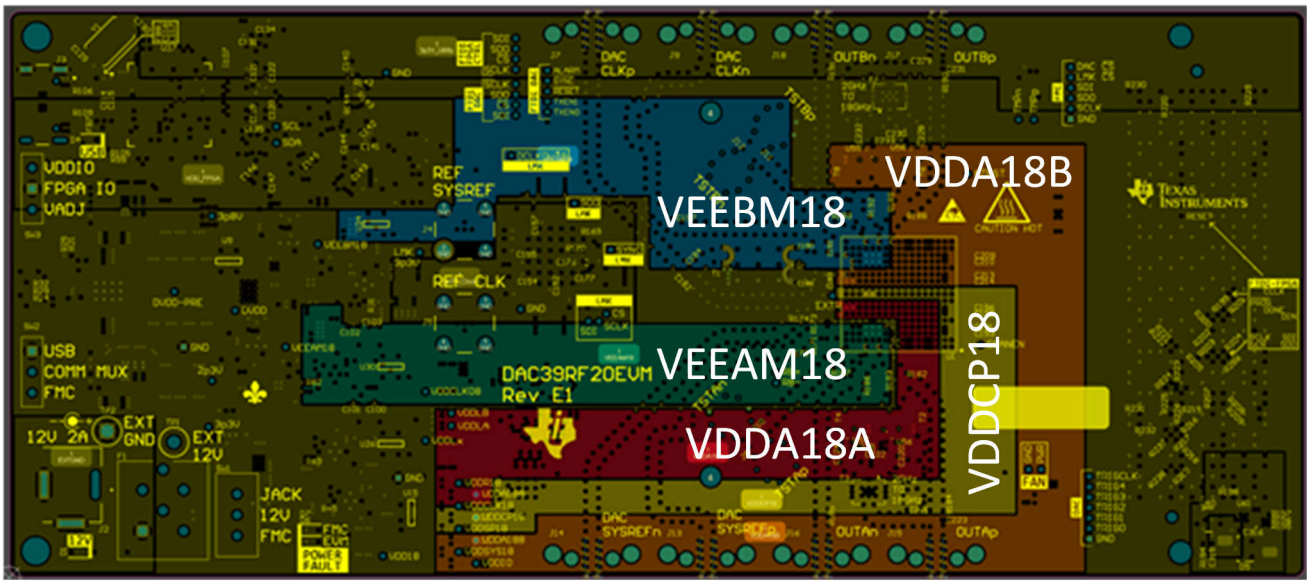


图 9-17. 第 12 层的电源平面布局

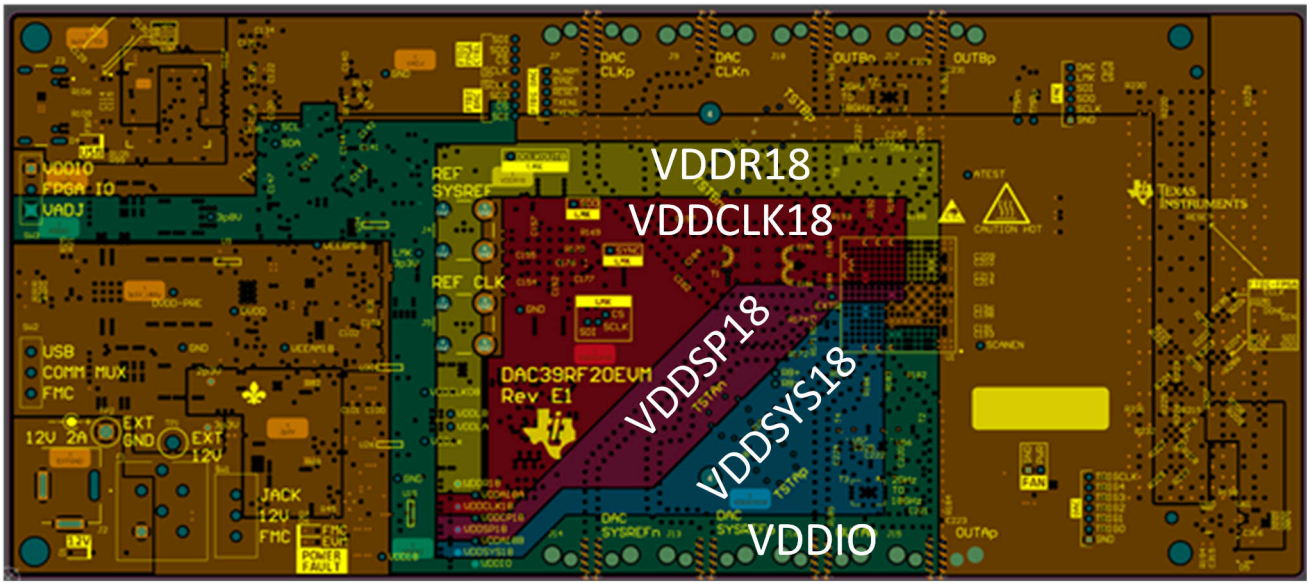


图 9-18. 第 14 层的电源平面布局

此外，对于所有高速 PCB 设计，TI 建议遵循以下有关 PCB 制造的一般注意事项：

1. 对 PCB 堆叠中的任何关键信号层使用高质量电介质材料。通常，顶层和底层最关键，更多的电路板公司可以混合使用高质量和标准质量的电介质，即混合堆叠方式。
2. 如有必要，可使用多个电源层为转换器提供可靠的电力输送系统。
3. 在 PCB 内使用多个接地、电源、接地层堆栈，以便在 PCB 内开发高频去耦，建议这些层为 4mil 或更小。
4. 使用实心接地平面，不要分割接地平面或对其“开槽”，以形成模拟与数字接地隔栅或分频器，来避免损害。

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (June 2025) to Revision A (September 2025)	Page
• 从“预告信息”更新为“量产数据”	1

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC39RF20ANH	Active	Production	FCCSP (ANH) | 289	119 | JEDEC TRAY (5+1)	Yes	OTHER	Level-3-260C-168 HR	-40 to 85	DAC39RF20

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

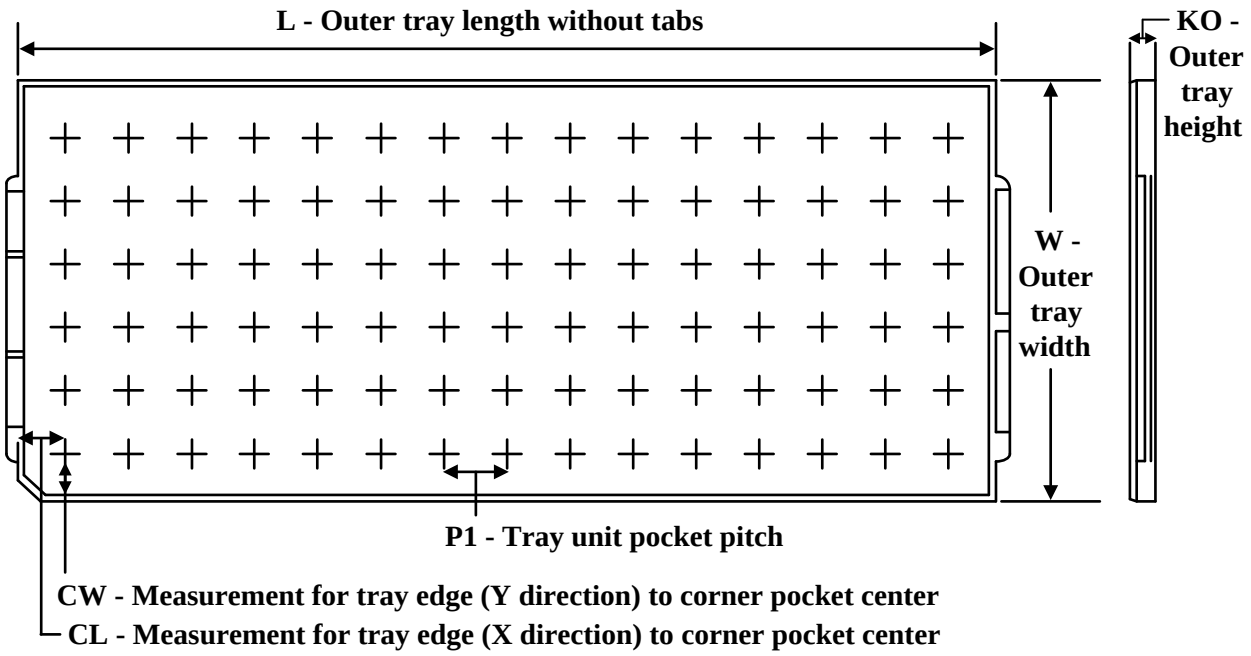
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

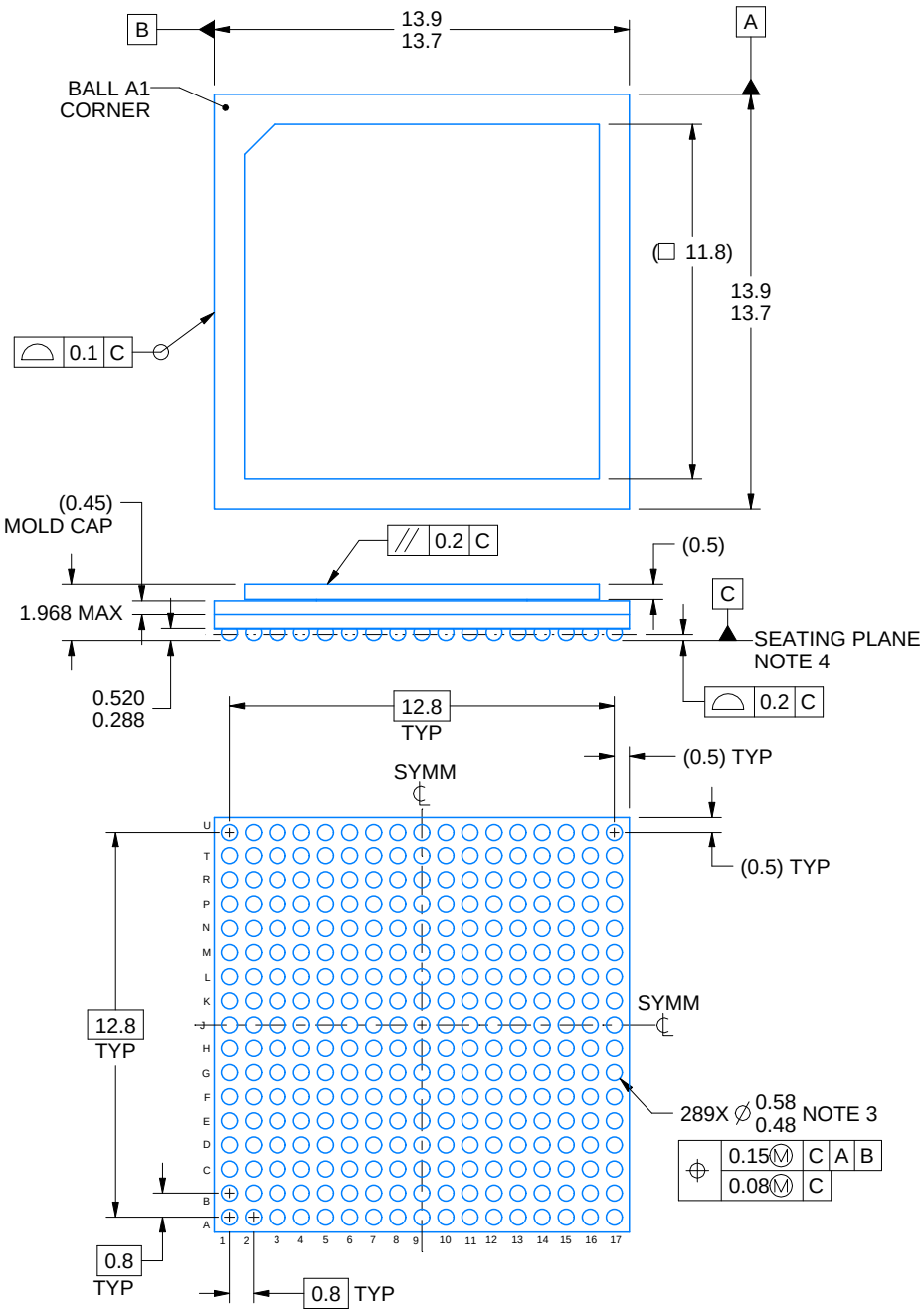
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DAC39RF20ANH	ANH	FCCSP	289	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9

PACKAGE OUTLINE

ANH0289A

FCCSP - 1.968 mm max height

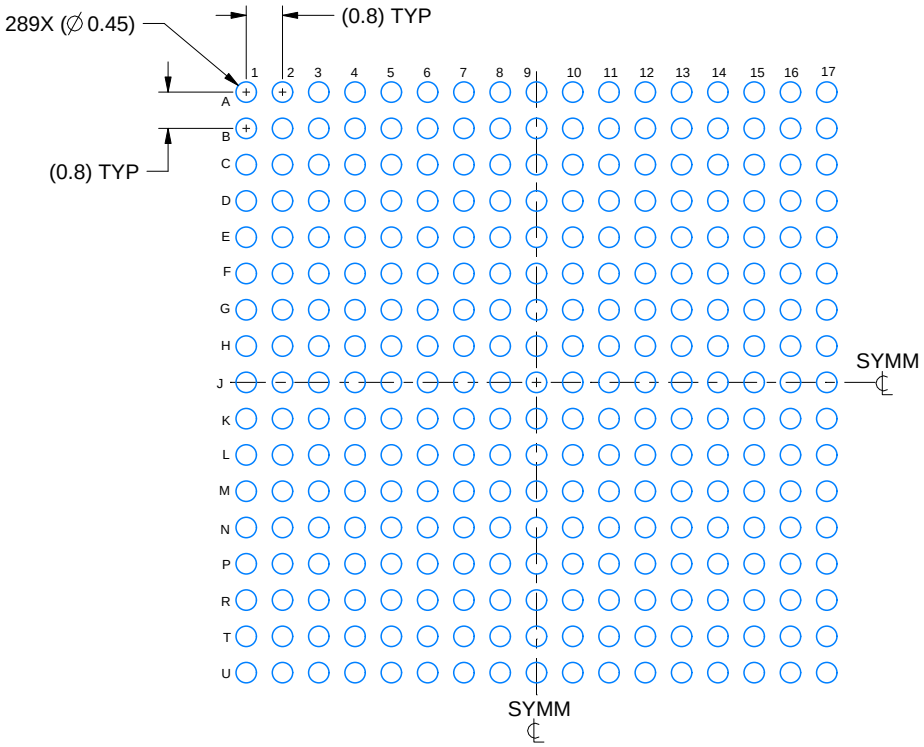
BALL GRID ARRAY



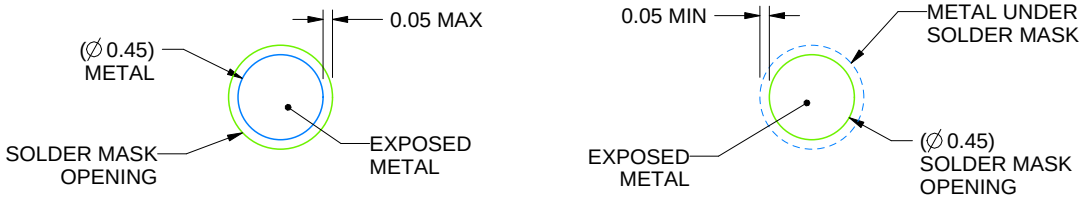
4230247/C 03/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, post reflow, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 6X

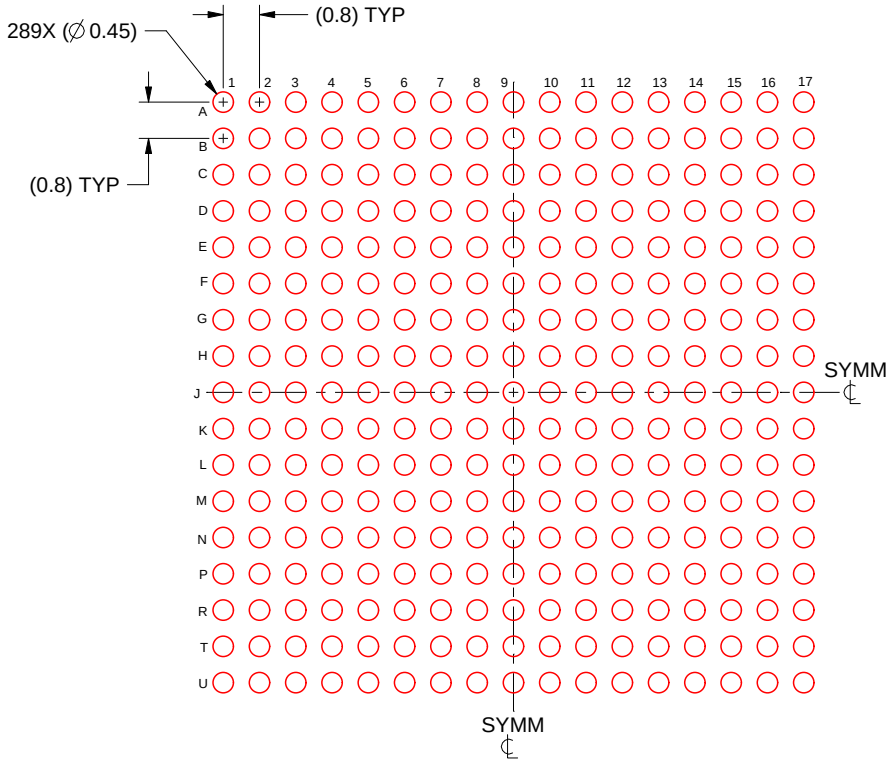


SOLDER MASK DETAILS
NOT TO SCALE

4230247/C 03/2024

NOTES: (continued)

5. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4230247/C 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月