# DAC121S101-SEP 12 位微功耗、RRO 数模转换器

## 1 特性

- 辐射耐受性：
  - 电离辐射总剂量 (TID)： 30krad (Si)
  - 单粒子闩锁 (SEL)：43MeV-cm$^2$/mg
  - 单粒子功能中断 (SEFI) 标准：43MeV-cm$^2$/mg
- 增强型航天塑料（航天 EP）：
  - 根据 ASTM E595 进行了释气测试
  - 供应商项目图 (VID) V62/24641
  - 支持国防和航空航天应用温度范围：-55°C 至 +125°C
  - 受控基线
  - 一个封装测试厂
  - 一个制造基地
  - 延长了产品生命周期
  - 产品可追溯性
- 指定的单调性
- 低功耗运行
- 轨到轨电压输出
- 上电复位至零量程输出
- 宽电源电压范围：2.7V 至 5.5V
- 小型封装：
  - 8 引脚 VSSOP (3 mm × 3 mm)
- 关断特性
- 主要规格：
  - 12 位分辨率
  - DNL：−0.15LSB、+0.35LSB（典型值）
  - 输出建立时间：12µs（典型值）
  - 零代码误差：4mV（典型值）
  - −0.07% FSR 时的满量程误差（典型值）

## 2 应用

- 命令和数据处理（C 和 DH）
- 通信有效载荷
- 光学成像有效载荷
- 雷达成像有效载荷
- 卫星电力系统 (EPS)

## 3 说明

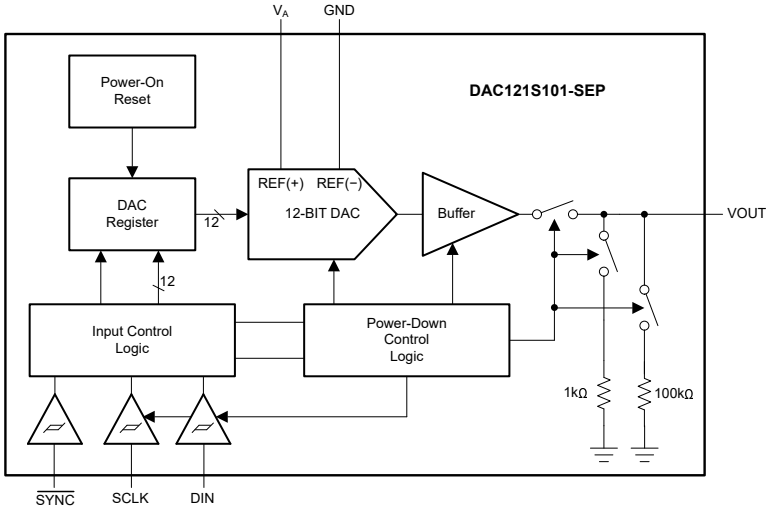
DAC121S101-SEP 器件是一款全功能通用 12 位电压输出数模转换器 (DAC)，可在 2.7V 至 5.5V 的单电源下运行，在 3.6V 时仅消耗 177µA（典型值）电流。片上输出放大器支持轨到轨输出摆幅，三线制串行接口能够在指定的电源电压范围内以高达 30MHz 的时钟速率运行，并且与标准 SPI、QSPI、MICROWIRE 和 DSP 接口兼容。

电源电压用作 DAC121S101-SEP 的电压基准，为其提供了尽可能宽的输出动态范围。上电复位电路会在器件收到有效写入指令之前，将 DAC 输出上电至零伏。断电功能可将器件功耗降至 1 微瓦（典型值）以下。

**封装信息**

| 器件型号 | 封装(1) | 本体尺寸(2) |
|---|---|---|
| DAC121S101-SEP | DGK（VSSOP，8） | 3mm × 3mm |

(1) 有关更多信息，请参阅节 10。
(2) 本体尺寸（长 × 宽）为标称值，不包括引脚。




简化版方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

# 内容

**1 特性**.....1
**2 应用**.....1
**3 说明**.....1
**4 引脚配置和功能**.....2
**5 规格**.....3
5.1 绝对最大额定值.....3
5.2 ESD 等级.....3
5.3 建议运行条件.....3
5.4 热性能信息.....3
5.5 电气特性.....4
5.6 时序要求.....7
5.7 时序图.....7
5.8 典型特性.....8
**6 详细说明**.....14
6.1 概述.....14
6.2 功能方框图.....14
6.3 特性说明.....14
6.4 器件功能模式.....16
6.5 编程.....17
**7 应用和实施**.....18
7.1 应用信息.....18
7.2 典型应用.....19
7.3 电源相关建议.....20
7.4 布局.....21
**8 器件和文档支持**.....22
8.1 文档支持.....22
8.2 接收文档更新通知.....22
8.3 支持资源.....22
8.4 商标.....22
8.5 静电放电警告.....22
8.6 术语表.....22
**9 修订历史记录**.....22
**10 机械、封装和可订购信息**.....22

## 4 引脚配置和功能

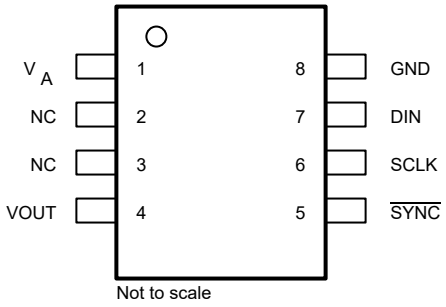



**图 4-1. DAC121S101-SEP DGK 封装，8 引脚 VSSOP（顶视图）**

**表 4-1. 引脚功能**

| 引脚 | | 类型 | 说明 |
|---|---|---|---|
| 编号 | 名称 | | |
| 1 | $V_A$ | 电源 | 电源和基准输入。去耦到 GND 引脚。 |
| 2 | NC | — | 将该引脚焊接到焊盘上。 |
| 3 | NC | — | 将该引脚焊接到焊盘上。 |
| 4 | VOUT | 输出 | DAC 模拟输出电压 |
| 5 | $\overline{SYNC}$ | 输入 | 数据输入的帧同步输入。当此引脚变为低电平时，该引脚会启用输入移位寄存器，数据会在 SCLK 的下降沿上进行传输。DAC 会在第 16 个时钟周期更新，除非 $\overline{SYNC}$ 在第 16 个时钟周期之前变为高电平，在这种情况下，$\overline{SYNC}$ 的上升沿充当中断，而写入序列会被 DAC 忽略。 |
| 6 | SCLK | 输入 | 串行时钟输入。数据在此引脚的下降沿移入到输入移位寄存器中。 |
| 7 | DIN | 输入 | 串行数据输入。在 $\overline{SYNC}$ 下降后，数据会在 SCLK 的下降沿移入到 16 位移位寄存器。 |
| 8 | GND | 接地 | 所有片上电路的接地基准。 |


Copyright © 2025 Texas Instruments Incorporated

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

| | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| $V_A$ | 电源电压，$V_A$ 至 GND | -0.3 | 6.5 | V |
| | 任何输入引脚与 GND 之间的电压 | -0.3 | $V_A$ + 0.3 | V |
| | 任何引脚处的输入电流 (2) | | 10 | mA |
| | 封装输入电流(2) | | 20 | mA |
| | $T_A$ = 25°C 时的功率耗散 | | 请参阅(3) | |
| | 焊接温度，红外，10s(4) | | 235 | °C |
| $T_J$ | 结温 | | 150 | °C |
| $T_{stg}$ | 贮存温度 | -65 | 150 | °C |

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) 如果任何引脚处的输入电压超过电源电压（即低于 GND 或高于 $V_A$），则该引脚处的电流必须限制在 10mA 以内。20mA 的最大封装输入电流额定值将可安全超出电源电压的引脚（输入电流为 10mA）数量限制为 2 个。

(3) 该器件的绝对最大结温 ($T_{JMAX}$) 是 150°C。允许的最大功率耗散由 $T_{JMAX}$、结至环境热阻 ($\theta_{JA}$) 和环境温度 ($T_A$) 决定，并可以使用公式 $P_{DMAX} = (T_{JMAX} - T_A)/\theta_{JA}$ 计算。仅当器件在严重故障条件下运行时（例如，当输入或输出引脚被驱动至超过电源电压，或者电源极性反转时），才会达到最大功率耗散值。显然，必须始终避免出现这类情况。

(4) 有关表面贴装器件的焊接方法，请参阅 1986 年以后出版的任何 National Semiconductor《Linear Data Book》中的 *Surface Mount*（表面贴装）一节。

## 5.2 ESD 等级

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1) | ±2500 | V |
| | | 充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2) | ±500 | |

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

## 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_A$ | 电源电压至 GND | 2.7 | | 5.5 | V |
| | 任何输入电压至 GND(1) | -0.1 | | ($V_A$ + 0.1) | V |
| $C_L$ | 输出负载电容 | 0 | | 1500 | pF |
| $f_{SCLK}$ | SCL 频率 | | | 30 | MHz |
| $T_A$ | 工作环境温度 | -55 | | 125 | °C |

(1) 如果任何输入电压大于 $V_A$ 或小于 GND 超过 100mV，则转换结果可能会出现错误。例如，如果 $V_A$ 为 2.7VDC，则要确保输入电压大于 −100mV 但小于 +2.8VDC，以实现精确转换。

## 5.4 热性能信息

| 热指标(1) | | DAC121S101-SEP<br>DGK (VSSOP)<br>8 引脚 | 单位 |
|---|---|---|---|
| $R_{\theta JA}$ | 结至环境热阻 | 240 | °C/W |

(1) 有关新旧热指标的信息，请参阅*半导体和 IC 封装热指标应用报告*。

Copyright © 2025 Texas Instruments Incorporated

## 5.5 电气特性

所有最小值和最大值的条件均为 –55°C ≤ $T_A$ ≤ +125°C；所有典型值的条件均为 $T_A$ = 25°C、2.7V ≤ $V_A$ ≤ 5.5V、DAC 输出引脚 (VOUT) 接有电阻负载（$R_L$ = 2kΩ 至 AGND）和容性负载（$C_L$ = 200pF 至 AGND）、$f_{SCLK}$ = 30MHz 且输入代码范围：48d 至 4047d（除非另有说明）

| 参数 | | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| **静态性能** | | | | | | | |
| | 分辨率(1) | | | 12 | | | 位 |
| | 单调性(1) | | | 12 | | | 位 |
| INL | 积分非线性 | | | -11 | ±2.6 | 11 | LSB |
| DNL | 微分非线性 | $V_A$ = 2.7V | 最小值 | -0.7 | -0.15 | | LSB |
| | | | 最大值 | | 0.35 | 1 | |
| | | $V_A$ = 5.5V | 最小值 | -0.7 | -0.15 | | |
| | | | 最大值 | | 0.25 | 1 | |
| ZE | 零代码误差 | $I_{OUT}$ = 0mA | | | 4 | 16 | mV |
| ZCED | 零代码误差漂移 | | | | -20 | | μV/°C |
| GE | 增益误差 | DAC 寄存器中加载全部为 1 的值 | | | ±1 | | %FSR |
| TC GE | 增益误差温度系数 | $V_A$ = 3V | | | -0.7 | | ppm/°C |
| | | $V_A$ = 5V | | | -1 | | |
| FSE | 满量程误差 | $I_{OUT}$ = 0mA | | | -0.07 | -1 | %FSR |
| **输出** | | | | | | | |
| | 输出电压(1) | | | 0 | | $V_A$ | V |
| ZCO | 零代码输出(1) | $V_A$ = 3V，$I_{OUT}$ = 10 μA | | | | 1.8 | mV |
| | | $V_A$ = 3V，$I_{OUT}$ = 100 μA | | | | 5 | |
| | | $V_A$ = 5V，$I_{OUT}$ = 10 μA | | | | 3.7 | |
| | | $V_A$ = 5V，$I_{OUT}$ = 100 μA | | | | 5.4 | |
| FSO | 满量程输出(1) | $V_A$ = 3V，$I_{OUT}$ = 10 μA | | | | 2.997 | V |
| | | $V_A$ = 3V，$I_{OUT}$ = 100 μA | | | | 2.99 | |
| | | $V_A$ = 5V，$I_{OUT}$ = 10 μA | | | | 4.995 | |
| | | $V_A$ = 5V，$I_{OUT}$ = 100 μA | | | | 4.992 | |
| $C_L$ | 容性负载(1) | $R_L$ = ∞ | | | | 1500 | pF |
| $I_{OS}$ | 短路电流(1) | $V_A$ = 5V，$V_{OUT}$ = 0V，DAC 代码 = FFFh | | | | -63 | mA |
| | | $V_A$ = 3V，$V_{OUT}$ = 0V，DAC 代码 = FFFh | | | | -50 | |
| | | $V_A$ = 5V，$V_{OUT}$ = 5V，DAC 代码 = 000h | | | | 74 | |
| | | $V_A$ = 3V，$V_{OUT}$ = 3V，DAC 代码 = 000h | | | | 53 | |
| | 输出直流阻抗(1) | | | | | 1.3 | Ω |


Copyright © 2025 Texas Instruments Incorporated

## 5.5 电气特性（续）

所有最小值和最大值的条件均为 –55°C ≤ $T_A$ ≤ +125°C；所有典型值的条件均为 $T_A$ = 25°C、2.7V ≤ $V_A$ ≤ 5.5V、DAC 输出引脚 (VOUT) 接有电阻负载（$R_L$ = 2kΩ 至 AGND）和容性负载（$C_L$ = 200pF 至 AGND）、$f_{SCLK}$ = 30MHz 且输入代码范围：48d 至 4047d（除非另有说明）

| 参数 | | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| **动态性能** | | | | | | | |
| $t_s$ | 输出电压建立时间(1) | 400h 至 C00h 代码更改 | $C_L$ ≤ 200pF | | | 10 | µs |
| | | | $C_L$ = 500pF | | | 12 | |
| | | 00Fh 至 FF0h 代码更改 | $C_L$ ≤ 200pF | | | 8 | |
| | | | $C_L$ = 500pF | | | 12 | |
| SR | 输出压摆率 | | | | 1 | | V/µs |
| | 代码变化干扰脉冲 | 800h 至 7FFh 代码更改 | | | 12 | | nV-s |
| | 数字馈通 | 800h 至 7FFh 代码更改 | | | 0.5 | | nV-s |
| $t_{WU}$ | 唤醒时间 | $V_A$ = 5V | | | 6 | | µs |
| | | $V_A$ = 3V | | | 39 | | |
| **数字输入** | | | | | | | |
| $I_{IN}$ | 输入电流(1) | | | -1 | | 1 | µA |
| $V_{IL}$ | 输入低电压(1) | $V_A$ = 5V | | | | 0.8 | V |
| | | $V_A$ = 3V | | | | 0.5 | V |
| $V_{IH}$ | 输入高电压(1) | $V_A$ = 5V | | 2.4 | | | V |
| | | $V_A$ = 3V | | 2.1 | | | V |
| $C_{IN}$ | 引脚电容(1) | | | | | 3 | pF |
| **电源** | | | | | | | |
| $I_A$ | 电源电流 | 输出空载，正常模式，$f_{SCLK}$ = 30MHz | $V_A$ = 5.5V | | | 312 | µA |
| | | | $V_A$ = 3.6V | | | 217 | |
| | | 输出空载，正常模式，$f_{SCLK}$ = 20MHz(1) | $V_A$ = 5.5V | | | 279 | |
| | | | $V_A$ = 3.6V | | | 197 | |
| | | 输出空载，正常模式，$f_{SCLK}$ = 0MHz(1) | $V_A$ = 5.5V | | | 153 | |
| | | | $V_A$ = 3.6V | | | 118 | |
| | | 输出空载，所有 PD 模式，$f_{SCLK}$ = 30MHz(1) | $V_A$ = 5V | | | 84 | |
| | | | $V_A$ = 3V | | | 42 | |
| | | 输出空载，所有 PD 模式，$f_{SCLK}$ = 20MHz(1) | $V_A$ = 5V | | | 56 | |
| | | | $V_A$ = 3V | | | 28 | |
| | | 输出空载，所有 PD 模式，$f_{SCLK}$ = 0MHz | $V_A$ = 5.5V | | 0.15 | 1.4 | |

Copyright © 2025 Texas Instruments Incorporated

## 5.5 电气特性（续）

所有最小值和最大值的条件均为 –55°C ≤ $T_A$ ≤ +125°C；所有典型值的条件均为 $T_A$ = 25°C、2.7V ≤ $V_A$ ≤ 5.5V、DAC 输出引脚 (VOUT) 接有电阻负载（$R_L$ = 2kΩ 至 AGND）和容性负载（$C_L$ = 200pF 至 AGND）、$f_{SCLK}$ = 30MHz 且输入代码范围：48d 至 4047d（除非另有说明）

| 参数 | | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| $P_C$ | 功耗 | 输出空载，正常模式，$f_{SCLK}$ = 30MHz | $V_A$ = 5.5V | | | 1.72 | mW |
| | | | $V_A$ = 3.6V | | | 0.78 | |
| | | 输出空载，正常模式，$f_{SCLK}$ = 20MHz(1) | $V_A$ = 5.5V | | | 1.53 | |
| | | | $V_A$ = 3.6V | | | 0.71 | |
| | | 输出空载，正常模式，$f_{SCLK}$ = 0MHz(1) | $V_A$ = 5.5V | | | 0.84 | |
| | | | $V_A$ = 3.6V | | | 0.42 | |
| | | 输出空载，所有 PD 模式，$f_{SCLK}$ = 30MHz(1) | $V_A$ = 5V | | | 0.42 | μW |
| | | | $V_A$ = 3V | | | 0.13 | |
| | | 输出空载，所有 PD 模式，$f_{SCLK}$ = 20MHz(1) | $V_A$ = 5V | | | 0.28 | |
| | | | $V_A$ = 3V | | | 0.08 | |
| | | 输出空载，所有 PD 模式，$f_{SCLK}$ = 0MHz | $V_A$ = 5.5V | | 0.825 | 7.7 | |
| $I_{OUT}/I_A$ | 电源效率 | $I_{LOAD}$ = 2mA | $V_A$ = 5V | | 91 | | % |
| | | | $V_A$ = 3V | | 94 | | |

(1) 根据设计和特征确定；未经生产测试。


Copyright © 2025 Texas Instruments Incorporated

## 5.6 时序要求

所有输入信号均在 2.7V ≤ $V_A$ ≤ 5.5V、$T_A$ = 25°C 且 $f_{SCLK}$ = 30MHz 时指定（除非另有说明）

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $f_{SCLK}$ | SCLK 频率(1) | | | | 30 | MHz |
| $1/f_{SCLK}$ | SCLK 周期时间(1) | | 33 | | | ns |
| $t_H$ | SCLK 高电平时间(1) | | 5 | | | ns |
| $t_L$ | SCLK 低电平时间(1) | | 5 | | | ns |
| $t_{SUD}$ | $D_{IN}$ 建立时间(1) | | 2.5 | | | ns |
| $t_{DHD}$ | $D_{IN}$ 保持时间(1) | | 2.5 | | | ns |
| $t_{SUCL}$ | $\overline{SYNC}$ 到 SCLK 上升沿建立时间(1) | | -15 | | | ns |
| $t_{CS}$ | SCLK 下降沿到 $\overline{SYNC}$ 上升沿(1) | $V_A$ = 5V | 0 | | | ns |
| | | $V_A$ = 3V | -2 | | | |
| $t_{SYNC}$ | $\overline{SYNC}$ 高电平时间(1) | 2.7V ≤ $V_A$ ≤ 3.6V | 9 | | | ns |
| | | 3.6V ≤ $V_A$ ≤ 5.5V | 5 | | | |

(1) 根据设计和特征确定；未经生产测试。

## 5.7 时序图

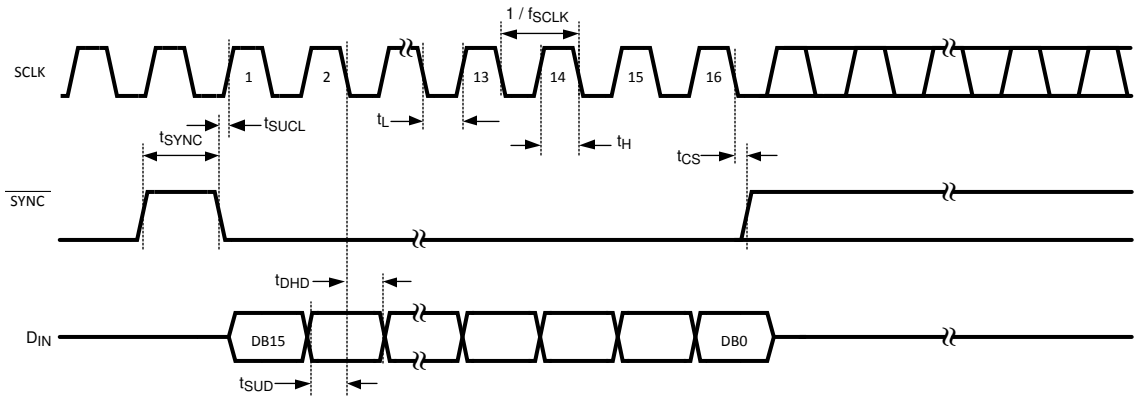



图 5-1. 时序图

## 5.8 典型特性

在 $f_{SCLK}$ = 30MHz、$T_A$ = 25°C 且输入代码范围 = 48 至 4047 条件下（除非另有说明）

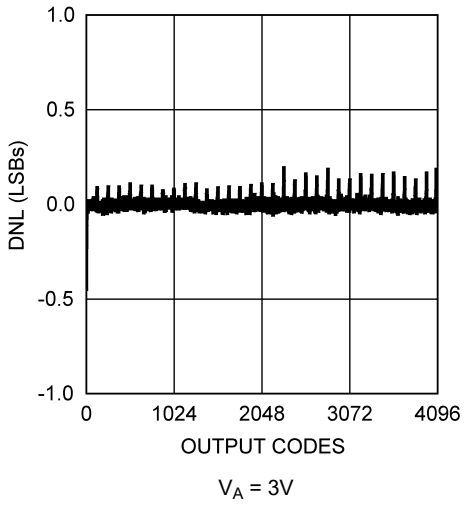



图 5-2. DNL 与输出代码间的关系

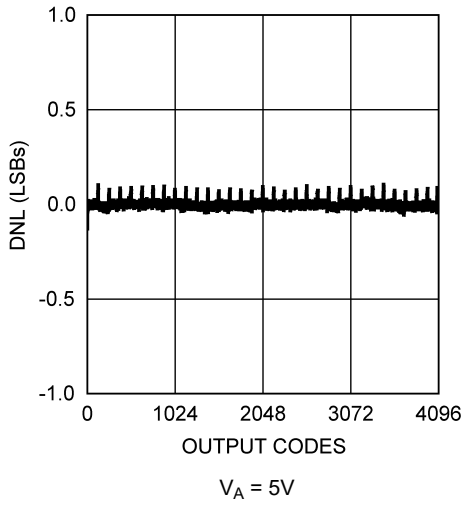



图 5-3. DNL 与输出代码间的关系

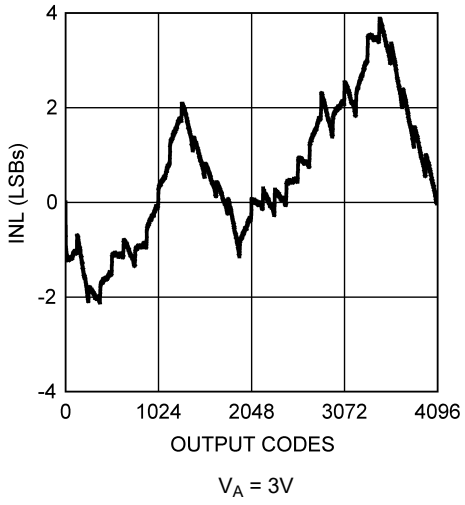



图 5-4. INL 与输出代码间的关系

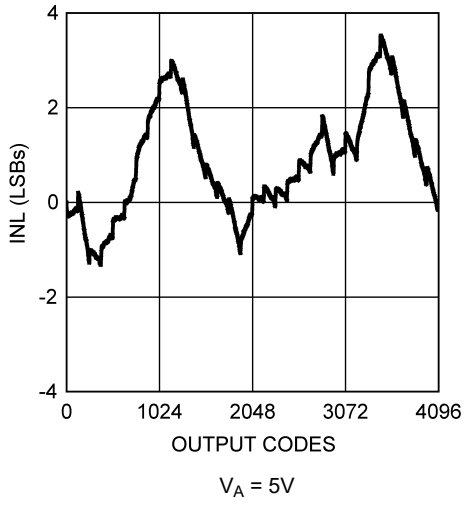



图 5-5. INL 与输出代码间的关系


Copyright © 2025 Texas Instruments Incorporated

## 5.8 典型特性（续）

在 $f_{SCLK}$ = 30MHz、$T_A$ = 25°C 且输入代码范围 = 48 至 4047 条件下（除非另有说明）

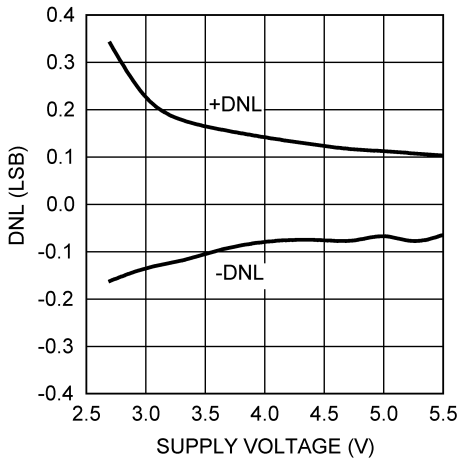



图 5-6. DNL 与电源电压间的关系

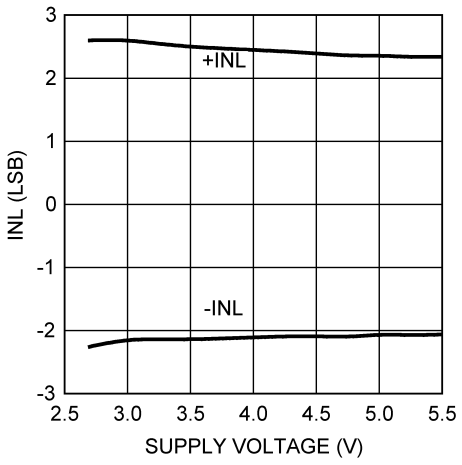



图 5-7. INL 与电源电压间的关系

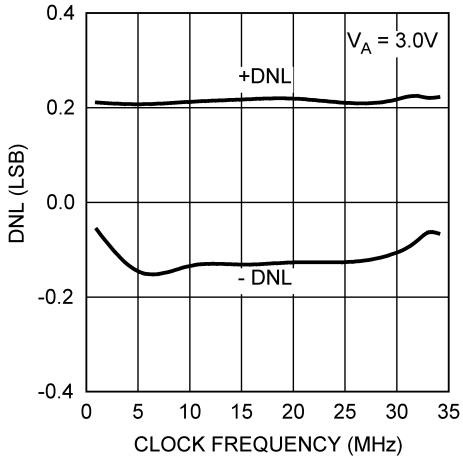



图 5-8. 3V DNL 与时钟频率间的关系

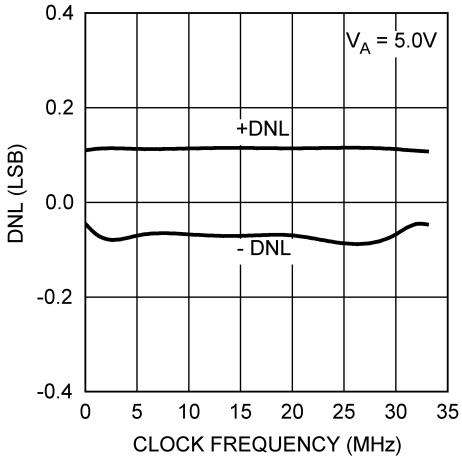



图 5-9. 5V DNL 与时钟频率间的关系

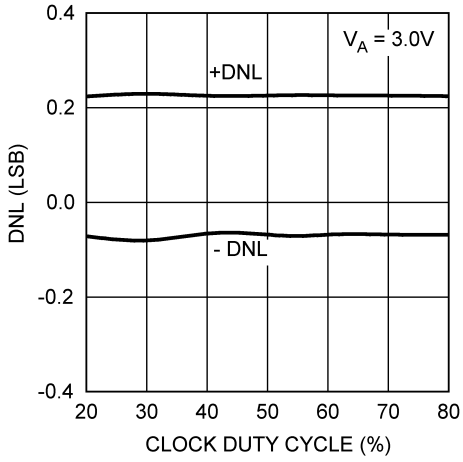



图 5-10. 3V DNL 与时钟占空比间的关系

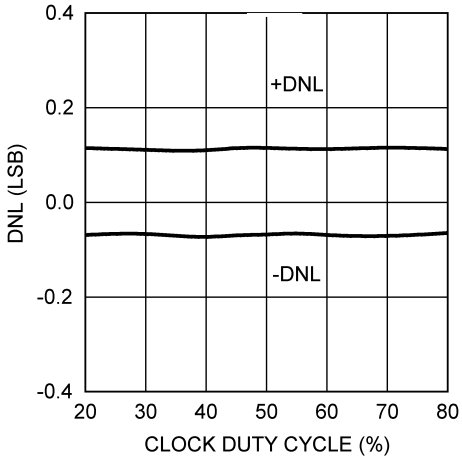



图 5-11. 5V DNL 与时钟占空比间的关系

Copyright © 2025 Texas Instruments Incorporated

## 5.8 典型特性（续）

在 $f_{SCLK}$ = 30MHz、$T_A$ = 25°C 且输入代码范围 = 48 至 4047 条件下（除非另有说明）

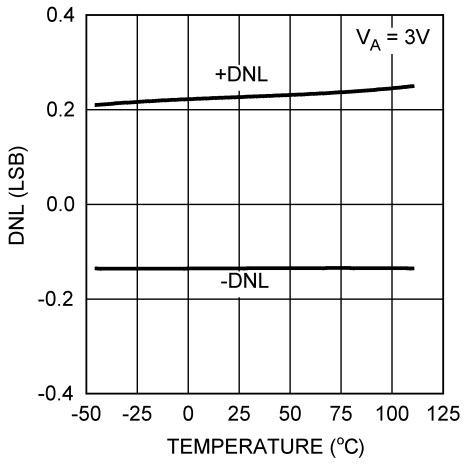



图 5-12. 3V DNL 与温度间的关系

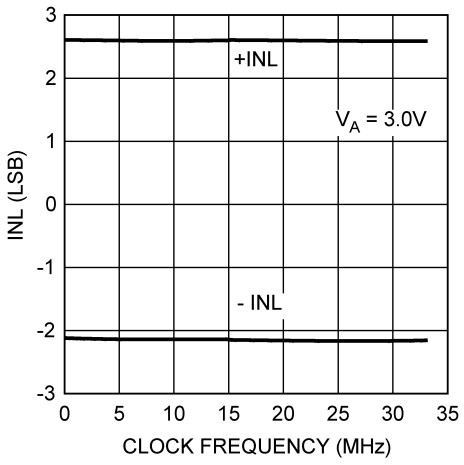



图 5-13. 3V INL 与时钟频率间的关系

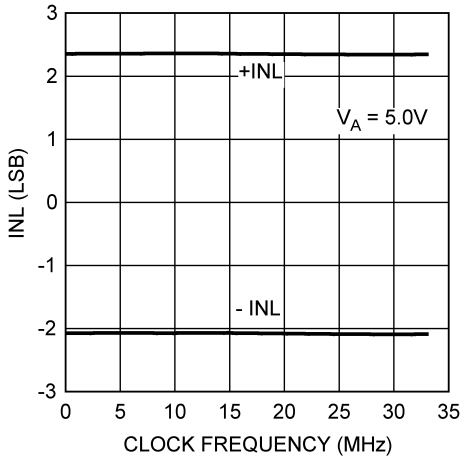



图 5-14. 5V INL 与时钟频率间的关系

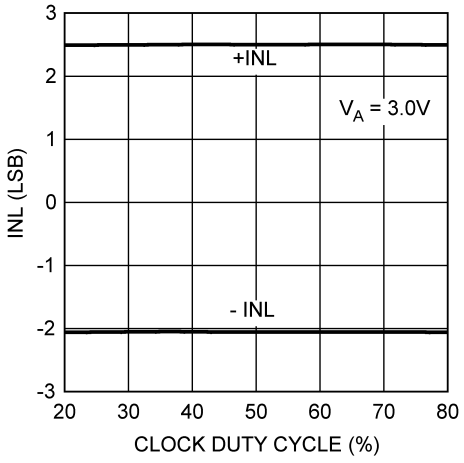



图 5-15. 3V INL 与时钟占空比间的关系

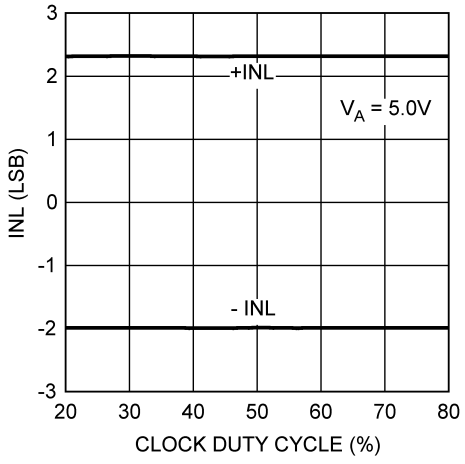



图 5-16. 5V INL 与时钟占空比间的关系

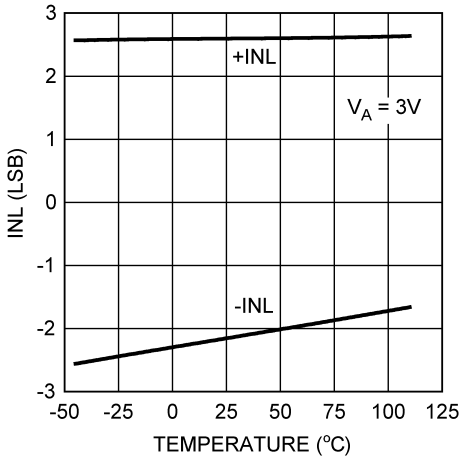



图 5-17. 3V INL 与温度间的关系


Copyright © 2025 Texas Instruments Incorporated

## 5.8 典型特性（续）

在 $f_{SCLK}$ = 30MHz、$T_A$ = 25°C 且输入代码范围 = 48 至 4047 条件下（除非另有说明）

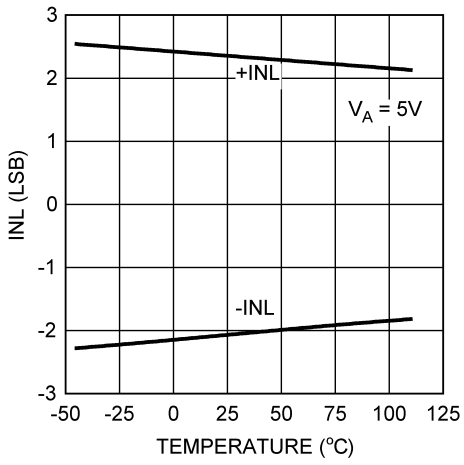



图 5-18. 5V INL 与温度间的关系

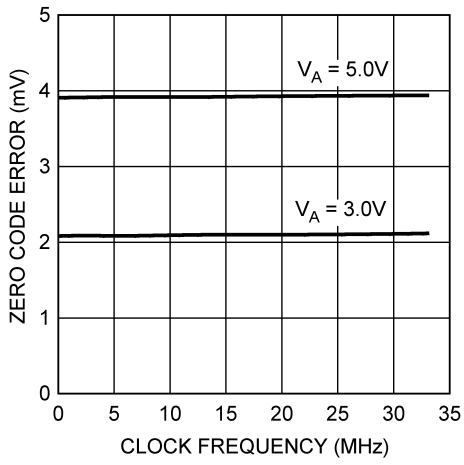



图 5-19. 零代码误差与时钟频率间的关系

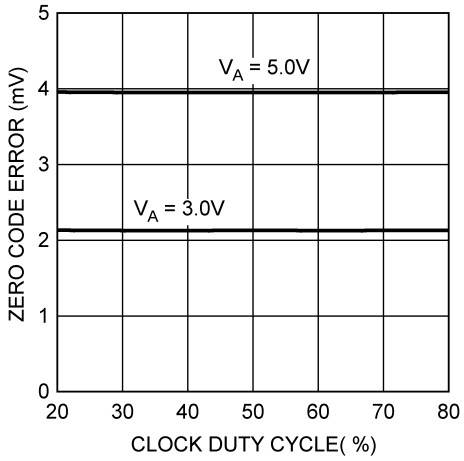



图 5-20. 零代码误差与时钟占空比间的关系

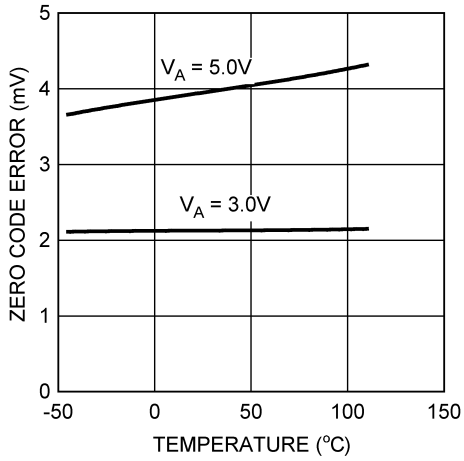



图 5-21. 零代码误差与温度间的关系

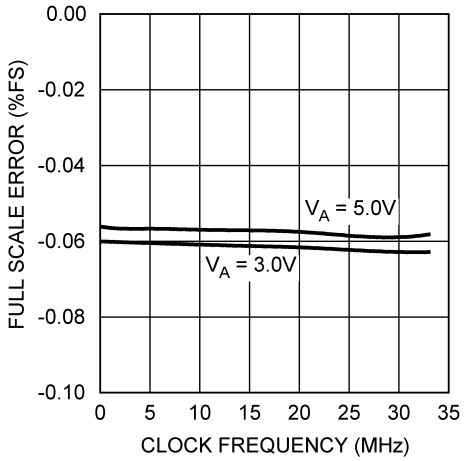



图 5-22. 满量程误差与时钟频率间的关系

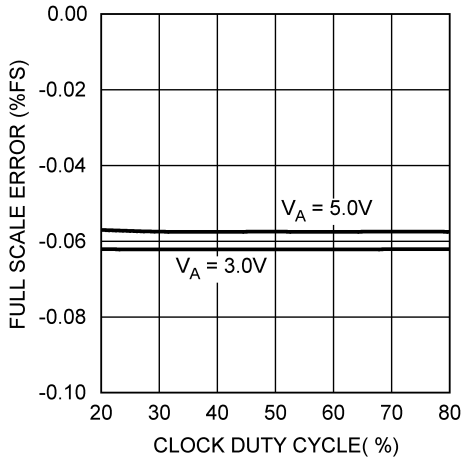



图 5-23. 满量程误差与时钟占空比间的关系

Copyright © 2025 Texas Instruments Incorporated

## 5.8 典型特性（续）

在 $f_{SCLK}$ = 30MHz、$T_A$ = 25°C 且输入代码范围 = 48 至 4047 条件下（除非另有说明）

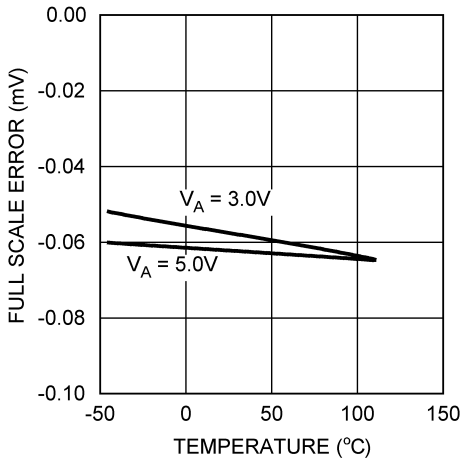



图 5-24. 满量程误差与温度间的关系

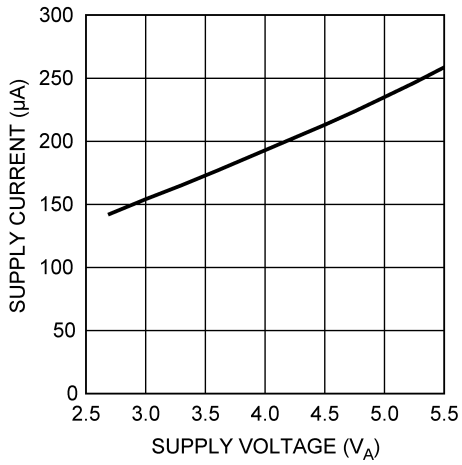



图 5-25. 电源电流与电源电压间的关系

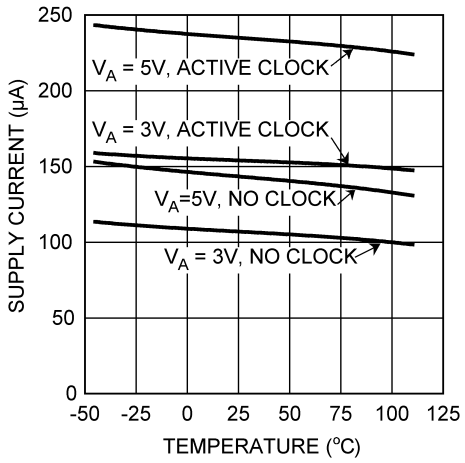



图 5-26. 电源电流与温度间的关系

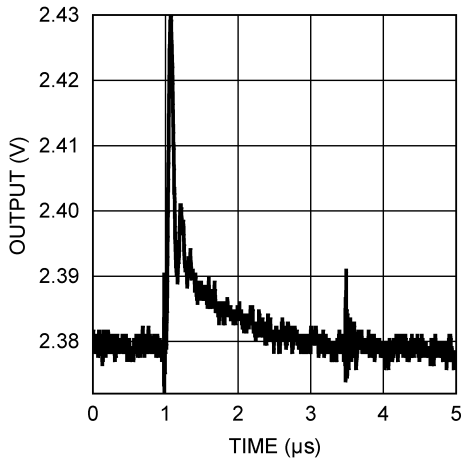



图 5-27. 5V 毛刺脉冲响应

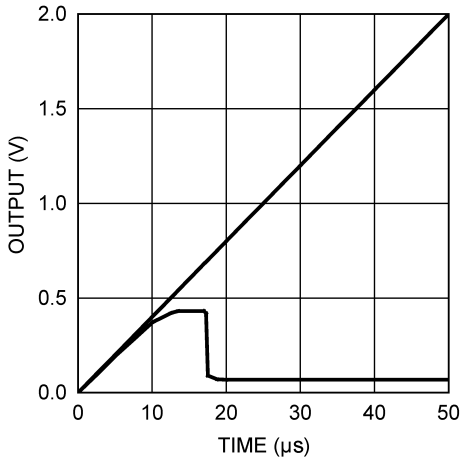



图 5-28. 上电复位

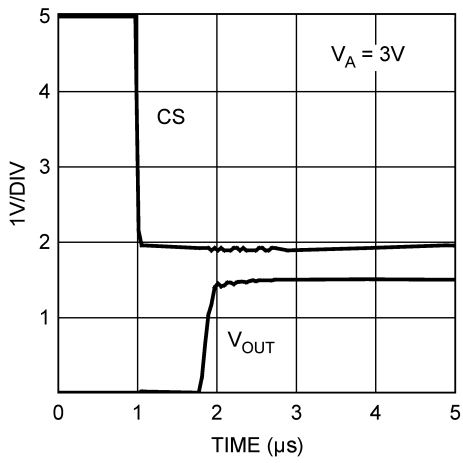



图 5-29. 3V 唤醒时间


Copyright © 2025 Texas Instruments Incorporated

## 5.8 典型特性（续）

在 $f_{SCLK}$ = 30MHz、$T_A$ = 25°C 且输入代码范围 = 48 至 4047 条件下（除非另有说明）

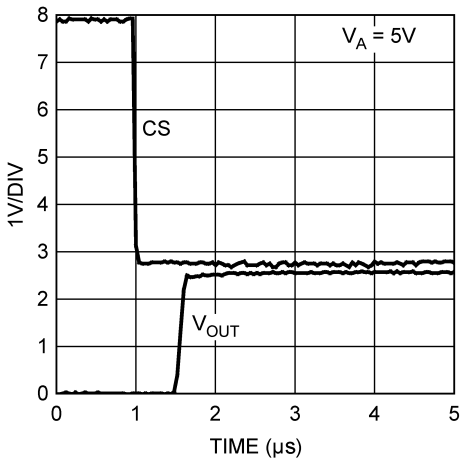



**图 5-30. 5V 唤醒时间**

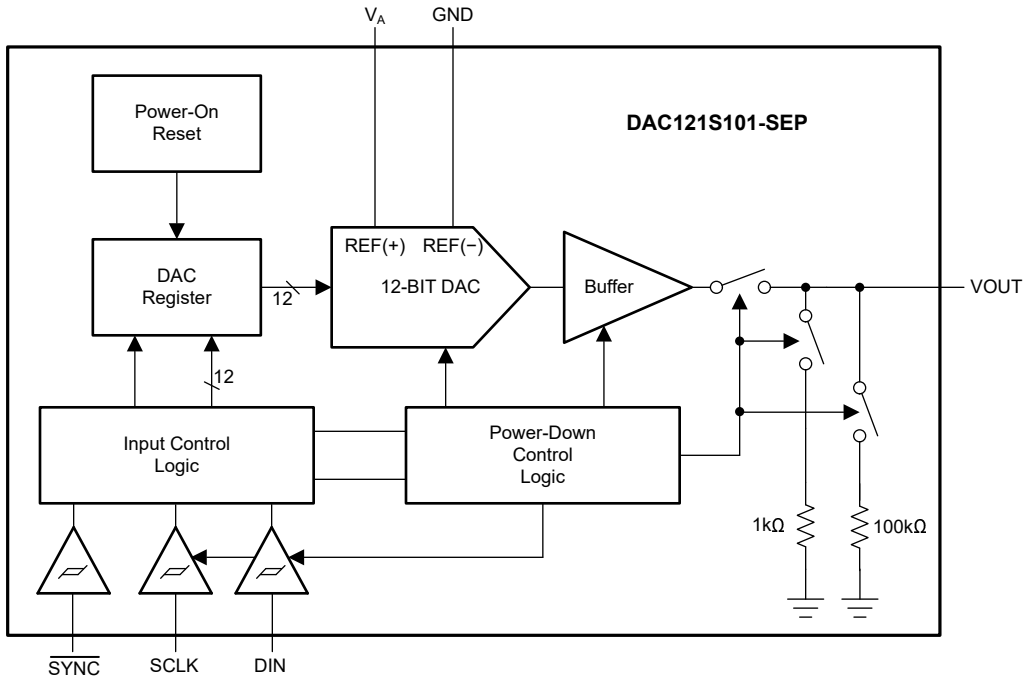
# 6 详细说明

## 6.1 概述

DAC121S101-SEP 器件是一款全功能通用 12 位电压输出数模转换器 (DAC)，具有 12µs（典型值）的建立时间。DAC 的输出控制通过一个 3 线 SPI 实现。在设置 DAC 输出后，除非必须更改输出条件，否则无需与 DAC 进行额外通信。同样，DAC121S101-SEP 的上电状态为 0V。DAC 输出会保持在 0V，直到执行有效的写入序列为止。

DAC121S101-SEP 的独特优势是 SPI 输入引脚的逻辑电平。SCLK、DIN 和 SYNCB 的逻辑电平与 $V_A$ 无关。因此，DAC121S101-SEP 可以在高于控制其运行的微控制器的电源电压 ($V_A$) 条件下工作。当应用中的模拟电路以 5V 运行来更大限度地提高信噪比，而数字逻辑以 3V 运行来节省功耗时，该功能具有优势。

## 6.2 功能方框图




## 6.3 特性说明

### *6.3.1 DAC 部分*

DAC121S101-SEP 采用 CMOS 工艺制造，并且架构中包含开关和电阻器串，后接一个输出缓冲器。电源用作基准电压。输入编码是标准二进制编码，理想输出电压可通过方程式 1 计算得出：

$$V_{OUT} = V_A \times \left(\frac{D}{4096}\right) \quad (1)$$

其中

- *D* 是加载到 DAC 寄存器中的二进制代码对应的十进制等效值，其范围为 0 到 4095。


Copyright © 2025 Texas Instruments Incorporated

### 6.3.2 电阻器串

图 6-1 展示了电阻器串。该电阻器串由 4096 个等值电阻器组成，并且每两个电阻器之间的结点上都有一个开关，并且有一个接地开关。DAC 寄存器中加载的代码决定了哪个开关是闭合的，从而将正确的节点连接到放大器。该配置确保了 DAC 的单调性。

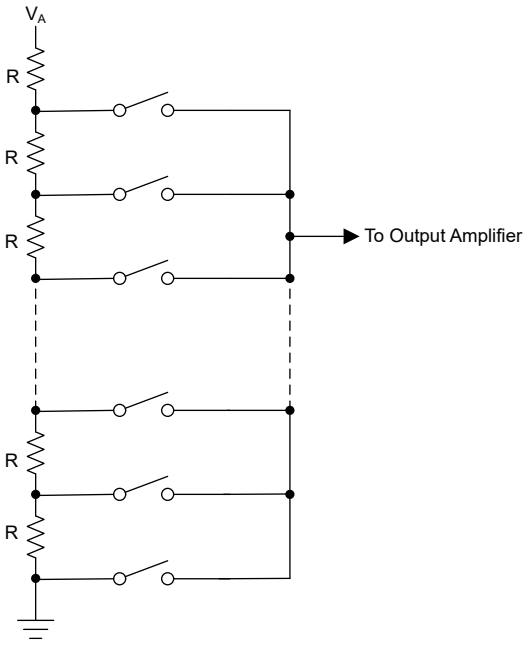



**图 6-1. DAC 电阻器串**

### 6.3.3 输出放大器

输出缓冲放大器为轨到轨放大器，提供 0V 至 $V_A$ 的输出电压范围。当输出接近电源轨（本例中为 0V 和 $V_A$）时，所有放大器，即使是轨到轨放大器，都会表现出线性度下降。因此，DAC 的线性度规格通常限定在小于其全输出范围的区间内。*电气特性* 中介绍了放大器的输出能力。

Copyright © 2025 Texas Instruments Incorporated

## 6.4 器件功能模式

### 6.4.1 上电复位

上电复位电路在上电期间控制输出电压。当电源接通时，DAC 寄存器会被填充为零，而输出电压为 0V，并保持该状态，直到对 DAC 进行有效的写入序列。

### 6.4.2 断电模式

表 6-1 列出了 DAC121S101-SEP 的四种运行模式。这些模式可以使用控制寄存器中的两个位（DB13 和 DB12）来设定。

**表 6-1. 运行模式**

| DB13 | DB12 | 工作模式 |
|---|---|---|
| 0 | 0 | 正常运行 |
| 0 | 1 | 通过 1kΩ 连接至 GND 实现断电 |
| 1 | 0 | 通过 100kΩ 连接至 GND 实现断电 |
| 1 | 1 | 通过高阻态实现断电 |

当 DB13 和 DB12 都为 0 时，器件正常运行。对于这些位的其他三种可能组合，电源电流会降至断电级别，而输出由 1kΩ 或 100kΩ 电阻器拉低，或者处于高阻抗状态，具体如表 6-1 所述。

在所有断电模式下，偏置电压发生器、输出放大器、电阻器串和其他线性电路都会被关断。不过，DAC 寄存器的内容在断电时不受影响；因此，在断电时，输出电压在进入断电前返回到同一电压。在断电模式下，通过禁用 SCLK 并将 $\overline{SYNC}$ 和 DIN 保持低电平，可以实现最低功耗。退出断电模式所需的时间（唤醒时间）通常为 $t_{WU}$ (µs)，如*电气特性*表的*动态性能*部分所述。


Copyright © 2025 Texas Instruments Incorporated

## 6.5 编程

### 6.5.1 串行接口

三线制接口与 SPI、QSPI 和 MICROWIRE 以及大多数 DSP 兼容。有关写入序列的信息，请参阅图 5-1。

写入序列通过将 $\overline{\text{SYNC}}$ 线路拉低开始。$\overline{\text{SYNC}}$ 为低电平后，DIN 线路上的数据会在 SCLK 的下降沿移入到 16 位串行输入寄存器。在第 16 个下降时钟沿，会移入最后一个数据位，并执行编程的功能（更改运行模式和/或 DAC 寄存器内容）。此时，$\overline{\text{SYNC}}$ 线路可保持低电平或拉为高电平。无论是哪种情况，都要在下一个写入序列之前将 $\overline{\text{SYNC}}$ 线路拉高至少规定的最短时间，因为 $\overline{\text{SYNC}}$ 的下降沿能够启动下一个写入序列。

$\overline{\text{SYNC}}$ 和 DIN 缓冲器在高电平时会消耗更多的电流；因此，应该在写入序列之间将这些缓冲器闲置为低电平，以尽可能地减少功耗。

### 6.5.2 输入移位寄存器

输入移位寄存器（图 6-2）具有 16 个位。前两个位是*不用考虑*位，后跟两个决定运行模式的位（正常模式或三个断电模式之一）。串行输入寄存器的内容将在 SCLK 的第十六个下降沿传输到 DAC 寄存器中。另请参阅图 5-1。

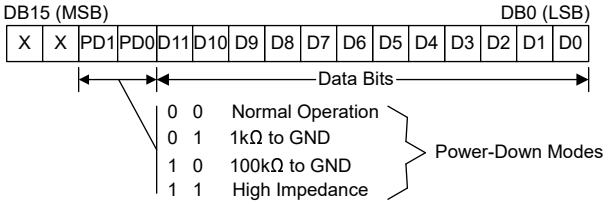



**图 6-2. 输入寄存器内容**

通常，$\overline{\text{SYNC}}$ 线路在至少 16 个 SCLK 下降边沿上被保持低电平，而 DAC 在第 16 个 SCLK 下降边沿上被更新。然而，如果 $\overline{\text{SYNC}}$ 在第 16 个下降边沿前被拉高，移位寄存器会被复位，同时写入序列无效。在这种情况下，DAC 寄存器不会更新，并且运行模式或输出电压都没有变化。

Copyright © 2025 Texas Instruments Incorporated

# 7 应用和实施

**备注**

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

## 7.1 应用信息

### *7.1.1 双极运行*

DAC121S101-SEP 设计用于单电源运行，因此具有一个单极输出。但通过图 7-1 中的电路，可以实现双极输出。该电路提供的输出电压范围为 ±5V。

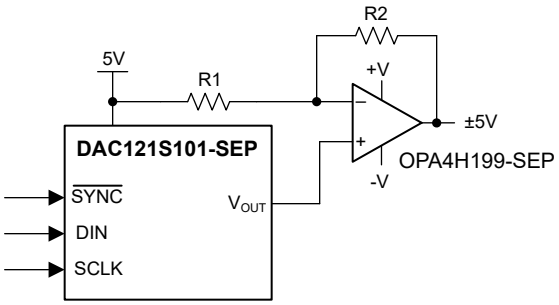



**图 7-1. 双极运行**

该电路在任意代码下的输出电压可通过方程式 2 计算得出：

$$V_O = V_A \times \left(\frac{D}{4096}\right) \times \left(\frac{R1 + R2}{R1}\right) - V_A \times \frac{R2}{R} \quad (2)$$

其中

- D 是十进制的输入代码。

在 $V_A$ = 5V 且 R1 = R2 的情况下，可通过方程式 3 得出结果：

$$V_O = \left(\frac{10 \times D}{4096}\right) - 5V \quad (3)$$


Copyright © 2025 Texas Instruments Incorporated

## 7.2 典型应用

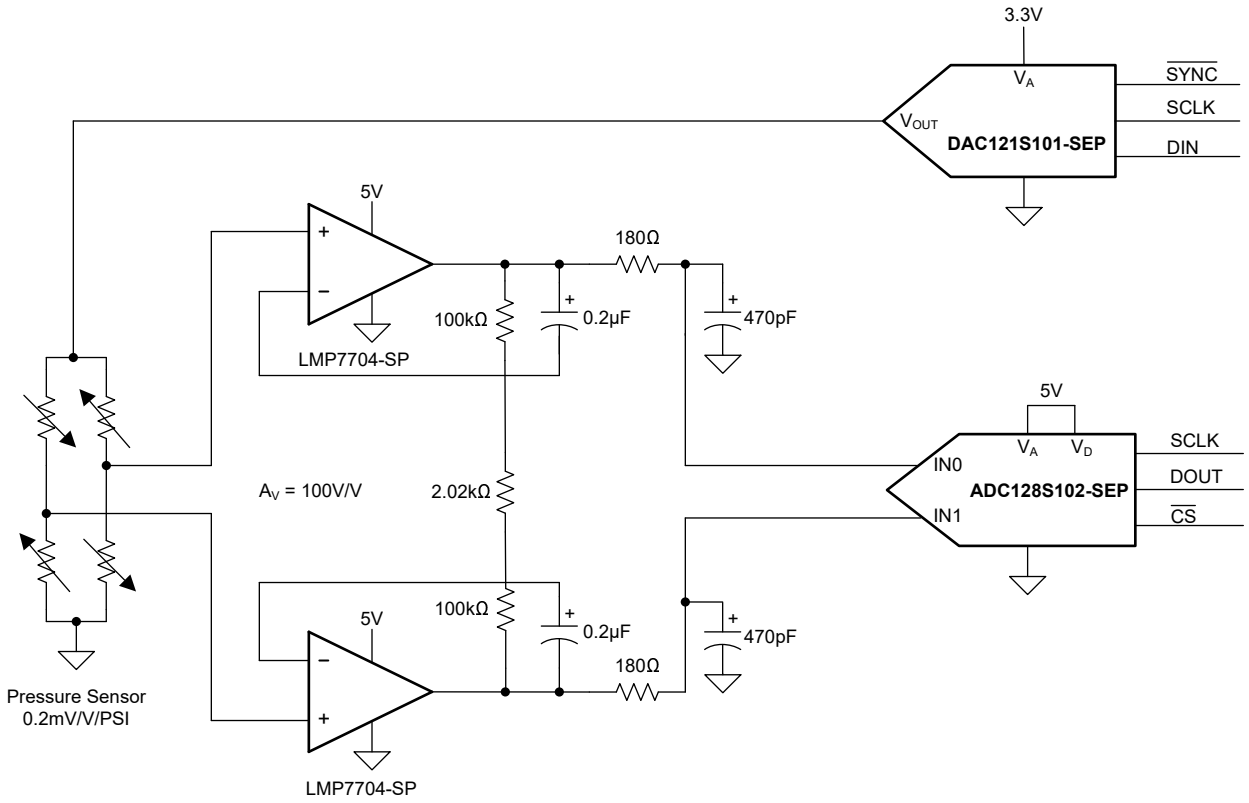



**图 7-2. 压力传感器增益调节**

### *7.2.1 设计要求*

设计一个单电源数据采集系统，该系统能够对压力传感器输出进行数字化处理。除了对压力传感器输出进行数字化处理外，该系统还使用 DAC121S101-SEP 通过调节桥式压力传感器的偏置电压来校正压力传感器输出中的增益误差。表 7-1 列出了 DAC121S101-SEP 的设计参数。

**表 7-1. DAC121S101-SEP 设计参数**

| 参数 | 值 |
|---|---|
| $V_A$ | 3.3V 至 5V |
| DAC 输出范围 | 0V 至 5V |

### 7.2.2 详细设计过程

从方程式 4 可以看出，压力传感器的输出由电阻电桥的不平衡度与 DAC121S101-SEP 的输出相乘得出，从而提供所需的增益校正。

$$\text{Pressure Sensor Output} = \text{DAC_Output} \times \left[\left(\frac{\text{R1}}{\text{R1} + \text{R2}}\right) - \left(\frac{\text{R4}}{\text{R3} + \text{R4}}\right)\right] \quad (4)$$

同样，对于 ADC128S102-SEP，从方程式 5 可以看出，ADC 输出是压力传感器输出乘以 ADC 输入与 DAC121S101-SEP 输出电压之比的函数。

$$\text{ADC128S102–SEP Output} = \left(\text{Pressure Sensor Output} \times \left(\frac{100}{2 \times \text{VREF}}\right)\right) \times 2^{12} \quad (5)$$

### 7.2.3 应用曲线

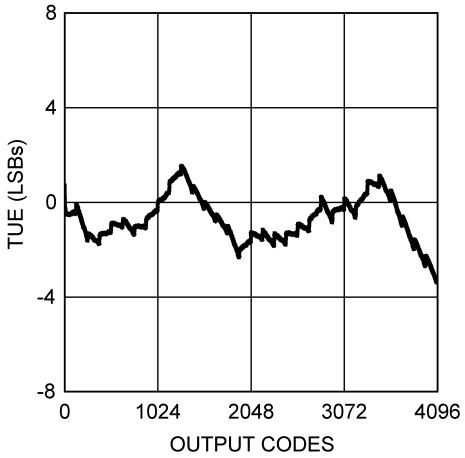



**图 7-3. 总体未调整误差与输出代码间的关系**

## 7.3 电源相关建议

一个精密模拟组件要求仔细布局布线、足够的旁路和洁净的、经很好稳压的电源。施加到 $V_A$ 上的电源必须保持良好调节且具有低噪声。开关电源和直流/直流转换器通常会在输出电压上产生高频毛刺脉冲或尖峰电压。此外，数字元件会产生与内部逻辑开关状态相似的高频尖峰。这个噪声很容易通过电源连接和模拟输出之间的不同路径耦合进入 DAC 输出电压。使用接地连接时，应将 $V_A$ 连接到电源平面或布线，这个电源平面或布线与针对数字逻辑电路的连接分离，直到 $V_A$ 被连接在电源输入点上。

使用 10μF 和 0.1μF 电容器对 DAC121S101-SEP 电源进行旁路，尽量将电容器靠近器件放置，并将 0.1μF 直接连接到器件的电源引脚。0.1μF 电容器必须是低 ESL、低 ESR 类型。将 DAC121S101-SEP 的电源与噪声电路去耦。


Copyright © 2025 Texas Instruments Incorporated

## 7.4 布局

### *7.4.1 布局指南*

为了获得最佳精度和最低噪声，包含 DAC121S101-SEP 的印刷电路板 (PCB) 必须具有单独的模拟区域和数字区域。这些区域由模拟和数字电源平面的位置定义。这两个平面必须位于同一电路板层中。使用单个接地平面；如果数字返回电流不流经模拟接地区域，则最好使用单个接地平面。通常，单个接地平面设计会使用*屏蔽*技术来防止模拟和数字接地电流混合。只有在屏蔽技术不足时，才应使用单独的接地平面。将独立的接地平面连接到一个位置，最好是在 DAC121S101-SEP 附近。请特别注意确保具有快速边沿速率的数字信号不会跨越分离的接地平面。数字信号的布线下方必须始终有连续的返回路径。

避免模拟和数字信号出现交叉，并将时钟线和数据线保持在电路板的元件侧。时钟线和数据线必须具有受控阻抗。

### *7.4.2 布局示例*

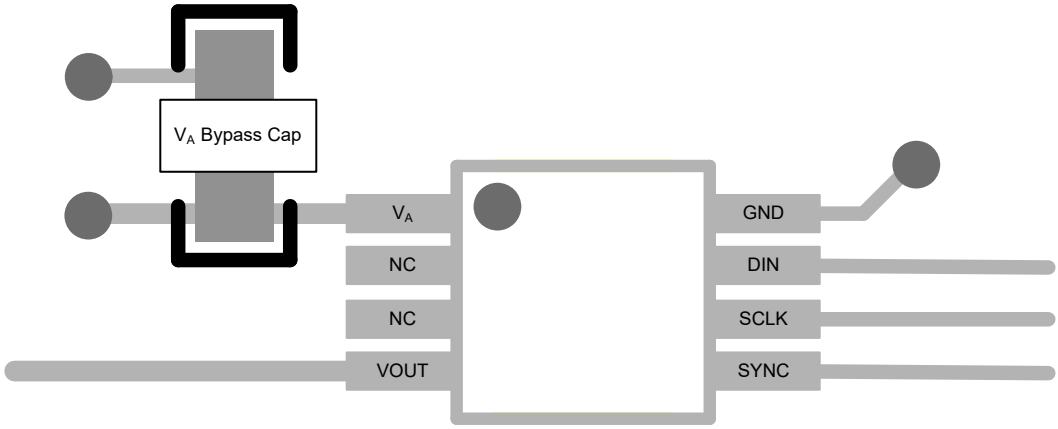



**图 7-4. 典型布局**

# 8 器件和文档支持

## 8.1 文档支持

## 8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

# 9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| 日期 | 修订版本 | 注释 |
|---|---|---|
| December 2024 | * | 初始发行版 |

# 10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。


Copyright © 2025 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| DAC121S101DGKTSEP | Active | Production | VSSOP (DGK) \| 8 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -55 to 125 | 121S |
| DAC121S101DGKTSEP.A | Active | Production | VSSOP (DGK) \| 8 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | See DAC121S101DGKTSEP | 121S |
| V62/24641-01XE | Active | Production | VSSOP (DGK) \| 8 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | See DAC121S101DGKTSEP | 121S |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF DAC121S101-SEP :**

- Automotive : DAC121S101-Q1

NOTE: Qualified Version Definitions:

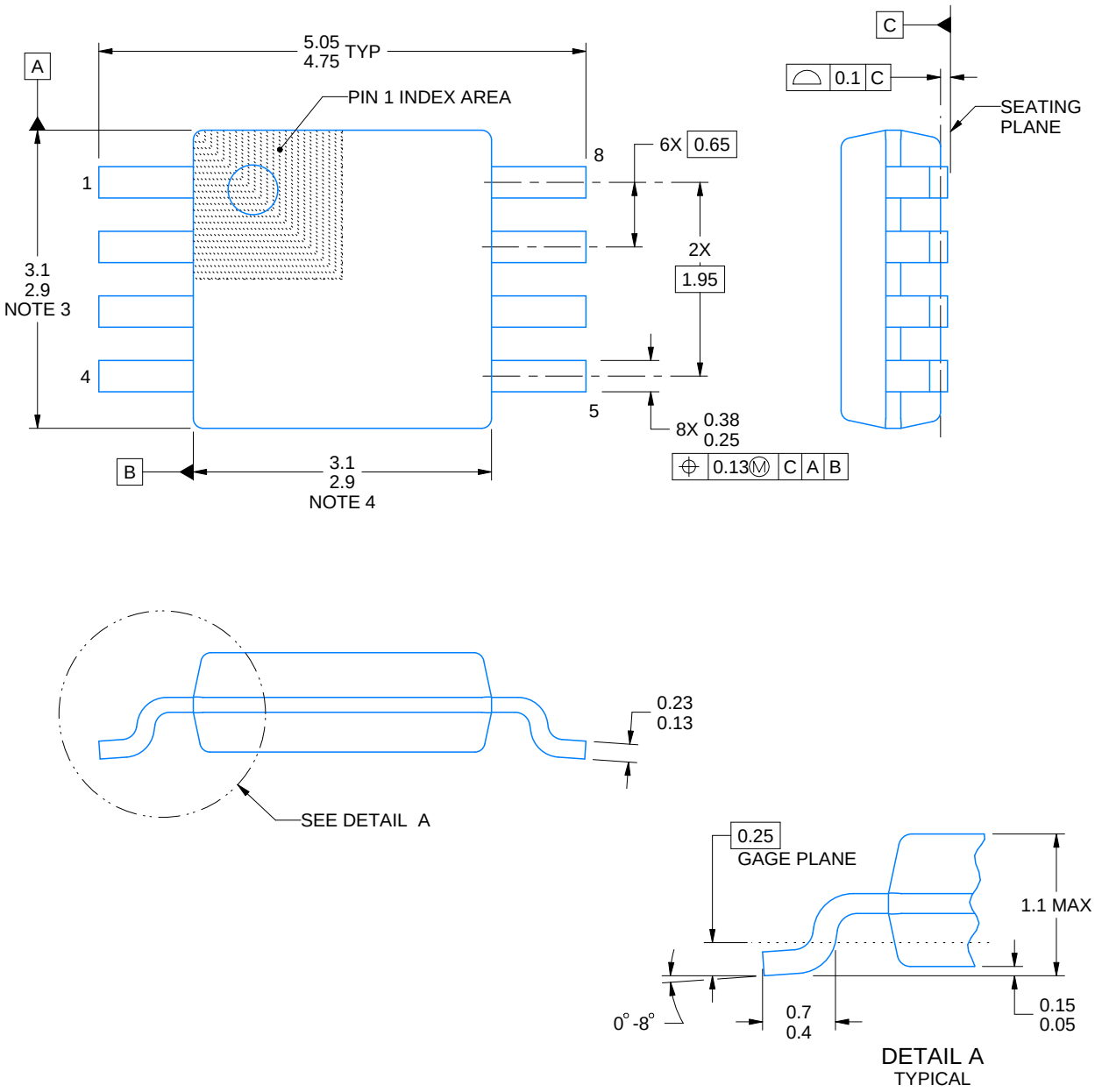
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

# PACKAGE OUTLINE

## DGK0008A

## VSSOP - 1.1 mm max height

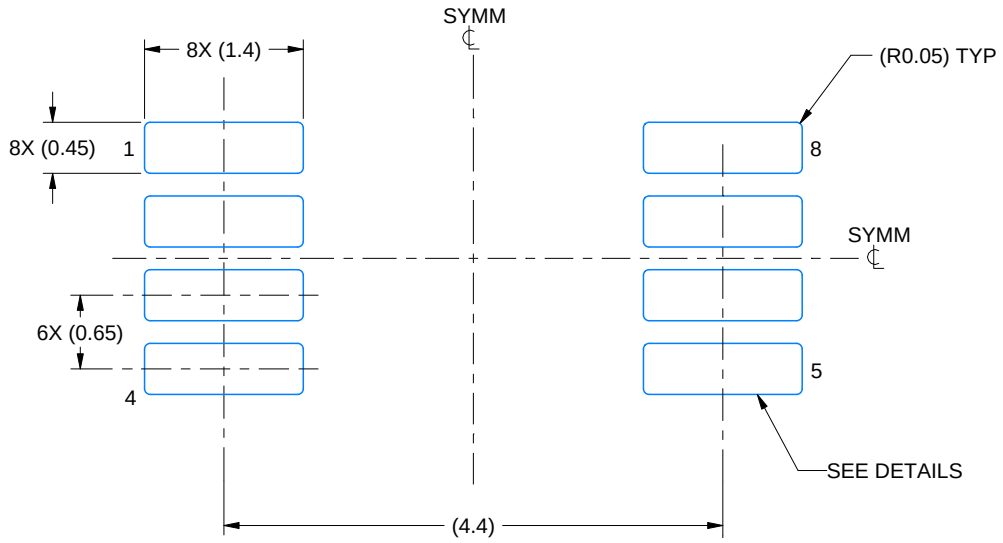
SMALL OUTLINE PACKAGE



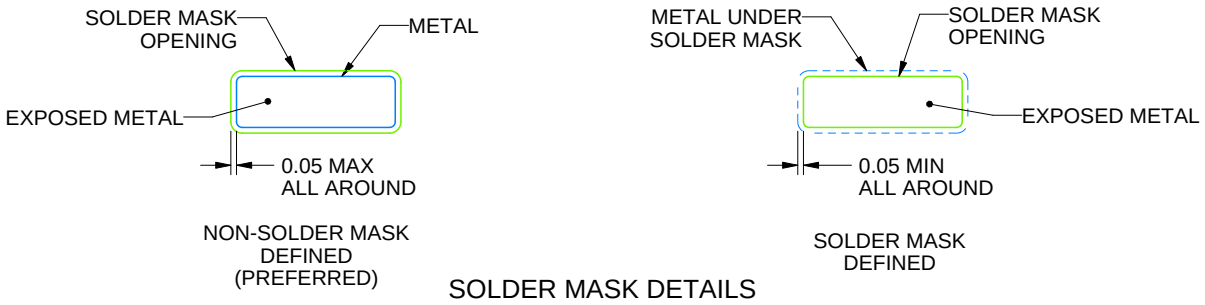

PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

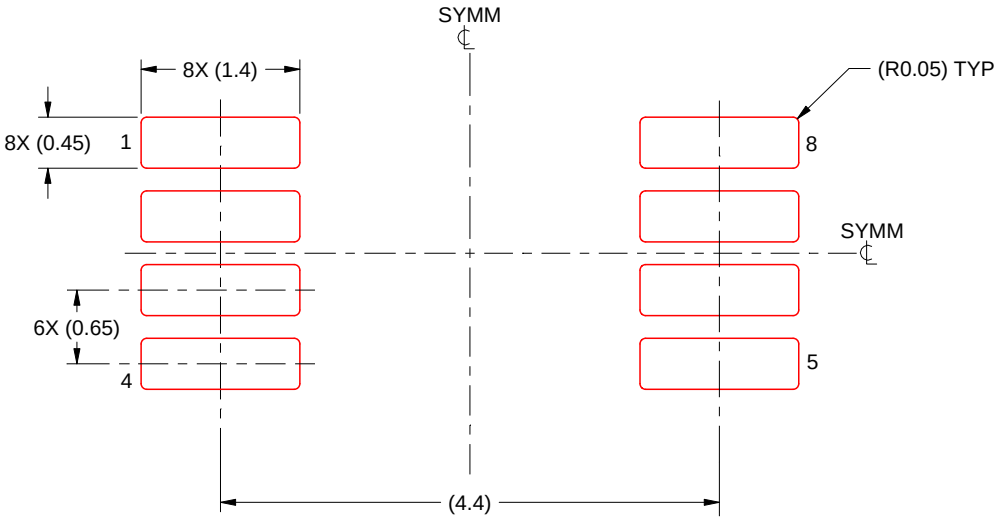



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.




SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月