# CDCLVD1204 2:4 低附加抖动 LVDS 缓冲器

## 1 特性

- 2:4 差分缓冲器
- 低附加抖动：10kHz 至 20MHz 范围内 <300fs RMS
- 低输出偏移为 20ps（最大值）
- 通用输入接受 LVDS、LVPECL 和 LVCMOS
- 可通过控制引脚选择时钟输入
- 4 个 LVDS 输出，符合 ANSI EIA/TIA-644A 标准
- 时钟频率：高达 800MHz
- 器件电源：2.375V 至 2.625V
- LVDS 基准电压，$V_{AC_REF}$，适用于容性耦合输入
- 工业温度范围：-40°C 至 85°C
- 采用 3mm × 3mm、16 引脚 VQFN (RGT) 封装
- ESD 防护能力超过 3kV HBM，1kV CDM

## 2 应用

- 电信及网络
- 医疗成像
- 测试和测量设备
- 无线通信
- 通用时钟

## 3 说明

CDCLVD1204 时钟缓冲器能够以超低的时钟分配偏斜，将两个可选时钟输入（IN0 和 IN1）之一分配给 4 对差分 LVDS 时钟输出（OUT0 至 OUT3）。CDCLVD1204 可接受两个时钟源传入一个输入多路复用器。输入可以为 LVDS、LVPECL 或 LVCMOS。

CDCLVD1204 专为驱动 50Ω 传输线路而设计。在以单端模式驱动输入的情况下，必须将适当偏置电压 $V_{AC_REF}$ 施加到未使用的负输入引脚。

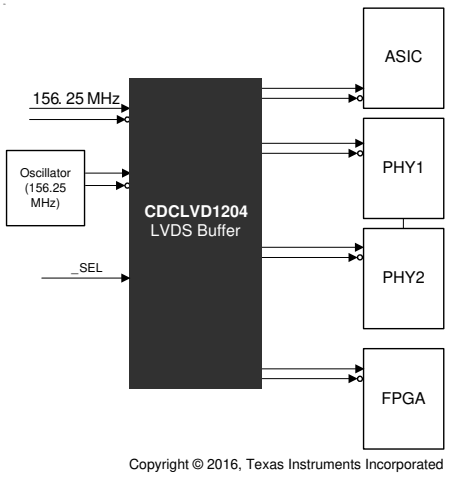
IN_SEL 引脚用于选择要发送到输出的输入。如果该引脚保持开路，该引脚将禁用输出（静态）。该器件支持失效防护功能。该器件整合了输入迟滞，可防止在没有输入信号的情况下输出随机振荡。

该器件可在 2.5V 电源环境下工作，额定温度范围是 –40°C 至 85°C（环境温度）。CDCLVD1204 采用小型 16 引脚 3mm × 3mm VQFN 封装。

**器件信息**

| 器件型号 | 封装(1) | 封装尺寸（标称值） |
|---|---|---|
| CDCLVD1204 | VQFN (16) | 3.00mm × 3.00mm |

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。




Copyright © 2016, Texas Instruments Incorporated

**应用示例**

# 内容

**1 特性** ..... 1
**2 应用** ..... 1
**3 说明** ..... 1
**4 引脚配置和功能** ..... 3
**5 规格** ..... 4
5.1 绝对最大额定值 ..... 4
5.2 ESD 等级 ..... 4
5.3 建议运行条件 ..... 4
5.4 热性能信息 ..... 4
5.5 电气特性 ..... 5
5.6 时序要求 ..... 6
5.7 典型特性 ..... 7
**6 参数测量信息** ..... 8
**7 详细说明** ..... 10
7.1 概述 ..... 10
7.2 功能方框图 ..... 10
7.3 特性说明 ..... 10
7.4 器件功能模式 ..... 10
**8 应用和实施** ..... 13
8.1 应用信息 ..... 13
8.2 典型应用 ..... 13
**9 电源相关建议** ..... 15
**10 布局** ..... 15
10.1 布局指南 ..... 15
10.2 布局示例 ..... 15
10.3 散热注意事项 ..... 16
**11 器件和文档支持** ..... 17
11.1 文档支持 ..... 17
11.2 接收文档更新通知 ..... 17
11.3 支持资源 ..... 17
11.4 商标 ..... 17
11.5 静电放电警告 ..... 17
11.6 术语表 ..... 17
**12 修订历史记录** ..... 17
**13 机械、封装和可订购信息** ..... 18


Copyright © 2026 Texas Instruments Incorporated

# 4 引脚配置和功能

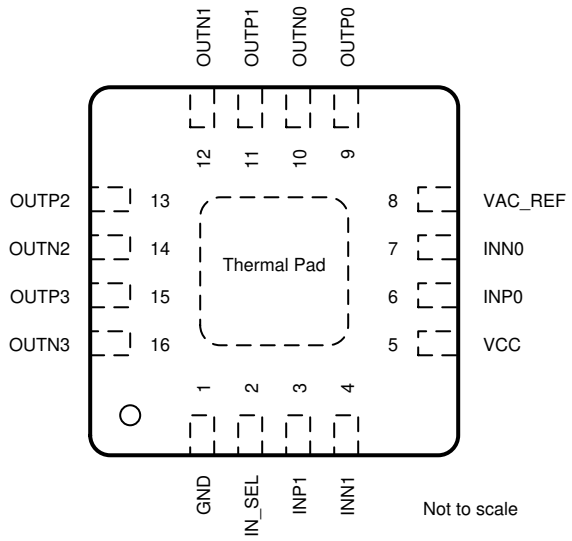



**图 4-1. RGT 封装 16 引脚 VQFN 顶视图**

**表 4-1. 引脚功能**

| 引脚 | | 类型(1) | 说明 |
|---|---|---|---|
| 编号 | 名称 | | |
| 1 | GND | G | 器件接地 |
| 2 | IN_SEL | I | 通过内部 200-kΩ 上拉电阻器和下拉电阻器进行输入选择；选择输入端口（请参阅 表 7-1） |
| 3、4 | INP1、INN1 | I | 差分冗余输入对或单端输入 |
| 5 | $V_{CC}$ | P | 器件的供电为 2.5V |
| 6、7 | INP0、INN0 | I | 差分输入对或单端输入 |
| 8 | $V_{AC_REF}$ | O | 容性耦合输入的偏置电压输出。如果使用，TI 建议在该引脚上使用连接到 GND 的 0.1μF。 |
| 9、10 | OUTP0、OUTN0 | O | 编号为 0 的差分 LVDS 输出对 |
| 11.12 | OUTP1、OUTN1 | O | 编号为 1 的差分 LVDS 输出对 |
| 13.14 | OUTP2、OUTN2 | O | 编号为 2 的差分 LVDS 输出对 |
| 15.16 | OUTP3、OUTN3 | O | 编号为 3 的差分 LVDS 输出对 |

(1) G = 地，I = 输入，O = 输出，P = 电源

Copyright © 2026 Texas Instruments Incorporated

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

| | 最小值 | 最大值 | 单位 |
|---|---|---|---|
| 电源电压，$V_{CC}$ | -0.3 | 2.8 | V |
| 输入电压，$V_I$ | -0.2 | $V_{CC}$ + 0.2 | V |
| 输出电压，$V_O$ | -0.2 | $V_{CC}$ + 0.2 | V |
| 驱动器短路电流，$I_{OSD}$ | 请参阅(2) | | |
| 贮存温度，$T_{stg}$ | -65 | 150 | °C |

(1) 应力超出*绝对最大额定值*中列出的值时，可能会对器件造成永久损坏。这些值仅为应力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输出可以处理永久短路。

## 5.2 ESD 等级

| | | 值 | 单位 |
|---|---|---|---|
| $V_{(ESD)}$ 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1) | >3000 | V |
| | 充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2) | >1000 | |

(1) 人体放电模型，1.5kΩ，100pF
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

## 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{CC}$ | 器件电源电压 | 2.375 | 2.5 | 2.625 | V |
| $T_A$ | 环境温度 | -40 | | 85 | °C |

## 5.4 热性能信息

| 热指标(1) | | CDCLVD1204 RGT (VQFN) 16 引脚 | 单位 |
|---|---|---|---|
| $R_{\theta JA}$ | 结至环境热阻 | 51.3 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 85.4 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 20.1 | °C/W |
| $\psi_{JT}$ | 结至顶部特征参数 | 1.3 | °C/W |
| $\psi_{JB}$ | 结至电路板特征参数 | 19.4 | °C/W |
| $R_{\theta JC(bot)}$ | 结至外壳（底部）热阻 | 6 | °C/W |

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。


Copyright © 2026 Texas Instruments Incorporated

## 5.5 电气特性

$V_{CC}$ = 2.375V 至 2.625V，$T_A$ = –40°C 至 85°C（除非另有说明）

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| **IN_SEL 控制** | | | | | | |
| $Vd_{I3}$ | 三态输入 | 开路 | | 0.5 × $V_{CC}$ | | V |
| $Vd_{IH}$ | 输入高电压 | | 0.7 × $V_{CC}$ | | | V |
| $Vd_{IL}$ | 输入低电压 | | | | 0.2 × $V_{CC}$ | V |
| $Id_{IH}$ | 输入高电流 | $V_{CC}$ =2.625V，$V_{IH}$ = 2.625V | | | 30 | µA |
| $Id_{IL}$ | 输入低电流 | $V_{CC}$ = 2.625V，$V_{IL}$ = 0V | | | -30 | µA |
| $R_{pull(IN_SEL)}$ | 输入上拉或下拉电阻器 | | | 200 | | kΩ |
| **2.5V LVCMOS 输入（请参阅 图 6-3）** | | | | | | |
| $f_{IN}$ | 输入频率 | | | | 200 | MHz |
| $V_{th}$ | 输入阈值电压 | 施加到互补输入端的外部阈值电压 | 1.1 | | 1.5 | V |
| $V_{IH}$ | 输入高电压 | | $V_{th}$ + 0.1 | | $V_{CC}$ | V |
| $V_{IL}$ | 输入低电压 | | 0 | | $V_{th}$ – 0.1 | V |
| $I_{IH}$ | 输入高电流 | $V_{CC}$ =2.625V，$V_{IH}$ = 2.625V | | | 10 | µA |
| $I_{IL}$ | 输入低电流 | $V_{CC}$ = 2.625V，$V_{IL}$ = 0V | | | -10 | µA |
| ΔV/ΔT | 输入边沿速率 | 20% 至 80% | 1.5 | | | V/ns |
| $C_{IN}$ | 输入电容 | | | 2.5 | | pF |
| **差分输入** | | | | | | |
| $f_{IN}$ | 输入频率 | 时钟输入 | | | 800 | MHz |
| $V_{IN, DIFF}$ | 差分输入电压<br>峰值间 | $V_{ICM}$ = 1.25V | 0.3 | | 1.6 | $V_{PP}$ |
| $V_{ICM}$ | 输入共模电压 | $V_{IN, DIFF, PP}$ > 0.4V | 1 | | $V_{CC}$ – 0.3 | V |
| $I_{IH}$ | 输入高电流 | $V_{CC}$ =2.625V，$V_{IH}$ = 2.625V | | | 10 | µA |
| $I_{IL}$ | 输入低电流 | $V_{CC}$ = 2.625V，$V_{IL}$ = 0V | | | -10 | µA |
| ΔV/ΔT | 输入边沿速率 | 20% 至 80% | 0.75 | | | V/ns |
| $C_{IN}$ | 输入电容 | | | 2.5 | | pF |
| **LVDS 输出** | | | | | | |
| $\|V_{OD}\|$ | 差分输出电压幅度 | $V_{IN, DIFF, PP}$ = 0.3V，$R_L$ = 100Ω | 250 | | 450 | mV |
| $\Delta V_{OD}$ | 差分输出电压幅度的变化 | $V_{IN, DIFF, PP}$ = 0.3V，$R_L$ = 100Ω | -15 | | 15 | mV |
| $V_{OC(SS)}$ | 稳定状态共模<br>输出电压 | $V_{IN, DIFF, PP}$ = 0.3V，$R_L$ = 100Ω | 1.1 | | 1.375 | V |
| $\Delta V_{OC(SS)}$ | 稳定状态共模<br>输出电压 | $V_{IN, DIFF, PP}$ = 0.6V，$R_L$ = 100Ω | -15 | | 15 | mV |
| $V_{ring}$ | 输出过冲和下冲 | 输出振幅 $V_{OD}$ 的百分比 | | | 10% | |
| $V_{OS}$ | 输出交流共模 | $V_{IN, DIFF, PP}$ = 0.6V，$R_L$ = 100Ω | | 25 | 70 | $mV_{PP}$ |
| $I_{OS}$ | 短路输出电流 | $V_{OD}$ = 0V | | | ±24 | mA |
| $t_{PD}$ | 传播延迟 | $V_{IN, DIFF, PP}$ = 0.3V | | 1.5 | 2.5 | ns |
| $t_{SK, PP}$ | 器件间延迟 | | | | 600 | ps |
| $t_{SK, O}$ | 输出偏移 | | | | 20 | ps |
| $t_{SK,P}$ | 脉冲偏移 | 50% 占空比输入，交叉点到交叉点失真 | -50 | | 50 | ps |
| $t_{RJIT}$ | 随机附加抖动 | 50% 占空比输入，<br>边沿速度= 0.75V/ns，<br>10kHz 至 20MHz | | | 0.3 | ps RMS |

Copyright © 2026 Texas Instruments Incorporated

## 5.5 电气特性（续）

$V_{CC}$ = 2.375V 至 2.625V，$T_A$ = –40°C 至 85°C（除非另有说明）

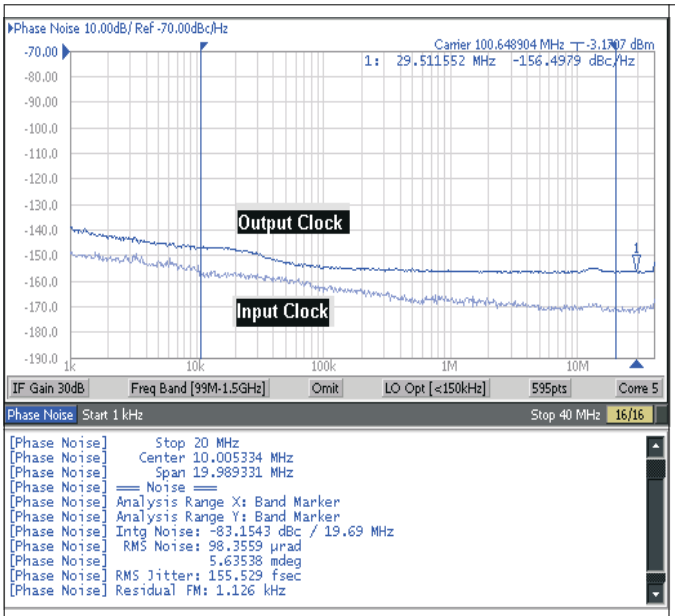
| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $t_R/t_F$ | 输出上升和下降时间 | 20% 至 80%，100Ω，5pF | 50 | | 300 | ps |
| $I_{CCSTAT}$ | 静态电源电流 | 输出已禁用，f = 0Hz | | 17 | 28 | mA |
| $I_{CC100}$ | 电源电流 | 所有输出，$R_L$ = 100Ω，f = 100MHz | | 40 | 58 | mA |
| $I_{CC800}$ | 电源电流 | 所有输出，$R_L$ = 100Ω，f = 800MHz | | 60 | 80 | mA |
| $V_{AC_REF}$ | 基准输出电压 | $V_{CC}$ = 2.5V，$I_{load}$ = 100μA | 1.1 | 1.25 | 1.35 | V |

## 5.6 时序要求

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| **100-MHZ 时钟的附加相位噪声** | | | | | |
| $phn_{100}$ | 100Hz 偏移时的相位噪声 | | -132.9 | | dBc/Hz |
| $phn_{1k}$ | 1kHz 偏移时的相位噪声 | | -138.8 | | dBc/Hz |
| $phn_{10k}$ | 10kHz 偏移时的相位噪声 | | -147.4 | | dBc/Hz |
| $phn_{100k}$ | 100kHz 偏移时的相位噪声 | | -153.6 | | dBc/Hz |
| $phn_{1M}$ | 1MHz 偏移时的相位噪声 | | -155.2 | | dBc/Hz |
| $phn_{10M}$ | 10MHz 偏移时的相位噪声 | | -156.2 | | dBc/Hz |
| $phn_{20M}$ | 20MHz 偏移时的相位噪声 | | -156.6 | | dBc/Hz |
| $t_{RJIT}$ | 从 10kHz 到 20MHz 的随机附加抖动 | | 171 | | fs，RMS |
| **737.27-MHZ 时钟的附加相位噪声** | | | | | |
| $phn_{100}$ | 100Hz 偏移时的相位噪声 | | -80.2 | | dBc/Hz |
| $phn_{1k}$ | 1kHz 偏移时的相位噪声 | | -114.3 | | dBc/Hz |
| $phn_{10k}$ | 10kHz 偏移时的相位噪声 | | -138 | | dBc/Hz |
| $phn_{100k}$ | 100kHz 偏移时的相位噪声 | | -143.9 | | dBc/Hz |
| $phn_{1M}$ | 1MHz 偏移时的相位噪声 | | -145.2 | | dBc/Hz |
| $phn_{10M}$ | 10MHz 偏移时的相位噪声 | | -146.5 | | dBc/Hz |
| $phn_{20M}$ | 20MHz 偏移时的相位噪声 | | -146.6 | | dBc/Hz |
| $t_{RJIT}$ | 从 10kHz 到 20MHz 的随机附加抖动 | | 65 | | fs，RMS |


Copyright © 2026 Texas Instruments Incorporated

## 5.7 典型特性




输入时钟的 RMS 抖动为 32fs（频段：10kHz 到 20MHz），并且附加的 RMS 抖动为 152fs，$T_A$ = 25°C，$V_{CC}$ = 2.5V

**图 5-1. 100MHz 输入和输出相位噪声图**

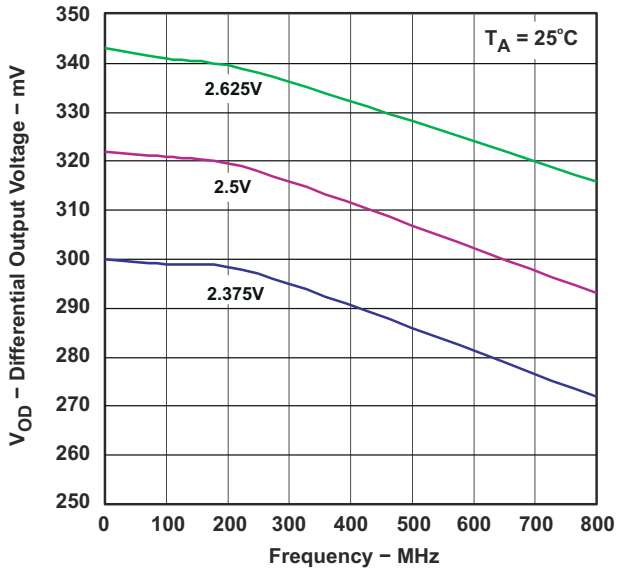



**图 5-2. 差分输出电压与频率间的关系**

# 6 参数测量信息

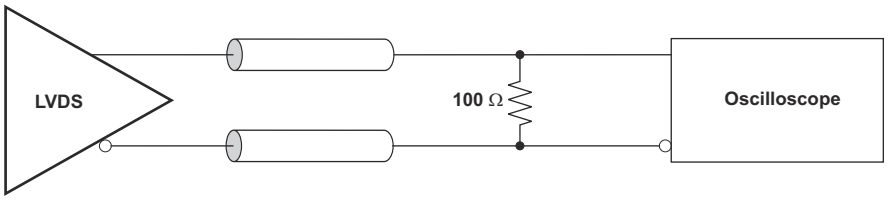



图 6-1. 器件测试期间的 LVDS 输出直流配置

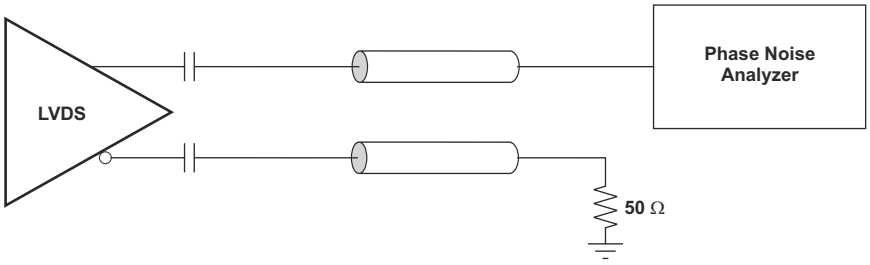



图 6-2. 器件测试期间的 LVDS 输出交流配置

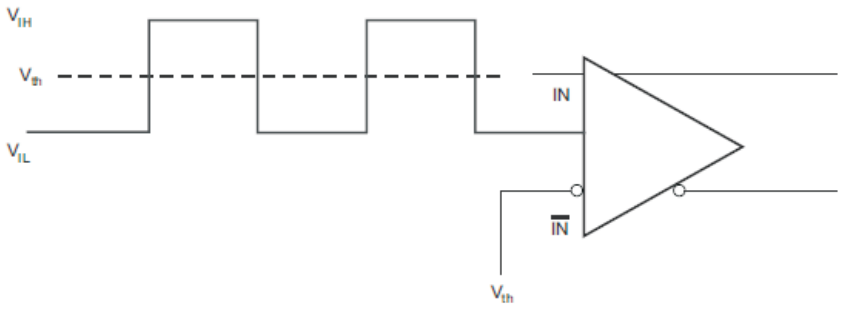



图 6-3. 器件测试期间直流耦合的 LVCMOS 输入

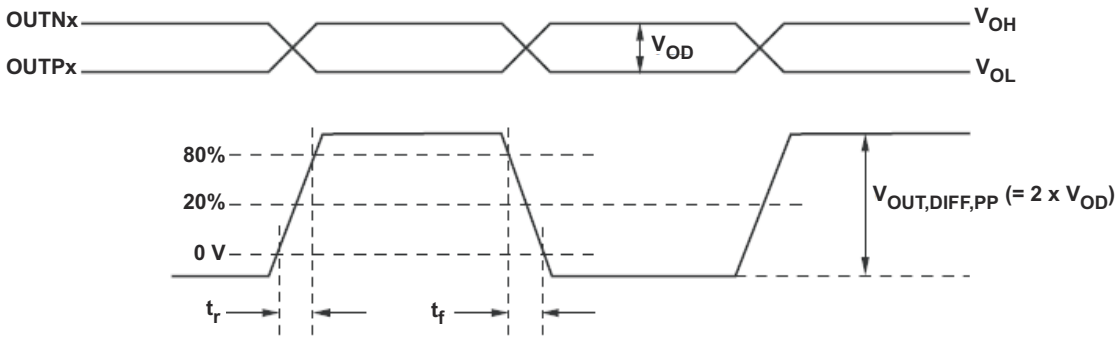
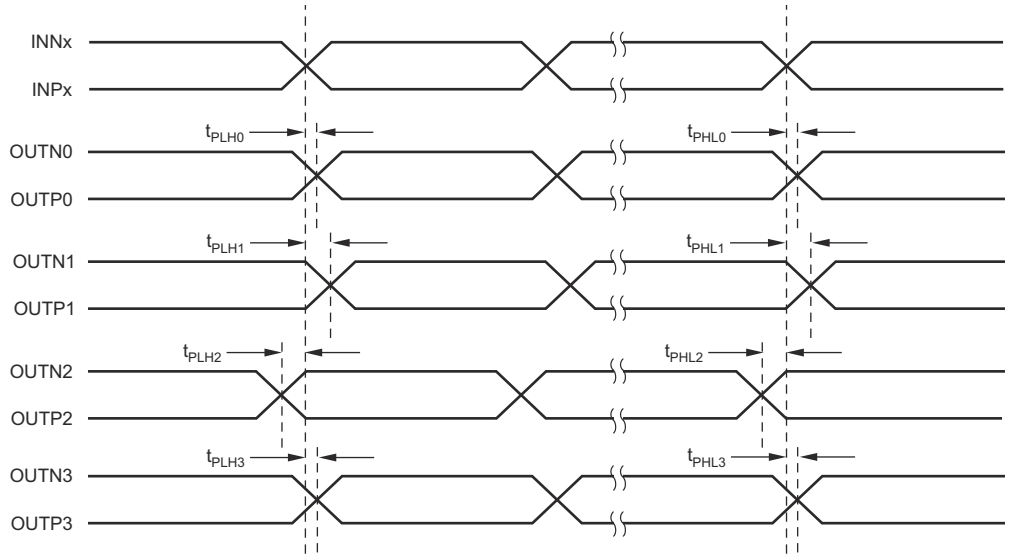



图 6-4. 输出电压和上升/下降时间


Copyright © 2026 Texas Instruments Incorporated




1. 输出延迟为以下两者中的较大者：最快和最慢 $t_{PLHn}$ 之间的差值，或者最快和最慢 $t_{PHLn}$（n = 0、1、2、3）之间的差值。
2. 器件间延迟为以下两者中的较大者：最快和最慢 $t_{PLHn}$ 之间的差值，或者多个器件（n = 0、1、2、3）最快和最慢 $t_{PHLn}$ 之间的差值。

**图 6-5. 输出偏移和器件间延迟**

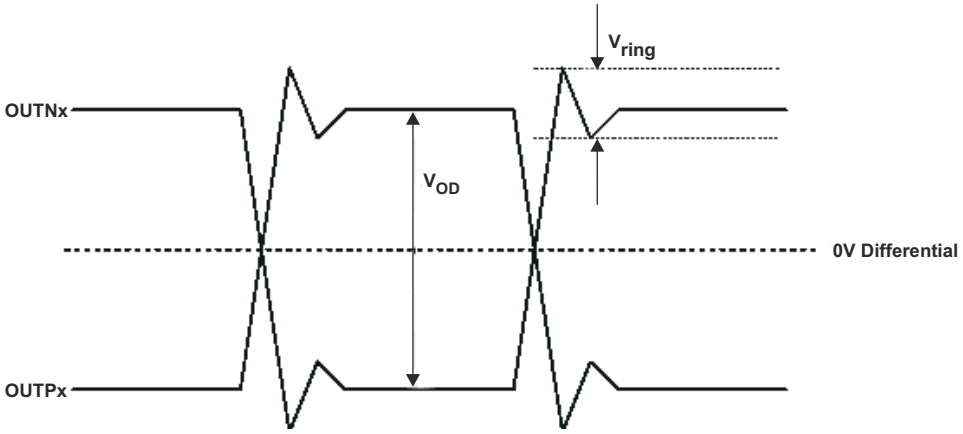



**图 6-6. 输出过冲和下冲**

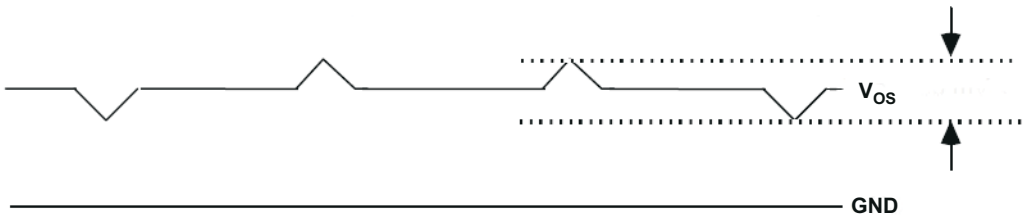



**图 6-7. 输出交流共模**

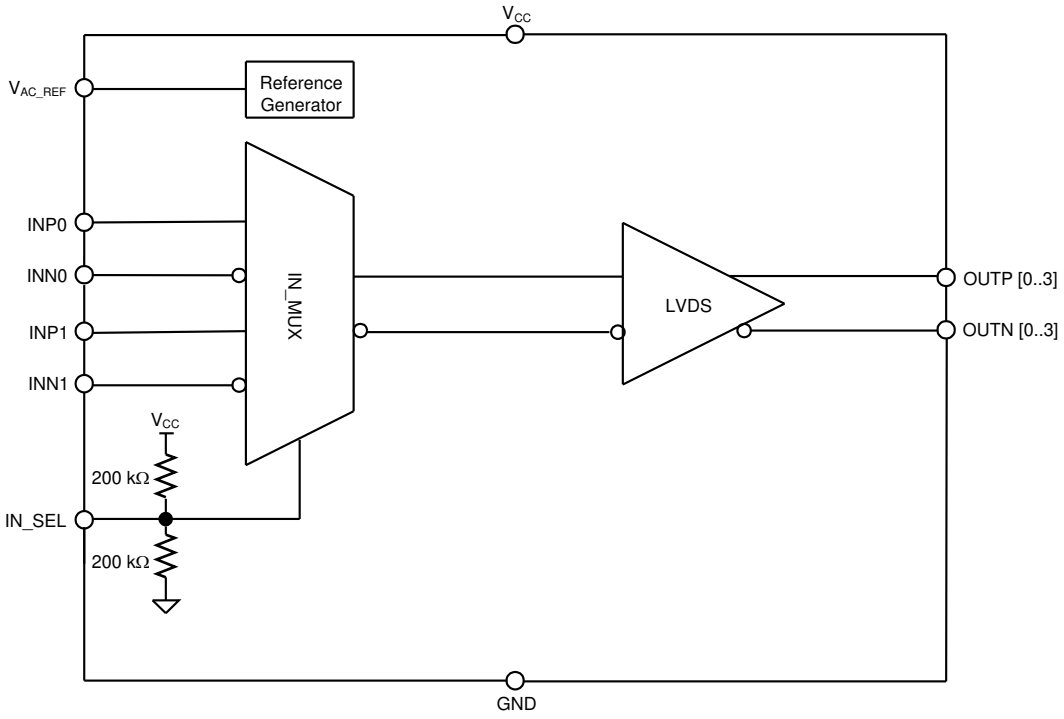
# 7 详细说明

## 7.1 概述

CDCLVD1204 LVDS 驱动器使用 CMOS 晶体管来控制输出电流。因此，需通过适当的偏置和端接，确保器件正常运行并尽可能减少信号完整性问题。

为了确保两条 50Ω 线路上的信号完整性，正确的 LVDS 端接是接收器端输出之间具有 100Ω 的电阻。直流耦合端接和交流耦合端接均可用于 LVDS 输出。TI 建议将端接电阻器放置在靠近接收器的位置。如果接收器在内部偏置到的电压不同于 CDCLVD1204 输出共模电压，则必须使用交流耦合。如果 LVDS 接收器具有内部 100Ω 终端，则必须省略外部终端。

## 7.2 功能方框图




Copyright © 2016, Texas Instruments Incorporated

## 7.3 特性说明

CDCLVD1204 是一款低附加抖动 LVDS 扇出缓冲器，可通过两个可选的 LVPECL、LVDS 或 LVCMOS 输入生成四个输出。CDCLVD1204 可以接受高达 800MHz 的参考时钟频率，同时提供低输出延迟。

## 7.4 器件功能模式

CDCLVD1204 的两个输入在内部混合在一起，并可通过控制引脚进行选择（参阅 表 7-1）。未使用的输入和输出可以保持悬空，以降低总体元件成本。交流和直流耦合方案均可与 CDCLVD1204 配合使用，以提供更大的系统灵活性。


Copyright © 2026 Texas Instruments Incorporated

表 7-1. 输入选择表

| IN_SEL | 有效时钟输入 |
|---|---|
| 0 | INP0、INN0 |
| 1 | INP1、INN1 |
| 开路 | 无(1) |

(1) 输入缓冲器被禁用，并输出为静态。

### 7.4.1 LVDS 输出端接

未使用的输出可以保持开路，无需将任何布线连接到输出引脚。

CDCLVD1204 可以通过直流和交流耦合连接到 LVDS 接收器输入，分别如 图 7-1 和 图 7-2 所示。

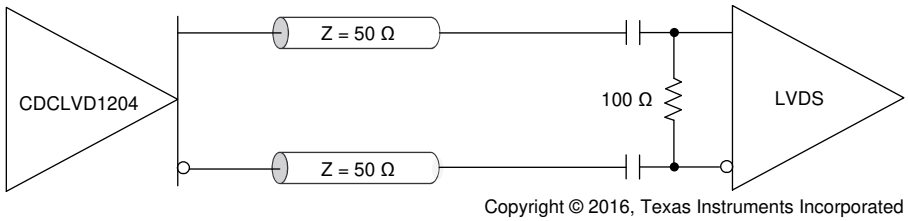



图 7-1. 输出直流终端

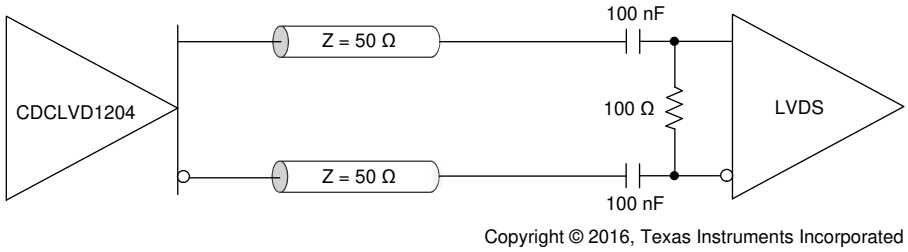



图 7-2. 输出交流终端（接收器内部偏置）

### 7.4.2 输入端接

CDCLVD1204 输入可与 LVDS、LVPECL 或 LVCMOS 驱动器连接。

LVDS 驱动器可以通过直流和交流耦合连接到 CDCLVD1204 输入，分别如 图 7-3 和 图 7-4 所示。

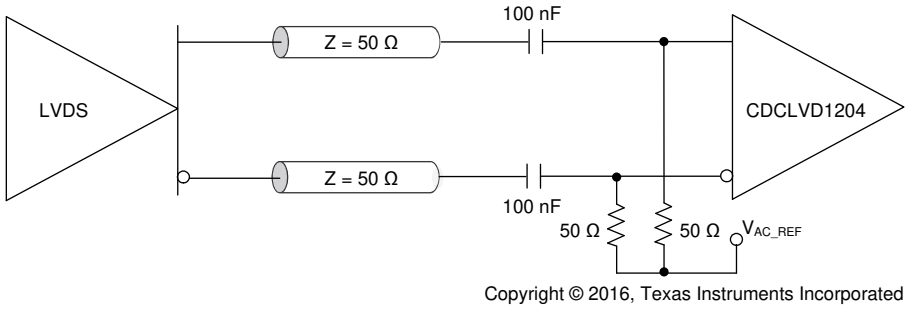
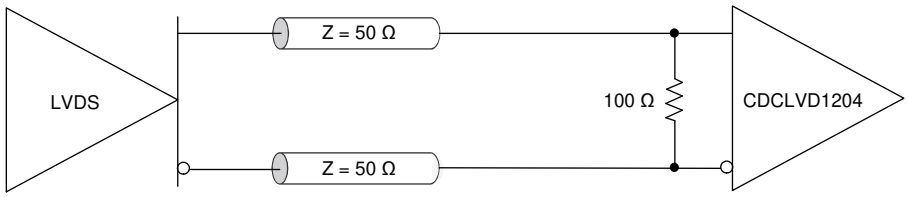


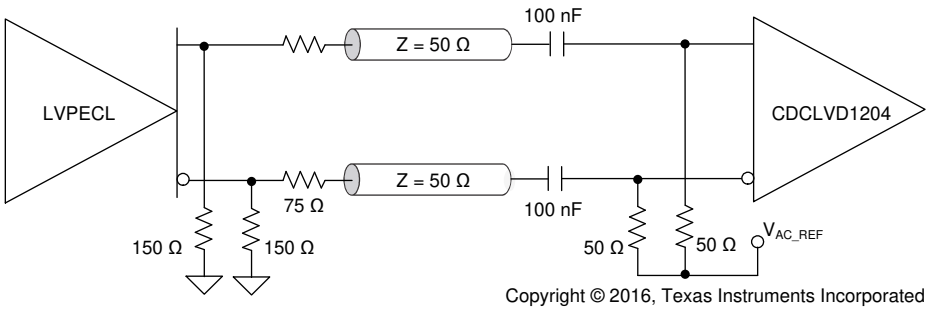

图 7-3. 连接到 CDCLVD1204 输入的 LVDS 时钟驱动器（交流耦合）




Copyright © 2016, Texas Instruments Incorporated

**图 7-4. 连接到 CDCLVD1204 输入的 LVDS 时钟驱动器（直流耦合）**

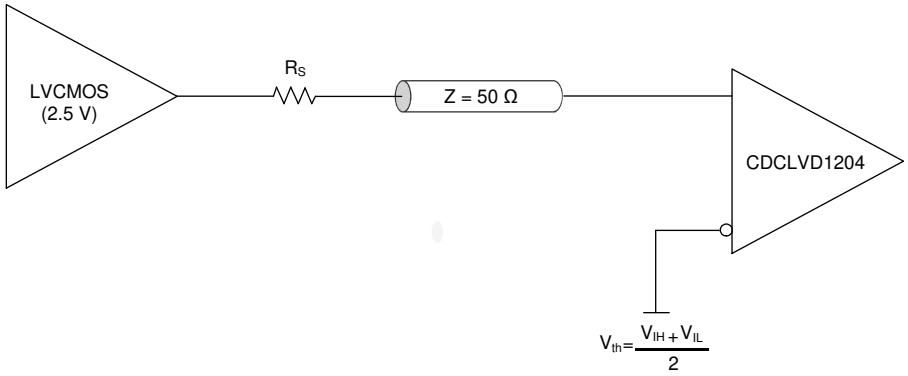
图 7-5 展示了如何将 LVPECL 输入连接到 CDCLVD1204。如果信号摆幅 >1.6Vpp，则需要使用串联电阻器来降低 LVPECL 信号摆幅。




Copyright © 2016, Texas Instruments Incorporated

**图 7-5. 连接到 CDCLVD1204 输入的 LVPECL 时钟驱动器**

图 7-6 展示了如何将 2.5V LVCMOS 时钟输入直接耦合到 CDCLVD1204。如果需要，串联电阻 $R_S$ 必须放置在靠近 LVCMOS 驱动器的位置。3.3V LVCMOS 时钟输入摆幅必须限制为 $V_{IH} \leq V_{CC}$。




Copyright © 2016, Texas Instruments Incorporated

**图 7-6. 连接到 CDCLVD1204 输入的 2.5 LVCMOS 时钟驱动器**

对于未使用的输入，TI 建议使用 1kΩ 电阻器将两个输入引脚（INP、INN）接地。


Copyright © 2026 Texas Instruments Incorporated

# 8 应用和实施

**备注**

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

## 8.1 应用信息

CDCLVD1204 是一款具有 2 个可选输入的低附加抖动、通用转 LVDS 扇出缓冲器。该器件采用小型封装，并具有低输出延迟和低附加抖动，因此适用于具有灵活性要求的应用。

## 8.2 典型应用

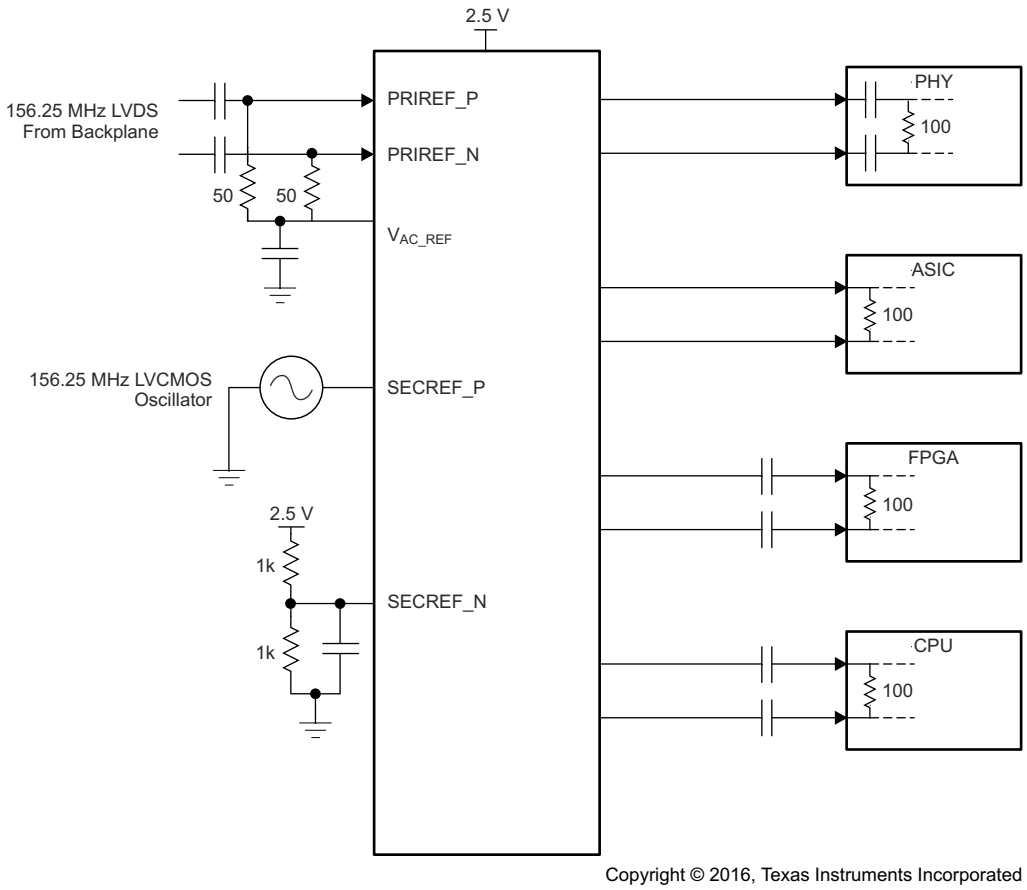



**图 8-1. 用于线路卡应用的扇出缓冲器**

### 8.2.1 设计要求

图 8-1 中所示的 CDCLVD1204 配置为能够选择两个输入，一个输入是来自背板的 156.25MHz LVDS 时钟，另一个输入是 156.25MHz LVCMOS 2.5V 辅助振荡器。LVDS 时钟使用集成基准电压发生器进行交流耦合和偏置。使用电阻分压器正确地设置 LVCMOS 时钟的阈值电压。0.1μF 电容器用于降低 $V_{AC_REF}$ 和 SECREF_N 上的噪声。然后，可以将任一输入信号扇出到所需的器件，如图所示。配置示例是在具有以下属性的线路卡应用中驱动 4 个 LVDS 接收器：

- PHY 器件能够与 LVDS 驱动器（如 CDCLVD1204）进行直流耦合。此 PHY 器件具有内部端接功能，因此不需要额外的元件即可正常运行。
- ASIC LVDS 接收器具有内部端接功能，并且在与 CDCLVD1204 相同的共模电压下工作。同样，无需额外的元件。
- FPGA 需要外部交流耦合，但具有内部端接。放置 0.1μF 电容器以便提供交流耦合。同样，CPU 在内部端接，并仅需要外部交流耦合电容器。

### 8.2.2 详细设计过程

参阅*输入端接*，根据是单端还是差分输入来实现正确的输入端接。

参阅 *LVDS 输出端接*，根据接收器应用选择输出端接方案。

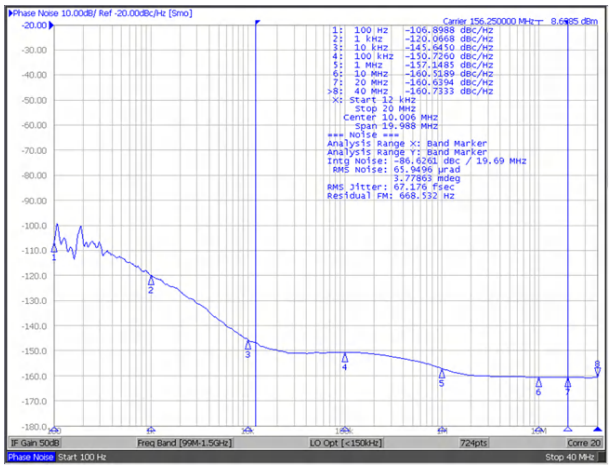
未使用的输出可以保持悬空状态。

在此示例中，PHY、ASIC 和 FPGA 或 CPU 需要不同的方案。电源滤波和旁路对于低噪声应用至关重要。

有关建议的滤波技术，请参阅*节 9 电源相关建议*。*低附加抖动四路 LVDS 输出时钟缓冲器评估板* (SCAU043) 中提供了参考布局。

### 8.2.3 应用曲线

在此线路卡应用对 CDCLVD12xx 的低附加噪声进行了展示。CDCLVD12xx 由具有 67fs RMS 抖动的低噪声 156.25MHz 源驱动，当在 12kHz 至 20MHz 范围内积分时，抖动为 80fs RMS。对于此配置，产生的附加抖动较低，大小为 44fs RMS。




参考信号是低噪声 Rohde & Schwarz SMA100A

**图 8-2. CDCLVD12xx 参考相位噪声 67fs rms（12kHz 至 20MHz）**

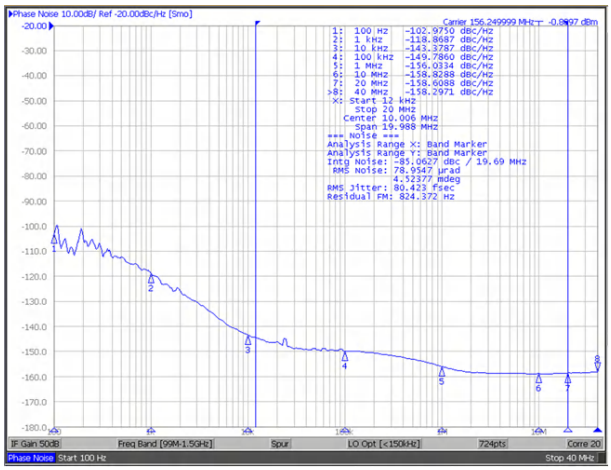



**图 8-3. CDCLVD12xx 输出相位噪声，80 fs rms（12kHz 至 20MHz）**


Copyright © 2026 Texas Instruments Incorporated

# 9 电源相关建议

高性能时钟缓冲器对电源上的噪声很敏感，这会显著增加缓冲器的附加抖动。因此，降低系统电源的噪声至关重要，尤其是当抖动/相位噪声对于应用至关重要时。

滤波电容器用于消除电源的低频噪声，其中旁路电容器为高频噪声提供低阻抗路径，并保护电源系统免受感应波动的影响。这些旁路电容器还提供器件所需的瞬时电流浪涌，并且必须具有低等效串联电阻 (ESR)。为了正确使用旁路电容器，必须将电容器放置在靠近电源引脚的位置，并使用短环路布局来尽可能减小电感。建议添加尽可能多的高频（例如 0.1 μF）旁路电容器，因为封装中有电源引脚。建议但不要求在电路板电源和芯片电源之间插入铁氧体磁珠来隔离时钟驱动器产生的高频开关噪声；这些磁珠可防止开关噪声泄漏到电路板电源中。应选择具有低直流电阻的合适铁氧体磁珠，因为必须在电路板电源和芯片电源之间提供充分的隔离，并且应保持电源引脚上的电压大于正常运行所需的最小电压。

图 9-1 展示了该建议的电源去耦合方法。

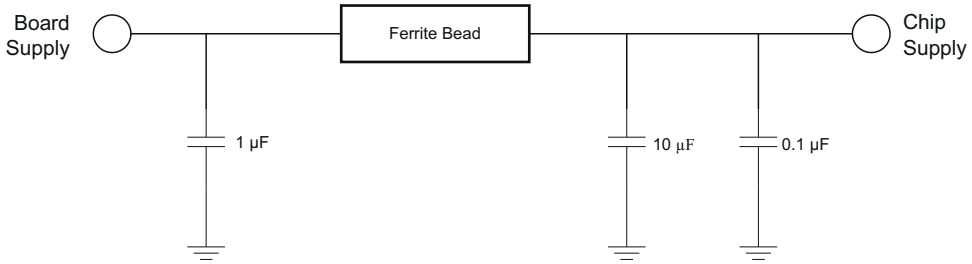



**图 9-1. 电源去耦**

# 10 布局

## 10.1 布局指南

出于可靠性和性能原因，必须将内核温度限制为最高 125°C。

该器件封装具有外露焊盘，为印刷电路板 (PCB) 提供了主要散热路径。为了尽可能提高封装的散热，必须在封装的尺寸内将包括接地层多个过孔的散热焊盘布局合并到 PCB 中。必须将散热焊盘焊接到下方，确保为封装提供充分的热传导。图 10-1 显示了建议的焊盘和过孔布局。

## 10.2 布局示例

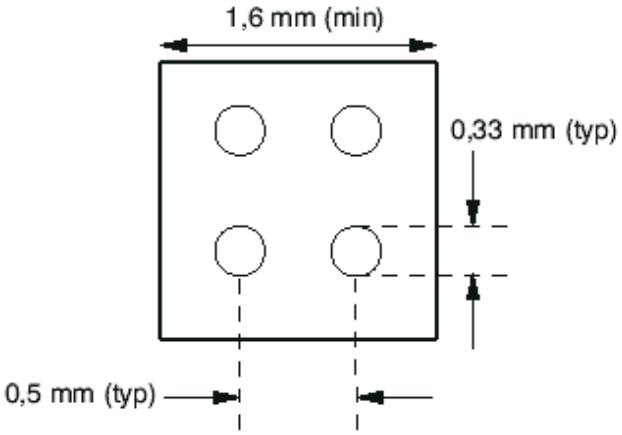



**图 10-1. 建议的 PCB 布局**

## 10.3 散热注意事项

CDCLVD1204 支持印刷电路板 (PCB) 在散热焊盘上测量的高温。系统设计人员必须确保不会超过最高结温。借助 $\Psi_{JB}$，系统设计人员能够用一个细规度热电偶来测量电路板温度，并使用 方程式 1 反算出结温。请注意，$\Psi_{JB}$ 接近 $R_{\theta JB}$，因为器件 75% 至 95% 的热耗散来自 PCB。

$$T_J = T_{PCB} + (\Psi_{JB} \times Power) \quad (1)$$

**示例：**

使用具有四个散热过孔的 4 层 JEDEC 测试板来计算结点引线温度：

$T_{PCB}$ = 105°C

$\Psi_{JB}$ = 19.4°C/W

$Power_{inclTerm} = I_{max} \times V_{max}$ = 80mA × 2.625V = 210mW（包括端接电阻功耗的最大功耗）

$Power_{exclTerm}$ = 202mW（不包括端接电阻器的最大功耗，请参阅 *LVPECL 和 LVDS 的功耗* (SLYT127) 以了解更多详情）

$\Delta T_J = \Psi_{JB} \times Power_{exclTerm}$ = 19.4°C/W × 202mW = 3.92°C

$T_J = \Delta T_J + T_{Chassis}$ = 3.92°C + 105°C = 108.92°C（未超过 125°C 的最大结温）

有关更多信息，请参阅 *半导体和 IC 封装热指标* (SPRA953) 和 *模拟元件热计算工具的使用* (SLUA566)。


Copyright © 2026 Texas Instruments Incorporated

# 11 器件和文档支持

## 11.1 文档支持

### *11.1.1 相关文档*

请参阅以下相关文档：

- *低附加抖动四路 LVDS 输出时钟缓冲器评估板* (SCAU043)
- *LVPECL 和 LVDS 的功耗* (SLYT127)
- *半导体和 IC 封装热指标* (SPRA953)
- *为模拟元件使用热计算工具* (SLUA566)

## 11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 11.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 11.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 11.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 11.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

# 12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision B (October 2016) to Revision C (May 2026) | Page |
|---|---|
| • 更新了整个文档中的表格、图和交叉参考的编号格式 | 1 |

| Changes from Revision A (June 2010) to Revision B (October 2016) | Page |
|---|---|
| • 添加了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及 *机械、封装和可订购信息* 部分 | 1 |

Copyright © 2026 Texas Instruments Incorporated

**Changes from Revision * (May 2010) to Revision A (June 2010)** **Page**

- 将*特性* 列表项从“ESD 防护能力超过 2kV HBM，500V CDM”更改为：“ESD 防护能力超过 3kV HBM，1kV CDM” ..... 1
- 更新了 $V_{AC_REF}$ 引脚说明 ..... 3
- $\Delta V_{OD}$ 值，最小值为 -50，最大值为 50 ..... 5
- $V_{OC(SS)}$ 最小值为 1.125 ..... 5
- $\Delta V_{OC(SS)}$ 值，最小值为 -50，最大值为 50 ..... 5
- $V_{ring}$ 最大值为 20% ..... 5
- $V_{OS}$ 值，典型值为 30，最大值为 100 ..... 5
- $t_{PD}$ 最大值为 2 ..... 5
- $t_{SK,\ PP}$ - 删除了典型值 300 ..... 5
- $t_R/t_F$ 最小值为 200 ..... 5
- $I_{CCSTAT}$ 最大值为 25 ..... 5
- 更新*输入选择表* ..... 10

## 13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。


Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| CDCLVD1204RGTR | Active | Production | VQFN (RGT) \| 16 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 85 | D1204 |
| CDCLVD1204RGTR.A | Active | Production | VQFN (RGT) \| 16 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 85 | D1204 |
| CDCLVD1204RGTT | Active | Production | VQFN (RGT) \| 16 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 85 | D1204 |
| CDCLVD1204RGTT.A | Active | Production | VQFN (RGT) \| 16 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 85 | D1204 |
| CDCLVD1204RGTTG4 | Active | Production | VQFN (RGT) \| 16 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 85 | D1204 |
| CDCLVD1204RGTTG4.A | Active | Production | VQFN (RGT) \| 16 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 85 | D1204 |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

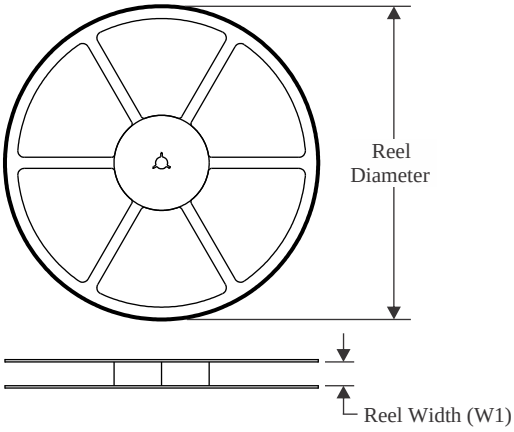
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

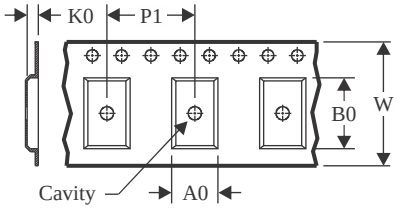
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

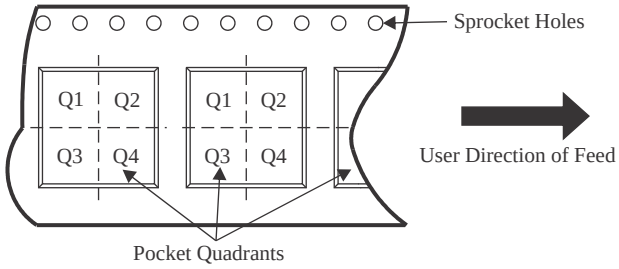



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

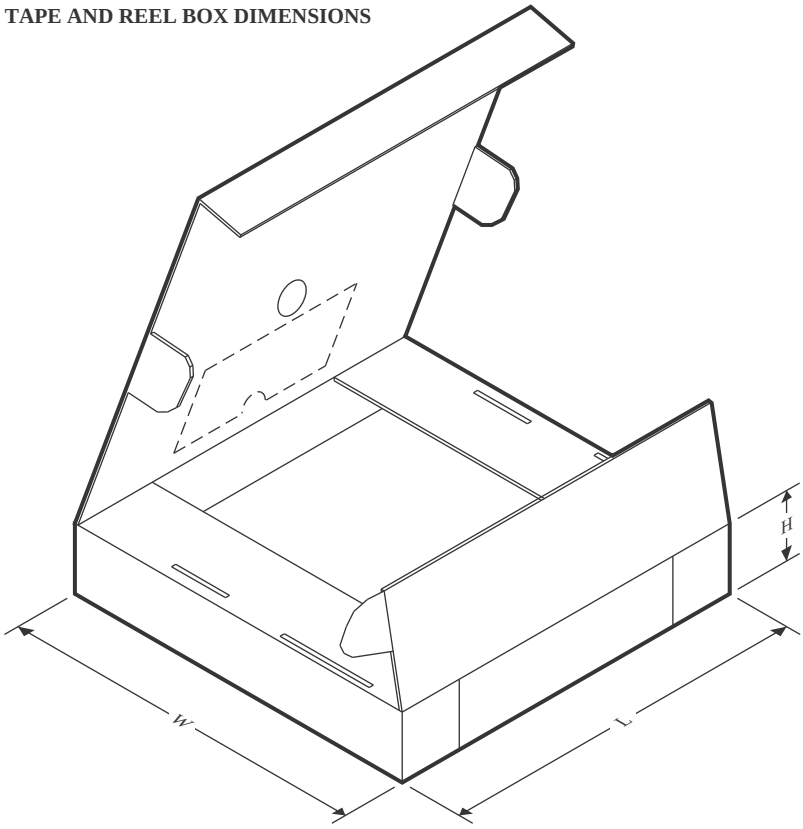
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| CDCLVD1204RGTR | VQFN | RGT | 16 | 3000 | 330.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |
| CDCLVD1204RGTT | VQFN | RGT | 16 | 250 | 180.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |
| CDCLVD1204RGTTG4 | VQFN | RGT | 16 | 250 | 180.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |

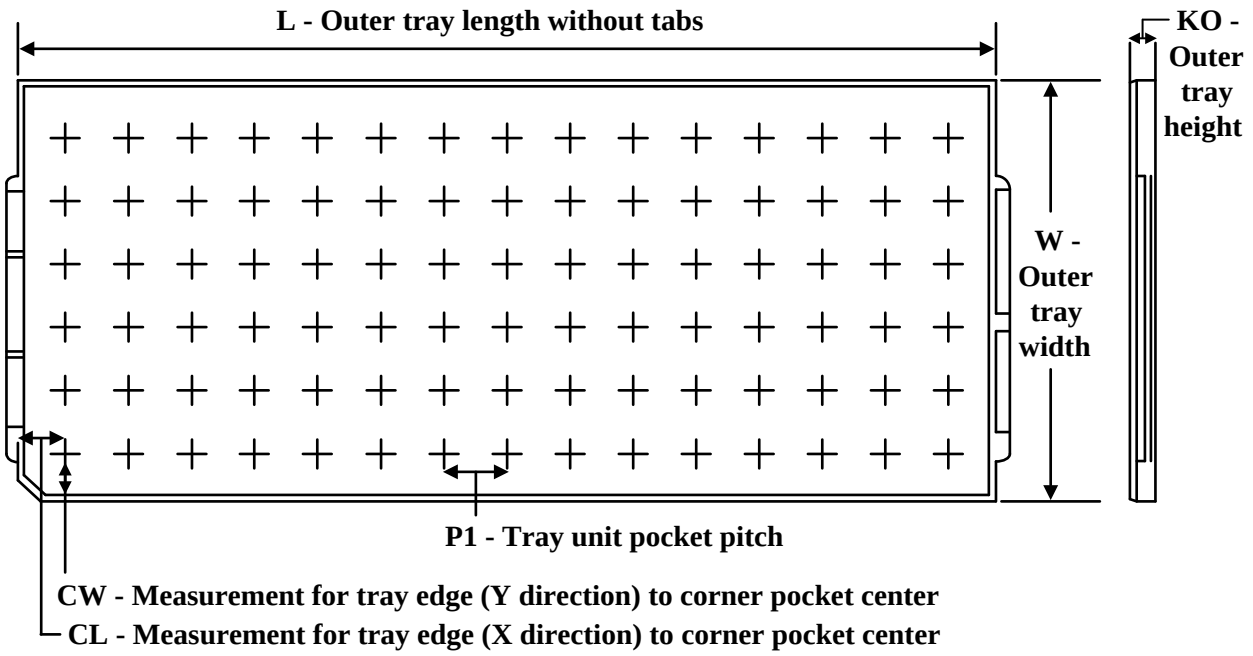
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| CDCLVD1204RGTR | VQFN | RGT | 16 | 3000 | 350.0 | 350.0 | 43.0 |
| CDCLVD1204RGTT | VQFN | RGT | 16 | 250 | 210.0 | 185.0 | 35.0 |
| CDCLVD1204RGTTG4 | VQFN | RGT | 16 | 250 | 210.0 | 185.0 | 35.0 |

## TRAY



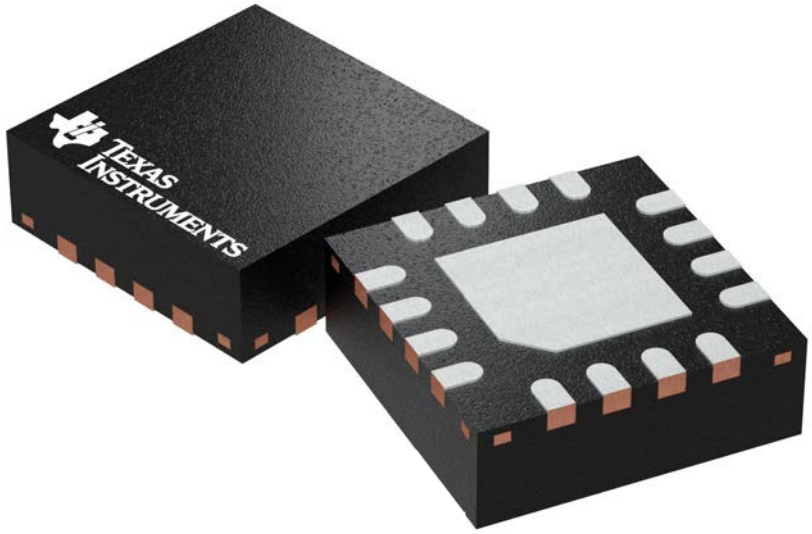

Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | Unit array matrix | Max temperature (°C) | L (mm) | W (mm) | K0 (µm) | P1 (mm) | CL (mm) | CW (mm) |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| CDCLVD1204RGTR | RGT | VQFN | 16 | 3000 | 35 X 14 | 150 | 315 | 135.9 | 7620 | 8.8 | 7.9 | 8.15 |
| CDCLVD1204RGTR.A | RGT | VQFN | 16 | 3000 | 35 X 14 | 150 | 315 | 135.9 | 7620 | 8.8 | 7.9 | 8.15 |
| CDCLVD1204RGTT | RGT | VQFN | 16 | 250 | 35 X 14 | 150 | 315 | 135.9 | 7620 | 8.8 | 7.9 | 8.15 |
| CDCLVD1204RGTT.A | RGT | VQFN | 16 | 250 | 35 X 14 | 150 | 315 | 135.9 | 7620 | 8.8 | 7.9 | 8.15 |

# RGT 16 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



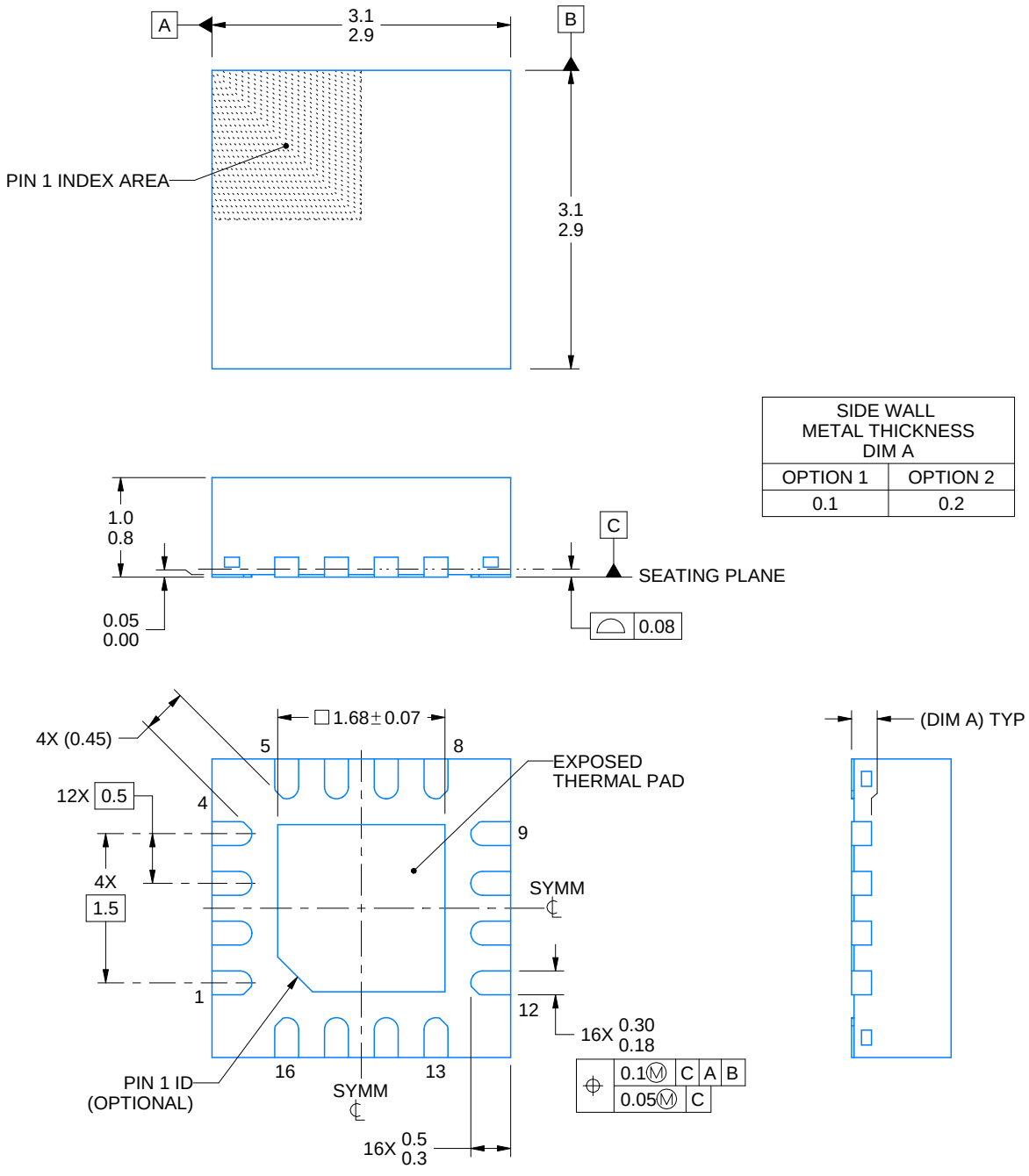

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

# PACKAGE OUTLINE

## RGT0016C

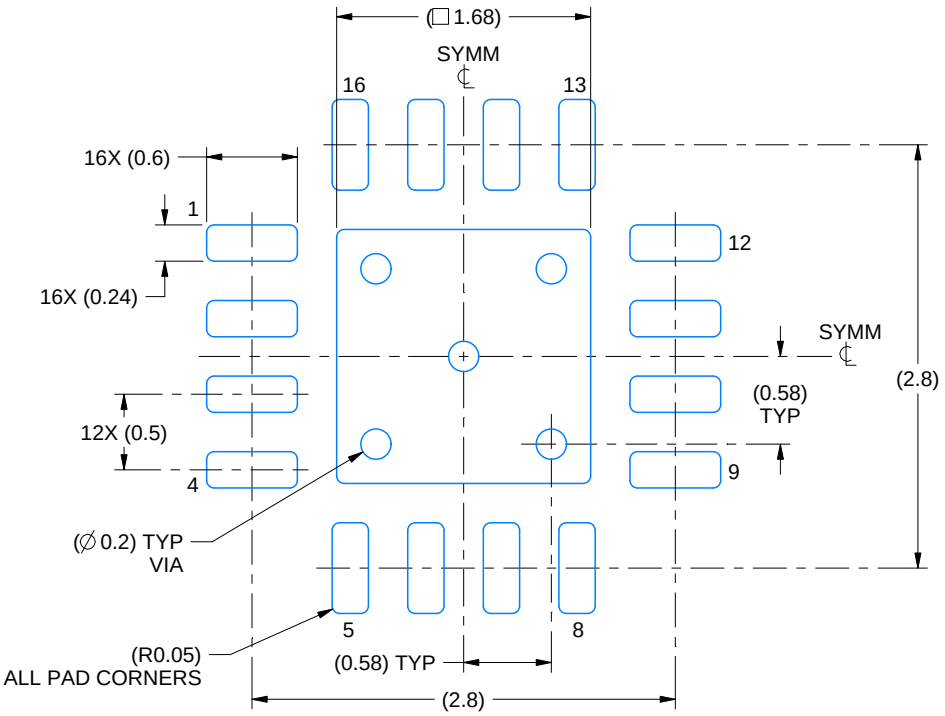
## VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

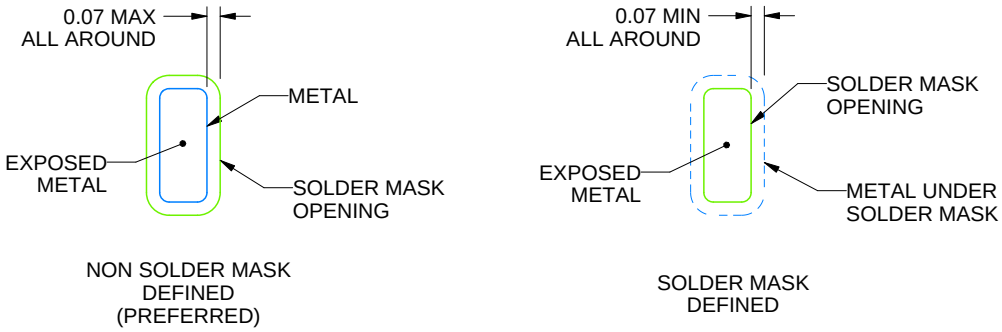



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

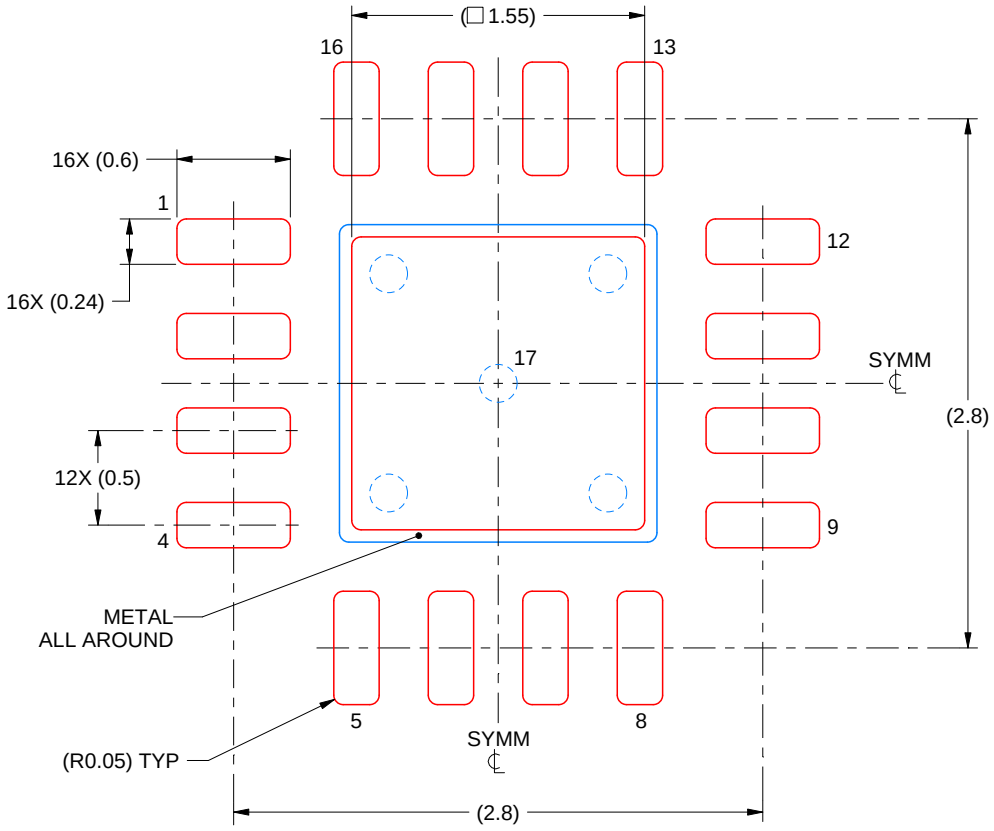



SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月