

CD74HC4094-Q1 汽车级三态高速 CMOS 逻辑 8 级移位和存储总线寄存器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 器件温度等级 1：-40°C 至 +125°C
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 缓冲输入
- 与正负时钟边沿同步以实现级联的独立串行输出
- 平衡的传播延迟及转换时间
- 与 LSTTL 逻辑 IC 相比，可显著降低功耗

2 应用

- 增加微控制器上的输出数
- 临时存储多达 8 位数据

3 说明

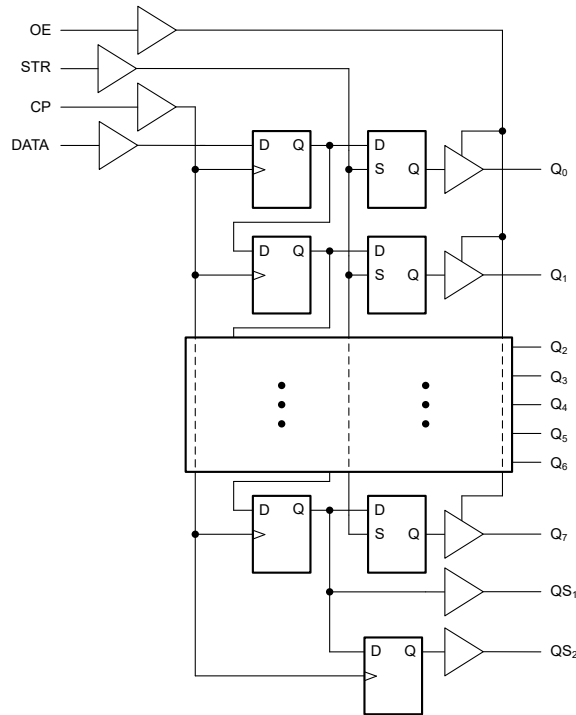
CD74HC4094-Q1 包含 8 级串行移位寄存器，具有一个与每一级关联的锁存器，可将数据从串行输入选通到并行缓冲三态输出。可将并行输出直接连接到公共总线。数据在正时钟切换时发生移位。当选通输入为高电平时，每个移位寄存器级的数据将传输到存储寄存器。当输出使能信号为高电平时，存储寄存器中的数据会传输到输出端。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
CD74HC4094-Q1	PW (TSSOP , 16)	5.00mm × 4.40mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。

(2) 封装尺寸 (长 × 宽) 为标称值，不包括引脚。



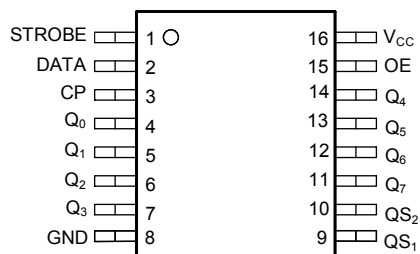
功能方框图



内容

1 特性	1	7.3 功能方框图	12
2 应用	1	7.4 器件功能模式	12
3 说明	1	8 应用和实施	13
4 引脚配置和功能	3	8.1 应用信息	13
5 规格	4	8.2 典型应用	13
5.1 绝对最大额定值.....	4	8.3 电源相关建议	14
5.2 ESD 等级.....	4	8.4 布局	14
5.3 建议运行条件.....	4	9 器件和文档支持	16
5.4 热性能信息.....	5	9.1 文档支持	16
5.5 电气特性.....	5	9.2 接收文档更新通知	16
5.6 计时特点.....	5	9.3 支持资源	16
5.7 开关特性.....	6	9.4 商标	16
6 参数测量信息	8	9.5 静电放电警告	16
7 详细说明	10	9.6 术语表	16
7.1 概述.....	10	10 修订历史记录	16
7.2 特性说明.....	10	11 机械、封装和可订购信息	16

4 引脚配置和功能



PW 封装；
 16 引脚 TSSOP
 顶视图

引脚		类型 ⁽¹⁾	说明
名称	编号		
选通	1	I	选通输入
数据	2	I	串行数据输入
CP	3	I	时钟输入
Q ₀	4	O	输出 0
Q ₁	5	O	输出 1
Q ₂	6	O	输出 2
Q ₃	7	O	输出 3
GND	8	G	接地
QS ₁	9	O	串行数据输出 1，上升沿同步
QS ₂	10	O	串行数据输出 2，下降沿同步
Q ₇	11	O	输出 7
Q ₆	12	O	输出 6
Q ₅	13	O	输出 5
Q ₄	14	O	输出 4
OE	15	I	输出使能，高电平有效
V _{CC}	16	P	正电源

(1) I = 输入，O = 输出，P = 电源，G = 接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
V _{CC}	电源电压		-0.5	7	V
I _{IK}	输入钳位二极管电流 ⁽²⁾	V _I < -0.5 或 V _I > V _{CC} + 0.5V		±20	mA
I _{OK}	输出钳位二极管电流 ⁽²⁾	V _O < -0.5 或 V _O > V _{CC} + 0.5V		±20	mA
I _O	持续输出电流	V _O = 0 至 V _{CC}		±35	mA
I _{CC}	通过 V _{CC} 或 GND 的持续输出电流			±70	mA
T _J	结温			150	°C
T _{stg}	贮存温度		-65	150	°C
	最高引脚温度 (焊接 10s) (SOIC - 仅限引脚尖端)			300	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值, 则可能会超过输入和输出电压额定值。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 HBM ESD 分类等级 2 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4B	±1000	

- (1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
V _{CC}	电源电压		2		6	V
V _{IH}	高电平输入电压	V _{CC} = 2V	1.5			V
		V _{CC} = 4.5V	3.15			
		V _{CC} = 6V	4.2			
V _{IL}	低电平输入电压	V _{CC} = 2V			0.5	V
		V _{CC} = 4.5V			1.35	
		V _{CC} = 6V			1.8	
V _I	输入电压		0		V _{CC}	V
V _O	输出电压		0		V _{CC}	V
Δt / Δv	输入转换上升或下降速率	V _{CC} = 2V			500	ns/V
		V _{CC} = 4.5V			111	
		V _{CC} = 6V			67	
T _A	环境温度		-40		125	°C

5.4 热性能信息

封装	引脚	热指标 ⁽¹⁾						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	16	141.2	78.8	85.8	27.7	85.5	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内； $T_A = 25^{\circ}\text{C}$ 时测得的典型额定值（除非另有说明）。

参数		测试条件		V_{CC}	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$V_I = V_{IH}$ 或 V_{IL}	$I_{OH} = -20\mu\text{A}$	2V	1.9	1.99		V
				4.5V	4.4	4.49		V
				6V	5.9	5.99		V
			$I_{OH} = -6\text{mA}$, $V_{CC} = 4.5\text{V}$	4.5V	3.84			V
			$I_{OH} = -7.8\text{mA}$, $V_{CC} = 6\text{V}$	6V	5.34			V
V_{OL}	低电平输出电压	$V_I = V_{IH}$ 或 V_{IL}	$I_{OL} = 20\mu\text{A}$	2V		0.02	0.1	V
				4.5V		0.01	0.1	V
				6V		0.01	0.1	V
			$I_{OL} = 6\text{mA}$	4.5V			0.33	V
			$I_{OL} = 7.8\text{mA}$	6V			0.33	V
I_I	输入漏电流	$V_I = V_{CC}$ 或 0		6V			± 0.1	μA
I_{OZ}	关闭状态（高阻抗状态）输出电流	$V_O = V_{CC}$ 或 0, Q_A-Q_H		6V			± 1	μA
I_{CC}	电源电流	$V_I = V_{CC}$ 或 0, $I_O = 0$		6V			5	μA
C_i	输入电容			2V 至 6V		2		pF
C_O	输出电容			2V 至 6V		2		pF
C_{pd}	功率耗散电容	无负载		2V 至 6V		69		pF

5.6 计时特点

在自然通风条件下的工作温度范围内（除非另有说明）， $C_L = 50\text{pF}$

参数			V_{CC}	最小值	最大值	单位
t_w	脉冲持续时间	CP	2V	14		ns
			4.5V	10		
			6V	6		
		STR	2V	14		
			4.5V	10		
			6V	6		
t_{su}	建立时间	CLK ↑ 之前的 DATA	2V	14		ns
			4.5V	10		
			6V	6		
		CLK ↑ 之前的 STROBE	2V	14		
			4.5V	10		
			6V	6		

5.6 计时特点（续）

在自然通风条件下的工作温度范围内（除非另有说明）， $C_L = 50\text{pF}$

参数			V _{CC}	最小值	最大值	单位
t _h	保持时间	CLK ↑ 之后的 DATA	2V	0	ns	
			4.5V	0		
			6V	0		
		CLK ↑ 之后的 STROBE	2V	0		
			4.5V	0		
			6V	0		

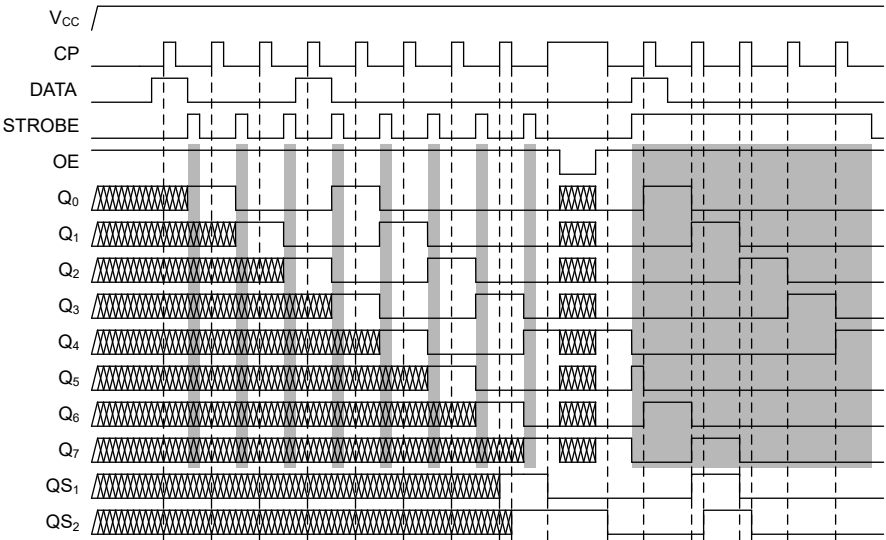


图 5-1. 时序图

5.7 开关特性

在自然通风条件下的工作温度范围内（除非另有说明）， $C_L = 50\text{pF}$

参数		从（输入）	至（输出）	V_{CC}	温度	最小值	典型值	最大值	单位
f_{max}	最大开关频率	CP		2V		35	41		MHz
				4.5V		50	69		
				6V		81	83		
t_{pd}	传播延迟	CP	QS ₁	2V				34	ns
				4.5V				19	
				6V				15	
			QS ₂	2V				39	
				4.5V				25	
				6V				16	
			Q _N	2V				59	
				4.5V				28	
				6V				22	
		选通	Q _N	2V				38	
				4.5V				17	
				6V				14	

5.7 开关特性 (续)

在自然通风条件下的工作温度范围内 (除非另有说明) , $C_L = 50\text{pF}$

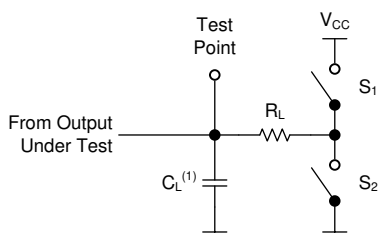
参数		从 (输入)	至 (输出)	V_{CC}	温度	最小值	典型值	最大值	单位
t_{en}	启用时间	OE	Q_N	2V				39	ns
				4.5V				20	
				6V				16	
t_{dis}	禁用时间	OE	Q_N	2V				29	ns
				4.5V				21	
				6V				14	
t_t	转换时间		任意输出	2V				75	ns
				4.5V				15	
				6V				13	

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f < 2.5\text{ns}$ 。

对于时钟输入， f_{max} 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路

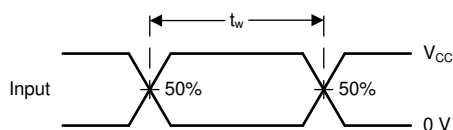
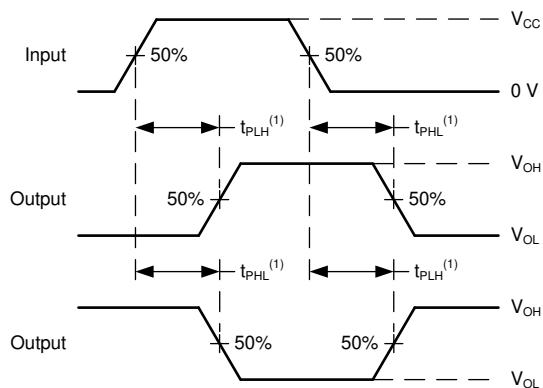
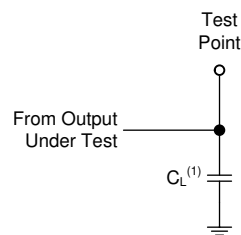


图 6-3. 电压波形，脉冲持续时间



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-5. 电压波形传播延迟



(1) C_L 包括探头和测试夹具电容。

图 6-2. 推挽输出的负载电路

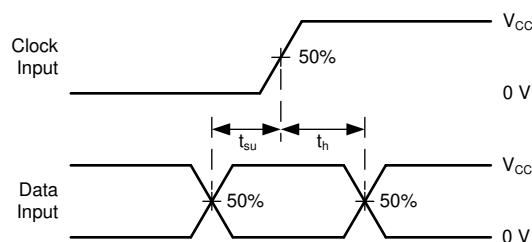


图 6-4. 电压波形，设置和保持时间

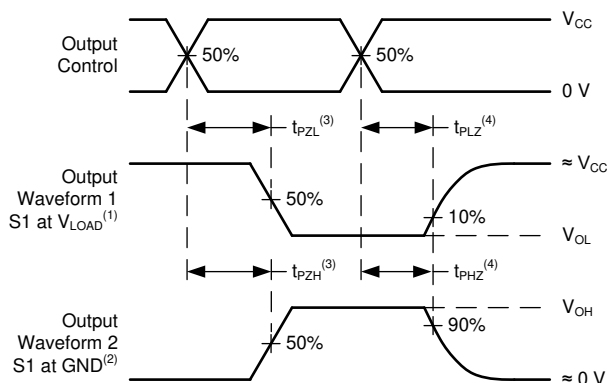
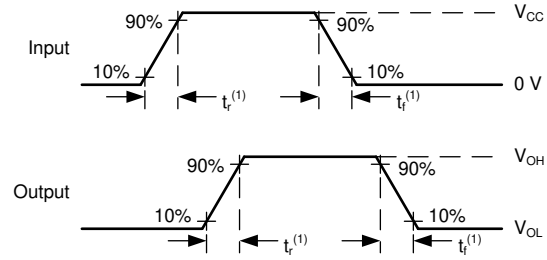


图 6-6. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-7. 电压波形，输入和输出转换时间

7 详细说明

7.1 概述

CD74HC4094-Q1 包含 8 级串行移位寄存器，具有一个与每一级关联的锁存器，可将数据从串行输入选通到并行缓冲三态输出。可将并行输出直接连接到公共总线。数据在正时钟切换时发生移位。当选通输入为高电平时，每个移位寄存器级的数据将传输到存储寄存器。当输出使能信号为高电平时，存储寄存器中的数据会传输到输出端。

两个串行输出可用于级联多个器件。数据在 QS_1 串行输出端子的正时钟边沿提供，可在时钟上升时间较快的级联系统中实现高速运行。 QS_2 端子的下一个负时钟边沿提供相同的串行信息，从而提供一种在时钟上升时间较慢时级联这些器件的方法。

7.2 特性说明

7.2.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此必须考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

7.2.2 平衡 CMOS 三态输出

该器件包括平衡 CMOS 三态输出：驱动高电平、驱动低电平和高阻抗。术语 *平衡* 表示器件可以灌入和拉出相似的电流。该器件的驱动能力可在轻负载情况下产生快速边沿，因此在布线和负载设计时应注意防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，器件不会控制输出电压。输出电流取决于外部因素。悬空节点是未连接其他驱动器且电压未知的节点。上拉或下拉电阻器可以连接到输出端，以便当器件处于高阻抗状态时在输出端提供已知电压。电阻值取决于多种因素，包括寄生电容和功耗限制。通常，10k Ω 电阻即可满足这些要求。

未使用的三态 CMOS 输出应保持断开。

7.2.3 锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。

当器件上电时，每个锁存器的状态是未知的。每个锁存器在启动时都没有默认状态。

只要在 *建议运行条件* 表中规定的电源电压范围内为器件供电，每个锁存逻辑电路的输出状态就会保持稳定。

7.2.4 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范会导致功耗过大并可能导致振荡。更多详细信息请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。在 V_{CC} 或 GND 处端接未使用的输入。如果系统并非一直驱动输入，请考虑添加上拉或下拉电阻器，以提供有效的输入电压。电阻值取决于多种因素；但建议使用 10k Ω 电阻器，这通常可以满足所有要求。

7.2.5 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 7-1 所示。

小心

电压超出绝对最大额定值表中规定的值可能会损坏器件。如果遵守输入和输出钳位电流额定值，则可能会超过输入和输出电压额定值。

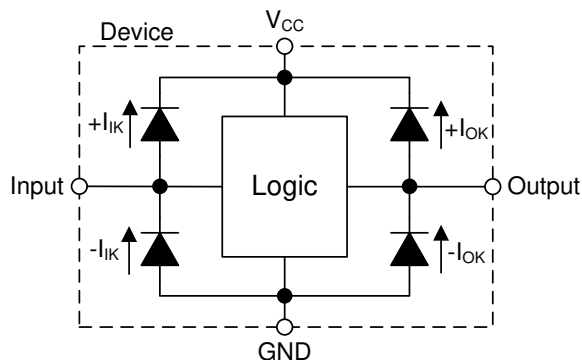


图 7-1. 每个输入和输出的钳位二极管的电气布置

7.2.6 正钳位二极管

CD74HC4094-Q1 包含带有正钳位二极管的输入端。正钳位二极管可防止输入电压达到对器件危险的水平，只要输入钳位电流 (I_{IK}) 不超过绝对最大额定值中给出的最大值，就会将输入电压 (V_A) 保持在约 $V_{CC} + 0.5V$ 。

当输入电压 (V_A) 超过电源电压 (V_S) 时，由于二极管正向偏置，输入端可能吸取较大电流，必须通过外部限制来避免损坏器件。此外，输入钳位电流 I_{IK} 可能比 I_{CC} 大几个数量级，导致电流回流至电源（与正常工作方向相反），系统设计人员必须对此加以考虑，如图 7-2 所示。

可以使用电阻器 (R) 来防止输入端出现过大的电流，如图 7-2 所示。电阻值可通过 $R \geq (V_{IN} - V_A)/I_{IK(max)}$ 确定，其中 $V_A \approx V_S + 0.5V$ 。系统级输入电压 (V_{IN}) 可能超过电源电压 (V_S)，因为钳位二极管将器件输入电压 (V_A) 保持在约 $V_S + 0.5V$ 。

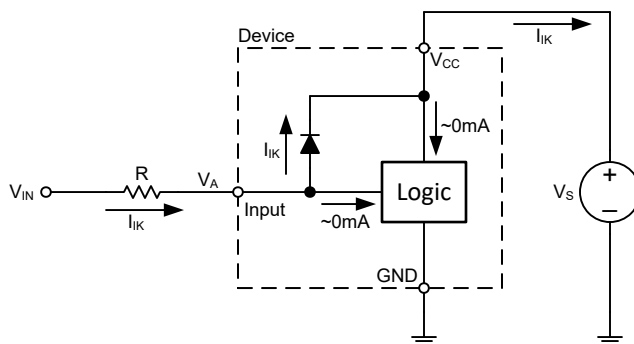
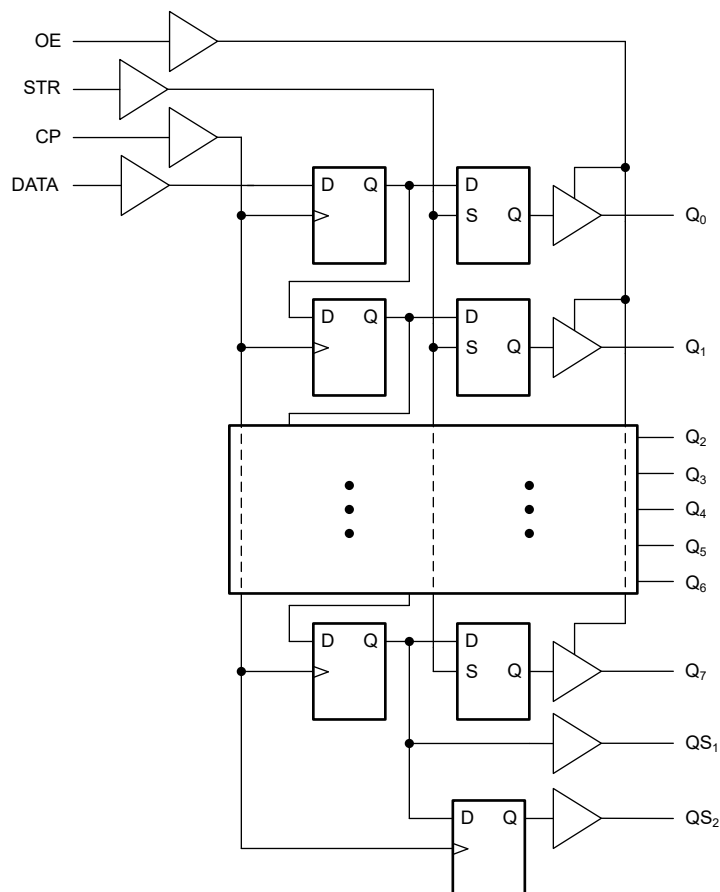


图 7-2. 使用电阻器限制输入电流的示例

7.3 功能方框图



7.4 器件功能模式

表 7-1. 真值表

输入 ⁽¹⁾				并行输出		串行输出	
CP	OE	选通	DATA	Q ₀	Q _n	QS ₁ ⁽²⁾	QS ₂
↑	L	X	X	Z	Z	Q ₆	NC
↓	L	X	X	Z	Z	NC	Q ₇
↑	H	L	X	NC	NC	Q ₆	NC
↑	H	H	L	L	Q _{n-1}	Q ₆	NC
↑	H	H	H	H	Q _{n-1}	Q ₆	NC
↓	H	H	H	NC	NC	NC	Q ₇

(1) H = 高电平, L = 低电平, X = 不用考虑, NC = 无变化, Z = 高阻抗, $\uparrow$ = 从低电平切换到高电平, $\downarrow$ = 从高电平切换到低电平。

(2) 在正时钟边沿，第七寄存器级中的信息传输到第八寄存器级和 QS_1 输出。

8 应用和实施

8.1 应用信息

CD74HC4094-Q1 可用于在较长布线或传输线中驱动信号。可以使用与发送器输出串联的串联阻尼电阻器来减少由于驱动器、传输线和接收器之间阻抗不匹配引起的振铃。*应用曲线* 部分的图展示了使用三种不同电阻值接收到的信号。在这种类型的应用中，只需少量电阻就会对信号完整性产生显著影响。

8.2 典型应用

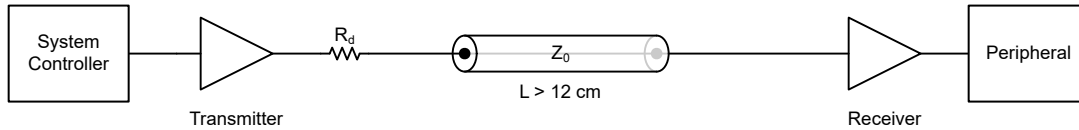


图 8-1. 典型应用框图

8.2.1 设计要求

8.2.1.1 电源注意事项

验证所需电源电压在 *电气特性* 中规定的范围内。电源电压按照 *电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 CD74HC4094-Q1 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。验证不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 CD74HC4094-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入接地连接可灌入的大小相同的电流。验证不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

CD74HC4094-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但是，TI 建议在输出端和电容器之间添加一个串联电阻器，以防止电流过大。

CD74HC4094-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 应用手册中提供的信息进行计算。

可以使用 *标准线性逻辑 (SLL) 封装和器件的热特性* 应用手册中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 CD74HC4094-Q1 的漏电流 (如 *电气特性* 中所规定) 以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10k Ω 的电阻值。

CD74HC4094-Q1 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如 *电气特性* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅 *特性描述*。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据 *电气特性* 中 V_{OH} 规格所示，从输出端汲取电流会降低输出电压。接地电压用于产生低电平输出电压。根据 *电气特性* 中 V_{OL} 规格所示，向输出端灌入电流会提高输出电压。

可能处于相反状态的推挽输出绝不能直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅 *特性说明* 部分。

8.2.1.4 应用曲线

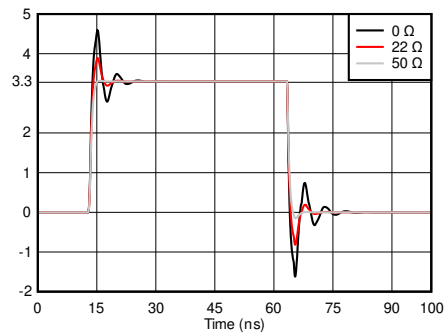


图 8-2. 使用不同阻尼电阻器 (R_d) 值的接收器模拟信号完整性

8.3 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。

建议为该器件使用 $0.1 \mu F$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1 \mu F$ 和 $1 \mu F$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 并行布线之间必须至少间隔 3 倍电介质厚度
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

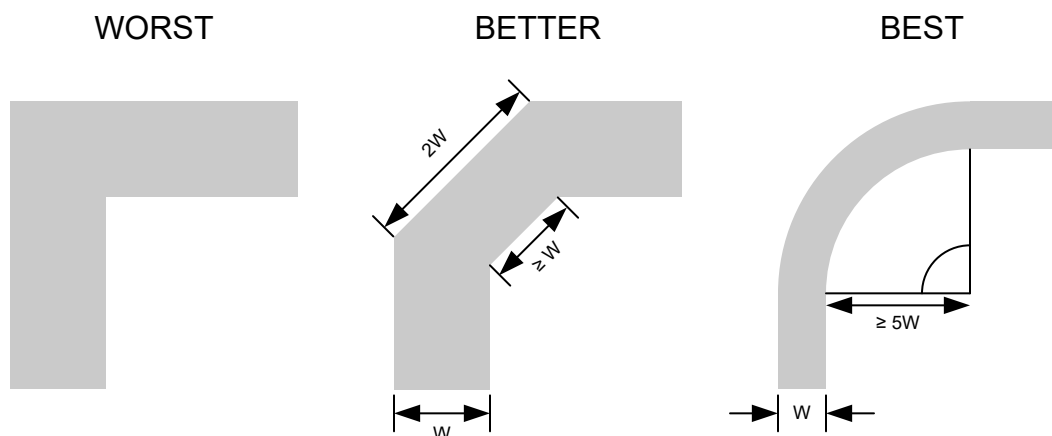


图 8-3. 可改善信号完整性的布线转角示例

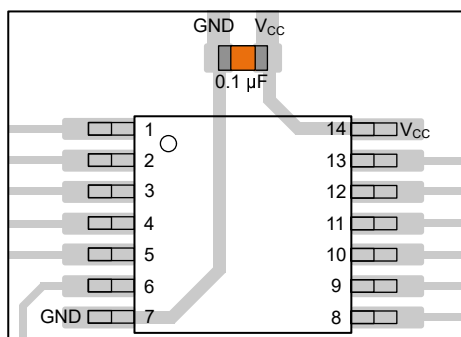


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

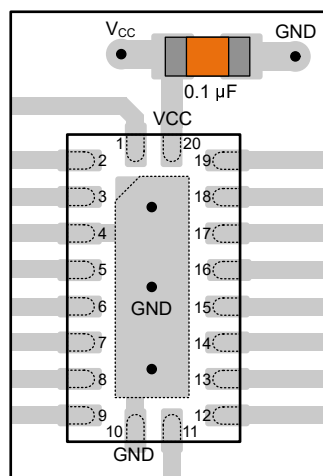


图 8-5. WQFN 和类似封装的旁路电容器放置示例

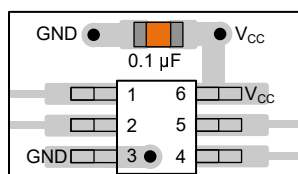


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

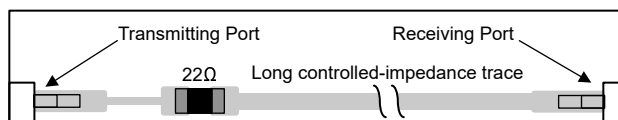


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

- 德州仪器 (TI), [CMOS 功耗与 \$C_{pd}\$ 计算应用手册](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性应用手册](#)
- 德州仪器 (TI), [半导体和 IC 封装热指标 应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ [中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
August 2026	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4094PWRQ1	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	HJ4094Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD74HC4094-Q1 :

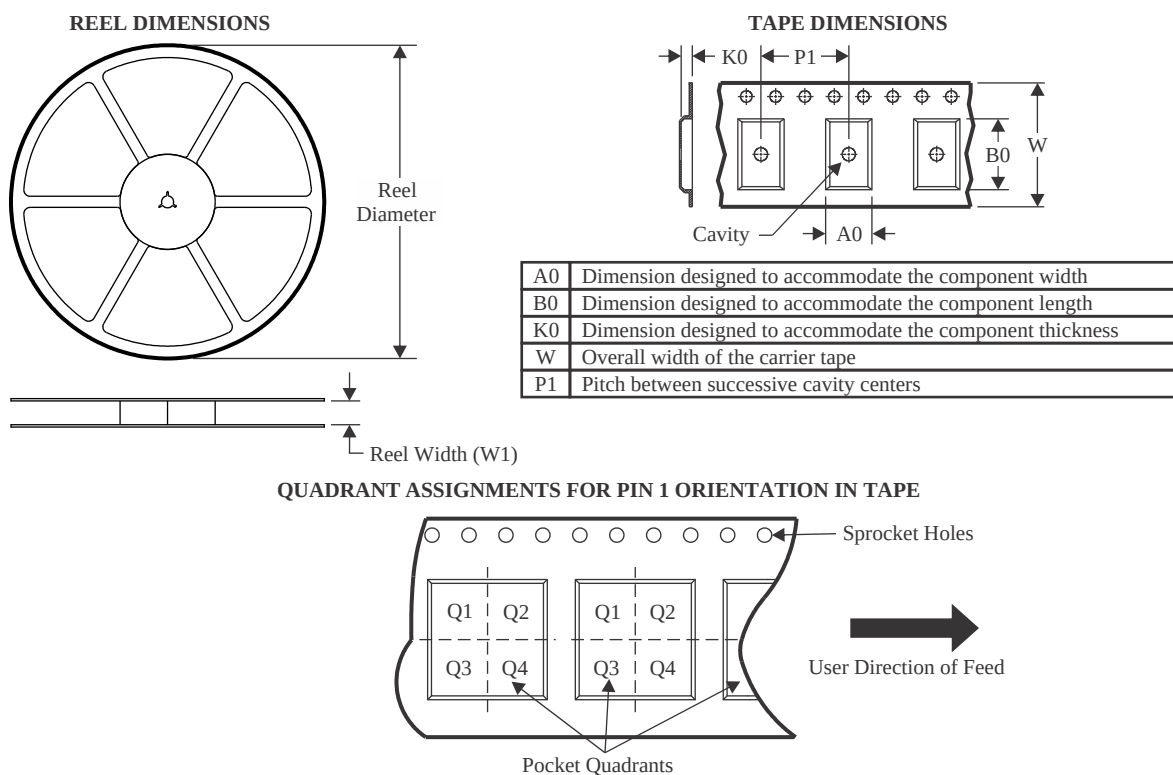
● Catalog : [CD74HC4094](#)

● Military : [CD54HC4094](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

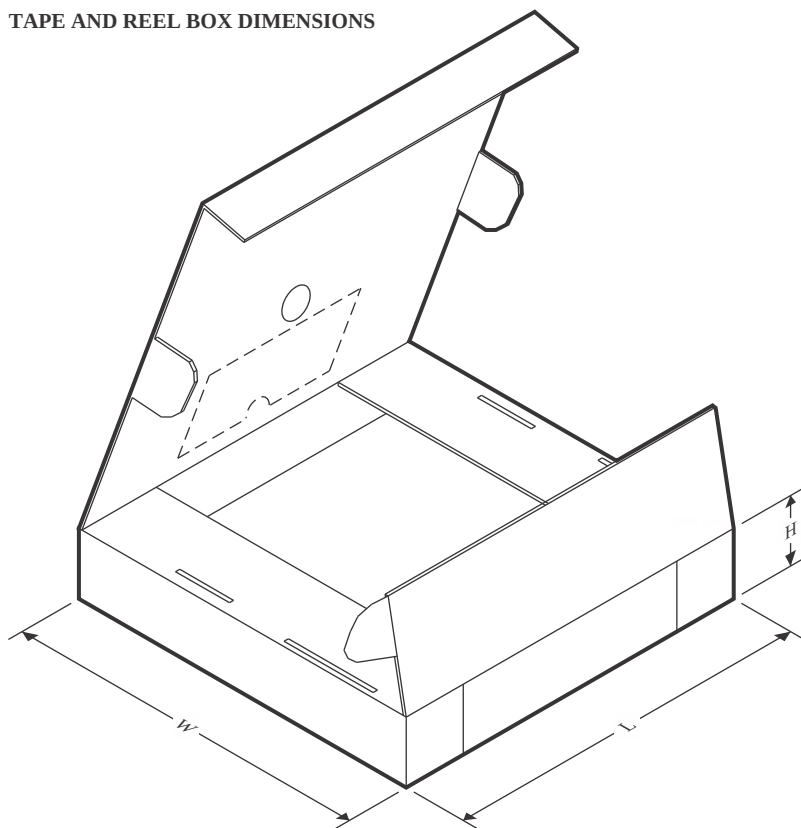
TAPE AND REEL INFORMATION



*All dimensions are nominal

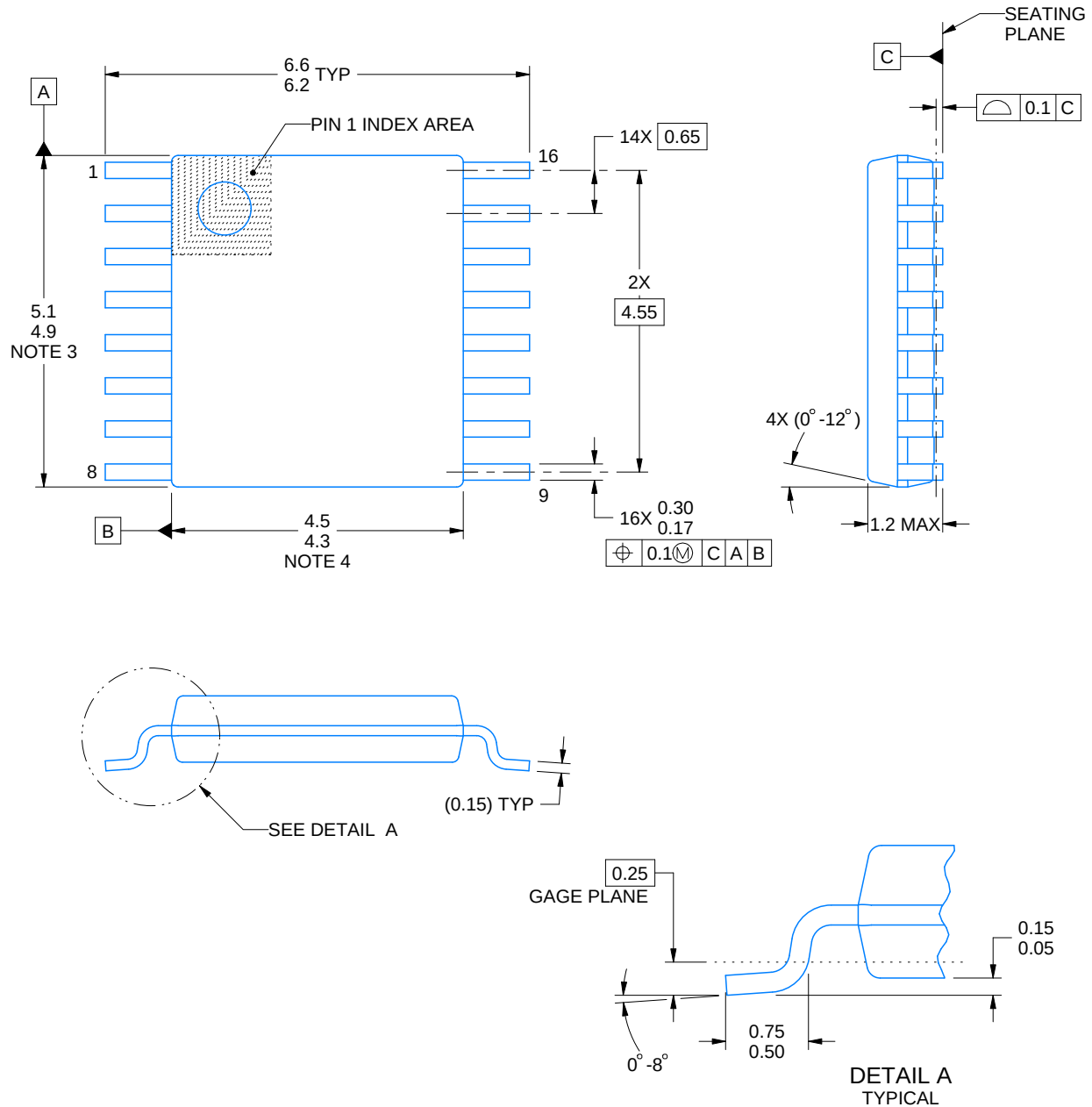
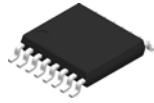
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4094PWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4094PWRQ1	TSSOP	PW	16	2000	353.0	353.0	32.0



4220204/B 12/2023

NOTES:

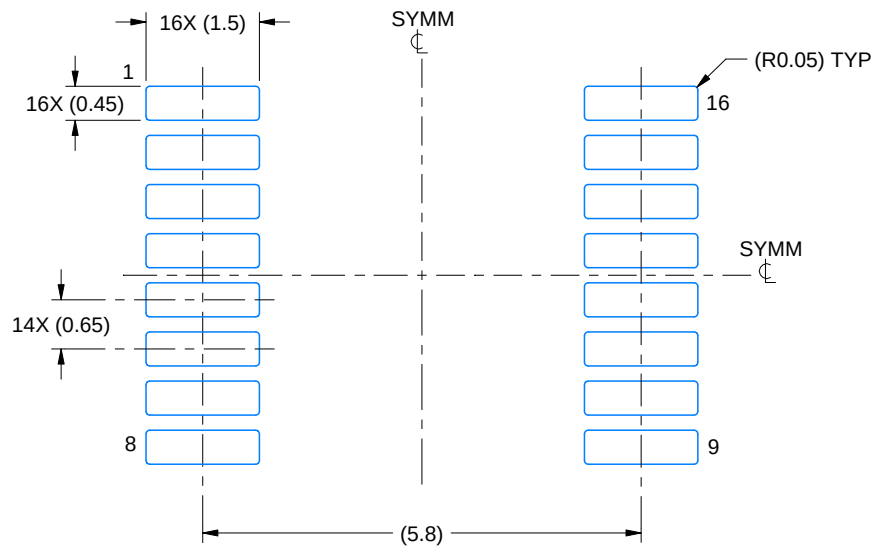
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

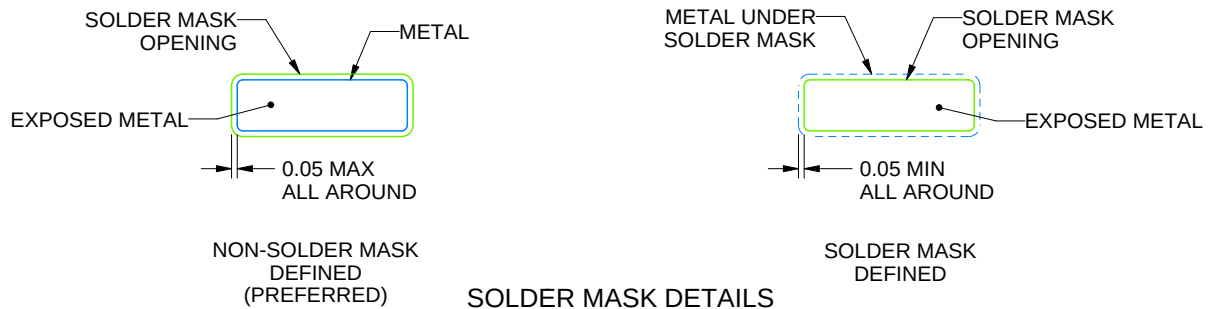
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

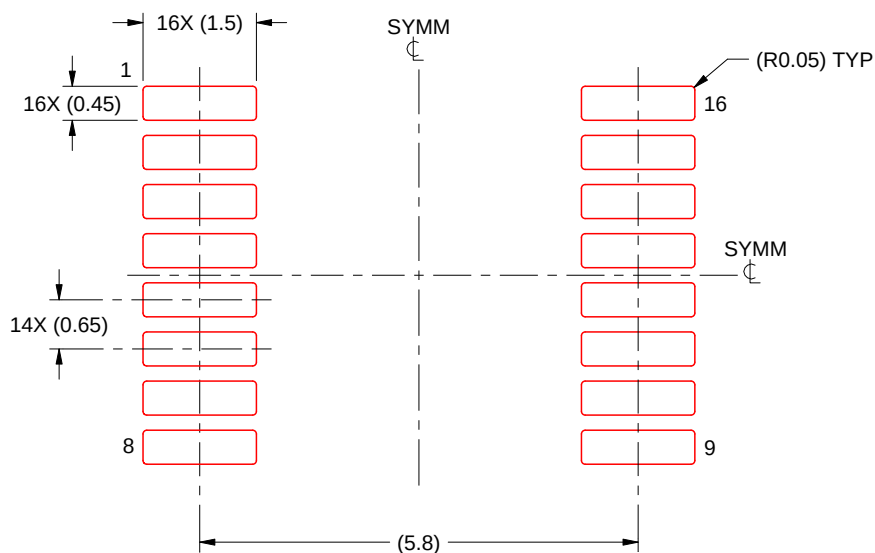
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月