CDx4ACT151 8 线至 1 线数据选择器/多路复用器

1 特性

- 输入兼容 TTL 电压
- 8:1 线多路复用器可作为以下器件运行：
  - 布尔函数发生器
  - 并行转串行转换器
  - 数据选择器
- 双极 F、AS 和 S 的速度，同时功耗显著降低
- 平衡传播延迟
- ±24mA 输出驱动电流
  - 扇出至 15 个 F 器件
- 防 SCR 闩锁 CMOS 工艺和电路设计
- ESD 保护超过 2kV（根据 MIL-STD-883 方法 3015）

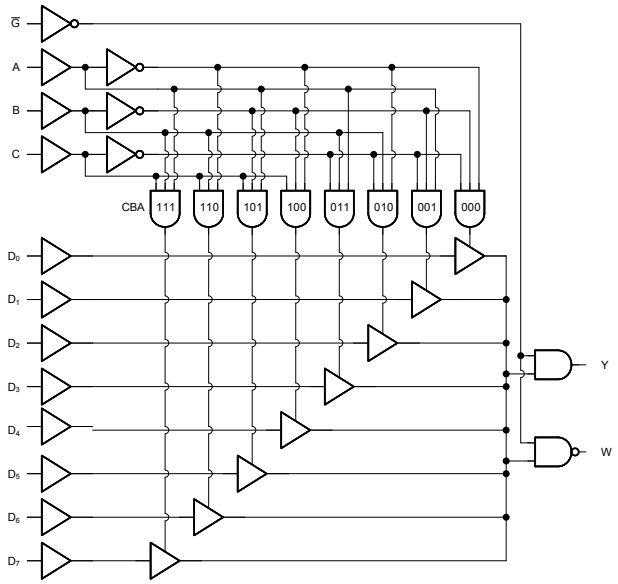
2 说明

这些数据选择器/多路复用器支持完整二进制解码，可从八个数据源中选择其中一个。选通 ($\overline{G}$) 输入必须设为逻辑低电平，才能启用输入。将选通端子设为高电平，会强制 W 输出端输出高电平，Y 输出端输出低电平。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
CDx4ACT151	D（SOIC，16）	8.65mm × 6mm	8.65mm × 3.9mm
	J（CDIP，16）	19.55mm × 7.9mm	19.55mm × 6.7mm
	PW（TSSOP，16）	5mm × 6.4mm	5mm × 4.4mm
	BQB（WQFN，16）	3.5mm × 2.5mm	3.5mm × 2.5mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 ESD 等级.....4
4.3 建议运行条件.....4
4.4 热性能信息.....4
4.5 电气特性.....5
4.6 开关特性.....5
4.7 工作特性.....6
5 参数测量信息.....7
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
6.3 特性说明.....10
6.4 器件功能模式.....11
7 应用和实施.....12
7.1 应用信息.....12
7.2 典型应用.....12
7.3 电源相关建议.....16
7.4 布局.....16
8 器件和文档支持.....18
8.1 文档支持.....18
8.2 接收文档更新通知.....18
8.3 支持资源.....18
8.4 商标.....18
8.5 静电放电警告.....18
8.6 术语表.....18
9 修订历史记录.....18
10 机械、封装和可订购信息.....19

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能

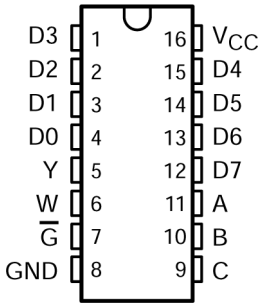


图 3-1. CD54ACT151 J 封装；CD74ACT151 J、D 或 PW 封装；16 引脚 CDIP、SOIC 或 TSSOP（顶视图）

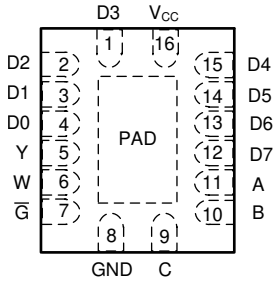


图 3-2. CD74ACT151 BQB 封装，16 引脚 WQFN（透明顶视图）

引脚功能

引脚		I/O[1]	说明
编号	名称		
1	D3	I	数据输入 3
2	D2	I	数据输入 2
3	D1	I	数据输入 1
4	D0	I	数据输入 0
5	Y	O	数据输出
6	W	O	数据输出，反相
7	$\overline{G}$	I	输出选通，低电平有效
8	GND	—	接地
9	C	I	地址选择 C
10	B	I	地址选择 B
11	A	I	地址选择 A
12	D7	I	数据输入 7
13	D6	I	数据输入 6
14	D5	I	数据输入 5
15	D4	I	数据输入 4
16	V_{CC}	—	正电源
散热焊盘[2]		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源
(2) 仅限 BQB 封装

Copyright © 2025 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	6	V
I_{IK} (2)	输入钳位电流	(V_I < 0V 或 V_I > V_{CC})		±20	mA
I_{OK} (2)	输出钳位电流	(V_O < 0V 或 V_O > V_{CC})		±50	mA
I_O	持续输出电流	(V_O > 0V 或 V_O < V_{CC})		±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_{stg}	贮存温度范围		-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施，则可以在低于 500V HBM 时进行生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

		T_A = 25°C		-55°C 至 125°C		-40°C 至 85°C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
V_{CC}	电源电压	4.5	5.5	4.5	5.5	4.5	5.5	V
V_{IH}	高电平输入电压	2		2		2		V
V_{IL}	低电平输入电压		0.8		0.8		0.8	V
V_I	输入电压	0	V_{CC}	0	V_{CC}	0	V_{CC}	V
V_O	输出电压	0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流		-24		-24		-24	mA
I_{OL}	低电平输出电流		24		24		24	mA
$\Delta t/\Delta v$	输入转换上升或下降速率		10		10		10	ns/V

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*，文献编号 SCBA004。

4.4 热性能信息

热指标(1)		CD74ACT151			单位
		D (SOIC)	BQB (WQFN)	PW (TSSOP)	
		16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	119.9	98.6	139.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2025 Texas Instruments Incorporated

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V_{CC}	T_A = 25°C		-55°C 至 125°C		-40°C 至 85°C		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	V_I = V_{IH} 或 V_{IL}	I_{OH} = -50μA	4.5V	4.4		4.4		4.4		V
		I_{OH} = -24mA	4.5V	3.94		3.7		3.8		
		I_{OH} = -50mA(1)	5.5V			3.85				
		I_{OH} = -75mA(1)	5.5V					3.85		
V_{OL}	V_I = V_{IH} 或 V_{IL}	I_{OL} = 50μA	4.5V		0.1		0.1		0.1	V
		I_{OL} = 24mA	4.5V		0.36		0.5		0.44	
		I_{OL} = 50mA (1)	5.5V				1.65			
		I_{OL} = 75mA (1)	5.5V						1.65	
I_I	V_I = V_{CC} 或 GND		5.5V		±0.1		±1		±1	μA
I_{CC}	V_I = V_{CC} 或 GND，	I_O = 0	5.5V		8		160		80	μA
ΔI_{CC} (2)	V_I = V_{CC} - 2.1V		4.5V 至 5.5V		2.4		3		2.8	mA
C_i					10		10		10	pF

(1) 一次测试一个输出，持续时间不超过 1 秒。为了尽可能减少功率耗散，测量方法是强制施加指定电流并测量电压。测试证实在 85°C 下至少具有 50Ω 传输线驱动能力，在 125°C 下具有 75Ω 传输线驱动能力。

(2) 每个输入引脚 TTL 输入高电平 1 单位负载的额外静态电源电流

表 4-1. ACT 输入负载表

输入	单位负载(1)
D	1
$\overline{G}$	1
A、B 或 C	1

(1) 单位负载为电气特性表中指定的 ΔI_{CC} 限值（例如，25°C 时为 2.4mA）。

4.6 开关特性

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 5V ± 0.5V，C_L = 50pF（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
t_{PLH}	D	Y	3.9	15.5	4	14.1	ns
t_{PHL}			3.9	15.5	4	14.1	
t_{PLH}	D	W	4.2	16.9	4.4	15.4	ns
t_{PHL}			4.2	16.9	4.4	15.4	
t_{PLH}	A、B 或 C	Y	5.1	20.2	5.2	18.4	ns
t_{PHL}			5.1	20.2	5.2	18.4	
t_{PLH}	A、B 或 C	W	5.4	21.6	5.6	19.6	ns
t_{PHL}			5.4	21.6	5.6	19.6	
t_{PLH}	$\overline{G}$	Y	3	12.1	3.1	11	ns
t_{PHL}			3	12.1	3.1	11	

Copyright © 2025 Texas Instruments Incorporated

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 5V ± 0.5V，C_L = 50pF（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
t_{PLH}	$\overline{G}$	W	3.4	13.5	3.5	12.3	ns
t_{PHL}			3.4	13.5	3.5	12.3	

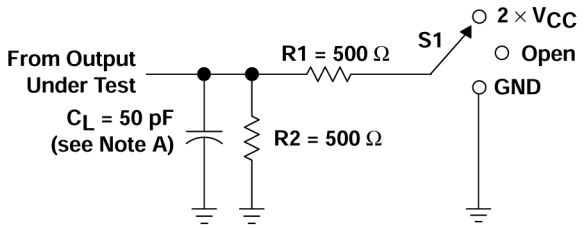
4.7 工作特性

V_{CC} = 5V，T_A = 25°C

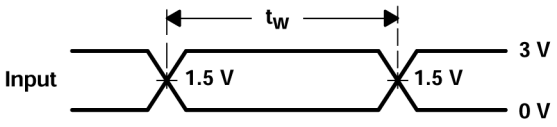
参数		典型值	单位
C_{pd}	功率耗散电容	120	pF

Copyright © 2025 Texas Instruments Incorporated

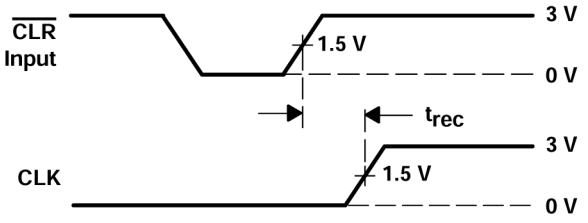
5 参数测量信息



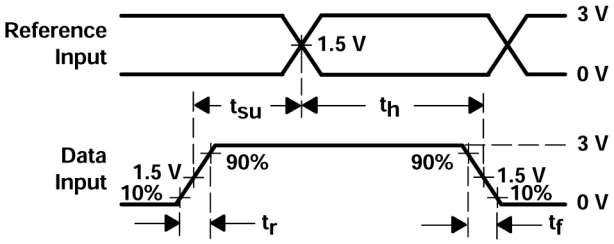
LOAD CIRCUIT



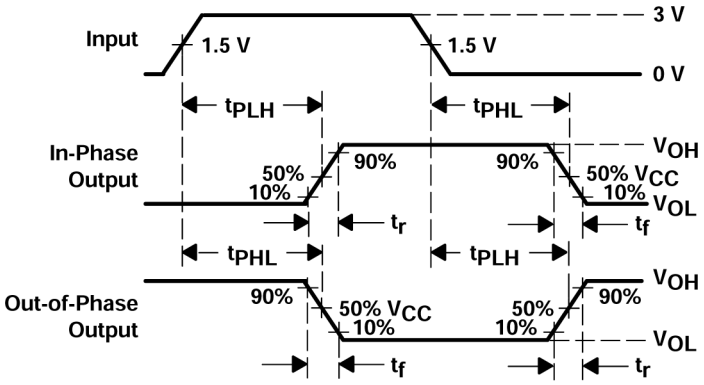
VOLTAGE WAVEFORMS
PULSE DURATION



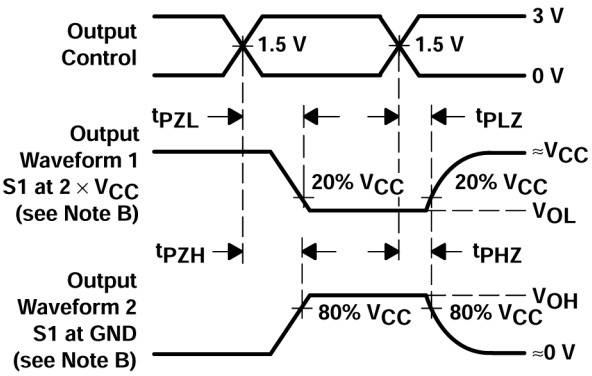
VOLTAGE WAVEFORMS
RECOVERY TIME



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES

A. C_L 包括探头和测试夹具电容。
B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
C. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r = 3ns，t_f = 3ns。波形之间的相位关系没有固定规律。
D. 对于时钟输入，f_{max} 是在输入占空比为 50% 时测得。
E. 一次测量一个输出，每次测量一个输入转换。
F. t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。
G. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
H. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
I. 并非所有参数和波形都适用于所有器件。

图 5-1. 负载电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

测试	S1
t_{PLH}/t_{PHL}	开路
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

CDx4ACT151 是一款高速硅栅 CMOS 多路复用器，非常适合多路复用和数据路由应用。它包含单个 8:1 多路复用器。

CDx4ACT151 异步运行，Y 输出等于地址输入 (A、B、C) 所选的输入。W 输出始终与 Y 输出相反。

无论其他输入的状态如何，选通 ($\overline{G}$) 输入都会强制所有 Y 输出为低电平且 W 输出为高电平。

6.2 功能方框图

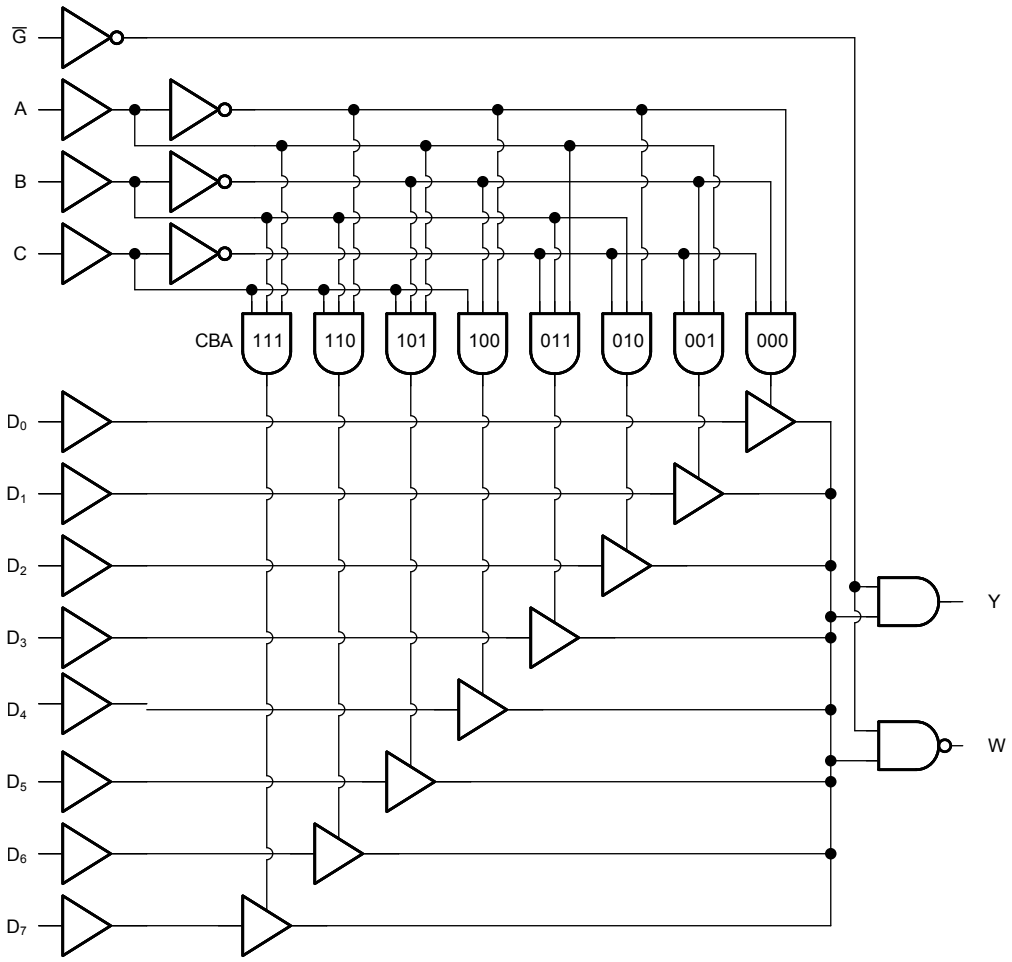


图 6-1. CDx4ACT151 的逻辑图（正逻辑）

6.3 特性说明

6.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

6.3.2 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议的工作条件*表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢变化或悬空的影响*应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

6.3.3 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 6-2 所示。

小心

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

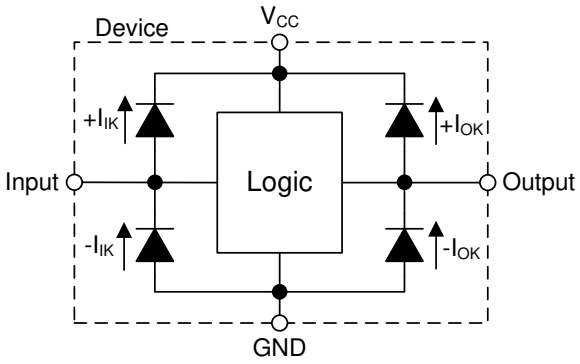


图 6-2. 每个输入和输出的钳位二极管的电气布置

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

功能表 列出了 CDx4ACT151 的功能模式。

表 6-1. 功能表

输入(1)				输出(2)	
选择			选通	Y	W
C	B	A	$\overline{G}$		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑
(2) H = 驱动为高电平，L = 驱动为低电平，Dx = 驱动值与 Dx 输入相同，$\overline{Dx}$ = 驱动值与 Dx 输入相反

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

CDx4ACT151 是一款 8 线至 1 线数据选择器/多路复用器。本应用展示在具备所有必需连接的情况下使用器件的示例。

7.2 典型应用

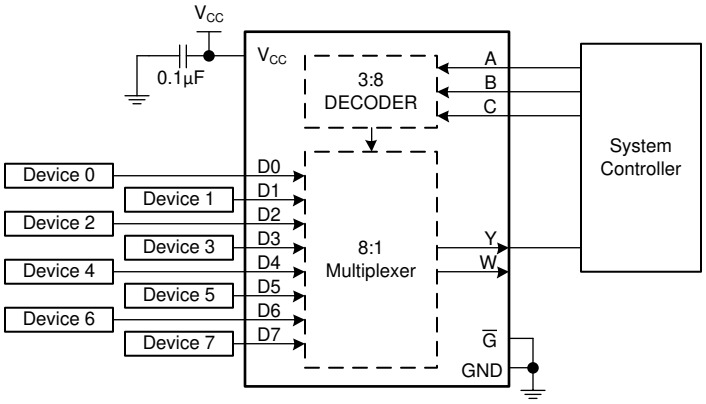


图 7-1. 典型应用框图

Copyright © 2025 Texas Instruments Incorporated

7.2.1 设计要求

7.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 CDx4ACT151 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 CDx4ACT151 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

CDx4ACT151 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

CDx4ACT151 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 CDx4ACT151 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

CDx4ACT151 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

7.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 CDx4ACT151 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

7.2.3 应用曲线

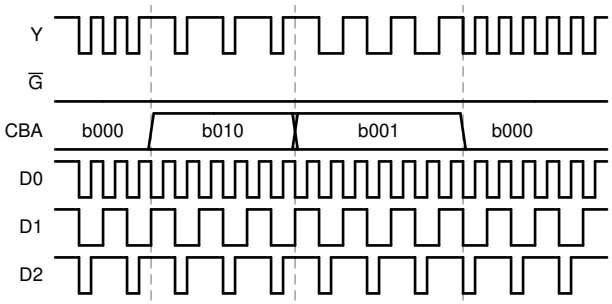


图 7-2. 应用时序图

7.3 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.4 布局

7.4.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

7.4.2 布局示例

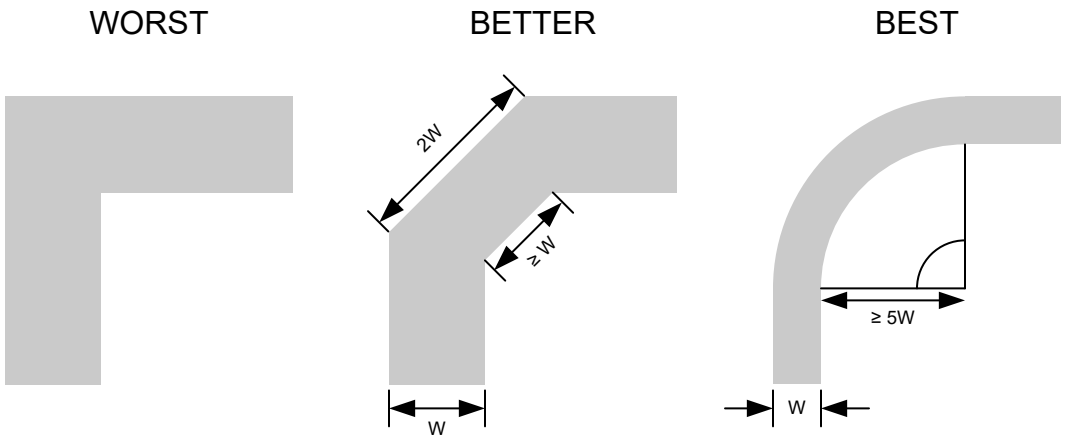


图 7-3. 可改善信号完整性的布线转角示例

Copyright © 2025 Texas Instruments Incorporated

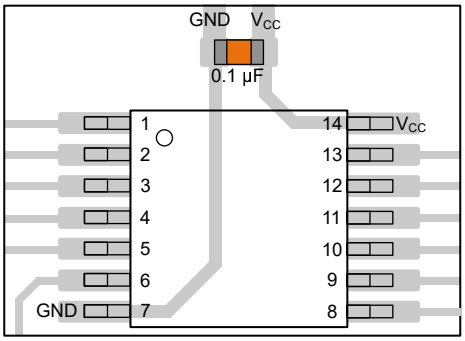


图 7-4. TSSOP 和类似封装的旁路电容器放置示例

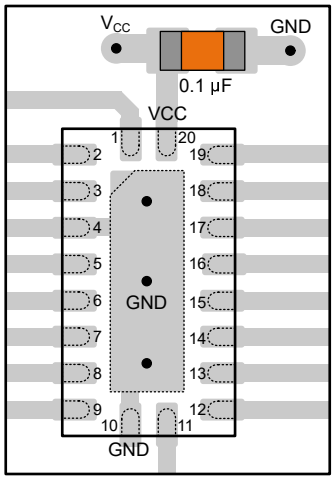


图 7-5. WQFN 和类似封装的旁路电容器放置示例

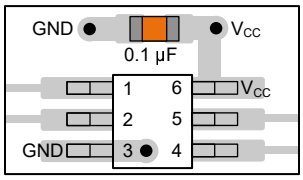


图 7-6. SOT、SC70 和类似封装的旁路电容器放置示例

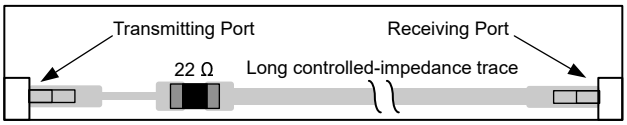


图 7-7. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (August 2024) to Revision B (May 2025)	Page
• 更改了数据表第一页的重要图形	1
• 添加了*概述* 部分、*特性说明* 部分、*应用信息* 部分和*典型应用* 部分	1
• 向*引脚配置和功能* 中添加了 BQB 和 PW 封装	3
• 将 BQB 和 PW 封装添加至*热性能信息*	4

Changes from Revision * (March 2003) to Revision A (August 2024)	Page
• 添加了*器件信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*器件功能模式*、*应用和实施* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 更新了 $R_{\theta JA}$ 值：D 封装从 73 更新至 119.9，所有值均以 °C/W 为单位	4

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54ACT151F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT151F3A
CD54ACT151F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT151F3A
CD74ACT151BQBR	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD151
CD74ACT151M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT151M
CD74ACT151M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT151M
CD74ACT151PWR	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	AD151

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54ACT151, CD74ACT151 :

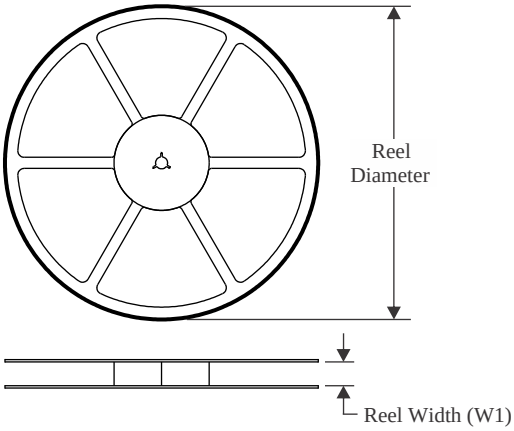
- Catalog : CD74ACT151
- Military : CD54ACT151

NOTE: Qualified Version Definitions:

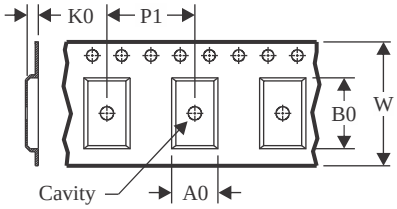
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

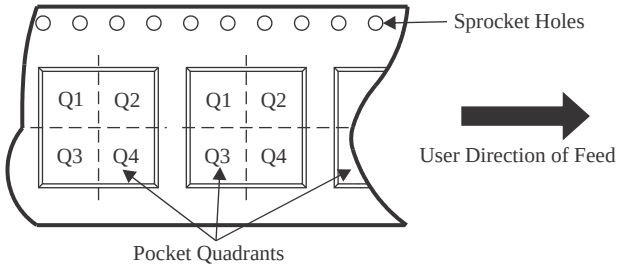


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

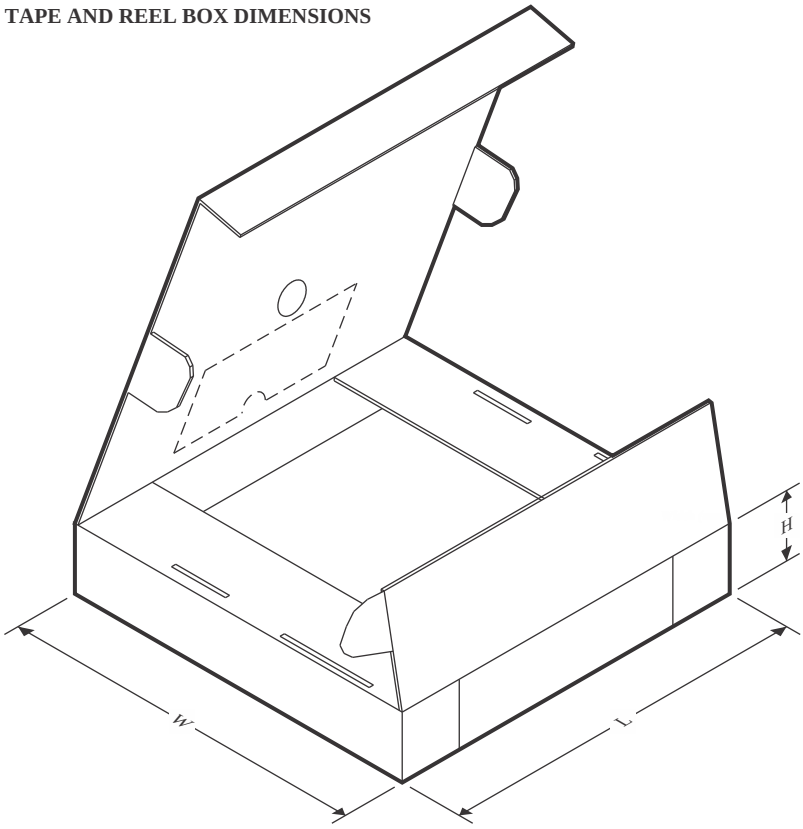
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74ACT151BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
CD74ACT151M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT151PWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

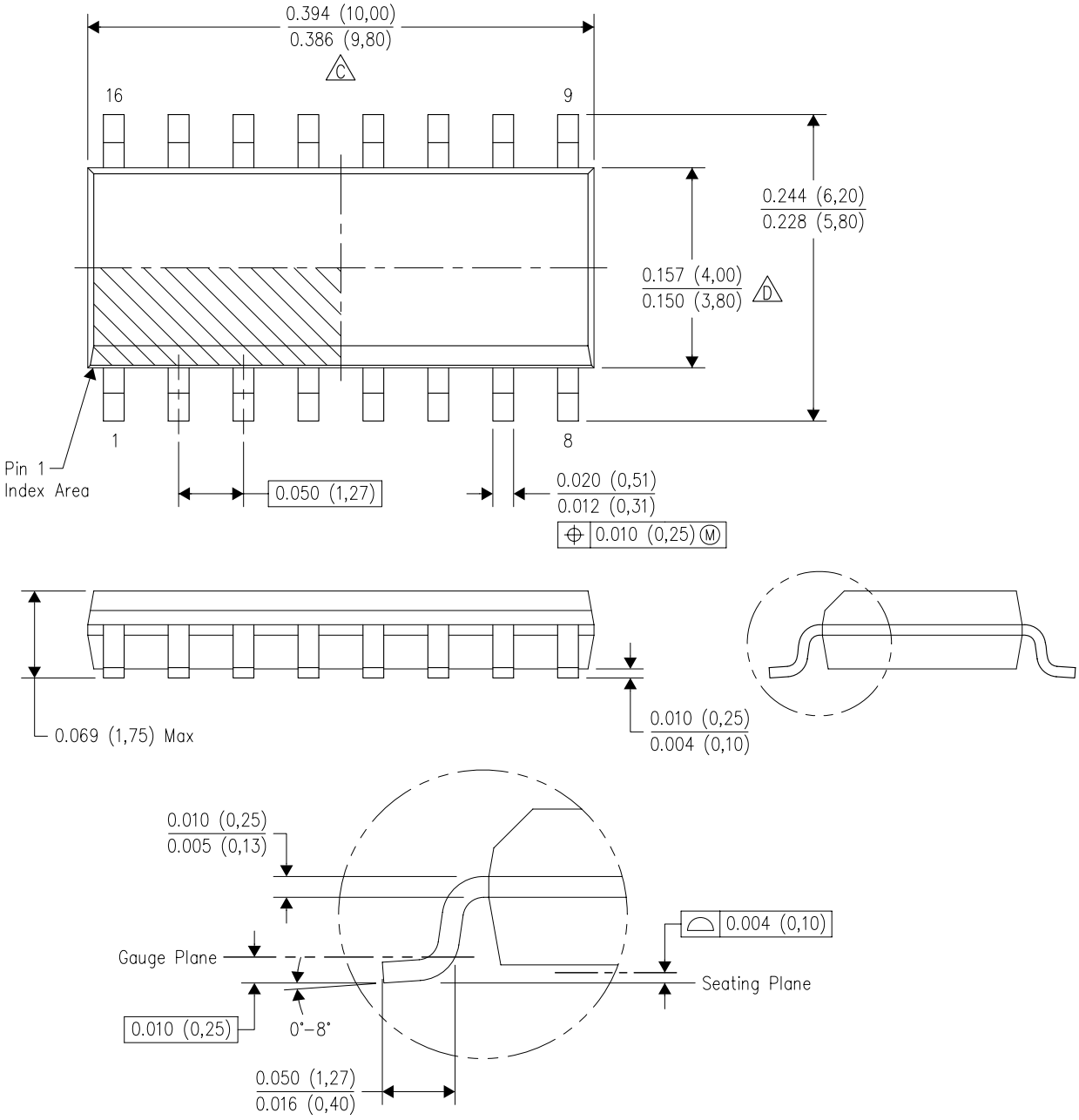
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74ACT151BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
CD74ACT151M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74ACT151PWR	TSSOP	PW	16	3000	353.0	353.0	32.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

GENERIC PACKAGE VIEW

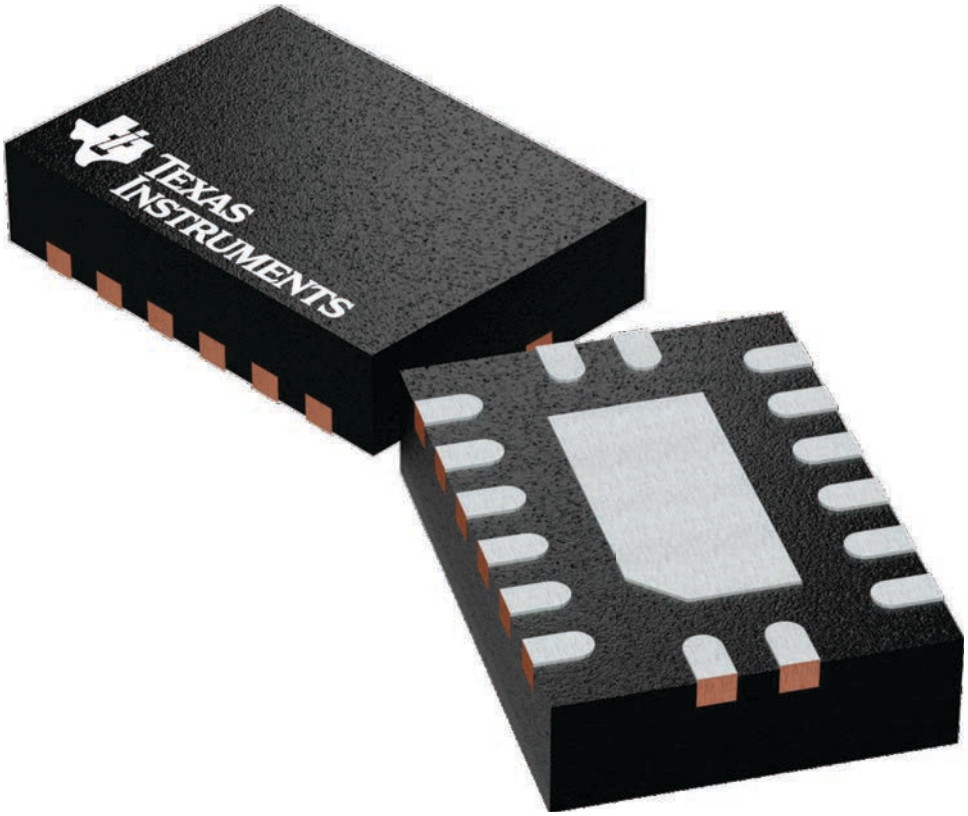
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



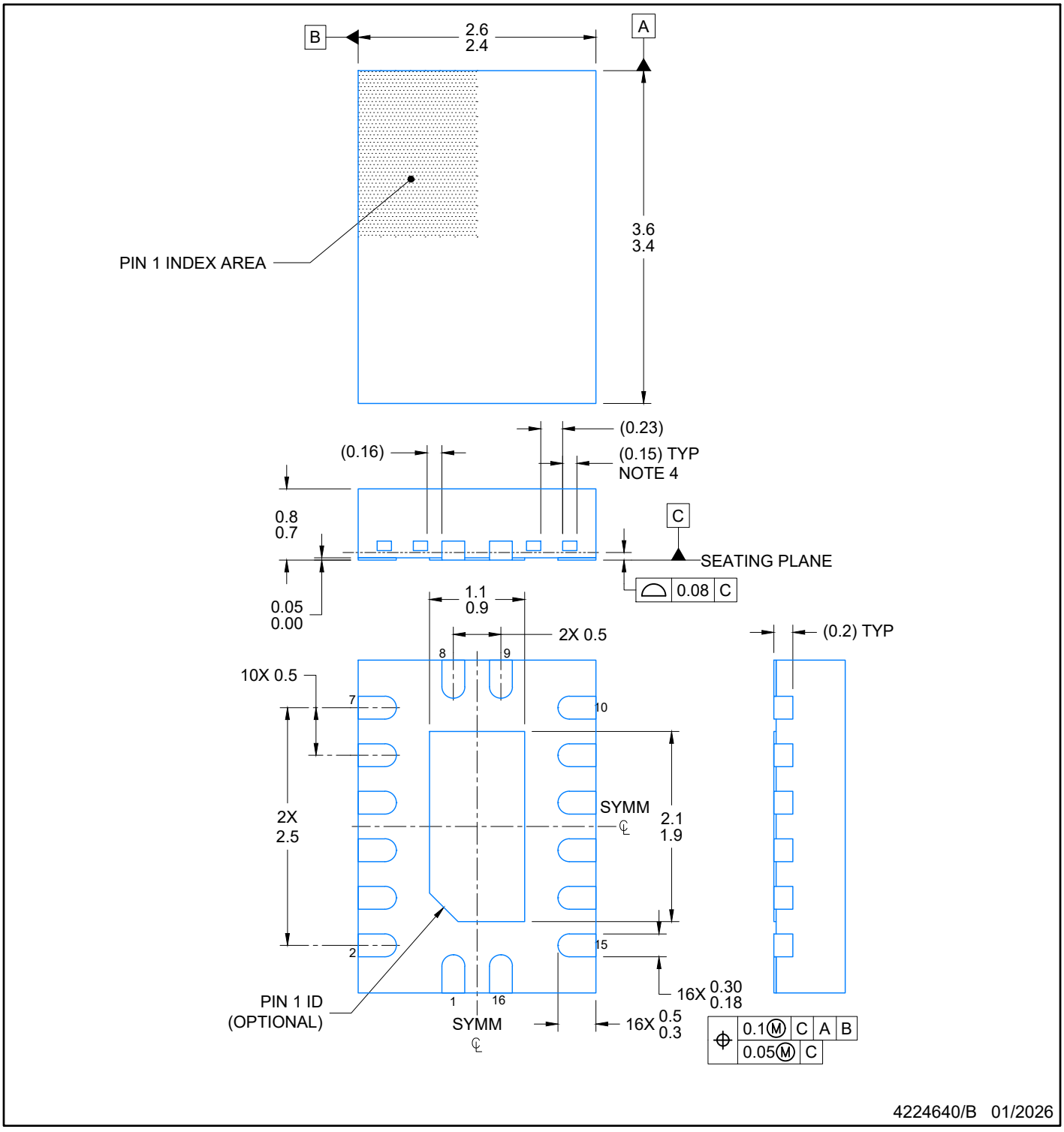
4226161/A

PACKAGE OUTLINE

BQB0016A

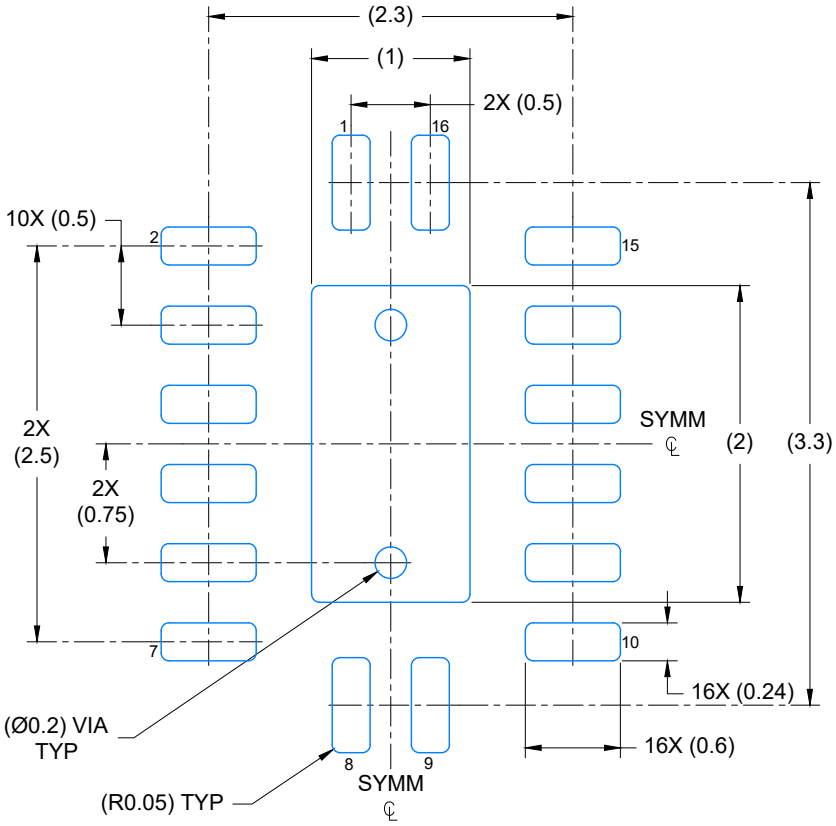
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

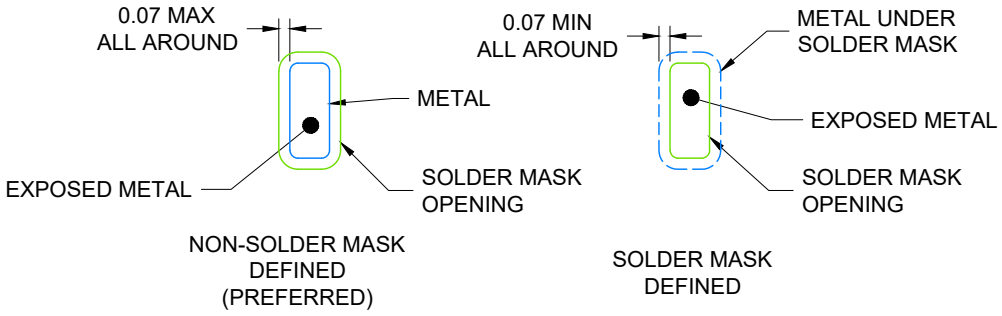


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. Features may differ or may not be present



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

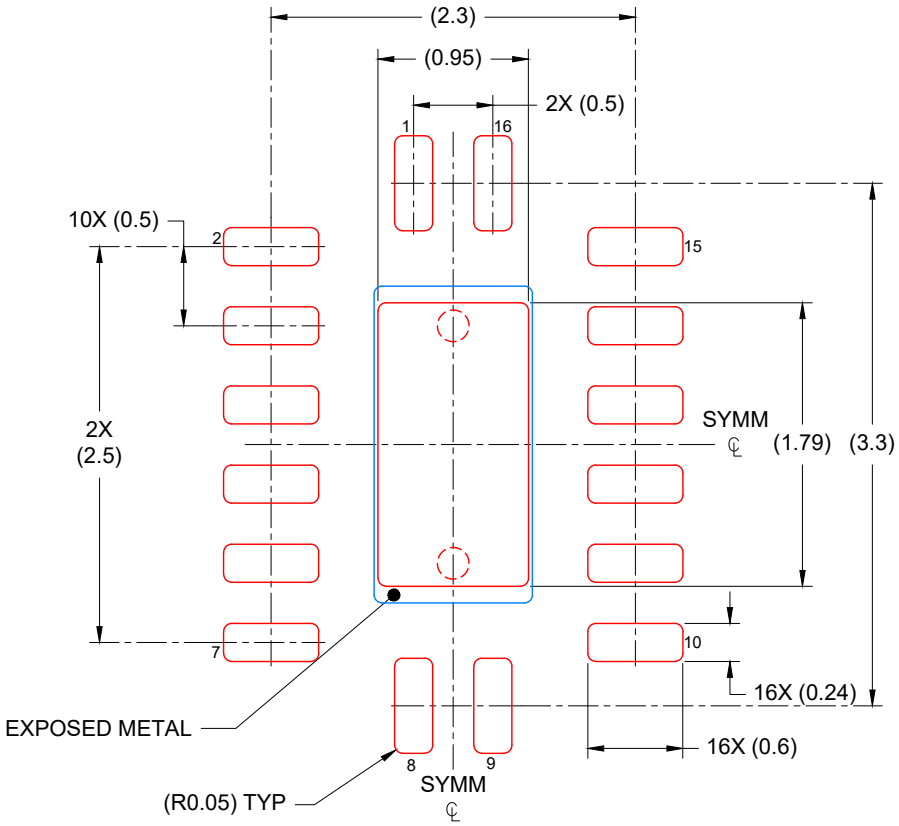


4224640/B 01/2026

1. NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4224640/B 01/2026

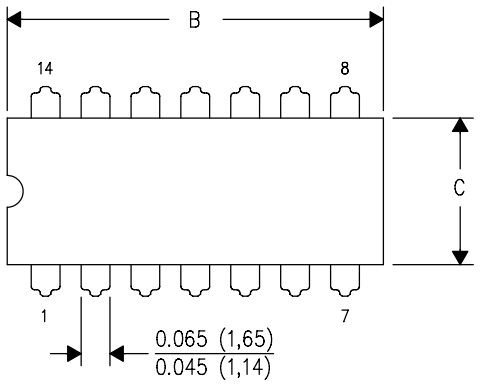
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

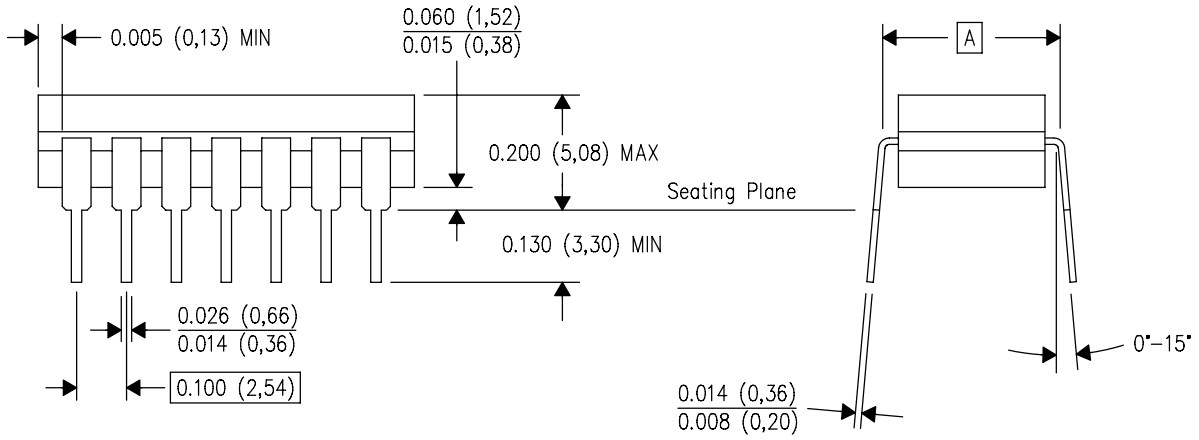
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

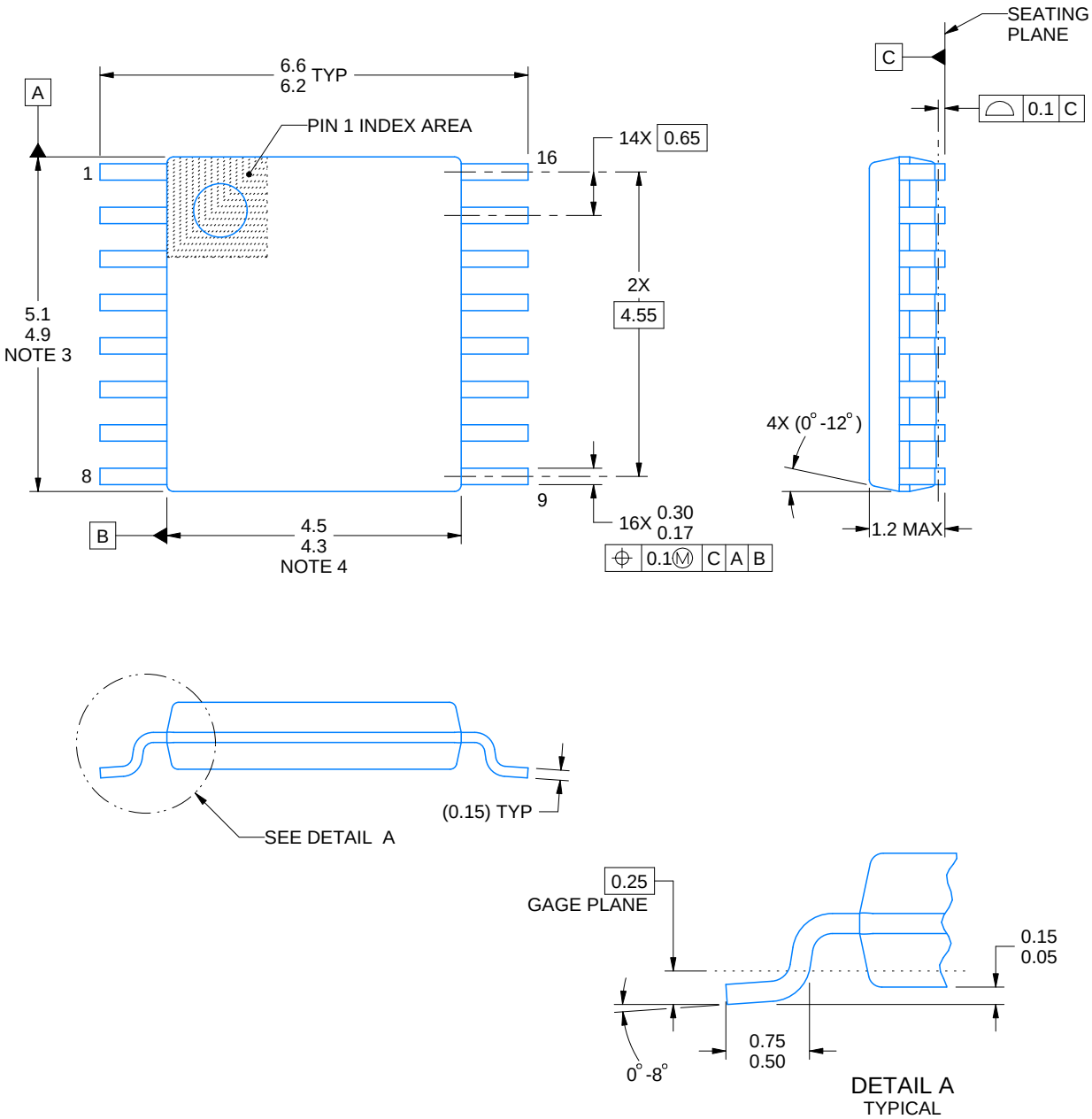
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

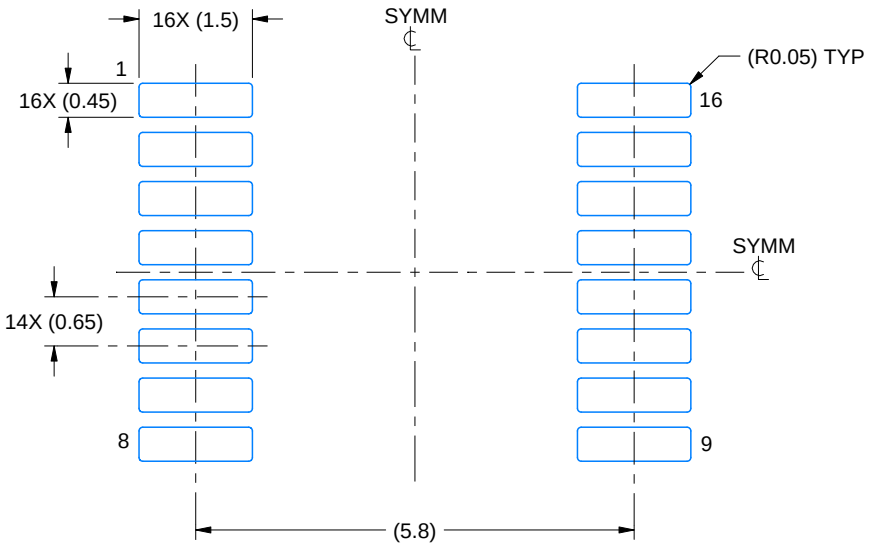
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

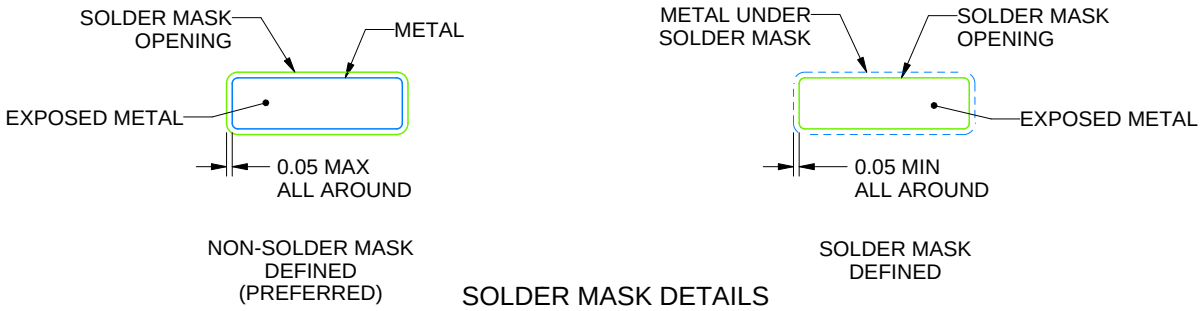


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

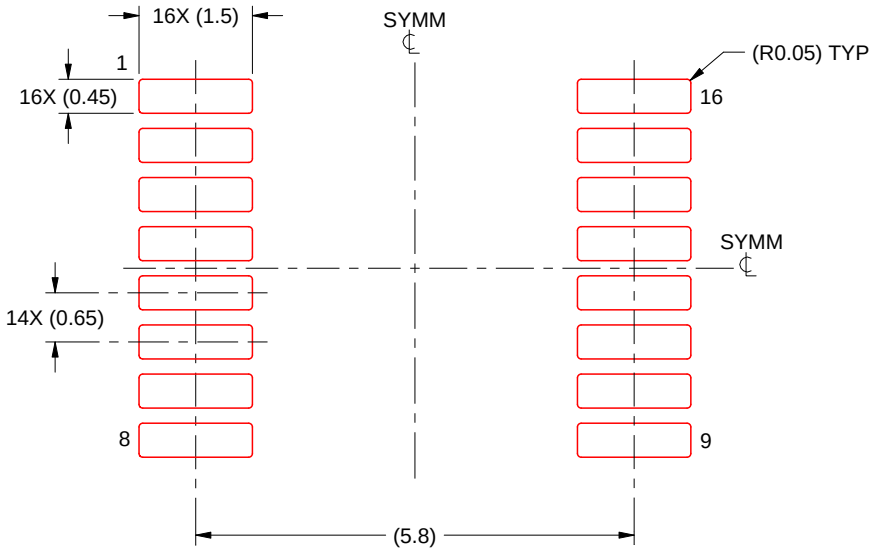


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月