具备快速进位的 CDx4AC283， CDx4ACT283 4 位二进制全加器

1 特性

- 缓冲输入
- ESD 保护超过 2kV（根据 MIL-STD-883 方法 3015）
- 防 SCR 闩锁 CMOS 工艺和电路设计
- 具有双极 FAST™/AS/S 的速度，同时功耗显著降低
- 平衡传播延迟
- 交流类型的工作电压范围为 1.5V 至 5.5V，并在电源电压的 30% 时具有平衡的抗噪性能
- ±24mA 输出驱动电流
  - 扇出到 15 个 FAST™ IC
  - 驱动 50Ω 传输线

2 说明

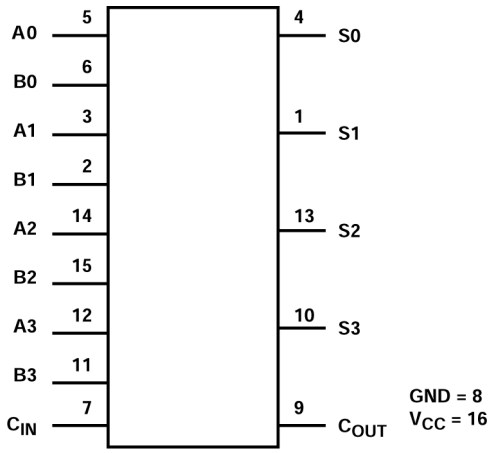
’AC283 和 ’ACT284 4 位二进制加法器能快速进位，其采用了高级 CMOS 逻辑技术。这些器件添加两个 4 位二进制数，如果总和超过 15，则此等器件会生成一个执行位。

由于加法函数的对称性，该器件可与所有高电平有效操作数（正逻辑）或所有低电平有效操作数（负逻辑）一同使用。使用正逻辑时，如果没有进位，则进位输入必须连接低电平。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
CDx4AC283/ CDx4ACT283	D (SOIC，16)	9.9mm x 6mm	9.9mm x 3.90mm
	N (PDIP，16)	19.3mm x 9.4mm	19.3mm x 6.35mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 ESD 等级.....4
4.3 建议运行条件.....4
4.4 热性能信息.....4
4.5 DC 电气规格.....5
4.6 开关规格.....7
5 参数测量信息.....8
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
7 应用和实施.....10
7.1 电源相关建议.....10
7.2 布局.....10
8 器件和文档支持.....12
8.1 文档支持.....12
8.2 接收文档更新通知.....12
8.3 支持资源.....12
8.4 商标.....12
8.5 静电放电警告.....12
8.6 术语表.....12
9 修订历史记录.....12
10 机械、封装和可订购信息.....12

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能

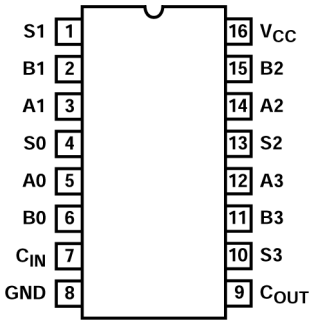


图 3-1. CD54AC283，CD54ACT283 J 封装；CD74AC283、CD74ACT283 D 或 N 封装；16-Pin CDIP、PDIP 或 SOIC（顶视图）

表 3-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
S1	1	O	总输出 1
B1	2	I	二进制数 B 的 1 位输入
A1	3	I	二进制数 A 的 1 位输入
S0	4	O	总输出 0
A0	5	I	二进制数 A 的 0 位输入
B0	6	I	二进制数 B 的 0 位输入
C_{IN}	7	I	进位输入
GND	8	G	接地
C_{OUT}	9	O	进位输出
S3	10	O	总输出 3
B3	11	I	二进制数 B 的 3 位输入
A3	12	I	二进制数 A 的 3 位输入
S2	13	O	总输出 2
A2	14	I	二进制数 A 的 2 位输入
B2	15	I	二进制数 B 的 2 位输入
V_{CC}	14	P	V_{CC}

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_{CC}	DC 电源电压		-0.5	6	V
I_{IK}	直流输入二极管电流	（V_I < -0.5V 或 V_I > V_{CC} + 0.5V）		±20	mA
I_{OK}	直流输出二极管电流	（V_O < -0.5V or V_O > V_{CC} + 0.5V）		±50	mA
I_O	每个输出引脚的直流输出拉电流或灌电流	（V_O > -0.5V or V_O < V_{CC} + 0.5V）		±50	mA
I_{CC} 或 I_{GND} [(2)]	直流 V_{CC} 或接地电流			±100	mA
T_J	结温（塑料封装）			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出那些“绝对最大额定值”下列出的应力值可能会对器件造成永久损坏。这些仅为应力等级，并不表明器件在这些额定值下或者任何其他超过此规格运行条件中所标明的条件下可正常工作。
(2) 如果每个器件最多有 4 个输出，则每增加一个输出会增加 ±25mA。

4.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{CC} [(1)]	电源电压范围			V
	AC 类型	1.5	5.5	
	ACT 类型	4.5	5.5	
V_I、V_O	直流输入或输出电压	0	V_{CC}	V
dt/dv	输入上升和下降压摆率			ns（最大值）
	交流类型，1.5V 至 3V		±50	
	交流类型，3.6V 至 5.5V		±20	
	ACT 类型，4.5V 至 5.5V		±10	
T_A	温度范围	-55	125	°C

(1) 除非另有说明，否则所有电压均以接地为基准。

4.4 热性能信息

热指标[(1)]		D (SOIC)	N (PDIP)	单位
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	73	67	°C/W

(1) 封装热阻抗根据 JESD 51 计算。

Copyright © 2025 Texas Instruments Incorporated

4.5 DC 电气规格

符号	参数	测试条件		V_{CC} (V)	25°C		-40°C 至 85°C		-55°C 至 125°C		单位
		V_I (V)	I_O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
	AC 类型										
V_{IH}	高电平输入电压	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
V_{IL}	低电平输入电压	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V
V_{OH}	高电平输出电压	V_{IH} 或 V_{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75[(1), (2)]	5.5	-	-	3.85	-	-	-	V
			-50[(1), (2)]	5.5	-	-	-	-	3.85	-	V
V_{OL}	低电平输出电压	V_{IH} 或 V_{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75[(1), (2)]	5.5	-	-	-	1.65	-	-	V
			50[(1), (2)]	5.5	-	-	-	-	-	1.65	V
I_I	输入漏电流	V_{CC} 或 GND	-	5.5	-	±0.1	-	±1	-	±1	μA
I_{CC}	静态电源电流 MSI	V_{CC} 或 GND	0	5.5	-	8	-	80	-	160	μA
	ACT 类型										
V_{IH}	高电平输入电压	-	-	4.5 至 5.5	2	-	2	-	2	-	V
V_{IL}	低电平输入电压	-	-	4.5 至 5.5	-	0.8	-	0.8	-	0.8	V
V_{OH}	高电平输出电压	V_{IH} 或 V_{IL}	-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75[(1), (2)]	5.5	-	-	3.85	-	-	-	V
			-50[(1), (2)]	5.5	-	-	-	-	3.85	-	V
V_{OL}	低电平输出电压	V_{IH} 或 V_{IL}	0.05	4.5	-	0.1	-	0.1	-	0.1	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75[(1), (2)]	5.5	-	-	-	1.65	-	-	V
			50[(1), (2)]	5.5	-	-	-	-	-	1.65	V
I_I	输入漏电流	V_{CC} 或 GND	-	5.5	-	±0.1	-	±1	-	±1	μA
I_{CC}	静态电源电流 MSI	V_{CC} 或 GND	0	5.5	-	8	-	80	-	160	μA

Copyright © 2025 Texas Instruments Incorporated

符号	参数	测试条件		V_{CC} (V)	25°C		-40°C 至 85°C		-55°C 至 125°C		单位
		V_I (V)	I_O (mA)		最小值	最大值	最小值	最大值	最小值	最大值	
ΔI_{CC}	每个输入引脚 TTL 输入高电平 1 单位负载的额外电源电流	V_{CC} - 2.1	-	4.5 至 5.5	-	2.4	-	2.8	-	3	mA

(1) 一次测试一个输出，最大持续时间为 1 秒。为了尽可能减少功率耗散，测量方法是强制施加电流并测量电压。
(2) 测试证实，传输线驱动能力在 85°C 时至少为 50Ω，在 125°C 下至少为 75Ω。

表 4-1. ACT 输入负载表

输入	单位负载
A0、B0、A2、B2	1.66
A1、B1	1.9
A3、B3	1.4
C_{IN}	1.1

备注

单位负载为直流电气规格表中指定的 ΔI_{CC} 限值（例如，25°C 时最大值为 2.4mA）。

Copyright © 2025 Texas Instruments Incorporated

4.6 开关规格

输入 t_r、t_f =3ns、C_L =50pF（最差情况）

参数	符号	V_{CC} (V)	-40°C 至 85°C			-55°C 至 125°C			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
AC 类型									
传播延迟，An 或 Bn 至 C_{OUT} C_{IN} 至 Sn C_{IN} 至 C_{OUT}	t_{PLH}、t_{PHL}	1.5	-	-	199	-	-	219	ns
		3.3[(1)]	6.3	-	22.4	6.2	-	24.6	ns
		5[(2)]	4.5	-	16	4.4	-	17.6	ns
传播延迟，An 或 Bn 至 Sn	t_{PLH}、t_{PHL}	1.5	-	-	207	-	-	228	ns
		3.3	6.6	-	23.2	6.4	-	25.5	ns
		5	4.7	-	16.5	4.6	-	18.2	ns
输入电容	C_I	-	-	-	10	-	-	10	pF
功率耗散电容	C_{PD} [(3)]	-	-	120	-	-	120	-	pF
ACT 类型									
传播延迟，An 或 Bn 至 C_{OUT} C_{IN} 至 Sn C_{IN} 至 C_{OUT}	t_{PLH}、t_{PHL}	5[(2)]	4.5	-	16	2.7	-	17.6	ns
传播延迟，An 或 Bn 至 Sn	t_{PLH}、t_{PHL}	5	4.7	-	16.5	3.3	-	18.2	ns
输入电容	C_I	-	-	-	10	-	-	10	pF
功率耗散电容	C_{PD} [(3)]	-	-	120	-	-	120	-	pF

(1) 3.6V 时最小值为 3.3V，3V 时为最大值。
(2) 5.5V 时最小值为 5V，4.5V 时为最大值。
(3) C_{pd} 用于确定每个功能的动态功耗。

备注

AC： $P_D = V_{CC}{}^2 f_i (C_{PD} + C_L)$

ACT：$P_D = V_{CC}{}^2 f_i (C_{PD} + C_L) + V_{CC} \Delta I_{CC}$ 其中 f_i =输入频率，C_L = 输出负载电容，V_{CC} = 电源电压。

5 参数测量信息

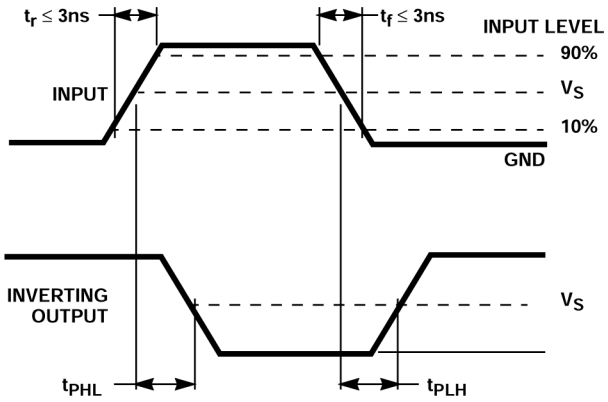
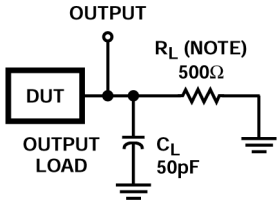


图 5-1. 传播延迟时间



A. 仅适用于交流系列：在 V_{CC} = 1.5V 时，R_L = 1kΩ。

图 5-2. 传播延迟时间

	AC	ACT
输入电平	V_{CC}	3V
输入开关电压 V_S	$0.5V_{CC}$	1.5V
输出开关电压 V_S	$0.5V_{CC}$	$0.5V_{CC}$

Copyright © 2025 Texas Instruments Incorporated

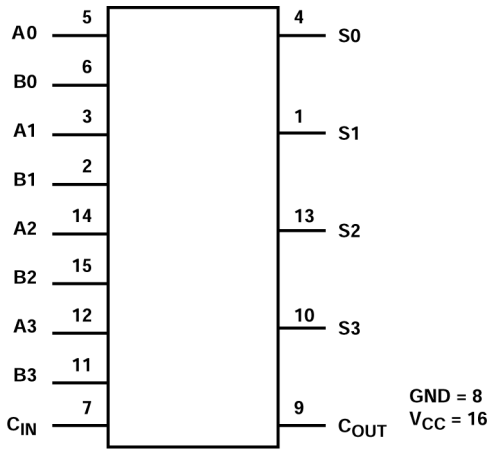
6 详细说明

6.1 概述

’AC283 和 ’ACT283 4 位二进制加法器能快速进位且采用高级 CMOS 逻辑技术。这些器件添加两个 4 位二进制数，如果总和超过 15，则会生成一个执行位。

由于加法函数的对称性，该器件可与所有高电平有效操作数（正逻辑）或所有低电平有效操作数（负逻辑）一同使用。使用正逻辑时，如果没有进位，则进位输入必须连接低电平。

6.2 功能方框图



7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的信号进行缓冲

7.2.2 布局示例

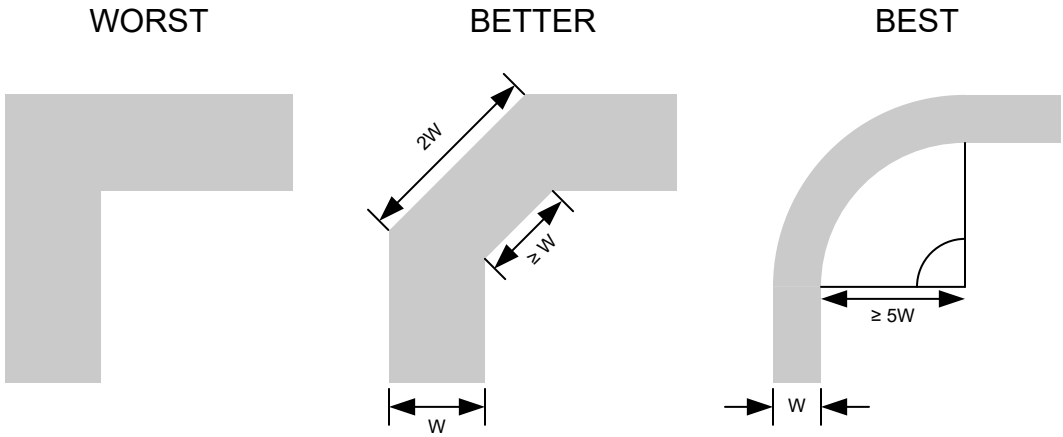


图 7-1. 可改善信号完整性的布线转角示例

Copyright © 2025 Texas Instruments Incorporated

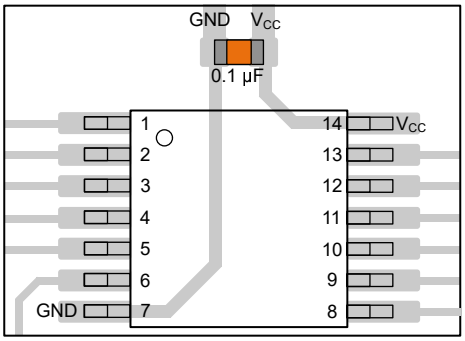


图 7-2. TSSOP 和类似封装的旁路电容器放置示例

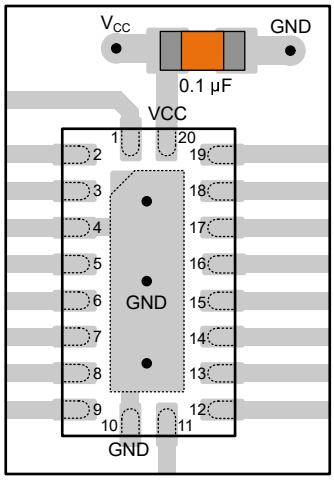


图 7-3. WQFN 和类似封装的旁路电容器放置示例

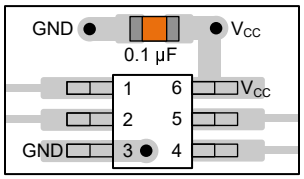


图 7-4. SOT、SC70 和类似封装的旁路电容器放置示例

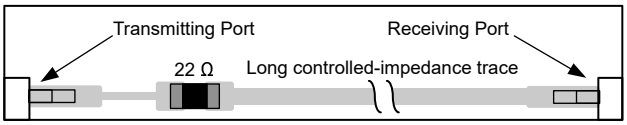


图 7-5. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (May 2000) to Revision E (January 2025)	Page
• 添加了*器件信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*器件功能模式*、“应用和实施”部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC283F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC283F3A
CD54AC283F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC283F3A
CD54ACT283F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT283F3A
CD54ACT283F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT283F3A
CD74AC283E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC283E
CD74AC283E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC283E
CD74AC283M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	AC283M
CD74AC283M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC283M
CD74AC283M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC283M
CD74ACT283E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT283E
CD74ACT283E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT283E
CD74ACT283EE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT283E
CD74ACT283M	Last Time Buy	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT283M
CD74ACT283M.A	Last Time Buy	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT283M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC283, CD54ACT283, CD74AC283, CD74ACT283 :

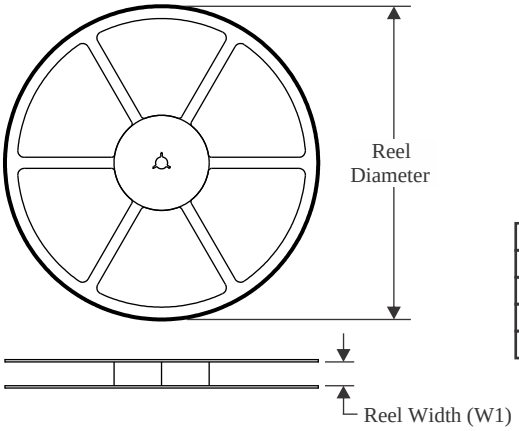
- Catalog : CD74AC283, CD74ACT283
- Military : CD54AC283, CD54ACT283

NOTE: Qualified Version Definitions:

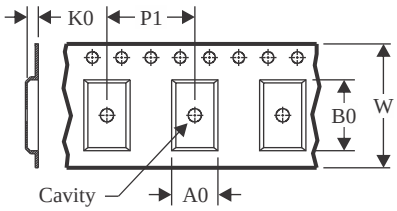
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

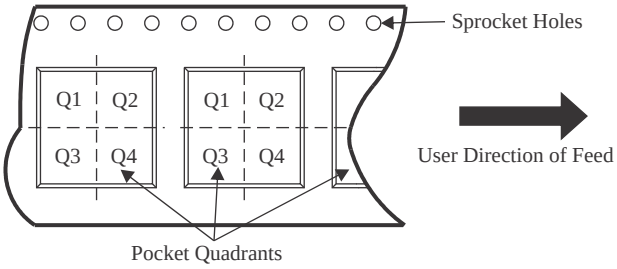


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

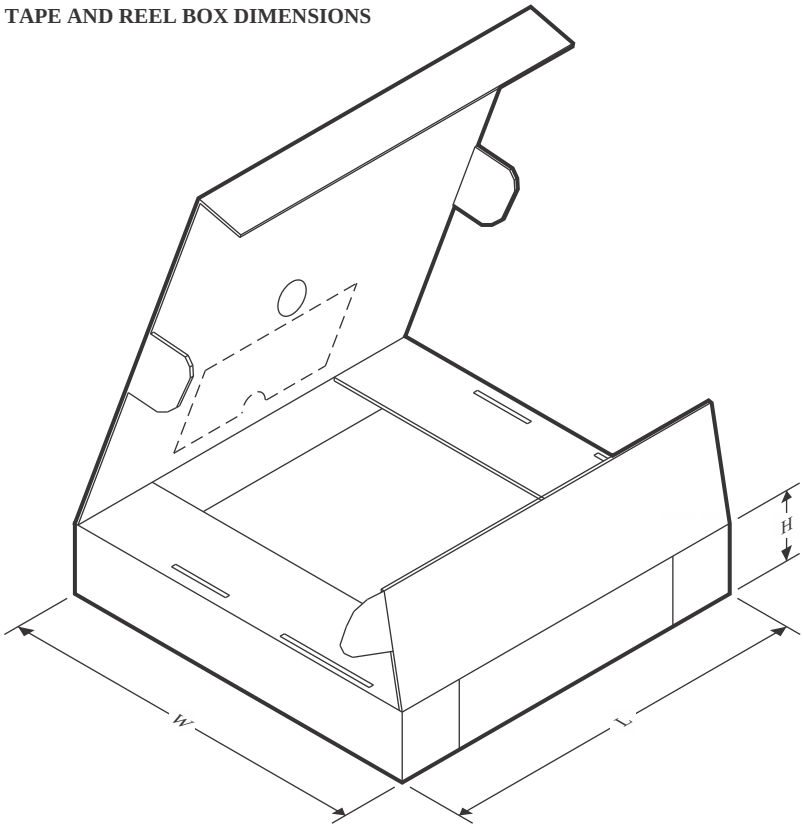
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC283M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

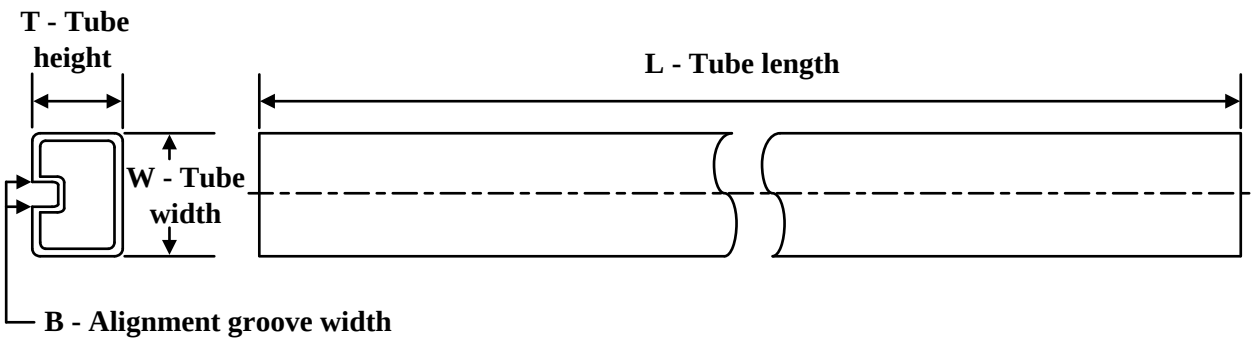
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC283M96	SOIC	D	16	2500	353.0	353.0	32.0

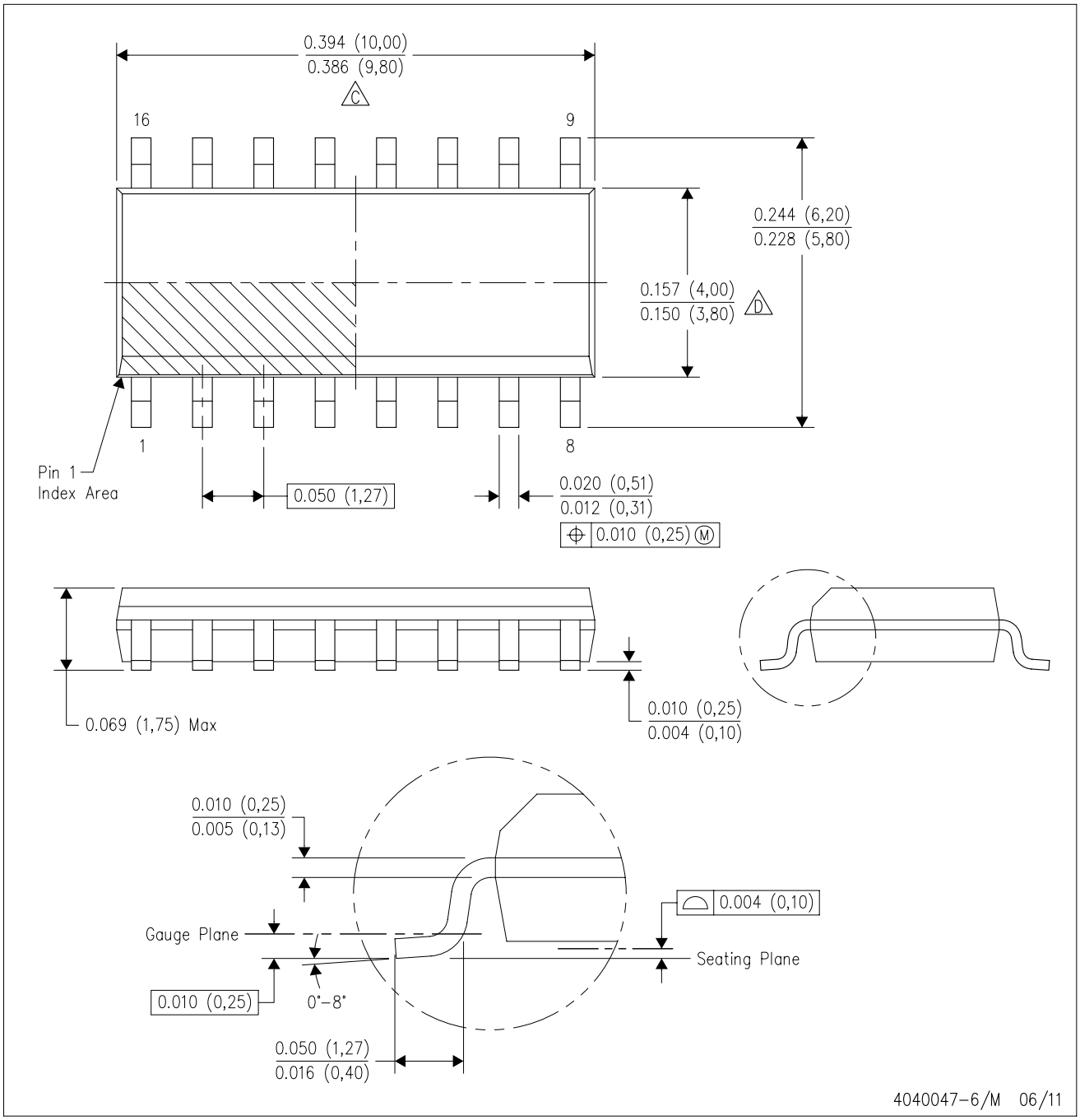
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74AC283E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC283E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC283E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC283E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT283E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT283E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT283E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT283E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT283EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT283EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT283M	D	SOIC	16	40	507	8	3940	4.32
CD74ACT283M.A	D	SOIC	16	40	507	8	3940	4.32

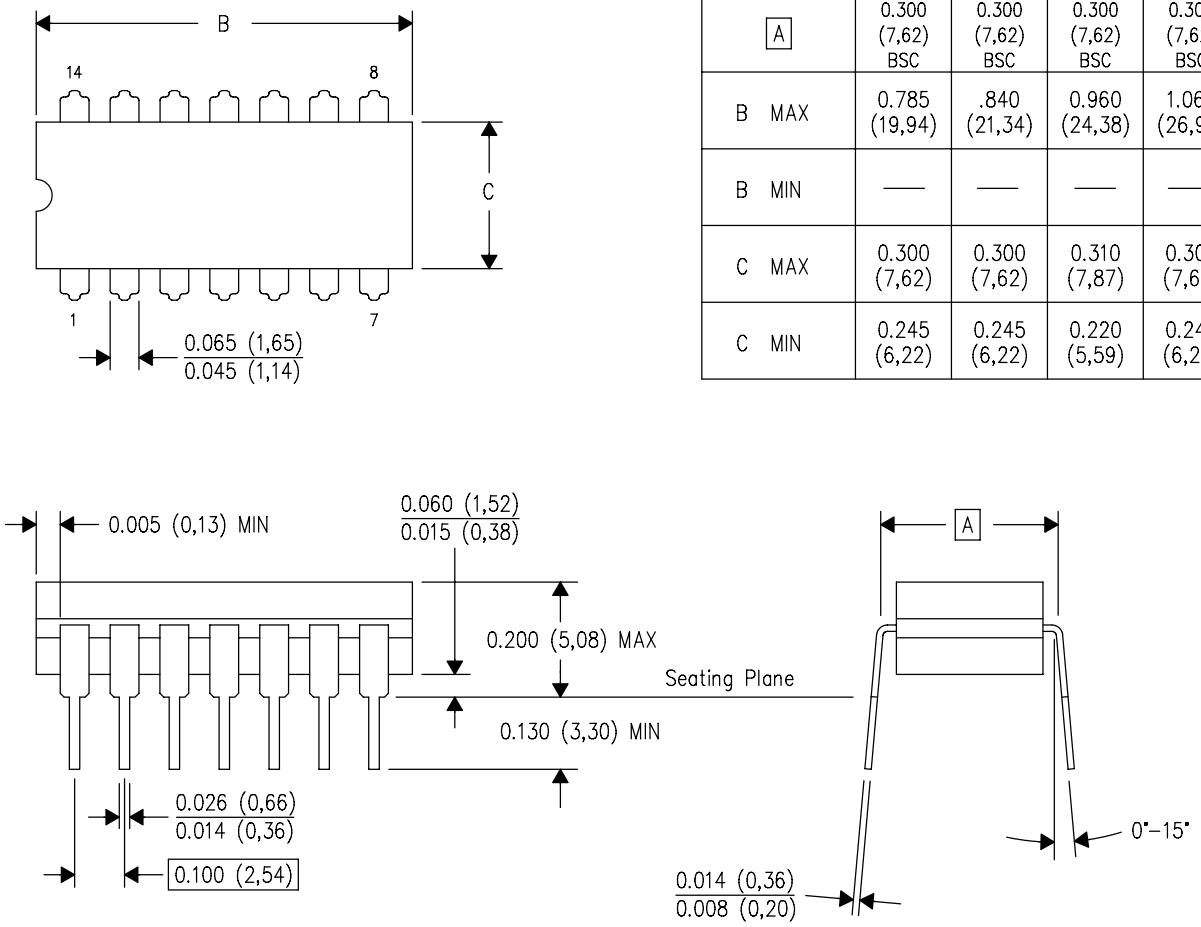
D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

14 LEADS SHOWN



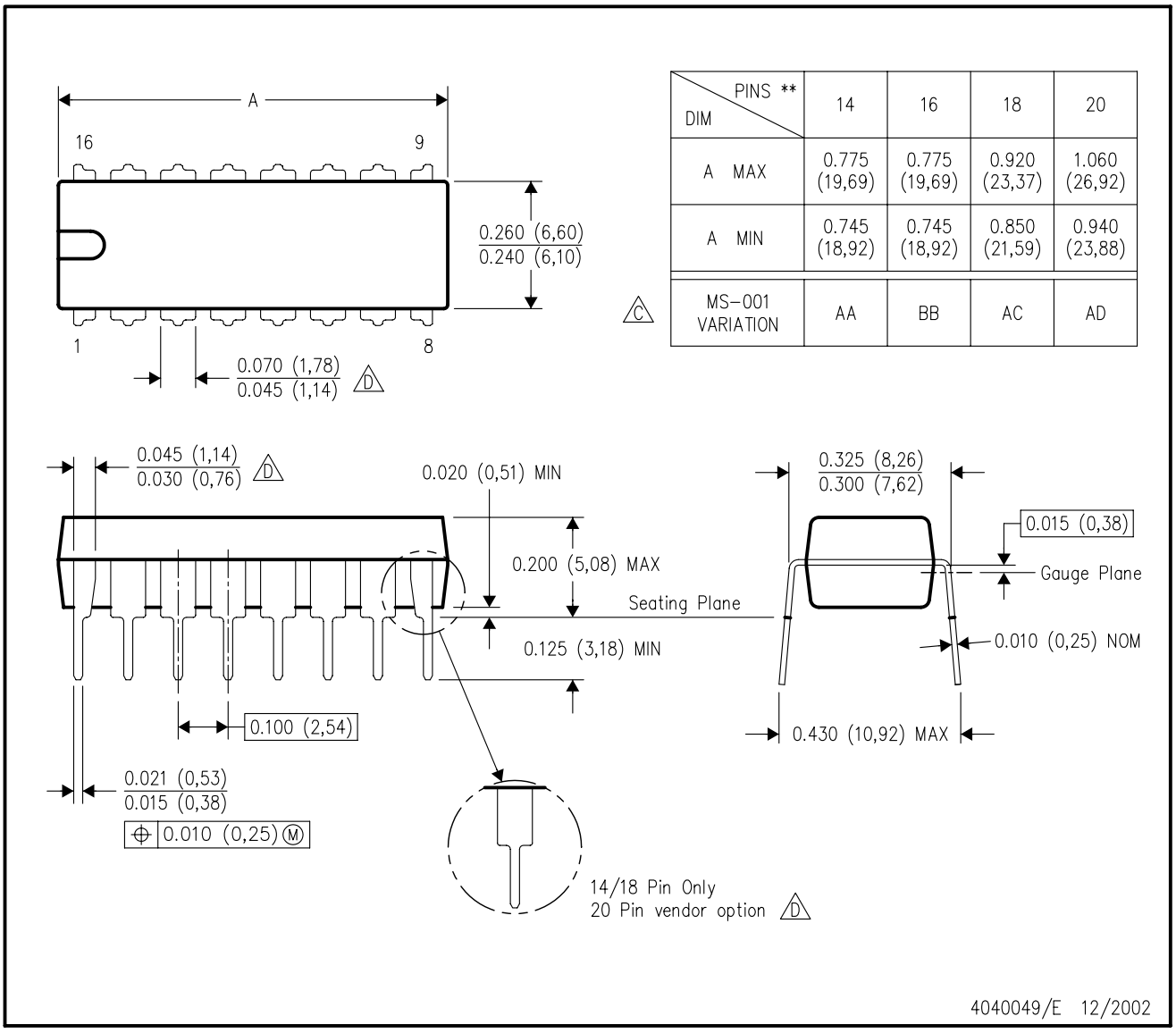
DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月