

CDx4AC161 4 位异步二进制计数器

1 特性

- 内部超前功能，支持快速计数
- 用于 n 位级联的进位输出
- 同步计数
- 同步可编程
- 防 SCR 门锁 CMOS 工艺和电路设计
- ESD 保护超过 2kV (根据 MIL-STD-883 方法 3015)

2 说明

'AC161 器件为 4 位二进制计数器。这些同步、可预置的计数器具有内部进位超前功能，适用于高速计数应用。

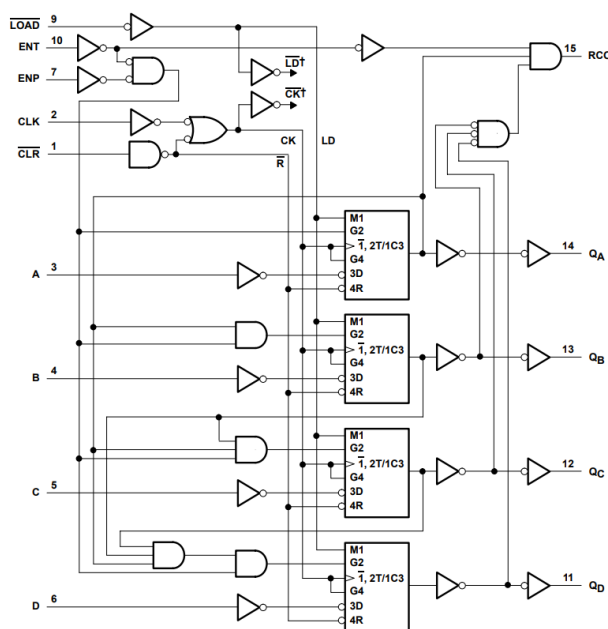
器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
CDx4AC161	E (PDIP , 16)	19.3mm x 9.4mm	19.3mm x 6.35mm
	M (SOIC , 16)	9.9mm x 6mm	9.9mm x 3.9mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

(3) 本地尺寸 (长 × 宽) 为标称值，不包括引脚。



逻辑图 (正逻辑)



内容

1 特性.....	1	6.1 概述.....	9
2 说明.....	1	6.2 功能方框图.....	10
3 引脚配置和功能.....	3	6.3 器件功能模式.....	11
4 规格.....	4	7 应用和实施.....	12
4.1 绝对最大额定值.....	4	7.1 电源相关建议.....	12
4.2 ESD 等级.....	4	7.2 布局.....	12
4.3 建议运行条件.....	4	8 器件和文档支持.....	13
4.4 热性能信息.....	4	8.1 文档支持（模拟）.....	13
4.5 电气特性.....	5	8.2 接收文档更新通知.....	13
4.6 时序要求.....	5	8.3 支持资源.....	13
4.7 开关特性.....	6	8.4 商标.....	13
4.8 时序图.....	6	8.5 静电放电警告.....	13
4.9 工作特性.....	7	8.6 术语表.....	13
5 参数测量信息.....	8	9 修订历史记录.....	13
6 详细说明.....	9	10 机械、封装和可订购信息.....	14

3 引脚配置和功能

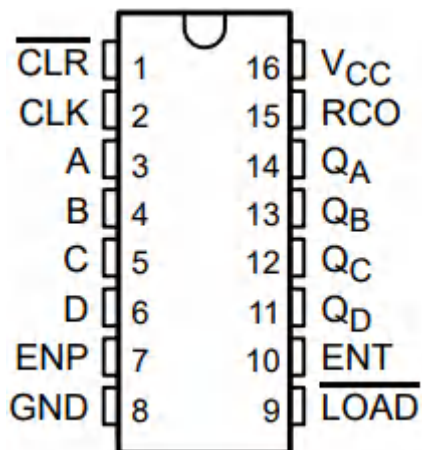


图 3-1. CD54AC161 F 封装、CD74AC161 E 或 M 封装 (顶视图)

引脚功能

名称	引脚	类型	说明
CLR	1	I	清零，低电平有效
CLK	2	I	时钟，上升沿触发
A	3	I	加载数据 A
B	4	I	加载数据 B
C	5	I	加载数据 C
D	6	I	加载数据 D
ENP	7	I	计数启用，不影响 RCO
GND	8	—	地
LOAD	9	I	并行负载，低电平有效
ENT	10	I	计数启用，影响 RCO
Q _D	11	O	Q _D 输出
Q _C	12	O	Q _C 输出
Q _B	13	O	Q _B 输出
Q _A	14	O	Q _A 输出
RCO	15	O	纹波进位输出
V _{CC}	16	—	电源

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V _{CC}	电源电压		-0.5	6	V
I _{IK} ⁽²⁾	输入钳位电流	(V _I < 0 或 V _I > V _{CC})		±20	mA
I _{OK} ⁽²⁾	输出钳位电流	(V _O < 0 或 V _O > V _{CC})		±50	mA
I _O	持续输出电流	(V _O > 0V 或 V _O < V _{CC})		±50	mA
	通过 V _{CC} 或 GND 的持续电流			±100	mA
T _{stg}	贮存温度		-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。

4.2 ESD 等级

		值	单位
V _(ESD)	静电放电 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 支持在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			TA = 25°C		-55°C 至 125°C		-40°C 至 85°C		单位	
			最小值	最大值	最小值	最大值	最小值	最大值		
V _{CC}	电源电压		1.5	5.5	1.5	5.5	1.5	5.5	V	
V _{IH}	高电平输入电压	V _{CC} = 1.5	1.2		1.2		1.2		V	
		V _{CC} = 3	2.1		2.1					
		V _{CC} = 5.5	3.85		3.85					
V _{IL}	低电平输入电压	V _{CC} = 1.5V	0.3		0.3		0.3		V	
		V _{CC} = 3V	0.9		0.9					
		V _{CC} = 5.5V	1.65		1.65					
V _I	输入电压		0	V _{CC}	0	V _{CC}	0	V _{CC}	V	
V _O	输出电压		0	V _{CC}	0	V _{CC}	0	V _{CC}	V	
I _{OH}	高电平输出电流	V _{CC} = 4.5V 至 5.5V		-24		-24		-24		mA
I _{OL}	低电平输出电流	V _{CC} = 4.5V 至 5.5V		24		24		24		
Δt/Δv	输入转换上升或下降速率	V _{CC} = 1.5V 至 3V		50		50		50		ns/V
		V _{CC} = 3.6V 至 5.5V		20		20		20		

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 [慢速或浮点 CMOS 输入的影响](#) (SCBA004)。

4.4 热性能信息

热指标 ⁽¹⁾		CDx4AC161		单位
		E	M	
		14 引脚	14 引脚	
R _{θJA}	结至环境热阻	67	73	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V _{CC}	TA = 25°C		-55°C 至 125°C		-40°C 至 85°C		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
V _{OH}	V _I = V _{IH} 或 V _{IL}	I _{OH} = -50μA	1.5V	1.4		1.4		1.4		V
			3V	2.9		2.9		2.9		
			4.5V	4.4		4.4		4.4		
		I _{OH} = -4mA	3V	2.58		2.4		2.48		
		I _{OH} = -24mA	4.5V	3.94		3.7		3.8		
		I _{OH} = -50mA†	5.5V	–		3.85		–		
V _{OL}	V _I = V _{IH} 或 V _{IL}	I _{OL} = 50μA	1.5V	0.1		0.1		0.1		V
			3V	0.1		0.1		0.1		
			4.5V	0.1		0.1		0.1		
		I _{OL} = 12mA	3V	0.36		0.5		0.44		
		I _{OL} = 24mA	4.5V	0.36		0.5		0.44		
		I _{OL} = 50mA†	5.5V			1.65				
I _I	V _I = V _{CC} 或 GND		5.5V	±0.1		±1		±1		μA
			5.5V	8		160		80		
I _{CC}	V _I = V _{CC} 或 GND	I _O = 0	5.5V							μA
C _i				10		10		10		pF

4.6 时序要求

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

			V _{CC}	-55°C 至 125°C		-40°C 至 85°C		单位
				最小值	最大值	最小值	最大值	
f _{clock}	时钟频率		1.5V		7		8	MHz
			3.3V ± 0.3V		64		73	
			5V ± 0.5V		90		103	
t _w	脉冲持续时间	CLK 高电平或低电平	1.5V		69		61	ns
			3.3V ± 0.3V		7.7		6.8	
			5V ± 0.5V		5.5		4.8	
	CLR 为低电平		1.5V		63		55	ns
			3.3V ± 0.3V		7		6.1	
			5V ± 0.5V		5		4.4	
t _{su}	CLK ↑ 前的建立时间	A、B、C 或 D	1.5V		63		55	ns
			3.3V ± 0.3V		7		6.1	
			5V ± 0.5V		5		4.4	
	LOAD		1.5V		75		66	ns
			3.3V ± 0.3V		8.4		7.4	
			5V ± 0.5V		6		5.3	

4.6 时序要求 (续)

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

		V_{CC}	-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
t_h	保持时间	1.5V	0		0		ns
		3.3V ± 0.3V	0		0		
		5V ± 0.5V	0		0		
	ENP 或 ENT	1.5V	0		0		ns
		3.3V ± 0.3V	0		0		
		5V ± 0.5V	0		0		
t_{rec}	$\overline{CLR} \uparrow$ 在 $CLK \uparrow$ 之前的恢复时间		1.5V	75		66	ns
			3.3V ± 0.3V	8.4		7.4	
			5V ± 0.5V	6		5.3	

4.7 开关特性

在自然通风条件下的建议工作温度范围内测得, $CL = 50pF$ (除非另有说明) (请参阅[参数测量信息](#))

参数	从 (输入)	到 (输出)	V_{CC}	-55°C 至 125°C		-40°C 至 85°C		单位
				最小值	最大值	最小值	最大值	
f_{max}			1.5V	7		8		MHz
			3.3V ± 0.3V	64		73		
			5V ± 0.5V	90		103		
t_{pd}	CLK	RCO	1.5V	-	209	-	190	ns
			3.3V ± 0.3V	6	23.4	6	21	
			5V ± 0.5V	4.3	16.7	4.3	15.2	
		任意 Q	1.5V	-	207	-	188	
			3.3V ± 0.3V	5.9	23.1	5.9	21	
			5V ± 0.5V	4.2	16.5	4.2	15	
	ENT	RCO	1.5V	-	129	-	117	
			3.3V ± 0.3V	3.6	14.4	3.7	13.1	
			5V ± 0.5V	2.6	10.3	2.7	9.4	
	CLR	任意 Q	1.5V	-	207	-	188	
			3.3V ± 0.3V	5.9	23.1	5.9	21	
			5V ± 0.5V	4.2	16.5	4.2	15	
		RCO	1.5V	-	207	-	188	
			3.3V ± 0.3V	5.9	23.1	5.9	21	
			5V ± 0.5V	4.2	16.5	4.2	15	

4.8 时序图

下面显示了以下序列:

1. 将输出清零 (异步)
2. 预设为二进制 12
3. 计数至 13、14、15、0、1 和 2
4. 抑制

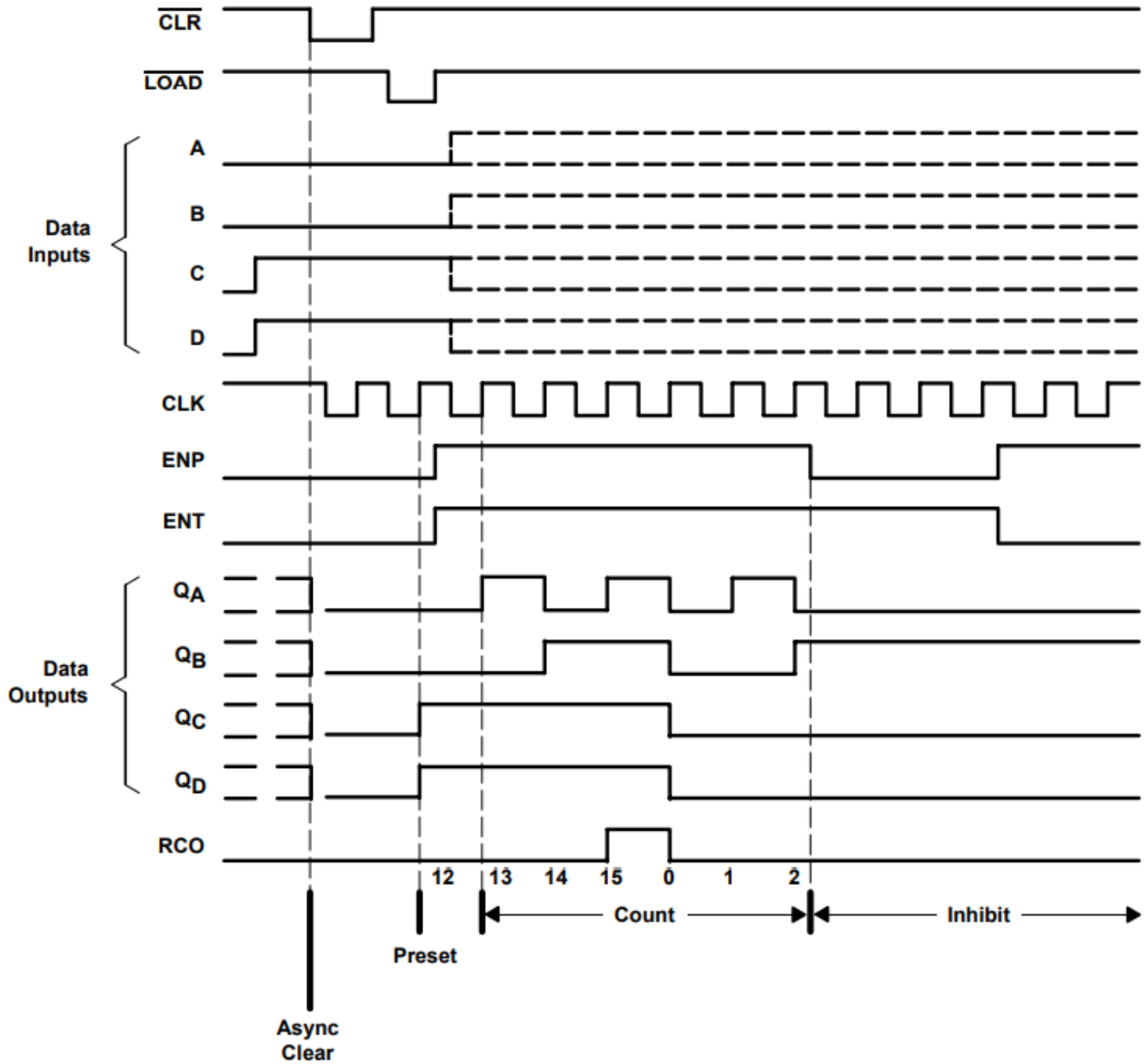


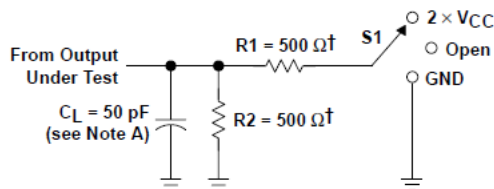
图 4-1. 典型的清零、预设、计数和抑制序列

4.9 工作特性

$T_A = 25^\circ\text{C}$

参数	测试条件	典型值	单位
C_{pd} 功率耗散电容	无负载	66	pF

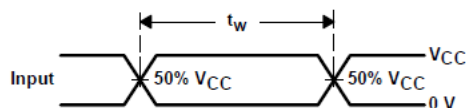
5 参数测量信息



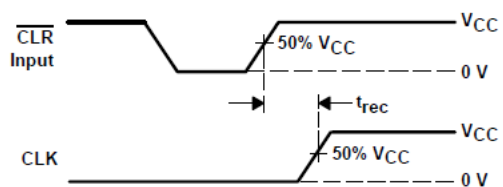
† When $V_{CC} = 1.5\text{ V}$, $R1 = R2 = 1\text{ k}\Omega$

LOAD CIRCUIT

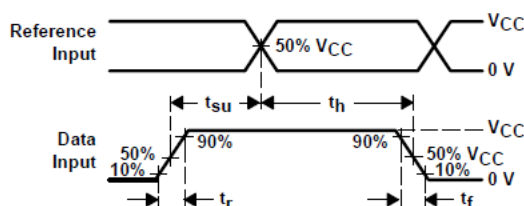
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND



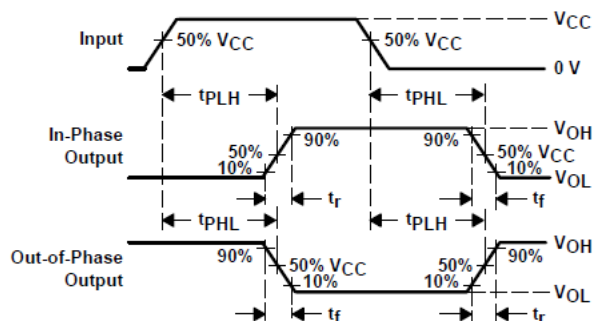
VOLTAGE WAVEFORMS
PULSE DURATION



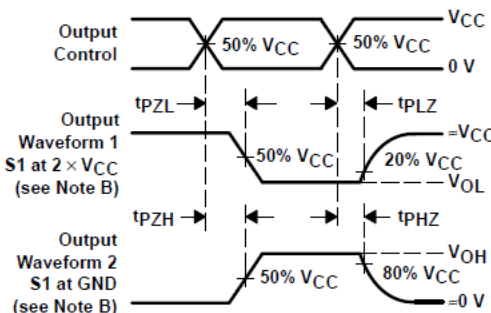
VOLTAGE WAVEFORMS
RECOVERY TIME



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES

A. CL 包括探头和测试夹具电容。

B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。

C. 所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{ MHz}$ 、 $ZO = 50\Omega$ 、 $t_r = 3\text{ ns}$ 且 $t_f = 3\text{ ns}$ 。波形之间的相位关系没有固定规律。

D. 对于时钟输入， f_{max} 是在输入占空比为 50% 时测得的。

E. 一次测量一个输出，每次测量一个输入转换。

F. t_{PLH} 和 t_{PHL} 与 t_{pd} 相同。

G. t_{PZL} 和 t_{PZH} 与 t_{en} 相同。

H. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 相同。

6 详细说明

6.1 概述

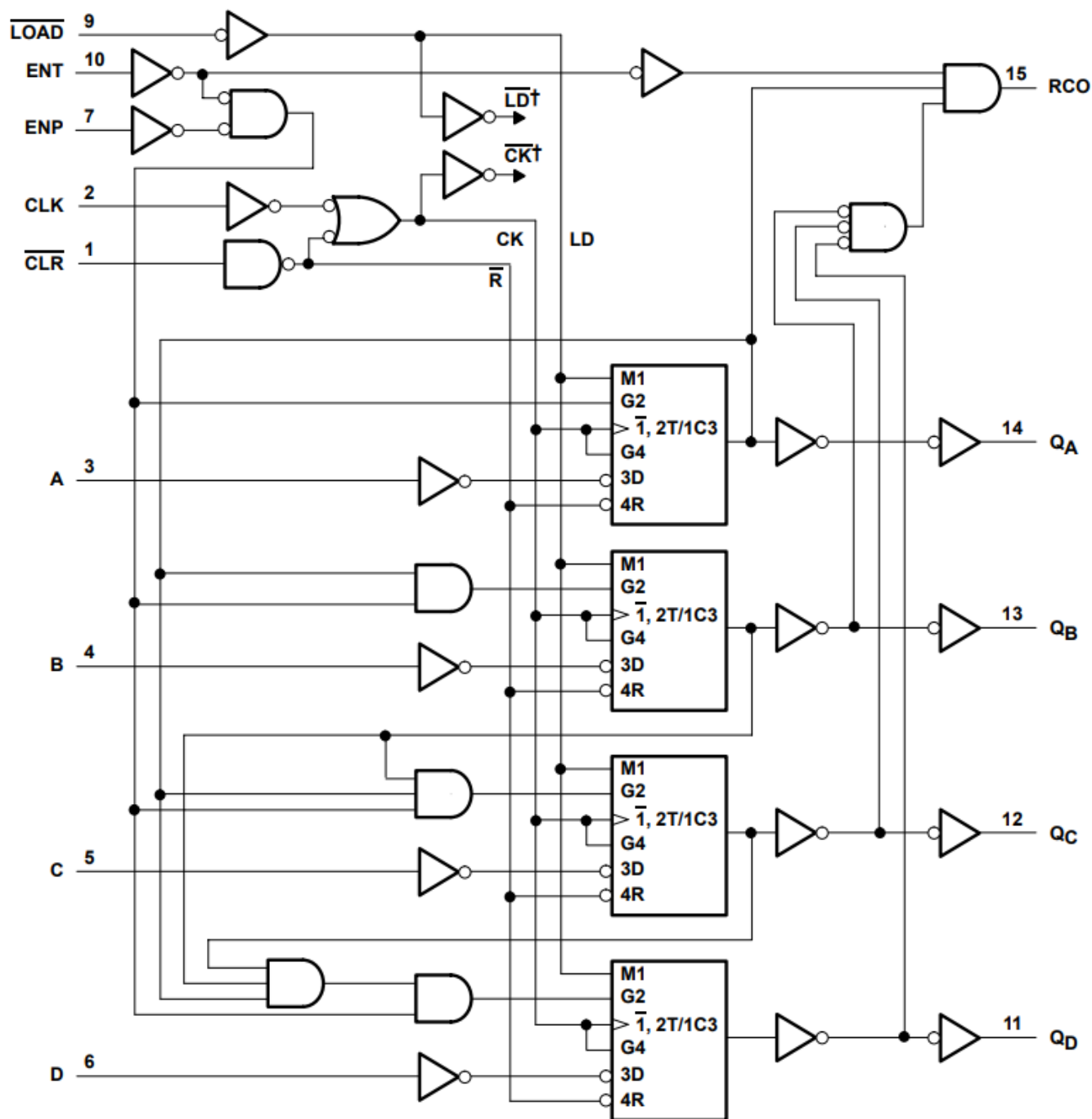
'AC161 器件为 4 位二进制计数器。这些同步、可预置的计数器具有内部进位超前功能，适用于高速计数应用。这些器件是完全可编程的；也就是说，它们可以预设为 0 和 9 之间的任一数字或者 15。预置是同步的；因此，当负载输入端设为低电平时，会禁用计数器，并导致输出与下一个时钟脉冲后的设置数据一致，而不管使能输入的电平如何。

清除功能是异步的。当清零 ($\overline{\text{CLR}}$) 输入端为低电平时，无论 CLK、负载 ($\overline{\text{LOAD}}$) 或使能输入的电平如何，所有四个触发器输出都会设为低电平。

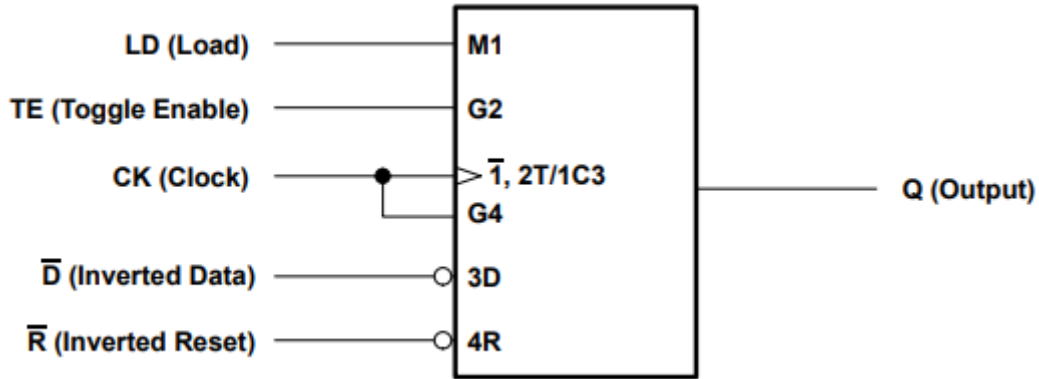
进位超前电路支持将级联计数器用于 n 位同步应用，而无需额外的选通。实现此功能的关键是 ENP、ENT 和纹波进位输出 (RCO)。ENP 和 ENT 都必须为高电平才能计数，并且 ENT 被前馈以启用 RCO。启用 RCO 会在计数达到最大值 (9 或 15 且 QA 处于高电平) 时产生高电平脉冲。这个高电平溢出纹波进位脉冲可用于启用连续级联。无论 CLK 电平如何，都允许在 ENP 或 ENT 上进行转换。

这些计数器具有一个完全独立的时钟电路。改变运行模式的控制输入 (ENP、ENT 或 $\overline{\text{LOAD}}$) 上的变化对于计数器在计时发生前的内容没有影响。计数器的功能 (无论是启用、禁用、加载还是计数) 只能由符合稳定设置和保持时间要求的条件控制。

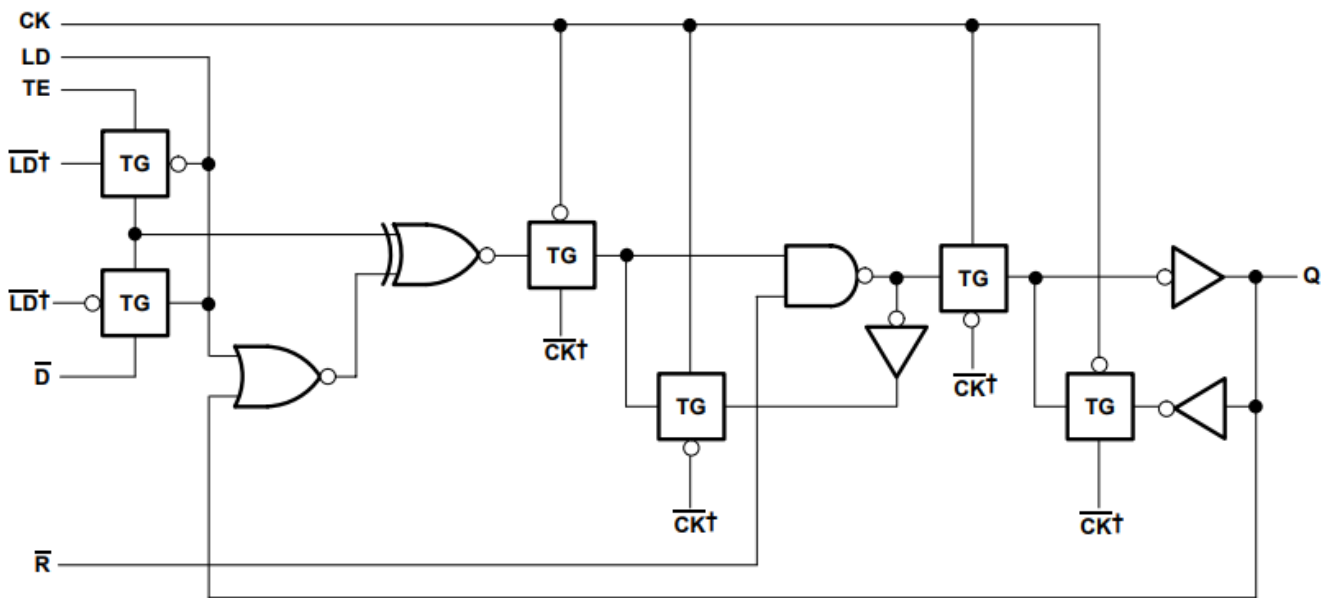
6.2 功能方框图



逻辑图 (正逻辑)



逻辑符号，每个 D/T 触发器



逻辑图，每个 D/T 触发器 (正逻辑)

6.3 器件功能模式

表 6-1. 功能表

输入						输出		功能
CLR	CLK	ENP	ENT	LOAD	A,B,C,D	Q _n	R _{co}	
L	X	X	X	X	X	L	L	复位 (清除)
H	↑	X	X	l	l	L	L	并行负载
H	↑	X	X	l	h	H	注 1	
H	↑	h	h	h	X	数量	注 1	数量
H	X	l	X	h	X	q _n	注 1	抑制
H	X	X	l	h	X	q _n	L	

H = 高电平、L = 低电平、X = 无关、h = 高电平 1 在 CLK 低电平到高电平转换之前的建立时间、l = 低电平 1 在 CLK 低电平到高电平转换之前的建立时间、q = CLK 低电平到高电平转换之前的基准输出状态，以及 ↑ = CLK 低电平到高电平转换。

注 1：当 ENT 为高电平且计数器处于终端计数时，RCO 输出为高电平

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 电源相关建议

电源可以是 [节 4.3](#) 中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 $0.1\mu F$ 电容器。如果有多个 V_{CC} 端子，则建议为每个电源端子使用 $0.01\mu F$ 或 $0.022\mu F$ 电容器。允许并联多个旁路电容器以抑制不同的噪声频率。为抑制不同的噪声频率，可以并联多个旁路电容器。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

当使用多位逻辑器件时，输入不得悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用。例如，在仅使用三输入与门的 2 个输入，或仅使用 4 个缓冲门中的 3 个时。此类输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的运行状态。

“布局图”指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至一个高或低偏置以防止悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们会连接到 GND 或 V_{CC} ，具体取决于哪种更合理或更方便。

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持 (模拟)

8.1.1 相关文档

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 8-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
CD54AC161	点击此处	点击此处	点击此处	点击此处	点击此处
CD74AC161	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (September 1998) to Revision D (May 2024)	Page
• 添加了 器件信息表 、 引脚功能表 、 ESD 等级表 、 热性能信息表 、 器件功能模式 、 应用和实施 部分、 器件和文档支持 部分以及 机械、封装和可订购信息 部分.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC161F3A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC161F3A
CD54AC161F3A.A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC161F3A
CD74AC161E	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC161E
CD74AC161E.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC161E
CD74AC161M	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-55 to 125	AC161M
CD74AC161M96	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC161M
CD74AC161M96.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC161M

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC161, CD74AC161 :

- Catalog : [CD74AC161](#)
- Military : [CD54AC161](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC161M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC161M96	SOIC	D	16	2500	353.0	353.0	32.0

TUBE

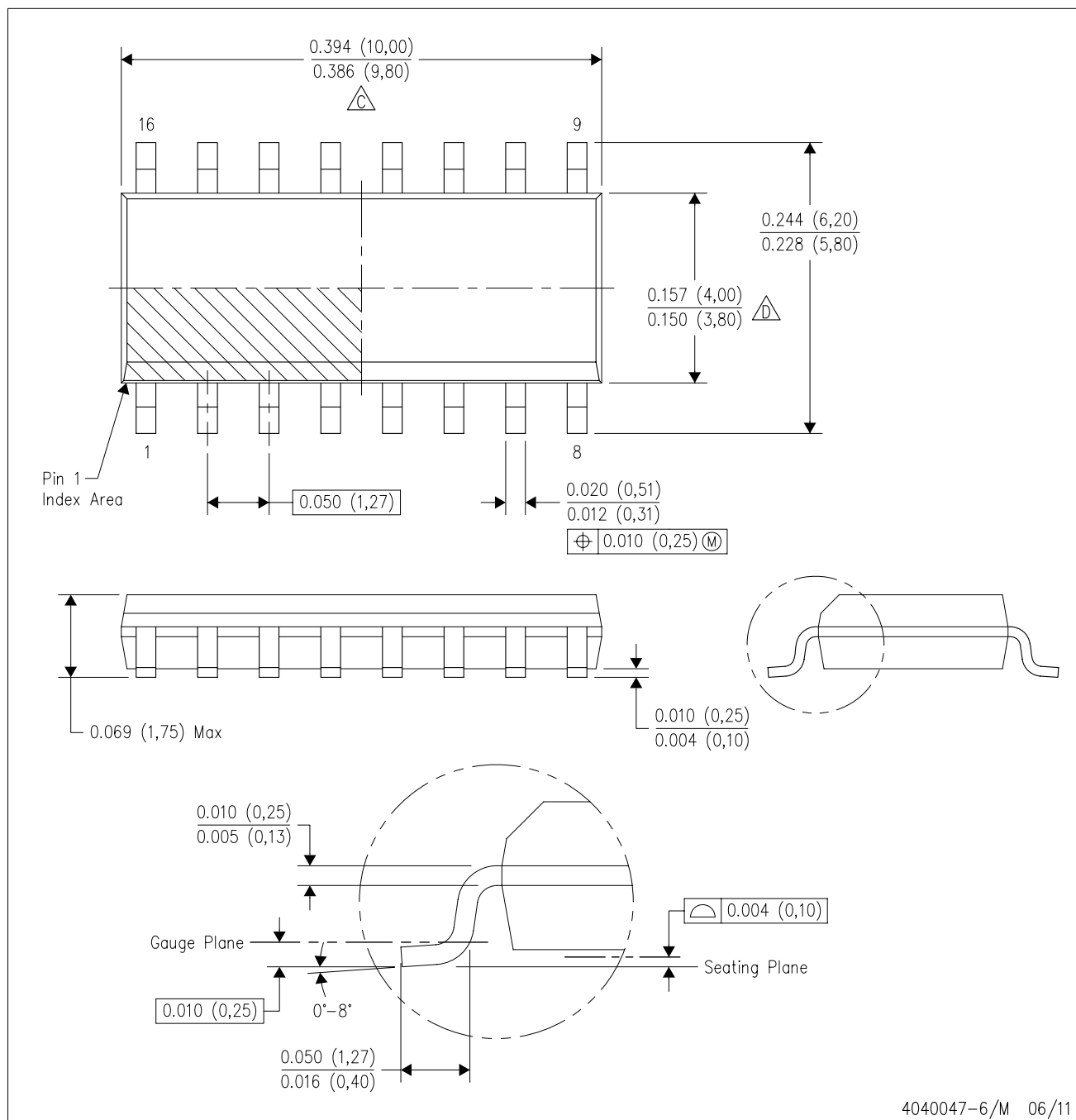


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC161E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC161E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC161E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC161E.A	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
- Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
- The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月