CDx4HC405x、CD4HCT405x 高速 CMOS 逻辑模拟多路复用器和多路信号分离器

1 特性

- 宽模拟输入电压范围：±5V（最大值）
- 低导通电阻：
  - 70Ω（典型值）(V_{CC} – V_{EE} = 4.5V)
  - 40Ω（典型值）(V_{CC} – V_{EE} = 9V)
- 低开关间串扰
- 快速开关和传播速度
- 先断后合开关
- 宽工作温度范围：
  -40°C 至 +125°C
- 工作控制电压：4.5V 至 5.5V
- 开关电压：0V 至 10V
- 直接 LSTTL 输入逻辑兼容性
  V_{IL} = 0.8V（最大值），V_{IH} = 2V（最小值）
- CMOS 输入兼容性
  在 V_{OL}、V_{OH} 下 $I_I \leq 1\mu A$

2 应用

- 数字射频
- 信号门控
- 工厂自动化
- 电视
- 电器
- 可编程逻辑电路
- 传感器

3 说明

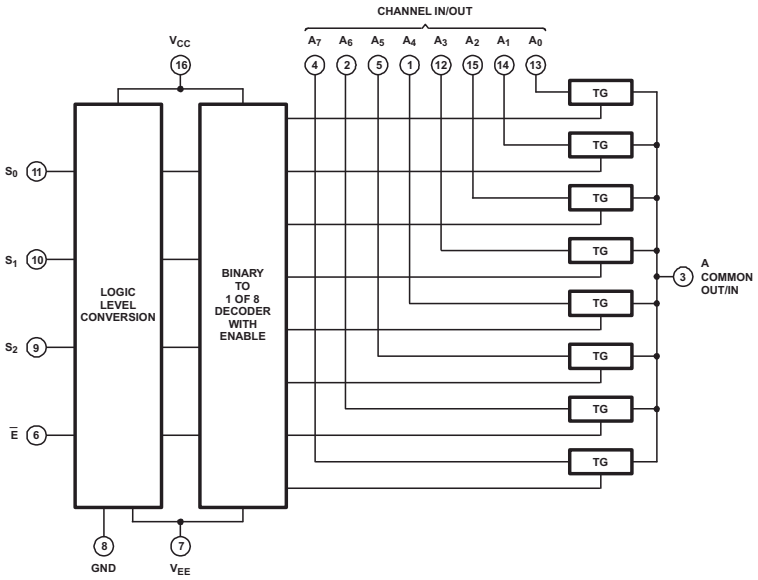
CDx4HC405x 和 CDx4HCT405x 器件是数字控制的模拟开关，它使用硅栅 CMOS 技术并借助标准 CMOS 集成电路的低功耗特性来实现与 LSTTL 接近的运行速度。

该模拟多路复用器和多路信号分离器可控制模拟电压，该电压可能会在整个电源电压范围内变化（例如，V_{CC} 变为 V_{EE}）。它是双向开关，可将任何模拟输入用作输出，反之亦然。该开关具有低导通电阻和低关断泄漏。此外，该器件还具有使能控制，当处于高电平时将禁用所有开关，将其置于关断状态。

器件信息

器件型号	T_A	封装(1)	封装尺寸(2)
CD54HCx405x	-55°C 至 125°C	J（CDIP、16）	19.56mm × 6.92mm
CD74HCx405x		N（PDIP，16）	19.30mm × 6.35mm
		D（SOIC，16）	9.9mm × 3.9mm
		NS（SOP，16）	10.3mm × 5.3mm
		PW（TSSOP，16）	5mm × 4.4mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



HCT4051 的功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 热性能信息.....7
5.4 建议运行条件.....7
5.5 电气特性：HC 器件.....8
5.6 电气特性：HCT 器件.....11
5.7 开关特性，VCC = 5V.....13
5.8 开关特性，CL = 50pF.....14
5.9 模拟通道规格.....17
5.10 典型特性.....19
6 参数测量信息.....20
7 详细说明.....23
7.1 概述.....23
7.2 功能方框图.....23
7.3 特性说明.....25
7.4 器件功能模式.....25
8 应用和实施.....26
8.1 应用信息.....26
8.2 典型应用.....26
8.3 电源相关建议.....27
8.4 布局.....28
9 器件和文档支持.....29
9.1 文档支持.....29
9.2 接收文档更新通知.....29
9.3 支持资源.....29
9.4 商标.....29
9.5 静电放电警告.....29
9.6 术语表.....29
10 修订历史记录.....30
11 机械、封装和可订购信息.....30

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

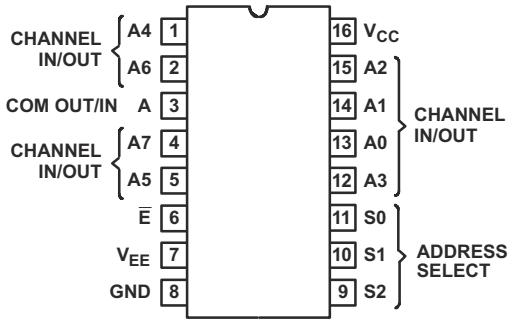


图 4-1. CDx4HCx4051 J、N、D、NS、PW 封装 16 引脚 CDIP、PDIP、SOIC、SO、TSSOP (顶视图)

表 4-1. CDxHCx4051B 的引脚功能

引脚		类型(1)	说明
名称	编号		
CH A4 IN/OUT	1	I/O	通道 4 输入/输出
CH A6 IN/OUT	2	I/O	通道 6 输入/输出
COM OUT/IN	3	I/O	公共输出/输入
CH A7 IN/OUT	4	I/O	通道 7 输入/输出
CH A5 IN/OUT	5	I/O	通道 5 输入/输出
!E	6	I	使能通道 (低电平有效)
V_{EE}	7	—	负电源输入
GND	8	—	接地
S2	9	I	通道选择 2
S1	10	I	通道选择 1
S0	11	I	通道选择 0
CH A3 IN/OUT	12	I/O	通道 3 输入/输出
CH A0 IN/OUT	13	I/O	通道 0 输入/输出
CH A1 IN/OUT	14	I/O	通道 1 输入/输出
CH A2 IN/OUT	15	I/O	通道 2 输入/输出
V_{CC}	16	—	正电源输入

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

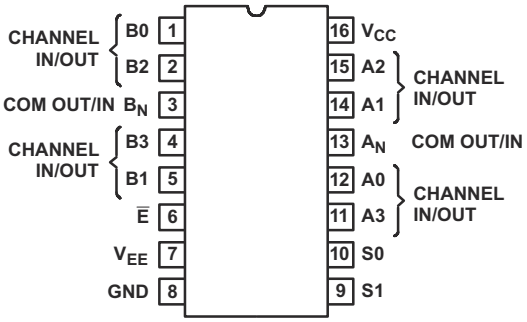


图 4-2. CDx4HCx4052 J、N、D、NS、PW 封装 16 引脚 CDIP、PDIP、SOIC、SO、TSSOP (顶视图)

表 4-2. CDx4HCx4052B 的引脚功能

引脚		类型(1)	说明
名称	编号		
CH B0 IN/OUT	1	I/O	通道 B0 输入/输出
CH B2 IN/OUT	2	I/O	通道 B2 输入/输出
COM B OUT/IN	3	I/O	B 公共输出/输入
CH B3 IN/OUT	4	I/O	通道 B3 输入/输出
CH B1 IN/OUT	5	I/O	通道 B1 输入/输出
!E	6	I	使能通道 (低电平有效)
V_{EE}	7	—	负电源输入
GND	8	—	接地
S1	9	I	通道选择 1
S0	10	I	通道选择 0
CH A3 IN/OUT	11	I/O	通道 A3 输入/输出
CH A0 IN/OUT	12	I/O	通道 A0 输入/输出
COM A IN/OUT	13	I/O	A 公共输出/输入
CH A1 IN/OUT	14	I/O	通道 A1 输入/输出
CH A2 IN/OUT	15	I/O	通道 A2 输入/输出
V_{CC}	16	—	正电源输入

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

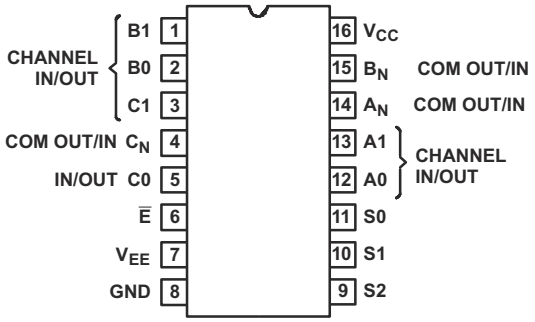


图 4-3. CDx4HCx4053 J、N、D、NS、PW 封装 16 引脚 CDIP、PDIP、SOIC、SO、TSSOP (顶视图)

表 4-3. 引脚功能 CDx4HCx4053B

引脚		类型(1)	说明
名称	编号		
B1IN/OUT	1	I/O	B 通道 Y 输入/输出
B0 IN/OUT	2	I/O	B 通道 X 输入/输出
C1 IN/OUT	3	I/O	C 通道 Y 输入/输出
COM C OUT/IN	4	I/O	C 公共输出/输入
C0 IN/OUT	5	I/O	C 通道 X 输入/输出
!E	6	I	使能通道 (低电平有效)
V_{EE}	7	—	负电源输入
GND	8	—	接地
S2	9	I	通道选择 2
S1	10	I	通道选择 1
S0	11	I	通道选择 0
A0 IN/OUT	12	I/O	A 通道 X 输入/输出
A1 IN/OUT	13	I/O	A 通道 Y 输入/输出
COM A OUT/IN	14	I/O	A 公共输出/输入
COM B OUT/IN	15	I/O	B 公共输出/输入
V_{CC}	16	—	正电源输入

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC} – V_{EE}	直流电源电压		-0.5	10.5	V
V_{CC}			-0.5	7	V
V_{EE}			0.5	-7	V
I_{IK}	直流输入二极管电流	V_I < – 0.5V 或 V_I > V_{CC} + 0.5V	-20	20	mA
I_{OK}	直流开关二极管电流	V_I < V_{EE} – 0.5V 或 V_I > V_{CC} + 0.5V	-20	20	mA
	直流开关电流(2)	V_I < V_{EE} – 0.5V 或 V_I > V_{CC} + 0.5V	-25	25	mA
I_{CC}	直流 V_{CC} 或接地电流		-50	50	mA
I_{EE}	直流 V_{EE} 电流		-20		mA
V_{SEL} 或 V_{EN}	逻辑控制输入引脚电压（$\overline{EN}$、Ax、SELx）		-0.5	30	V
T_{JMAX}	最高结温			150	°C
T_{LMAX}	最高引线温度	焊接 10s		300	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*中列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除非另有说明，否则所有电压均以接地为基准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±200	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 热性能信息

热指标(1)		CD74HC4051			单位
		N (PDIP)	NS (SO)	PW (TSSOP)	
		16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	77.3	99.3	116.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	56.2	59.6	51.9	°C/W
$R_{\theta JB}$	结至电路板热阻	52.6	65.7	73.9	°C/W
Ψ_{JT}	结至顶部特征参数	33.7	21.5	4.7	°C/W
Ψ_{JB}	结至电路板特征参数	52.1	65.1	73.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	标称值	最大值	单位
V_{CC}	电源电压范围（T_A = 整个封装温度范围）(2)	CD54 和 74HC 类型	2		6	V
		CD54 和 74HCT 类型	4.5		5.5	
V_{CC} – V_{EE}	电源电压范围（T_A = 整个封装温度范围）	CD54 和 74HC 类型，CD54 和 74HCT 类型	2		10	V
V_{EE}	电源电压范围（T_A = 整个封装温度范围）(3)	CD54 和 74HC 类型，CD54 和 74HCT 类型	0		-6	V
V_I	直流输入控制电压		0		V_{CC}	V
V_{IS}	模拟开关 I/O 电压		V_{EE}		V_{CC}	V
T_A	环境温度		-55		125	°C
t_r、t_f	输入上升和下降时间	2V	0		1000	ns
		4.5V	0		500	
		6V	0		400	

(1) 为了实现出色的可靠性，必须选择标称运行条件，以便始终在*建议运行条件*表中指定的范围内运行。
(2) 除非另有说明，所有电压均以 GND 为基准。
(3) 在某些应用中，外部负载电阻器电流可能同时包括 V_{CC} 和信号线分量。当开关电流流入传输门输入端时，为避免产生 V_{CC} 电流，双向开关两端的压降不得超过 0.6V（该数值根据*电气特性 HC* 和*电气特性 HCT* 表所列 r_{ON} 值计算得出）。对于 HC 和 HCT4051，若开关电流流入端子 3；对于 HC 和 HCT4052，若电流流入端子 3 和 13；对于 HC 和 HCT4053，若电流流入端子 4、14 和 15，则不会产生流经 R_L 的 V_{CC} 电流。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性：HC 器件

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）

参数	测试条件						最小值	典型值	最大值	单位
CD74HC405x										
		V_{IS} (V)	V_I (V)	V_{EE} (V)	V_{CC} (V)	T_A				
输入高电压，V_{IH}，最小值					2	25°C	1.5			V
						-40°C 至 +85°C	1.5			
						-55°C 至 +125°C	1.5			
					4.5	25°C	3.15			
						-40°C 至 +85°C	3.15			
						-55°C 至 +125°C	3.15			
					6	25°C	4.2			
						-40°C 至 +85°C	4.2			
						-55°C 至 +125°C	4.2			
输入低电压，V_{IL}，最大值					2	25°C			0.5	V
						-40°C 至 +85°C			0.5	
						-55°C 至 +125°C			0.5	
					4.5	25°C			1.35	
						-40°C 至 +85°C			1.35	
						-55°C 至 +125°C			1.35	
					6	25°C			1.8	
						-40°C 至 +85°C			1.8	
						-55°C 至 +125°C			1.8	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性：HC 器件（续）

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）

参数	测试条件						最小值	典型值	最大值	单位
r_{ON} 导通电阻	I_O = 1mA	V_{CC} 或 V_{EE}	V_{IL} 或 V_{IH}	0	4.5	25°C		70	160	Ω
						-40°C 至 +85°C			200	
						-55°C 至 +125°C			240	
				0	6	25°C		60	140	
						-40°C 至 +85°C			175	
						-55°C 至 +125°C			210	
				-4.5	4.5	25°C		40	120	
						-40°C 至 +85°C			150	
						-55°C 至 +125°C			180	
		V_{CC} 至 V_{EE}		0	4.5	25°C		90	180	Ω
						-40°C 至 +85°C			225	
						-55°C 至 +125°C			270	
				0	6	25°C		80	160	
						-40°C 至 +85°C			200	
						-55°C 至 +125°C			240	
				-4.5	4.5	25°C		45	130	
						-40°C 至 +85°C			162	
						-55°C 至 +125°C			195	
Δr_{ON} 任何两个通道之间的最大导通电阻				0	4.5	25°C		10		Ω
				0	6	25°C		8.5		
				-4.5	4.5	25°C		5		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性：HC 器件（续）

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）

参数	测试条件						最小值	典型值	最大值	单位
I_{IZ} 开关导通/关断泄漏电流	1 和 2 通道	对于关断：当 V_{IS} = V_{CC} 时，V_{OS} = V_{EE}；当 V_{IS} = V_{EE} 时，V_{OS} = V_{CC}。对于导通：V_{IS} 和 V_{OS} 电压电平的所有适用组合	V_{IL} 或 V_{IH}	0	6	25°C			±0.1	μA
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
	4053			-5	5	25°C			±0.1	
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
	4 通道			0	6	25°C			±0.1	
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
	4052			-5	5	25°C			±0.2	
						-55°C 至 85°C			±2	
						-55°C 至 125°C			±2	
	8 通道			0	6	25°C			±0.2	
						-55°C 至 85°C			±2	
						-55°C 至 125°C			±2	
	4051			-5	5	25°C			±0.4	
						-55°C 至 85°C			±4	
						-55°C 至 125°C			±4	
I_{IL} 控制输入漏电流			V_{CC} 或 GND	0	6	25°C			±0.1	μA
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
静态器件电流，I_{CC} 最大值	I_O = 0	当 V_{IS} = V_{EE} 时，V_{OS} = V_{CC}	V_{CC} 或 GND	0	6	25°C			12	μA
						-55°C 至 85°C			80	
						-55°C 至 125°C			160	
		当 V_{IS} = V_{CC} 时，V_{OS} = V_{EE}		-5	5	25°C			32	
						-55°C 至 85°C			160	
						-55°C 至 125°C			320	

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性：HCT 器件

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）(1)

参数		测试条件					最小值	典型值	最大值	单位
CD74HCT405x										
		V_{IS} (V)	**V_I (V)**	**V_{EE} (V)**	**V_{CC} (V)**	**T_A**				
输入高电压，V_{IH}，最小值					4.5 至 5.5	25°C	2			V
						-40°C 至 +85°C	2			
						-55°C 至 +125°C	2			
输入低电压，V_{IL}，最大值					4.5 至 5.5	25°C			0.8	V
						-40°C 至 +85°C			0.8	
						-55°C 至 +125°C			0.8	
r_{ON} 导通电阻	I_O = 1mA	V_{CC} 或 V_{EE}	V_{IL} 或 V_{IH}	0	4.5	25°C		70	160	Ω
						-40°C 至 +85°C			200	
						-55°C 至 +125°C			240	
				-4.5	4.5	25°C		40	120	
						-40°C 至 +85°C			150	
						-55°C 至 +125°C			180	
		V_{CC} 至 V_{EE}		0	4.5	25°C		90	180	
						-40°C 至 +85°C			225	
						-55°C 至 +125°C			270	
				-4.5	4.5	25°C		45	130	Ω
						-40°C 至 +85°C			162	
						-55°C 至 +125°C			195	
Δr_{ON} 任何两个通道之间的最大导通电阻				0	4.5	25°C		10		Ω
				-4.5	4.5	25°C		5		

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性：HCT 器件（续）

在自然通风条件下的工作温度范围内且 V_{SUPPLY} = ±5V 和 R_L = 100Ω 的条件下测得（除非另有说明）(1)

参数	测试条件						最小值	典型值	最大值	单位
I_{IZ} 开关导通/关断泄漏电流	1 和 2 通道	对于关断：当 V_{IS} = V_{CC} 时，V_{OS} = V_{EE}；当 V_{IS} = V_{EE} 时，V_{OS} = V_{CC}。对于导通：V_{IS} 和 V_{OS} 电压电平的所有适用组合	V_{IL} 或 V_{IH}	0	6	25°C			±0.1	μA
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
	4053			-5	5	25°C			±0.1	
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
	4 通道			0	6	25°C			±0.1	
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
	4052			-5	5	25°C			±0.2	
						-55°C 至 85°C			±2	
						-55°C 至 125°C			±2	
	8 通道			0	6	25°C			±0.2	
						-55°C 至 85°C			±2	
						-55°C 至 125°C			±2	
	4051			-5	5	25°C			±0.4	
						-55°C 至 85°C			±4	
						-55°C 至 125°C			±4	
I_{IL} 控制输入漏电流			请参阅(1)	0	5.5	25°C			±0.1	μA
						-55°C 至 85°C			±1	
						-55°C 至 125°C			±1	
静态器件电流，I_{CC} 最大值	I_O = 0	当 V_{IS} = V_{EE} 时，V_{OS} = V_{CC}	V_{CC} 或 GND	0	5.5	25°C			12	μA
						-55°C 至 85°C			80	
						-55°C 至 125°C			160	
		当 V_{IS} = V_{CC} 时，V_{OS} = V_{EE}		-4.5	5.5	25°C			32	
						-55°C 至 85°C			160	
						-55°C 至 125°C			320	
ΔI_{CC} 每个输入引脚的附加静态器件电流：1 个单位负载(2)		ΔICC	V_{CC} - 2.1		4.5 至 5.5	25°C		100	360	μA
						-55°C 至 85°C			450	
						-55°C 至 125°C			490	

(1) V_{CC} 和 GND 之间的任何电压。
(2) 对于双电源系统，理论上最坏情况（V_I = 2.4V，V_{CC} = 5.5V）下的规格为 1.8mA。

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性，VCC = 5V

V_{CC} = 5V，T_A = 25°C，输入 t_r，t_f = 6ns

参数		测试条件		C_L (pF)	最小值 标称值 最大值	单位
t_{PHL}，t_{PLH}	电源电压范围（T_A = 整个封装温度范围）	开关输入至输出	CDx4HC4051	15	4	ns
			CDx4HCT4051		4	
			CDx4HC4052		4	
			CDx4HCT4052		4	
			CDx4HC4053		4	
			CDx4HCT4053		4	
t_{PHZ}，t_{PLZ}		开关关断（S 或 E）	CDx4HC4051	15	27	
			CDx4HCT4051		35	
			CDx4HC4052		33	
			CDx4HCT4052		33	
			CDx4HC4053		30	
			CDx4HCT4053		35	
t_{PZH}，t_{PZL}		开关导通（S 或 E）	CDx4HC4051	15	19	
			CDx4HCT4051		23	
			CDx4HC4052		27	
			CDx4HCT4052		29	
			CDx4HC4053		18	
			CDx4HCT4053		28	
C_{PD} 功率耗散电容(1)			CDx4HC4051		50	pF
			CDx4HCT4051		52	
			CDx4HC4052		74	
			CDx4HCT4052		76	
			CDx4HC4053		38	
			CDx4HCT4053		42	

(1) C_{PD} 用于确定每个封装的动态功耗。$P_D = C_{PD} v_{CC}^2 f_i + \Sigma (C_L + C_S) V_{CC}^2 f_O$，$f_O$ = 输出频率，f_I = 输入频率，C_L = 输出负载电容，C_S = 开关电容，V_{CC} = 电源电压

Copyright © 2026 Texas Instruments Incorporated

5.8 开关特性，CL = 50pF

C_L = 50pF，输入 t_r，t_f = 6ns

参数		V_{EE} (V)	V_{CC} (V)	测试条件		最小值 标称值 最大值	单位
t_{PHL}、t_{PLH} 开关输入到输出的传播延迟		0	2	T_A = 25°C	HC	60	ns
				T_A = -40°C 至 +85°C	HC	75	
				T_A = -55°C 至 +125°C	HC	90	
		0	4.5	T_A = 25°C	HC、HCT	12	
				T_A = -40°C 至 +85°C	HC、HCT	15	
				T_A = -55°C 至 +125°C	HC、HCT	18	
		0	6	T_A = 25°C	HC	10	
				T_A = -40°C 至 +85°C	HC	13	
				T_A = -55°C 至 +125°C	HC	15	
		-4.5	4.5	T_A = 25°C	HC、HCT	8	
				T_A = -40°C 至 +85°C	HC、HCT	10	
				T_A = -55°C 至 +125°C	HC、HCT	12	
t_{PHZ}、t_{PLZ} 从 S 或 E 到开关输出的最大开关关断延迟	4051	0	2	T_A = 25°C	HC	250	ns
				T_A = -40°C 至 +85°C	HC	340	
				T_A = -55°C 至 +125°C	HC	400	
		0	4.5	T_A = 25°C	HC、HCT	50	
				T_A = -40°C 至 +85°C	HC、HCT	56	
				T_A = -55°C 至 +125°C	HC、HCT	68	
		0	6	T_A = 25°C	HC	44	
				T_A = -40°C 至 +85°C	HC	50	
				T_A = -55°C 至 +125°C	HC	57	
		-4.5	4.5	T_A = 25°C	HC、HCT	44	
				T_A = -40°C 至 +85°C	HC、HCT	50	
				T_A = -55°C 至 +125°C	HC、HCT	55	

Copyright © 2026 Texas Instruments Incorporated

5.8 开关特性，CL = 50pF （续）

C_L = 50pF，输入 t_r，t_f = 6ns

参数		V_{EE} (V)	V_{CC} (V)	测试条件		最小值 标称值 最大值	单位
t_{PHZ}、t_{PLZ} 从 S 或 E 到开关输出的最大开关关断延迟	4052	0	2	T_A = 25°C	HC	250	ns
				T_A = -40°C 至 +85°C	HC	340	
				T_A = -55°C 至 +125°C	HC	400	
		0	4.5	T_A = 25°C	HC、HCT	50	
				T_A = -40°C 至 +85°C	HC、HCT	63	
				T_A = -55°C 至 +125°C	HC、HCT	75	
		0	6	T_A = 25°C	HC	45	
				T_A = -40°C 至 +85°C	HC	54	
				T_A = -55°C 至 +125°C	HC	65	
		-4.5	4.5	T_A = 25°C	HC	45	
					HCT	45	
				T_A = -40°C 至 +85°C	HC	48	
					HCT	50	
				T_A = -55°C 至 +125°C	HC	57	
					HCT	57	
t_{PHZ}、t_{PLZ} 从 S 或 E 到开关输出的最大开关关断延迟	4053	0	2	T_A = 25°C	HC	250	ns
				T_A = -40°C 至 +85°C	HC	340	
				T_A = -55°C 至 +125°C	HC	400	
		0	4.5	T_A = 25°C	HC	45	
					HCT	50	
				T_A = -40°C 至 +85°C	HC	53	
					HCT	53	
				T_A = -55°C 至 +125°C	HC	63	
					HCT	66	
		0	6	T_A = 25°C	HC	45	
				T_A = -40°C 至 +85°C	HC	50	
				T_A = -55°C 至 +125°C	HC	55	
		-4.5	4.5	T_A = 25°C	HC	45	
					HCT	45	
				T_A = -40°C 至 +85°C	HC	50	
					HCT	50	
				T_A = -55°C 至 +125°C	HC	55	
					HCT	55	

Copyright © 2026 Texas Instruments Incorporated

5.8 开关特性，CL = 50pF （续）

C_L = 50pF，输入 t_r，t_f = 6ns

参数		V_{EE} (V)	V_{CC} (V)	测试条件		最小值 标称值 最大值	单位
t_{PZL}、t_{PZH} 从 S 或 E 到开关输出的最大开关导通延迟	4051	0	2	T_A = 25°C	HC	325	ns
				T_A = -40°C 至 +85°C	HC	405	
				T_A = -55°C 至 +125°C	HC	490	
		0	4.5	T_A = 25°C	HC	45	
					HCT	55	
				T_A = -40°C 至 +85°C	HC	56	
					HCT	69	
				T_A = -55°C 至 +125°C	HC	68	
					HCT	83	
		0	6	T_A = 25°C	HC	38	
				T_A = -40°C 至 +85°C	HC	48	
				T_A = -55°C 至 +125°C	HC	57	
		-4.5	4.5	T_A = 25°C	HC	36	
					HCT	48	
				T_A = -40°C 至 +85°C	HC	40	
					HCT	55	
				T_A = -55°C 至 +125°C	HC	48	
					HCT	60	
t_{PZL}、t_{PZH} 从 S 或 E 到开关输出的最大开关导通延迟	4052	0	2	T_A = 25°C	HC	325	ns
				T_A = -40°C 至 +85°C	HC	405	
				T_A = -55°C 至 +125°C	HC	490	
		0	4.5	T_A = 25°C	HC	65	
					HCT	70	
				T_A = -40°C 至 +85°C	HC	81	
					HCT	68	
				T_A = -55°C 至 +125°C	HC	98	
					HCT	105	
		0	6	T_A = 25°C	HC	55	
				T_A = -40°C 至 +85°C	HC	69	
				T_A = -55°C 至 +125°C	HC	83	
		-4.5	4.5	T_A = 25°C	HC	46	
					HCT	48	
				T_A = -40°C 至 +85°C	HC	58	
					HCT	60	
				T_A = -55°C 至 +125°C	HC	69	
					HCT	72	

Copyright © 2026 Texas Instruments Incorporated

5.8 开关特性，CL = 50pF （续）

C_L = 50pF，输入 t_r，t_f = 6ns

参数		V_{EE} (V)	V_{CC} (V)	测试条件		最小值 标称值 最大值	单位
t_{PZL}、t_{PZH} 从 S 或 E 到开关输出的最大开关导通延迟	4053	0	2	T_A = 25°C	HC	325	ns
				T_A = -40°C 至 +85°C	HC	405	
				T_A = -55°C 至 +125°C	HC	490	
		0	4.5	T_A = 25°C	HC	44	
					HCT	48	
				T_A = -40°C 至 +85°C	HC	55	
					HCT	60	
				T_A = -55°C 至 +125°C	HC	66	
					HCT	72	
		0	6	T_A = 25°C	HC	37	
				T_A = -40°C 至 +85°C	HC	47	
				T_A = -55°C 至 +125°C	HC	56	
		-4.5	4.5	T_A = 25°C	HC	40	
					HCT	48	
				T_A = -40°C 至 +85°C	HC	45	
					HCT	55	
				T_A = -55°C 至 +125°C	HC	47	
					HCT	60	
C_I 输入（控制）电容				T_A = 25°C	HC、HCT	10	pF
				T_A = -40°C 至 +85°C	HC、HCT	10	
				T_A = -55°C 至 +125°C	HC、HCT	10	

5.9 模拟通道规格

T_A = 25°C 时的典型值

参数	测试条件	HC、HCT 类型	V_{EE} (V)	V_{CC} (V)	最小值 标称值 最大值	单位
C_I 开关输入电容		全部			5	pF
C_{COM} 公共输出电容		4051			25	pF
		4052			12	
		4053			8	
f_{MAX} -3dB 时的最小开关频率响应	请参阅注释(1) 和(2)	4051	-2.25	2.25	145	MHz
		4052	-2.25	2.25	165	
		4053	-2.25	2.25	200	
		4051	-4.5	4.5	180	
		4052	-4.5	4.5	185	
		4053	-4.5	4.5	200	

Copyright © 2026 Texas Instruments Incorporated

5.9 模拟通道规格（续）

T_A = 25°C 时的典型值

参数	测试条件	HC、HCT 类型	V_{EE} (V)	V_{CC} (V)	最小值	标称值	最大值	单位
THD 正弦波失真		全部	-2.25	2.25		0.035		%
		全部	-4.5	4.5		0.018		
关断信号馈通	请参阅注释(2) 和(3)	4051	-2.25	2.25		-73		dB
		4052	-2.25	2.25		-65		
		4053	-2.25	2.25		-64		
		4051	-4.5	4.5		-75		
		4052	-4.5	4.5		-67		
		4053	-4.5	4.5		-66		

(1) 调节输入电压以在 f_{IN} = 1MHz 时在 V_{OS} 下获得 0dBm。
(2) V_{is} 以 (V_{CC} - V_{EE})/2 为中心。
(3) 调节输入以得到 0dBm。

Copyright © 2026 Texas Instruments Incorporated

5.10 典型特性

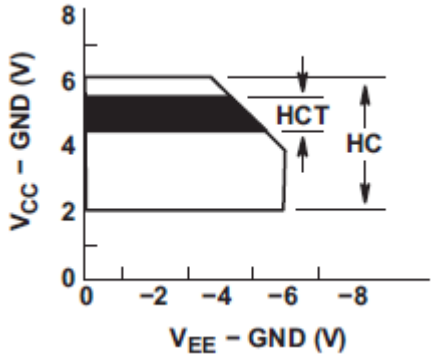


图 5-1. 推荐工作区与 (V_{CC} - V_{EE}) 之间的函数关系

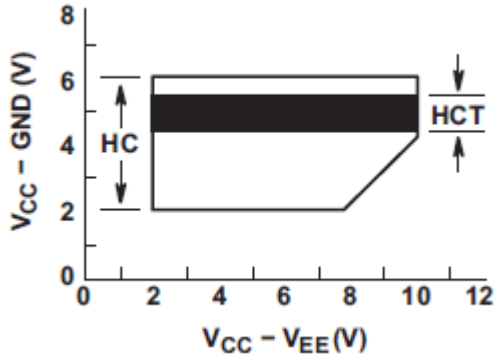


图 5-2. 推荐工作区与 (V_{CC} - GND) 之间的函数关系

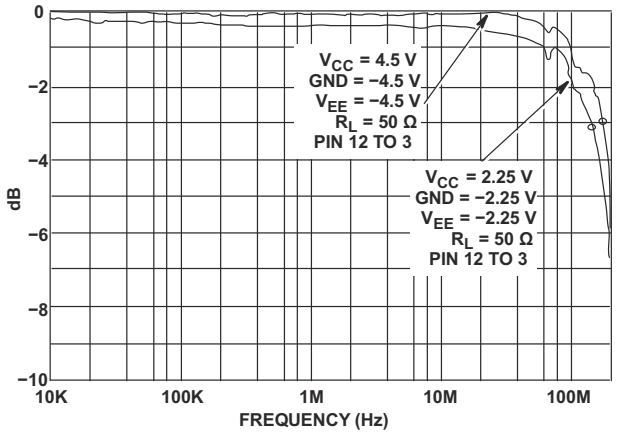


图 5-3. 通道导通带宽（HC 和 HCT4051）

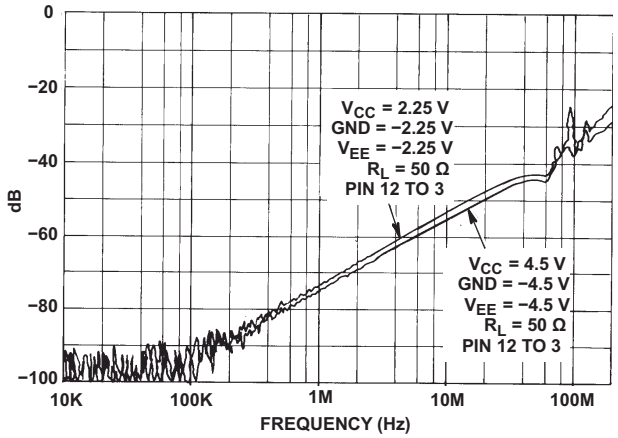


图 5-4. 通道关断馈通（HC 和 HCT4051）

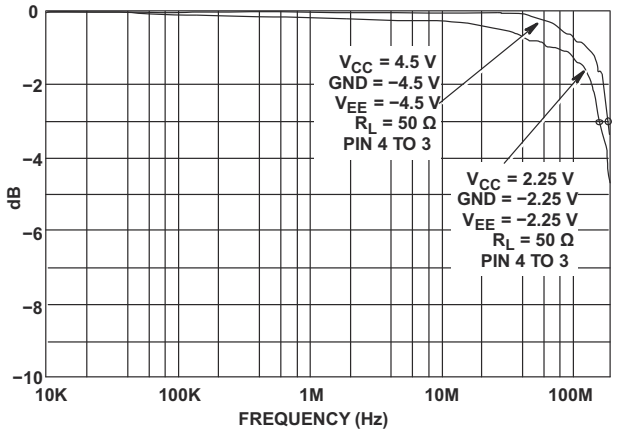


图 5-5. 通道导通带宽（HC 和 HCT4052）

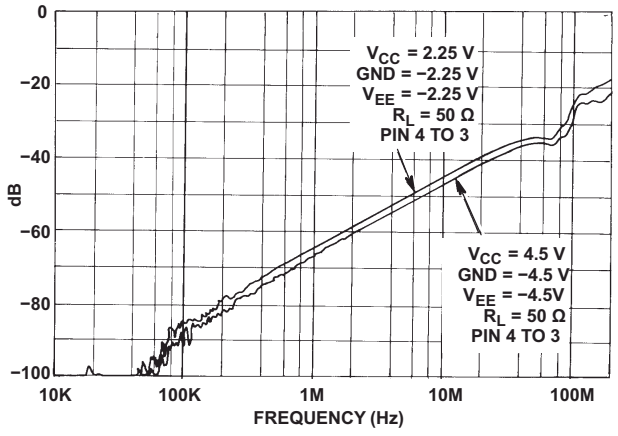


图 5-6. 通道关断馈通（HC 和 HCT4052）

Copyright © 2026 Texas Instruments Incorporated

5.10 典型特性（续）

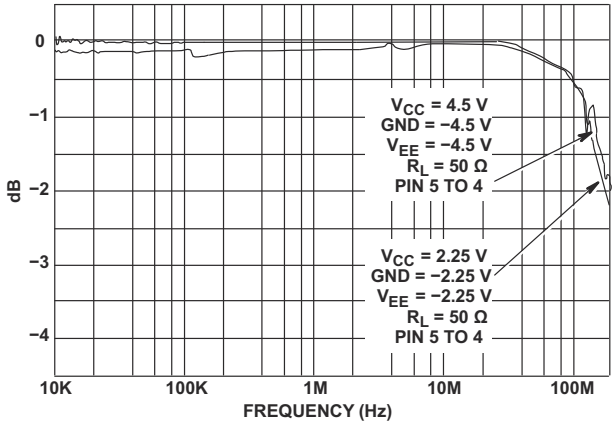


图 5-7. 通道导通带宽（HC 和 HCT4053）

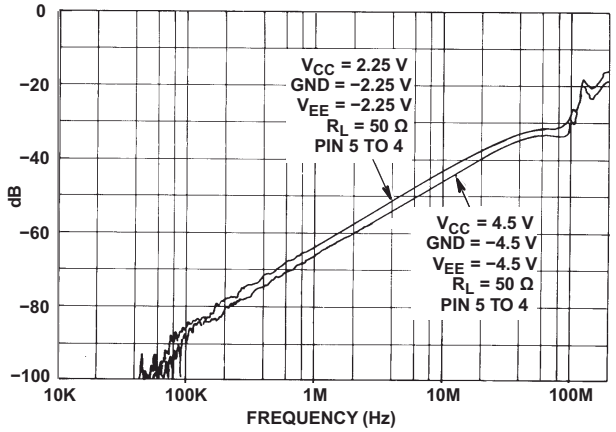
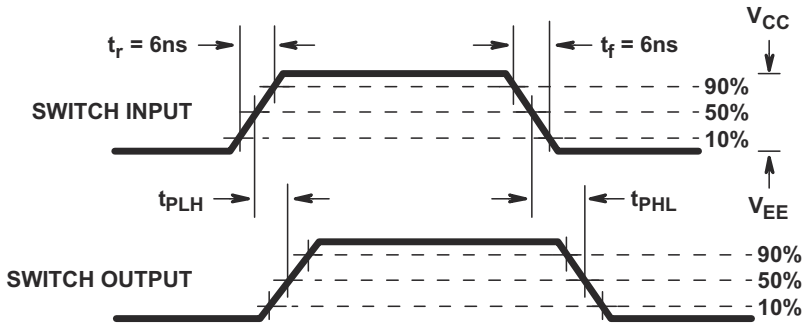
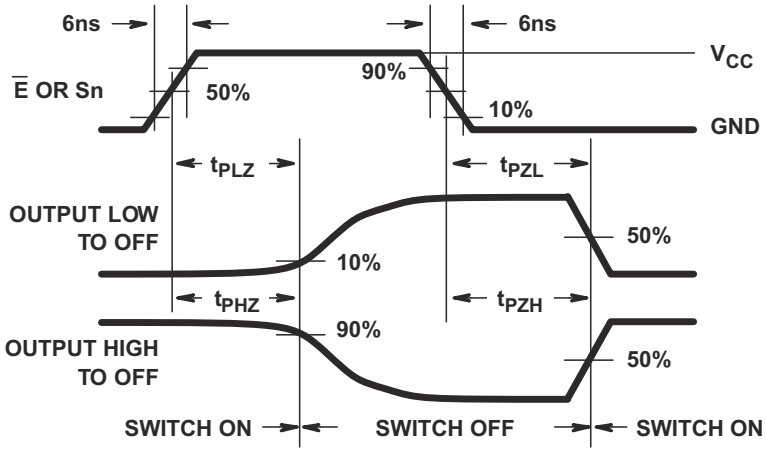


图 5-8. 通道关断馈通（HC 和 HCT4053）

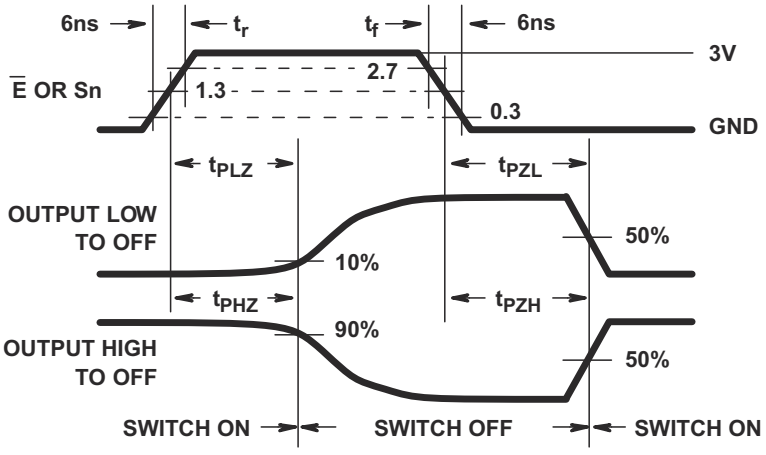
6 参数测量信息



(FIGURE A)



(FIGURE B) HC TYPES



(FIGURE C) HCT TYPES

图 6-1. 开关传播延迟、导通和关断时间

Copyright © 2026 Texas Instruments Incorporated

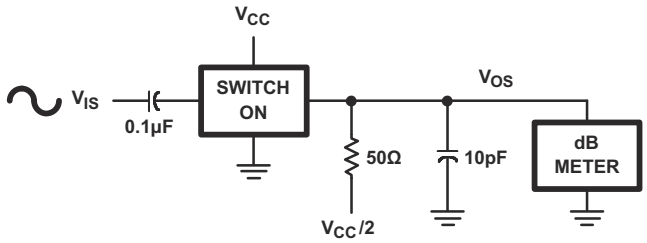
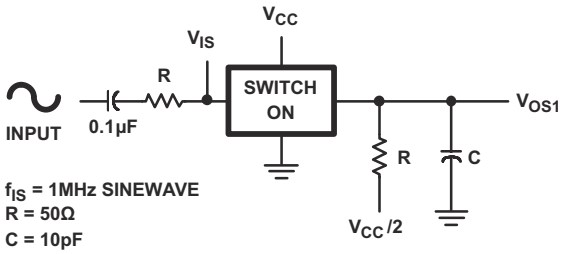


图 6-2. 频率响应测试电路



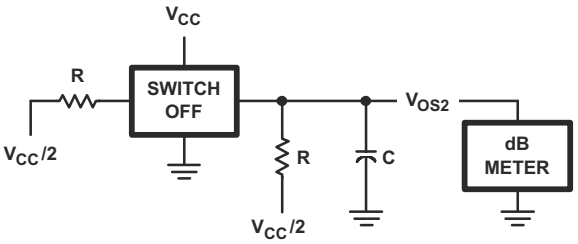


图 6-3. 两个开关测试电路之间的串扰

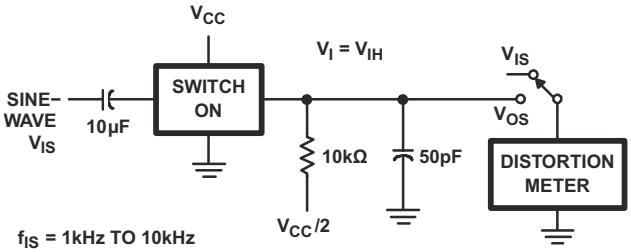


图 6-4. ¼ 正弦波失真测试电路

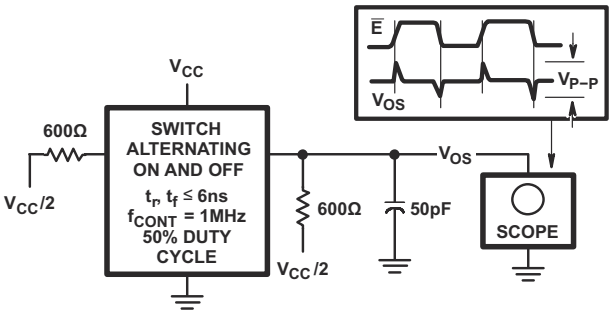


图 6-5. 控制至开关馈通噪声测试电路

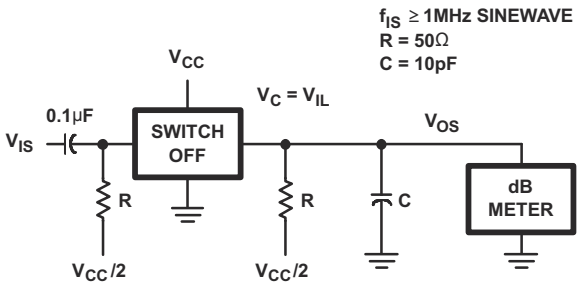


图 6-6. 关断信号馈通

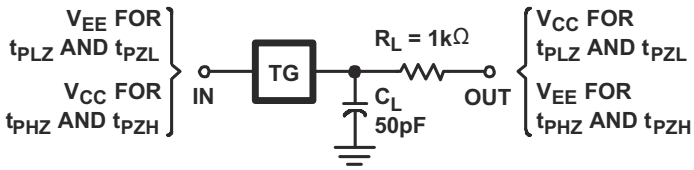


图 6-7. 导通/关断传播延迟测试电路

Copyright © 2026 Texas Instruments Incorporated

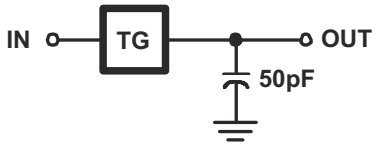


图 6-8. 开关输入至开关输出传播延迟测试电路

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

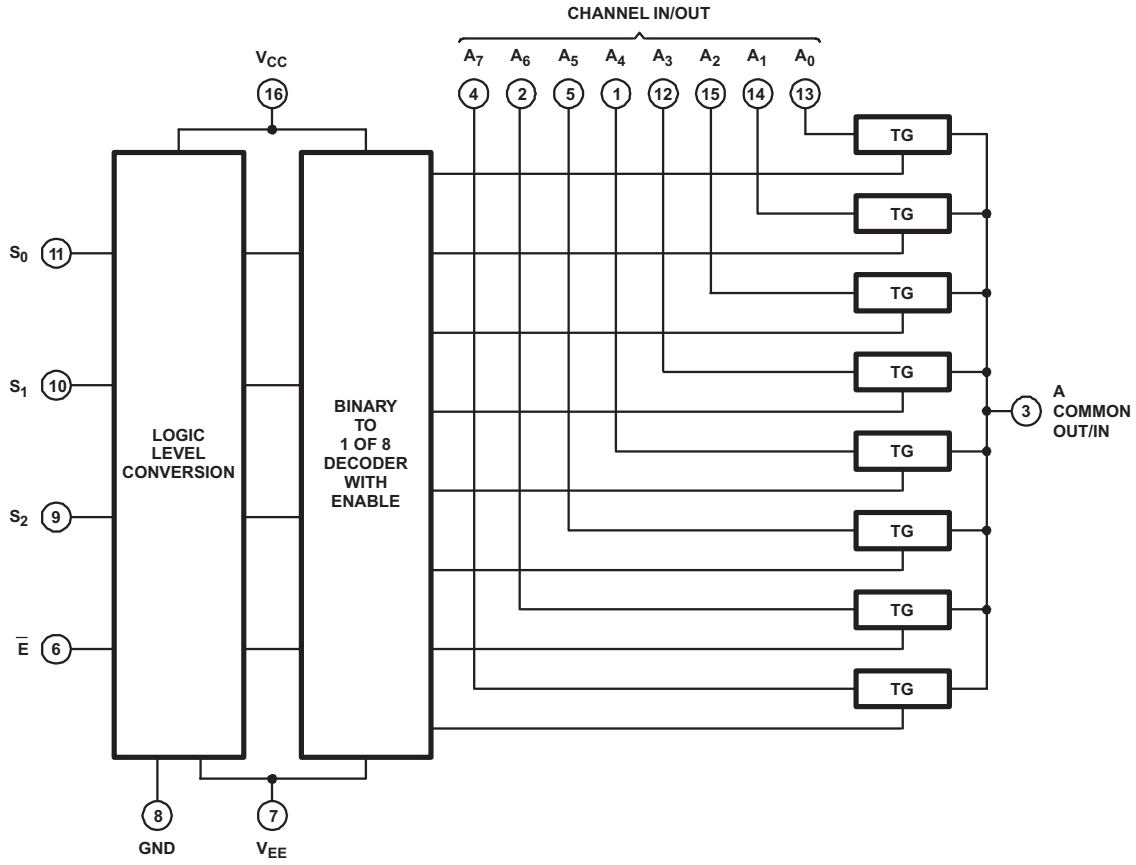
CDx4HCx4051 器件是一款单路 8 通道多路复用器，具有 S_0、S_1 和 S_2 三个二进制控制输入和一个$\overline{使能}$输入。三个二进制信号从 8 个通道中选择 1 个打开，并将 8 个输入中的一个连接至输出。

CDx4HCx4052 器件是一款差分 4 通道多路复用器，具有 S_0 和 S_1 两个二进制控制输入和一个$\overline{使能}$输入。两个二进制输入信号从 4 对通道中选择 1 对打开，并将模拟输入连接到输出。

CDx4HCx4053 器件是一款三路 2 通道多路复用器，具有 S_0、S_1 和 S_2 三个独立的数字控制输入和一个$\overline{使能}$输入。每个控制输入从一对以单刀双掷配置连接的通道中选择一个。

当这些器件用作多路信号分离器时，CHANNEL IN/OUT 端子是输出，COMMON OUT/IN 端子是输入。

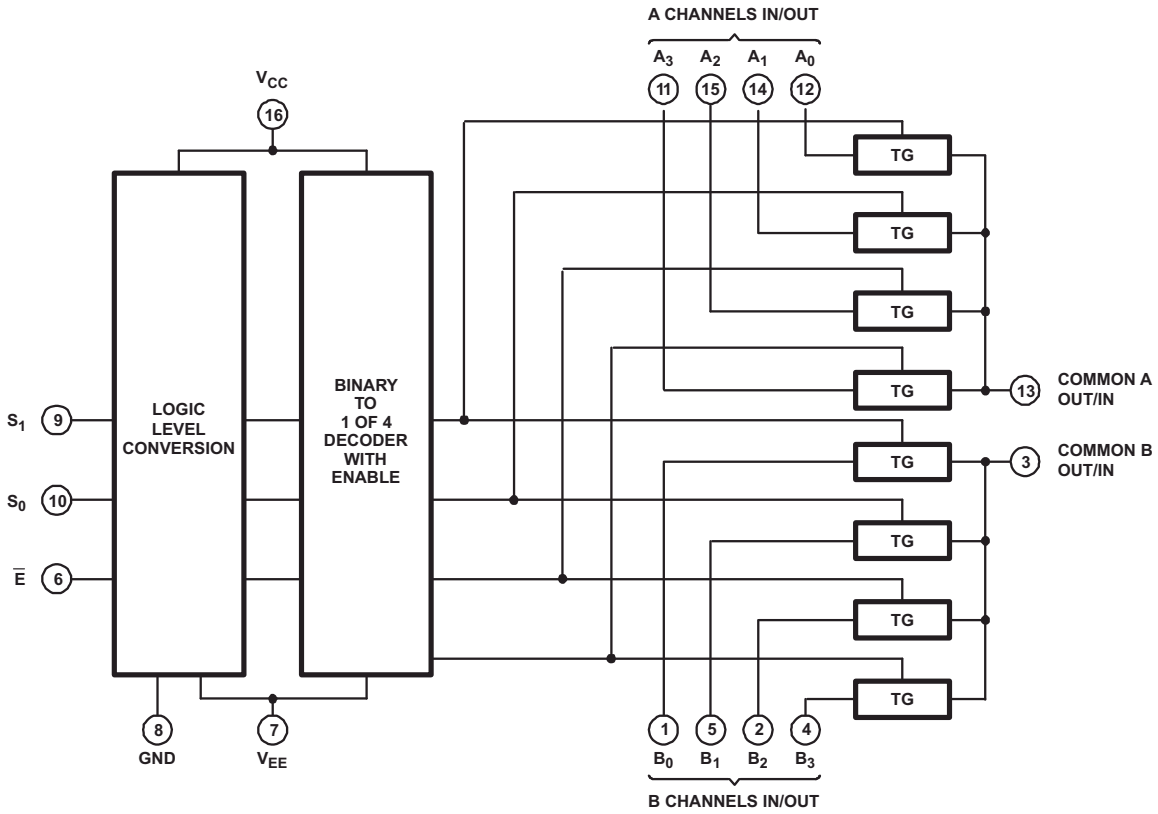
7.2 功能方框图



所有输入都受标准 CMOS 保护网络的保护。

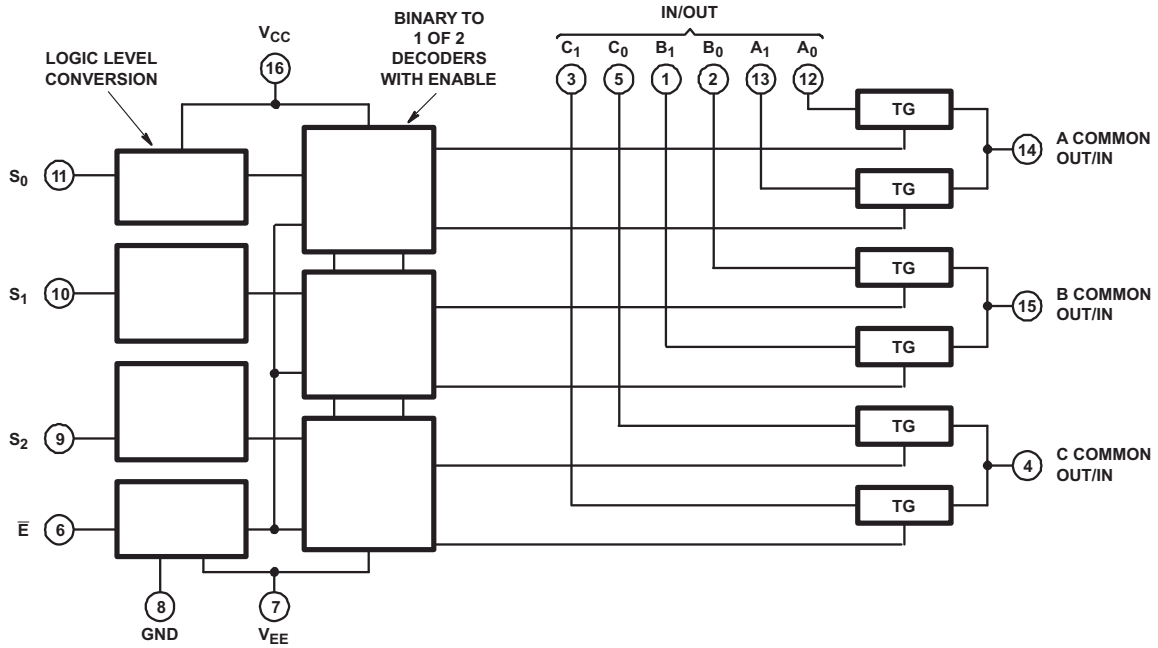
图 7-1. CDx4HCx4051 功能框图

Copyright © 2026 Texas Instruments Incorporated



所有输入都受标准 CMOS 保护网络的保护。

图 7-2. CDx4HCx4052 功能框图



所有输入都受标准 CMOS 保护网络的保护。

图 7-3. CDx4HCx4053 功能框图

Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

CDx4HCx405x 多路复用器和多路信号分离器系列可以接受 -5V 至 +5V 的宽范围模拟信号电平。它们具有低导通电阻，通常在 V_{CC} – V_{EE} = 4.5V 时为 70Ω，在 V_C – V_{EE} = 4.5V 时为 40Ω，因此使通过开关的信号损耗非常小。

芯片上的二进制地址解码使通道选择变得非常容易。当通道发生变化时，先断后合系统可消除通道重叠。

7.4 器件功能模式

表 7-1. CD54HC4051、CD74HC4051、CD54HCT4051、CD74HCT4051 功能表 (1)

输入状态				导通通道
ENABLE	S_2	S_1	S_0	
L	L	L	L	A0
L	L	L	H	A1
L	L	H	L	A2
L	L	H	H	A3
L	H	L	L	A4
L	H	L	H	A5
L	H	H	L	A6
L	H	H	H	A7
H	X	X	X	无

(1) X = 不用考虑

表 7-2. CD54HC4052、CD74HC4052、CD54HCT4052、CD74HCT4052 功能表 (1)

输入状态			导通通道
ENABLE	S_1	S_0	
L	L	L	A0、B0
L	L	H	A1、B1
L	H	L	A2、B2
L	H	H	A3、B3
H	X	X	无

(1) X = 不用考虑

表 7-3. CD54HC4053、CD74HC4053、CD54HCT4053、CD74HCT4053 功能表 (1)

输入状态				导通通道
ENABLE	S_2	S_1	S_0	
L	L	L	L	C0、B0、A0
L	L	L	H	C0、B0、A1
L	L	H	L	C0、B1、A0
L	L	H	H	C0、B1、A1
L	H	L	L	C1、B0、A0
L	H	L	H	C1、B0、A1
L	H	H	L	C1、B1、A0
L	H	H	H	C1、B1、A1
H	X	X	X	无

(1) X = 不用考虑

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

CDx4HCx405x 多路复用器和多路信号分离器系列可用于各种广泛的应用。

8.2 典型应用

CD74HC4051 器件的一项应用是将其与微控制器结合使用来对键盘进行轮询。图 8-1 显示了此类轮询系统的基本原理图。在读取输入时，微控制器使用通道选择引脚在不同通道间循环，以查看用户是否按下了任何按键。这是一种非常稳健的设置，能够以极低的功耗同时进行按键操作。使用的微控制器引脚也非常少。轮询的缺点是微控制器必须频繁扫描按键是否被按压。

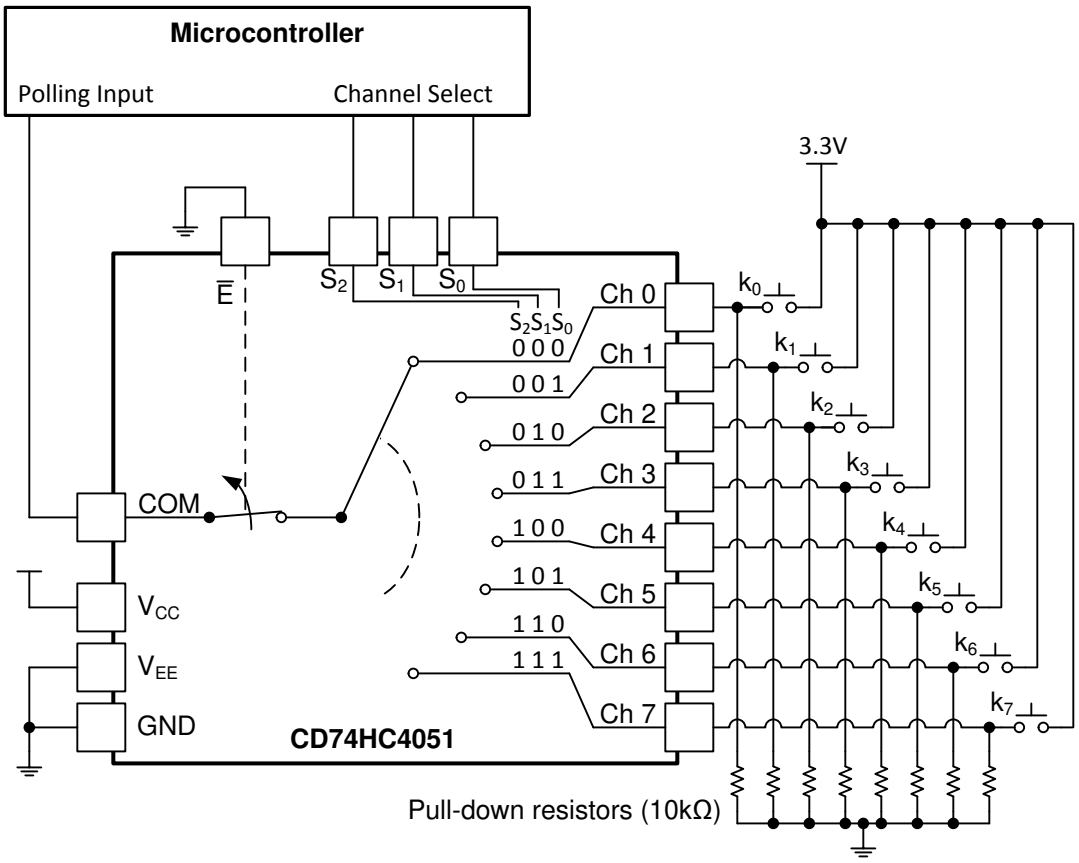


图 8-1. CD74HC4051 用于帮助读取键盘上的按钮按压操作

8.2.1 设计要求

这些器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限值的电流。高驱动能力也会在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。

Copyright © 2026 Texas Instruments Incorporated

有关输入负载的详细信息，请参阅表 8-1。

表 8-1. HCT 输入负载表

类型	输入	单位负载(1)
4051、4053	全部	0.5
4052	全部	0.4

(1) 单位负载是在 节 5 中指定的 ΔI_{CC} 限制，例如 25°C 时最大值为 360mA。

8.2.2 详细设计过程

1. 建议的输入条件：
   - 有关开关时间规格，请参阅 节 5.5 中的传播延迟时间。
   - 输入不应推至比 V_{DD} 高或比 V_{EE} 低超过 0.5V。
   - 有关控制输入的输入电压电平规格，请参阅 节 5.5 中的 V_{IH} 和 V_{IL}。
2. 建议的输出条件：
   - 输出不应拉至高于 V_{DD} 或低于 V_{EE}。
3. 输入和输出电流注意事项：
   - CDx4HCx405x 系列器件没有内部电流驱动电路，因此无法吸收电流或提供电流。任何电流都将流经该器件。

8.2.3 应用曲线

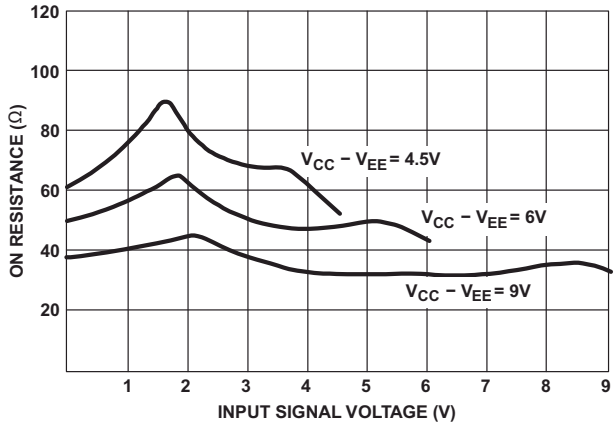


图 8-2. 典型导通电阻与输入信号电压间的关系

8.3 电源相关建议

电源可以是 节 5.5 表中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 µF 旁路电容器。如果有多个引脚被标记为 V_{CC}，鉴于 V_{CC} 引脚在电路内部彼此相连，建议为每个 V_{CC} 引脚配备一个 0.01 µF 或 0.022 µF 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 0.1µF 旁路电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得出色效果，一个或多个旁路电容器必须尽可能靠近电源端子安装。

Copyright © 2026 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

反射和匹配问题与环路天线理论密切相关，但两者之间也有区别，需要单独讨论。当 PCB 布线以 90° 角拐角时，会发生反射。主要原因在于布线宽度发生了变化。在拐角的顶点，布线宽度增加到其原来宽度的 1.414 倍。这种宽度变化会影响传输线的特性，尤其是布线的分布式电容和自感，进而引发反射。并非所有 PCB 布线都是直的，因此肯定会有转弯。图 8-3 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

8.4.2 布局示例

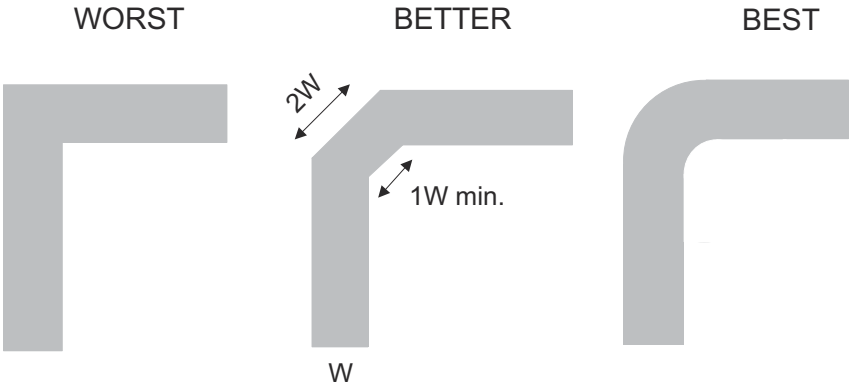


图 8-3. 布线示例

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*CMOS 输入缓慢变化或悬空的影响*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision N (April 2024) to Revision O (January 2026) **Page**

- 删除了“符合汽车应用标准”特性 1

Changes from Revision M (May 2019) to Revision N (April 2024) **Page**

- 更改了热指标 7
- 更改了 25°C 时单/双电源上的 HC ICC 8
- 更改了 25°C 时单/双电源上的 HCT ICC 11
- 更改了：tPHZ/tPLZ 典型开关关断值（S 或 E） 13
- 将 4051/4052/4053 的 tPHZ/tPLZ 最大开关关断延迟从 S 或 E 更改为开关输出 14
- 将 4051/4053 的 tPZL/tPZH 最大开关导通延迟从 S 或 E 更改为开关输出 14

Changes from Revision L (February 2017) to Revision M (May 2019) **Page**

- 将*特性* 从 7Ω（典型值）更改为 70Ω（典型值） 1

Changes from Revision K (September 2015) to Revision L (February 2017) **Page**

- 更改了充电器件模型 (CDM) 值，从：±1,000V 更改为：±200V 6
- 添加了*接收文档更新通知*部分 6

Changes from Revision J (February 2011) to Revision K (September 2015) **Page**

- 向*特性* 列表中添加了“军用免责声明” 1
- 删除了*订购信息* 表 1
- 添加了*器件信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*详细说明* 部分、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分，以及*机械、封装和可订购信息* 部分 1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8775401EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775401EA CD54HC4053F3A
5962-8855601EA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8855601EA CD54HC4052F3A
5962-9065401MEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9065401MEA CD54HCT4051F3A
CD54HC4051F	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F
CD54HC4051F.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F
CD54HC4051F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F3A
CD54HC4051F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4051F3A
CD54HC4052F	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4052F
CD54HC4052F.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4052F
CD54HC4052F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8855601EA CD54HC4052F3A
CD54HC4052F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8855601EA CD54HC4052F3A
CD54HC4053F	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4053F
CD54HC4053F.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4053F
CD54HC4053F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775401EA CD54HC4053F3A
CD54HC4053F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8775401EA CD54HC4053F3A
CD54HCT4051F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9065401MEA CD54HCT4051F3A
CD54HCT4051F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9065401MEA CD54HCT4051F3A
CD74HC4051E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4051E
CD74HC4051E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4051E
CD74HC4051EE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4051E

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4051M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051M96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051M96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4051M
CD74HC4051NSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051NSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051NSRE4	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4051M
CD74HC4051PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	HJ4051
CD74HC4051PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4051
CD74HC4051PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4051
CD74HC4051PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4051
CD74HC4052E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4052E
CD74HC4052E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4052E
CD74HC4052M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4052M
CD74HC4052M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052M96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4052M
CD74HC4052MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4052M
CD74HC4052NSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052NSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4052M
CD74HC4052PW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4052
CD74HC4052PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	HJ4052
CD74HC4052PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4052
CD74HC4052PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4052
CD74HC4052PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4052
CD74HC4053E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4053E
CD74HC4053E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4053E
CD74HC4053M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	HC4053M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4053M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4053M
CD74HC4053M96G3	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053M96G4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HC4053M
CD74HC4053NSR	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4053M
CD74HC4053NSR.A	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4053M
CD74HC4053PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4053
CD74HC4053PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4053
CD74HC4053PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4053
CD74HC4053PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HJ4053
CD74HCT4051E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4051E
CD74HCT4051E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4051E
CD74HCT4051M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4051M
CD74HCT4051M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051M96E4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051M96G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4051M
CD74HCT4051MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4051M
CD74HCT4052E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4052E
CD74HCT4052E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4052E
CD74HCT4052EE4	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4052E
CD74HCT4052M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4052M
CD74HCT4052M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4052M
CD74HCT4052M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4052M
CD74HCT4052M96G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4052M
CD74HCT4052MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4052M
CD74HCT4053E	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4053E
CD74HCT4053E.A	NRND	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4053E
CD74HCT4053M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4053M
CD74HCT4053M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M
CD74HCT4053M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HCT4053M96E4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M
CD74HCT4053M96G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4053M
CD74HCT4053MT	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	HCT4053M
CD74HCT4053PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HK4053
CD74HCT4053PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HK4053
CD74HCT4053PWRG4	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HK4053
CD74HCT4053PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-55 to 125	HK4053

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54HC4051, CD54HC4052, CD54HC4053, CD54HCT4051, CD74HC4051, CD74HC4052, CD74HC4053, CD74HCT4051 :

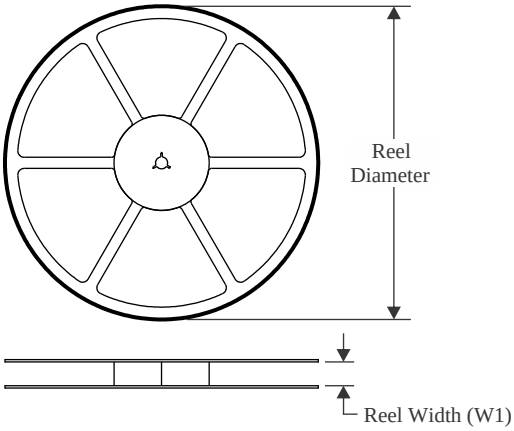
- Catalog : CD74HC4051, CD74HC4052, CD74HC4053, CD74HCT4051
- Automotive : CD74HC4051-Q1, CD74HCT4051-Q1, CD74HC4051-Q1, CD74HCT4051-Q1
- Enhanced Product : CD74HC4051-EP, CD74HC4051-EP
- Military : CD54HC4051, CD54HC4052, CD54HC4053, CD54HCT4051

NOTE: Qualified Version Definitions:

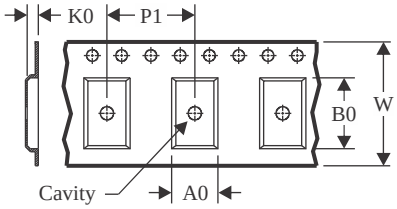
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

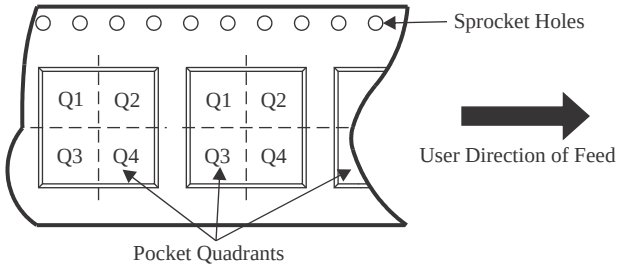


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

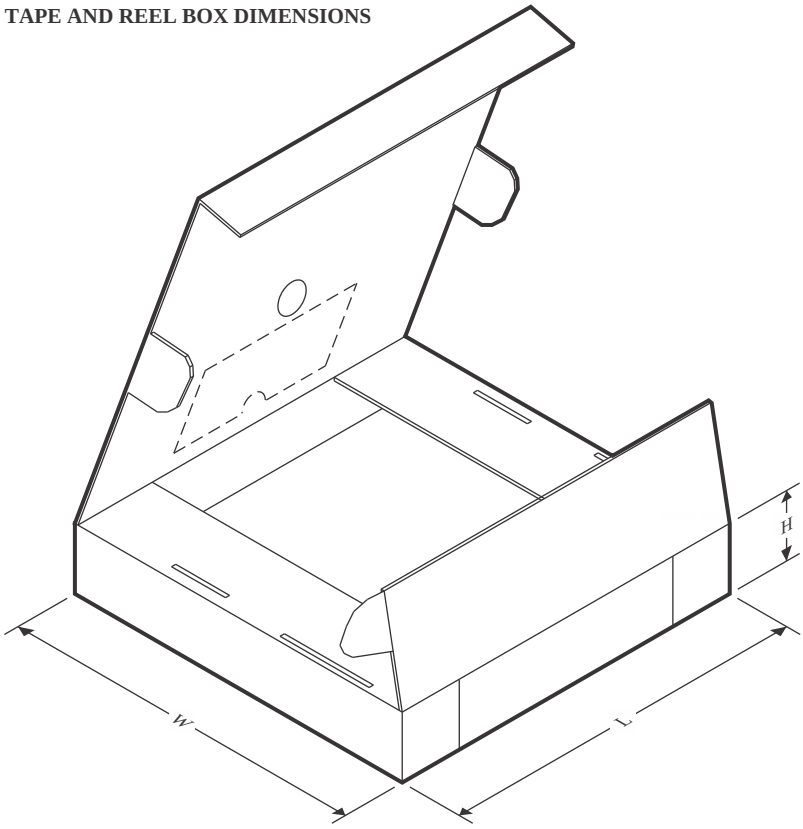


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4051NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD74HC4051PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4051PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4052NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD74HC4052PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4052PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4053NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD74HC4053PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HCT4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4051M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HCT4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4052M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4053M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HCT4053PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

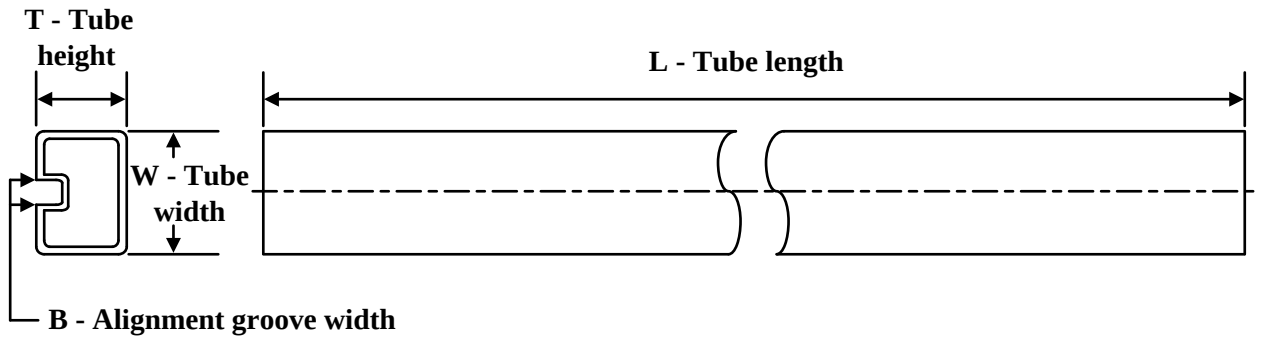


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4051M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HC4051M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC4051NSR	SOP	NS	16	2000	353.0	353.0	32.0
CD74HC4051PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
CD74HC4051PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD74HC4052M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HC4052M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC4052NSR	SOP	NS	16	2000	353.0	353.0	32.0
CD74HC4052PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD74HC4052PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
CD74HC4053M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC4053M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HC4053NSR	SOP	NS	16	2000	353.0	353.0	32.0
CD74HC4053PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD74HCT4051M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HCT4051M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HCT4052M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HCT4052M96	SOIC	D	16	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HCT4053M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HCT4053M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74HCT4053PWR	TSSOP	PW	16	2000	353.0	353.0	32.0

TUBE



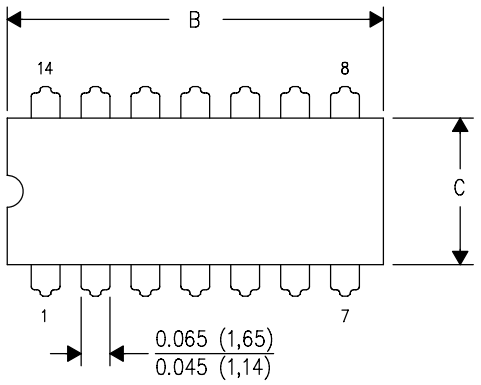
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74HC4051E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4051E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4051EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4053E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4051E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4052EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4053E.A	N	PDIP	16	25	506	13.97	11230	4.32

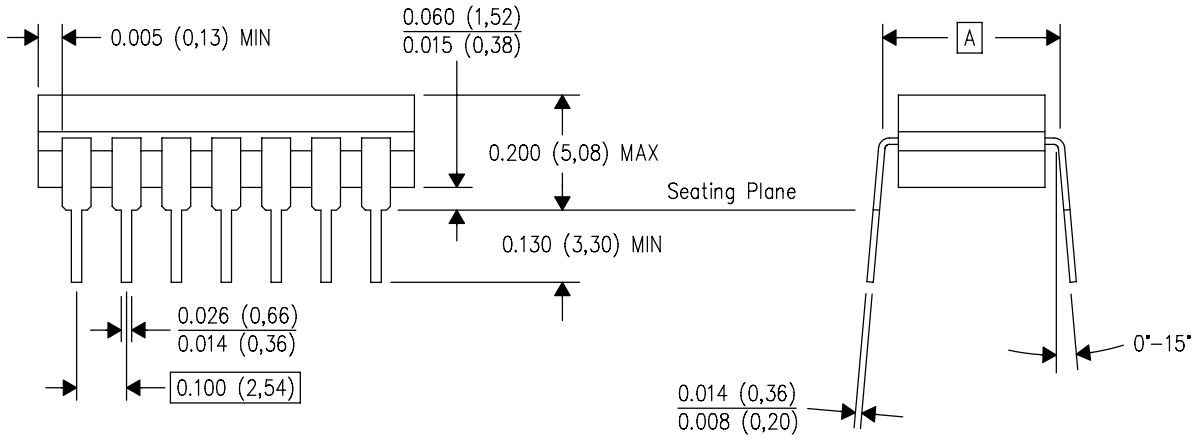
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

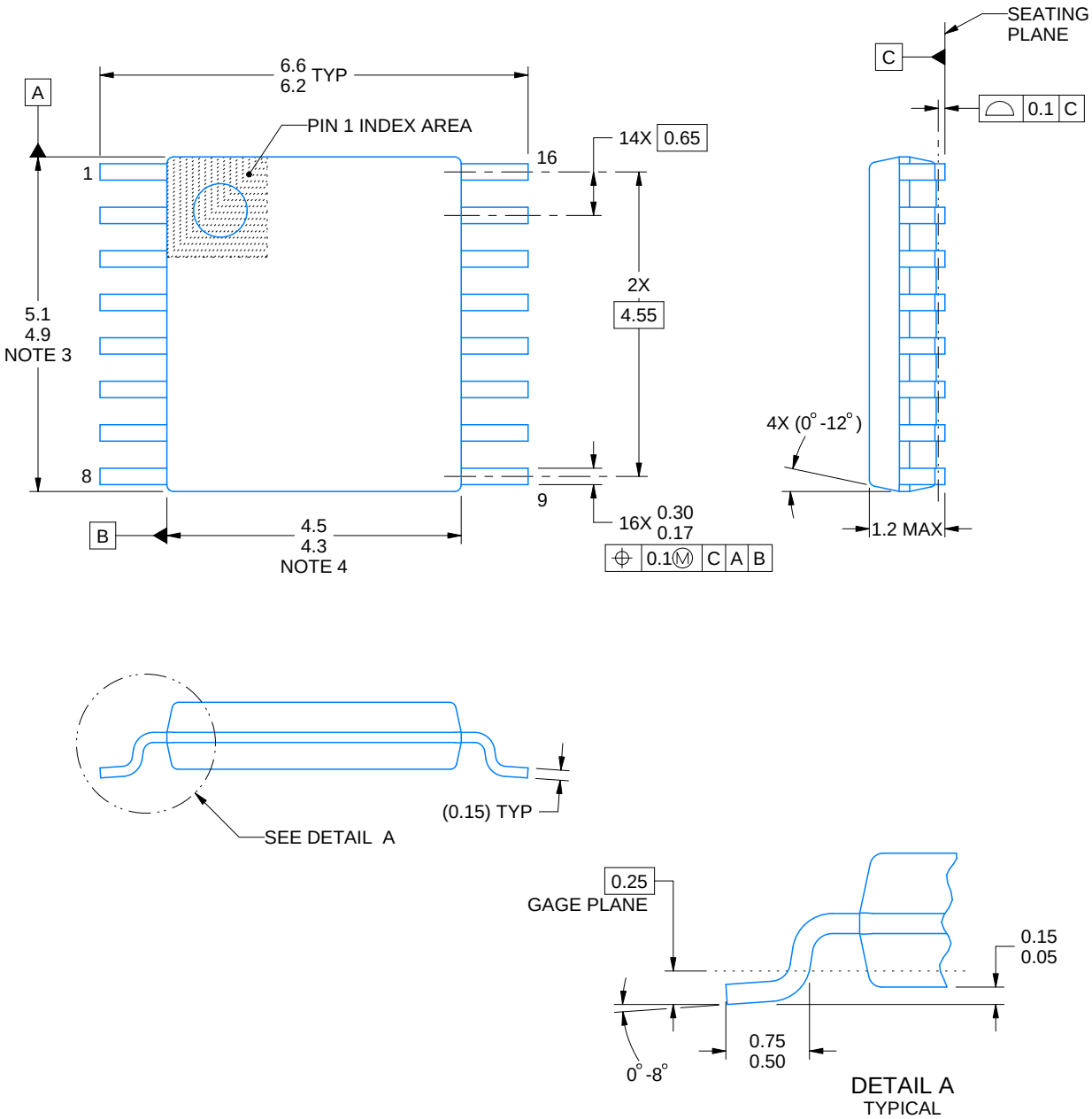
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

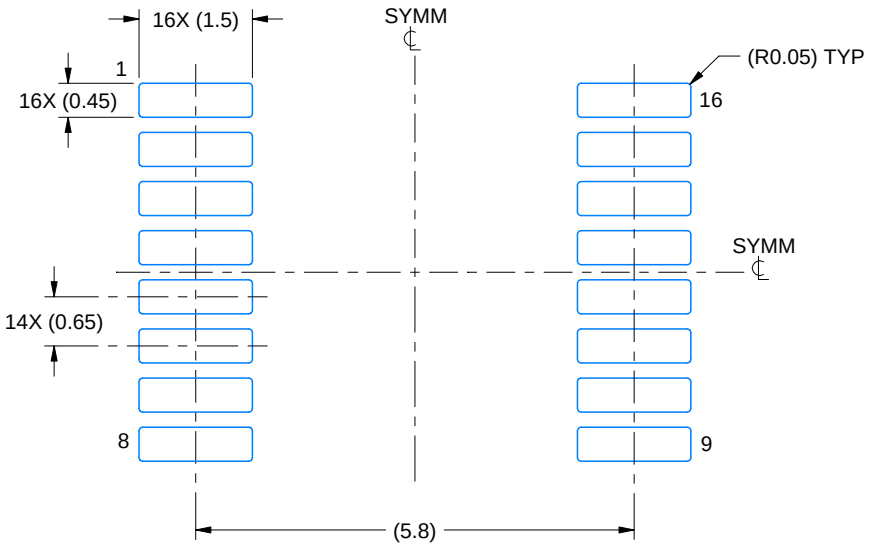
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

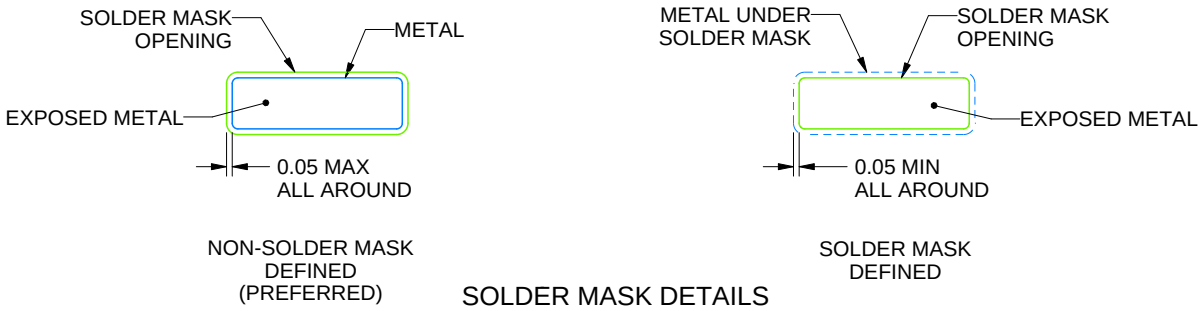


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

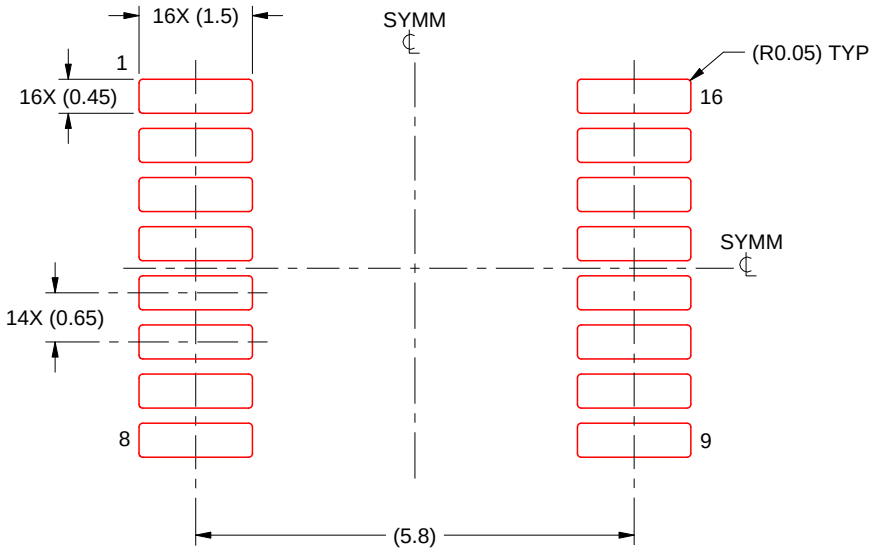


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

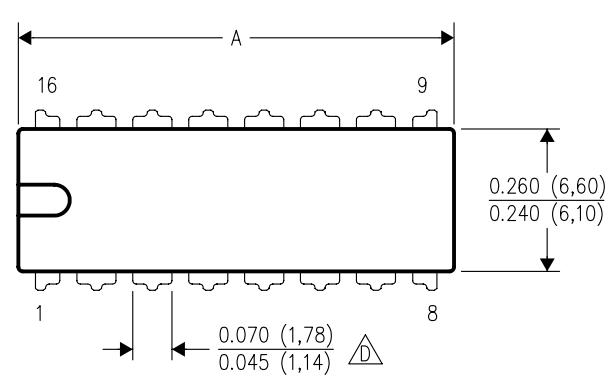
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

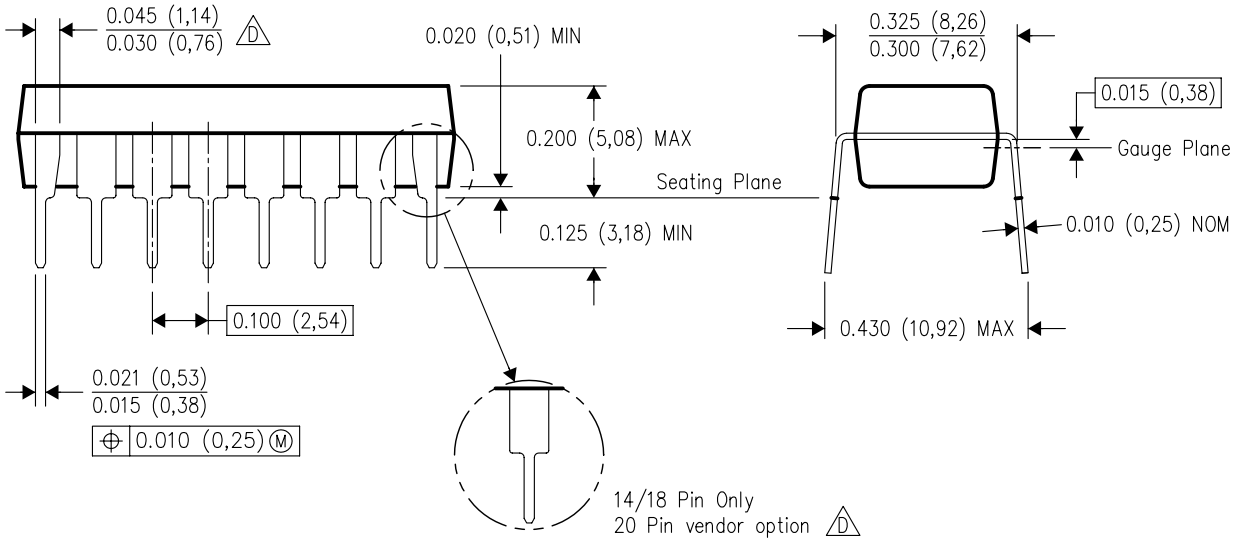
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

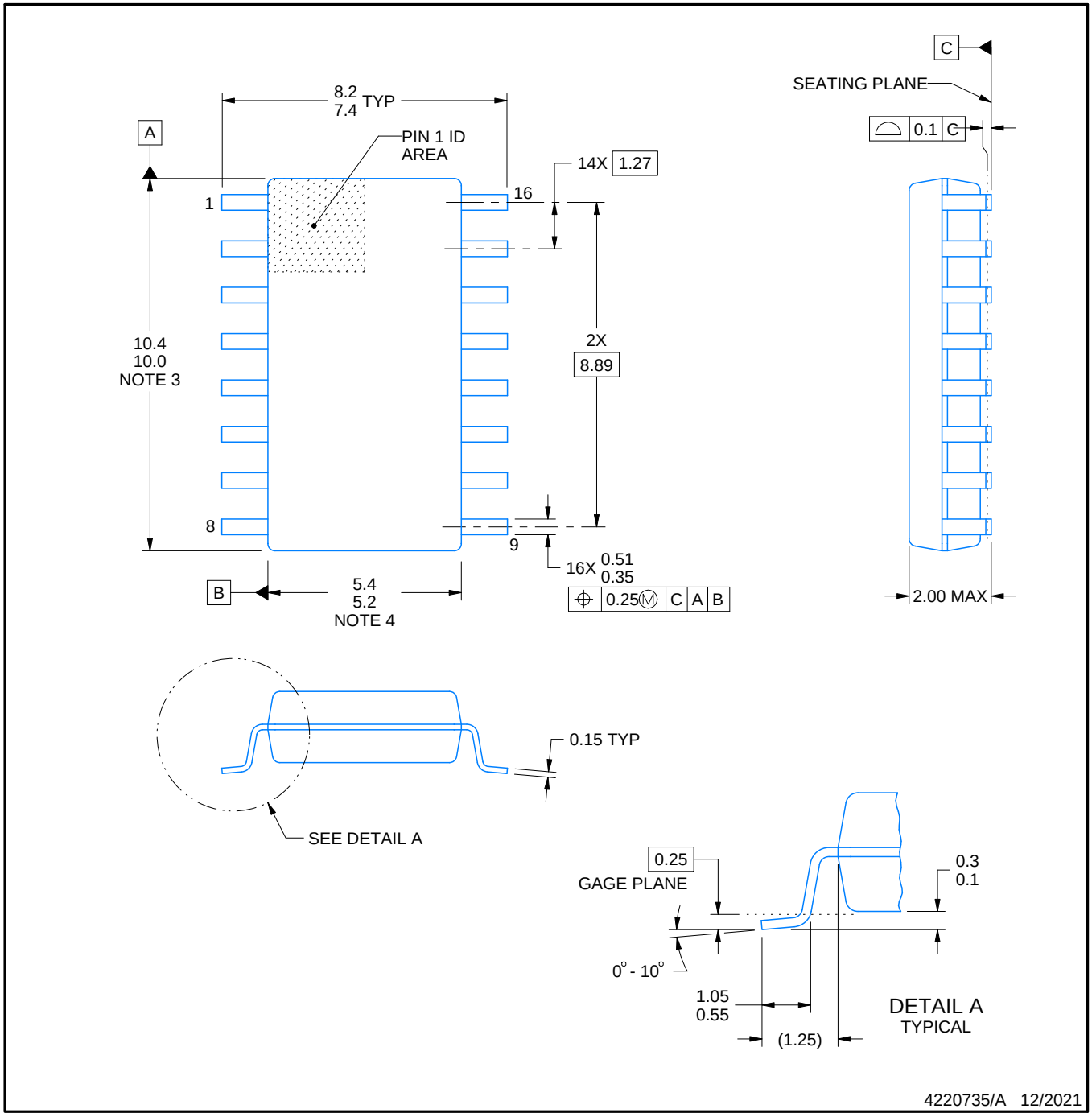


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



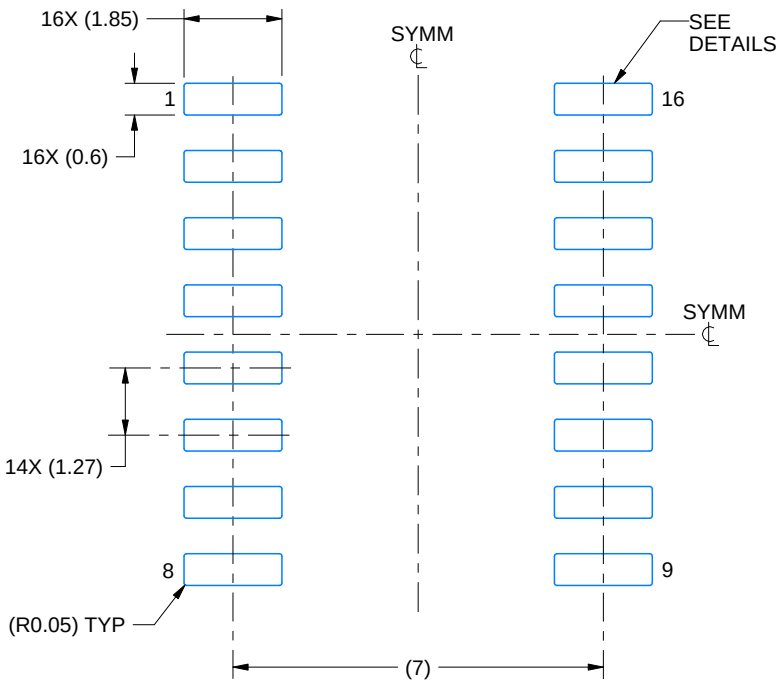
4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

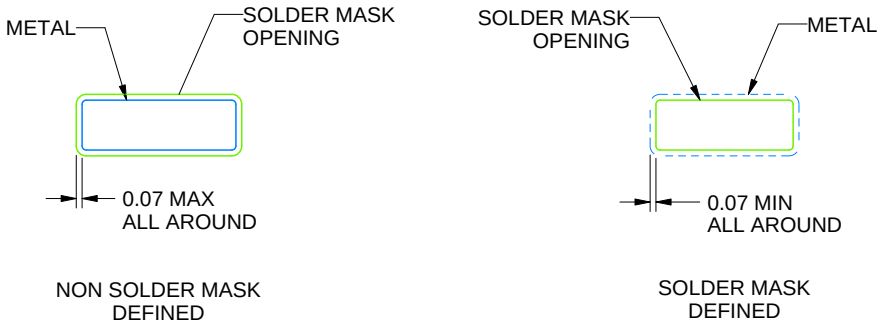


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X

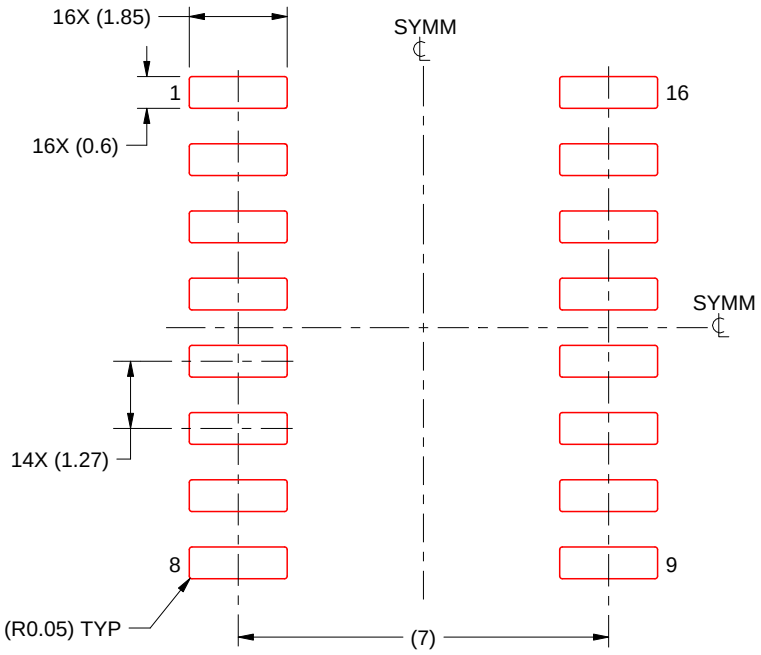


SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



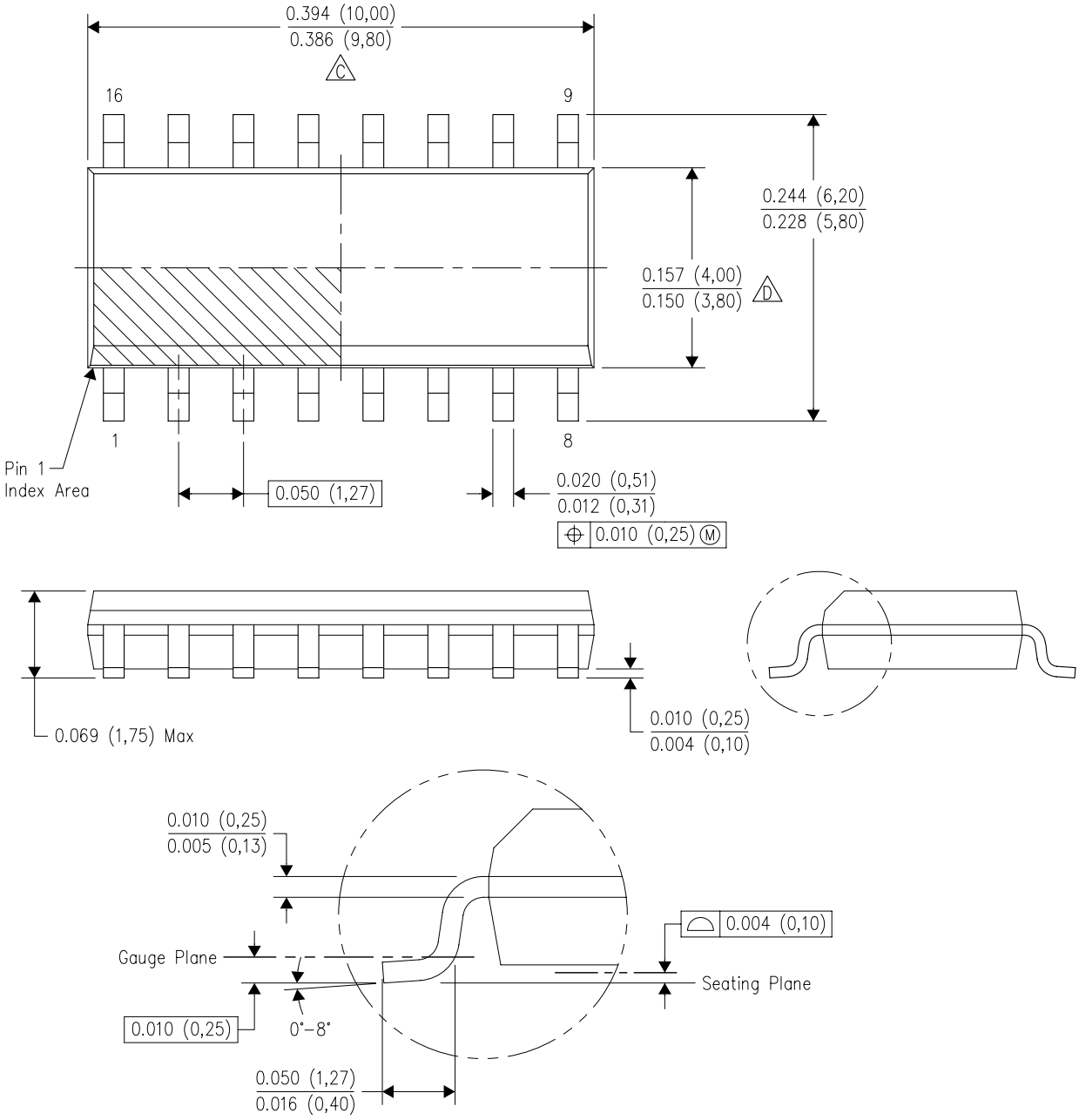
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月