AWRL6888 单芯片 57 至 64GHz 汽车雷达传感器

ADVANCE INFORMATION

1 特性

- FMCW 收发器
  - 集成 PLL、发送器、接收器、基带和 ADC
  - 57GHz - 64GHz 覆盖范围，具有 7GHz 连续带宽
  - 8 个接收通道，具有 2:1 切换通道和 8 个发送通道
  - 每个 Tx 的输出功率典型值为 9dBm
  - 12.5dB 典型噪声系数
  - 1MHz 时的典型相位噪声为 -90.5dBc/Hz
  - FMCW 运行
  - 10MHz IF 带宽，仅实部 Rx 通道
  - 基于分数 N PLL 的超精确线性调频脉冲引擎
  - 每个传输通道对一个二进制移相器
- 处理元件
  - 具有双精度 FPU (200MHz) 的 Arm®R5F® 内核
  - 用于 FFT、对数幅度和 CFAR 运算 (200MHz) 的硬件加速器 (HWA 1.2)
  - 用于雷达数据后处理的 C66x DSP (450MHz)
- 支持多个低功耗模式
  - 空闲模式和深度睡眠模式
- 电源管理
  - 1.8V 与 3.3V IO 支持
  - 内置 LDO 网络，可增强 PSRR
  - 1.8V IO 模式有两个电源轨，3.3V IO 模式有三个电源轨
- 具有 21 x 21 BGA 球栅、329 个 BGA 焊球的 FCCSP 封装；封装尺寸：11mm x 11mm
- 内置校准和自检
  - 内置的固件 (ROM)
  - 片上自包含校准系统
- 主机接口
  - 3 个 UART
  - 2 个 CAN-FD
  - 2 个 SPI
  - 1 个 LIN
- 用于原始 ADC 样本采集数据传输的 LVDS
- 为用户应用提供的其他接口
  - QSPI
  - I2C
  - JTAG
  - 8 个 GPIO
  - PWM 接口
  - 4 个 GPADC
- 设备安全（适用于安全设备变体）
  - 可编程的嵌入式硬件安全模块 (HSM)
  - 支持经过身份验证和加密的安全引导
  - 客户可编程根密钥、对称密钥（256 位）、具有密钥撤销功能的非对称密钥（最高 RSA-4K 或 ECC-512）
  - 加密硬件加速器：带 ECC/RSA 的 PKA、AES（最高 256 位）、SHA（最高 512 位）、TRNG/DRBG 以及 SM2、SM3、SM4（中国加密算法）
  - 产品网络安全合规性
    - 符合 ISO21434 标准，目标符合等级 CAL2
    - 专为网络安全相关应用而开发
    - 将提供用于网络安全系统设计的文档
- 内部存储器
  - 片上 RAM - 2.5MB，包括
    - R5F TCMA RAM - 512KB
    - R5F TCMB RAM - 256KB
    - DSS L2 RAM - 384KB
    - DSS L3 RAM - 512KB
    - DSS L3 共享 RAM - 896KB（可与 TCM 共享）
- 以功能安全合规型为目标
  - 专为功能安全应用开发
  - 将提供相关文档来协助进行功能安全系统设计
  - 根据 ISO26262 标准，硬件完整性符合 ASIL-B 要求
- 以 AEC Q-100 为目标
- 时钟源
  - 用于主时钟的 40.0MHz 晶体
  - 支持外部驱动、频率为 40.0MHz 的时钟（方波/正弦波）
  - 用于低功耗运行的 32kHz 内部振荡器
- 支持工作温度条件
  - 结温范围：-40°C 至 140°C

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

2 应用

- 车内感应
- 车内儿童检测
- 车辆乘员检测、定位和分类
- 车辆乘员生命体征监测
- 入侵者检测
- 安全带提醒装置
- 安全气囊展开
- 姿势检测
- 活动检测

3 说明

AWRL6888 毫米波传感器器件是一款基于 FMCW 雷达技术的集成式单芯片毫米波传感器，支持 TI 低功耗和硬件安全模块 (HSM)。该器件能够在 57GHz 至 63.9GHz 频段内正常运行，具有 7GHz 连续线性调频脉冲带宽，适用于各种汽车车内应用场景。该器件还利用低功耗架构支持功率受限的应用。该器件分为以下四个可切换电源域：

1. **射频/模拟子系统**：该块包含发送和接收射频信号所需的所有射频和模拟元件。
2. **前端控制器子系统 (FECSS)**：该模块包含一个负责雷达前端配置、控制和校准的处理器。
3. **应用子系统 (APPSS)**：APPSS 为用户提供可编程 ARM Cortex-R5F MCU，以实现自定义应用开发和汽车接口。APPSS 包括 TOPSS、HSM、时钟和电源管理子块。
4. **DSP 子系统 (DSS)**：DSS 集成了 TI 的高性能 C66x DSP，用于处理雷达信号。DSS 还包括硬件加速器块 (HWA 1.2) 通过卸载通用雷达处理（例如 FFT、恒定误报率 (CFAR)、扩展和压缩）来对 DSP 和 ARM Cortex-R5F 进行补充。

AWRL6888 专门用于根据应用要求动态控制上述电源域的电源状态。该器件还有多种低功耗状态，这是通过关闭器件内部的 IP 块实现的。AWRL6888 器件还提供在这些低功耗状态期间保留存储器的选项，以在不同的功耗模式下保留应用图像和射频配置文件等关键信息。

器件中还提供了硬件安全模块 (HSM)（仅在安全器件型号中提供）。HSM 由可编程 Arm Cortex-M4 内核和必要的基础设施组成，用于在器件内提供安全的操作区域。

此外，该器件采用 TI 的低功耗 45nm RF CMOS 工艺制造，以超小的外形尺寸实现了出色的集成度。AWRL6888 专为汽车领域的低功耗、自监控、超精确雷达系统而设计，适用于车内儿童检测、乘员定位与分类，以及低功耗入侵监测等应用。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

封装信息

器件型号(1)	封装	本体尺寸(1)	托盘/卷带包装	说明
XA6888DBGAPD	APD（FCCSP、329）	11mm x 11mm	托盘	预量产型号。以 ASIL B 级为目标。启用深度睡眠，通用型号。
XA6888DBSAPD	APD（FCCSP、329）	11mm x 11mm	托盘	预量产型号。以 ASIL B 级为目标。已启用深度睡眠，安全型号 — 符合 ISO21434 标准，目标符合等级 CAL2。
AWRL6888DBGAPDRQ1	APD（FCCSP、329）	11mm x 11mm	卷带包装	汽车量产型号。以 ASIL B 级为目标。深度睡眠使能。通用型号。
AWRL6888DBSAPDRQ1	APD（FCCSP、329）	11mm x 11mm	卷带包装	汽车量产型号。以 ASIL B 级为目标。深度睡眠使能。安全型号 — 符合 ISO21434 标准，目标符合等级 CAL2。

(1) 如需更多信息，请参阅*器件命名规则*和机械、封装和可订购信息

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

4 功能方框图

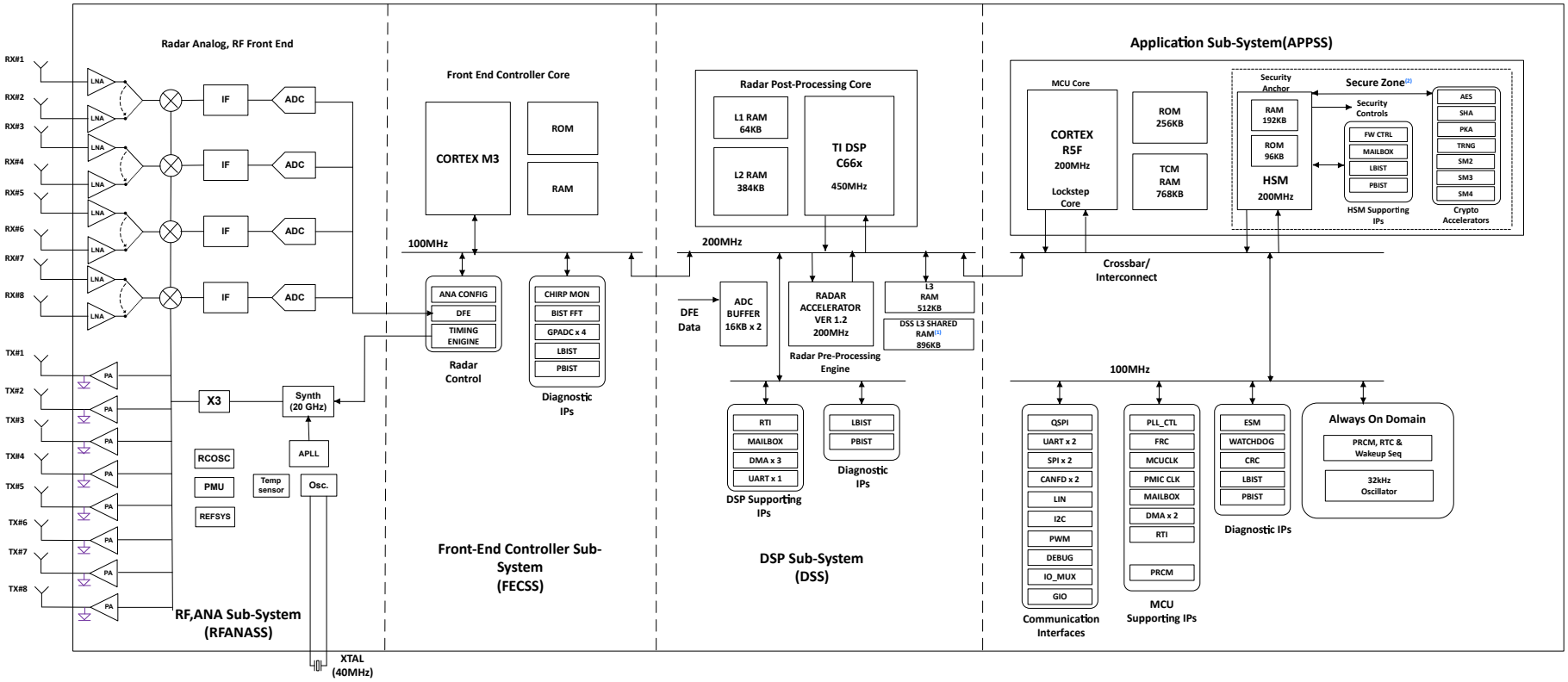


图 4-1. 功能方框图

1. 表 4-1 中列出了 896KB 的 DSS L3 共享 RAM 存储器位置。有关本机和共享存储器的位置和潜在映射的更多详细信息，请参阅技术参考手册的存储器映射部分。
2. 仅适用于安全型器件型号。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 共享存储器分配

存储器	分配
512KB	DSS L3、APPSS TCMA
256KB	DSS L3、APPSS TCMB
128KB	DSS L3、FECSS

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

内容

1 特性 1
2 应用 2
3 说明 2
4 功能方框图 4
5 器件比较 7
5.1 相关产品 9
6 终端配置和功能 10
6.1 引脚图 10
6.2 信号说明 11
7 规格 27
7.1 绝对最大额定值 27
7.2 ESD 等级 27
7.3 上电小时数 (POH) 27
7.4 建议运行条件 28
7.5 一次性可编程 (OTP) 电子保险丝的 VPP 规格 28
7.6 电源规格 30
7.7 节电模式 36
7.8 每个电压轨的峰值电流要求 39
7.9 射频规格 40
7.10 支持的 DFE 特性 42
7.11 CPU 规格 43
7.12 热阻特性 43
7.13 时序和开关特性 43
8 详细说明 63
8.1 概述 63
8.2 功能方框图 64
8.3 子系统 66
8.4 其他子系统 72
9 监控和诊断 75
10 应用、实施和布局 76
10.1 应用信息 76
10.2 参考原理图 76
11 器件和文档支持 77
11.1 器件命名规则 77
11.2 工具与软件 78
11.3 文档支持 78
11.4 支持资源 78
11.5 商标 78
11.6 静电放电警告 79
11.7 术语表 79
12 修订历史记录 79
13 机械、封装和可订购信息 80

Copyright © 2026 Texas Instruments Incorporated

5 器件比较

下表比较了雷达器件的特性。

表 5-1. 器件特性比较

功能		AWRL6888	AWRL6844	AWRL6843	AWR6843	AWR6843AOP	AWRL6432
封装天线 (AOP)		-	-	-	-	是	-
接收器数量		8	4	4	4	4	3
发送器数量		8	4	3	3	3	2
RF 频率范围		57GHz 至 64GHz	57GHz 至 64GHz	57GHz 至 64GHz	60GHz 至 64GHz	60GHz 至 64GHz	57GHz 至 64GHz
片上存储器		2.5MB	2.5MB	2MB	1.75MB	1.75MB	1MB
最大 I/F (中频) (MHz)		10	10	10	10	10	5
最大实数采样率 (Msps)		25	25	25	25	25	12.5
最大复数采样率 (Msps)		-	-	-	12.5	12.5	-
低功耗深度睡眠模式		是	是	是	-	-	是
安全与安防							
符合功能安全标准		以 ASIL-B 级为目标(1)	ASIL-B	ASIL-B	ASIL-B	ASIL-B	ASIL-B
网络安全 - 合规性		以 CAL2 级为目标	以 CAL2 级为目标	以 CAL2 级为目标	-	-	-
器件安全性(2)		是 (支持安全启动)	是 (支持安全启动)	是 (支持安全启动)	是 (支持安全启动)	是 (支持安全启动)	是 (支持经认证的引导)
硬件安全模块 (HSM)		是	是	是	-	-	-
处理器							
MCU		R5F®	R5F®	R5F®	R4F®	R4F®	M4F®
DSP		C66x	C66x	C66x	C674x	C674x	-
HWA		HWA 1.2	HWA 1.2	HWA 1.2	HWA1.1	HWA1.1	HWA 1.2
外设							
串行外设接口 (SPI) 端口		2	2	2	2	2	2
四线串行外设接口 (QSPI)		是	是	是	是	是	是
内部集成电路 (I2C) 接口		1	1	1	1	1	1
控制器局域网 (CAN-FD) 接口		2	2	2	2	2	1
DSP 跟踪		-	-	-	是	是	-
PWM		是	是	是	是	是	是
硬件在环 (HIL/DMM)		-	-	-	是	是	-
GPADC		4	4	4	6	6	2
ADC 原始数据采集		LVDS	LVDS	LVDS	LVDS	LVDS	RDIF
LIN		是	是	是	-	-	是
UART		3(3)	3(3)	3(3)	2	2	2
JTAG		是	是	是	是	是	是
每个线性调频脉冲可配置 Tx 移相器		仅限 BPM	仅限 BPM	仅限 BPM	是(4)	是(4)	仅限 BPM
产品状态	产品预发布 (PP)、预告信息 (AI) 或量产数据 (PD)	AI	PD(5)	PD(5)	PD(5)	PD(5)	PD(5)

(1) 由于认证可以在不同时间获得安全认证并发布证书，因此目标将仅在相关数据表中从“以合规为目标”更新为“合规”，请参阅相应的数据表以了解最新的合规状态。
(2) 器件安全特性 (包括安全启动和客户可编程密钥) 仅适用于如第 3 节“器件信息表”中的器件类型标识符所示的部分器件型号变体。
(3) 共有 3 个可用 UART 实例、包括来自 APPSS 的 2 个 UART 实例和来自 DSS 的 1 个 UART 实例
(4) 6 位线性移相器。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

(5) 产品数据信息为发布时的信息。产品符合按照德州仪器 (TI) 标准保修证书条款所制定的规范。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.1 相关产品

有关该系列产品或相关产品中的其他器件的信息，请参阅下面的链接。

毫米波传感器	TI 毫米波传感器产品系列可快速准确地检测距离、角度和速度，功耗更低，尺寸超小，适用于汽车应用。
汽车毫米波传感器	TI 的汽车毫米波传感器产品系列为超高分辨率、小型和低功耗单芯片雷达解决方案提供高性能雷达前端。利用 TI 的可扩展传感器产品系列，可为所有车辆中从舒适功能到安全功能的每种性能、应用和传感器配置设计和开发 ADAS、车内和近场系统解决方案。
AWRL6888 配套产品	查看与此产品类似的产品。

ADVANCE INFORMATION

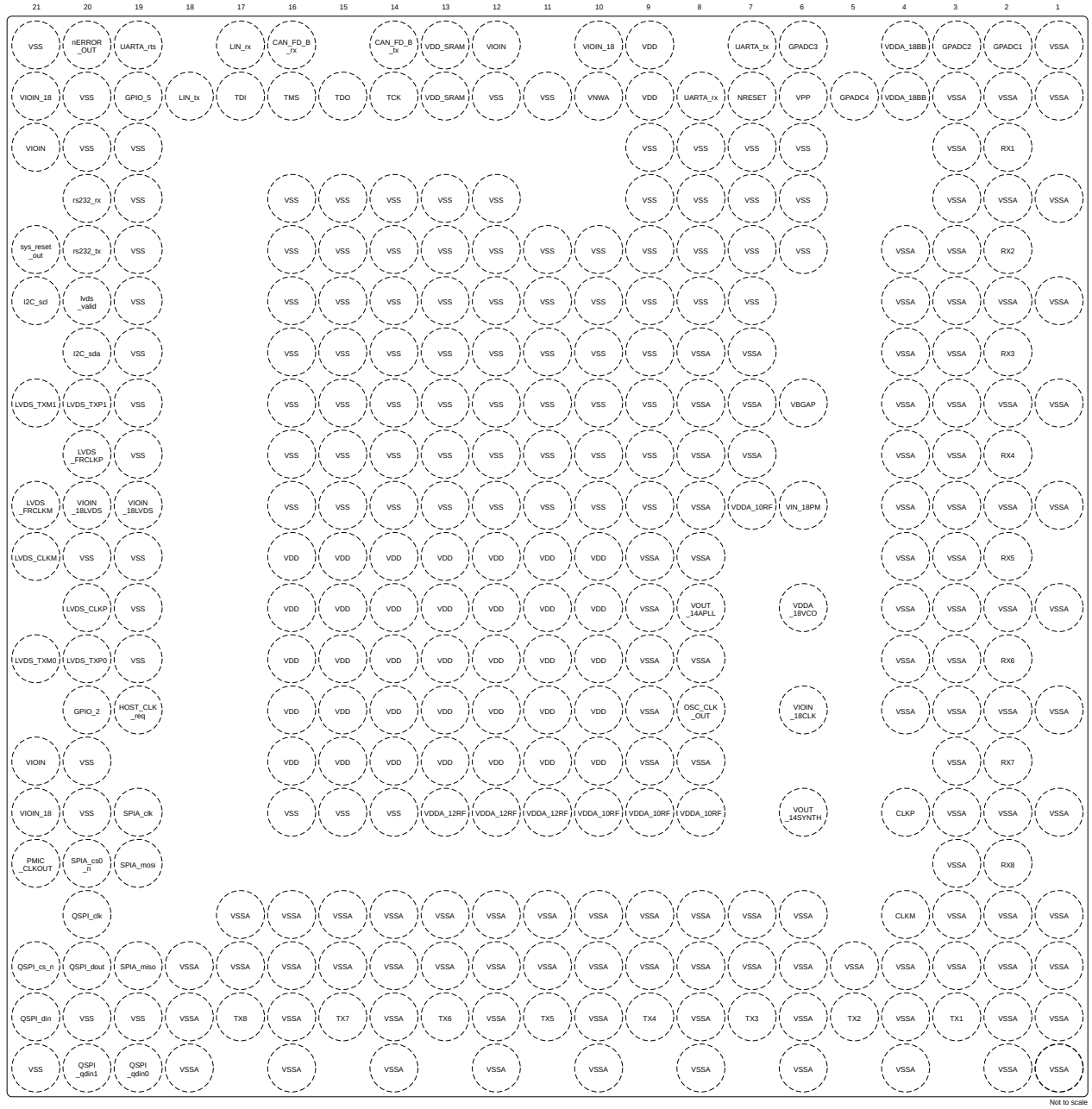
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6 终端配置和功能

6.1 引脚图

AFCCSP 引脚图（顶视图）



Not to scale

Copyright © 2026 Texas Instruments Incorporated

6.2 信号说明

备注

器件的所有数字 IO 引脚（NRESET 除外）都是非失效防护的；因此，需要注意的是，如果器件没有 VIO 电源，则不能从外部驱动这些引脚。

LVDS 接口用于调试和开发，而非生产用途

Y15 和 E21 引脚也可用作电源检测线。分别影响引导模式 SOP0 和 SOP1。有关更多详细信息，请参阅节 6.3。

表 6-1. 模拟信号说明

信号名称	引脚类型	说明	BGA 引脚
CLKM	A	XTAL CLKM 引脚	D4
CLKP	A	XTAL CLKP 引脚	F4
GPADC1	A	GPADC 输入 1	AA2
GPADC2	A	GPADC 输入 2	AA3
GPADC3	A	GPADC 输入 3	AA6
GPADC4	A	GPADC 输入 4	Y5
NRESET	A	NRESET 输入	Y7
OSC_CLK_OUT	A	振荡器时钟输出	H8
RX1	A	RX 通道 1	W2
RX2	A	RX 通道 2	U2
RX3	A	RX 通道 3	R2
RX4	A	RX 通道 4	N2
RX5	A	RX 通道 5	L2
RX6	A	RX 通道 6	J2
RX7	A	RX 通道 7	G2
RX8	A	RX 通道 8	E2
TX1	A	TX 通道 1	B3
TX2	A	TX 通道 2	B5
TX3	A	TX 通道 3	B7
TX4	A	TX 通道 4	B9
TX5	A	TX 通道 5	B11
TX6	A	TX 通道 6	B13
TX7	A	TX 通道 7	B15
TX8	A	TX 通道 8	B17
VBGAP	A	带隙基准引脚	P6

表 6-2. CAN 信号说明

信号名称	引脚类型	说明	BGA 引脚
CAN_FD_B_rx	I	CAN 接收数据	AA16
CAN_FD_B_tx	O	CAN 发送数据	AA14
CAN_FD_rx	I	CAN 接收数据	Y8
CAN_FD_tx	O	CAN 发送数据	AA7

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 6-3. 时钟信号说明

信号名称	引脚类型	说明	BGA 引脚
MCU_CLKOUT	O	MCU 时钟输出	AA20、H19、R20
PMIC_CLKOUT	O	PMIC 时钟输出	E21、T21
RTC_CLK_in	I	RTC 时钟输入。这用作退出深度睡眠状态的唤醒源。有关更多详细信息，请参阅技术参考手册。	AA19、AA20、B21、H20、Y16

表 6-4. EPWM 信号说明

信号名称	引脚类型	说明	BGA 引脚
ePWMa	O	EPWM 输出 A	AA16、AA19、C19、E20、T21、Y17
ePWMb	O	EPWM 输出 B	AA14、E19、F19、R20、Y14、Y19
ePWMSYNCI	I	EPWM 同步输入	T21、U20、Y16、Y19
ePWMSYNCO	O	EPWM 同步输出	R20、Y16

表 6-5. GPIO 信号说明

信号名称	引脚类型	说明	BGA 引脚
GPIO_0	IO	通用输入/输出	AA16、E19
GPIO_1	IO	通用输入/输出	AA14、C19
GPIO_2	IO	通用输入/输出	H20、T20
GPIO_3	IO	通用输入/输出	U21、Y8
GPIO_4	IO	通用输入/输出	AA20、T21
GPIO_5	IO	通用输入/输出	R20、Y19
GPIO_6	IO	通用输入/输出	AA17、AA19
GPIO_7	IO	通用输入/输出	H19、Y18

表 6-6. I2C 信号说明

信号名称	引脚类型	说明	BGA 引脚
I2C_scl	IO	I2C 时钟	A19、AA7、F19、H19、T21、U20
I2C_sda	IO	I2C 数据	A20、E20、H20、R20、V20、Y8

表 6-7. JTAG 信号说明

信号名称	引脚类型	说明	BGA 引脚
TCK	I	JTAG 测试时钟	Y14
TDI	I	测试数据输入	Y17
TDO	O	测试数据输出	Y15
TMS	I	测试模式选择	Y16

表 6-8. LIN 信号说明

信号名称	引脚类型	说明	BGA 引脚
LIN_rx	I	LIN 接收数据	AA17、H20、T20、V20、Y19、Y8

Copyright © 2026 Texas Instruments Incorporated

表 6-8. LIN 信号说明（续）

信号名称	引脚类型	说明	BGA 引脚
LIN_tx	O	LIN 发送数据	AA19、AA7、E21、H19、U20、U21、Y18

表 6-9. LVDS 信号说明

信号名称	引脚类型	说明	BGA 引脚
LVDS_CLKM	O	差分时钟	L21
LVDS_CLKP	O	差分时钟	K20
LVDS_FRCLKM	O	差分帧时钟	M21
LVDS_FRCLKP	O	差分帧时钟	N20
LVDS_TXM0	O	差分数据输出 - 通道 0	J21
LVDS_TXM1	O	差分数据输出 - 通道 1	P21
LVDS_TXP0	O	差分数据输出 - 通道 0	J20
LVDS_TXP1	O	差分数据输出 - 通道 1	P20
lvds_valid	O	高电平时，表示 LVDS 数据有效	E19、T20

表 6-10. 电源信号说明

信号名称	引脚类型	说明	BGA 引脚
VDD	PWR	1.2V 内核电源	AA9、G10、G11、G12、G13、G14、G15、G16、H10、H11、H12、H13、H14、H15、H16、J10、J11、J12、J13、J14、J15、J16、K10、K11、K12、K13、K14、K15、K16、L10、L11、L12、L13、L14、L15、L16、Y9
VDDA_10RF	PWR	1.0V 内部 LDO 输出。	F10、F8、F9、M7
VDDA_12RF	PWR	1.2V 射频电源	F11、F12、F13
VDDA_18BB	PWR	1.8V 模拟电源	AA4、Y4
VDDA_18VCO	PWR	1.8V 模拟电源	K6
VDD_SRAM	PWR	1.2V SRAM 电源	AA13、Y13
VIN_18PM	PWR	1.8V 内核电源	M6
VIOIN	PWR	3.3V/1.8V 数字 IO 电源	AA12、G21、W21
VIOIN_18	PWR	1.8V IO 电源	AA10、F21、Y21
VIOIN_18CLK	PWR	1.8V 模拟电源	H6
VIOIN_18LVDS	PWR	用于 LVDS 端口的 1.8V 电源	M19、M20
VNWA	PWR	1.2V VNWA 电源。始终连接到 SRAM 电源。	Y10
VOUT_14APLL	PWR	1.4V 内部 LDO 输出	K8
VOUT_14SYNTH	PWR	1.4V 内部 LDO 输出	F6
VPP	PWR	保险丝链的电压电源	Y6

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-10. 电源信号说明（续）

信号名称	引脚类型	说明	BGA 引脚
VSS	GND	接地	A21、AA21、B19、B20、F14、F15、F16、F20、G20、J19、K19、L19、L20、M10、M11、M12、M13、M14、M15、M16、M9、N10、N11、N12、N13、N14、N15、N16、N19、N9、P10、P11、P12、P13、P14、P15、P16、P19、P9、R10、R11、R12、R13、R14、R15、R16、R19、R9、T10、T11、T12、T13、T14、T15、T16、T19、T7、T8、T9、U10、U11、U12、U13、U14、U15、U16、U19、U6、U7、U8、U9、V12、V13、V14、V15、V16、V19、V6、V7、V8、V9、W19、W20、W6、W7、W8、W9、Y11、Y12、Y20

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-10. 电源信号说明（续）

信号名称	引脚类型	说明	BGA 引脚
VSSA	GND	接地	A1、A10、A12、A14、A16、A18、A2、A4、A6、A8、AA1、B1、B10、B12、B14、B16、B18、B2、B4、B6、B8、C1、C10、C11、C12、C13、C14、C15、C16、C17、C18、C2、C3、C4、C5、C6、C7、C8、C9、D1、D10、D11、D12、D13、D14、D15、D16、D17、D2、D3、D6、D7、D8、D9、E3、F1、F2、F3、G3、G8、G9、H1、H2、H3、H4、H9、J3、J4、J8、J9、K1、K2、K3、K4、K9、L3、L4、L8、L9、M1、M2、M3、M4、M8、N3、N4、N7、N8、P1、P2、P3、P4、P7、P8、R3、R4、R7、R8、T1、T2、T3、T4、U3、U4、V1、V2、V3、W3、Y1、Y2、Y3

表 6-11. QSPI 信号说明

信号名称	引脚类型	说明	BGA 引脚
QSPI_clk	IO	QSPI 时钟	D20
QSPI_cs_n	O	OSPI 片选	C21
QSPI_din	I	QSPI 数据位 1	B21
QSPI_dout	IO	QSPI 数据位 0	C20
QSPI_qdin0	I	QSPI 数据位 2	A19
QSPI_qdin1	I	QSPI 数据位 3	A20

表 6-12. RS232 信号说明

信号名称	引脚类型	说明	BGA 引脚
rs232_rx	I	RS232 接收数据	V20
rs232_tx	O	RS232 发送数据	U20

表 6-13. SPIA 信号说明

信号名称	引脚类型	说明	BGA 引脚
SPIA_clk	IO	SPIA 时钟	F19
SPIA_cs0_n	IO	SPIA 片选 0	E20
SPIA_cs1_n	IO	SPIA 片选 1	E21、H20、T20

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-13. SPIA 信号说明（续）

信号名称	引脚类型	说明	BGA 引脚
SPIA_miso	IO	SPIA MISO	C19
SPIA_mosi	IO	SPIA MOSI	E19

表 6-14. SPIB 信号说明

信号名称	引脚类型	说明	BGA 引脚
SPIB_clk	IO	SPIB 时钟	D20、F19、T20、T21
SPIB_cs0_n	IO	SPIB 片选 0	AA20、C21、E20、U21
SPIB_cs1_n	IO	SPIB 片选 1	R20、U20
SPIB_miso	IO	SPIB MISO	B21、C19、H19、T20、V20
SPIB_mosi	IO	SPIB MOSI	C20、E19、R20

在 SPIB 上，由于时序限制，仅支持某些 IOSET 组合。表 6-15 列出了 SPIB 的有效 IOSET 组合

表 6-15. SPIB 信号的有效 IOSET 组合

信号名称	IOSET1	IOSET2	IOSET3	IOSET4
SPIB_clk	PAD_AA	PAD_AG	PAD_BC	PAD_BC
SPIB_cs0_n	PAD_AB	PAD_AH	PAD_BB	PAD_BB
SPIB_mosi	PAD_AC	PAD_AI	PAD_BD	PAD_BD
SPIB_miso	PAD_AD	PAD_AJ	PAD_BA	PAD_AX

表 6-16. 系统信号说明

信号名称	引脚类型	说明	BGA 引脚
HOST_CLK_req	O	主机时钟请求输出。该信号指示外部 MCU/主机通过 CLKP 引脚提供时钟。该信号在外部时钟模式下使用。请参阅节 7.13.3，了解关更多详细信息。	H19
nERROR_OUT	O	nERROR 输出信号。开漏失效防护输出信号。用于指示发生了一些严重的关键性故障。将通过复位进行恢复。	AA20、T20
PRCM_PMIC_DeepSleep	O	深度睡眠指示输出。该信号指示器件处于深度睡眠状态。	T20、Y18
SYNC_in	I	同步输入。此信息用于同步帧触发。有关更多详细信息，请参阅 节 7.13.2	A20、AA20、T20、Y19、Y8
sys_reset_out	O	系统复位指示输出。这用于指示 SOC 何时进行复位。	AA14、H20、U21、Y16
WU_reqin	I	唤醒请求输入。这用作退出深度睡眠状态的唤醒源。	A19、AA19、AA20、AA7、U21

表 6-17. UARTA 信号说明

信号名称	引脚类型	说明	BGA 引脚
UARTA_rts	O	UARTA RTS 输出	AA19
UARTA_rx	I	UARTA 接收数据	T21、Y8
UARTA_tx	O	UARTA 发送数据	AA7、R20

表 6-18. UARTB 信号说明

信号名称	引脚类型	说明	BGA 引脚
UARTB_rx	I	UARTB 接收数据	V20、Y18、Y8

Copyright © 2026 Texas Instruments Incorporated

表 6-18. UARTB 信号说明（续）

信号名称	引脚类型	说明	BGA 引脚
UARTB_tx	O	UARTB 发送数据	AA17、AA7、U20

表 6-19. DSS UARTA 信号说明

信号名称	说明	BGA 引脚
HWASS_UARTA_RX	在 DSS 中调试 UART 实例。DSS UARTA 接收数据	AA16、V20、Y8
HWASS_UARTA_TX	在 DSS 中调试 UART 实例。DSS UARTA 发送数据	AA14、U20、AA7

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-20. 引脚属性（PKG1 封装）

BGA 焊球编号[1]	焊球名称[2]	信号名称[3]	PINCNTL 寄存器[4]	PINCNTL 寄存器地址[5][11]	模式[6]	类型[7]	上拉/下拉类型[8]	复位期间的焊球状态[9]	复位后的焊球状态[10]
AA16	CAN_FD_B_rx	CAN_FD_B_rx	PADAY_CFG_REG	0x5A00 0060	0	I	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		HWASS_UARTA_rx			1	I			
		ePWMa			2	O			
		GPIO_0			3	IO			
AA14	CAN_FD_B_tx	CAN_FD_B_tx	PADAZ_CFG_REG	0x5A00 0064	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		HWASS_UARTA_tx			1	O			
		ePWMb			2	O			
		GPIO_1			3	IO			
		sys_reset_out			4	O			
D4	CLKM	CLKM				A			
F4	CLKP	CLKP				A			
AA2	GPADC1	GPADC1				A			
AA3	GPADC2	GPADC2				A			
AA6	GPADC3	GPADC3				A			
Y5	GPADC4	GPADC4				A			
H20	GPIO_2	GPIO_2	PADAL_CFG_REG	0x5A00 002C	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		LIN_rx			1	I			
		sys_reset_out			2	O			
		I2C_sda			3	IO			
		SPIA_cs1_n			4	IO			
		RSVD			5	I			
		RTC_CLK_in			6	I			
Y19	GPIO_5	GPIO_5	PADAV_CFG_REG	0x5A00 0054	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		SYNC_in			1	I			
		LIN_rx			2	I			
		ePWMb			3	O			
		ePWMSYNCI			4	I			
H19	HOST_CLK_req	HOST_CLK_req[12]	PADAX_CFG_REG	0x5A00 005C	0	O	PU/PD	关闭/关闭/关闭	关闭/SS/关闭
		GPIO_7			1	IO			
		MCU_CLKOUT[12]			2	O			
		LIN_tx			3	O			
		RSVD			4	I			
		SPIB_miso			5	IO			
		I2C_scl			6	IO			

Copyright © 2026 Texas Instruments Incorporated

表 6-20. 引脚属性（PKG1 封装）（续）

BGA 焊球编号(1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PINCNTL 寄存器地址(5)(11)	模式(6)	类型(7)	上拉/下拉类型(8)	复位期间的焊球状态(9)	复位后的焊球状态(10)
T21	I2C_scl	I2C_scl	PADBC_CFG_REG	0x5A00 0070	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		PMIC_CLKOUT			1	O			
		UARTA_rx			2	I			
		GPIO_4			3	IO			
		RSVD			4	O			
		ePWMa			5	O			
		ePWMSYNCI			6	I			
		SPIB_clk			7	IO			
R20	I2C_sda	I2C_sda	PADBD_CFG_REG	0x5A00 0074	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		MCU_CLKOUT			1	O			
		UARTA_tx			2	O			
		GPIO_5			3	IO			
		RSVD			4	O			
		ePWMb			5	O			
		ePWMSYNCO			6	O			
		SPIB_cs1_n			7	IO			
		SPIB_mosi			8	IO			
AA17	LIN_rx	LIN_rx	PADBE_CFG_REG	0x5A00 0078	0	I	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		UARTB_tx			1	O			
		GPIO_6			2	IO			
Y18	LIN_tx	LIN_tx	PADBF_CFG_REG	0x5A00 007C	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		UARTB_rx			1	I			
		GPIO_7			2	IO			
		PRCM_PMIC_DeepSleep			3	O			
L21	LVDS_CLKM	LVDS_CLKM				IO			
K20	LVDS_CLKP	LVDS_CLKP				IO			
M21	LVDS_FRCLKM	LVDS_FRCLKM				IO			
N20	LVDS_FRCLKP	LVDS_FRCLKP				IO			
J21	LVDS_TXM0	LVDS_TXM0				IO			
P21	LVDS_TXM1	LVDS_TXM1				IO			
J20	LVDS_TXP0	LVDS_TXP0				IO			
P20	LVDS_TXP1	LVDS_TXP1				IO			

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 6-20. 引脚属性（PKG1 封装）（续）

BGA 焊球编号(1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PINCNTL 寄存器地址(5)(11)	模式(6)	类型(7)	上拉/下拉类型(8)	复位期间的焊球状态(9)	复位后的焊球状态(10)
T20	lvds_valid	lvds_valid	PADBA_CFG_REG	0x5A00 0068	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		nERROR_OUT			1	O			
		LIN_rx			2	I			
		GPIO_2			3	IO			
		RSVD			4	O			
		SPIA_cs1_n			5	IO			
		SPIB_miso			6	IO			
		SPIB_clk			7	IO			
		SYNC_in			8	I			
		PRCM_PMIC_DeepSleep			9	O			
AA20	nERROR_OUT	nERROR_OUT	PADAU_CFG_REG	0x5A00 0050	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		GPIO_4			1	IO			
		SYNC_in			2	I			
		SPIB_cs0_n			3	IO			
		WU_reqin			4	I			
		RTC_CLK_in			5	I			
		MCU_CLKOUT			6	O			
Y7	NRESET	NRESET				A			
H8	OSC_CLK_OUT	OSC_CLK_OUT				A			
E21	PMIC_CLKOUT	SOP[1]	PADAK_CFG_REG	0x5A00 0028	上电期间	I	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		PMIC_CLKOUT(12)			0	O			
		LIN_tx			1	O			
		SPIA_cs1_n			2	IO			
D20	QSPI_clk	QSPI_clk	PADAA_CFG_REG	0x5A00 0000	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		SPIB_clk			1	IO			
C21	QSPI_cs_n	QSPI_cs_n	PADAB_CFG_REG	0x5A00 0004	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		SPIB_cs0_n			1	IO			
B21	QSPI_din	QSPI_din	PADAD_CFG_REG	0x5A00 000C	0	I	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		SPIB_miso			1	IO			
		RTC_CLK_in			2	I			
C20	QSPI_dout	QSPI_dout	PADAC_CFG_REG	0x5A00 0008	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		SPIB_mosi			1	IO			
A19	QSPI_qdin0	QSPI_qdin0	PADAE_CFG_REG	0x5A00 0010	0	I	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		I2C_scl			1	IO			
		WU_reqin			2	I			
A20	QSPI_qdin1	QSPI_qdin1	PADAF_CFG_REG	0x5A00 0014	0	I	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		I2C_sda			1	IO			
		SYNC_in			2	I			

Copyright © 2026 Texas Instruments Incorporated

表 6-20. 引脚属性（PKG1 封装）（续）

BGA 焊球编号[1]	焊球名称[2]	信号名称[3]	PINCNTL 寄存器[4]	PINCNTL 寄存器地址[5][11]	模式[6]	类型[7]	上拉/下拉类型[8]	复位期间的焊球状态[9]	复位后的焊球状态[10]
V20	rs232_rx	rs232_rx	PADAP_CFG_REG	0x5A00 003C	0	I	PU/PD	关闭/关闭/上拉	开启/关闭/上拉
		I2C_sda			1	IO			
		UARTB_rx			2	I			
		LIN_rx			3	I			
		RSVD			4	O			
		SPIB_miso			5	IO			
		HWASS_UARTA_rx			6	I			
U20	rs232_tx	rs232_tx	PADAO_CFG_REG	0x5A00 0038	0	O	PU/PD	关闭/关闭/关闭	关闭/SS/关闭
		I2C_scl			1	IO			
		UARTB_tx			2	O			
		LIN_tx			3	O			
		ePWMSYNCI			4	I			
		RSVD			5	O			
		SPIB_cs1_n			6	IO			
		HWASS_UARTA_tx			7	O			
W2	RX1	RX1				A			
U2	RX2	RX2				A			
R2	RX3	RX3				A			
N2	RX4	RX4				A			
L2	RX5	RX5				A			
J2	RX6	RX6				A			
G2	RX7	RX7				A			
E2	RX8	RX8				A			
F19	SPIA_clk	SPIA_clk	PADAG_CFG_REG	0x5A00 0018	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		ePWMb			1	O			
		I2C_scl			2	IO			
		SPIB_clk			3	IO			
E20	SPIA_cs0_n	SPIA_cs0_n	PADAH_CFG_REG	0x5A00 001C	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		ePWMa			1	O			
		I2C_sda			2	IO			
		SPIB_cs0_n			3	IO			
C19	SPIA_miso	SPIA_miso	PADAJ_CFG_REG	0x5A00 0024	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		GPIO_1			1	IO			
		ePWMa			2	O			
		SPIB_miso			3	IO			

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-20. 引脚属性（PKG1 封装）（续）

BGA 焊球编号(1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PINCNTL 寄存器地址(5)(11)	模式(6)	类型(7)	上拉/下拉类型(8)	复位期间的焊球状态(9)	复位后的焊球状态(10)
E19	SPIA_mosi	SPIA_mosi	PADAI_CFG_REG	0x5A00 0020	0	IO	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		GPIO_0			1	IO			
		ePWMb			2	O			
		SPIB_mosi			3	IO			
		RSVD			4	O			
		lvds_valid			5	O			
U21	sys_reset_out	sys_reset_out	PADBB_CFG_REG	0x5A00 006C	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		WU_reqin			1	I			
		LIN_tx			2	O			
		GPIO_3			3	IO			
		RSVD			4	O			
		SPIB_cs0_n			5	IO			
Y14	TCK	TCK	PADAT_CFG_REG	0x5A00 004C	0	I	PU/PD	关闭/关闭/下拉	开启/关闭/下拉
		ePWMb			1	O			
Y17	TDI	TDI	PADAR_CFG_REG	0x5A00 0044	0	I	PU/PD	关闭/关闭/下拉	开启/关闭/下拉
		ePWMa			1	O			
Y15	TDO	SOP[0]	PADAS_CFG_REG	0x5A00 0048	供电期间	I	PU/PD	关闭/关闭/关闭	关闭/SS/关闭
		TDO			0	O			
Y16	TMS	TMS	PADAQ_CFG_REG	0x5A00 0040	0	I	PU/PD	关闭/关闭/上拉	开启/关闭/上拉
		sys_reset_out			1	O			
		RSVD			2				
		RSVD			3				
		RSVD			4				
		RSVD			5				
		RTC_CLK_in			6	I			
		ePWMSYNCI			7	I			
		ePWMSYNCO			8	O			
B3	TX1	TX1				A			
B5	TX2	TX2				A			
B7	TX3	TX3				A			
B9	TX4	TX4				A			
B11	TX5	TX5				A			
B13	TX6	TX6				A			
B15	TX7	TX7				A			
B17	TX8	TX8				A			

Copyright © 2026 Texas Instruments Incorporated

表 6-20. 引脚属性（PKG1 封装）（续）

BGA 焊球编号(1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PINCNTL 寄存器地址(5)(11)	模式(6)	类型(7)	上拉/下拉类型(8)	复位期间的焊球状态(9)	复位后的焊球状态(10)
AA19	UARTA_rts	UARTA_rts	PADAW_CFG_REG	0x5A00 0058	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		GPIO_6			1	IO			
		LIN_tx			2	O			
		RSVD			3				
		WU_reqin			4	I			
		ePWMa			5	O			
		RTC_CLK_in			6	I			
Y8	UARTA_rx	UARTA_rx	PADAM_CFG_REG	0x5A00 0030	0	I	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		GPIO_3			1	IO			
		LIN_rx			2	I			
		CAN_FD_rx			3	I			
		SYNC_in			4	I			
		UARTB_rx			5	I			
		I2C_sda			6	IO			
		RSVD			7	O			
		HWASS_UARTA_rx			8	I			
AA7	UARTA_tx	UARTA_tx	PADAN_CFG_REG	0x5A00 0034	0	O	PU/PD	关闭/关闭/关闭	关闭/关闭/关闭
		LIN_tx			1	O			
		CAN_FD_tx			2	O			
		RSVD			3				
		WU_reqin			4	I			
		UARTB_tx			5	O			
		I2C_scl			6	IO			
		RSVD			7	O			
		HWASS_UARTA_tx			8	O			
P6	VBGAP	VBGAP				A			
AA9、G10、G11、G12、G13、G14、G15、G16、H10、H11、H12、H13、H14、H15、H16、J10、J11、J12、J13、J14、J15、J16、K10、K11、K12、K13、K14、K15、K16、L10、L11、L12、L13、L14、L15、L16、Y9	VDD	VDD				PWR			
F10、F8、F9、M7	VDDA_10RF	VDDA_10RF				PWR			
F11、F12、F13	VDDA_12RF	VDDA_12RF				PWR			
AA4、Y4	VDDA_18BB	VDDA_18BB				PWR			
K6	VDDA_18VCO	VDDA_18VCO				PWR			
AA13、Y13	VDD_SRAM	VDD_SRAM				PWR			

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-20. 引脚属性（PKG1 封装）（续）

BGA 焊球编号(1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PINCNTL 寄存器地址(5)(11)	模式(6)	类型(7)	上拉/下拉类型(8)	复位期间的焊球状态(9)	复位后的焊球状态(10)
M6	VIN_18PM	VIN_18PM				PWR			
AA12、G21、W21	VIOIN	VIOIN				PWR			
AA10、F21、Y21	VIOIN_18	VIOIN_18				PWR			
H6	VIOIN_18CLK	VIOIN_18CLK				PWR			
M19、M20	VIOIN_18LVDS	VIOIN_18LVDS				PWR			
Y10	VNWA	VNWA				PWR			
K8	VOUT_14APLL	VOUT_14APLL				PWR			
F6	VOUT_14SYNTH	VOUT_14SYNTH				PWR			
Y6	VPP	VPP				PWR			
A21、AA21、B19、B20、F14、F15、F16、F20、G20、J19、K19、L19、L20、M10、M11、M12、M13、M14、M15、M16、M9、N10、N11、N12、N13、N14、N15、N16、N19、N9、P10、P11、P12、P13、P14、P15、P16、P19、P9、R10、R11、R12、R13、R14、R15、R16、R19、R9、T10、T11、T12、T13、T14、T15、T16、T19、T7、T8、T9、U10、U11、U12、U13、U14、U15、U16、U19、U6、U7、U8、U9、V12、V13、V14、V15、V16、V19、V6、V7、V8、V9、W19、W20、W6、W7、W8、W9、Y11、Y12、Y20	VSS	VSS				GND			

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-20. 引脚属性（PKG1 封装）（续）

BGA 焊球编号(1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PINCNTL 寄存器地址(5)(11)	模式(6)	类型(7)	上拉/下拉类型(8)	复位期间的焊球状态(9)	复位后的焊球状态(10)
A1、A10、A12、A14、A16、A18、A2、A4、A6、A8、AA1、B1、B10、B12、B14、B16、B18、B2、B4、B6、B8、C1、C10、C11、C12、C13、C14、C15、C16、C17、C18、C2、C3、C4、C5、C6、C7、C8、C9、D1、D10、D11、D12、D13、D14、D15、D16、D17、D2、D3、D6、D7、D8、D9、E3、F1、F2、F3、G3、G8、G9、H1、H2、H3、H4、H9、J3、J4、J8、J9、K1、K2、K3、K4、K9、L3、L4、L8、L9、M1、M2、M3、M4、M8、N3、N4、N7、N8、P1、P2、P3、P4、P7、P8、R3、R4、R7、R8、T1、T2、T3、T4、U3、U4、V1、V2、V3、W3、Y1、Y2、Y3	VSSA	VSSA				GND			

(1) **焊球编号：**底面的焊球编号与底部的每个信号相关联。
(2) **焊球名称：**来自封装器件的机械名称（名称取自多路复用模式 0）。
(3) **信号名称：**每个焊球上复用信号的名称（另请注意，焊球的名称是复用模式 0 中的信号名称）。
(4) **PINCNTL 寄存器：**PinMux 控制的 APPSS 寄存器名称
(5) **PINCNTL 地址：**PinMux 控制的 APPSS 地址
(6) **模式：**多路复用模式编号：写入 PinMux Cntl 寄存器的值，用于为该焊球编号选择特定的信号名称。模式列具有位范围值。
(7) **类型：**信号类型和方向：
- I = 输入
- O = 输出
- IO = 输入或输出

(8) **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
- 上拉：内部上拉电阻
- 下拉：内部下拉电阻
- 空框表示无上拉/下拉电阻。

(9) **复位期间的焊球状态**：复位期间的焊球状态，格式为 RX/TX/PULL 状态
- RX（输入缓冲器）
  - 关闭：输入缓冲器被**禁用**。
  - 亮：输入缓冲器被**启用**。
- TX（输出缓冲器）

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

  - 关闭：输出缓冲器被**禁用**。
  - 低电平：输出缓冲器被**启用**并驱动 V_{OL}。
- 拉动状态 (内部拉动电阻器)
  - 关闭：内部拉电阻器被**关闭**。
  - 上拉：内部**上拉**电阻器被开启。
  - 下拉：内部**下拉**电阻器被开启。
  - 不适用：无内部拉电阻器。
- 空框或“-”表示不适用。

(10) **复位后的焊球状态**：复位后的焊球状态，格式为 RX/TX/PULL 状态
- RX (输入缓冲器)
  - 关闭：输入缓冲器被**禁用**。
  - 亮：输入缓冲器被**启用**。
- TX (输出缓冲器)
  - 关闭：输出缓冲器被**禁用**。
  - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
- 拉动状态 (内部拉动电阻器)
  - 关闭：内部拉电阻器被**关闭**。
  - 上拉：内部**上拉电阻器**被开启。
  - 下拉：内部**下拉电阻器**被开启。
  - 不适用：无内部拉电阻器。
- 空框、不适用或“-”表示不适用。

(11) Pin Mux Control Value 映射到寄存器的低 4 位。
(12) 限制使用。在深度睡眠期间不可用

Copyright © 2026 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

参数(1)(2)		最小值	最大值	单位
VDD	1.2V 数字电源	-0.5	1.4	V
VIOIN	I/O 电源（3.3V 或 1.8V）：所有 CMOS I/O 均在相同的 VIOIN 电压电平上运行	-0.5	3.8	V
VIOIN_18	用于 CMOS IO 的 1.8V 电源	-0.5	2	V
VIOIN_18CLK	用于时钟模块的 1.8V 电源	-0.5	2	V
VDDA_18BB	1.8V 模拟基带电源	-0.5	2	V
VDDA_18VCO	1.8V 射频 VCO 电源	-0.5	2	V
VIOIN_18LVDS	用于 LVDS 端口的 1.8V 电源	-0.5	2	V
VPP	保险丝链的电压电源	-0.5	2	V
RX1-8	射频输入端上的外部施加电源		10	dBm
TX1-8	射频输出端上的外部施加电源(3)		10	dBm
输入和输出电压范围	双电压 LVCMOS 输入，3.3V 或 1.8V（稳态）	-0.3V	VIOIN + 0.3	V
	双电压 LVCMOS 输入，在 3.3V/1.8V（瞬态过冲/下冲）条件下运行，或外部振荡器输入		VIOIN + 20%，高达信号周期的 20%	
CLKP、CLKM	参考晶振输入端口	-0.5	2	V
钳位电流	输入或输出电压高于或低于各自电源轨 0.3V。限制流经 I/O 内部二极管保护单元的钳位电流。	-20	20	mA
T_J	工作结温范围	-40	140	°C
T_{STG}	焊接到 PC 板上后的贮存温度范围	-55	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，所有电压值均相对于 V_{SS}。
(3) 此值用于 TX 上外部施加的信号电平。此外，可以在 TX 输出端上应用高达伽马 = 1 的反射系数。

7.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AECQ100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC 标准 Q100-011	所有引脚	±500	
			转角引脚	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

7.3 上电小时数 (POH)

结温 (T_j)(1)	运行条件	标称 CVDD 电压 (V)	上电小时数 [POH]（小时）
-40°C	50% 占空比	1.2	1200 (6%)
75°C			4000 (20%)
95°C			13000 (65%)
130°C			1600 (8%)
140°C			200 (1%)

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.4 建议运行条件

		最小值	标称值	最大值	单位
VDD	1.2V 数字电源	1.14	1.2	1.26	V
VIOIN	I/O 电源（3.3V 或 1.8V）： 所有 CMOS I/O 都将在此电源上运行。	3.135	3.3	3.465	V
		1.71	1.8	1.89	
VIOIN_18	用于 CMOS IO 的 1.8V 电源	1.71	1.8	1.89	V
VIOIN_18CLK	用于时钟模块的 1.8V 电源	1.71	1.8	1.89	V
VDDA_18BB	1.8V 模拟基带电源	1.71	1.8	1.89	V
VDDA_18VCO	1.8V 射频 VCO 电源	1.71	1.8	1.89	V
VIOIN_18LVDS	用于 LVDS 端口的 1.8V 电源	1.71	1.8	1.89	V
V_{IH}	电压输入高电平（1.8V 模式）	1.17			V
	电压输入高电平（3.3V 模式）	2.25			
V_{IL}	电压输入低电平（1.8V 模式）			0.3*VIOIN	V
	电压输入低电平（3.3V 模式）			0.62	
V_{OH}	高电平输出阈值（I_{OH} = 6mA）	VIOIN – 450			mV
V_{OL}	低电平输出阈值（I_{OL} = 6mA）			450	mV
NRESET SOP[1:0]	V_{IL}（1.8V 模式）			0.2	V
	V_{IH}（1.8V 模式）	0.96			
	V_{IL}（3.3V 模式）			0.3	
	V_{IH}（3.3V 模式）	1.57			

7.5 一次性可编程 (OTP) 电子保险丝的 VPP 规格

该小节规定了对 OTP 电子保险丝进行编程所需的运行条件，且仅适用于安全启动器件。在电子保险丝中写入客户特定密钥或其他字段（例如软件版本）的过程中，用户需要提供 VPP 电源。

7.5.1 OTP 电子保险丝编程的建议运行条件

参数	说明	最小值	标称值	最大值	单位
VPP	正常运行期间电子保险丝 ROM 域的电源电压范围		NC(2)		
	OTP 编程期间电子保险丝 ROM 域的电源电压范围(1)	1.65	1.7	1.75	V
VPP 供电持续时间	如果提供 VPP 电压的时间超过建议的小时数，则可能会导致可靠性问题			24	小时
I(VPP)				50	mA
去耦电容器			0.1(3)		µF

(1) 在正常运行期间，不应向 VPP 施加电压。这通常可以通过禁用连接到 VPP 端子的外部稳压器来实现。
(2) NC：无连接
(3) 适用于安全型器件型号。对于通用型器件版本，VPP 引脚可以悬空。

备注

上电序列：VPP 必须最后斜升，即在所有其他电源轨斜升完成之后

7.5.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。

Copyright © 2026 Texas Instruments Incorporated

7.5.3 对硬件保修的影响

您了解并接受您自行承担使用电子保险丝对 TI 器件造成不可逆更改的风险。您确认电子保险丝可能会由于操作条件或编程序列不正确而失效。此类失效可能导致 TI 器件无法运行，并且在试图使用电子保险丝之前，TI 不能确认 TI 器件符合 TI 器件规格。因此，在电子保险丝可编程性出现故障的情况下，TI 将不承担任何责任。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.6 电源规格

7.6.1 3.3V I/O 拓扑

表 7-1 介绍了通过 3.3V I/O 拓扑从外部电源块到器件的电源轨。

表 7-1. 电源轨特性：3.3V I/O 拓扑

电源	由电源供电的器件块	器件中的相关 IO
3.3V	数字 I/O	输入：VIOIN
1.8V	合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC、LVDS	输入：VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIN_18PM、VIOIN_18LVDS LDO 输出：VOUT_14SYNTH、VOUT_14APLL
1.2V	内核数字和 SRAM、RF、VNWA	输入：VDD、VNWA、VDD_SRAM、VDDA_12RF LDO 输出：VDDA_10RF

7.6.2 1.8V I/O 拓扑

表 7-2 介绍了通过 1.8V I/O 拓扑从外部电源块到器件的电源轨。

表 7-2. 电源轨特性：1.8V I/O 拓扑

电源	由电源供电的器件块	器件中的相关 IO
1.8V	合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC、LVDS	输入：VIOIN、VIN_18PM、VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIOIN_18LVDS LDO 输出：VOUT_14SYNTH、VOUT_14APLL
1.2V	内核数字和 SRAM、RF、VNWA	输入：VDD、VDD_SRAM、VNWA、VDDA_12RF LDO 输出：VDDA_10RF

7.6.3 系统拓扑

支持以下系统拓扑。

- 拓扑 1：外设模式，由外部 MCU 控制
- 拓扑 2：自主模式，通过 LIN/CAN 连接到远程主机

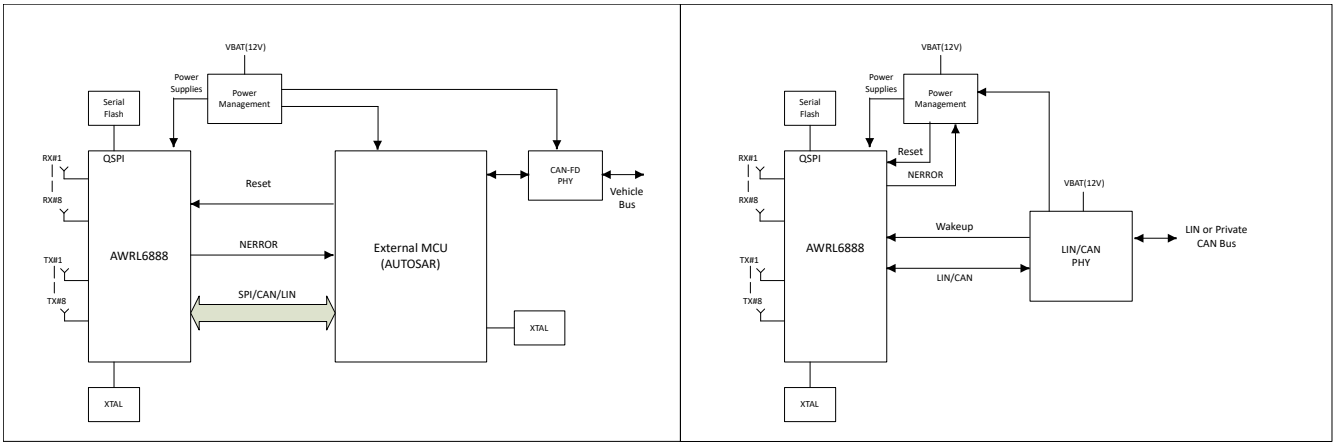


图 7-1. 系统拓扑（左图：拓扑 1，右图：拓扑 2）

在拓扑 1 中：外设模式，AWRL6888 由外部 MCU 控制，且大部分处理在*外部* MCU 上完成。在这种情况下，计算和功率要求相对较高，并且外部 MCU 可以在大多数时间保持运行状态。

Copyright © 2026 Texas Instruments Incorporated

在拓扑 2 中：自主模式，AWRL6888 可用作完整的传感器以及 R5F 应用处理器。在这种情况下，内部应用处理器将进行所有处理并中断主机处理器以便进行通信，从而根据传感器数据采取操作。大多数处理发生在 AWRL6888 芯片的*内部* MCU，只有高级别的所需结果会通过 LIN/CAN 传达给外部主机。

7.6.3.1 I/O 拓扑

该器件可采用两个电压轨（1.8V 和 1.2V）或三个电压轨（3.3V、1.8V 和 1.2V）供电。

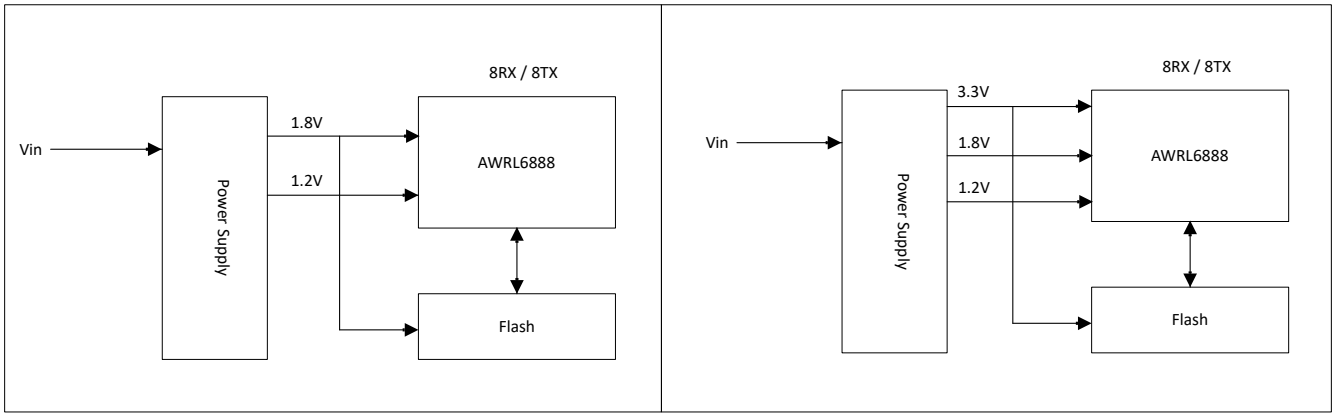


图 7-2. I/O 拓扑（左图：1.8V I/O 拓扑，右图：3.3V I/O 拓扑）

7.6.4 射频电源去耦电容器和布局条件

该小节介绍了去耦电容器的建议值以及射频电源（1.2V RF 和 1V RF LDO）特部分中允许的寄生电感和电阻范围。建议使用随温度变化较小的 X7R 型电容器。下表列出了电容器的最小值和最大值。表包括给定电容器因直流偏置、容差和温度变化而导致的变化。

备注

1. 如果寄生值未保持在指定范围内，器件的性能可能会降低。
2. 所选电容器的工作范围不能超过指定范围。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.6.4.1 1.2V 射频电源轨

1.2V 射频 BGA 需要两个典型值为 22uF 的去耦电容器。

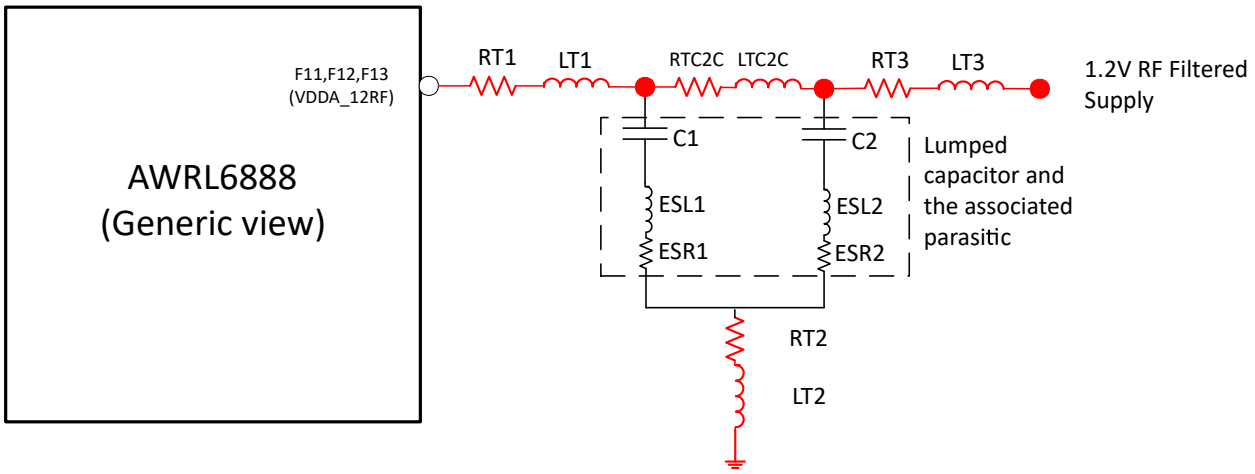


图 7-3. 两个电容器的输入路径不同部分提供的寄生电容

输出路径不同部分提供的寄生效应如图 7-3 所示。如图所示，输出路径可分为四个部分：

滤波电源到第二个电容器：“RT3”和“LT3”是 1.2V 射频滤波电源到第二个电容器引线提供的寄生电阻和电感。

沿第二个电容器：“ESL2”和“ESR2”是第二个去耦电容器的有效串联电感和电阻。“RT2”和“LT2”分别是第二个电容器接地布线的接地布线电阻和电感。

第二个电容器引线连接到第一个电容器引线：“RTC2C”和“LTC2C”是两个电容器之间布线的电阻和电感。

沿第一个电容器：“ESL1”和“ESR1”是第一个去耦电容器的有效串联电感和电阻。“RT2”和“LT2”分别是第一个电容器接地布线的接地布线电阻和电感。

第一个电容器连接到焊球：“RT1”和“LT1”是第一个电容器引线到焊球提供的寄生电阻和电感。

备注

建议将这两个 22uF 电容器靠近各自的 VDDA_12RF BGA 焊球放置。

7.6.4.1.1 1.2V 射频电源轨

焊球名称：VDDA_12RF

表 7-3. 1.2V 射频电源轨

		最小值	典型值	最大值	单位
C 的建议值	C1		22.0(1)		µF
	C2		22.0(1)		µF
允许的寄生电感	第 1 个电容器引线 (LT1) 到焊球			0.8	nH
	沿第 1 个电容器 (ESL1 + LT2)			0.7	
	沿第 2 个电容器 (ESL2 + LT2)			0.7	
	第 2 个电容器到滤波电源 (LT3) 之间			1.0	

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 1.2V 射频电源轨（续）

		最小值	典型值	最大值	单位
允许的寄生电阻	第 1 个电容器引线 (RT1) 到焊球			1.5	mΩ
	沿第 1 个电容器 (ESR1 + RT2)			6.5	
	沿第 2 个电容器 (ESR2 + RT2)			6.5	
	第 2 个电容器到滤波电源 (RT3) 之间	2.0		17.0	

(1) 需要电容器在工作温度范围内，1.2V 直流偏置条件下，保持 10.5uF 至 22.2uF 之间的电容值

将两个去耦电容器尽可能靠近 VDDA_12RF BGA 焊球放置，并将其彼此相邻放置，以最大限度地减少两个电容器引线（RTC2C 和 LTC2C）之间的寄生效应。图 7-4 中说明了相对于 BGA 焊球以及彼此之间的建议去耦电容器放置。有关更多详细信息，请参阅 Altium AWRL6888 EVM 设计文件。

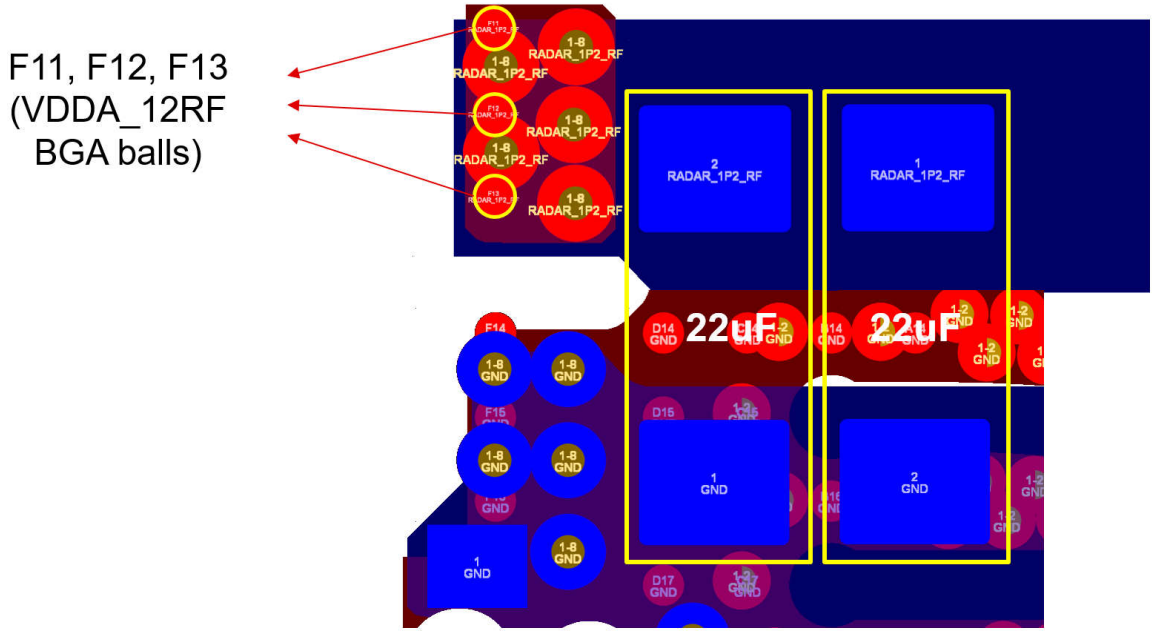


图 7-4. EVM 布局示例

7.6.4.2 1.0V 射频 LDO

1.0V 射频 LDO 需要两个典型值为 10uF 和 22uF 的去耦电容器。

ADVANCE INFORMATION

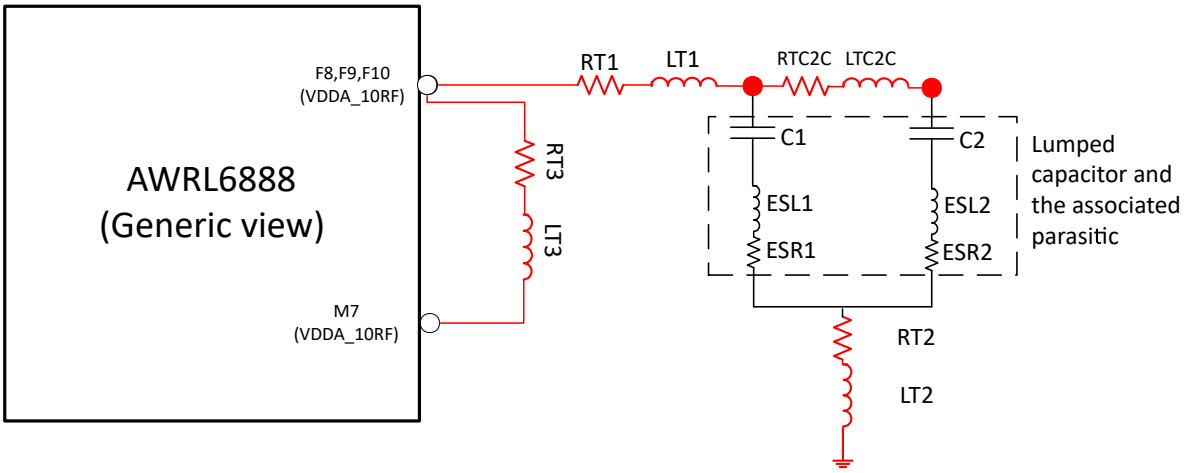


图 7-5. 两个电容器的输出路径不同部分提供的寄生电容

输出路径不同部分提供的寄生效应如图 7-5 所示。如图所示，输出路径可分为四个部分：

焊球到第一个电容器：“RT1”和“LT1”是焊球到第一个电容器引线提供的寄生电阻和电感。

沿第一个电容器：“ESL1”和“ESR1”是第一个去耦电容器的有效串联电感和电阻。“RT2”和“LT2”分别是第一个电容器接地布线的接地布线电阻和电感。

第一个电容器引线连接到第二个电容器引线：“RTC2C”和“LTC2C”是两个电容器之间布线的电阻和电感。

沿第二个电容器：“ESL2”和“ESR2”是第二个去耦电容器的有效串联电感和电阻。“RT2”和“LT2”分别是第二个电容器接地布线的接地布线电阻和电感。

F8、F9 和 F10 BGA 焊球至 M7 BGA 焊球“RT3”和“LT3”是从 F8、F9 和 F10 BGA 焊球到 M7 BGA 焊球提供的寄生电阻和电感。

备注

建议避免在 M7 焊球上放置任何电容器。

建议将这两个电容器（22uF 和 10uF）靠近各自的 VDDA_10RF BGA 焊球放置。

将 1.0V 射频 LDO 输出去耦电容器放置在 PCB 的相同层（PCB 的顶层或底层）。

7.6.4.2.1 1.0V 射频 LDO

焊球名称：VDDA_10RF

表 7-4. 1.0V 射频 LDO 输出

		最小值	典型值	最大值	单位
C 的建议值	C1		22.0(1)		µF
	C2		10.0(2)		µF
允许的寄生电感	焊球至第 1 个电容器引线 (LT1) + 沿第 1 个电容器 (ESL1 + LT2)	1.1		2.3	nH
	焊球至第 1 个电容器引线 (LT1) + 沿第 2 个电容器 (ESL2 + LT2)	1.1		2.3	
	从 F8、F9、F10 BGA 焊球到 M7 BGA 焊球			1	

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 7-4. 1.0V 射频 LDO 输出（续）

		最小值	典型值	最大值	单位
允许的寄生电阻	焊球至第 1 个电容器引线 (RT1) + 沿第 1 个电容器 (ESR1 + RT2)	4.5		8.5	mΩ
	焊球至第 1 个电容器引线 (RT1) + 沿第 2 个电容器 (ESR2 + RT2)	4.5		8.5	
	从 F8、F9、F10 BGA 焊球到 M7 BGA 焊球			50	

(1) 需要电容器在工作温度范围内，1.0V 直流偏置条件下，保持 10.8uF 至 22.9uF 之间的电容值
(2) 需要电容器在工作温度范围内，1.0V 直流偏置条件下，保持 4.5uF 至 9.9uF 之间的电容值

将两个去耦电容器尽可能靠近 VDDA_10RF BGA 焊球放置，并将其彼此相邻放置，以最大限度地减少两个电容器引线（RTC2C 和 LTC2C）之间的寄生效应。图 7-6 中说明了相对于 BGA 焊球以及彼此之间的建议去耦电容器放置。有关更多详细信息，请参阅 Altium AWRL6888 EVM 设计文件。

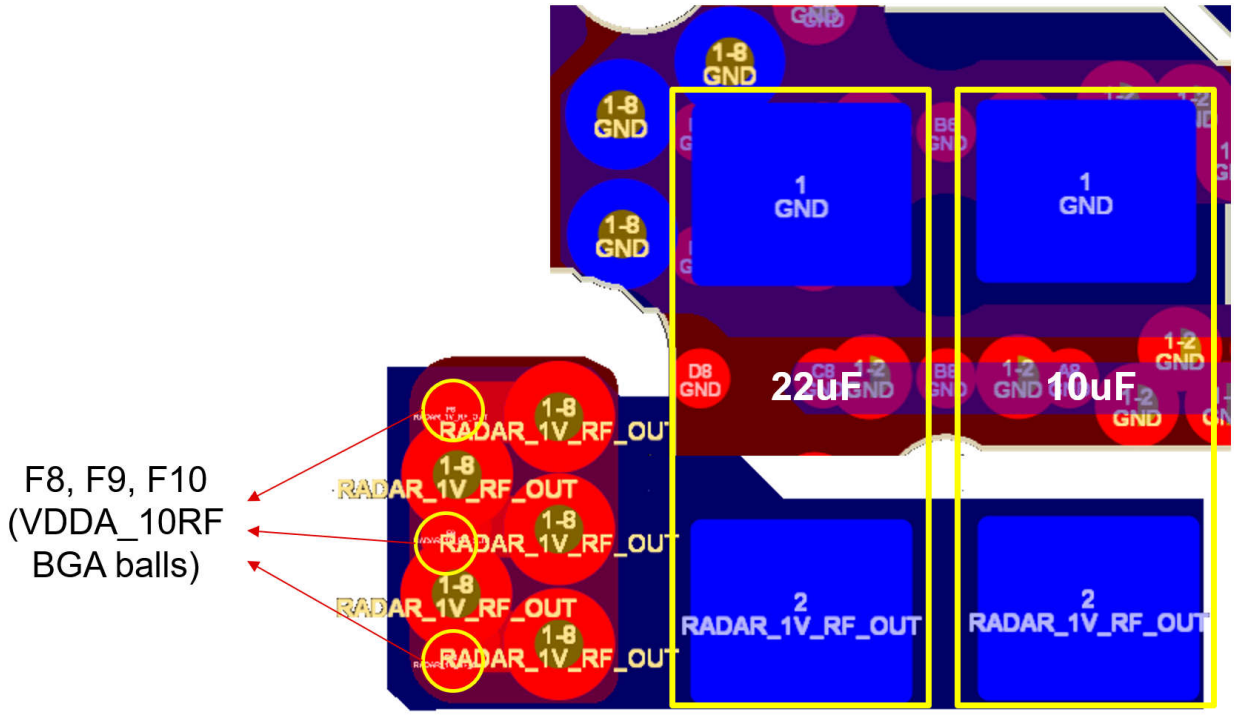


图 7-6. EVM 布局示例

使用更宽的铜平面，将 F8、F9 和 F10 VDDA10_RFR BGA 焊球连接到 M7 VDDA10_RF BGA 焊球。推荐布局示例详见 图 7-7。有关更多详细信息，请参阅 Altium AWRL6888 EVM 设计文件。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

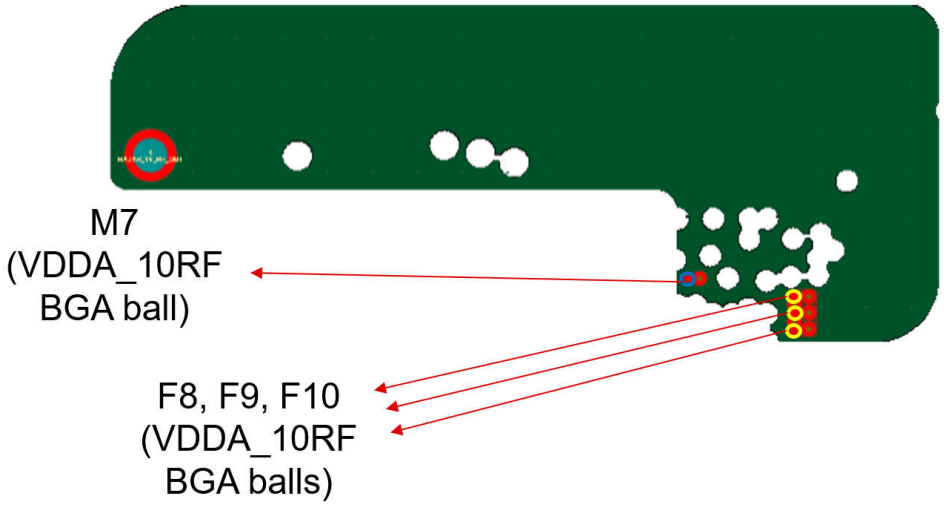


图 7-7. EVM 布局示例

7.6.5 噪声和纹波规格

表 7-5 中所述的 1.8V 电源纹波规格定义为在 RX 满足 -105dBc (RF 引脚 = -15dBm) 的目标杂散电平。杂散和纹波电平具有 dB 到 dB 的关系，例如，电源纹波增加 1dB 会导致杂散电平增加约 1dB。引用的值是在指定频率下施加的正弦输入的峰值到峰值电平。这些值正在进行优化，可能会发生变化。

表 7-5. 噪声和纹波规格

频率 (kHz)	噪声规格		纹波规格	
	1.8V (µV/ √ Hz)	1.2V (µV/ √ Hz)	1.8V (mVpp)	1.2V (mVpp)
10	6.057	44.987	0.035	1.996
100	2.677	26.801	0.760	2.233
200	2.388	28.393	0.955	3.116
500	0.757	9.559	0.504	1.152
1000	0.419	1.182	0.379	0.532
2000	0.179	1.256	0.153	0.561
5000	0.0798	0.667	0.079	0.297
10000	0.0178	0.104	0.017	0.046

7.7 节电模式

表 7-6 列出了支持的电源状态。

表 7-6. 器件电源状态

电源状态	详细信息
有效	活动电源状态是指正在进行射频/线性调频脉冲活动时的状态
处理	正在处理电源状态是指正在处理数据并且射频关闭(1)
空闲	空闲电源状态是在帧间/突发间/线性调频脉冲间的空闲时间出现的状态
深度睡眠	器件的最低功耗状态，在该状态下，器件的关键内容可以保留 (应用图像、线性调频脉冲曲线等) ，而无需器件重启。 器件可以在帧处理完成后进入此状态，以显著降低功耗。深度睡眠退出可以通过多个外部唤醒源和内部时序维护来实现。

(1) 此处消耗的功率还包括硬件加速器功耗。

Copyright © 2026 Texas Instruments Incorporated

7.7.1 功耗典型数值

表 7-7 和 表 7-8 列出了标称器件在 25°C 环境温度和标称电压条件下，所有 I/O 正确停止时，不同电源拓扑中每种省电模式的典型功耗。

表 7-9 和表 7-10 列出了标称器件在 25°C 环境温度和标称电压条件下，且所有 I/O 均正确停止时，不同电源拓扑中的典型用例功耗。

表 7-7. 3.3V I/O 拓扑的估算功耗

电源模式		功耗 (mW)
活动（1Tx、4Rx）	平均频率 = 60GHz，Tx 退避 = 0dB，RX 增益 = 40dB，ADC 采样率：25Msps，DSP 已进行电源门控，HWA 和 R5F 根据 SDK 开箱即用演示进行配置。	1145
处理	LPDS 禁用，HWA 在 200MHz 下运行类似开箱即用演示的 FFT，32 个线性调频脉冲，每个线性调频脉冲 256 个采样点，R5F 在 200MHz 下处理数据（100% 负载），DSP 已断电	335
空闲	R5F 在 40MHz (XTAL) 上运行，等待中断，FECSS 和 DSS (DSP + HWA) 已断电	28
深度睡眠	除 32kHz 时间维护外，所有电源域均关闭，保留存储器 = 896KB	4.04

表 7-8. 1.8V I/O 拓扑的估算功耗

电源模式		功耗 (mW)
活动（1Tx、4Rx）	平均频率 = 60GHz，Tx 退避 = 0dB，RX 增益 = 40dB，ADC 采样率：25Msps，DSP 已进行电源门控，HWA 和 R5F 根据 SDK 开箱即用演示进行配置。	1145
处理	LPDS 禁用，HWA 在 200MHz 下运行类似开箱即用演示的 FFT，32 个线性调频脉冲，每个线性调频脉冲 256 个采样点，R5F 在 200MHz 下处理数据（100% 负载），DSP 已断电	335
空闲	R5F 在 40MHz (XTAL) 上运行，等待中断，FECSS 和 DSS (DSP + HWA) 已断电	28
深度睡眠	除 32kHz 时间维护外，所有电源域均关闭，保留存储器 = 896KB	3.91

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 7-9. 3.3V 低功耗拓扑中的用例功耗

参数		条件	典型值 (mW)
平均功耗（1% 占空比）	**射频前端配置：**同时 4TX 和 4RX 起始频率 = 58GHz 斜坡结束时间 = 22.7us 线性调频脉冲空闲时间 = 7us 每次突发的线性调频脉冲数 = 48 线性调频脉冲累积次数 = 2 突发周期 = 3122us 每帧的突发数 = 1 帧周期 = 200ms HWA 和 R5F 根据 SDK 开箱即用演示进行配置。DSP 已断电。器件配置为在可用空闲时间进入深度睡眠状态。	更新速率为 5Hz	36
平均功耗（0.1% 占空比）	**射频前端配置：**1TX、1RX 起始频率 = 58GHz 斜坡结束时间 = 22.7us 线性调频脉冲空闲时间 = 7us 每次突发的线性调频脉冲数 = 4 线性调频脉冲累积次数 = 0 突发周期 = 254us 每帧的突发数 = 3 帧周期 = 250ms HWA 和 R5F 根据 SDK 开箱即用演示进行配置。DSP 已断电。器件配置为在可用空闲时间进入深度睡眠状态。	更新速率为 4Hz	13

表 7-10. 1.8V 低功耗拓扑中的用例功耗

参数		条件	典型值 (mW)
平均功耗（1% 占空比）	**射频前端配置：**同时 4TX 和 4RX 起始频率 = 58GHz 斜坡结束时间 = 22.7us 线性调频脉冲空闲时间 = 7us 每次突发的线性调频脉冲数 = 48 线性调频脉冲累积次数 = 2 突发周期 = 3122us 每帧的突发数 = 1 帧周期 = 200ms HWA 和 R5F 根据 SDK 开箱即用演示进行配置。DSP 已断电。器件配置为在可用空闲时间进入深度睡眠状态。	更新速率为 5Hz	36
平均功耗（0.1% 占空比）	**射频前端配置：**1TX、1RX 起始频率 = 58GHz 斜坡结束时间 = 22.7us 线性调频脉冲空闲时间 = 7us 每次突发的线性调频脉冲数 = 4 线性调频脉冲累积次数 = 0 突发周期 = 254us 每帧的突发数 = 3 帧周期 = 250ms HWA 和 R5F 根据 SDK 开箱即用演示进行配置。DSP 已断电。器件配置为在可用空闲时间进入深度睡眠状态。	更新速率为 4Hz	13

Copyright © 2026 Texas Instruments Incorporated

7.8 每个电压轨的峰值电流要求

表 7-11 提供最大的分离轨电流数。

表 7-11. 每个电压轨的最大峰值电流

I/O 电压(3)	最大电流 (mA) (1)(2)		
	1.2V：由 1.2V 电源轨驱动的所有节点消耗的总电流	1.8V：由 1.8V 电源轨驱动的所有节点消耗的总电流	3.3V：由 3.3V 电源轨驱动的所有节点消耗的总电流
3.3V	2560	200	100
1.8V	2560	300	不适用

(1) 执行器件的完整功能，包括 4TX、4RX 同步操作，HWA、DSP、R5F 和激活的各种主机通信/接口外设（CAN、LIN、I2C、GPADC），在整个温度范围内进行测试
(2) 指定的电流值是在典型电源电压电平下得出的值。
(3) 确切的 VIOIN 电流取决于使用的外设及其工作频率。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.9 射频规格

在建议的工作条件下测得（除非另有说明）

参数			最小值	典型值	最大值	单位
接收器	噪声系数	57GHz 至 63.9GHz		12.5		dB
	1dB 压缩点（带外）(1)			-15		dBm
	最大增益			46		dB
	增益范围			10		dB
	增益阶跃大小			2		dB
	中频带宽(2)				10	MHz
	ADC 采样速率（实数）				25	Msps
	ADC 分辨率			12		位
	S11			-7		dB
发射器	输出功率			9		dBm
	电源退避范围				20	dB
	退避步长			0.5		dB
	S11			-7.5		dB
时钟子系统	频率范围		57		63.9	GHz
	斜坡速率				400	MHz/µs
	1MHz 偏移时的相位噪声	57GHz 至 63.9GHz		-90.5		dBc/Hz

(1) 1dB 压缩点（带外）是通过以低于最低 HPF 截止频率馈送连续波音调来测量的。

(2) 模拟中频 (IF) 级包括高通滤波，具有可配置的一阶高通转角频率。可用的 HPF 角集总结如下：

可用 HPF 转角频率 (kHz)
175、350、700、1400

通过数字基带执行的滤波旨在提供小于 ±0.5dB 的通带纹波/压降。

图 7-8 展示了与编程的接收器增益相关的噪声系数和带内 P1dB 参数的典型变化。这是小信号噪声系数，适用于带内 RX ADC 输入小于 -2dBm（16 位模式下的+/-8192 ADC 代码）的情况。建议用户在此范围内操作，以避免 ADC 饱和效应。

Copyright © 2026 Texas Instruments Incorporated

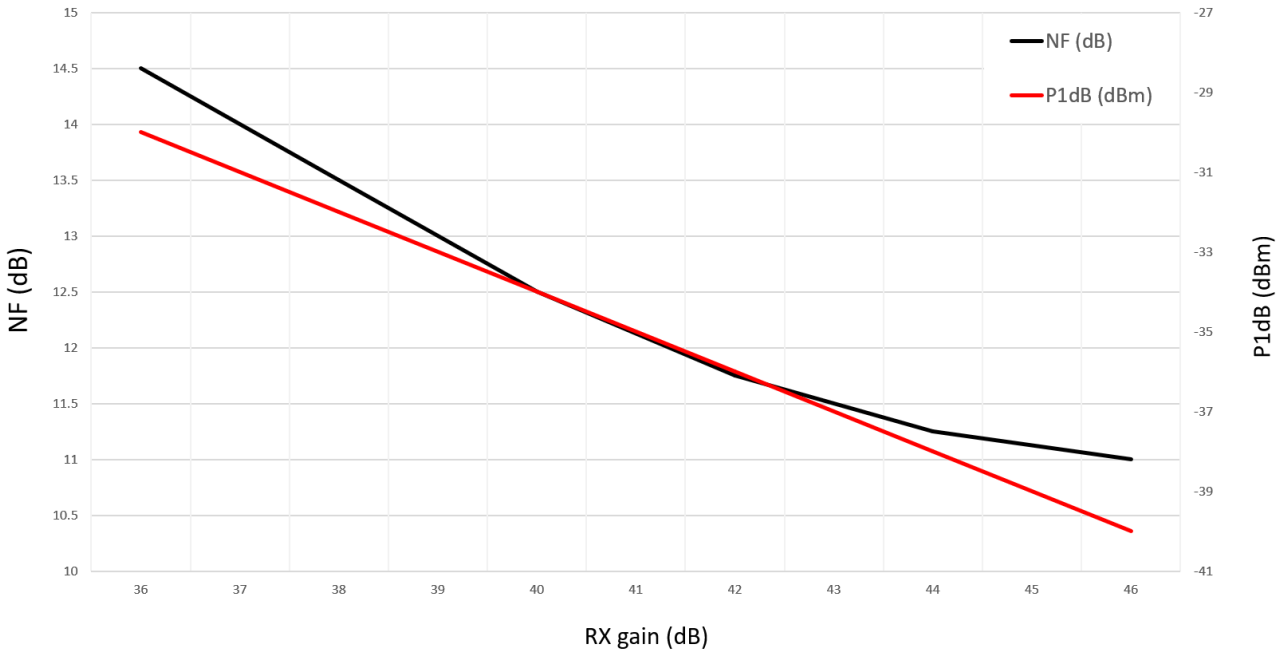


图 7-8. 噪声系数、带内 P1dB 与接收器增益间的关系

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.10 支持的 DFE 特性

- TX 输出退避
  - 从 0dB 到 20dB TX 退避，步长为 0.5dB
  - 每个发送通道对支持二进制相位调制。有关更多详细信息，请参阅发送子系统
- RX 增益
  - 仅实部 RX 通道
  - 总 RX 增益范围为 36dB 至 46dB，步长为 2dB
- VCO
  - 单个 VCO 覆盖高达 7GHz 的整个射频扫描带宽。
- 高通滤波器
  - 仅一阶高通滤波器。支持转角频率选项 175kHz、350kHz、700KHz、1400kHz
- 低通滤波器
  - 支持的最大 IF 带宽为 10MHz
  - 支持两个滤波选项
  - 90% 可见性 — IF 带宽是奈奎斯特的 90%（由于滤波器长度较大而具有更长的趋稳时间）
  - 80% 可见性 — IF 带宽是奈奎斯特的 80% 并且由于更短的稳定时间而快 30%（与 90% 可见性相比）
- 支持的 ADC 采样速率
  - 2.0、2.5、3.334、4.0、5.0、8.0、10.0、13.334、15.384、20.0、25Msps
- 计时引擎
  - 支持线性调频脉冲、突发和帧
    - 与较长的突发空闲时间相比，较长的帧空闲时间可以节省较多功耗。此外，与较长的突发空闲时间相比，较长的线性调频脉冲空闲时间所节省的功耗较少。有关更多详细信息，请参阅毫米波传感估算器中的功率计算器。
    - 当连续发出线性调频脉冲时，可以启用线性调频脉冲累积（平均）功能，以降低存储器要求并提高 SNR。
  - 配置每个线性调频脉冲抖动参数
  - AWRL6888 器件支持 TDM 和 BPM 工作模式。
  - 有关计时引擎支持的线性调频脉冲曲线，请参阅 图 7-9。

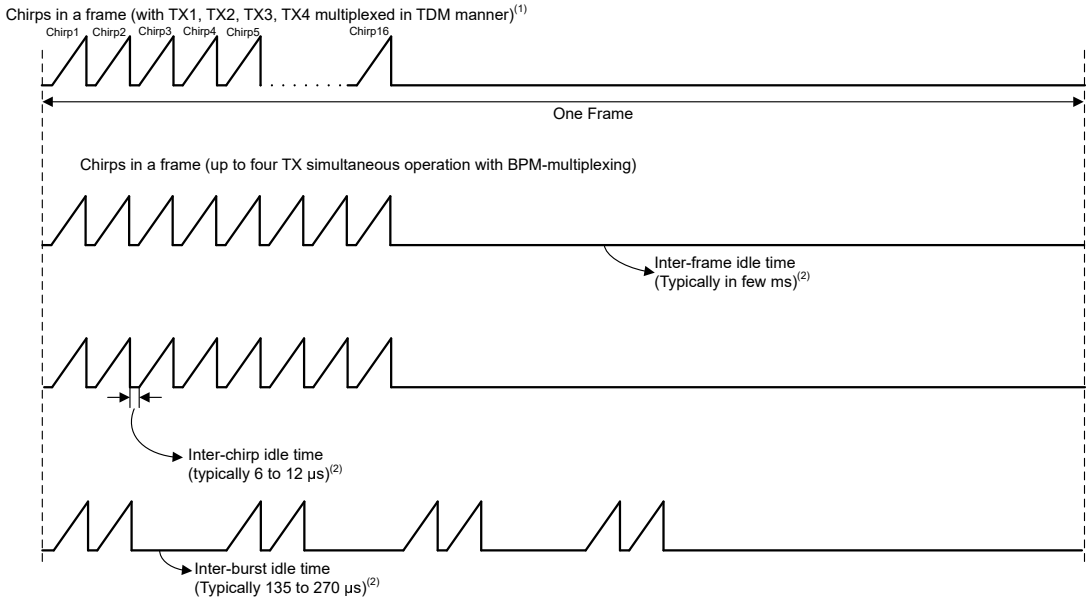


图 7-9. 计时引擎支持的线性调频脉冲曲线

1. 以 TDM 方式多路复用的帧中线性调频脉冲的典型示例

Copyright © 2026 Texas Instruments Incorporated

- Chirp1：TX0A + RX0A、RX1A、RX2A、RX3A 通道
- Chirp2：TX0A + RX0B、RX1B、RX2B、RX3B 通道
- Chirp3：TX1A + RX0A、RX1A、RX2A、RX3A 通道
- ………………………………………………………………....
- Chirp16：TX3B + RX0B、RX1B、RX2B、RX3B 通道

有关更多详细信息，请参阅发送子系统或接收子系统

2. 请参阅 MMWAVE-L-SDK 中提供的 ICD（接口控制文档），了解详细信息。

7.11 CPU 规格

在建议的工作条件下测得（除非另有说明）

参数		典型值	单位
DSP 子系统（C66x 系列）	时钟速度	450	MHz
	L1 存储器	64	KB
	L2 存储器	384	KB
	专用于 DSS 的 L3 存储器	512	KB
应用子系统（R5F 系列）	时钟速度	200	MHz
	紧耦合存储器 — A（程序 + 数据）	512	KB
	紧耦合存储器 — B（程序 + 数据）	256	KB
共享内存	DSS L3 共享存储器	896KB	KB

7.12 热阻特性

表 7-12. FCCSP 封装的热阻特性 [APD0329A]

热指标(1)		°C/W(2)(3)
$R_{\Theta JC}$	结点到外壳	4.5
$R_{\Theta JB}$	结点到电路板	4.4
$R_{\Theta JA}$	结点到环境空气	18.3
Psi_{JT}	结至封装顶部	0.1
Psi_{JB}	结点到电路板	4.3

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*。
(2) °C/W = 摄氏度/瓦。
(3) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

7.13 时序和开关特性

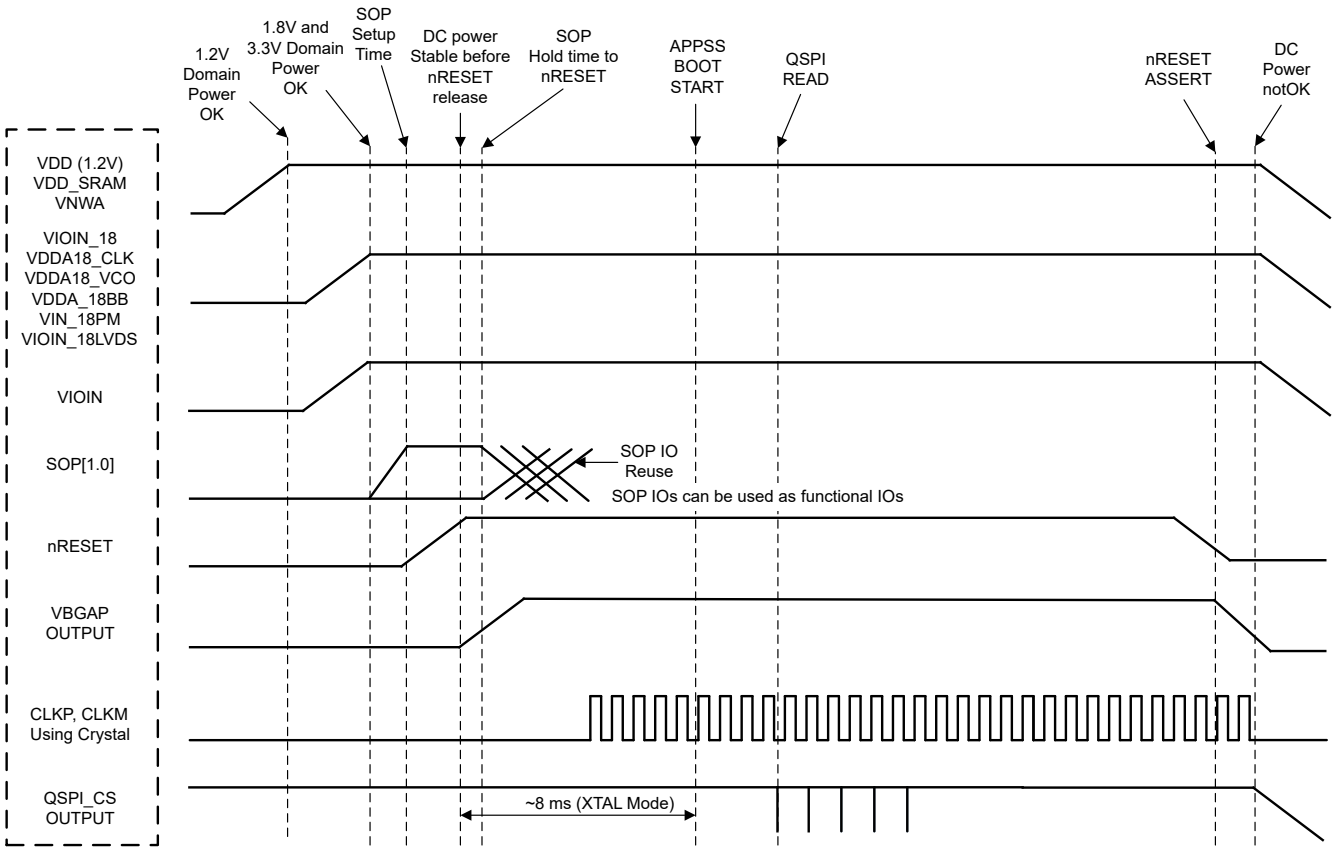
7.13.1 电源时序和复位时序

AWRL6888 器件需要所有外部电压轨在复位置为无效之前保持稳定。图 7-10 描述了器件唤醒序列。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION



A. 确保 1.2V 电源轨在 1.8V 电源轨之前斜升并保持稳定。

图 7-10. 器件唤醒序列

7.13.2 同步帧触发

AWRL6888 器件支持基于硬件的机制来触发雷达帧。外部主机可以对 SYNC_IN 信号施加脉冲以启动雷达帧。外部脉冲的上升沿与空中帧传输 (Tlag) 之间的典型时间差约为 160ns。用户还可以设置一个额外的可编程延迟来控制帧开始时间。在任何情况下，外部 SYNC_IN 脉冲的周期性应始终大于帧配置中编程的帧周期。

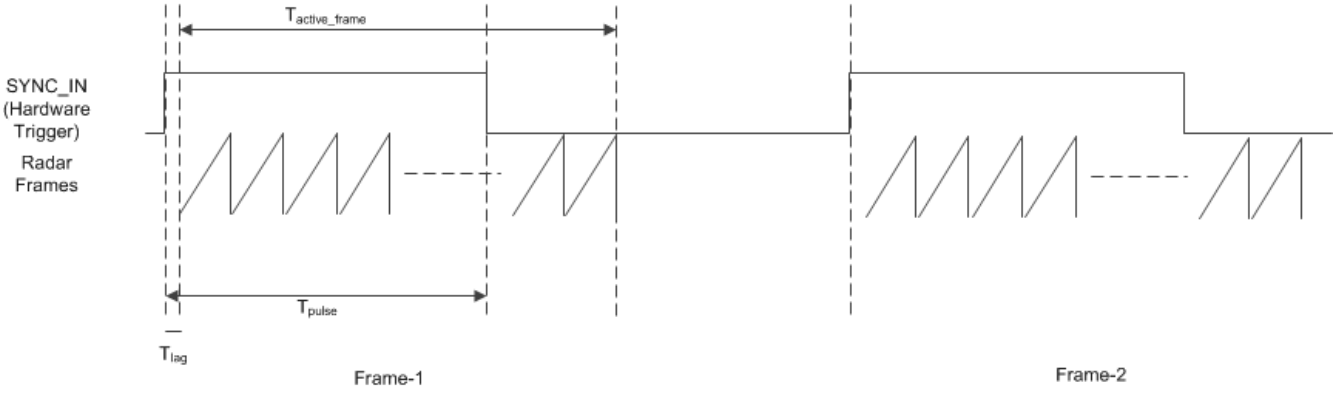


图 7-11. SYNC IN 硬件触发器

Copyright © 2026 Texas Instruments Incorporated

表 7-13. 帧触发时序

参数	说明	最小值	最大值	单位
T_{active_frame}	活动帧持续时间	用户自定义		ns
T_{pulse}		25	< T_{active_frame} 或 4000	

7.13.3 输入时钟和振荡器

7.13.3.1 时钟规范

AWRL6888 需要外部时钟源（即 CLKP 需要一个 40MHz 晶体或外部振荡器）来进行初始启动并作为器件中托管的内部 APLL 的参考。连接到器件引脚的外部晶体图 7-12 显示了晶体的实现情况。

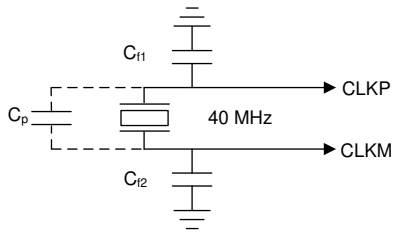


图 7-12. 晶体实现

备注

应该选择图 7-12 中的负载电容器 C_{f1} 和 C_{f2}，以满足方程式 1 的要求。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 CLKP 和 CLKM 引脚放置。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 7-14 列出了时钟晶体的电气特性。

表 7-14. 晶体电气特性（振荡器模式）

名称	说明	最小值	典型值	最大值	单位
f_P	并联谐振晶体频率		40		MHz
C_L	晶体负载电容	5	8	12	pF
ESR	晶体 ESR			50	Ω
温度范围	预期工作温度范围	-40(4)		140(4)	°C
频率容差	晶体频率容差(1)(2)(3)	-200		200	ppm
驱动电平			50	200	µW

(1) 晶体制造商的规格必须满足此要求。
(2) 包括晶体的初始容差、温漂、老化以及由于负载电容不正确而导致的频率牵引。
(3) 晶体容差会影响雷达传感器精度。
(4) 这取决于系统级要求。AWRL6888 可以支持 –40°C 到 140°C 的工作结温范围

如果将外部时钟用作时钟资源，则信号仅馈送到 CLKP 引脚；CLKM 接地。当 40MHz 时钟由外部馈送时，相位噪声要求非常重要。表 7-15 列出了外部时钟信号的电气特性。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 7-15. 外部时钟模式规格

参数		规格			单位
		最小值	典型值	最大值	
输入时钟： 外部交流耦合正弦波或直流耦合方波相位噪声，以 40MHz 为基准	频率		40		MHz
	交流振幅	700		1200	mV (pp)
	DCV_{il}	0.00		0.20	V
	DCV_{ih}	1.6		1.95	V
	1kHz 时的相位噪声			-132	dBc/Hz
	10kHz 时的相位噪声			-143	dBc/Hz
	100kHz 时的相位噪声			-152	dBc/Hz
	1MHz 时的相位噪声			-153	dBc/Hz
	占空比	35		65	%
	频率容差	-200		200	ppm

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.13.4 多通道缓冲/标准串行外设接口 (McSPI)

McSPI 模块是多通道发送/接收、控制器/外设同步串行总线

7.13.4.1 McSPI 特性

McSPI 模块包括以下主要特性：

- 具有可编程频率、极性和相位的串行时钟用于每个通道
- SPI 字长范围宽，从 4 位到 32 位
- 在控制器模式下多达四个通道工作，或在接收模式下单个通道工作
- 控制器多通道模式：
  - 全双工/半双工
  - 仅发送/仅接收/发送和接收模式
  - 每个通道具有灵活的输入/输出（I/O）端口控制
  - 可编程时钟粒度
  - 针对时钟定义、极性启用和字宽的每通道配置
- 针对多个中断源事件的单一中断线路
- 支持为每个通道的 McSPI 传输添加可编程起始位（起始位模式）
- 支持起始位写入命令
- 支持起始位暂停和间断序列
- 可编程移位操作（1-32 位）
- 芯片选择与外部时钟生成之间的时序控制可编程
- 内置 FIFO 可用于单个通道

7.13.4.2 SPI 时序条件

表 7-16 展示了 McSPI 的时序条件

表 7-16. McSPI 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.13.4.3 SPI - 控制器模式

7.13.4.3.1 SPI 的时序和开关要求 - 控制器模式

表 7-17 和表 7-17 展示了 SPI 的时序要求 — 控制器模式。

表 7-17. SPI 时序要求 — 控制器模式

编号[1]			模式	最小值	最大值	单位
SM4	$t_{su(MISO-SPICLK)}$	建立时间，在 SPI_CLK 有效边沿之前 SPI_D[x] 有效[1]		5		ns
SM5	$t_{h(SPICLK-MISO)}$	保持时间，在 SPI_CLK 有效边沿之后 SPI_D[x] 有效[1]		3		ns

表 7-18. SPI 开关特性 - 控制器模式

编号[1]			模式	最小值	最大值	单位
SM1	$t_{c(SPICLK)}$	周期时间、SPI_CLK [1][2]		24.6[3]		ns
SM2	$t_{w(SPICLKL)}$	典型脉冲持续时间、SPI_CLK 低电平 [1]		-1 + 0.5P[3] [4]		ns
SM3	$t_{w(SPICLKH)}$	典型脉冲持续时间、SPI_CLK 高电平 [1]		-1 + 0.5P[4]		ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 7-18. SPI 开关特性 - 控制器模式（续）

编号(1)			模式	最小值	最大值	单位
SM6	$t_{d(SPICLK-SIMO)}$	延迟时间，SPI_CLK 有效边沿到 SPI_D[x] 转换的时间 (1)		-2	5	ns
SM7	$t_{sk(CS-SIMO)}$	延迟时间，SPI_CS[x] 有效至 SPI_D[x] 转换的时间		5		ns
SM8	$t_{d(SPICLK-CS)}$	延迟时间，SPI_CS[x] 有效到 SPI_CLK 第一个边沿的时间	Controller_PHA0_POL 0 ; Controller_PHA0_POL 1 ; (5)	-4 + B(6)		ns
			Controller_PHA1_POL 0 ; Controller_PHA1_POL 1 ; (5)	-4 + A(7)		ns
SM9	$t_{d(SPICLK-CS)}$	延迟时间，SPI_CLK 最后边沿到 SPI_CS[x] 无效的时间	Controller_PHA0_POL 0 ; Controller_PHA0_POL 1 ; (5)	-4 + A(7)		ns
			Controller_PHA1_POL 0 ; Controller_PHA1_POL 1 ; (5)	-4 + B(6)		ns
SM11	Cb	每个总线的容性负载		3	15	pF

(1) P = 该时序适用于所有配置，无论 SPI_CLK 极性如何以及使用哪些时钟边沿来驱动输出数据和捕获输入数据都是如此。
(2) 与 SPI_CLK 最大频率相关
(3) 20ns 周期时间 = 50MHz
(4) P = SPICLK 周期
(5) SPI_CLK 相位可通过 SPI_CH(i)CONF 寄存器的 PHA 位进行编程
(6) B = (TCS + .5) × TSPICLKREF，其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段且 Fratio = 偶数 >= 2。
(7) 当 P = 20.8ns 时，A = (TCS + 1) × TSPICLKREF，其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。
当 P > 20.8 ns 时，A = (TCS + 0.5) * Fratio * TSPICLKREF，其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。

该时序适用于所有配置，无论 SPI_CLK 极性如何以及使用哪些时钟边沿来驱动输出数据和捕获输入数据都是如此

备注

雷达 SPIA 外设模式支持的频率如下：在全周期模式下为 40MHz，在半周期模式下为 20MHz。

雷达 SPIB 外设模式支持的频率如下：在全周期模式下为 20MHz，在半周期模式下为 10MHz。有关 SPIB 的有效 IOSET 组合，请参阅 节 6.2.1。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.13.4.3.2 SPI 输出时序的时序和开关特性 - 控制器模式

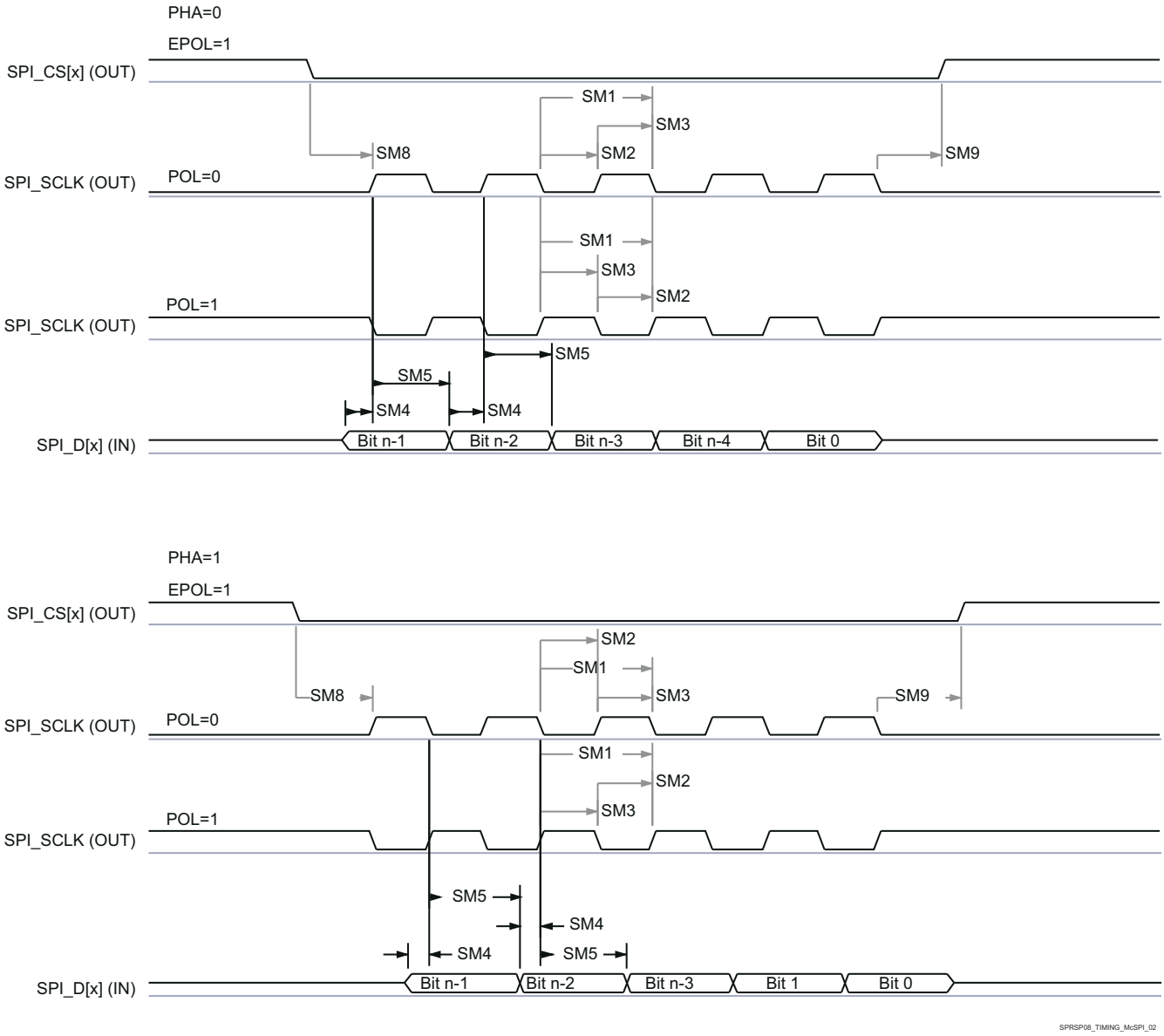


图 7-13. SPI 时序 — 控制器模式接收

ADVANCE INFORMATION

ADVANCE INFORMATION

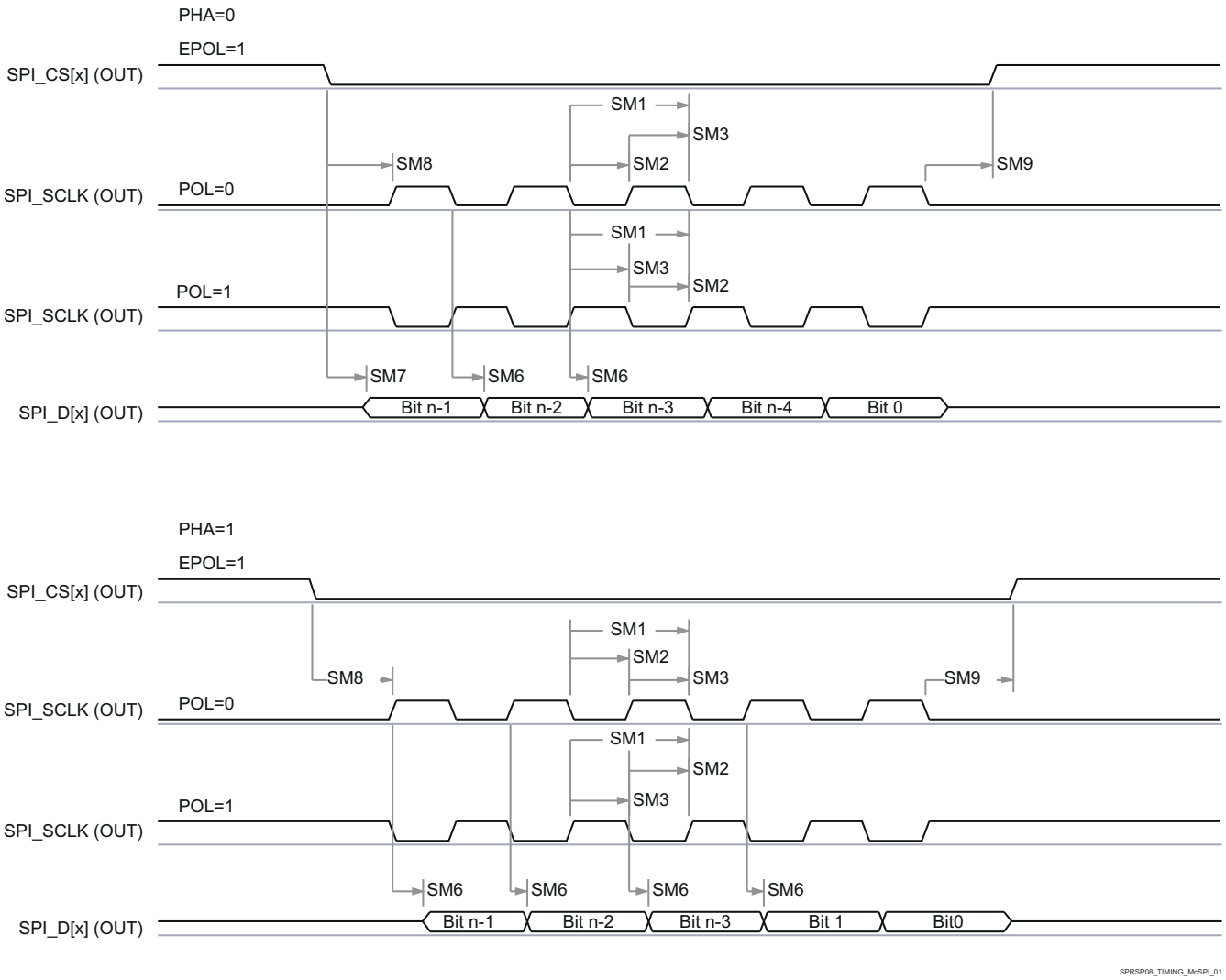


图 7-14. SPI 时序 — 控制器模式发送

7.13.4.4 SPI - 外设模式

7.13.4.4.1 SPI 的时序和开关要求 — 外设模式

表 7-19 和表 7-20 展示了外设模式下 SPI 的时序和开关要求。

表 7-19. SPI 时序要求 - 外设模式

编号[1]	参数	说明	最小值	最大值	单位
SS1	$t_{c(SPICLK)}$	周期时间，SPI_CLK	24.6		ns
SS2	$t_{w(SPICLKL)}$	典型脉冲持续时间、SPI_CLK 低电平	0.45*P[2]		ns
SS3	$t_{w(SPICLKH)}$	典型脉冲持续时间，SPI_CLK 高电平	0.45*P[2]		ns
SS4	$t_{su(SIMO-SPICLK)}$	建立时间，在 SPI_CLK 有效边沿之前 SPI_D[x] 有效	3		ns
SS5	$t_{h(SPICLK-SIMO)}$	保持时间，在 SPI_CLK 有效边沿之后 SPI_D[x] 有效	1		ns
SS8	$t_{su(CS-SPICLK)}$	建立时间，SPI_CLK 第一个边沿之前 SPI_CS[x] 有效	5		ns
SS9	$t_{h(SPICLK-CS)}$	保持时间，SPI_CLK 最后一个边沿之后 SPI_CS[x] 有效	5		ns
SS10	sr	针对所有引脚的输入压摆率	1	3	ns
SS11	Cb	D0 和 D1 上的容性负载	2	15	pF

Copyright © 2026 Texas Instruments Incorporated

表 7-20. SPI 开关特性 — 外设模式

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(SPICLK-SOMI)}$	延迟时间，SPI_CLK 有效边沿到 McSPI_somi 转换	0	5.77	ns
SS7	$t_{sk(CS-SOMI)}$	延迟时间，SPI_CS[x] 有效边沿到 McSPI_somi 转换	5.77		ns

(1) P = 该时序适用于所有配置，无论 SPI_CLK 极性如何以及使用哪些时钟边沿来驱动输出数据和捕获输入数据都是如此。
(2) P = SPICLK 周期。

7.13.4.4.2 SPI 输出时序的时序和开关特性 - 次级模式

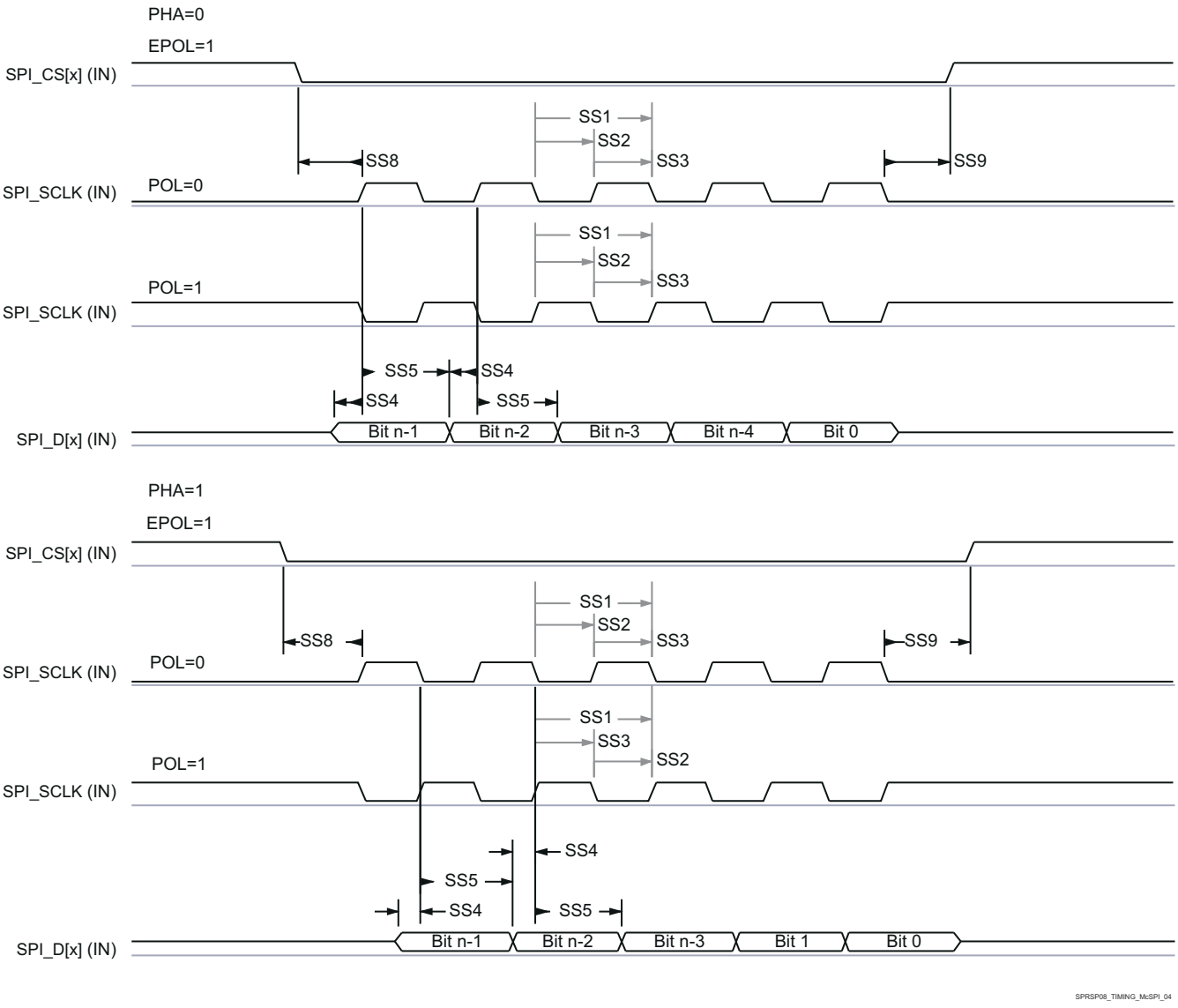


图 7-15. SPI 时序 — 外设模式接收

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

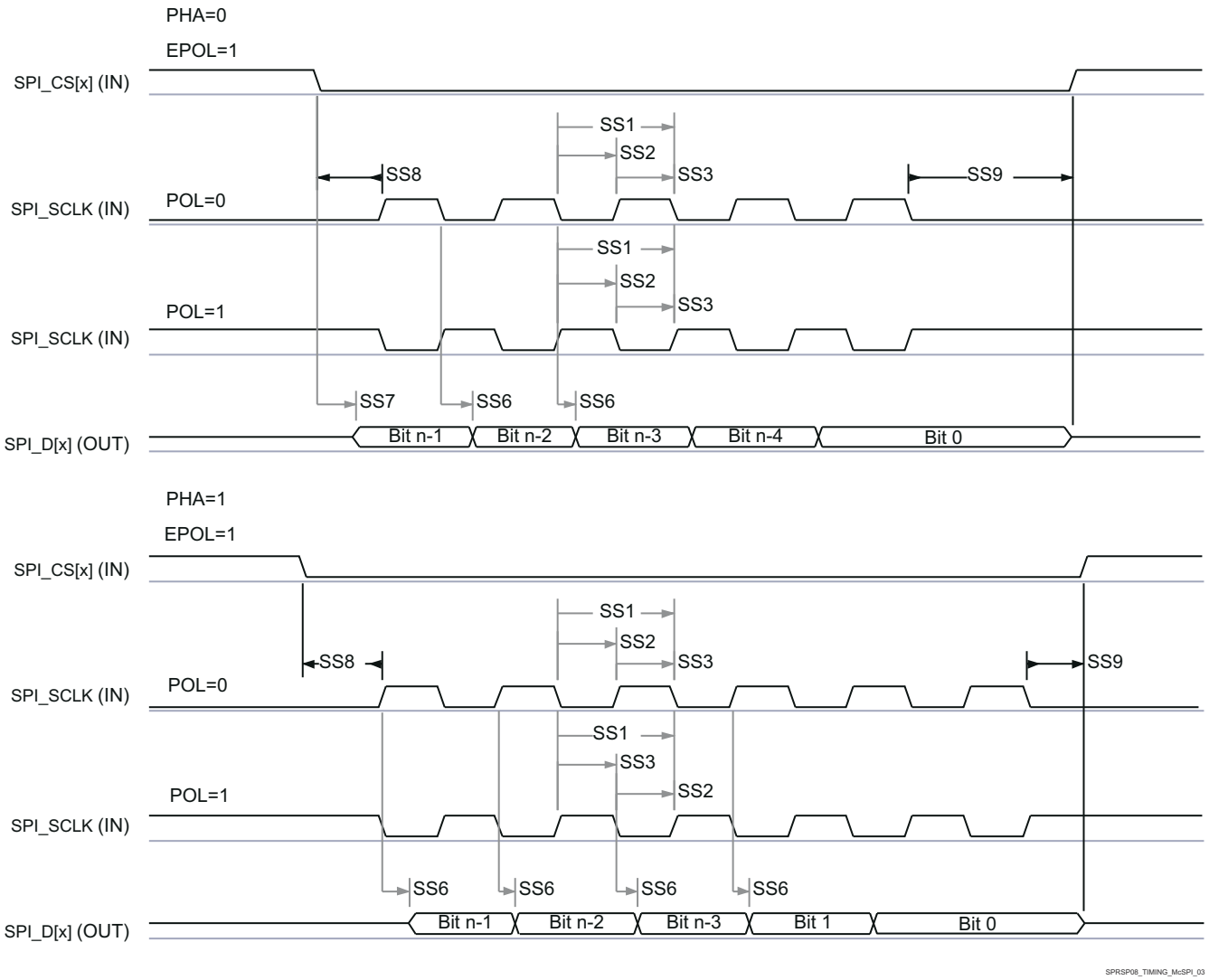


图 7-16. SPI 时序 — 外设模式发送

Copyright © 2026 Texas Instruments Incorporated

7.13.5 LVDS 仪表和测量外设

该器件支持用于原始数据采集的 LVDS 接口。有关 LVDS 接口的配置和编程选项的信息，请参阅器件 TRM。

7.13.5.1 LVDS 接口配置

支持的 LVDS 通道配置为 2 个数据通道 (LVDS_TXP/M)、一个位时钟通道 (LVDS_CLKP/M) 和一个帧时钟通道 (LVDS_FRCLKP/M)。LVDS 接口支持最高为 800Mbps（400MHz DDR 时钟）的可编程数据速率。

请注意，位时钟采用 DDR 格式，因此时钟中的切换次数相当于数据。

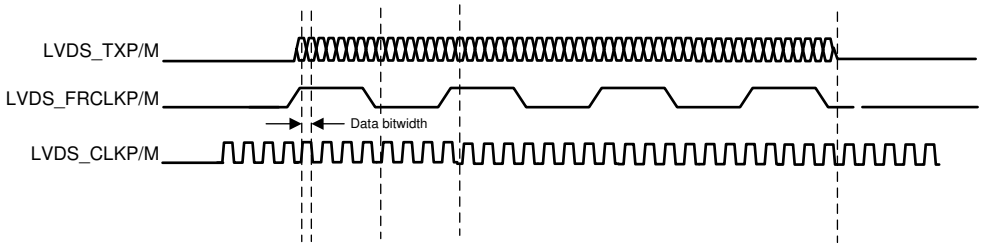


图 7-17. LVDS 接口通道配置和相关时序

7.13.5.2 LVDS 接口时序

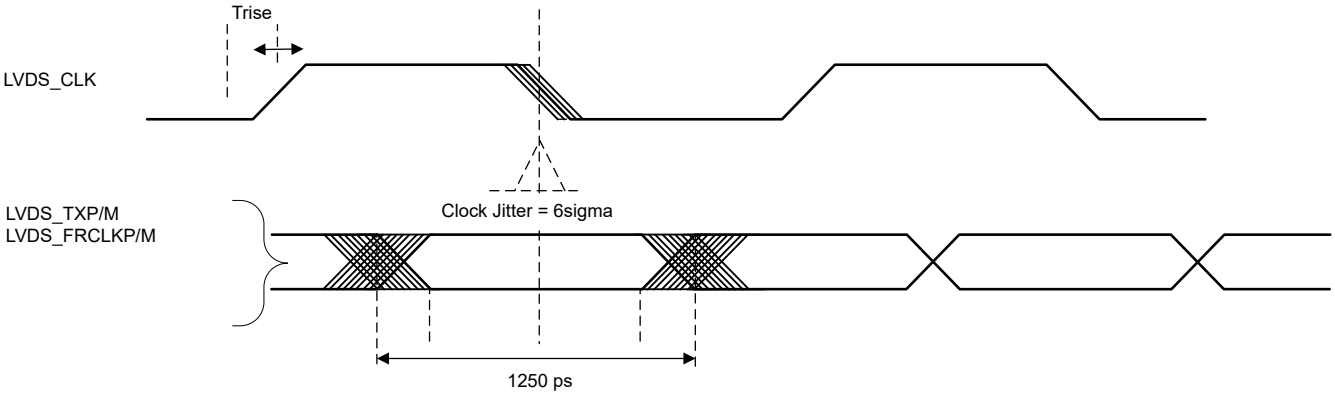


图 7-18. 计时参数

表 7-21. LVDS 电气特性

参数	测试条件	最小值	典型值	最大值	单位
占空比要求	LVDS 通道上的最大 1pF 集总容性负载	48%		52%	
输出差分电压	峰峰值单端，差分对之间具有 100Ω 电阻负载	250		450	mV
输出失调电压		1125		1275	mV
Trise 和 Tfall	20%-80%，800Mbps		371.25		ps
抖动（峰峰值）	800Mbps		90		ps

7.13.6 LIN

LIN 模块可被设定运行为一个 SCI 或者一个 LIN。增加了 SCI 硬件特性以实现 LIN 兼容性。LIN 标准基于 SCI (UART) 串行数据链路格式。通信概念是在任何网络节点之间实现具有消息标识的单播/多播传输。

LIN 具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 高达 20kpbs 的可配置波特率
- 两个外部引脚：LIN_RX 和 LIN_TX。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动生成控制器报头
  - 可编程同步中断域
  - 同步域
  - 标识符域
- 外设自动同步
  - 同步中断检测
  - 可选波特率更新
  - 同步验证
- 带有 7 个小数位的 231 个可编程传输速率
- 从收发器在 LIN_RX 主级别上唤醒
- 自动唤醒支持
  - 唤醒信号生成
  - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
  - 位错误
  - 总线错误
  - 无响应错误
  - 校验和错误
  - 同步域错误
  - 奇偶校验错误
- 能够使用直接存储器存取 (DMA) 发送和接收数据。
- 带有优先级编码的 2 个中断线路：
  - 接收
  - 发送
  - ID、错误和状态
- 支持 LIN 2.0 校验和
- 增强型同步器有限状态机 (FSM) 支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 更新唤醒/进入睡眠模式

表 7-22. LIN 时序要求

		最小值	典型值	最大值	单位
f(baud)	支持的波特率	1		20	kBaud

7.13.7 通用输入/输出

7.13.7.1 输出时序的开关特性与负载电容 (C_L) 间的关系

表 7-23 列出了输出时序相对于负载电容的开关特性。

表 7-23. 输出时序的开关特性与负载电容 (C_L) 间的关系

参数(1)(2)		测试条件		VIOIN = 1.8V	VIOIN = 3.3V	单位
t_r	最大上升时间	转换控制 = 0	C_L = 20pF	2.8	3.0	ns
			C_L = 50pF	6.4	6.9	
			C_L = 75pF	9.4	10.2	
t_f	最大下降时间		C_L = 20pF	2.8	2.8	ns
			C_L = 50pF	6.4	6.6	
			C_L = 75pF	9.4	9.8	

Copyright © 2026 Texas Instruments Incorporated

表 7-23. 输出时序的开关特性与负载电容 (C_L) 间的关系 （续）

参数(1)(2)		测试条件		VIOIN = 1.8V	VIOIN = 3.3V	单位
t_r	最大上升时间	转换控制 = 1	C_L = 20pF	3.3	3.3	ns
			C_L = 50pF	6.7	7.2	
			C_L = 75pF	9.6	10.5	
t_f	最大下降时间		C_L = 20pF	3.1	3.1	ns
			C_L = 50pF	6.6	6.6	
			C_L = 75pF	9.6	9.6	

(1) 转换控制由 PADxx_CFG_REG 配置，可更改输出驱动器的行为（输出转换率更快或更慢）。
(2) 上升/下降时间测量为信号从 VIOIN 电压的 10% 转换到 90% 所需的时间。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.13.8 控制器局域网 - 灵活数据速率 (CAN-FD)

CAN-FD 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存，不会发生任何冲突。器件集成两个 CAN-FD（具有灵活数据速率的 CAN），以支持如下所示的典型使用案例：一个 CAN-FD 接口用作 ECU 网络接口，而另一个接口用作本地网络接口，从而提供与邻近传感器的通信。

CAN-FD 模块具有下列特性：

- 符合 CAN 协议 2.0 A、B 和 ISO 11898-1 标准
- 完全支持 CAN FD（每帧最多 64 个数据字节）
- 支持 AUTOSAR 和 SAE J1939
- 多达 32 个专用发送缓冲器
- 可配置的发送 FIFO，最多 32 个元素
- 可配置的发送队列，最多 32 个元素
- 可配置的发送事件 FIFO，最多 32 个元素
- 多达 64 个专用接收缓冲器
- 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
- 多达 128 个 11 位滤波器元素
- 内部环回模式，用于实现自检
- 可屏蔽中断，两个中断线路
- 两个时钟域（CAN 时钟/主机时钟）
- 奇偶校验/ECC 支持 — 消息 RAM 单错校正双错检测 (SECDED) 机制
- 消息内存容量已满（4352 个字）。

7.13.8.1 CANx TX 和 RX 引脚的动态特性

参数		最小值	典型值	最大值	单位
$t_{d(CAN_FD_tx)}$	延迟时间，发送移位寄存器到 CAN_FD_tx 引脚的时间(1)			15	ns
$t_{d(CAN_FD_rx)}$	延迟时间，CAN_FD_rx 引脚到接收移位寄存器的时间(1)			15	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

7.13.9 串行通信接口 (SCI)

该 SCI 具有以下特性：

- 标准通用异步收发器 (UART) 通信
- 支持全双工或半双工运行
- 标准非归零码 (NRZ) 格式
- 兼容模式下的双缓冲接收和发送功能
- 支持两个单独启用的中断线路：0 级和 1 级
- 基于以下内容的每字符 3 至 13 位的可配置帧格式
  - 1 位至 8 位可编程数据字长度
  - 地址位模式中的附加地址位
  - 可编程为零个或一个奇偶校验位的奇偶校验，奇校验或偶校验的奇偶检验
  - 可编程为一个或两个停止位的停止
- 无 CLK 引脚的异步或 ISO 同步通信模式
- 两个多处理器通信格式可实现多于两个器件间的通信
- 休眠模式可用于在多处理器通信期间释放 CPU 资源，然后唤醒以接收传入消息
- 能够使用直接存储器存取 (DMA) 发送和接收数据
- 五个错误标志和七个状态标志提供与 SCI 事件有关的详细信息。
- 两个外部引脚：RS232_RX 和 RS232_TX

Copyright © 2026 Texas Instruments Incorporated

- 多缓冲接收和发送单元

7.13.9.1 SCI 时序要求

		最小值	典型值	最大值	单位
f(baud)	20pF 时支持的波特率		115.2(1)	1250(2)	kBaud

(1) 支持的最大标准波特率。
(2) 支持的最大自定义波特率。

7.13.10 内部集成电路接口 (I2C)

内部集成电路 (I2C) 模块是一款多控制器通信模块，此模块与飞利浦半导体 I2C 总线技术规范版本 2.1 兼容的器件之间提供一个接口并通过 I²C-bus™ 连接。这个模块将支持任何目标或控制器 I2C 兼容器件。

I2C 有下列特性：

- 与飞利浦 I2C 总线技术规范，v2.1 兼容（I2C 技术规范，飞利浦文献编号 9398 393 40011）
  - 位/字节格式传输
  - 7 位和 10 位器件寻址模式
  - 开始字节
  - 多控制器发送器/目标接收器模式
  - 多控制器接收器/目标发送器模式
  - 组合控制器发送/接收和接收/发送模式
  - 100kbps 到高达 400kbps 的传输速率（飞利浦快速模式速率）
- 自由数据格式
- 两个 DMA 事件（发送和接收）
- DMA 事件启用/禁用功能
- 模块启用/禁用能力
- 可选择将 SDA 和 SCL 配置为通用 I/O
- 输出的转换率控制
- 输出的开漏控制
- 输入上的可编程上拉/下拉功能
- 支持忽略 NACK 模式

备注

这个 I2C 模块不支持：
- 高速 (HS)模式
- C 总线兼容模式
- 10 位地址模式下的组合格式（I2C 在每次发送目标地址第一个字节时，都会发送目标地址第二个字节）

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.13.10.1 I2C 时序要求

		标准模式(1)		快速模式		单位
		最小值	最大值	最小值	最大值	
$t_{c(SCL)}$	周期时间，SCL	10		2.5		µs
$t_{su(SCLH-SDAL)}$	在 SDA 低电平之前 SCL 高电平的建立时间（对于重复启动条件）	4.7		0.6		µs
$t_{h(SCLL-SDAL)}$	在 SDA 低电平之后 SCL 低电平的保持时间（对于启动或重复启动条件）	4		0.6		µs
$t_{w(SCLL)}$	脉冲持续时间，SCL 低电平的时间	4.7		1.3		µs
$t_{w(SCLH)}$	脉冲持续时间，SCL 高电平的时间	4		0.6		µs
$t_{su(SDA-SCLH)}$	建立时间，在 SCL 高电平之前 SDA 有效	250		100		ns
$t_{h(SCLL-SDA)}$	保持时间，在 SCL 低电平之后 SDA 有效	0	3.45(1)	0	0.9	µs
$t_{w(SDAH)}$	脉冲持续时间，在停止和启动条件之间 SDA 高电平	4.7		1.3		µs
$t_{su(SCLH-SDAH)}$	在 SDA 高电平之前 SCL 高电平的建立时间（对于停止条件）	4		0.6		µs
$t_{w(SP)}$	脉冲持续时间，尖峰（必须被抑制）			0	50	ns
C_b(2)(3)	每个总线的容性负载		400		400	pF

(1) I2C 引脚 SDA 和 SCL 不具备失效防护 I/O 缓冲器。当该器件的电源关闭时，这些引脚有可能耗电。
(2) 如果器件不延长 SCL 信号的低周期 ($t_{w(SCLL)}$)，只需满足针对 I2C 总线器件的最大 $t_{h(SDA-SCL)}$。
(3) C_b = 以 pF 为单位的一条总线的总电容。如果与快速模式器件混合使用，可实现更快的下降时间。

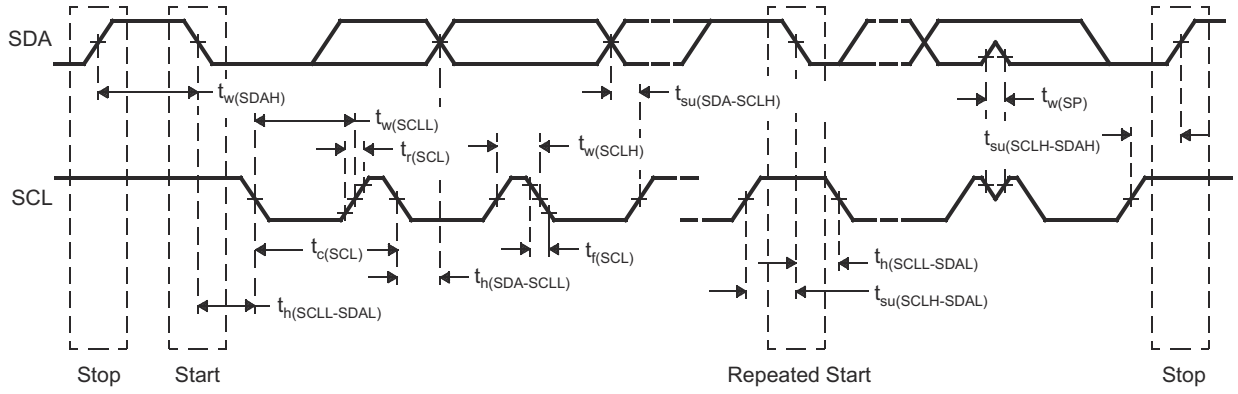


图 7-19. I2C 时序图

备注

- 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间（以 SCL 信号的 VIHmin 为基准）来连接 SCL 下降边沿的未定义区域。
- 如果器件不延长 SCL 信号的低电平周期 ($t_{w(SCLL)}$)，只需满足最大 $t_{h(SDA-SCLL)}$。快速模式 I2C 总线器件可用于标准模式 I2C 总线系统，但必须满足 $t_{su(SDA-SCLH)} \geq 250ns$ 的要求。如果该器件不延长 SCL 信号的低电平周期，将自动成为该情况。如果器件确实延长了 SCL 信号的低电平周期，它必须将下一个数据位输出到 SDA 线路 tr 最大值 + $t_{su(SDA-SCLH)}$。

Copyright © 2026 Texas Instruments Incorporated

7.13.11 四线串行外设接口 (QSPI)

四线串行外设接口 (QSPI) 模块是一种串行外设接口 (SPI) 模块，允许对外部 SPI 器件进行单路、双路或四路读取访问。该模块具有存储器映射寄存器接口，可提供直接接口用于从外部 SPI 器件访问数据，从而简化软件要求。QSPI 仅用作控制器。器件中的 QSPI 主要用于从四路 SPI 闪存存储器快速引导。

该 QSPI 支持以下特性：

- 可编程时钟分频器
- 六引脚接口
- 传输的字的可编程长度（从 1 位到 128 位）
- 传输的字的可编程数量（从 1 到 4096）
- 可选择在字或帧（字数）完成时生成中断
- 芯片选择激活之间的可编程延迟以及 0 到 3 个 QSPI 时钟周期的输出数据

节 7.13.11.2 和节 7.13.11.3 假设了节 7.13.11.1 中所述的运行条件。

7.13.11.1 QSPI 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.13.11.2 QSPI 输入（读取）时序的时序要求

		最小值(1)(2)	典型值	最大值	单位
$t_{su(D-SCLK)}$	在 SCLK 下降沿之前 d[3:0] 有效的建立时间	5			ns
$t_{h(SCLK-D)}$	在 SCLK 下降沿之后 d[3:0] 有效的保持时间	1			ns
$t_{su(D-SCLK)}$	在最终 SCLK 下降沿之前最终 d[3:0] 位有效的建立时间	5 – P(3)			ns
$t_{h(SCLK-D)}$	在最终 SCLK 下降沿之后最终 d[3:0] 位有效的保持时间	1 + P(3)			ns

(1) 时钟模式 0（时钟极性 = 0；时钟相位 = 0）是工作模式。
(2) 与传统的上升时钟沿相反，器件在时钟模式 0 的下降时钟沿捕获数据。尽管是非标准的，但基于下降沿的建立时间和保持时间时序已设计为与在时钟模式 0 的下降沿启动数据的标准 SPI 器件兼容。
(3) P = SCLK 周期，单位为 ns。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.13.11.3 QSPI 开关特性

编号	参数		最小值	典型值	最大值	单位
Q1	$t_{c(SCLK)}$	SCLK 周期时间	12.5			ns
Q2	$t_{w(SCLKL)}$	SCLK 低电平的脉冲持续时间	Y*P – 3(1)(2)			ns
Q3	$t_{w(SCLKH)}$	SCLK 高电平的脉冲持续时间	Y*P – 3(1)(2)			ns
Q4	$t_{d(CS-SCLK)}$	SCLK 下降沿到 CS 有效边沿的延迟时间	– M*P – 1(2) (3)		– M*P + 2.5(2) (3)	ns
Q5	$t_{d(SCLK-CS)}$	SCLK 下降沿到 CS 无效边沿的延迟时间	N*P – 1(2)(3)		N*P + 2.5(2)(3)	ns
Q6	$t_{d(SCLK-D1)}$	SCLK 下降沿到 d[1] 转换的延迟时间	-2		4	ns
Q7	$t_{ena(CS-D1LZ)}$	使能时间，CS 有效边沿到 d[1] 驱动（低阻抗）	– P – 4(2)		– P +1(2)	ns
Q8	$t_{dis(CS-D1Z)}$	禁用时间，CS 有效边沿到 d[1] 三态（高阻抗）	– P – 4(2)		– P +1(2)	ns
Q9	$t_{d(SCLK-D1)}$	SCLK 第一个下降沿到第一个 d[1] 转换的延迟时间（仅适用于 PHA = 0）	– 2 – P(2)		4 – P(2)	ns
Q12	$t_{su(D-SCLK)}$	在 SCLK 下降沿之前 d[3:0] 有效的建立时间	5			ns
Q13	$t_{h(SCLK-D)}$	在 SCLK 下降沿之后 d[3:0] 有效的保持时间	1			ns
Q14	$t_{su(D-SCLK)}$	在最终 SCLK 下降沿之前最终 d[3:0] 位有效的建立时间	5 — P(2)			ns
Q15	$t_{h(SCLK-D)}$	在最终 SCLK 下降沿之后最终 d[3:0] 位有效的保持时间	1 + P(2)			ns

(1) Y 参数定义如下：如果 DCLK_DIV 为 0 或奇数，则 Y 等于 0.5。如果 DCLK_DIV 为偶数，则 Y = (DCLK_DIV/2)/(DCLK_DIV+1)。为了获得最佳性能，建议使用 0 或奇数的 DCLK_DIV 以尽可能减少占空比失真。有关时钟分频因子 DCLK_DIV 的所有必需详细信息，请参阅器件特定的技术参考手册。
(2) P = SCLK 周期，单位为 ns。
(3) M = QSPI_SPI_DC_REG.DDx + 1，N = 2

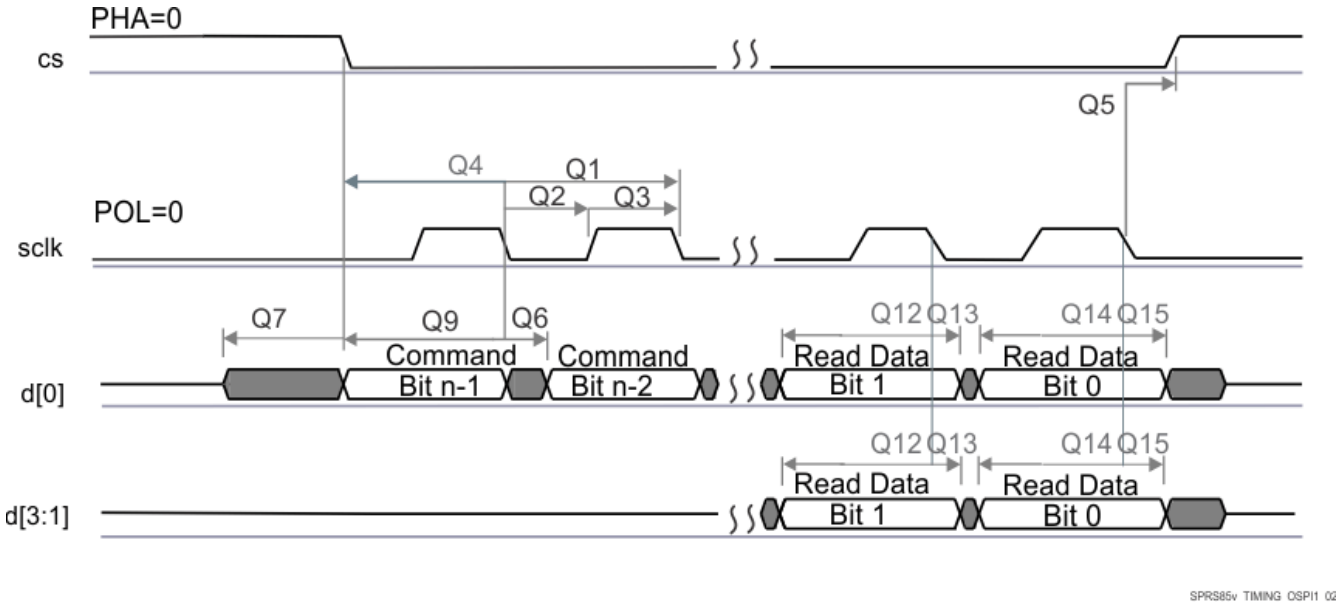


图 7-20. QSPI 读取（时钟模式 0）

Copyright © 2026 Texas Instruments Incorporated

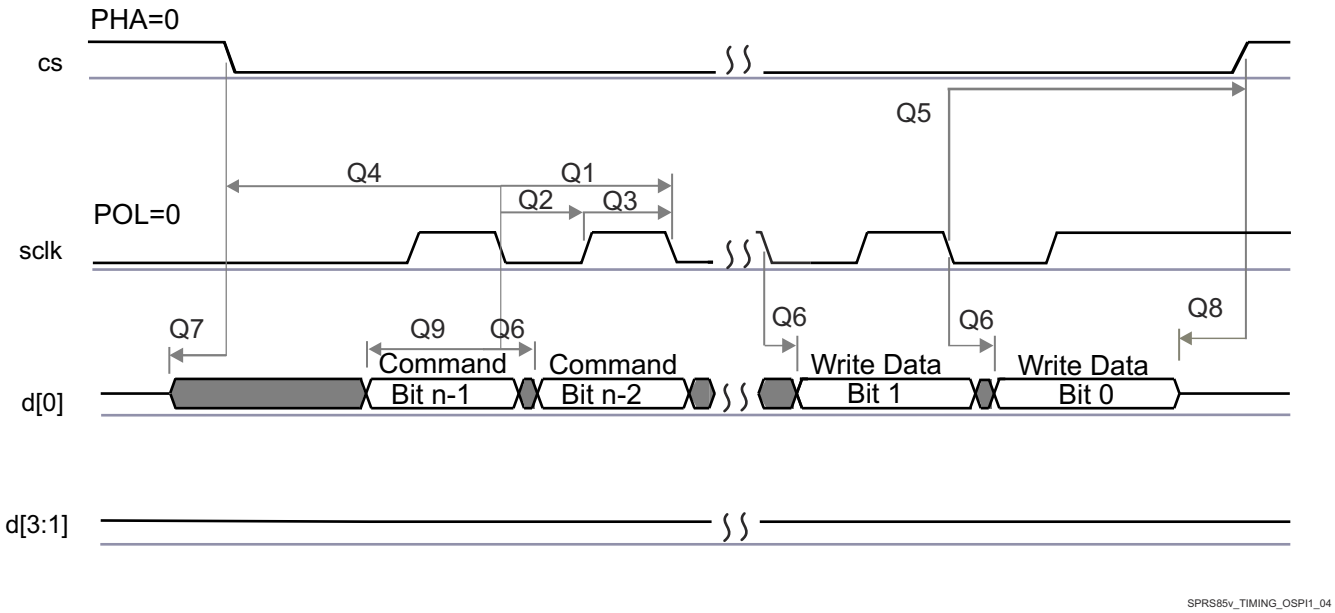


图 7-21. QSPI 写入（时钟模式 0）

ADVANCE INFORMATION

ADVANCE INFORMATION

7.13.12 JTAG 接口

节 7.13.12.2 和节 7.13.12.3 假设了节 7.13.12.1 所示的运行条件。

7.13.12.1 JTAG 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.13.12.2 IEEE 1149.1 JTAG 的时序要求

编号			最小值	典型值	最大值	单位
1	$t_{c(TCK)}$	TCK 周期时间	66.66			ns
1a	$t_{w(TCKH)}$	TCK 高电平的脉冲持续时间 (tc 的 40%)	20			ns
1b	$t_{w(TCKL)}$	TCK 低电平的脉冲持续时间 (tc 的 40%)	20			ns
3	$t_{su(TDI-TCK)}$	TDI 有效至 TCK 高电平的输入建立时间	2.5			ns
	$t_{su(TMS-TCK)}$	TMS 有效至 TCK 高电平的输入建立时间	2.5			ns
4	$t_{h(TCK-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	18			ns
	$t_{h(TCK-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	18			ns

7.13.12.3 IEEE 1149.1 JTAG 在推荐工作条件下的开关特性

编号	参数		最小值	典型值	最大值	单位
2	$t_{d(TCKL-TDOV)}$	TCK 低电平到 TDO 有效的延迟时间	0		15	ns

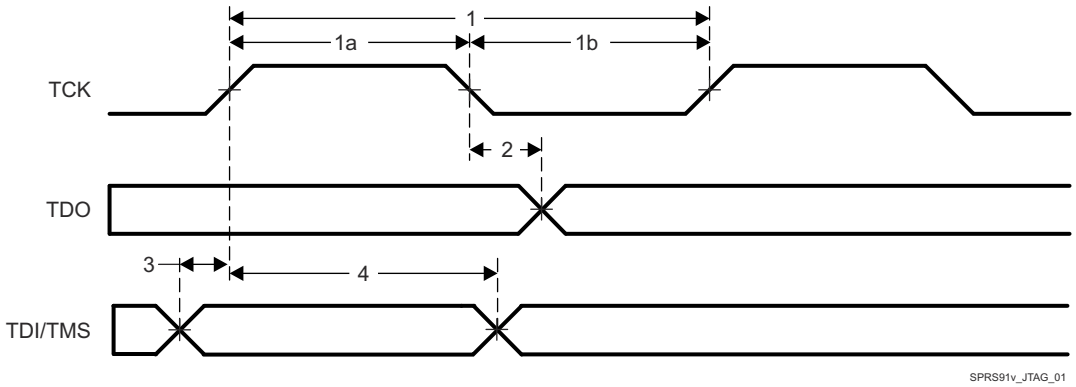


图 7-22. JTAG 时序

Copyright © 2026 Texas Instruments Incorporated

8 详细说明

8.1 概述

AWRL6888 器件是一个完整的 SOC，包括毫米波前端、客户可编程 MCU、用于高级信号处理的 C66x DSP 和带有八个发送机和八个接收机的模拟基带信号链。该器件适用于在具有存储器、处理能力和应用代码大小的配置的用例中作为片上雷达使用。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.2 功能方框图

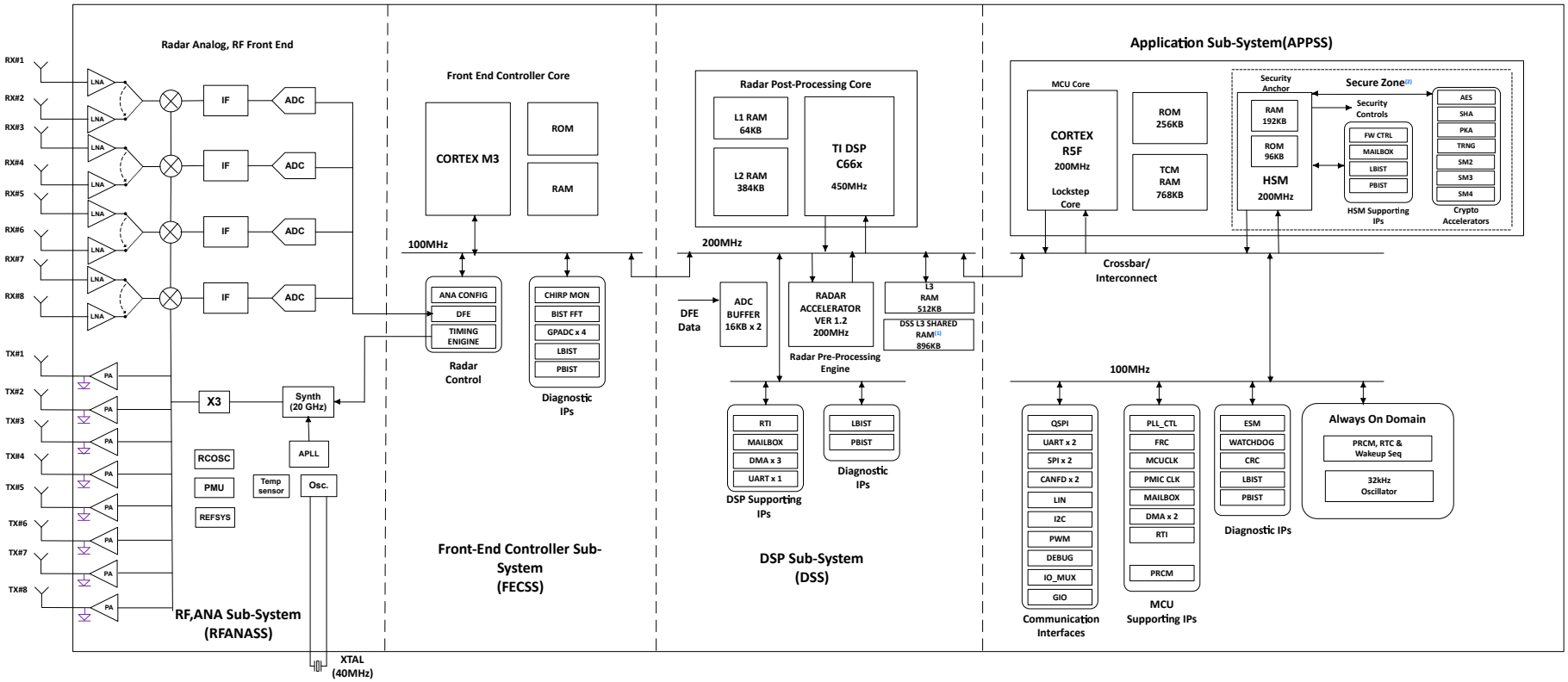


图 8-1. 功能方框图

1. 表 8-1 中列出了 896KB 的 DSS L3 共享 RAM 存储器位置。有关本机和共享存储器的位置和潜在映射的更多详细信息，请参阅技术参考手册的存储器映射部分。
2. 仅适用于安全型器件型号。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 共享存储器分配

存储器	分配
512KB	DSS L3、APPSS TCMA
256KB	DSS L3、APPSS TCMB
128KB	DSS L3、FECSS

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3 子系统

8.3.1 射频 (RF) 和模拟子系统

RF 和模拟子系统包括 RF 和模拟电路，即合成器、PA、LNA、混频器、IF 和 ADC。这个子系统还包括晶体振荡器和多个温度传感器。在 BPM 模式下，最多可以同时操作四个 TX 进行波束成形，或者在 TDM 模式下可以单独操作所有 8 个 TX。同样，该器件允许根据应用和功率要求配置发送和接收通道的数量。为了实现系统节能，AWRL6888 器件提供占空比选项，以将 RF 和模拟子系统置于低功耗模式配置中。

8.3.2 时钟子系统

AWRL6888 时钟子系统从晶体的输入基准频率生成 57GHz 至 63.9GHz 的频率。它具有一个内置振荡器电路，后跟一个清理 PLL 和一个射频合成器电路。然后，射频合成器的输出由 X3 乘法器进行处理，以生成 57GHz 至 63.9GHz 频谱范围内的所需频率。通过计时引擎模块对射频合成器输出进行调制，以生成传感器运行所需的波形。清理 PLL 还在系统唤醒后为主机处理器提供基准时钟。时钟子系统还具有内置的机制，用于检测晶体是否存在以及监测所生成的时钟的质量。

清理 PLL 还在系统唤醒后为主机处理器提供基准时钟。

时钟子系统还具有内置的机制，用于检测晶体是否存在以及监测所生成的时钟的质量。

图 8-2 介绍了时钟子系统。

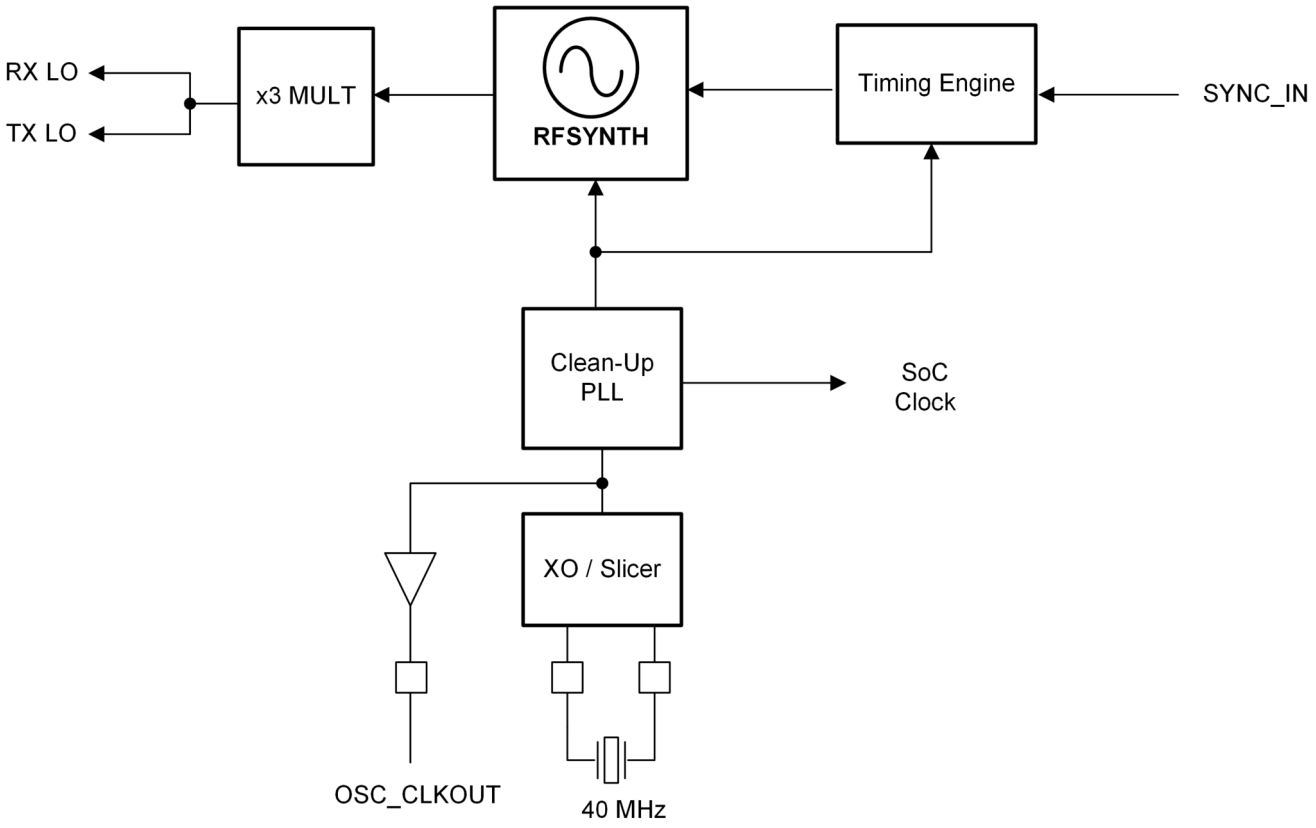


图 8-2. 时钟子系统

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.3 发送子系统

AWRL6888 发送子系统由八个发送链（TX0A、TX0B、TX1A、TX1B、TX2A、TX2B、TX3A 和 TX3B）组成，每个发送链由具有单独幅度控制的独立功率放大器供电。该器件支持 MIMO 雷达的二进制相位调制。发送子系统包含四个 FMCW 信号生成链，其中每个链在一对发送通道 A (TXnA) 和通道 B (TXnB) 之间共享。配对通道共享所有配置参数（包括二进制移相器）；因此，无法同时启用一对中的两个通道，从而允许最多四个发送通道同时工作。发送链还支持可编程退避以实现系统优化。

有关发送通道到 BGA 引脚的映射，请参阅表 8-2。

图 8-3 介绍了发送子系统。

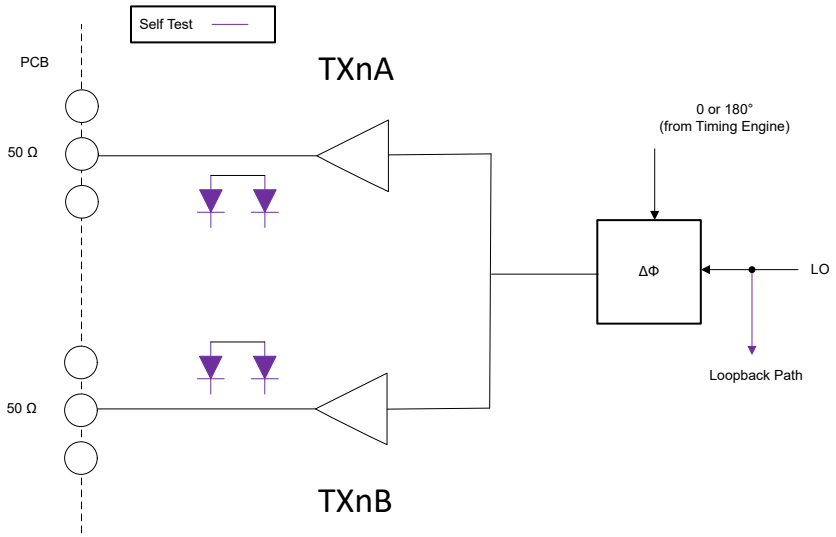


图 8-3. 发送子系统（每两个发送通道对）

表 8-2. 发送通道至 BGA 引脚映射

BGA 引脚	通道
TX1	TX0A
TX2	TX0B
TX3	TX1B
TX4	TX1A
TX5	TX2A
TX6	TX2B
TX7	TX3B
TX8	TX3A

有关传输通道的位字段映射详细信息，请参阅 MMWAVE-L-SDK 中的 ICD（接口控制文档）。

备注

在硬件中，A 和 B 通道都应连接到已启用链的天线。

8.3.4 接收子系统

AWRL6888 接收子系统在 2:1 复用配置中集成了由 4 个基带处理链支持的 8 个 RX 通道（RX0A、RX0B、RX1A、RX1B、RX2A、RX2B、RX3A 和 RX3B）。通道被组织成 4 对（RXnA 和 RXnB），每对通道都被复用到共享的基带处理链上。因此，无法同时启用同一对内的两个通道，从而允许最多四个接收通道同时运行。每个有源接收信道由低噪声放大器 (LNA)、混频器、IF 滤波、ADC 转换和抽取组成。该器件采用真正的基带架构，利

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

用具有单个 IF 和 ADC 链的真正混频器为每个接收器通道提供输出。根据系统电源要求和应用设计，各个接收通道可以独立断电。该器件适用于快速线性调频脉冲系统。带通 IF 链支持 175kHz 以上的可配置较低截止频率，可容纳高达 10MHz 的带宽

有关接收通道到 BGA 引脚的映射，请参阅表 8-3。

图 8-4 介绍了接收子系统。

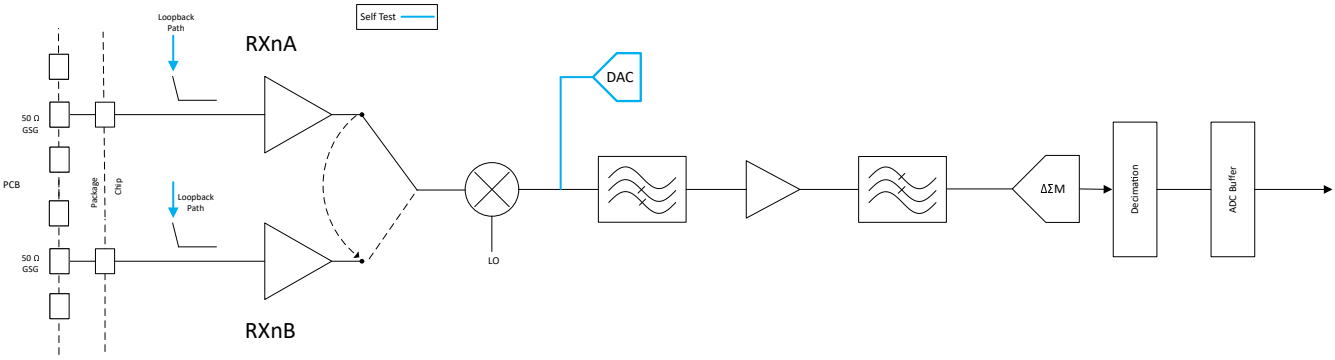


图 8-4. 接收子系统（每个接收通道对）

表 8-3. 接收通道到 BGA 引脚映射

BGA 引脚	通道
RX1	RX0A
RX2	RX0B
RX3	RX1A
RX4	RX1B
RX5	RX2A
RX6	RX2B
RX7	RX3A
RX8	RX3B

有关接收通道的位字段映射详细信息，请参阅 MMWAVE-L-SDK 中的 ICD（接口控制文档）。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.5 处理器子系统

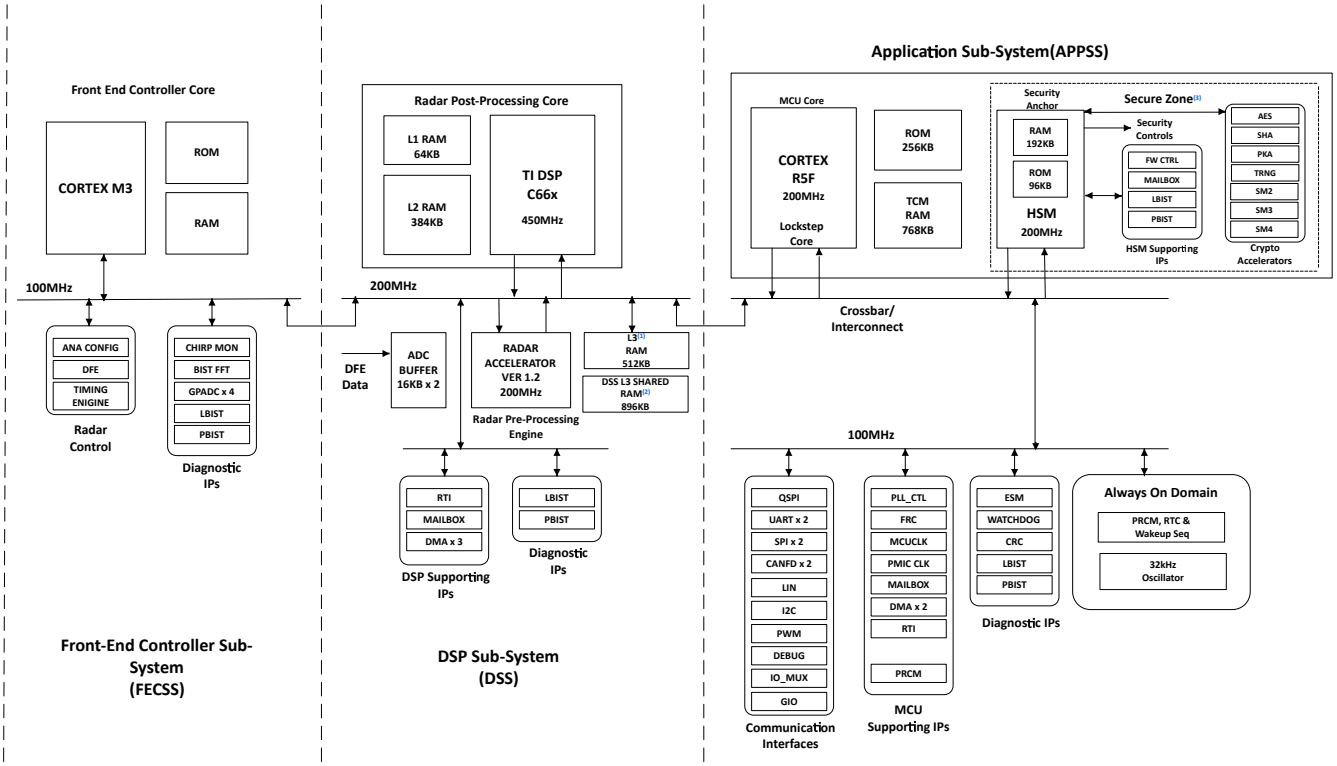


图 8-5. 处理器子系统

1. 512KB 的 DSS L3 本机 RAM 可用
2. 表 4-1 中列出了 896KB 的 DSS L3 共享 RAM 内存位置。有关本机和共享内存的位置和潜在映射的更多详细信息，请参阅技术参考手册的内存映射部分。
3. 仅适用于安全型器件型号。

图 8-5 展示了 AWRL6888 器件中客户可编程处理器子系统的方框图。概括来说，有两个客户可编程子系统，图中用虚线隔开。DSP 子系统包括 TI 的高性能 C66x DSP、HWA、硬件加速器、用于实现高性能（128 位，200MHz）的高带宽互连和相关外设数据传输。LVDS 接口用于测量数据输出、L3 雷达数据立方体存储器、ADC 缓冲器、CRC 引擎和数据握手存储器（互连上提供的额外存储器）。

图的右侧显示了应用子系统。应用子系统控制着所有器件外设和器件的日常通用活动。应用子系统包含 Cortex-R5F 处理器和关联的外设和通用元件，例如 DMA、CRC 和通过外设中心资源（PCR 互连）连接到主互连的外设（I^2C、UART、SPI、CAN、PMIC 时钟模块、PWM、LIN 等）。

8.3.6 汽车接口

AWRL6888 通过以下主接口与汽车网络通信：

- CAN-FD
- LIN

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

8.3.7 主机接口

可通过 SPI、LIN、UART 或 CAN-FD 接口提供主机接口。

AWRL6888 器件通过以下主要接口与主机雷达处理器通信：

- 基准时钟 — 器件唤醒后主机处理器可用的基准时钟
- 控制 — 用于主机控制的 4 端口标准 SPI（外设）。所有无线电控制命令（和响应）都流经该接口。
- 复位 — 用于从主机唤醒器件的低电平有效复位。
- 主机中断 — 表示毫米波传感器需要主机接口
- 错误 — 用于在无线电控制器检测到故障时通知主机

8.3.8 应用子系统 Cortex-R5F

应用子系统包括一个使用 200MHz 最大工作频率计时的 ARM Cortex R5F 处理器。在该处理器上执行的用户应用程序控制器件的整体运行，包括通过明确定义的 API 消息进行雷达控制、雷达信号处理（由 C66x DSP 和雷达硬件加速器提供辅助）和用于外部接口的外设。

有关完整的说明和存储器映射，请参阅技术参考手册。

8.3.9 DSP 子系统

DSP 子系统包括 TI 的标准 TMS320C66x 巨型模块和几个内部存储块（L1 和 L2）。有关包括存储器映射在内的完整信息，请参阅技术参考手册。

8.3.10 硬件加速器 (HWA1.2) 特性

- 快速 FFT 计算，具有可编程 2^N 大小，最大为 1024 点复数 FFT。
- 24 位（用于 I 和 Q 各一）的内部 FFT 位宽可实现良好的信号与量化噪声比 (SQNR) 性能
- 在每个基数 2 阶段具有完全可编程的蝶式缩放，可实现用户灵活性
- 用于进行前置 FFT 处理的内置功能 — 例如：直流估算和减除
- 直流估算和减除、干扰估算和消除、实数窗口、复数解旋
- 幅度（绝对值）和对数幅度计算
- 灵活的数据流和数据样本排列，可支持高效的多维 FFT 运算和转置访问
- 通过链接和循环机制对一组加速器操作逐个进行排序，最大限度地减小来自主处理器的干预
- 峰值检测 — CFAR（CFAR-CA、CFAR-OS）检测器
- 基本统计信息，包括总和 1D 最大值
- 用于雷达立方体存储器优化的压缩引擎

Copyright © 2026 Texas Instruments Incorporated

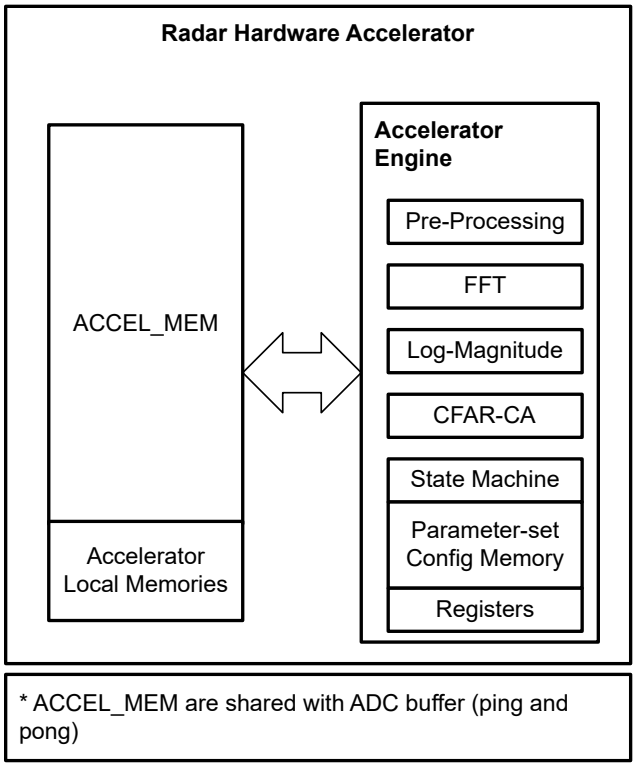


图 8-6. HWA 1.2 功能方框图

8.3.10.1 xWRx843 中的 HWA1.1、xWRLx432 中的 HWA1.2 和 xWRL684x 及 AWRL6888 中的 HWA1.2 之间的硬件加速器功能差异

特性		HWA1.0、HWA1.1（xWR1843、xWR6843）	HWA1.2（xWRL6432、xWRL1432）	HWA1.2（xWRL684x、AWRL6888）
FFT 特性	FFT 大小	1024、512、256、...	1024、512、256、...	1024、512、256、...
	内部位宽	24 位 I、24 位 Q	24 位 I、24 位 Q	24 位 I、24 位 Q
		在每个阶段都可进行可配置的蝶式缩放	在每个阶段都可进行可配置的蝶式缩放	在每个阶段都可进行可配置的蝶式缩放
	FFT 拼接	高达 4096 点	高达 4096 点	高达 4096 点
四个 256 点 FFT 的 FFT 基准		1312 个时钟周期（200MHz 时为 6.56µs）	1320 个时钟周期（80MHz 时为 16.5µs）	1320 个时钟周期（200MHz 时为 6.6µs）
参数集数量		16	32	32
本地存储器		64KB	64KB	64KB
输入和输出格式器		• 本地存储器的 A-DIM 和 B-DIM 寻址 • 可编程缩放	• 本地存储器的 A-DIM 和 B-DIM 寻址 • 可编程缩放	• 本地存储器的 A-DIM 和 B-DIM 寻址 • 可编程缩放
FFT 预处理		• 干扰消除，具有固定阈值，基于幅度 • 复数乘法（7 种模式） • 实数窗口系数	• 直流估算和减除 • 干扰消除，具有自适应统计，基于振幅、幅度差、干扰计数指示。 • 复数乘法（7 种模式） • 实数窗口系数	• 直流估算和减除 • 干扰消除，具有自适应统计，基于振幅、幅度差、干扰计数指示。 • 复数乘法（7 种模式） • 实数窗口系数
FFT 后处理		对数幅度（0.3dB 精度）	对数幅度（0.06dB 精度）	对数幅度（0.06dB 精度）

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

特性	HWA1.0、HWA1.1（xWR1843、xWR6843）	HWA1.2（xWRL6432、xWRL1432）	HWA1.2（xWRL684x、AWRL6888）
压缩和解压缩支持	在 HWA1.0 (xWR1843) 上不提供，在 HWA1.1 (xWR6843) 上提供	可用	可用
检测	CFAR-CA（线性和对数模式）	• CFAR-CA（线性和对数模式） • CFAR-OS（每侧的窗口大小高达 32）	• CFAR-CA（线性和对数模式） • CFAR-OS（每侧的窗口大小高达 32）
统计	1D 求和，1D 查找最大值	1D 求和，1D 查找最大值	1D 求和，1D 查找最大值

8.4 其他子系统

8.4.1 安全性 – 硬件安全模块

器件中配置了一个用于执行安全区域操作的硬件安全模块 (HSM)（*仅适用于部分器件型号*）。可编程 Arm Cortex-M4 内核可用于实现加密敏捷性要求。

可以使用 HSM 中的硬件模块来加速加密算法。功能包括对 AES、SHA、中国加密算法（SM2、SM3 和 SM4）和公钥加速器 (PKA) 的加速，以针对非对称密钥加密要求和真随机数生成执行数学运算。

APP 子系统 (APPSS) Cortex-R5F 处理器与 HSM 子系统连接，以执行安全启动和安全运行时通信所需的加密操作。

有关安全性的更多详细信息，请参阅相关配套资料。请联系您当地的 TI 销售代表了解更多信息。

8.4.2 用于用户应用的 GPADC 通道（服务）

AWRL6888 器件包括为用户应用提供 ADC 服务，其中器件内部存在的 GPADC 引擎可用于测量多达四个外部电压。GPADC1、GPADC2、GPADC3 和 GPADC4 引脚用于此目的。

- GPADC 本身由在 FEC 子系统内部运行的 TI 固件进行控制，通过调用路由到 FEC 子系统的 "APPSS" 对其进行访问，以实现客户的外部电压监测目的。此 API 可以与在 APPSS Cortex R5F 上运行的用户应用程序链接。
- 器件固件包 (DFP) 提供 API 来配置和测量这些信号。这些 API 允许配置稳定时间（要跳过的 ADC 样本数）和要采集的连续样本数。将报告每个受监测电压的读数平均值。

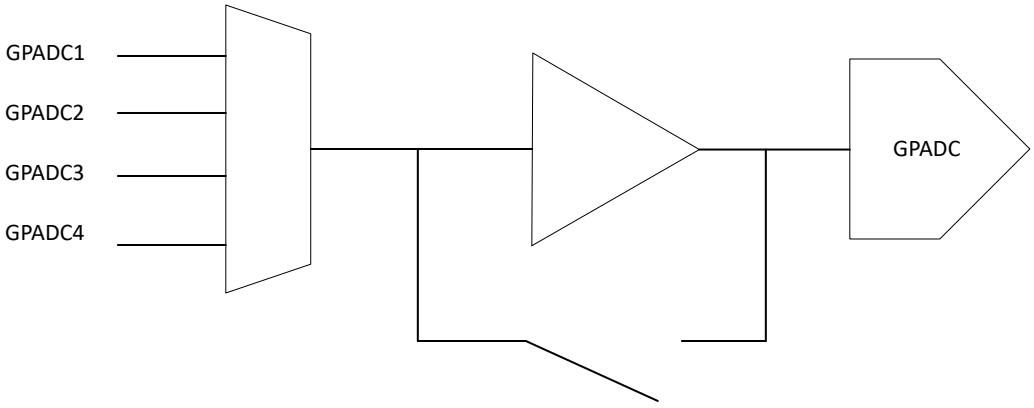


图 8-7. GPADC 路径

GPADC 结构用于测量内部温度传感器的输出。这些测量的精度为 ±7°C。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.4.3 GPADC 参数

参数	典型值	单位
ADC 电源	1.8	V
ADC 非缓冲输入电压范围	0 - 1.8	V
ADC 缓冲输入电压范围(1)	0.4 - 1.3	V
ADC 分辨率	8	位
ADC 偏移误差	±5	LSB
ADC 增益误差	±5	LSB
ADC DNL	-1/+2.5	LSB
ADC INL	±2.5	LSB
ADC 采样速率(2)	831	Ksps
ADC 采样时间(2)	300	ns
ADC 内部电容	10	pF
ADC 缓冲器输入电容	2	pF
ADC 输入漏电流	3	uA

(1) 超出给定范围时，缓冲器输出将变成非线性。
(2) GPADC 本身由在 BIST 子系统中运行的 TI 固件进行控制。有关更多详细信息，请参阅 API 调用。

8.4.4 存储器分区示例

AWRL6888 器件的总内存为 2.5MB。表 8-4 列出了一些可用存储器分区选项。存储器分区选项不限于 表 8-4

表 8-4. 存储器分区选项

存储器	AWRL6888	
	默认	替代
DSS L2	384KB	384KB
DSPSS L3 本机	512KB	512KB
L3 存储器（与 TCMA 共享）	512KB	0KB
L3 存储器（与 TCMB 共享）	256KB	0KB
L3 存储器（与 FECSS 共享）	128KB	0KB
DSPSS L3 总计	1408KB	512KB
APPSS 本机 - TCMA	512KB	512KB
APPSS 本机 - TCMB	256KB	256KB
APPSS 共享 - TCMA	0KB	512KB
APPSS 共享 - TCMB	0KB	256KB
APPSS 总计	768KB	1536KB
FECSS	0KB	128KB
总器件内存	2560KB	2560KB

整个 RAM 是不可拆卸的。此外，可以单独关闭每个存储器集群（如果需要）。集群定义如下

内存保留选项

表 8-5. APPSS

不可切换存储器	可切换存储器	可切换存储器 - 与 DSS L3（DSS 存储体 1）共享	
	Group1	Group2	Group3
256KB	512KB	512KB	256KB

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 8-5. APPSS（续）

不可切换存储器		可切换存储器			可切换存储器 - 与 DSS L3（DSS 存储体 1）共享		
集群 #1	集群 #2	集群 #5	集群 #6	集群 #7	集群 #8	集群 #9	集群 #10
TCMA	TCMA	TCMA	TCMA	TCMB0 + TCMB1	TCMA Bank0	TCMA Bank1	TCMB0 + TCMB1
128KB	128KB	128KB	128KB	128KB + 128KB	256KB	256KB	128KB + 128KB

表 8-6. DSS

可切换存储器						可切换存储器 - 与 FECSS 共享
组 4		组 5		组 6		组 4
144KB		304KB		512KB		128KB
集群 #2	集群 #3	集群 #4	集群 #5	集群 #6	集群 #7	集群 #1
DSP L2	HWA	DSP L2	DSP L1	L3（DSS 存储体 0）	L3（DSS 存储体 0）	L3（DSS 存储体 0）
144KB		240KB	64KB	256KB	256KB	128KB

8.4.5 引导模式

一旦器件复位失效，APPSS 的处理器就开始从片上 ROM 存储器执行其引导加载程序。

引导加载程序在三种基本模式下运行，通过配置称为“电源检测”(SOP) 的引脚在用户硬件（印刷电路板）上指定这些模式。引导加载程序固件会扫描器件边界上的这些引脚并选择引导加载程序运行的模式。

表 8-7 枚举了相关的 SOP 组合以及这些组合如何映射到引导加载程序运行。

表 8-7. SOP 组合

SOP1	SOP0	引导加载程序模式和运行方式
0	0	**闪存模式/器件管理模式** 器件引导加载程序循环工作，允许将用户应用程序（或 TI 提供的器件固件补丁）刷写到串行闪存中。
0	1	**功能模式/应用模式** 器件引导加载程序将用户应用程序从 QSPI 串行闪存加载到内部 RAM 中并将控制切换到内部 RAM。
1	1	**调试模式/开发模式** 引导加载程序被绕过并且暂定 R5F 处理器。这使得用户能够在一个已知点上连接仿真器。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9 监控和诊断

有关监控和功能安全实现的详细信息，请参阅技术参考手册。

有关所有诊断机制的适用性的更多详细信息，请参阅*器件安全手册*或其他相关配套资料。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10 应用、实施和布局

备注

以下“应用”部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

10.1 应用信息

应用信息可以在 AWR 应用网页上找到。

10.2 参考原理图

有关最新硬件设计信息，请查看器件产品页面的“设计和开发”中“设计套件”下的内容

为方便起见，列出了：PCB 的设计文件、原理图、布局和堆叠

- Altium AWRL6888 EVM 设计文件
- AWRL6888 EVM 原理图、装配图和物料清单

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11 器件和文档支持

TI 提供广泛的开发工具。下面是用于评估器件性能、生成代码和开发解决方案的工具和软件。

11.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null（无前缀）（例如，*AWRL6888*）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型（例如 ABL）、温度范围（例如，无后缀表示默认的商业级温度范围）。图 11-1 提供了读取任一 *AWRL6888* 器件完整器件名称的图例。

如需 APD 封装类型的 *AWRL6888* 器件的可订购器件型号，请参阅本文档的“封装选项附录”、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅 AWRL6888 器件勘误表。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

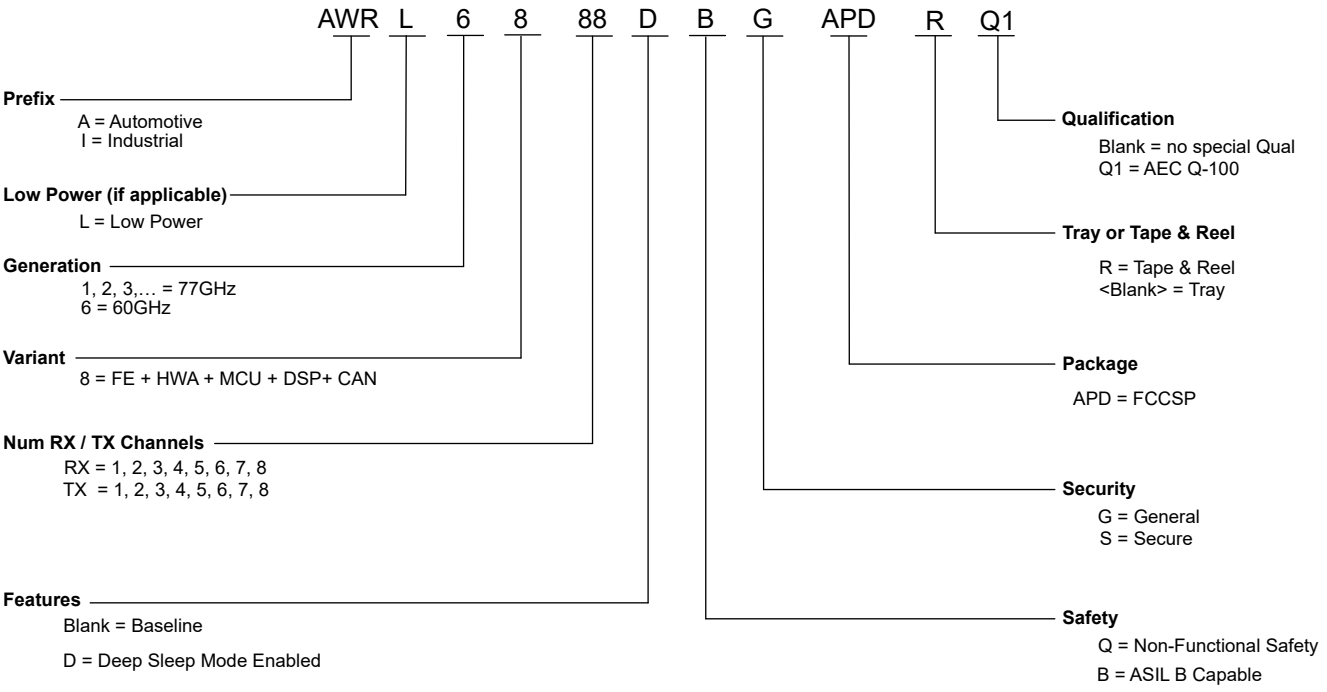


图 11-1. 器件命名规则

11.2 工具与软件

MMWAVE-L-SDK 本 SDK 包含示例、库和工具，用于为 ARM R5F 和 C66 CPU 及相关外设开发基于 RTOS 和非 RTOS 的应用程序。

模型

AWRL6888 BSDL 模型 符合专用器件 IEEE 1149.1 标准的可测试输入和输出引脚的边界扫描数据库。

AWRL6888 IBIS 模型 适用于器件的 IO 缓冲器的 IO 缓冲器信息模型。有关电路板仿真的信息，请查看 IBIS 开放论坛。

11.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍外设以及其他配套技术资料的最新文档。

勘误

AWRL6888 器件勘误表。 介绍了器件的已知问题、限制和注意事项并提供了权变措施。

11.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资源，有助于直接从专家那里获得快速、经过验证的解答和设计帮助。搜索现有解答或自行提出问题，以获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.5 商标

E2E™ is a trademark of Texas Instruments.

Copyright © 2026 Texas Instruments Incorporated

Arm®, R5F®, R4F®, and M4F® are registered trademarks of Arm Limited.
所有商标均为其各自所有者的财产。

11.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

日期	修订版本	注释
2026 年 9 月	*	初始发行版

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关该数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

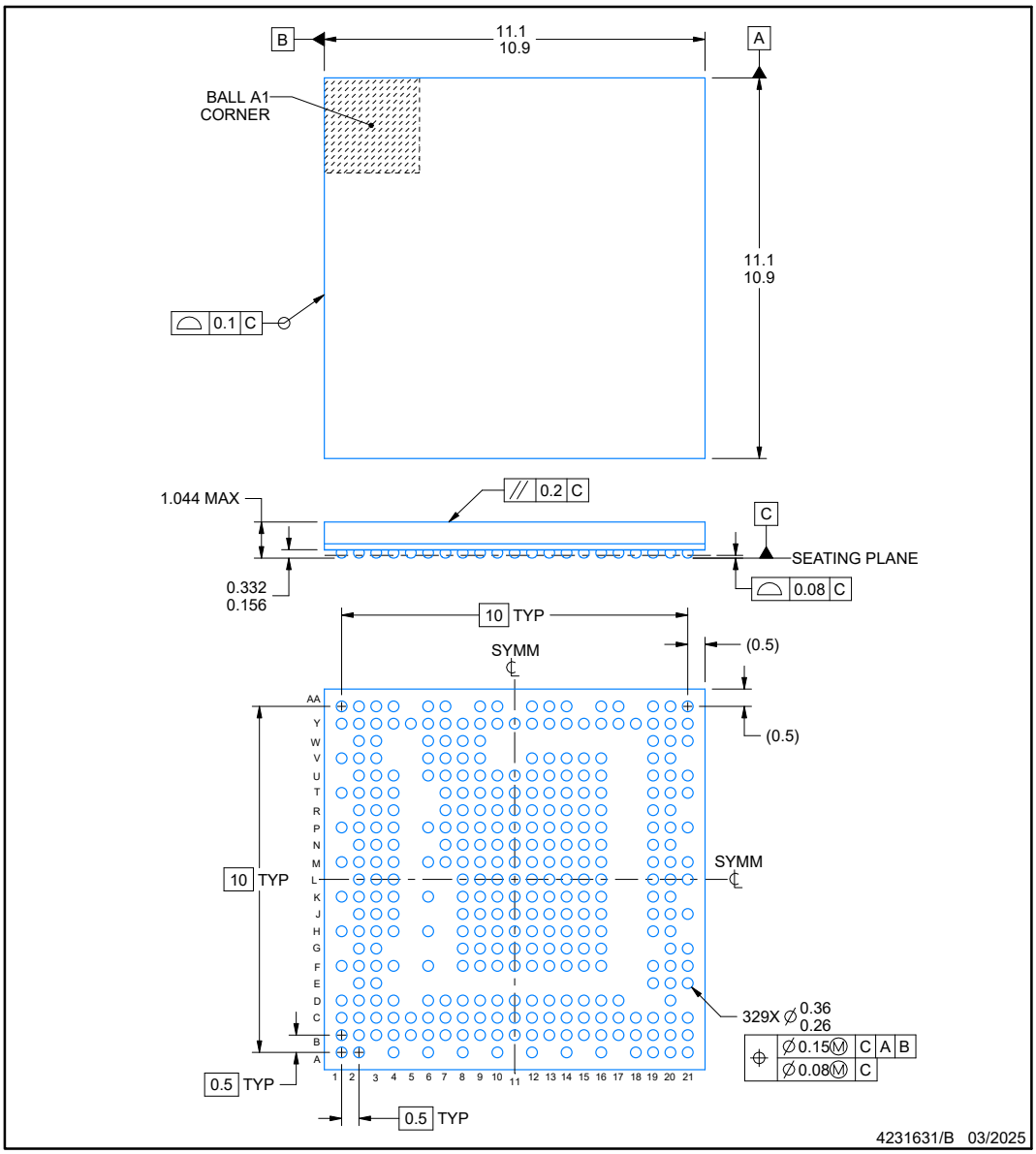
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

APD0329A

FCCSP - 1.044 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

www.ti.com

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

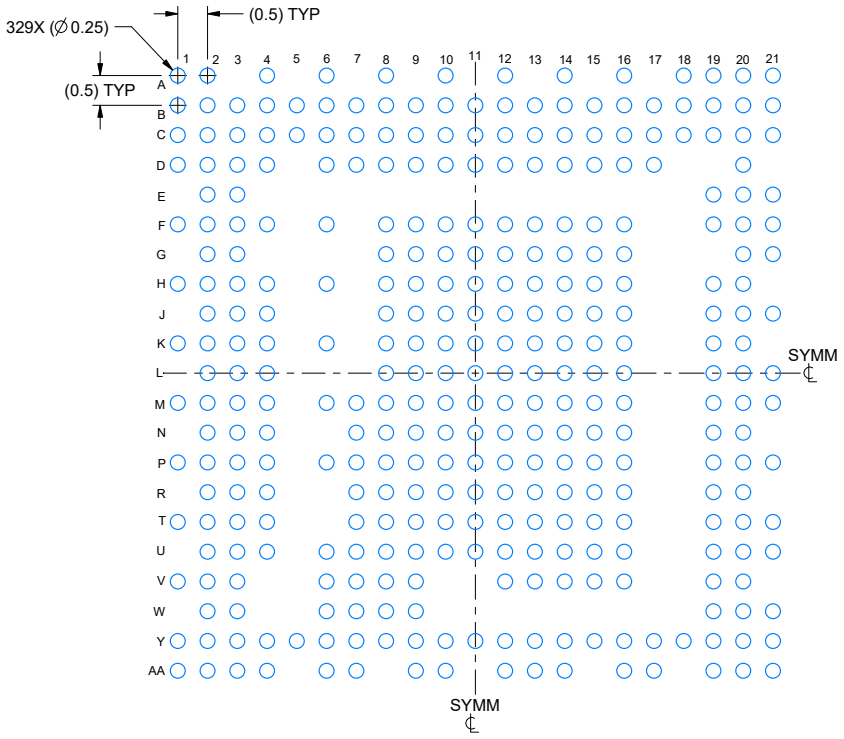
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

APD0329A

FCCSP - 1.044 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

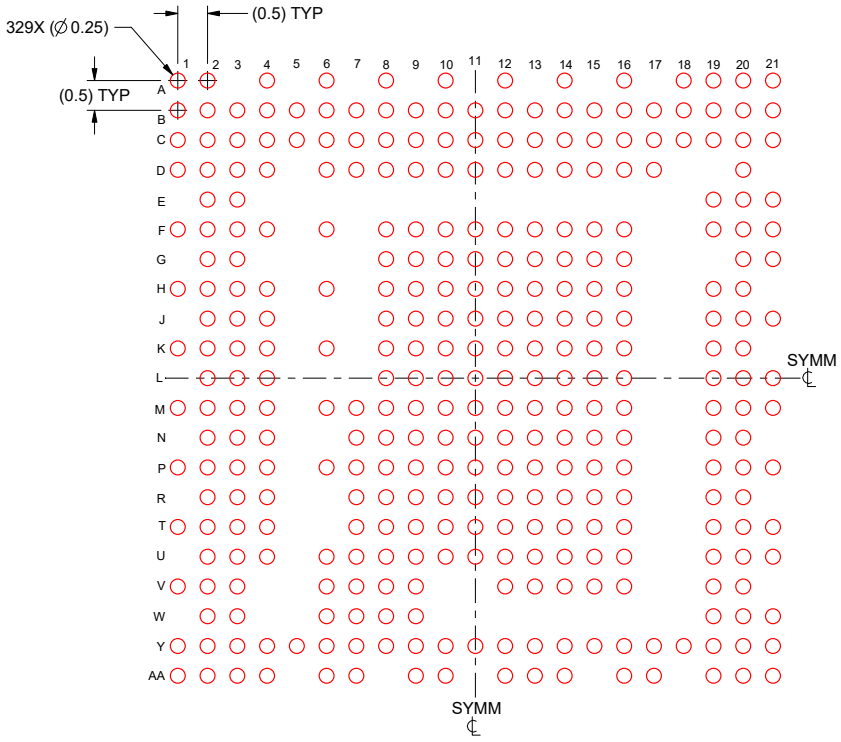
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

APD0329A — **FCCSP - 1.044 mm max height**

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4231631/B 03/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XA6888DBGAPD	Active	Preproduction	FCCSP (APD) | 329	297 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月