

AM62x Sitara™ 处理器

1 特性

处理器内核：

- 多达四核 64 位 Arm® Cortex®-A53 微处理器子系统，性能高达 1.4GHz
 - 四核 Cortex-A53 集群 (具有 512KB L2 共享缓存，包括 SECEDED ECC)
 - 每个 A53 内核包含具有 SECEDED ECC 功能的 32KB L1 DCache 和具有奇偶校验保护的 32KB L1 ICache
- 频率高达 400MHz 的单核 Arm® Cortex®-M4F MCU
 - 具有 SECEDED ECC 的 256KB SRAM
- 专用器件/电源管理器

多媒体：

- 显示子系统
 - 双显示支持
 - 每个显示屏 1920x1080 @ 60fps
 - 1 个 2048x1080 + 1 个 1280x720
 - 高达 165MHz 的像素时钟支持，每个显示屏具有独立 PLL
 - OLDI (4 通道 LVDS - 2x) 和 DPI (24 位 RGB LVCMOS)
 - 支持定时检测和 MISR 数据检查等安全功能
- 3D 图形处理单元
 - 每个时钟 1 个像素或更高
 - 填充率大于 500 百万像素/秒
 - >500MTexels/s, >8GFLOPs
 - 支持至少 2 个合成层
 - 支持高达 2048x1080 @60fps 的分辨率
 - 支持 ARGB32、RGB565 和 YUV 格式
 - 支持 2D 图形
 - OpenGL ES 3.1、Vulkan 1.2
- 一个 4 通道摄像头串行接口 (CSI-Rx) 以及 DPHY
 - 符合 MIPI® CSI-2 v1.3 标准 + MIPI D-PHY 1.2
 - 支持 1、2、3 或 4 数据通道模式，每通道速率高达 1.5Gbps
 - ECC 验证/校正和 RAM 上的 CRC 校验+ ECC
 - 虚拟通道支持 (多达 16 个)
 - 能够通过 DMA 将流数据直接写入 DDR

存储器子系统：

- 高达 816KB 的片上 RAM
 - 具有 SECEDED ECC 的 64KB 片上 RAM (OCSRAM)，可以分为更小的存储器组，以 32KB 为增量递增，最多可支持 2 个独立的存储器组
 - SMS 子系统具有 SECEDED ECC 的 256KB 片上 RAM
 - SMS 子系统具有 SECEDED ECC 的 176KB 片上 RAM，用于 TI 安全固件
 - Cortex-M4F MCU 子系统具有 SECEDED ECC 的 256KB 片上 RAM
 - 器件/电源管理器子系统具有 SECEDED ECC 的 64KB 片上 RAM
- DDR 子系统 (DDRSS)
 - 支持 LPDDR4、DDR4 存储器类型
 - 具有内联 ECC 的 16 位数据总线
 - 支持高达 1600MT/s 的速度
 - 最大可寻址范围
 - 8GBytes 与 DDR4
 - 4GBytes 与 LPDDR4

功能安全：

- 以符合功能安全标准为目标 [汽车]
 - 专为功能安全应用开发
 - 将提供相关文档来协助进行符合 ISO 26262 标准的功能安全系统设计
 - 系统可满足 ASIL D 等级要求
 - 以硬件完整性高达 ASIL B 级为目标
 - 安全相关认证
 - 计划通过 TUV SUD 的 ISO 26262 认证
- 符合 AEC-Q100 标准



安全性：

- 支持安全启动
 - 硬件强制可信根 (RoT)
 - 支持通过备用密钥转换 RoT
 - 支持接管保护、IP 保护和防回滚保护
- 支持可信执行环境 (TEE)
 - 基于 Arm TrustZone® 的 TEE
 - 可实现隔离的广泛防火墙支持
 - 安全看门狗/计时器/IPC
 - 安全存储支持
 - 支持回放保护内存块 (RPMB)
- 具有用户可编程 HSM 内核的专用安全控制器以及用于隔离式处理的专用安全 DMA 和 IPC 子系统
- 支持加密加速
 - 会话感知型加密引擎可基于输入数据流自动切换密钥材料
 - 支持加密内核
 - AES - 128/192/256 位密钥大小
 - SHA2 - 224/256/384/512 位密钥大小
 - 具有真随机数生成器的 DRBG
 - 可在 RSA/ECC 处理中提供帮助的 PKA (公钥加速器)，支持安全启动
- 调试安全性
 - 受安全软件控制的调试访问
 - 安全感知调试

PRU 子系统：

- 运行频率高达 333MHz 的双核可编程实时单元子系统 (PRUSS)
- 用于驱动 GPIO 以实现周期精确的协议，例如：
 - 通用输入/输出 (GPIO)
 - UART
 - I²C
 - 外部 ADC
- 每个 PRU 16KB 程序存储器，具有 SECDED ECC
- 每个 PRU 8KB 数据存储器，具有 SECDED ECC
- 具有 SECDED ECC 的 32KB 通用存储器
- CRC32/16 硬件加速器
- 具有 3 组 30 x 32 位寄存器的暂存存储器
- 1 个工业 64 位计时器，具有 9 个捕捉事件和 16 个比较事件以及慢速和快速补偿
- 1 个中断控制器 (INTC)，至少支持 64 个输入事件

高速接口：

- 支持集成以太网交换机 (总共 2 个外部端口)
 - RMII (10/100) 或 RGMII (10/100/1000)
 - IEEE1588 (附件 D、E 和 F，及 802.1AS PTP)
 - 第 45 条 MDIO PHY 管理规范
 - 基于 ALE 引擎的数据包分类器，具有 512 个分类器
 - 基于优先级的流量控制
 - 时间敏感型网络 (TSN) 支持
 - 四个 CPU 硬件中断节奏
 - 硬件中的 IP/UDP/TCP 校验和卸载
- 两个 USB2.0 端口
 - 可配置为 USB 主机、USB 外设或 USB 双角色器件 (DRD 模式) 的端口
 - 集成了 USB VBUS 检测

通用连接：

- 9 个通用异步接收器/发送器 (UART)
- 5 个串行外设接口 (SPI) 控制器
- 6 个内部集成电路 (I²C) 端口
- 3 个多通道音频串行端口 (McASP)
 - 高达 50MHz 的发送和接收时钟
 - 3 个 McASP 上具有多达 4/6/16 个串行数据引脚并具有独立的 TX 和 RX 时钟
 - 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式
 - 支持数字音频接口传输 (SPDIF、IEC60958-1 和 AES-3 格式)
 - 用于发送和接收的 FIFO 缓冲器 (256 字节)
 - 支持音频基准输出时钟
- 3 个增强型 PWM 模块 (ePWM)
- 3 个增强型正交编码器脉冲模块 (eQEP)
- 3 个增强型捕捉模块 (eCAP)
- 通用 I/O (GPIO)，所有 LVCMOS I/O 均可配置为 GPIO
- 3 个支持 CAN-FD 的控制器局域网 (CAN) 模块
 - 符合 CAN 协议 2.0A、B 和 ISO 11898-1 标准
 - 完全支持 CAN FD (最多 64 个数据字节)
 - 消息 RAM 的奇偶校验/ECC 检查
 - 速度高达 8Mbps

媒体和数据存储：

- 3 个多媒体卡/安全数字® (MMC/SD®/SDIO) 接口
 - 1 个 8 位 eMMC 接口，速度高达 HS200
 - 2 个高达 UHS-I 的 4 位 SD/SDIO 接口
 - 与 eMMC 5.1、SD 3.0 和 SDIO 3.0 版兼容
- 1 个高达 133MHz 的通用存储器控制器 (GPMC)
 - 灵活的 8 位和 16 位异步存储器接口，具有多达四个芯片 (22 位地址) 选择 (NAND、NOR、Muxed-NOR 和 SRAM)
 - 使用 BCH 代码，支持 4 位、8 位或 16 位 ECC
 - 使用海明码来支持 1 位 ECC
 - 错误定位器模块 (ELM)
 - 与 GPMC 配合使用，以找到来自伴随多项式的数据错误 (在使用 BCH 算法时生成) 的地址
 - 根据 BCH 算法，支持 4 位、8 位和 16 位每 512 字节块错误定位
- 具有 DDR/SDR 支持的 OSPI/QSPI
 - 支持串行 NAND 和串行 NOR 闪存器件
 - 支持 4GB 存储器地址
 - 具有可选实时加密的 XIP 模式

电源管理：

- 器件/电源管理器支持多种低功耗模式
 - 部分 IO 支持 CAN/GPIO/UART 唤醒
 - DeepSleep
 - 仅 MCU
 - 待机
 - Cortex-A53 的动态频率缩放

优化的电源管理解决方案：

- 推荐的 [TPS65219](#) 电源管理 IC (PMIC)
 - 专为满足器件电源要求而设计的配套 PMIC
 - 灵活的映射和出厂编程配置，支持多种不同的用例

引导选项：

- UART
- I²C EEPROM
- OSPI/QSPI 闪存
- GPMC NOR/NAND 闪存
- NAND 串行闪存
- SD 卡
- eMMC
- 从大容量存储设备进行 USB (主机) 引导
- 从外部主机进行 USB (设备) 引导 (DFU 模式)
- 以太网

技术/封装：

- 16nm 技术
- 13mm x 13mm、0.5mm 间距、425 引脚 FCCSP BGA (ALW)
- 17.2mm x 17.2mm，0.8mm 间距，441 引脚 FCBGA (AMC)

2 应用

- 人机界面 (HMI)
- 零售自动化
- 驾驶员监控系统 (DMS/OMS)/车内监控 (ICM)
- 远程信息处理控制单元 (TCU)
- 3D 点云
- 车辆对基础设施 (V2V)/车辆对车辆 (V2X)
- 3D 可重构汽车仪表组
- 电器用户界面和连接
- 医疗设备

3 说明

低成本 AM62x Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。凭借可扩展的 Arm® Cortex®-A53 性能和嵌入式功能，例如双显示支持和 3D 图形加速，以及一组广泛的外设，AM62x 器件非常适合广泛的工业和汽车应用，同时还提供智能功能和优化的电源架构。

可以使用集成的 Cortex-M4F 内核和专用外设来满足功能安全要求，这些内核和外设均可与 AM62x 处理器的其余部分隔离。

3 端口千兆以太网交换机具有一个内部端口和两个外部端口，支持时间敏感网络 (TSN)。该器件上的附加 PRU 模块可为客户自己的用例提供实时 I/O 功能。此外，AM62x 中随附广泛的外设集，可实现 USB、MMC/SD、摄像头接口、OSPI、CAN-FD 和 GPMC 等系统级连接，用于将主机接口并行连接到外部 ASIC/FPGA。AM62x 器件还通过内置硬件安全模块 (HSM) 支持安全启动来实现 IP 保护，并为便携式和功耗敏感型应用提供高级电源管理支持

AM62x 处理器系列中的产品：

- **AM625** - 具有基于 Arm® Cortex®-A53 的边缘 AI 和全高清双显示的人机交互 SoC
- **AM625-Q1** - 适用于数字仪表组且具有嵌入式安全功能的汽车显示 SoC
- **AM623** - 具有基于 Arm® Cortex®-A53 的对象和手势识别功能的物联网 (IoT) 和网关 SoC
- **AM620-Q1** - 具有嵌入式安全功能的汽车计算 SoC，适用于驾驶员监控、网络和 V2X 系统

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
AM625	ALW (FCCSP BGA , 425)	13mm × 13mm
AM625-Q1	ALW (FCCSP BGA , 425)	13mm × 13mm
	AMC (FCBGA , 441)	17.2mm × 17.2mm
AM623	ALW (FCCSP BGA , 425)	13mm × 13mm
AM620-Q1	ALW (FCCSP BGA , 425)	13mm × 13mm
	AMC (FCBGA , 441)	17.2mm × 17.2mm

- (1) 如需了解更多信息，请参阅[机械、封装和可订购信息](#)。
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图

图 3-1 展示了器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请搜索位于“Downloads”选项卡选项中的 AM62x 软件构建表，在 [Processor-SDK-AM62x](#) 上提供。

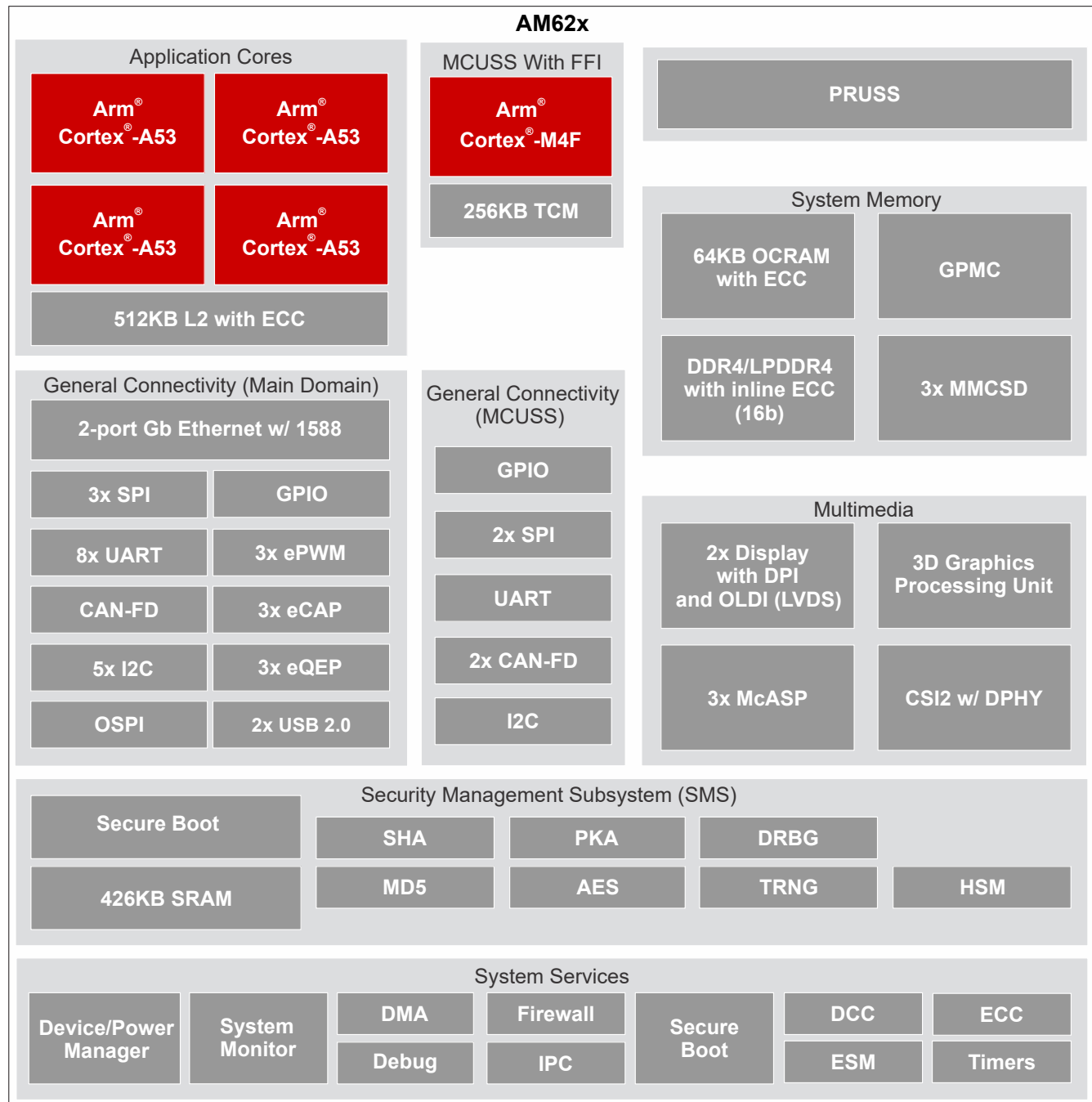


图 3-1. 功能方框图

内容

1 特性	1	6.12 时序和开关特性.....	104
2 应用	4	7 详细说明	228
3 说明	4	7.1 概述.....	228
3.1 功能方框图.....	5	7.2 处理器子系统.....	229
4 器件比较	7	7.3 加速器和协处理器.....	230
4.1 相关产品.....	8	7.4 其他子系统.....	231
5 终端配置和功能	9	7.5 外设.....	233
5.1 引脚图.....	9	8 应用、实现和布局	237
5.2 引脚属性.....	11	8.1 器件连接和布局基本准则.....	237
5.3 信号说明.....	54	8.2 外设和接口的相关设计信息.....	238
5.4 引脚连接要求.....	86	8.3 时钟布线指南.....	244
6 规格	90	9 器件和文档支持	245
6.1 绝对最大额定值.....	90	9.1 器件命名规则.....	245
6.2 未通过 AEC - Q100 认证的器件的 ESD 等级.....	92	9.2 工具与软件.....	248
6.3 符合 AEC - Q100 标准的器件的 ESD 等级.....	92	9.3 文档支持.....	248
6.4 上电小时数 (POH).....	92	9.4 支持资源.....	248
6.5 建议运行条件.....	93	9.5 商标.....	248
6.6 运行性能点.....	95	9.6 静电放电警告.....	249
6.7 功耗摘要.....	95	9.7 术语表.....	249
6.8 电气特性.....	96	10 修订历史记录	250
6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格.....	101	11 机械、封装和可订购信息	254
6.10 热阻特性.....	102	11.1 封装信息.....	254
6.11 温度传感器特性.....	103		

4 器件比较

表 4-1 对各器件进行了比较，突出显示了其中的差异。

备注

此表中所列特性的可用性是共享 IO 引脚的函数，在函数中，与许多特性相关的 IO 信号会多路复用到有限数量的引脚。应使用 **SysConfig** 工具为引脚分配信号功能。这将帮助您更好地理解与引脚多路复用相关的限制。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请搜索位于“Downloads”选项卡选项中的 **AM62x 软件构建表**，在 **Processor-SDK-AM62x** 上提供。

表 4-1. 器件比较

特性	参考名称	AM625、AM625-Q1			AM623			AM620-Q1		
		AM6254	AM6252	AM6251	AM6234	AM6232	AM6231	AM6204	AM6202	AM6201
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] ⁽¹⁾ 按器件“特性”代码的寄存位值（有关器件特性的更多信息，请参阅 器件命名约定 ）										
	C：	0x1D123	0x1D0A3	–	0x1D103	0x1D083	–	–	–	–
	G：	0x1D127	0x1D0A7	0x1D067	0x1D107	0x1D087	0x1D047	0x1D307	0x1D287	0x1D247
处理器和加速器										
速度等级（请参阅 器件速度等级 ）		T、S、K、G								
Arm Cortex-A53 微处理器子系统	Arm A53	四核	双核	单核	四核	双核	单核	四核	双核	单核
MCU 域中的 Arm Cortex-M4F	Arm M4F	单核 功能安全（可选） ⁽⁵⁾								
3D 图形引擎 （ OpenGL ES 3.1、Vulkan 1.2 ）	3D 图形引擎	是	是	是	否	否	否	否	否	否
器件管理子系统	WKUP_R5F	单核								
加密加速器	安全性	是								
程序和数据存储										
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	64KB（具有 SECDED ECC）								
M4F 域中的片上共享存储器 (RAM)	MCU_MSRAM	256KB								
DDR4/LPDDR4 DDR 子系统	DDRSS	具有内联 ECC 的 16 位数据；使用 DDR4 时高达 8GB，使用 LPDDR4 时高达 4GB								
通用存储器控制器	GPMC	高达 128MB，具有 ECC								
外设										
显示子系统	DSS	1x DPI						否		
		1x OLDI (LVDS)						否		
模块化控制器区域网接口，具有完整 CAN-FD 支持	MCAN	3								
通用 I/O	GPIO	高达 168								
内部集成电路接口	I2C	6								
多通道音频串行端口	MCASP	3								
多通道串行外设接口	MCSPI	5								
多媒体卡/安全数字接口	MM/CSD	1x eMMC（8 位）								
		2x SD/SDIO（4 位）								
闪存子系统 (FSS) ⁽²⁾	OSPI0/QSPI0	是 ⁽²⁾								
可编程实时单元子系统 ⁽³⁾	PRUSS	2 个 PRU 内核（可选）								
工业通信子系统支持 ⁽⁴⁾	PRUSS	否								
千兆位以太网接口	CPSW3G	是								

表 4-1. 器件比较 (续)

特性	参考名称	AM625、AM625-Q1			AM623			AM620-Q1		
		AM6254	AM6252	AM6251	AM6234	AM6232	AM6231	AM6204	AM6202	AM6201
通用计时器	计时器	12 个 (MCU 通道中 4 个)								
全局计时器计数器	GTC	1								
增强型脉宽调制器模块	EPWM	3								
增强型捕获模块	ECAP	3								
增强型正交编码器脉冲模块	EQEP	3								
通用异步接收器/发送器	UART	9								
具有 DPHY 的 CSI2-RX 控制器	CSI-RX	1								
具有 PHY 的 USB2.0 控制器	USB 2.0	2								

- (1) 有关 WKUP_MMR0_JTAG_USER_ID 寄存器和 DEVICE_ID 位字段的更多详细信息，请参阅器件 TRM。
- (2) 1 个闪存接口，配置为 OSPI0 或 QSPI0。
- (3) 当选择包含特性代码 C 的可订购器件型号时，PRU 子系统 (PRUSS) 可用。有关特性代码的定义，请参阅[器件命名约定](#)。
- (4) 此系列器件不支持工业通信子系统。
- (5) 当选择包含功能安全代码 F 的可订购器件型号时，功能安全可用。有关特性代码的定义，请参阅[器件命名约定](#)。

4.1 相关产品

Sitara™ 处理器是一系列基于 Arm® Cortex®-A 内核的可扩展处理器，具有灵活的加速器、外设、连接和统一的软件支持，尤其适合从传感器到服务器的各种应用。Sitara 处理器具有工业应用所需的可靠性。

AM625 Sitara™ 处理器具有基于 Arm® Cortex®-A53 的边缘 AI 和全高清双显示的人机交互 SoC。低成本 AM625x Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。凭借可扩展的 Arm® Cortex®-A53 性能和嵌入式功能，例如双显示支持和 3D 图形加速，以及一组广泛的外设，AM62x 器件非常适合广泛的工业和汽车应用，同时还提供智能功能和优化的电源架构。

AM623 Sitara™ 处理器具有基于 Arm® Cortex®-A53 的对象和手势识别功能的物联网 (IoT) 和网关 SoC。低成本 AM623x Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。凭借可扩展的 Arm® Cortex®-A53 性能和嵌入式功能，例如双显示支持，以及一组广泛的外设，AM62x 器件非常适合广泛的工业和汽车应用，同时还提供智能功能和优化的电源架构。

Sitara™ AM62x 开发人员门户 TI 提供了各种设计资源，可简化客户在 AM62x 平台上的评估和开发。您可以在此页面中找到重要的设计资源，例如评估板/参考设计、演示、Linux/Android/Realtime-Linux/FreeRTOS 的软件开发套件、SDK 开发人员指南、配置工具、Linux Academy。

Sitara™ AM62x 处理器 - 设计库 TI 提供了许多包含“构建块”解决方案的参考设计，使客户能够快速开发自己独特的产品和解决方案。这里有 10 多个参考设计以及分析、HMI 和连接演示。

帮助您完成设计的产品：

- [以太网 PHY](#)
- [电源管理/PMIC](#)
- [时钟和计时](#)
- [电源开关](#)
- [CAN 收发器](#)
- [ESD 保护](#)

有关如何在系统设计中实现这些器件以及特定器件型号建议的物料清单的详细信息，请参阅 **AM62x EVM 原理图**。

图 5-2 展示了 441 焊球 Flip Chip Ball Grid Array (FCBGA BGA) 封装的焊球位置，HTML 版本会在光标悬停在某个焊球上时提供额外信息。该图应与节 5.2.1 至表 5-74 (引脚属性表和所有信号说明表，包括连接要求表) 配合使用。

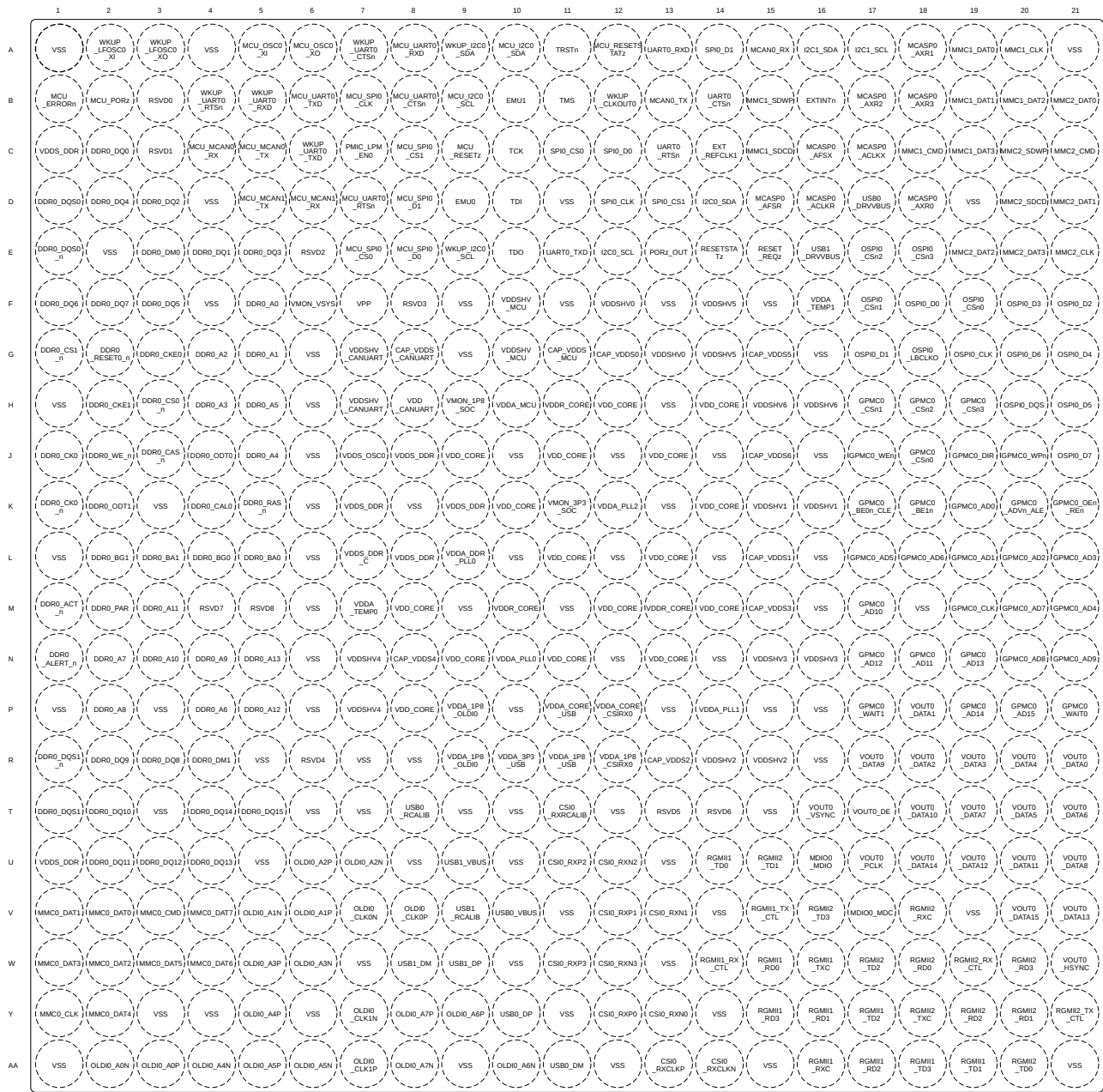


图 5-2. AMC FCBGA 引脚图 (顶视图)

5.2 引脚属性

以下列表介绍了表 5-1 引脚属性 (ALW、AMC 封装) 中每一列的内容：

1. **焊球编号**：分配给 Ball Grid Array 封装每个端子的焊球编号。
2. **焊球名称**：分配给 Ball Grid Array 封装每个端子的焊球名称 (该名称通常取自主 MUXMODE 0 信号功能)。
3. **信号名称**：与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-1 引脚属性 (ALW、AMC 封装) 仅定义了引脚上的信号多路复用。有关引脚上信号多路复用的更多信息，请参阅器件 TRM 的器件配置一章中的焊盘配置寄存器一节。有关外设信号多路复用的更多信息，请参阅器件 TRM 的相应外设章节。

4. **多路复用模式**：与每个引脚多路复用信号功能相关的 MUXMODE 值：
 - a. MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。

备注

“复位之后的多路复用模式”列中的值定义了 MCU_PORz 被置为无效时选择的默认引脚多路复用信号功能。

- b. MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只应使用 MUXMODE 的有效值。
- c. 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz_OUT 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
- d. 空框表示不适用。

备注

为了使器件正常运行，必须避免以下 MUXMODE 配置。

- 不支持将多个引脚配置为同一引脚多路复用信号功能的输入，因为这可能会产生意外结果。
- 将引脚配置为未定义的引脚多路复用模式将导致引脚行为未定义。

5. **类型**：信号类型和方向：
 - I = 输入
 - O = 输出
 - OD = 输出，具有开漏输出功能
 - IO = 输入、输出或同时输入和输出
 - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
 - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
 - OZ = 具有三态输出功能的输出
 - A = 模拟
 - PWR = 电源
 - GND = 地
 - CAP = LDO 电容器。
6. **DSIS**：未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态 (逻辑“0”、逻辑“1”或“焊盘”电平)。
 - 0：逻辑 0 被驱动至子系统输入。
 - 1：逻辑 1 被驱动至子系统输入。
 - 焊盘：焊盘的逻辑状态被驱动至子系统输入。
 - 空框表示不适用。
7. **复位期间的焊球状态 (RX/TX/拉动)**：MCU_PORz 被置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
 - RX (输入缓冲器)
 - 关闭：输入缓冲器被禁用。
 - 开启：输入缓冲器被启用。
 - TX (输出缓冲器)
 - 关闭：输出缓冲器被禁用。
 - 低电平：输出缓冲器被启用并驱动 V_{OL} 。
 - 拉动 (内部拉电阻器)
 - 关闭：内部拉动电阻器被关闭。
 - 上拉：内部上拉电阻器被开启。
 - 下拉：内部下拉电阻器被开启。
 - NA：不适用。
 - 空框表示不适用。
8. **复位之后的焊球状态 (RX/TX/拉动)**：MCU_PORz 被置为无效后的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
 - RX (输入缓冲器)
 - 关闭：输入缓冲器被禁用。
 - 开启：输入缓冲器被启用。
 - TX (输出缓冲器)
 - 关闭：输出缓冲器被禁用。
 - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
 - 拉动 (内部拉电阻器)
 - 关闭：内部拉动电阻器被关闭。
 - 上拉：内部上拉电阻器被开启。
 - 下拉：内部下拉电阻器被开启。
 - NA：不适用。
 - 空框表示不适用。
9. **复位之后的多路复用模式**：该列中的值定义了 MCU_PORz 被置为无效后的默认引脚多路复用信号功能。

空框表示不适用。

10. **I/O 工作电压**：该列介绍了相应电源的 I/O 工作电压选项（如果适用）。

空框表示不适用。

有关更多信息，请参阅节 6.5 建议运行条件 中为每个电源定义的有效工作电压范围。

11. **电源**：相关 I/O 的电源（如果适用）。

空框表示不适用。

12. **HYS**：指示与该 I/O 关联的输入缓冲器是否具有迟滞：

- 是：具有迟滞
- 否：不具有迟滞
- 空框表示不适用。

有关更多信息，请参阅节 6.8 电气特性 中的迟滞值。

13. **缓冲器类型**：该列定义与端子关联的缓冲器类型。该信息可用于确定适用的电气特性表。

空框表示不适用。

有关电气特性，请参阅节 6.8 电气特性 中相应的缓冲器类型表。

14. **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。

- PU：内部上拉
- PD：内部下拉
- PU/PD：内部上拉和下拉
- 空框表示无内部拉动。

15. **PADCONFIG 寄存器**：与焊球关联的 IO 焊盘配置寄存器的名称。

16. **PADCONFIG 地址**：与焊球关联的 IO 焊盘配置寄存器的物理地址。

表 5-1. 引脚属性 (ALW、AMC 封装)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
H15	G12	CAP_VDDS0	CAP_VDDS0		CAP									
K18	L15	CAP_VDDS1	CAP_VDDS1		CAP									
W17	R13	CAP_VDDS2	CAP_VDDS2		CAP									
P19	M15	CAP_VDDS3	CAP_VDDS3		CAP									
U7	N8	CAP_VDDS4	CAP_VDDS4		CAP									
H17	G15	CAP_VDDS5	CAP_VDDS5		CAP									
J19	J15	CAP_VDDS6	CAP_VDDS6		CAP									
G9	G8	CAP_VDDS_CANUART	CAP_VDDS_CANUART		CAP									
H11	G11	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
AD15	AA14	CSI0_RXCLKN	CSI0_RXCLKN		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AE15	AA13	CSI0_RXCLKP	CSI0_RXCLKP		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AA14	T11	CSI0_RXRCALIB	CSI0_RXRCALIB		A					1.8V	VDDA_1P8_CSIRX		D-PHY	
AB14	Y13	CSI0_RXN0	CSI0_RXN0		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AD14	V13	CSI0_RXN1	CSI0_RXN1		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AD13	U12	CSI0_RXN2	CSI0_RXN2		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AB12	W12	CSI0_RXN3	CSI0_RXN3		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AC15	Y12	CSI0_RXP0	CSI0_RXP0		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AE14	V12	CSI0_RXP1	CSI0_RXP1		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AE13	U11	CSI0_RXP2	CSI0_RXP2		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
AC13	W11	CSI0_RXP3	CSI0_RXP3		I					1.8V	VDDA_1P8_CSIRX		D-PHY	
N6	M1	DDR0_ACT_n	DDR0_ACT_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
R3	N1	DDR0_ALERT_n	DDR0_ALERT_n		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
M4	J3	DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
T1	M2	DDR0_PAR	DDR0_PAR		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
M5	K5	DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
N3	J2	DDR0_WE_n	DDR0_WE_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
J1	F5	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
J2	G5	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
K3	G4	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
L5	H4	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
K4	J5	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
K1	H5	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
R2	P4	DDR0_A6	DDR0_A6		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
P2	N2	DDR0_A7	DDR0_A7		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
P1	P2	DDR0_A8	DDR0_A8		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
P4	N4	DDR0_A9	DDR0_A9		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
R5	N3	DDR0_A10	DDR0_A10		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
P5	M3	DDR0_A11	DDR0_A11		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
R6	P5	DDR0_A12	DDR0_A12		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
R1	N5	DDR0_A13	DDR0_A13		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
M1	L5	DDR0_BA0	DDR0_BA0		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
N1	L3	DDR0_BA1	DDR0_BA1		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
T4	L4	DDR0_BG0	DDR0_BG0		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
N2	L2	DDR0_BG1	DDR0_BG1		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
M2	K4	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
L1	J1	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
L2	K1	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
H2	G3	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
J4	H2	DDR0_CKE1	DDR0_CKE1		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	
L6	H3	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDSDDR、 VDDSDDR_C		DDR	

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
K2	G1	DDR0_CS1_n	DDR0_CS1_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
H5	E3	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
W5	R4	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
F4	C2	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
G5	E4	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
F3	D3	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
H6	E5	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
E3	D2	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
G2	F3	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
F2	F1	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
F1	F2	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
U1	R3	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
U3	R2	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
U2	T2	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
V5	U2	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
W2	U3	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
V6	U4	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
Y1	T4	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
W1	T5	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
E1	D1	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
E2	E1	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
V1	T1	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
V2	R1	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
H1	J4	DDR0_ODT0	DDR0_ODT0		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
J3	K2	DDR0_ODT1	DDR0_ODT1		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
G1	G2	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V/1.2V	VDDSD_DDR、 VDDSD_DDR_C		DDR	
E12	D9	EMU0 PADCONFIG : MCU_PADCONFIG30 0x04084078	EMU0	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
C11	B10	EMU1 PADCONFIG : MCU_PADCONFIG31 0x0408407C	EMU1	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVC MOS	PU/PD
D16	B16	EXTINTn PADCONFIG : PADCONFIG125 0x000F41F4	EXTINTn	0	I	1	关闭/关闭/不适用	关闭/关闭/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS	
			GPIO1_31	7	IOD	焊盘								
A18	C14	EXT_REFCLK1 PADCONFIG : PADCONFIG124 0x000F41F0	EXT_REFCLK1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVC MOS	PU/PD
			SYNC1_OUT	1	O									
			SPI2_CS3	2	IO	1								
			SYSCLKOUT0	3	O									
			TIMER_IO4	4	IO	0								
			CLKOUT0	5	O									
			CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
			GPIO1_30	7	IO	焊盘								
L23	K20	GPMC0_ADVn_ALE PADCONFIG : PADCONFIG33 0x000F4084	ECAP0_IN_APWM_OUT	8	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVC MOS	PU/PD
			GPMC0_ADVn_ALE	0	O									
			MCASP1_AXR2	2	IO	0								
			PR0_PRU0_GPO9	4	IO	0								
			PR0_PRU0_GPI9	5	I	0								
			TRC_DATA7	6	O									
			GPIO0_32	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
P25	M19	GPMC0_CLK PADCONFIG : PADCONFIG31 0x000F407C	GPMC0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			MCASP1_AXR3	2	IO	0								
			GPMC0_FCLK_MUX	3	O									
			PR0_PRU0_GPO8	4	IO	0								
			PR0_PRU0_GPI8	5	I	0								
			TRC_DATA6	6	O									
			GPIO0_31	7	IO	焊盘								
M22	J19	GPMC0_DIR PADCONFIG : PADCONFIG41 0x000F40A4	GPMC0_DIR	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			PR0_ECAP0_IN_APWM_OUT	1	IO	0								
			MCASP2_AXR13	3	IO	0								
			PR0_PRU0_GPO16	4	IO	0								
			PR0_PRU0_GPI16	5	I	0								
			TRC_DATA14	6	O									
			GPIO0_40	7	IO	焊盘								
L24	K21	GPMC0_OEn_REn PADCONFIG : PADCONFIG34 0x000F4088	GPMC0_OEn_REn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			MCASP1_AXR1	2	IO	0								
			PR0_PRU0_GPO10	4	IO	0								
			PR0_PRU0_GPI10	5	I	0								
			TRC_DATA8	6	O									
			GPIO0_33	7	IO	焊盘								
L25	J17	GPMC0_WEn PADCONFIG : PADCONFIG35 0x000F408C	GPMC0_WEn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			MCASP1_AXR0	2	IO	0								
			PR0_PRU0_GPO11	4	IO	0								
			PR0_PRU0_GPI11	5	I	0								
			TRC_DATA9	6	O									
			GPIO0_34	7	IO	焊盘								
K25	J20	GPMC0_WPn PADCONFIG : PADCONFIG40 0x000F40A0	GPMC0_WPn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			AUDIO_EXT_REFCLK1	1	IO	0								
			GPMC0_A22	2	OZ									
			UART6_TXD	3	O									
			PR0_PRU0_GPO15	4	IO	0								
			PR0_PRU0_GPI15	5	I	0								
			TRC_DATA13	6	O									
			GPIO0_39	7	IO	焊盘								

AM625, AM625-Q1, AM623, AM620-Q1

ZHCSQL8C - JUNE 2022 - REVISED OCTOBER 2025

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
M25	K19	GPMC0_AD0 PADCONFIG : PADCONFIG15 0x000F403C	GPMC0_AD0	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			PR0_PRU1_GPO8	1	O									
			PR0_PRU1_GPI8	2	I	0								
			MCASP2_AXR4	3	IO	0								
			PR0_PRU0_GPO0	4	IO	0								
			PR0_PRU0_GPI0	5	I	0								
			TRC_CLK	6	O									
			GPI00_15	7	IO	焊盘								
N23	L19	GPMC0_AD1 PADCONFIG : PADCONFIG16 0x000F4040	GPMC0_AD1	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			PR0_PRU1_GPO9	1	O									
			PR0_PRU1_GPI9	2	I	0								
			MCASP2_AXR5	3	IO	0								
			PR0_PRU0_GPO1	4	IO	0								
			PR0_PRU0_GPI1	5	I	0								
			TRC_CTL	6	O									
			GPI00_16	7	IO	焊盘								
N24	L20	GPMC0_AD2 PADCONFIG : PADCONFIG17 0x000F4044	GPMC0_AD2	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			PR0_PRU1_GPO10	1	O									
			PR0_PRU1_GPI10	2	I	0								
			MCASP2_AXR6	3	IO	0								
			PR0_PRU0_GPO2	4	IO	0								
			PR0_PRU0_GPI2	5	I	0								
			TRC_DATA0	6	O									
			GPI00_17	7	IO	焊盘								
N25	L21	GPMC0_AD3 PADCONFIG : PADCONFIG18 0x000F4048	GPMC0_AD3	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			PR0_PRU1_GPO11	1	O									
			PR0_PRU1_GPI11	2	I	0								
			MCASP2_AXR7	3	IO	0								
			PR0_PRU0_GPO3	4	IO	0								
			PR0_PRU0_GPI3	5	I	0								
			TRC_DATA1	6	O									
			GPI00_18	7	IO	焊盘								
N25	L21	GPMC0_AD3 PADCONFIG : PADCONFIG18 0x000F4048	BOOTMODE03	自举	I									

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
P24	M21	GPMC0_AD4 PADCONFIG : PADCONFIG19 0x000F404C	GPMC0_AD4	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			PR0_PRU1_GPO12	1	O									
			PR0_PRU1_GPI12	2	I	0								
			MCASP2_AXR8	3	IO	0								
			PR0_PRU0_GPO4	4	IO	0								
			PR0_PRU0_GPI4	5	I	0								
			TRC_DATA2	6	O									
			GPI00_19	7	IO	焊盘								
P22	L17	GPMC0_AD5 PADCONFIG : PADCONFIG20 0x000F4050	BOOTMODE04	自举	I		开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_AD5	0	IO	0								
			PR0_PRU1_GPO13	1	O									
			PR0_PRU1_GPI13	2	I	0								
			MCASP2_AXR9	3	IO	0								
			PR0_PRU0_GPO5	4	IO	0								
			PR0_PRU0_GPI5	5	I	0								
			TRC_DATA3	6	O									
P21	L18	GPMC0_AD6 PADCONFIG : PADCONFIG21 0x000F4054	GPI00_20	7	IO	焊盘	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			BOOTMODE05	自举	I									
			GPMC0_AD6	0	IO	0								
			PR0_PRU1_GPO14	1	O									
			PR0_PRU1_GPI14	2	I	0								
			MCASP2_AXR10	3	IO	0								
			PR0_PRU0_GPO6	4	IO	0								
			PR0_PRU0_GPI6	5	I	0								
R23	M20	GPMC0_AD7 PADCONFIG : PADCONFIG22 0x000F4058	TRC_DATA4	6	O		开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPI00_21	7	IO	焊盘								
			BOOTMODE06	自举	I									
			GPMC0_AD7	0	IO	0								
			PR0_PRU1_GPO15	1	O									
			PR0_PRU1_GPI15	2	I	0								
			MCASP2_AXR11	3	IO	0								
			PR0_PRU0_GPO7	4	IO	0								
			PR0_PRU0_GPI7	5	I	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			TRC_DATA5	6	O									
			GPI00_22	7	IO	焊盘								
			BOOTMODE07	自举	I									

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
R24	N20	GPMC0_AD8 PADCONFIG : PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA16	1	O									
			UART2_RXD	2	I	1								
			MCASP2_AXR0	3	IO	0								
			PR0_PRU1_GPO0	4	O									
			PR0_PRU1_GPI0	5	I	0								
			GPIO0_23	7	IO	焊盘								
			BOOTMODE08	自举	I									
R25	N21	GPMC0_AD9 PADCONFIG : PADCONFIG24 0x000F4060	GPMC0_AD9	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA17	1	O									
			UART2_TXD	2	O									
			MCASP2_AXR1	3	IO	0								
			PR0_PRU1_GPO1	4	O									
			PR0_PRU1_GPI1	5	I	0								
			GPIO0_24	7	IO	焊盘								
			BOOTMODE09	自举	I									
T25	M17	GPMC0_AD10 PADCONFIG : PADCONFIG25 0x000F4064	GPMC0_AD10	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA18	1	O									
			UART3_RXD	2	I	1								
			MCASP2_AXR2	3	IO	0								
			PR0_PRU1_GPO2	4	O									
			PR0_PRU1_GPI2	5	I	0								
			GPIO0_25	7	IO	焊盘								
			OBSClk0	8	O									
			BOOTMODE10	自举	I									
R21	N18	GPMC0_AD11 PADCONFIG : PADCONFIG26 0x000F4068	GPMC0_AD11	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA19	1	O									
			UART3_TXD	2	O									
			MCASP2_AXR3	3	IO	0								
			PR0_PRU1_GPO3	4	O									
			PR0_PRU1_GPI3	5	I	0								
			TRC_DATA23	6	O									
			GPIO0_26	7	IO	焊盘								
			BOOTMODE11	自举	I									

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
T22	N17	GPMC0_AD12 PADCONFIG : PADCONFIG27 0x000F406C	GPMC0_AD12	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA20	1	O									
			UART4_RXD	2	I	1								
			MCASP2_AFSX	3	IO	0								
			PR0_PRU0_GPO0	4	IO	0								
			PR0_PRU0_GPI0	5	I	0								
			TRC_DATA22	6	O									
			GPI00_27	7	IO	焊盘								
T24	N19	GPMC0_AD13 PADCONFIG : PADCONFIG28 0x000F4070	GPMC0_AD13	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA21	1	O									
			UART4_TXD	2	O									
			MCASP2_ACLKX	3	IO	0								
			PR0_PRU0_GPO1	4	IO	0								
			PR0_PRU0_GPI1	5	I	0								
			TRC_DATA21	6	O									
			GPI00_28	7	IO	焊盘								
U25	P19	GPMC0_AD14 PADCONFIG : PADCONFIG29 0x000F4074	BOOTMODE12	自举	I		开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_AD14	0	IO	0								
			VOUT0_DATA22	1	O									
			UART5_RXD	2	I	1								
			MCASP2_AFSR	3	IO	0								
			PR0_PRU0_GPO2	4	IO	0								
			PR0_PRU0_GPI2	5	I	0								
			TRC_DATA20	6	O									
			GPI00_29	7	IO	焊盘	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			UART2_CTSn	8	I	1								
			BOOTMODE14	自举	I									

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
U24	P20	GPMC0_AD15 PADCONFIG : PADCONFIG30 0x000F4078	GPMC0_AD15	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA23	1	O									
			UART5_TXD	2	O									
			MCASP2_ACLKR	3	IO	0								
			PR0_PRU0_GPO3	4	IO	0								
			PR0_PRU0_GPI3	5	I	0								
			TRC_DATA19	6	O									
			GPIO0_30	7	IO	焊盘								
			UART2_RTSn	8	O									
			BOOTMODE15	自举	I									
M24	K17	GPMC0_BE0n_CLE PADCONFIG : PADCONFIG36 0x000F4090	GPMC0_BE0n_CLE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			MCASP1_ACLKX	2	IO	0								
			PR0_PRU0_GPO12	4	IO	0								
			PR0_PRU0_GPI12	5	I	0								
			TRC_DATA10	6	O									
			GPIO0_35	7	IO	焊盘								
N20	K18	GPMC0_BE1n PADCONFIG : PADCONFIG37 0x000F4094	GPMC0_BE1n	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			MCASP2_AXR12	3	IO	0								
			PR0_PRU0_GPO13	4	IO	0								
			PR0_PRU0_GPI13	5	I	0								
			TRC_DATA11	6	O									
M21	J18	GPMC0_CS0 PADCONFIG : PADCONFIG42 0x000F40A8	GPMC0_CS0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			MCASP2_AXR14	3	IO	0								
			PR0_PRU0_GPO17	4	IO	0								
			PR0_PRU0_GPI17	5	I	0								
			TRC_DATA15	6	O									
			GPIO0_41	7	IO	焊盘								
L21	H17	GPMC0_CS1 PADCONFIG : PADCONFIG43 0x000F40AC	GPMC0_CS1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			PR0_PRU1_GPO16	1	O									
			PR0_PRU1_GPI16	2	I	0								
			MCASP2_AXR15	3	IO	0								
			PR0_PRU0_GPO18	4	IO	0								
			PR0_PRU0_GPI18	5	I	0								
			TRC_DATA16	6	O									
			GPIO0_42	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
K22	H18	GPMC0_CSn2 PADCONFIG : PADCONFIG44 0x000F40B0	GPMC0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			I2C2_SCL	1	IOD	1								
			MCASP1_AXR4	2	IO	0								
			UART4_RXD	3	I	1								
			PR0_PRU0_GPO19	4	IO	0								
			PR0_PRU0_GPI19	5	I	0								
			TRC_DATA17	6	O									
			GPIO0_43	7	IO	焊盘								
K24	H19	GPMC0_CSn3 PADCONFIG : PADCONFIG45 0x000F40B4	MCASP1_AFSR	8	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_CSn3	0	O									
			I2C2_SDA	1	IOD	1								
			GPMC0_A20	2	OZ									
			UART4_TXD	3	O									
			MCASP1_AXR5	4	IO	0								
			TRC_DATA18	6	O									
U23	P21	GPMC0_WAIT0 PADCONFIG : PADCONFIG38 0x000F4098	GPIO0_44	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			MCASP1_ACLKR	8	IO	0								
			GPMC0_WAIT0	0	I	1								
			MCASP1_AFSX	2	IO	0								
			PR0_PRU0_GPO14	4	IO	0								
			PR0_PRU0_GPI14	5	I	0								
V25	P17	GPMC0_WAIT1 PADCONFIG : PADCONFIG39 0x000F409C	TRC_DATA12	6	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPIO0_37	7	IO	焊盘								
			GPMC0_WAIT1	0	I	1								
			VOUT0_EXTCLKIN	1	I	0								
			GPMC0_A21	2	OZ									
			UART6_RXD	3	I	1								
			GPIO0_38	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			EQEP2_I	8	IO	0								

AM625, AM625-Q1, AM623, AM620-Q1

ZHCSQL8C - JUNE 2022 - REVISED OCTOBER 2025

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
B16	E12	I2C0_SCL PADCONFIG : PADCONFIG120 0x000F41E0	I2C0_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			PR0_IEP0_EDIO_DATA_IN_OUT30	1	IO	0								
			SYNCO_OUT	2	O									
			OBSCLK0	3	O									
			UART1_DCDn	4	I	1								
			EQEP2_A	5	I	0								
			EHRPWM_SOCa	6	O									
			GPIO1_26	7	IO	焊盘								
			ECAP1_IN_APWM_OUT	8	IO	0								
A16	D14	I2C0_SDA PADCONFIG : PADCONFIG121 0x000F41E4	I2C0_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			PR0_IEP0_EDIO_DATA_IN_OUT31	1	IO	0								
			SPI2_CS2	2	IO	1								
			TIMER_IO5	3	IO	0								
			UART1_DSRRn	4	I	1								
			EQEP2_B	5	I	0								
			EHRPWM_SOCB	6	O									
			GPIO1_27	7	IO	焊盘								
			ECAP2_IN_APWM_OUT	8	IO	0								
B17	A17	I2C1_SCL PADCONFIG : PADCONFIG122 0x000F41E8	I2C1_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			UART1_RXD	1	I	1								
			TIMER_IO0	2	IO	0								
			SPI2_CS1	3	IO	1								
			EHRPWM0_SYNCI	4	I	0								
			GPIO1_28	7	IO	焊盘								
			EHRPWM2_A	8	IO	0								
A17	A16	I2C1_SDA PADCONFIG : PADCONFIG123 0x000F41EC	MMC2_SDCCD	9	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			I2C1_SDA	0	IOD	1								
			UART1_TXD	1	O									
			TIMER_IO1	2	IO	0								
			SPI2_CLK	3	IO	0								
			EHRPWM0_SYNCO	4	O									
			GPIO1_29	7	IO	焊盘								
			EHRPWM2_B	8	IO	0								
			MMC2_SDWP	9	I	1								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
E15	A15	MCAN0_RX PADCONFIG : PADCONFIG119 0x000F41DC	MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			UART5_TXD	1	O									
			TIMER_IO3	2	IO	0								
			SYNC3_OUT	3	O									
			UART1_Rln	4	I	1								
			EQEP2_S	5	IO	0								
			PR0_UART0_TXD	6	O									
			GPIO1_25	7	IO	焊盘								
			MCASP2_AXR1	8	IO	0								
C15	B13	MCAN0_TX PADCONFIG : PADCONFIG118 0x000F41D8	MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			UART5_RXD	1	I	1								
			TIMER_IO2	2	IO	0								
			SYNC2_OUT	3	O									
			UART1_DTRn	4	O									
			EQEP2_I	5	IO	0								
			PR0_UART0_RXD	6	I	1								
			GPIO1_24	7	IO	焊盘								
			MCASP2_AXR0	8	IO	0								
A20	D16	MCASP0_ACLKR PADCONFIG : PADCONFIG108 0x000F41B0	MCASP0_ACLKR	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI2_CLK	1	IO	0								
			UART1_TXD	2	O									
			EHRPWM0_B	6	IO	0								
			GPIO1_14	7	IO	焊盘								
B20	C17	MCASP0_ACLKX PADCONFIG : PADCONFIG105 0x000F41A4	EQEP1_I	8	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			MCASP0_ACLKX	0	IO	0								
			SPI2_CS1	1	IO	1								
			ECAP2_IN_APWM_OUT	2	IO	0								
			GPIO1_11	7	IO	焊盘								
			EQEP1_A	8	I	0								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
E19	D15	MCASP0_AFSR PADCONFIG : PADCONFIG107 0x000F41AC	MCASP0_AFSR	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI2_CS0	1	IO	1								
			UART1_RXD	2	I	1								
			EHRPWM0_A	6	IO	0								
			GPIO1_13	7	IO	焊盘								
			EQEP1_S	8	IO	0								
D20	C16	MCASP0_AFSX PADCONFIG : PADCONFIG106 0x000F41A8	MCASP0_AFSX	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI2_CS3	1	IO	1								
			AUDIO_EXT_REFCLK1	2	IO	0								
			GPIO1_12	7	IO	焊盘								
			EQEP1_B	8	I	0								
E18	D18	MCASP0_AXR0 PADCONFIG : PADCONFIG104 0x000F41A0	MCASP0_AXR0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			PR0_ECAP0_IN_APWM_OUT	1	IO	0								
			AUDIO_EXT_REFCLK0	2	IO	0								
			PR0_UART0_TXD	5	O									
			EHRPWM1_B	6	IO	0								
			GPIO1_10	7	IO	焊盘								
			EQEP0_I	8	IO	0								
B18	A18	MCASP0_AXR1 PADCONFIG : PADCONFIG103 0x000F419C	MCASP0_AXR1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI2_CS2	1	IO	1								
			ECAP1_IN_APWM_OUT	2	IO	0								
			PR0_UART0_RXD	5	I	1								
			EHRPWM1_A	6	IO	0								
			GPIO1_9	7	IO	焊盘								
			EQEP0_S	8	IO	0								
A19	B17	MCASP0_AXR2 PADCONFIG : PADCONFIG102 0x000F4198	MCASP0_AXR2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI2_D1	1	IO	0								
			UART1_RTSn	2	O									
			UART6_TXD	3	O									
			PR0_IEP0_EDIO_DATA_IN_OUT29	4	IO	0								
			ECAP2_IN_APWM_OUT	5	IO	0								
			PR0_UART0_TXD	6	O									
			GPIO1_8	7	IO	焊盘								
			EQEP0_B	8	I	0								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
B19	B18	MCASP0_AXR3 PADCONFIG : PADCONFIG101 0x000F4194	MCASP0_AXR3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI2_D0	1	IO	0								
			UART1_CTSn	2	I	1								
			UART6_RXD	3	I	1								
			PR0_IEP0_EDIO_DATA_IN_OUT28	4	IO	0								
			ECAP1_IN_APWM_OUT	5	IO	0								
			PR0_UART0_RXD	6	I	1								
			GPIO1_7	7	IO	焊盘								
			EQEP0_A	8	I	0								
D1	B1	MCU_ERRORn PADCONFIG : MCU_PADCONFIG24 0x04084060	MCU_ERRORn	0	IO		关闭/关闭/下拉	开启/SS/下拉	0	1.8V	VDDS_OSC0	是	LVCMOS	PU/PD
A8	B9	MCU_I2C0_SCL PADCONFIG : MCU_PADCONFIG17 0x04084044	MCU_I2C0_SCL	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C OD FS	
			MCU_GPIO0_17	7	IOD	焊盘								
D10	A10	MCU_I2C0_SDA PADCONFIG : MCU_PADCONFIG18 0x04084048	MCU_I2C0_SDA	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C OD FS	
			MCU_GPIO0_18	7	IOD	焊盘								
B3	C4	MCU_MCAN0_RX PADCONFIG : MCU_PADCONFIG14 0x04084038	MCU_MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_TIMER_IO0	1	IO	0								
			MCU_SPI1_CS3	2	IO	1								
			MCU_GPIO0_14	7	IO	焊盘								
D6	C5	MCU_MCAN0_TX PADCONFIG : MCU_PADCONFIG13 0x04084034	MCU_MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			WKUP_TIMER_IO0	1	IO	0								
			MCU_SPI0_CS3	2	IO	1								
			MCU_GPIO0_13	7	IO	焊盘								
D4	D6	MCU_MCAN1_RX PADCONFIG : MCU_PADCONFIG16 0x04084040	MCU_MCAN1_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_TIMER_IO3	1	IO	0								
			MCU_SPI0_CS2	2	IO	1								
			MCU_SPI1_CS2	3	IO	1								
			MCU_SPI1_CLK	4	IO	0								
			MCU_GPIO0_16	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
E5	D5	MCU_MCAN1_TX PADCONFIG : MCU_PADCONFIG15 0x0408403C	MCU_MCAN1_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_TIMER_IO2	1	IO	0								
			MCU_SPI1_CS1	3	IO	1								
			MCU_EXT_REFCLK0	4	I	0								
			MCU_GPIO0_15	7	IO	焊盘								
B2	A5	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8V	VDDS_OSC0		HFOSC	
A3	A6	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8V	VDDS_OSC0		HFOSC	
D2	B2	MCU_PORz PADCONFIG : MCU_PADCONFIG22 0x04084058	MCU_PORz	0	I				0	1.8V	VDDS_OSC0	是	FS 复位	
B12	A12	MCU_RESETSTATz PADCONFIG : MCU_PADCONFIG23 0x0408405C	MCU_RESETSTATz	0	O		关闭/低电平/关 闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
			MCU_GPIO0_21	7	IO	焊盘								
E11	C9	MCU_RESETz PADCONFIG : MCU_PADCONFIG21 0x04084054	MCU_RESETz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
A7	B7	MCU_SPI0_CLK PADCONFIG : MCU_PADCONFIG2 0x04084008	MCU_SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
			MCU_GPIO0_2	7	IO	焊盘								
E8	E7	MCU_SPI0_CS0 PADCONFIG : MCU_PADCONFIG0 0x04084000	MCU_SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
			WKUP_TIMER_IO1	4	IO	0								
			MCU_GPIO0_0	7	IO	焊盘								
B8	C8	MCU_SPI0_CS1 PADCONFIG : MCU_PADCONFIG1 0x04084004	MCU_SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
			MCU_OBSCCLK0	1	O									
			MCU_SYSCLKOUT0	2	O									
			MCU_EXT_REFCLK0	3	I	0								
			MCU_TIMER_IO1	4	IO	0								
			MCU_GPIO0_1	7	IO	焊盘								
D9	E8	MCU_SPI0_D0 PADCONFIG : MCU_PADCONFIG3 0x0408400C	MCU_SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
			MCU_GPIO0_3	7	IO	焊盘								
C9	D8	MCU_SPI0_D1 PADCONFIG : MCU_PADCONFIG4 0x04084010	MCU_SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
			MCU_GPIO0_4	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A6	B8	MCU_UART0_CTSn PADCONFIG : MCU_PADCONFIG7 0x0408401C	MCU_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_TIMER_IO0	1	IO	0								
			MCU_SPI1_D0	3	IO	0								
			MCU_GPIO0_7	7	IO	焊盘								
B6	D7	MCU_UART0_RTSn PADCONFIG : MCU_PADCONFIG8 0x04084020	MCU_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_TIMER_IO1	1	IO	0								
			MCU_SPI1_D1	3	IO	0								
			MCU_GPIO0_8	7	IO	焊盘								
B5	A8	MCU_UART0_RXD PADCONFIG : MCU_PADCONFIG5 0x04084014	MCU_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_GPIO0_5	7	IO	焊盘								
A5	B6	MCU_UART0_TXD PADCONFIG : MCU_PADCONFIG6 0x04084018	MCU_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_GPIO0_6	7	IO	焊盘								
AD24	V17	MDIO0_MDC PADCONFIG : PADCONFIG88 0x000F4160	MDIO0_MDC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			GPIO0_86	7	IO	焊盘								
AB22	U16	MDIO0_MDIO PADCONFIG : PADCONFIG87 0x000F415C	MDIO0_MDIO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			GPIO0_85	7	IO	焊盘								
AB1	Y1	MMC0_CLK PADCONFIG : PADCONFIG134 0x000F4218	MMC0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			I2C3_SCL	1	IOD	1								
			EHRPWM2_A	2	IO	0								
			PR0_PRU1_GPO4	3	O									
			PR0_PRU1_GPI4	4	I	0								
			SPI1_CS1	5	IO	1								
			TIMER_IO4	6	IO	0								
			GPIO1_40	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
Y3	V3	MMC0_CMD PADCONFIG : PADCONFIG136 0x000F4220	MMC0_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			I2C3_SDA	1	IOD	1								
			EHRPWM2_B	2	IO	0								
			PR0_PRU0_GPO4	3	IO	0								
			PR0_PRU0_GPI4	4	I	0								
			SPI1_CS2	5	IO	1								
			TIMER_IO5	6	IO	0								
B22	A20	MMC1_CLK PADCONFIG : PADCONFIG141 0x000F4234	GPIO1_41	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
			MMC1_CLK	0	IO	0								
			TIMER_IO4	2	IO	0								
			UART3_RXD	3	I	1								
A21	C18	MMC1_CMD PADCONFIG : PADCONFIG143 0x000F423C	GPIO1_46	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
			MMC1_CMD	0	IO	1								
			TIMER_IO5	2	IO	0								
			UART3_TXD	3	O									
D17	C15	MMC1_SD CD PADCONFIG : PADCONFIG144 0x000F4240	GPIO1_47	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			MMC1_SD CD	0	I	1								
			UART6_RXD	1	I	1								
			TIMER_IO6	2	IO	0								
C17	B15	MMC1_SD WP PADCONFIG : PADCONFIG145 0x000F4244	UART3_RT Sn	3	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			GPIO1_48	7	IO	焊盘								
			MMC1_SD WP	0	I	1								
			UART6_TXD	1	O									
D25	E21	MMC2_CLK PADCONFIG : PADCONFIG70 0x000F4118	TIMER_IO7	2	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			UART3_CTSn	3	I	1								
			GPIO1_49	7	IO	焊盘								
			MMC2_CLK	0	IO	0								
C24	C21	MMC2_CMD PADCONFIG : PADCONFIG72 0x000F4120	MCASP1_ACLKR	1	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			MCASP1_AXR5	2	IO	0								
			UART6_RXD	3	I	1								
			GPIO0_69	7	IO	焊盘								
C24	C21	MMC2_CMD PADCONFIG : PADCONFIG72 0x000F4120	MMC2_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			MCASP1_AFSR	1	IO	0								
			MCASP1_AXR4	2	IO	0								
			UART6_TXD	3	O									
C24	C21	MMC2_CMD PADCONFIG : PADCONFIG72 0x000F4120	GPIO0_70	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			GPIO0_70	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A23	D20	MMC2_SDCCD PADCONFIG : PADCONFIG73 0x000F4124	MMC2_SDCCD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	LVCMOS	PU/PD
			MCASP1_ACLKX	1	IO	0								
			UART4_RXD	3	I	1								
			GPIO0_71	7	IO	焊盘								
B23	C20	MMC2_SDWP PADCONFIG : PADCONFIG74 0x000F4128	MMC2_SDWP	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	LVCMOS	PU/PD
			MCASP1_AFSX	1	IO	0								
			UART4_TXD	3	O									
			GPIO0_72	7	IO	焊盘								
AA2	V2	MMC0_DAT0 PADCONFIG : PADCONFIG133 0x000F4214	MMC0_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			UART3_CTSn	1	I	1								
			EHRPWM_TZn_IN1	2	I	0								
			PR0_PRU0_GPO3	3	IO	0								
			PR0_PRU0_GPI3	4	I	0								
			SPI2_CLK	6	IO	0								
AA1	V1	MMC0_DAT1 PADCONFIG : PADCONFIG132 0x000F4210	GPIO1_39	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			MMC0_DAT1	0	IO	1								
			UART3_RTSn	1	O									
			EHRPWM1_B	2	IO	0								
			PR0_PRU0_GPO2	3	IO	0								
			PR0_PRU0_GPI2	4	I	0								
			SPI1_CS3	5	IO	1								
AA3	W2	MMC0_DAT2 PADCONFIG : PADCONFIG131 0x000F420C	SPI2_CS0	6	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			GPIO1_38	7	IO	焊盘								
			MMC0_DAT2	0	IO	1								
			UART3_TXD	1	O									
			EHRPWM1_A	2	IO	0								
			PR0_PRU0_GPO1	3	IO	0								
			PR0_PRU0_GPI1	4	I	0								
			SPI1_CLK	5	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			TIMER_IO0	6	IO	0								
			GPIO1_37	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
Y4	W1	MMC0_DAT3 PADCONFIG : PADCONFIG130 0x000F4208	MMC0_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			UART3_RXD	1	I	1								
			EHRPWM0_B	2	IO	0								
			PR0_PRU0_GPO0	3	IO	0								
			PR0_PRU0_GPI0	4	I	0								
			SPI1_CS0	5	IO	1								
			SPI2_CS2	6	IO	1								
			GPIO1_36	7	IO	焊盘								
AB2	Y2	MMC0_DAT4 PADCONFIG : PADCONFIG129 0x000F4204	MMC0_DAT4	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			UART2_CTSn	1	I	1								
			EHRPWM0_A	2	IO	0								
			PR0_PRU1_GPO3	3	O									
			PR0_PRU1_GPI3	4	I	0								
			SPI2_D1	6	IO	0								
AC1	W3	MMC0_DAT5 PADCONFIG : PADCONFIG128 0x000F4200	GPIO1_35	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			MMC0_DAT5	0	IO	1								
			UART2_RTSn	1	O									
			EHRPWM_TZn_IN2	2	I	0								
			PR0_PRU1_GPO2	3	O									
			PR0_PRU1_GPI2	4	I	0								
AD2	W4	MMC0_DAT6 PADCONFIG : PADCONFIG127 0x000F41FC	SPI2_D0	6	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			GPIO1_34	7	IO	焊盘								
			MMC0_DAT6	0	IO	1								
			UART2_TXD	1	O									
			EHRPWM0_SYNC0	2	O									
			PR0_PRU1_GPO1	3	O									
			PR0_PRU1_GPI1	4	I	0								
			SPI1_D1	5	IO	0								
			SPI2_CS3	6	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			GPIO1_33	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AC2	V4	MMC0_DAT7 PADCONFIG : PADCONFIG126 0x000F41F8	MMC0_DAT7	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
			UART2_RXD	1	I	1								
			EHRPWM0_SYNCI	2	I	0								
			PR0_PRU1_GPO0	3	O									
			PR0_PRU1_GPI0	4	I	0								
			SPI1_D0	5	IO	0								
			SPI2_CS1	6	IO	1								
A22	A19	MMC1_DAT0 PADCONFIG : PADCONFIG140 0x000F4230	GPIO1_32	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
			MMC1_DAT0	0	IO	1								
			CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
			TIMER_IO3	2	IO	0								
			UART2_CTSn	3	I	1								
			ECAP2_IN_APWM_OUT	4	IO	0								
B21	B19	MMC1_DAT1 PADCONFIG : PADCONFIG139 0x000F422C	GPIO1_45	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
			MMC1_DAT1	0	IO	1								
			CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
			TIMER_IO2	2	IO	0								
			UART2_RTSn	3	O									
			ECAP1_IN_APWM_OUT	4	IO	0								
C21	B20	MMC1_DAT2 PADCONFIG : PADCONFIG138 0x000F4228	GPIO1_44	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
			MMC1_DAT2	0	IO	1								
			CP_GEMAC_CPTS0_TS_SYNC	1	O									
			TIMER_IO1	2	IO	0								
			UART2_TXD	3	O									
D22	C19	MMC1_DAT3 PADCONFIG : PADCONFIG137 0x000F4224	GPIO1_43	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
			MMC1_DAT3	0	IO	1								
			CP_GEMAC_CPTS0_TS_COMP	1	O									
			TIMER_IO0	2	IO	0								
			UART2_RXD	3	I	1								
B24	B21	MMC2_DAT0 PADCONFIG : PADCONFIG69 0x000F4114	GPIO1_42	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			MMC2_DAT0	0	IO	1								
			MCASP1_AXR0	1	IO	0								
			GPIO0_68	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
C25	D21	MMC2_DAT1 PADCONFIG : PADCONFIG68 0x000F4110	MMC2_DAT1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			MCASP1_AXR1	1	IO	0								
			GPIO0_67	7	IO	焊盘								
E23	E19	MMC2_DAT2 PADCONFIG : PADCONFIG67 0x000F410C	MMC2_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			MCASP1_AXR2	1	IO	0								
			UART5_TXD	3	O									
			GPIO0_66	7	IO	焊盘								
D24	E20	MMC2_DAT3 PADCONFIG : PADCONFIG66 0x000F4108	MMC2_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD
			MCASP1_AXR3	1	IO	0								
			UART5_RXD	3	I	1								
			GPIO0_65	7	IO	焊盘								
AA5	AA2	OLDI0_A0N	OLDI0_A0N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
Y6	AA3	OLDI0_A0P	OLDI0_A0P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AD3	V5	OLDI0_A1N	OLDI0_A1N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AB4	V6	OLDI0_A1P	OLDI0_A1P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
Y8	U7	OLDI0_A2N	OLDI0_A2N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AA8	U6	OLDI0_A2P	OLDI0_A2P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AB6	W6	OLDI0_A3N	OLDI0_A3N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AA7	W5	OLDI0_A3P	OLDI0_A3P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AC6	AA4	OLDI0_A4N	OLDI0_A4N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AC5	Y5	OLDI0_A4P	OLDI0_A4P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AE5	AA6	OLDI0_A5N	OLDI0_A5N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AD6	AA5	OLDI0_A5P	OLDI0_A5P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AE6	AA10	OLDI0_A6N	OLDI0_A6N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AD7	Y9	OLDI0_A6P	OLDI0_A6P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AD8	AA8	OLDI0_A7N	OLDI0_A7N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AE7	Y8	OLDI0_A7P	OLDI0_A7P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AD4	V7	OLDI0_CLK0N	OLDI0_CLK0N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AE3	V8	OLDI0_CLK0P	OLDI0_CLK0P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AE4	Y7	OLDI0_CLK1N	OLDI0_CLK1N		IO					1.8V	VDDA_1P8_OLDI		OLDI	
AD5	AA7	OLDI0_CLK1P	OLDI0_CLK1P		IO					1.8V	VDDA_1P8_OLDI		OLDI	
H24	G19	OSPI0_CLK PADCONFIG : PADCONFIG0 0x000F4000	OSPI0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			GPIO0_0	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
J24	H20	OSPI0_DQS PADCONFIG : PADCONFIG2 0x000F4008	OSPI0_DQS	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			UART5_CTSn	5	I	1								
			GPIO0_2	7	IO	焊盘								
G25	G18	OSPI0_LBCLKO PADCONFIG : PADCONFIG1 0x000F4004	OSPI0_LBCLKO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			UART5_RTSn	5	O									
			GPIO0_1	7	IO	焊盘								
F23	F19	OSPI0_CSn0 PADCONFIG : PADCONFIG11 0x000F402C	OSPI0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			GPIO0_11	7	IO	焊盘								
G21	F17	OSPI0_CSn1 PADCONFIG : PADCONFIG12 0x000F4030	OSPI0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			GPIO0_12	7	IO	焊盘								
H21	E17	OSPI0_CSn2 PADCONFIG : PADCONFIG13 0x000F4034	OSPI0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			SPI1_CS1	1	IO	1								
			OSPI0_RESET_OUT1	2	O									
			MCASP1_AFSR	3	IO	0								
			MCASP1_AXR2	4	IO	0								
			UART5_RXD	5	I	1								
E24	E18	OSPI0_CSn3 PADCONFIG : PADCONFIG14 0x000F4038	GPIO0_13	7	IO	焊盘								
			OSPI0_CSn3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			OSPI0_RESET_OUT0	1	O									
			OSPI0_ECC_FAIL	2	I	1								
			MCASP1_ACLKR	3	IO	0								
			MCASP1_AXR3	4	IO	0								
E25	F18	OSPI0_D0 PADCONFIG : PADCONFIG3 0x000F400C	UART5_TXD	5	O									
			GPIO0_14	7	IO	焊盘								
G24	G17	OSPI0_D1 PADCONFIG : PADCONFIG4 0x000F4010	OSPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			GPIO0_3	7	IO	焊盘								
G24	G17	OSPI0_D1 PADCONFIG : PADCONFIG4 0x000F4010	OSPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			GPIO0_4	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
F25	F21	OSPI0_D2 PADCONFIG : PADCONFIG5 0x000F4014	OSPI0_D2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			GPIO0_5	7	IO	焊盘								
F24	F20	OSPI0_D3 PADCONFIG : PADCONFIG6 0x000F4018	OSPI0_D3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			GPIO0_6	7	IO	焊盘								
J23	G21	OSPI0_D4 PADCONFIG : PADCONFIG7 0x000F401C	OSPI0_D4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			SPI1_CS0	1	IO	1								
			MCASP1_AXR1	2	IO	0								
			UART6_RXD	3	I	1								
			GPIO0_7	7	IO	焊盘								
J25	H21	OSPI0_D5 PADCONFIG : PADCONFIG8 0x000F4020	OSPI0_D5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			SPI1_CLK	1	IO	0								
			MCASP1_AXR0	2	IO	0								
			UART6_TXD	3	O									
			GPIO0_8	7	IO	焊盘								
H25	G20	OSPI0_D6 PADCONFIG : PADCONFIG9 0x000F4024	OSPI0_D6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			SPI1_D0	1	IO	0								
			MCASP1_ACLKX	2	IO	0								
			UART6_RTSn	3	O									
			GPIO0_9	7	IO	焊盘								
J22	J21	OSPI0_D7 PADCONFIG : PADCONFIG10 0x000F4028	OSPI0_D7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
			SPI1_D1	1	IO	0								
			MCASP1_AFSX	2	IO	0								
			UART6_CTSn	3	I	1								
			GPIO0_10	7	IO	焊盘								
B7	C7	PMIC_LPM_EN0 PADCONFIG : MCU_PADCONFIG32 0x04084080	PMIC_LPM_EN0	0	O		关闭/关闭/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_GPIO0_22	7	IO	焊盘								
E21	E13	PORz_OUT PADCONFIG : PADCONFIG148 0x000F4250	PORz_OUT	0	O		关闭/低电平/关 闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
F22	E14	RESETSTATz PADCONFIG : PADCONFIG147 0x000F424C	RESETSTATz	0	O		关闭/低电平/关 闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
F20	E15	RESET_REQz PADCONFIG : PADCONFIG146 0x000F4248	RESET_REQz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0	是	LVC MOS	PU/PD
AD17	AA16	RGMII1_RXC PADCONFIG : PADCONFIG82 0x000F4148	RGMII1_RXC	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
			RMII1_REF_CLK	1	I	0								
			PR0_UART0_CTSn	2	I	1								
			GPIO0_80	7	IO	焊盘								
AE17	W14	RGMII1_RX_CTL PADCONFIG : PADCONFIG81 0x000F4144	RGMII1_RX_CTL	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
			RMII1_RX_ER	1	I	0								
			GPIO0_79	7	IO	焊盘								
AE19	W16	RGMII1_TXC PADCONFIG : PADCONFIG76 0x000F4130	RGMII1_TXC	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
			RMII1_CRD_DV	1	I	0								
			GPIO0_74	7	IO	焊盘								
AD19	V15	RGMII1_TX_CTL PADCONFIG : PADCONFIG75 0x000F412C	RGMII1_TX_CTL	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
			RMII1_TX_EN	1	O									
			GPIO0_73	7	IO	焊盘								
AD23	V18	RGMII2_RXC PADCONFIG : PADCONFIG96 0x000F4180	RGMII2_RXC	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
			RMII2_REF_CLK	1	I	0								
			MCASP2_AXR1	2	IO	0								
			PR0_PRU0_GPO1	3	IO	0								
			PR0_PRU0_GPI1	4	I	0								
			PR0_ECAP0_SYNC_IN	5	I	0								
			GPIO1_2	7	IO	焊盘								
AD22	W19	RGMII2_RX_CTL PADCONFIG : PADCONFIG95 0x000F417C	RGMII2_RX_CTL	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
			RMII2_RX_ER	1	I	0								
			MCASP2_AXR3	2	IO	0								
			PR0_PRU0_GPO0	3	IO	0								
			PR0_PRU0_GPI0	4	I	0								
			GPIO1_1	7	IO	焊盘								
AE21	Y18	RGMII2_TXC PADCONFIG : PADCONFIG90 0x000F4168	RGMII2_TXC	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVC MOS	PU/PD
			RMII2_CRD_DV	1	I	0								
			MCASP2_AXR5	2	IO	0								
			PR0_PRU1_GPO1	3	O									
			PR0_PRU1_GPI1	4	I	0								
			GPIO0_88	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AA19	Y21	RGMII2_TX_CTL PADCONFIG : PADCONFIG89 0x000F4164	RGMII2_TX_CTL	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII2_TX_EN	1	O									
			MCASP2_AXR4	2	IO	0								
			PR0_PRU1_GPO0	3	O									
			PR0_PRU1_GPI0	4	I	0								
			GPIO0_87	7	IO	焊盘								
AB17	W15	RGMII1_RD0 PADCONFIG : PADCONFIG83 0x000F414C	RGMII1_RD0	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII1_RXD0	1	I	0								
			GPIO0_81	7	IO	焊盘								
AC17	Y16	RGMII1_RD1 PADCONFIG : PADCONFIG84 0x000F4150	RGMII1_RD1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII1_RXD1	1	I	0								
			GPIO0_82	7	IO	焊盘								
AB16	AA17	RGMII1_RD2 PADCONFIG : PADCONFIG85 0x000F4154	RGMII1_RD2	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			PR0_UART0_RTSn	2	O									
			GPIO0_83	7	IO	焊盘								
AA15	Y15	RGMII1_RD3 PADCONFIG : PADCONFIG86 0x000F4158	RGMII1_RD3	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			GPIO0_84	7	IO	焊盘								
AE20	U14	RGMII1_TD0 PADCONFIG : PADCONFIG77 0x000F4134	RGMII1_TD0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII1_TXD0	1	O									
			GPIO0_75	7	IO	焊盘								
AD20	AA19	RGMII1_TD1 PADCONFIG : PADCONFIG78 0x000F4138	RGMII1_TD1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII1_TXD1	1	O									
			GPIO0_76	7	IO	焊盘								
AE18	Y17	RGMII1_TD2 PADCONFIG : PADCONFIG79 0x000F413C	RGMII1_TD2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			PR0_UART0_RXD	2	I	1								
			GPIO0_77	7	IO	焊盘								
AD18	AA18	RGMII1_TD3 PADCONFIG : PADCONFIG80 0x000F4140	RGMII1_TD3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			PR0_UART0_TXD	2	O									
			GPIO0_78	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AE23	W18	RGMII2_RD0 PADCONFIG : PADCONFIG97 0x000F4184	RGMII2_RD0	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII2_RXD0	1	I	0								
			MCASP2_AXR2	2	IO	0								
			PR0_PRU0_GPO2	3	IO	0								
			PR0_PRU0_GPI2	4	I	0								
			PR0_UART0_RTSn	6	O									
			GPIO1_3	7	IO	焊盘								
AB20	Y20	RGMII2_RD1 PADCONFIG : PADCONFIG98 0x000F4188	RGMII2_RD1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII2_RXD1	1	I	0								
			MCASP2_AFSR	2	IO	0								
			PR0_PRU0_GPO3	3	IO	0								
			PR0_PRU0_GPI3	4	I	0								
			MCASP2_AXR7	5	IO	0								
			GPIO1_4	7	IO	焊盘								
AC21	Y19	RGMII2_RD2 PADCONFIG : PADCONFIG99 0x000F418C	RGMII2_RD2	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			MCASP2_AXR0	2	IO	0								
			PR0_PRU0_GPO4	3	IO	0								
			PR0_PRU0_GPI4	4	I	0								
			PR0_UART0_RXD	5	I	1								
			GPIO1_5	7	IO	焊盘								
			EQEP2_A	8	I	0								
AE22	W20	RGMII2_RD3 PADCONFIG : PADCONFIG100 0x000F4190	RGMII2_RD3	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			AUDIO_EXT_REFCLK0	2	IO	0								
			PR0_PRU0_GPO16	3	IO	0								
			PR0_PRU0_GPI16	4	I	0								
			PR0_UART0_TXD	5	O									
			GPIO1_6	7	IO	焊盘								
			EQEP2_B	8	I	0								
Y18	AA20	RGMII2_TD0 PADCONFIG : PADCONFIG91 0x000F416C	RGMII2_TD0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII2_TXD0	1	O									
			MCASP2_AXR6	2	IO	0								
			PR0_PRU1_GPO2	3	O									
			PR0_PRU1_GPI2	4	I	0								
			GPIO0_89	7	IO	焊盘								

AM625, AM625-Q1, AM623, AM620-Q1

ZHCSQL8C - JUNE 2022 - REVISED OCTOBER 2025

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AA18	U15	RGMII2_TD1 PADCONFIG : PADCONFIG92 0x000F4170	RGMII2_TD1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			RMII2_TXD1	1	O									
			MCASP2_ACLKR	2	IO	0								
			PR0_PRU1_GPO3	3	O									
			PR0_PRU1_GPI3	4	I	0								
			MCASP2_AXR8	5	IO	0								
			GPIO0_90	7	IO	焊盘								
AD21	W17	RGMII2_TD2 PADCONFIG : PADCONFIG93 0x000F4174	RGMII2_TD2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			MCASP2_AFSX	2	IO	0								
			PR0_PRU1_GPO4	3	O									
			PR0_PRU1_GPI4	4	I	0								
			PR0_ECAP0_IN_APWM_OUT	5	IO	0								
			GPIO0_91	7	IO	焊盘								
			EQEP2_I	8	IO	0								
AC20	V16	RGMII2_TD3 PADCONFIG : PADCONFIG94 0x000F4178	RGMII2_TD3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
			MCASP2_ACLKX	2	IO	0								
			PR0_PRU1_GPO16	3	O									
			PR0_PRU1_GPI16	4	I	0								
			PR0_ECAP0_SYNC_OUT	5	O									
			PR0_UART0_CTSn	6	I	1								
			GPIO1_0	7	IO	焊盘								
			EQEP2_S	8	IO	0								
B1	B3	RSVD0	RSVD0		不适用									
A2	C3	RSVD1	RSVD1		不适用									
F6	E6	RSVD2	RSVD2		不适用									
AE2	F8	RSVD3	RSVD3		不适用									
T2	R6	RSVD4	RSVD4		不适用									
U4	T13	RSVD5	RSVD5		不适用									
AA12	T14	RSVD6	RSVD6		不适用									
Y15	M4	RSVD7	RSVD7		不适用									
E7	M5	RSVD8	RSVD8		不适用									
A14	D12	SPI0_CLK PADCONFIG : PADCONFIG111 0x000F41BC	SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_TS_SYNC	1	O									
			EHRPWM1_A	2	IO	0								
			GPIO1_17	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A13	C11	SPI0_CS0 PADCONFIG : PADCONFIG109 0x000F41B4	SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			EHRPWM0_A	2	IO	0								
			PR0_ECAP0_SYNC_IN	6	I	0								
			GPIO1_15	7	IO	焊盘								
C13	D13	SPI0_CS1 PADCONFIG : PADCONFIG110 0x000F41B8	SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_TS_COMP	1	O									
			EHRPWM0_B	2	IO	0								
			ECAP0_IN_APWM_OUT	3	IO	0								
			GPIO1_16	7	IO	焊盘								
B13	C12	SPI0_D0 PADCONFIG : PADCONFIG112 0x000F41C0	SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
			EHRPWM1_B	2	IO	0								
			GPIO1_18	7	IO	焊盘								
B14	A14	SPI0_D1 PADCONFIG : PADCONFIG113 0x000F41C4	SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
			EHRPWM_TZn_IN0	2	I	0								
			GPIO1_19	7	IO	焊盘								
A10	C10	TCK PADCONFIG : MCU_PADCONFIG25 0x04084064	TCK	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
A11	D10	TDI PADCONFIG : MCU_PADCONFIG27 0x0408406C	TDI	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
D12	E10	TDO PADCONFIG : MCU_PADCONFIG28 0x04084070	TDO	0	OZ		关闭/关闭/上拉	关闭/SS/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
B11	B11	TMS PADCONFIG : MCU_PADCONFIG29 0x04084074	TMS	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
B10	A11	TRSTn PADCONFIG : MCU_PADCONFIG26 0x04084068	TRSTn	0	I		开启/关闭/下拉	开启/关闭/下拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD

AM625, AM625-Q1, AM623, AM620-Q1

ZHCSQL8C - JUNE 2022 - REVISED OCTOBER 2025

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A15	B14	UART0_CTSn PADCONFIG : PADCONFIG116 0x000F41D0	UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI0_CS2	1	IO	1								
			I2C3_SCL	2	IOD	1								
			UART2_RXD	3	I	1								
			TIMER_IO6	4	IO	0								
			AUDIO_EXT_REFCLK0	5	IO	0								
			PR0_ECAP0_SYNC_OUT	6	O									
			GPIO1_22	7	IO	焊盘								
			MCASP2_AFSX	8	IO	0								
			MMC2_SDCCD	9	I	1								
B15	C13	UART0_RTSn PADCONFIG : PADCONFIG117 0x000F41D4	UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			SPI0_CS3	1	IO	1								
			I2C3_SDA	2	IOD	1								
			UART2_TXD	3	O									
			TIMER_IO7	4	IO	0								
			AUDIO_EXT_REFCLK1	5	IO	0								
			PR0_ECAP0_IN_APWM_OUT	6	IO	0								
			GPIO1_23	7	IO	焊盘								
			MCASP2_ACLKX	8	IO	0								
			MMC2_SDWP	9	I	1								
D14	A13	UART0_RXD PADCONFIG : PADCONFIG114 0x000F41C8	UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			ECAP1_IN_APWM_OUT	1	IO	0								
			SPI2_D0	2	IO	0								
			EHRPWM2_A	3	IO	0								
			GPIO1_20	7	IO	焊盘								
E14	E11	UART0_TXD PADCONFIG : PADCONFIG115 0x000F41CC	UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			ECAP2_IN_APWM_OUT	1	IO	0								
			SPI2_D1	2	IO	0								
			EHRPWM2_B	3	IO	0								
			GPIO1_21	7	IO	焊盘								
AE11	AA11	USB_DM	USB_DM		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AD11	Y10	USB_DP	USB_DP		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
C20	D17	USB0_DRVVBUS PADCONFIG : PADCONFIG149 0x000F4254	USB0_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			GPIO1_50	7	IO	焊盘								
AE10	T8	USB0_RCALIB	USB0_RCALIB		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AC11	V10	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AD10	W8	USB1_DM	USB1_DM		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AE9	W9	USB1_DP	USB1_DP		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
F18	E16	USB1_DRVVBUS PADCONFIG : PADCONFIG150 0x000F4258	USB1_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
			GPIO1_51	7	IO	焊盘								
AC9	V9	USB1_RCALIB	USB1_RCALIB		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AB10	U9	USB1_VBUS	USB1_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
Y11	R11	VDDA_1P8_USB	VDDA_1P8_USB		PWR									
W14	R12	VDDA_1P8_CSIRX0	VDDA_1P8_CSIRX0		PWR									
W10、W9	P9、R9	VDDA_1P8_OLDI0	VDDA_1P8_OLDI0		PWR									
Y13	R10	VDDA_3P3_USB	VDDA_3P3_USB		PWR									
W13	P12	VDDA_CORE_CSIRX0	VDDA_CORE_CSIRX0		PWR									
W12	P11	VDDA_CORE_USB	VDDA_CORE_USB		PWR									
	L9	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
L11	H10	VDDA_MCU	VDDA_MCU		PWR									
U11	N10	VDDA_PLL0	VDDA_PLL0		PWR									
U15	P14	VDDA_PLL1	VDDA_PLL1		PWR									
L14	K12	VDDA_PLL2	VDDA_PLL2		PWR									
T9	M7	VDDA_TEMP0	VDDA_TEMP0		PWR									
G16	F16	VDDA_TEMP1	VDDA_TEMP1		PWR									
J12、 K16、 N12、 N14、 P16、 R12、 T10、U14	H11、 M10、M13	VDDR_CORE	VDDR_CORE		PWR									
F15、G14	F12、G13	VDDSHV0	VDDSHV0		PWR									

AM625, AM625-Q1, AM623, AM620-Q1

ZHCSQL8C - JUNE 2022 - REVISED OCTOBER 2025

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
L18、M19	K15、K16	VDDSHV1	VDDSHV1		PWR									
W16、W19	R14、R15	VDDSHV2	VDDSHV2		PWR									
N18、 P18、 T19、U18	N15、N16	VDDSHV3	VDDSHV3		PWR									
T7	N7、P7	VDDSHV4	VDDSHV4		PWR									
G17	F14、G14	VDDSHV5	VDDSHV5		PWR									
J18	H15、H16	VDDSHV6	VDDSHV6		PWR									
H9	G7、H7	VDDSHV_CANUART	VDDSHV_CANUART		PWR									
F11、G12	F10、G10	VDDSHV_MCU	VDDSHV_MCU		PWR									
K9、L8、 P9、R8	C1、J8、 K7、K9、 L8、U1	VDDS_DDR	VDDS_DDR		PWR									
M9	L7	VDDS_DDR_C	VDDS_DDR_C		PWR									
G7	J7	VDDS_OSC0	VDDS_OSC0		PWR									
F8	H8	VDD_CANUART	VDD_CANUART		PWR									
H8、J11、 J14、 K17、 L12、 L15、 M16、 N11、 N13、N8、 P17、 R11、 R14、 U12、 V15、 V17、V8	H12、 H14、 J11、J13、 J9、K10、 K14、 L11、L13、 M12、 M14、 M8、N11、 N13、N9、 P8	VDD_CORE	VDD_CORE		PWR									
G10	H9	VMON_1P8_SOC	VMON_1P8_SOC		A									
K10	K11	VMON_3P3_SOC	VMON_3P3_SOC		A									
H10	F6	VMON_VSYS	VMON_VSYS		A									
Y20	T17	VOUT0_DE PADCONFIG : PADCONFIG63 0x000F40FC	VOUT0_DE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A17	1	OZ									
			PR0_PRU1_GPO17	2	O									
			PR0_PRU1_GPI17	3	I	0								
			UART3_CTSn	4	I	1								
			PR0_PRU0_GPO7	5	IO	0								
			PR0_PRU0_GPI7	6	I	0								
			GPIO0_62	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AB24	W21	VOUT0_HSYNC PADCONFIG : PADCONFIG62 0x000F40F8	VOUT0_HSYNC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A16	1	OZ									
			PR0_PRU1_GPO15	2	O									
			PR0_PRU1_GPI15	3	I	0								
			UART3_RTSn	4	O									
			PR0_PRU0_GPO6	5	IO	0								
			PR0_PRU0_GPI6	6	I	0								
			GPIO0_61	7	IO	焊盘								
AC24	U17	VOUT0_PCLK PADCONFIG : PADCONFIG65 0x000F4104	VOUT0_PCLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A19	1	OZ									
			PR0_PRU1_GPO19	2	O									
			PR0_PRU1_GPI19	3	I	0								
			UART2_CTSn	4	I	1								
			PR0_PRU0_GPO19	5	IO	0								
			PR0_PRU0_GPI19	6	I	0								
			GPIO0_64	7	IO	焊盘								
AC25	T16	VOUT0_VSYNC PADCONFIG : PADCONFIG64 0x000F4100	PR0_ECAP0_IN_APWM_OUT	8	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_VSYNC	0	O									
			GPMC0_A18	1	OZ									
			PR0_PRU1_GPO18	2	O									
			PR0_PRU1_GPI18	3	I	0								
			UART2_RTSn	4	O									
			PR0_PRU0_GPO18	5	IO	0								
			PR0_PRU0_GPI18	6	I	0								
U22	R21	VOUT0_DATA0 PADCONFIG : PADCONFIG46 0x000F40B8	GPIO0_63	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA0	0	O									
			GPMC0_A0	1	OZ									
			PR0_PRU1_GPO0	2	O									
			PR0_PRU1_GPI0	3	I	0								
			UART2_RXD	4	I	1								
			PR0_PRU0_GPO8	5	IO	0								
			PR0_PRU0_GPI8	6	I	0								
			GPIO0_45	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			VOUT0_DATA0	0	O									
			GPMC0_A0	1	OZ									
			PR0_PRU1_GPO0	2	O									
			PR0_PRU1_GPI0	3	I	0								
			UART2_RXD	4	I	1								
			PR0_PRU0_GPO8	5	IO	0								
			PR0_PRU0_GPI8	6	I	0								

AM625, AM625-Q1, AM623, AM620-Q1

ZHCSQL8C - JUNE 2022 - REVISED OCTOBER 2025

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
V24	P18	VOUT0_DATA1 PADCONFIG : PADCONFIG47 0x000F40BC	VOUT0_DATA1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A1	1	OZ									
			PR0_PRU1_GPO1	2	O									
			PR0_PRU1_GPI1	3	I	0								
			UART2_TXD	4	O									
			PR0_PRU0_GPO9	5	IO	0								
			PR0_PRU0_GPI9	6	I	0								
			GPIO0_46	7	IO	焊盘								
W25	R18	VOUT0_DATA2 PADCONFIG : PADCONFIG48 0x000F40C0	VOUT0_DATA2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A2	1	OZ									
			PR0_PRU1_GPO2	2	O									
			PR0_PRU1_GPI2	3	I	0								
			UART3_RXD	4	I	1								
			PR0_PRU0_GPO10	5	IO	0								
			PR0_PRU0_GPI10	6	I	0								
			GPIO0_47	7	IO	焊盘								
W24	R19	VOUT0_DATA3 PADCONFIG : PADCONFIG49 0x000F40C4	VOUT0_DATA3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A3	1	OZ									
			PR0_PRU1_GPO3	2	O									
			PR0_PRU1_GPI3	3	I	0								
			UART3_TXD	4	O									
			PR0_PRU0_GPO11	5	IO	0								
			PR0_PRU0_GPI11	6	I	0								
			GPIO0_48	7	IO	焊盘								
Y25	R20	VOUT0_DATA4 PADCONFIG : PADCONFIG50 0x000F40C8	VOUT0_DATA4	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A4	1	OZ									
			PR0_PRU1_GPO4	2	O									
			PR0_PRU1_GPI4	3	I	0								
			UART4_RXD	4	I	1								
			PR0_PRU0_GPO12	5	IO	0								
			PR0_PRU0_GPI12	6	I	0								
			GPIO0_49	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
Y24	T20	VOUT0_DATA5 PADCONFIG : PADCONFIG51 0x000F40CC	VOUT0_DATA5	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A5	1	OZ									
			PR0_PRU1_GPO5	2	O									
			PR0_PRU1_GPI5	3	I	0								
			UART4_TXD	4	O									
			PR0_PRU0_GPO13	5	IO	0								
			PR0_PRU0_GPI13	6	I	0								
			GPIO0_50	7	IO	焊盘								
Y23	T21	VOUT0_DATA6 PADCONFIG : PADCONFIG52 0x000F40D0	VOUT0_DATA6	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A6	1	OZ									
			PR0_PRU1_GPO6	2	O									
			PR0_PRU1_GPI6	3	I	0								
			UART5_RXD	4	I	1								
			PR0_PRU0_GPO14	5	IO	0								
			PR0_PRU0_GPI14	6	I	0								
			GPIO0_51	7	IO	焊盘								
AA25	T19	VOUT0_DATA7 PADCONFIG : PADCONFIG53 0x000F40D4	VOUT0_DATA7	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A7	1	OZ									
			PR0_PRU1_GPO7	2	O									
			PR0_PRU1_GPI7	3	I	0								
			UART5_TXD	4	O									
			PR0_PRU0_GPO15	5	IO	0								
			PR0_PRU0_GPI15	6	I	0								
			GPIO0_52	7	IO	焊盘								
V21	U21	VOUT0_DATA8 PADCONFIG : PADCONFIG54 0x000F40D8	VOUT0_DATA8	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A8	1	OZ									
			PR0_PRU1_GPO16	2	O									
			PR0_PRU1_GPI16	3	I	0								
			UART6_RXD	4	I	1								
			PR0_PRU0_GPO17	5	IO	0								
			PR0_PRU0_GPI17	6	I	0								
			GPIO0_53	7	IO	焊盘								

AM625, AM625-Q1, AM623, AM620-Q1

ZHCSQL8C - JUNE 2022 - REVISED OCTOBER 2025

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
W21	R17	VOUT0_DATA9 PADCONFIG : PADCONFIG55 0x000F40DC	VOUT0_DATA9	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A9	1	OZ									
			PR0_PRU1_GPO8	2	O									
			PR0_PRU1_GPI8	3	I	0								
			UART6_TXD	4	O									
			PR0_PRU0_GPO16	5	IO	0								
			PR0_PRU0_GPI16	6	I	0								
V20	T18	VOUT0_DATA10 PADCONFIG : PADCONFIG56 0x000F40E0	VOUT0_DATA10	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A10	1	OZ									
			PR0_PRU1_GPO9	2	O									
			PR0_PRU1_GPI9	3	I	0								
			UART6_RTSn	4	O									
			PR0_PRU0_GPO0	5	IO	0								
			PR0_PRU0_GPI0	6	I	0								
AA23	U20	VOUT0_DATA11 PADCONFIG : PADCONFIG57 0x000F40E4	VOUT0_DATA11	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A11	1	OZ									
			PR0_PRU1_GPO10	2	O									
			PR0_PRU1_GPI10	3	I	0								
			UART6_CTSn	4	I	1								
			PR0_PRU0_GPO1	5	IO	0								
			PR0_PRU0_GPI1	6	I	0								
AB25	U19	VOUT0_DATA12 PADCONFIG : PADCONFIG58 0x000F40E8	VOUT0_DATA12	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A12	1	OZ									
			PR0_PRU1_GPO11	2	O									
			PR0_PRU1_GPI11	3	I	0								
			UART5_RTSn	4	O									
			PR0_PRU0_GPO2	5	IO	0								
			PR0_PRU0_GPI2	6	I	0								
			GPI00_54	7	IO	焊盘								
			VOUT0_DATA12	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A12	1	OZ									
			PR0_PRU1_GPO11	2	O									
			PR0_PRU1_GPI11	3	I	0								
			UART5_RTSn	4	O									
			PR0_PRU0_GPO2	5	IO	0								
			PR0_PRU0_GPI2	6	I	0								
			GPI00_57	7	IO	焊盘								

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AA24	V21	VOUT0_DATA13 PADCONFIG : PADCONFIG59 0x000F40EC	VOUT0_DATA13	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A13	1	OZ									
			PR0_PRU1_GPO12	2	O									
			PR0_PRU1_GPI12	3	I	0								
			UART5_CTSn	4	I	1								
			PR0_PRU0_GPO3	5	IO	0								
			PR0_PRU0_GPI3	6	I	0								
			GPIO0_58	7	IO	焊盘								
Y22	U18	VOUT0_DATA14 PADCONFIG : PADCONFIG60 0x000F40F0	VOUT0_DATA14	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A14	1	OZ									
			PR0_PRU1_GPO13	2	O									
			PR0_PRU1_GPI13	3	I	0								
			UART4_RTSn	4	O									
			PR0_PRU0_GPO4	5	IO	0								
			PR0_PRU0_GPI4	6	I	0								
			GPIO0_59	7	IO	焊盘								
AA21	V20	VOUT0_DATA15 PADCONFIG : PADCONFIG61 0x000F40F4	VOUT0_DATA15	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
			GPMC0_A15	1	OZ									
			PR0_PRU1_GPO14	2	O									
			PR0_PRU1_GPI14	3	I	0								
			UART4_CTSn	4	I	1								
			PR0_PRU0_GPO5	5	IO	0								
			PR0_PRU0_GPI5	6	I	0								
			GPIO0_60	7	IO	焊盘								
J8	F7	VPP	VPP		PWR									

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A1、A24、 A25、 AA11、 AB9、 AD1、 AD12、 AD16、 AD25、 AD9、 AE1、 AE12、 AE16、 AE24、 AE25、 AE8、 B25、 F13、 G13、 G19、 H13、 H16、 H18、 H20、 J13、J7、 K13、 K15、 K19、K7、 L20、 M10、 M12、 M13、 M17、 M18、 M7、M8、 N15、 P10、 P13、P7、 R13、 R15、 R18、 R20、 T13、 T14、 T16、 T17、 T18、T8、 U19、U8、 V10、 V11、 V13、 V16、	A1、A21、 A4、AA1、 AA12、 AA15、 AA21、 AA9、 D11、 D19、D4、 E2、F11、 F13、 F15、F4、 F9、G16、 G6、G9、 H1、H13、 H6、J10、 J12、J14、 J16、J6、 K13、K3、 K6、K8、 L1、L10、 L12、 L14、 L16、L6、 M11、 M16、 M18、 M6、M9、 N12、 N14、N6、 P1、P10、 P13、 P15、 P16、P3、 P6、R16、 R5、R7、 R8、T10、 T12、 T15、T3、 T6、T7、 T9、U10、 U13、U5、 U8、V11、 V14、 V19、 W10、 W13、 W7、Y11、 Y14、Y3、 Y4、Y6	VSS	VSS		PWR									

表 5-1. 引脚属性 (ALW、AMC 封装) (续)

ALW 焊球 编号 [1]	AMC 焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复 用模 式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
V18、V9、 W7、Y2														
A12	B12	WKUP_CLKOUT0 PADCONFIG : MCU_PADCONFIG33 0x04084084	WKUP_CLKOUT0	0	O		关闭/关闭/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
			MCU_GPIO0_23	7	IO	焊盘								
B9	E9	WKUP_I2C0_SCL PADCONFIG : MCU_PADCONFIG19 0x0408404C	WKUP_I2C0_SCL	0	IOD	1	关闭/关闭/不适 用	开启/SS/不适 用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C OD FS	
			MCU_GPIO0_19	7	IOD	焊盘								
A9	A9	WKUP_I2C0_SDA PADCONFIG : MCU_PADCONFIG20 0x04084050	WKUP_I2C0_SDA	0	IOD	1	关闭/关闭/不适 用	开启/SS/不适 用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C OD FS	
			MCU_GPIO0_20	7	IOD	焊盘								
C2	A2	WKUP_LFOSC0_XI	WKUP_LFOSC0_XI		I					1.8V	VDDS_OSC0		LFXOSC	
C1	A3	WKUP_LFOSC0_XO	WKUP_LFOSC0_XO		O					1.8V	VDDS_OSC0		LFXOSC	
C6	A7	WKUP_UART0_CTSn PADCONFIG : MCU_PADCONFIG11 0x0408402C	WKUP_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			WKUP_TIMER_IO0	1	IO	0								
			MCU_SPI1_CS0	3	IO	1								
			MCU_GPIO0_11	7	IO	焊盘								
A4	B4	WKUP_UART0_RTSn PADCONFIG : MCU_PADCONFIG12 0x04084030	WKUP_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			WKUP_TIMER_IO1	1	IO	0								
			MCU_SPI1_CLK	3	IO	0								
			MCU_GPIO0_12	7	IO	焊盘								
B4	B5	WKUP_UART0_RXD PADCONFIG : MCU_PADCONFIG9 0x04084024	WKUP_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_SPI0_CS2	2	IO	1								
			MCU_GPIO0_9	7	IO	焊盘								
C5	C6	WKUP_UART0_TXD PADCONFIG : MCU_PADCONFIG10 0x04084028	WKUP_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_CANUART	是	LVCMOS	PU/PD
			MCU_SPI1_CS2	2	IO	1								
			MCU_GPIO0_10	7	IO	焊盘								

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称**：通过引脚的信号的名称。

备注

每个信号说明表中提供的信号名称和说明表示在引脚上实现并通过 PADCONFIG 寄存器选择的引脚多路复用信号功能。器件子系统可以提供信号功能的二次多路复用，这些表中没有说明这些功能。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **引脚类型**：信号方向和类型：

- I = 输入
- O = 输出
- OD = 输出，具有开漏输出功能
- IO = 输入、输出或同时输入和输出
- IOD = 输入、输出或同时输入和输出，具有开漏输出功能
- IOZ = 输入、输出或同时输入和输出，具有三态输出功能
- OZ = 具有三态输出功能的输出
- A = 模拟
- PWR = 电源
- GND = 地
- CAP = LDO 电容器

3. **说明**：信号说明

4. **焊球**：与信号相关的球号

有关 IO 单元配置的更多信息，请参阅器件 TRM 的 *器件配置* 一章中的 *焊盘配置寄存器* 一节。

5.3.1 CPSW3G

5.3.1.1 MAIN 域

表 5-2. CPSW3G0 RGMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
RGMII1_RXC	I	RGMII 接收时钟	AD17	AA16
RGMII1_RX_CTL	I	RGMII 接收控制	AE17	W14
RGMII1_TXC	IO	RGMII 发送时钟	AE19	W16
RGMII1_TX_CTL	O	RGMII 发送控制	AD19	V15
RGMII1_RD0	I	RGMII 接收数据 0	AB17	W15
RGMII1_RD1	I	RGMII 接收数据 1	AC17	Y16
RGMII1_RD2	I	RGMII 接收数据 2	AB16	AA17
RGMII1_RD3	I	RGMII 接收数据 3	AA15	Y15
RGMII1_TD0	O	RGMII 发送数据 0	AE20	U14
RGMII1_TD1	O	RGMII 发送数据 1	AD20	AA19
RGMII1_TD2	O	RGMII 发送数据 2	AE18	Y17
RGMII1_TD3	O	RGMII 发送数据 3	AD18	AA18

表 5-3. CPSW3G0 RGMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
RGMII2_RXC	I	RGMII 接收时钟	AD23	V18
RGMII2_RX_CTL	I	RGMII 接收控制	AD22	W19
RGMII2_TXC	IO	RGMII 发送时钟	AE21	Y18
RGMII2_TX_CTL	O	RGMII 发送控制	AA19	Y21
RGMII2_RD0	I	RGMII 接收数据 0	AE23	W18
RGMII2_RD1	I	RGMII 接收数据 1	AB20	Y20
RGMII2_RD2	I	RGMII 接收数据 2	AC21	Y19
RGMII2_RD3	I	RGMII 接收数据 3	AE22	W20
RGMII2_TD0	O	RGMII 发送数据 0	Y18	AA20
RGMII2_TD1	O	RGMII 发送数据 1	AA18	U15
RGMII2_TD2	O	RGMII 发送数据 2	AD21	W17
RGMII2_TD3	O	RGMII 发送数据 3	AC20	V16

表 5-4. CPSW3G0 RMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
RMII1_CRS_DV	I	RMII 载波侦听/数据有效	AE19	W16
RMII1_REF_CLK	I	RMII 基准时钟	AD17	AA16
RMII1_RX_ER	I	RMII 接收数据错误	AE17	W14
RMII1_TX_EN	O	RMII 发送使能	AD19	V15
RMII1_RXD0	I	RMII 接收数据 0	AB17	W15
RMII1_RXD1	I	RMII 接收数据 1	AC17	Y16
RMII1_TXD0	O	RMII 发送数据 0	AE20	U14
RMII1_TXD1	O	RMII 发送数据 1	AD20	AA19

表 5-5. CPSW3G0 RMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
RMII2_CRS_DV	I	RMII 载波侦听/数据有效	AE21	Y18
RMII2_REF_CLK	I	RMII 基准时钟	AD23	V18
RMII2_RX_ER	I	RMII 接收数据错误	AD22	W19
RMII2_TX_EN	O	RMII 发送使能	AA19	Y21
RMII2_RXD0	I	RMII 接收数据 0	AE23	W18
RMII2_RXD1	I	RMII 接收数据 1	AB20	Y20
RMII2_TXD0	O	RMII 发送数据 0	Y18	AA20
RMII2_TXD1	O	RMII 发送数据 1	AA18	U15

5.3.2 CPTS

备注

一些 CPTS 信号直接连接到器件内的 CPTS 模块。其他 CPTS 信号连接到时间同步路由器，并扇出到链接到路由器的外设。输入信号发送到外设，而输出信号则来自外设。有关更多信息，请参阅器件 TRM 的“时间同步”一章中的“时间同步和比较事件”一节。

5.3.2.1 MAIN 域

表 5-6. CPTS 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基准时钟输入	A18	C14
CP_GEMAC_CPTS0_TS_COMP	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器比较输出	C13、D22	C19、D13
CP_GEMAC_CPTS0_TS_SYNC	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器位输出	A14、C21	B20、D12
CP_GEMAC_CPTS0_HW1TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	B13、B21	B19、C12
CP_GEMAC_CPTS0_HW2TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	A22、B14	A14、A19
SYNC0_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 0 输出	B16	E12
SYNC1_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 1 输出	A18	C14
SYNC2_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 2 输出	C15	B13
SYNC3_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 3 输出	E15	A15

5.3.3 CSI-2

5.3.3.1 MAIN 域

表 5-7. CSIRX0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
CSI0_RXCLKN	I	CSI-2 差分接收时钟输入 (负)	AD15	AA14
CSI0_RXCLKP	I	CSI-2 差分接收时钟输入 (正)	AE15	AA13
CSI0_RXRCALIB ⁽¹⁾	A	到外部校准电阻器的 CSI-2 D-PHY 连接	AA14	T11
CSI0_RXN0	I	CSI-2 差分接收输入 (负)	AB14	Y13
CSI0_RXN1	I	CSI-2 差分接收输入 (负)	AD14	V13
CSI0_RXN2	I	CSI-2 差分接收输入 (负)	AD13	U12
CSI0_RXN3	I	CSI-2 差分接收输入 (负)	AB12	W12
CSI0_RXP0	I	CSI-2 差分接收输入 (正)	AC15	Y12
CSI0_RXP1	I	CSI-2 差分接收输入 (正)	AE14	V12
CSI0_RXP2	I	CSI-2 差分接收输入 (正)	AE13	U11
CSI0_RXP3	I	CSI-2 差分接收输入 (正)	AC13	W11

(1) 必须在该引脚和 VSS 之间连接一个外部 $499\Omega \pm 1\%$ 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

5.3.4 DDRSS

5.3.4.1 MAIN 域

表 5-8. DDRSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
DDR0_ACT_n	O	DDRSS 激活命令	N6	M1
DDR0_ALERT_n	IO	DDRSS 警报	R3	N1
DDR0_CAS_n	O	DDRSS 列地址选通	M4	J3
DDR0_PAR	O	DDRSS 命令和地址奇偶校验	T1	M2
DDR0_RAS_n	O	DDRSS 行地址选通	M5	K5
DDR0_WE_n	O	DDRSS 写入使能	N3	J2

表 5-8. DDRSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
DDR0_A0	O	DDRSS 地址总线	J1	F5
DDR0_A1	O	DDRSS 地址总线	J2	G5
DDR0_A2	O	DDRSS 地址总线	K3	G4
DDR0_A3	O	DDRSS 地址总线	L5	H4
DDR0_A4	O	DDRSS 地址总线	K4	J5
DDR0_A5	O	DDRSS 地址总线	K1	H5
DDR0_A6	O	DDRSS 地址总线	R2	P4
DDR0_A7	O	DDRSS 地址总线	P2	N2
DDR0_A8	O	DDRSS 地址总线	P1	P2
DDR0_A9	O	DDRSS 地址总线	P4	N4
DDR0_A10	O	DDRSS 地址总线	R5	N3
DDR0_A11	O	DDRSS 地址总线	P5	M3
DDR0_A12	O	DDRSS 地址总线	R6	P5
DDR0_A13	O	DDRSS 地址总线	R1	N5
DDR0_BA0	O	DDRSS 存储库地址	M1	L5
DDR0_BA1	O	DDRSS 存储库地址	N1	L3
DDR0_BG0	O	DDRSS 存储库组	T4	L4
DDR0_BG1	O	DDRSS 存储库组	N2	L2
DDR0_CAL0 (1)	A	IO 焊盘校准电阻	M2	K4
DDR0_CK0	O	DDRSS 时钟	L1	J1
DDR0_CK0_n	O	DDRSS 负时钟	L2	K1
DDR0_CKE0	O	DDRSS 时钟使能	H2	G3
DDR0_CKE1	O	DDRSS 时钟使能	J4	H2
DDR0_CS0_n	O	DDRSS 片选	L6	H3
DDR0_CS1_n	O	DDRSS 片选	K2	G1
DDR0_DM0	IO	DDRSS 数据掩码	H5	E3
DDR0_DM1	IO	DDRSS 数据掩码	W5	R4
DDR0_DQ0	IO	DDRSS 数据	F4	C2
DDR0_DQ1	IO	DDRSS 数据	G5	E4
DDR0_DQ2	IO	DDRSS 数据	F3	D3
DDR0_DQ3	IO	DDRSS 数据	H6	E5
DDR0_DQ4	IO	DDRSS 数据	E3	D2
DDR0_DQ5	IO	DDRSS 数据	G2	F3
DDR0_DQ6	IO	DDRSS 数据	F2	F1
DDR0_DQ7	IO	DDRSS 数据	F1	F2
DDR0_DQ8	IO	DDRSS 数据	U1	R3
DDR0_DQ9	IO	DDRSS 数据	U3	R2
DDR0_DQ10	IO	DDRSS 数据	U2	T2
DDR0_DQ11	IO	DDRSS 数据	V5	U2
DDR0_DQ12	IO	DDRSS 数据	W2	U3
DDR0_DQ13	IO	DDRSS 数据	V6	U4
DDR0_DQ14	IO	DDRSS 数据	Y1	T4

表 5-8. DDRSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
DDR0_DQ15	IO	DDRSS 数据	W1	T5
DDR0_DQS0	IO	DDRSS 数据选通	E1	D1
DDR0_DQS0_n	IO	DDRSS 互补数据选通	E2	E1
DDR0_DQS1	IO	DDRSS 数据选通	V1	T1
DDR0_DQS1_n	IO	DDRSS 互补数据选通	V2	R1
DDR0_ODT0	O	用于片选 0 的 DDRSS 片上端接	H1	J4
DDR0_ODT1	O	用于片选 1 的 DDRSS 片上端接	J3	K2
DDR0_RESET0_n	O	DDRSS 复位	G1	G2

(1) 必须在该引脚和 VSS 之间连接一个外部 $240\ \Omega \pm 1\%$ 电阻。该电阻的最大功耗为 5.2mW。不应向该引脚施加外部电压。

5.3.5 DSS

5.3.5.1 MAIN 域

表 5-9. DSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
VOUT0_DE	O	视频输出数据使能	Y20	T17
VOUT0_EXTPCLKIN	I	视频输出外部像素时钟输入	V25	P17
VOUT0_HSYNC	O	视频输出水平同步	AB24	W21
VOUT0_PCLK	O	视频输出像素时钟输出	AC24	U17
VOUT0_VSYNC	O	视频输出垂直同步	AC25	T16
VOUT0_DATA0	O	视频输出数据 0	U22	R21
VOUT0_DATA1	O	视频输出数据 1	V24	P18
VOUT0_DATA2	O	视频输出数据 2	W25	R18
VOUT0_DATA3	O	视频输出数据 3	W24	R19
VOUT0_DATA4	O	视频输出数据 4	Y25	R20
VOUT0_DATA5	O	视频输出数据 5	Y24	T20
VOUT0_DATA6	O	视频输出数据 6	Y23	T21
VOUT0_DATA7	O	视频输出数据 7	AA25	T19
VOUT0_DATA8	O	视频输出数据 8	V21	U21
VOUT0_DATA9	O	视频输出数据 9	W21	R17
VOUT0_DATA10	O	视频输出数据 10	V20	T18
VOUT0_DATA11	O	视频输出数据 11	AA23	U20
VOUT0_DATA12	O	视频输出数据 12	AB25	U19
VOUT0_DATA13	O	视频输出数据 13	AA24	V21
VOUT0_DATA14	O	视频输出数据 14	Y22	U18
VOUT0_DATA15	O	视频输出数据 15	AA21	V20
VOUT0_DATA16	O	视频输出数据 16	R24	N20
VOUT0_DATA17	O	视频输出数据 17	R25	N21
VOUT0_DATA18	O	视频输出数据 18	T25	M17
VOUT0_DATA19	O	视频输出数据 19	R21	N18
VOUT0_DATA20	O	视频输出数据 20	T22	N17
VOUT0_DATA21	O	视频输出数据 21	T24	N19
VOUT0_DATA22	O	视频输出数据 22	U25	P19

表 5-9. DSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
VOUT0_DATA23	O	视频输出数据 23	U24	P20

5.3.6 ECAP

5.3.6.1 MAIN 域

表 5-10. ECAP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
ECAP0_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A18、C13	C14、D13

表 5-11. ECAP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
ECAP1_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	B16、B18、 B19、B21、 D14	A13、A18、 B18、B19、 E12

表 5-12. ECAP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
ECAP2_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A16、A19、 A22、B20、 E14	A19、B17、 C17、D14、 E11

5.3.7 仿真和调试

5.3.7.1 MAIN 域

表 5-13. 布线信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
TRC_CLK	O	跟踪时钟	M25	K19
TRC_CTL	O	跟踪控制	N23	L19
TRC_DATA0	O	跟踪数据 0	N24	L20
TRC_DATA1	O	跟踪数据 1	N25	L21
TRC_DATA2	O	跟踪数据 2	P24	M21
TRC_DATA3	O	跟踪数据 3	P22	L17
TRC_DATA4	O	跟踪数据 4	P21	L18
TRC_DATA5	O	跟踪数据 5	R23	M20
TRC_DATA6	O	跟踪数据 6	P25	M19
TRC_DATA7	O	跟踪数据 7	L23	K20
TRC_DATA8	O	跟踪数据 8	L24	K21
TRC_DATA9	O	跟踪数据 9	L25	J17
TRC_DATA10	O	跟踪数据 10	M24	K17
TRC_DATA11	O	跟踪数据 11	N20	K18
TRC_DATA12	O	跟踪数据 12	U23	P21
TRC_DATA13	O	跟踪数据 13	K25	J20
TRC_DATA14	O	跟踪数据 14	M22	J19
TRC_DATA15	O	跟踪数据 15	M21	J18
TRC_DATA16	O	跟踪数据 16	L21	H17

表 5-13. 布线信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
TRC_DATA17	O	跟踪数据 17	K22	H18
TRC_DATA18	O	跟踪数据 18	K24	H19
TRC_DATA19	O	跟踪数据 19	U24	P20
TRC_DATA20	O	跟踪数据 20	U25	P19
TRC_DATA21	O	跟踪数据 21	T24	N19
TRC_DATA22	O	跟踪数据 22	T22	N17
TRC_DATA23	O	跟踪数据 23	R21	N18

5.3.7.2 MCU 域

表 5-14. JTAG 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EMU0	IO	仿真控制 0	E12	D9
EMU1	IO	仿真控制 1	C11	B10
TCK	I	JTAG 测试时钟输入	A10	C10
TDI	I	JTAG 测试数据输入	A11	D10
TDO	OZ	JTAG 测试数据输出	D12	E10
TMS	I	JTAG 测试模式选择输入	B11	B11
TRSTn	I	JTAG 复位	B10	A11

5.3.8 EPWM

5.3.8.1 MAIN 域

表 5-15. EPWM 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EHRPWM_SOCA	O	EHRPWM 转换启动 A	B16	E12
EHRPWM_SOCB	O	EHRPWM 转换启动 B	A16	D14
EHRPWM_TZn_IN0	I	EHRPWM 触发区输入 0 (低电平有效)	B14	A14
EHRPWM_TZn_IN1	I	EHRPWM 触发区输入 1 (低电平有效)	AA2	V2
EHRPWM_TZn_IN2	I	EHRPWM 触发区输入 2 (低电平有效)	AC1	W3
EHRPWM_TZn_IN3	I	EHRPWM 触发区输入 3 (低电平有效)	C15	B13
EHRPWM_TZn_IN4	I	EHRPWM 触发区输入 4 (低电平有效)	E15	A15
EHRPWM_TZn_IN5	I	EHRPWM 触发区输入 5 (低电平有效)	C13	D13

表 5-16. EPWM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EHRPWM0_A	IO	EHRPWM 输出 A	A13、AB2、E19	C11、D15、Y2
EHRPWM0_B	IO	EHRPWM 输出 B	A20、C13、Y4	D13、D16、W1
EHRPWM0_SYNCI	I	从外部引脚到 EHRPWM 模块的同步输入	AC2、B17	A17、V4
EHRPWM0_SYNCO	O	从 EHRPWM 模块到外部引脚的同步输出	A17、AD2	A16、W4

表 5-17. EPWM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EHRPWM1_A	IO	EHRPWM 输出 A	A14、AA3、B18	A18、D12、W2
EHRPWM1_B	IO	EHRPWM 输出 B	AA1、B13、E18	C12、D18、V1

表 5-18. EPWM2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EHRPWM2_A	IO	EHRPWM 输出 A	AB1、B17、D14	A13、A17、Y1
EHRPWM2_B	IO	EHRPWM 输出 B	A17、E14、Y3	A16、E11、V3

5.3.9 EQEP

5.3.9.1 MAIN 域

表 5-19. EQEP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EQEP0_A ⁽¹⁾	I	EQEP 正交输入 A	B19	B18
EQEP0_B ⁽¹⁾	I	EQEP 正交输入 B	A19	B17
EQEP0_I ⁽¹⁾	IO	EQEP 索引	E18	D18
EQEP0_S ⁽¹⁾	IO	EQEP 选通	B18	A18

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-20. EQEP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EQEP1_A ⁽¹⁾	I	EQEP 正交输入 A	B20	C17
EQEP1_B ⁽¹⁾	I	EQEP 正交输入 B	D20	C16
EQEP1_I ⁽¹⁾	IO	EQEP 索引	A20	D16
EQEP1_S ⁽¹⁾	IO	EQEP 选通	E19	D15

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-21. EQEP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
EQEP2_A ⁽¹⁾	I	EQEP 正交输入 A	AC21、B16	E12、Y19
EQEP2_B ⁽¹⁾	I	EQEP 正交输入 B	A16、AE22	D14、W20
EQEP2_I ⁽¹⁾	IO	EQEP 索引	AD21、C15、V25	B13、P17、W17
EQEP2_S ⁽¹⁾	IO	EQEP 选通	AC20、E15、M22	A15、J19、V16

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.10 GPIO

5.3.10.1 MAIN 域

表 5-22. GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPIO0_0	IO	通用输入/输出	H24	G19

表 5-22. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPIO0_1	IO	通用输入/输出	G25	G18
GPIO0_2	IO	通用输入/输出	J24	H20
GPIO0_3	IO	通用输入/输出	E25	F18
GPIO0_4	IO	通用输入/输出	G24	G17
GPIO0_5	IO	通用输入/输出	F25	F21
GPIO0_6	IO	通用输入/输出	F24	F20
GPIO0_7	IO	通用输入/输出	J23	G21
GPIO0_8	IO	通用输入/输出	J25	H21
GPIO0_9	IO	通用输入/输出	H25	G20
GPIO0_10	IO	通用输入/输出	J22	J21
GPIO0_11	IO	通用输入/输出	F23	F19
GPIO0_12	IO	通用输入/输出	G21	F17
GPIO0_13 ⁽¹⁾	IO	通用输入/输出	H21	E17
GPIO0_14 ⁽¹⁾	IO	通用输入/输出	E24	E18
GPIO0_15	IO	通用输入/输出	M25	K19
GPIO0_16	IO	通用输入/输出	N23	L19
GPIO0_17	IO	通用输入/输出	N24	L20
GPIO0_18	IO	通用输入/输出	N25	L21
GPIO0_19	IO	通用输入/输出	P24	M21
GPIO0_20	IO	通用输入/输出	P22	L17
GPIO0_21	IO	通用输入/输出	P21	L18
GPIO0_22	IO	通用输入/输出	R23	M20
GPIO0_23	IO	通用输入/输出	R24	N20
GPIO0_24	IO	通用输入/输出	R25	N21
GPIO0_25	IO	通用输入/输出	T25	M17
GPIO0_26	IO	通用输入/输出	R21	N18
GPIO0_27	IO	通用输入/输出	T22	N17
GPIO0_28	IO	通用输入/输出	T24	N19
GPIO0_29	IO	通用输入/输出	U25	P19
GPIO0_30	IO	通用输入/输出	U24	P20
GPIO0_31	IO	通用输入/输出	P25	M19
GPIO0_32	IO	通用输入/输出	L23	K20
GPIO0_33	IO	通用输入/输出	L24	K21
GPIO0_34	IO	通用输入/输出	L25	J17
GPIO0_35	IO	通用输入/输出	M24	K17
GPIO0_36	IO	通用输入/输出	N20	K18
GPIO0_37	IO	通用输入/输出	U23	P21
GPIO0_38	IO	通用输入/输出	V25	P17
GPIO0_39	IO	通用输入/输出	K25	J20
GPIO0_40	IO	通用输入/输出	M22	J19
GPIO0_41	IO	通用输入/输出	M21	J18
GPIO0_42	IO	通用输入/输出	L21	H17

表 5-22. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPIO0_43 ⁽¹⁾	IO	通用输入/输出	K22	H18
GPIO0_44 ⁽¹⁾	IO	通用输入/输出	K24	H19
GPIO0_45	IO	通用输入/输出	U22	R21
GPIO0_46	IO	通用输入/输出	V24	P18
GPIO0_47	IO	通用输入/输出	W25	R18
GPIO0_48	IO	通用输入/输出	W24	R19
GPIO0_49	IO	通用输入/输出	Y25	R20
GPIO0_50	IO	通用输入/输出	Y24	T20
GPIO0_51	IO	通用输入/输出	Y23	T21
GPIO0_52	IO	通用输入/输出	AA25	T19
GPIO0_53	IO	通用输入/输出	V21	U21
GPIO0_54	IO	通用输入/输出	W21	R17
GPIO0_55	IO	通用输入/输出	V20	T18
GPIO0_56	IO	通用输入/输出	AA23	U20
GPIO0_57	IO	通用输入/输出	AB25	U19
GPIO0_58	IO	通用输入/输出	AA24	V21
GPIO0_59	IO	通用输入/输出	Y22	U18
GPIO0_60	IO	通用输入/输出	AA21	V20
GPIO0_61	IO	通用输入/输出	AB24	W21
GPIO0_62	IO	通用输入/输出	Y20	T17
GPIO0_63	IO	通用输入/输出	AC25	T16
GPIO0_64	IO	通用输入/输出	AC24	U17
GPIO0_65 ⁽¹⁾	IO	通用输入/输出	D24	E20
GPIO0_66 ⁽¹⁾	IO	通用输入/输出	E23	E19
GPIO0_67 ⁽¹⁾	IO	通用输入/输出	C25	D21
GPIO0_68 ⁽¹⁾	IO	通用输入/输出	B24	B21
GPIO0_69 ⁽¹⁾	IO	通用输入/输出	D25	E21
GPIO0_70 ⁽¹⁾	IO	通用输入/输出	C24	C21
GPIO0_71 ⁽¹⁾	IO	通用输入/输出	A23	D20
GPIO0_72 ⁽¹⁾	IO	通用输入/输出	B23	C20
GPIO0_73	IO	通用输入/输出	AD19	V15
GPIO0_74	IO	通用输入/输出	AE19	W16
GPIO0_75	IO	通用输入/输出	AE20	U14
GPIO0_76	IO	通用输入/输出	AD20	AA19
GPIO0_77	IO	通用输入/输出	AE18	Y17
GPIO0_78	IO	通用输入/输出	AD18	AA18
GPIO0_79	IO	通用输入/输出	AE17	W14
GPIO0_80	IO	通用输入/输出	AD17	AA16
GPIO0_81	IO	通用输入/输出	AB17	W15
GPIO0_82	IO	通用输入/输出	AC17	Y16
GPIO0_83	IO	通用输入/输出	AB16	AA17
GPIO0_84	IO	通用输入/输出	AA15	Y15

表 5-22. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPIO0_85	IO	通用输入/输出	AB22	U16
GPIO0_86	IO	通用输入/输出	AD24	V17
GPIO0_87	IO	通用输入/输出	AA19	Y21
GPIO0_88	IO	通用输入/输出	AE21	Y18
GPIO0_89	IO	通用输入/输出	Y18	AA20
GPIO0_90	IO	通用输入/输出	AA18	U15
GPIO0_91	IO	通用输入/输出	AD21	W17

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-23. GPIO1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPIO1_0	IO	通用输入/输出	AC20	V16
GPIO1_1	IO	通用输入/输出	AD22	W19
GPIO1_2	IO	通用输入/输出	AD23	V18
GPIO1_3	IO	通用输入/输出	AE23	W18
GPIO1_4	IO	通用输入/输出	AB20	Y20
GPIO1_5	IO	通用输入/输出	AC21	Y19
GPIO1_6	IO	通用输入/输出	AE22	W20
GPIO1_7	IO	通用输入/输出	B19	B18
GPIO1_8	IO	通用输入/输出	A19	B17
GPIO1_9	IO	通用输入/输出	B18	A18
GPIO1_10	IO	通用输入/输出	E18	D18
GPIO1_11	IO	通用输入/输出	B20	C17
GPIO1_12	IO	通用输入/输出	D20	C16
GPIO1_13	IO	通用输入/输出	E19	D15
GPIO1_14	IO	通用输入/输出	A20	D16
GPIO1_15	IO	通用输入/输出	A13	C11
GPIO1_16 ⁽¹⁾	IO	通用输入/输出	C13	D13
GPIO1_17	IO	通用输入/输出	A14	D12
GPIO1_18	IO	通用输入/输出	B13	C12
GPIO1_19	IO	通用输入/输出	B14	A14
GPIO1_20	IO	通用输入/输出	D14	A13
GPIO1_21	IO	通用输入/输出	E14	E11
GPIO1_22	IO	通用输入/输出	A15	B14
GPIO1_23	IO	通用输入/输出	B15	C13
GPIO1_24	IO	通用输入/输出	C15	B13
GPIO1_25	IO	通用输入/输出	E15	A15
GPIO1_26	IO	通用输入/输出	B16	E12
GPIO1_27	IO	通用输入/输出	A16	D14
GPIO1_28	IO	通用输入/输出	B17	A17
GPIO1_29	IO	通用输入/输出	A17	A16
GPIO1_30	IO	通用输入/输出	A18	C14

表 5-23. GPIO1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPIO1_31 ⁽¹⁾	IOD	通用输入/输出	D16	B16
GPIO1_32 ⁽¹⁾	IO	通用输入/输出	AC2	V4
GPIO1_33 ⁽¹⁾	IO	通用输入/输出	AD2	W4
GPIO1_34 ⁽¹⁾	IO	通用输入/输出	AC1	W3
GPIO1_35 ⁽¹⁾	IO	通用输入/输出	AB2	Y2
GPIO1_36 ⁽¹⁾	IO	通用输入/输出	Y4	W1
GPIO1_37 ⁽¹⁾	IO	通用输入/输出	AA3	W2
GPIO1_38 ⁽¹⁾	IO	通用输入/输出	AA1	V1
GPIO1_39 ⁽¹⁾	IO	通用输入/输出	AA2	V2
GPIO1_40 ⁽¹⁾	IO	通用输入/输出	AB1	Y1
GPIO1_41 ⁽¹⁾	IO	通用输入/输出	Y3	V3
GPIO1_42 ⁽¹⁾	IO	通用输入/输出	D22	C19
GPIO1_43 ⁽¹⁾	IO	通用输入/输出	C21	B20
GPIO1_44 ⁽¹⁾	IO	通用输入/输出	B21	B19
GPIO1_45 ⁽¹⁾	IO	通用输入/输出	A22	A19
GPIO1_46 ⁽¹⁾	IO	通用输入/输出	B22	A20
GPIO1_47 ⁽¹⁾	IO	通用输入/输出	A21	C18
GPIO1_48 ⁽¹⁾	IO	通用输入/输出	D17	C15
GPIO1_49 ⁽²⁾	IO	通用输入/输出	C17	B15
GPIO1_50	IO	通用输入/输出	C20	D17
GPIO1_51	IO	通用输入/输出	F18	E16

- (1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 **TRM 器件配置** 一章。
(2) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 **TRM 器件配置** 一章。

5.3.10.2 MCU 域

表 5-24. MCU_GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_GPIO0_0 ⁽¹⁾	IO	通用输入/输出	E8	E7
MCU_GPIO0_1 ⁽¹⁾	IO	通用输入/输出	B8	C8
MCU_GPIO0_2	IO	通用输入/输出	A7	B7
MCU_GPIO0_3	IO	通用输入/输出	D9	E8
MCU_GPIO0_4	IO	通用输入/输出	C9	D8
MCU_GPIO0_5	IO	通用输入/输出	B5	A8
MCU_GPIO0_6	IO	通用输入/输出	A5	B6
MCU_GPIO0_7 ⁽¹⁾	IO	通用输入/输出	A6	B8
MCU_GPIO0_8 ⁽¹⁾	IO	通用输入/输出	B6	D7
MCU_GPIO0_9	IO	通用输入/输出	B4	B5
MCU_GPIO0_10	IO	通用输入/输出	C5	C6
MCU_GPIO0_11 ⁽¹⁾	IO	通用输入/输出	C6	A7
MCU_GPIO0_12 ⁽¹⁾	IO	通用输入/输出	A4	B4
MCU_GPIO0_13	IO	通用输入/输出	D6	C5
MCU_GPIO0_14	IO	通用输入/输出	B3	C4
MCU_GPIO0_15 ⁽¹⁾	IO	通用输入/输出	E5	D5

表 5-24. MCU_GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_GPIO0_16 ⁽¹⁾	IO	通用输入/输出	D4	D6
MCU_GPIO0_17	IOD	通用输入/输出	A8	B9
MCU_GPIO0_18	IOD	通用输入/输出	D10	A10
MCU_GPIO0_19	IOD	通用输入/输出	B9	E9
MCU_GPIO0_20	IOD	通用输入/输出	A9	A9
MCU_GPIO0_21	IO	通用输入/输出	B12	A12
MCU_GPIO0_22	IO	通用输入/输出	B7	C7
MCU_GPIO0_23	IO	通用输入/输出	A12	B12

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.11 GPMC

5.3.11.1 MAIN 域

表 5-25. GPMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效 (低电平有效) 或地址锁存使能	L23	K20
GPMC0_CLK	O	GPMC 时钟	P25	M19
GPMC0_DIR	O	GPMC 数据总线信号方向控制	M22	J19
GPMC0_FCLK_MUX	O	GPMC 功能时钟输出	P25	M19
GPMC0_OEn_REn	O	GPMC 输出使能 (低电平有效) 或读取使能 (低电平有效)	L24	K21
GPMC0_WEn	O	GPMC 写入使能 (低电平有效)	L25	J17
GPMC0_WPn	O	GPMC 闪存写保护 (低电平有效)	K25	J20
GPMC0_A0	OZ	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	U22	R21
GPMC0_A1	OZ	A/D 非多路复用模式下为 GPMC 地址 1 输出，A/D 多路复用模式下为地址 17	V24	P18
GPMC0_A2	OZ	A/D 非多路复用模式下为 GPMC 地址 2 输出，A/D 多路复用模式下为地址 18	W25	R18
GPMC0_A3	OZ	A/D 非多路复用模式下为 GPMC 地址 3 输出，A/D 多路复用模式下为地址 19	W24	R19
GPMC0_A4	OZ	A/D 非多路复用模式下为 GPMC 地址 4 输出，A/D 多路复用模式下为地址 20	Y25	R20
GPMC0_A5	OZ	A/D 非多路复用模式下为 GPMC 地址 5 输出，A/D 多路复用模式下为地址 21	Y24	T20
GPMC0_A6	OZ	A/D 非多路复用模式下为 GPMC 地址 6 输出，A/D 多路复用模式下为地址 22	Y23	T21
GPMC0_A7	OZ	A/D 非多路复用模式下为 GPMC 地址 7 输出，A/D 多路复用模式下为地址 23	AA25	T19
GPMC0_A8	OZ	A/D 非多路复用模式下为 GPMC 地址 8 输出，A/D 多路复用模式下为地址 24	V21	U21
GPMC0_A9	OZ	A/D 非多路复用模式下为 GPMC 地址 9 输出，A/D 多路复用模式下为地址 25	W21	R17
GPMC0_A10	OZ	A/D 非多路复用模式下为 GPMC 地址 10 输出，A/D 多路复用模式下为地址 26	V20	T18
GPMC0_A11	OZ	A/D 非多路复用模式下为 GPMC 地址 11 输出，A/D 多路复用模式下未使用	AA23	U20

表 5-25. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPMC0_A12	OZ	A/D 非多路复用模式下为 GPMC 地址 12 输出， A/D 多路复用模式下未使用	AB25	U19
GPMC0_A13	OZ	A/D 非多路复用模式下为 GPMC 地址 13 输出， A/D 多路复用模式下未使用	AA24	V21
GPMC0_A14	OZ	A/D 非多路复用模式下为 GPMC 地址 14 输出， A/D 多路复用模式下未使用	Y22	U18
GPMC0_A15	OZ	A/D 非多路复用模式下为 GPMC 地址 15 输出， A/D 多路复用模式下未使用	AA21	V20
GPMC0_A16	OZ	A/D 非多路复用模式下为 GPMC 地址 16 输出， A/D 多路复用模式下未使用	AB24	W21
GPMC0_A17	OZ	A/D 非多路复用模式下为 GPMC 地址 17 输出， A/D 多路复用模式下未使用	Y20	T17
GPMC0_A18	OZ	A/D 非多路复用模式下为 GPMC 地址 18 输出， A/D 多路复用模式下未使用	AC25	T16
GPMC0_A19	OZ	A/D 非多路复用模式下为 GPMC 地址 19 输出， A/D 多路复用模式下未使用	AC24	U17
GPMC0_A20	OZ	A/D 非多路复用模式下为 GPMC 地址 20 输出， A/D 多路复用模式下未使用	K24	H19
GPMC0_A21	OZ	A/D 非多路复用模式下为 GPMC 地址 21 输出， A/D 多路复用模式下未使用	V25	P17
GPMC0_A22	OZ	A/D 非多路复用模式下为 GPMC 地址 22 输出， A/D 多路复用模式下未使用	K25	J20
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出， A/D 多路复用模式下为附加的地址 1 输出	M25	K19
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出， A/D 多路复用模式下为附加的地址 2 输出	N23	L19
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	N24	L20
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	N25	L21
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	P24	M21
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	P22	L17
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	P21	L18
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	R23	M20
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	R24	N20
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	R25	N21
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出， A/D 多路复用模式下为附加的地址 11 输出	T25	M17
GPMC0_AD11	IO	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出， A/D 多路复用模式下为附加的地址 12 输出	R21	N18
GPMC0_AD12	IO	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出， A/D 多路复用模式下为附加的地址 13 输出	T22	N17
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出， A/D 多路复用模式下为附加的地址 14 输出	T24	N19

表 5-25. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出, A/D 多路复用模式下为附加的地址 15 输出	U25	P19
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出, A/D 多路复用模式下为附加的地址 16 输出	U24	P20
GPMC0_BE0n_CLE	O	GPMC 低位字节使能 (低电平有效) 或命令锁存使能	M24	K17
GPMC0_BE1n	O	GPMC 高位字节使能 (低电平有效)	N20	K18
GPMC0_CSn0	O	GPMC 片选 0 (低电平有效)	M21	J18
GPMC0_CSn1	O	GPMC 片选 1 (低电平有效)	L21	H17
GPMC0_CSn2	O	GPMC 片选 2 (低电平有效)	K22	H18
GPMC0_CSn3	O	GPMC 片选 3 (低电平有效)	K24	H19
GPMC0_WAIT0	I	GPMC 外部等待指示	U23	P21
GPMC0_WAIT1	I	GPMC 外部等待指示	V25	P17

5.3.12 I2C

5.3.12.1 MAIN 域

表 5-26. I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
I2C0_SCL	IOD	I2C 时钟	B16	E12
I2C0_SDA	IOD	I2C 数据	A16	D14

表 5-27. I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
I2C1_SCL	IOD	I2C 时钟	B17	A17
I2C1_SDA	IOD	I2C 数据	A17	A16

表 5-28. I2C2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
I2C2_SCL	IOD	I2C 时钟	K22	H18
I2C2_SDA	IOD	I2C 数据	K24	H19

表 5-29. I2C3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
I2C3_SCL	IOD	I2C 时钟	A15、AB1	B14、Y1
I2C3_SDA	IOD	I2C 数据	B15、Y3	C13、V3

5.3.12.2 MCU 域

表 5-30. MCU_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_I2C0_SCL	IOD	I2C 时钟	A8	B9
MCU_I2C0_SDA	IOD	I2C 数据	D10	A10

5.3.12.3 WKUP 域

表 5-31. WKUP_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
WKUP_I2C0_SCL	IOD	I2C 时钟	B9	E9
WKUP_I2C0_SDA	IOD	I2C 数据	A9	A9

5.3.13 MCAN

5.3.13.1 MAIN 域

表 5-32. MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCAN0_RX	I	MCAN 接收数据	E15	A15
MCAN0_TX	O	MCAN 发送数据	C15	B13

5.3.13.2 MCU 域

表 5-33. MCU_MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_MCAN0_RX	I	MCAN 接收数据	B3	C4
MCU_MCAN0_TX	O	MCAN 发送数据	D6	C5

表 5-34. MCU_MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_MCAN1_RX	I	MCAN 接收数据	D4	D6
MCU_MCAN1_TX	O	MCAN 发送数据	E5	D5

5.3.14 MCASP

5.3.14.1 MAIN 域

表 5-35. MCASP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCASP0_ACLKR	IO	MCASP 接收位时钟	A20	D16
MCASP0_ACLKX	IO	MCASP 发送位时钟	B20	C17
MCASP0_AFSR	IO	MCASP 接收帧同步	E19	D15
MCASP0_AFSX	IO	MCASP 发送帧同步	D20	C16
MCASP0_AXR0	IO	MCASP 串行数据 (输入/输出)	E18	D18
MCASP0_AXR1	IO	MCASP 串行数据 (输入/输出)	B18	A18
MCASP0_AXR2	IO	MCASP 串行数据 (输入/输出)	A19	B17
MCASP0_AXR3	IO	MCASP 串行数据 (输入/输出)	B19	B18

表 5-36. MCASP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCASP1_ACLKR	IO	MCASP 接收位时钟	D25、E24、 K24	E18、E21、 H19
MCASP1_ACLKX	IO	MCASP 发送位时钟	A23、H25、 M24	D20、G20、 K17
MCASP1_AFSR	IO	MCASP 接收帧同步	C24、H21、 K22	C21、E17、 H18

表 5-36. MCASP1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCASP1_AFSX	IO	MCASP 发送帧同步	B23、J22、U23	C20、J21、P21
MCASP1_AXR0	IO	MCASP 串行数据 (输入/输出)	B24、J25、L25	B21、H21、J17
MCASP1_AXR1	IO	MCASP 串行数据 (输入/输出)	C25、J23、L24	D21、G21、K21
MCASP1_AXR2	IO	MCASP 串行数据 (输入/输出)	E23、H21、L23	E17、E19、K20
MCASP1_AXR3	IO	MCASP 串行数据 (输入/输出)	D24、E24、P25	E18、E20、M19
MCASP1_AXR4	IO	MCASP 串行数据 (输入/输出)	C24、K22	C21、H18
MCASP1_AXR5	IO	MCASP 串行数据 (输入/输出)	D25、K24	E21、H19

表 5-37. MCASP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCASP2_ACLKR	IO	MCASP 接收位时钟	AA18、U24	P20、U15
MCASP2_ACLKX	IO	MCASP 发送位时钟	AC20、B15、T24	C13、N19、V16
MCASP2_AFSR	IO	MCASP 接收帧同步	AB20、U25	P19、Y20
MCASP2_AFSX	IO	MCASP 发送帧同步	A15、AD21、T22	B14、N17、W17
MCASP2_AXR0	IO	MCASP 串行数据 (输入/输出)	AC21、C15、R24	B13、N20、Y19
MCASP2_AXR1	IO	MCASP 串行数据 (输入/输出)	AD23、E15、R25	A15、N21、V18
MCASP2_AXR2	IO	MCASP 串行数据 (输入/输出)	AE23、T25	M17、W18
MCASP2_AXR3	IO	MCASP 串行数据 (输入/输出)	AD22、R21	N18、W19
MCASP2_AXR4	IO	MCASP 串行数据 (输入/输出)	AA19、M25	K19、Y21
MCASP2_AXR5	IO	MCASP 串行数据 (输入/输出)	AE21、N23	L19、Y18
MCASP2_AXR6	IO	MCASP 串行数据 (输入/输出)	N24、Y18	AA20、L20
MCASP2_AXR7	IO	MCASP 串行数据 (输入/输出)	AB20、N25	L21、Y20
MCASP2_AXR8	IO	MCASP 串行数据 (输入/输出)	AA18、P24	M21、U15
MCASP2_AXR9	IO	MCASP 串行数据 (输入/输出)	P22	L17
MCASP2_AXR10	IO	MCASP 串行数据 (输入/输出)	P21	L18
MCASP2_AXR11	IO	MCASP 串行数据 (输入/输出)	R23	M20
MCASP2_AXR12	IO	MCASP 串行数据 (输入/输出)	N20	K18
MCASP2_AXR13	IO	MCASP 串行数据 (输入/输出)	M22	J19
MCASP2_AXR14	IO	MCASP 串行数据 (输入/输出)	M21	J18
MCASP2_AXR15	IO	MCASP 串行数据 (输入/输出)	L21	H17

5.3.15 MCSPI

5.3.15.1 MAIN 域

表 5-38. MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
SPI0_CLK	IO	SPI 时钟	A14	D12

表 5-38. MCSPI0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
SPI0_CS0	IO	SPI 片选 0	A13	C11
SPI0_CS1	IO	SPI 片选 1	C13	D13
SPI0_CS2	IO	SPI 片选 2	A15	B14
SPI0_CS3	IO	SPI 片选 3	B15	C13
SPI0_D0	IO	SPI 数据 0	B13	C12
SPI0_D1	IO	SPI 数据 1	B14	A14

表 5-39. MCSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
SPI1_CLK	IO	SPI 时钟	AA3、J25	H21、W2
SPI1_CS0	IO	SPI 片选 0	J23、Y4	G21、W1
SPI1_CS1	IO	SPI 片选 1	AB1、H21	E17、Y1
SPI1_CS2	IO	SPI 片选 2	Y3	V3
SPI1_CS3	IO	SPI 片选 3	AA1	V1
SPI1_D0	IO	SPI 数据 0	AC2、H25	G20、V4
SPI1_D1	IO	SPI 数据 1	AD2、J22	J21、W4

表 5-40. MCSPI2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
SPI2_CLK	IO	SPI 时钟	A17、A20、AA2	A16、D16、V2
SPI2_CS0	IO	SPI 片选 0	AA1、B16、E19	D15、E12、V1
SPI2_CS1	IO	SPI 片选 1	AC2、B17、B20	A17、C17、V4
SPI2_CS2	IO	SPI 片选 2	A16、B18、Y4	A18、D14、W1
SPI2_CS3	IO	SPI 片选 3	A18、AD2、D20	C14、C16、W4
SPI2_D0	IO	SPI 数据 0	AC1、B19、D14	A13、B18、W3
SPI2_D1	IO	SPI 数据 1	A19、AB2、E14	B17、E11、Y2

5.3.15.2 MCU 域

表 5-41. MCU_MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_SPI0_CLK	IO	SPI 时钟	A7	B7
MCU_SPI0_CS0	IO	SPI 片选 0	E8	E7
MCU_SPI0_CS1	IO	SPI 片选 1	B8	C8
MCU_SPI0_CS2	IO	SPI 片选 2	B4、D4	B5、D6
MCU_SPI0_CS3	IO	SPI 片选 3	D6	C5
MCU_SPI0_D0	IO	SPI 数据 0	D9	E8
MCU_SPI0_D1	IO	SPI 数据 1	C9	D8

表 5-42. MCU_MCSP11 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_SPI1_CLK	IO	SPI 时钟	A4、D4	B4、D6
MCU_SPI1_CS0	IO	SPI 片选 0	C6	A7
MCU_SPI1_CS1	IO	SPI 片选 2	E5	D5
MCU_SPI1_CS2	IO	SPI 片选 2	C5、D4	C6、D6
MCU_SPI1_CS3	IO	SPI 片选 3	B3	C4
MCU_SPI1_D0	IO	SPI 数据 0	A6	B8
MCU_SPI1_D1	IO	SPI 数据 1	B6	D7

5.3.16 MDIO

5.3.16.1 MAIN 域

表 5-43. MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MDIO0_MDC	O	MDIO 时钟	AD24	V17
MDIO0_MDIO	IO	MDIO 数据	AB22	U16

5.3.17 MMC

5.3.17.1 MAIN 域

表 5-44. MMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MMC0_CLK	IO	MMC/SD/SDIO 时钟	AB1	Y1
MMC0_CMD	IO	MMC/SD/SDIO 命令	Y3	V3
MMC0_DAT0	IO	MMC/SD/SDIO 数据	AA2	V2
MMC0_DAT1	IO	MMC/SD/SDIO 数据	AA1	V1
MMC0_DAT2	IO	MMC/SD/SDIO 数据	AA3	W2
MMC0_DAT3	IO	MMC/SD/SDIO 数据	Y4	W1
MMC0_DAT4	IO	MMC/SD/SDIO 数据	AB2	Y2
MMC0_DAT5	IO	MMC/SD/SDIO 数据	AC1	W3
MMC0_DAT6	IO	MMC/SD/SDIO 数据	AD2	W4
MMC0_DAT7	IO	MMC/SD/SDIO 数据	AC2	V4

表 5-45. MMC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MMC1_CLK	IO	MMC/SD/SDIO 时钟	B22	A20
MMC1_CMD	IO	MMC/SD/SDIO 命令	A21	C18
MMC1_SDCD	I	SD 卡检测	D17	C15
MMC1_SDWP	I	SD 写保护	C17	B15
MMC1_DAT0	IO	MMC/SD/SDIO 数据	A22	A19
MMC1_DAT1	IO	MMC/SD/SDIO 数据	B21	B19
MMC1_DAT2	IO	MMC/SD/SDIO 数据	C21	B20
MMC1_DAT3	IO	MMC/SD/SDIO 数据	D22	C19

表 5-46. MMC2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MMC2_CLK (1)	IO	MMC/SD/SDIO 时钟	D25	E21
MMC2_CMD	IO	MMC/SD/SDIO 命令	C24	C21
MMC2_SDCD (2)	I	SD 卡检测	A15、A23、 B17	A17、B14、 D20
MMC2_SDWP (2)	I	SD 写保护	A17、B15、 B23	A16、C13、 C20
MMC2_DAT0	IO	MMC/SD/SDIO 数据	B24	B21
MMC2_DAT1	IO	MMC/SD/SDIO 数据	C25	D21
MMC2_DAT2	IO	MMC/SD/SDIO 数据	E23	E19
MMC2_DAT3	IO	MMC/SD/SDIO 数据	D24	E20

- (1) 为了使 MMC2 正常工作，必须将 CTRLMMR_PADCONFIG71 寄存器配置为设置 (1) RXACTIVE 位和复位 (0) TX_DIS 位。
(2) 当 MMC2 端口连接到 UHS-I SD 卡 (该类卡需要 VDDSHV6 IO 电源轨在转换到其中一种 UHS-I 数据传输模式时，将其工作电压从 3.3V 更改为 1.8V) 时，这些 MMCSD2 主机控制器输入信号必须多路复用到由 VDDSHV0 IO 电源轨 (而不是 VDDSHV6 IO 电源轨) 供电的引脚。

5.3.18 OLDI

5.3.18.1 MAIN 域

表 5-47. OLDI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
OLDI0_A0N	IO	OLDI 差分数据 (负)	AA5	AA2
OLDI0_A0P	IO	OLDI 差分数据 (正)	Y6	AA3
OLDI0_A1N	IO	OLDI 差分数据 (负)	AD3	V5
OLDI0_A1P	IO	OLDI 差分数据 (正)	AB4	V6
OLDI0_A2N	IO	OLDI 差分数据 (负)	Y8	U7
OLDI0_A2P	IO	OLDI 差分数据 (正)	AA8	U6
OLDI0_A3N	IO	OLDI 差分数据 (负)	AB6	W6
OLDI0_A3P	IO	OLDI 差分数据 (正)	AA7	W5
OLDI0_A4N	IO	OLDI 差分数据 (负)	AC6	AA4
OLDI0_A4P	IO	OLDI 差分数据 (正)	AC5	Y5
OLDI0_A5N	IO	OLDI 差分数据 (负)	AE5	AA6
OLDI0_A5P	IO	OLDI 差分数据 (正)	AD6	AA5
OLDI0_A6N	IO	OLDI 差分数据 (负)	AE6	AA10
OLDI0_A6P	IO	OLDI 差分数据 (正)	AD7	Y9
OLDI0_A7N	IO	OLDI 差分数据 (负)	AD8	AA8
OLDI0_A7P	IO	OLDI 差分数据 (正)	AE7	Y8
OLDI0_CLK0N	IO	OLDI 差分时钟 (负)	AD4	V7
OLDI0_CLK0P	IO	OLDI 差分时钟 (正)	AE3	V8
OLDI0_CLK1N	IO	OLDI 差分时钟 (负)	AE4	Y7
OLDI0_CLK1P	IO	OLDI 差分时钟 (正)	AD5	AA7

5.3.19 OSPI

5.3.19.1 MAIN 域

表 5-48. OSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
OSPI0_CLK	O	OSPI 时钟	H24	G19
OSPI0_DQS	I	OSPI 数据选通 (DQS) 或环回时钟输入	J24	H20
OSPI0_ECC_FAIL	I	OSPI ECC 状态	E24	E18
OSPI0_LBCLKO	IO	OSPI 环回时钟输出	G25	G18
OSPI0_CSn0	O	OSPI 片选 0 (低电平有效)	F23	F19
OSPI0_CSn1	O	OSPI 片选 1 (低电平有效)	G21	F17
OSPI0_CSn2	O	OSPI 片选 2 (低电平有效)	H21	E17
OSPI0_CSn3	O	OSPI 片选 3 (低电平有效)	E24	E18
OSPI0_D0	IO	OSPI 数据 0	E25	F18
OSPI0_D1	IO	OSPI 数据 1	G24	G17
OSPI0_D2	IO	OSPI 数据 2	F25	F21
OSPI0_D3	IO	OSPI 数据 3	F24	F20
OSPI0_D4	IO	OSPI 数据 4	J23	G21
OSPI0_D5	IO	OSPI 数据 5	J25	H21
OSPI0_D6	IO	OSPI 数据 6	H25	G20
OSPI0_D7	IO	OSPI 数据 7	J22	J21
OSPI0_RESET_OUT0	O	OSPI 复位	E24	E18
OSPI0_RESET_OUT1	O	OSPI 复位	H21	E17

5.3.20 电源

表 5-49. 电源信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
CAP_VDDS0 ⁽¹⁾	CAP	IO 组 0 的外部电容器连接	H15	G12
CAP_VDDS1 ⁽¹⁾	CAP	IO 组 1 的外部电容器连接	K18	L15
CAP_VDDS2 ⁽¹⁾	CAP	IO 组 2 的外部电容器连接	W17	R13
CAP_VDDS3 ⁽¹⁾	CAP	IO 组 3 的外部电容器连接	P19	M15
CAP_VDDS4 ⁽¹⁾	CAP	IO 组 4 的外部电容器连接	U7	N8
CAP_VDDS5 ⁽¹⁾	CAP	IO 组 5 的外部电容器连接	H17	G15
CAP_VDDS6 ⁽¹⁾	CAP	IO 组 6 的外部电容器连接	J19	J15
CAP_VDDS_CANUART ⁽¹⁾	CAP	IO CANUART 的外部电容器连接	G9	G8
CAP_VDDS_MCU ⁽¹⁾	CAP	IO MCU 的外部电容器连接	H11	G11
VDDA_1P8_USB	PWR	USB0 和 USB1 1.8V 模拟电源	Y11	R11
VDDA_1P8_CSIRX0	PWR	CSIRX0 1.8V 模拟电源	W14	R12
VDDA_1P8_OLDIO	PWR	OLDIO 1.8V 模拟电源	W10、W9	P9、R9
VDDA_3P3_USB	PWR	USB0 和 USB1 3.3V 模拟电源	Y13	R10
VDDA_CORE_CSIRX0	PWR	CSIRX0 内核电源	W13	P12
VDDA_CORE_USB	PWR	USB0 和 USB1 内核电源	W12	P11
VDDA_DDR_PLL0	PWR	DDR 校正 PLL 模拟电源		L9
VDDA_MCU	PWR	RCOSC、POR、POK 和 MCU_PLL0 模拟电源	L11	H10

表 5-49. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
VDDA_PLL0	PWR	MAIN_PLL0、MAIN_PLL12、MAIN_PLL16 和 MAIN_PLL17 模拟电源	U11	N10
VDDA_PLL1	PWR	MAIN_PLL1 和 MAIN_PLL2 模拟电源	U15	P14
VDDA_PLL2	PWR	MAIN_PLL8 和 MAIN_PLL15 模拟电源	L14	K12
VDDA_TEMP0	PWR	TEMP0 模拟电源	T9	M7
VDDA_TEMP1	PWR	TEMP1 模拟电源	G16	F16
VDDR_CORE	PWR	RAM 电源	J12、K16、 N12、N14、 P16、R12、 T10、U14	H11、M10、 M13
VDDSHV0	PWR	IO 组 0 的 IO 电源	F15、G14	F12、G13
VDDSHV1	PWR	IO 组 1 的 IO 电源	L18、M19	K15、K16
VDDSHV2	PWR	IO 组 2 的 IO 电源	W16、W19	R14、R15
VDDSHV3	PWR	IO 组 3 的 IO 电源	N18、P18、 T19、U18	N15、N16
VDDSHV4	PWR	IO 组 4 的 IO 电源	T7	N7、P7
VDDSHV5	PWR	IO 组 5 的 IO 电源	G17	F14、G14
VDDSHV6	PWR	IO 组 6 的 IO 电源	J18	H15、H16
VDDSHV_CANUART	PWR	IO CANUART 的 IO 电源	H9	G7、H7
VDDSHV_MCU	PWR	IO MCU 的 IO 电源	F11、G12	F10、G10
VDDS_DDR	PWR	DDR PHY IO 电源	K9、L8、P9、 R8	C1、J8、K7、 K9、L8、U1
VDDS_DDR_C	PWR	DDR 时钟 IO 电源	M9	L7
VDDS_OSC0	PWR	MCU_OSC0 电源	G7	J7
VDD_CANUART	PWR	CANUART 内核电源	F8	H8
VDD_CORE	PWR	内核电源	H8、J11、 J14、K17、 L12、L15、 M16、N11、 N13、N8、 P17、R11、 R14、U12、 V15、V17、V8	H12、H14、 J11、J13、 J9、K10、 K14、L11、 L13、M12、 M14、M8、 N11、N13、 N9、P8
VPP	PWR	电子保险丝 ROM 编程电源	J8	F7

表 5-49. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
VSS	PWR	接地	A1、A24、 A25、AA11、 AB9、AD1、 AD12、 AD16、 AD25、AD9、 AE1、AE12、 AE16、 AE24、 AE25、AE8、 B25、F13、 G13、G19、 H13、H16、 H18、H20、 J13、J7、 K13、K15、 K19、K7、 L20、M10、 M12、M13、 M17、M18、 M7、M8、 N15、P10、 P13、P7、 R13、R15、 R18、R20、 T13、T14、 T16、T17、 T18、T8、 U19、U8、 V10、V11、 V13、V16、 V18、V9、 W7、Y2	A1、A21、 A4、AA1、 AA12、 AA15、 AA21、AA9、 D11、D19、 D4、E2、 F11、F13、 F15、F4、 F9、G16、 G6、G9、 H1、H13、 H6、J10、 J12、J14、 J16、J6、 K13、K3、 K6、K8、L1、 L10、L12、 L14、L16、 L6、M11、 M16、M18、 M6、M9、 N12、N14、 N6、P1、 P10、P13、 P15、P16、 P3、P6、 R16、R5、 R7、R8、 T10、T12、 T15、T3、 T6、T7、T9、 U10、U13、 U5、U8、 V11、V14、 V19、W10、 W13、W7、 Y11、Y14、 Y3、Y4、Y6

- (1) 如果相应的 VDDSHVx 引脚以 3.3V 电压运行，则该引脚必须始终通过 6.3V 或更高电压、0.8 μ F 至 1.5 μ F 电容器连接至 VSS。所选电容器必须在因直流偏置、工作温度和老化效应而降额后提供定义范围内的电容值。如果相应的 VDDSHVx 引脚仅在 1.8V 下运行，则有三个连接选项：连接到实现 3.3V 运行所需的同一去耦电容器，保持未连接状态，或连接到与相应 VDDSHVx 引脚相同的 1.8V 电源。

5.3.21 PRUSS

备注

PRUSS 包含第二层外设信号多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。器件 TRM 的 PRUSS 一章中对该内部包装器多路复用进行了说明

5.3.21.1 MAIN 域

表 5-50. PRUSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
PR0_ECAP0_IN_APWM_OUT	IO	PRUSS 增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	AC24、 AD21、B15、 E18、M22	C13、D18、 J19、U17、 W17

表 5-50. PRUSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
PR0_ECAP0_SYNC_IN	I	PRUSS ECAP 同步输入	A13、AD23	C11、V18
PR0_ECAP0_SYNC_OUT	O	PRUSS ECAP 同步输出	A15、AC20	B14、V16
PR0_IEP0_EDIO_DATA_IN_OUT28	IO	PRUSS 工业以太网数字 I/O 数据输入/输出	B19	B18
PR0_IEP0_EDIO_DATA_IN_OUT29	IO	PRUSS 工业以太网数字 I/O 数据输入/输出	A19	B17
PR0_IEP0_EDIO_DATA_IN_OUT30	IO	PRUSS 工业以太网数字 I/O 数据输入/输出	B16	E12
PR0_IEP0_EDIO_DATA_IN_OUT31	IO	PRUSS 工业以太网数字 I/O 数据输入/输出	A16	D14
PR0_PRU0_GPI0	I	PRUSS PRU 数据输入	AD22、M25、 T22、V20、Y4	K19、N17、 T18、W1、 W19
PR0_PRU0_GPI1	I	PRUSS PRU 数据输入	AA23、AA3、 AD23、N23、 T24	L19、N19、 U20、V18、 W2
PR0_PRU0_GPI2	I	PRUSS PRU 数据输入	AA1、AB25、 AE23、N24、 U25	L20、P19、 U19、V1、 W18
PR0_PRU0_GPI3	I	PRUSS PRU 数据输入	AA2、AA24、 AB20、N25、 U24	L21、P20、 V2、V21、Y20
PR0_PRU0_GPI4	I	PRUSS PRU 数据输入	AC21、P24、 Y22、Y3	M21、U18、 V3、Y19
PR0_PRU0_GPI5	I	PRUSS PRU 数据输入	AA21、P22	L17、V20
PR0_PRU0_GPI6	I	PRUSS PRU 数据输入	AB24、P21	L18、W21
PR0_PRU0_GPI7	I	PRUSS PRU 数据输入	R23、Y20	M20、T17
PR0_PRU0_GPI8	I	PRUSS PRU 数据输入	P25、U22	M19、R21
PR0_PRU0_GPI9	I	PRUSS PRU 数据输入	L23、V24	K20、P18
PR0_PRU0_GPI10	I	PRUSS PRU 数据输入	L24、W25	K21、R18
PR0_PRU0_GPI11	I	PRUSS PRU 数据输入	L25、W24	J17、R19
PR0_PRU0_GPI12	I	PRUSS PRU 数据输入	M24、Y25	K17、R20
PR0_PRU0_GPI13	I	PRUSS PRU 数据输入	N20、Y24	K18、T20
PR0_PRU0_GPI14	I	PRUSS PRU 数据输入	U23、Y23	P21、T21
PR0_PRU0_GPI15	I	PRUSS PRU 数据输入	AA25、K25	J20、T19
PR0_PRU0_GPI16	I	PRUSS PRU 数据输入	AE22、M22、 W21	J19、R17、 W20
PR0_PRU0_GPI17	I	PRUSS PRU 数据输入	M21、V21	J18、U21
PR0_PRU0_GPI18	I	PRUSS PRU 数据输入	AC25、L21	H17、T16
PR0_PRU0_GPI19	I	PRUSS PRU 数据输入	AC24、K22	H18、U17
PR0_PRU0_GPO0	IO	PRUSS PRU 数据输出	AD22、M25、 T22、V20、Y4	K19、N17、 T18、W1、 W19
PR0_PRU0_GPO1	IO	PRUSS PRU 数据输出	AA23、AA3、 AD23、N23、 T24	L19、N19、 U20、V18、 W2
PR0_PRU0_GPO2	IO	PRUSS PRU 数据输出	AA1、AB25、 AE23、N24、 U25	L20、P19、 U19、V1、 W18
PR0_PRU0_GPO3	IO	PRUSS PRU 数据输出	AA2、AA24、 AB20、N25、 U24	L21、P20、 V2、V21、Y20

表 5-50. PRUSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
PR0_PRU0_GPO4	IO	PRUSS PRU 数据输出	AC21、P24、Y22、Y3	M21、U18、V3、Y19
PR0_PRU0_GPO5	IO	PRUSS PRU 数据输出	AA21、P22	L17、V20
PR0_PRU0_GPO6	IO	PRUSS PRU 数据输出	AB24、P21	L18、W21
PR0_PRU0_GPO7	IO	PRUSS PRU 数据输出	R23、Y20	M20、T17
PR0_PRU0_GPO8	IO	PRUSS PRU 数据输出	P25、U22	M19、R21
PR0_PRU0_GPO9	IO	PRUSS PRU 数据输出	L23、V24	K20、P18
PR0_PRU0_GPO10	IO	PRUSS PRU 数据输出	L24、W25	K21、R18
PR0_PRU0_GPO11	IO	PRUSS PRU 数据输出	L25、W24	J17、R19
PR0_PRU0_GPO12	IO	PRUSS PRU 数据输出	M24、Y25	K17、R20
PR0_PRU0_GPO13	IO	PRUSS PRU 数据输出	N20、Y24	K18、T20
PR0_PRU0_GPO14	IO	PRUSS PRU 数据输出	U23、Y23	P21、T21
PR0_PRU0_GPO15	IO	PRUSS PRU 数据输出	AA25、K25	J20、T19
PR0_PRU0_GPO16	IO	PRUSS PRU 数据输出	AE22、M22、W21	J19、R17、W20
PR0_PRU0_GPO17	IO	PRUSS PRU 数据输出	M21、V21	J18、U21
PR0_PRU0_GPO18	IO	PRUSS PRU 数据输出	AC25、L21	H17、T16
PR0_PRU0_GPO19	IO	PRUSS PRU 数据输出	AC24、K22	H18、U17
PR0_UART0_CTSn	I	PRUSS UART 允许发送 (低电平有效)	AC20、AD17	AA16、V16
PR0_UART0_RTSn	O	PRUSS UART 请求发送 (低电平有效)	AB16、AE23	AA17、W18
PR0_UART0_RXD	I	PRUSS UART 接收数据	AC21、AE18、B18、B19、C15	A18、B13、B18、Y17、Y19
PR0_UART0_TXD	O	PRUSS UART 发送数据	A19、AD18、AE22、E15、E18	A15、AA18、B17、D18、W20

表 5-51. PRUSS1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
PR0_PRU1_GPI0	I	PRUSS PRU 数据输入	AA19、AC2、R24、U22	N20、R21、V4、Y21
PR0_PRU1_GPI1	I	PRUSS PRU 数据输入	AD2、AE21、R25、V24	N21、P18、W4、Y18
PR0_PRU1_GPI2	I	PRUSS PRU 数据输入	AC1、T25、W25、Y18	AA20、M17、R18、W3
PR0_PRU1_GPI3	I	PRUSS PRU 数据输入	AA18、AB2、R21、W24	N18、R19、U15、Y2
PR0_PRU1_GPI4	I	PRUSS PRU 数据输入	AB1、AD21、Y25	R20、W17、Y1
PR0_PRU1_GPI5	I	PRUSS PRU 数据输入	Y24	T20
PR0_PRU1_GPI6	I	PRUSS PRU 数据输入	Y23	T21
PR0_PRU1_GPI7	I	PRUSS PRU 数据输入	AA25	T19
PR0_PRU1_GPI8	I	PRUSS PRU 数据输入	M25、W21	K19、R17
PR0_PRU1_GPI9	I	PRUSS PRU 数据输入	N23、V20	L19、T18
PR0_PRU1_GPI10	I	PRUSS PRU 数据输入	AA23、N24	L20、U20
PR0_PRU1_GPI11	I	PRUSS PRU 数据输入	AB25、N25	L21、U19

表 5-51. PRUSS1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
PR0_PRU1_GPI12	I	PRUSS PRU 数据输入	AA24、P24	M21、V21
PR0_PRU1_GPI13	I	PRUSS PRU 数据输入	P22、Y22	L17、U18
PR0_PRU1_GPI14	I	PRUSS PRU 数据输入	AA21、P21	L18、V20
PR0_PRU1_GPI15	I	PRUSS PRU 数据输入	AB24、R23	M20、W21
PR0_PRU1_GPI16	I	PRUSS PRU 数据输入	AC20、L21、V21	H17、U21、V16
PR0_PRU1_GPI17	I	PRUSS PRU 数据输入	Y20	T17
PR0_PRU1_GPI18	I	PRUSS PRU 数据输入	AC25	T16
PR0_PRU1_GPI19	I	PRUSS PRU 数据输入	AC24	U17
PR0_PRU1_GPO0	O	PRUSS PRU 数据输出	AA19、AC2、R24、U22	N20、R21、V4、Y21
PR0_PRU1_GPO1	O	PRUSS PRU 数据输出	AD2、AE21、R25、V24	N21、P18、W4、Y18
PR0_PRU1_GPO2	O	PRUSS PRU 数据输出	AC1、T25、W25、Y18	AA20、M17、R18、W3
PR0_PRU1_GPO3	O	PRUSS PRU 数据输出	AA18、AB2、R21、W24	N18、R19、U15、Y2
PR0_PRU1_GPO4	O	PRUSS PRU 数据输出	AB1、AD21、Y25	R20、W17、Y1
PR0_PRU1_GPO5	O	PRUSS PRU 数据输出	Y24	T20
PR0_PRU1_GPO6	O	PRUSS PRU 数据输出	Y23	T21
PR0_PRU1_GPO7	O	PRUSS PRU 数据输出	AA25	T19
PR0_PRU1_GPO8	O	PRUSS PRU 数据输出	M25、W21	K19、R17
PR0_PRU1_GPO9	O	PRUSS PRU 数据输出	N23、V20	L19、T18
PR0_PRU1_GPO10	O	PRUSS PRU 数据输出	AA23、N24	L20、U20
PR0_PRU1_GPO11	O	PRUSS PRU 数据输出	AB25、N25	L21、U19
PR0_PRU1_GPO12	O	PRUSS PRU 数据输出	AA24、P24	M21、V21
PR0_PRU1_GPO13	O	PRUSS PRU 数据输出	P22、Y22	L17、U18
PR0_PRU1_GPO14	O	PRUSS PRU 数据输出	AA21、P21	L18、V20
PR0_PRU1_GPO15	O	PRUSS PRU 数据输出	AB24、R23	M20、W21
PR0_PRU1_GPO16	O	PRUSS PRU 数据输出	AC20、L21、V21	H17、U21、V16
PR0_PRU1_GPO17	O	PRUSS PRU 数据输出	Y20	T17
PR0_PRU1_GPO18	O	PRUSS PRU 数据输出	AC25	T16
PR0_PRU1_GPO19	O	PRUSS PRU 数据输出	AC24	U17

5.3.22 保留

表 5-52. 保留信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
RSVD0	不适用	保留，必须保持未连接状态	B1	B3
RSVD1	不适用	保留，必须保持未连接状态	A2	C3
RSVD2	不适用	保留，必须保持未连接状态	F6	E6
RSVD3	不适用	保留，必须保持未连接状态	AE2	F8
RSVD4	不适用	保留，必须保持未连接状态	T2	R6

表 5-52. 保留信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
RSVD5	不适用	保留, 必须保持未连接状态	U4	T13
RSVD6	不适用	保留, 必须保持未连接状态	AA12	T14
RSVD7	不适用	保留, 必须保持未连接状态	Y15	M4
RSVD8	不适用	保留, 必须保持未连接状态	E7	M5

5.3.23 系统和其他

5.3.23.1 启动模式配置

5.3.23.1.1 MAIN 域

表 5-53. Sysboot 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
BOOTMODE00	I	引导模式引脚 0	M25	K19
BOOTMODE01	I	引导模式引脚 1	N23	L19
BOOTMODE02	I	引导模式引脚 2	N24	L20
BOOTMODE03	I	引导模式引脚 3	N25	L21
BOOTMODE04	I	引导模式引脚 4	P24	M21
BOOTMODE05	I	引导模式引脚 5	P22	L17
BOOTMODE06	I	引导模式引脚 6	P21	L18
BOOTMODE07	I	引导模式引脚 7	R23	M20
BOOTMODE08	I	引导模式引脚 8	R24	N20
BOOTMODE09	I	引导模式引脚 9	R25	N21
BOOTMODE10	I	引导模式引脚 10	T25	M17
BOOTMODE11	I	引导模式引脚 11	R21	N18
BOOTMODE12	I	引导模式引脚 12	T22	N17
BOOTMODE13	I	引导模式引脚 13	T24	N19
BOOTMODE14	I	引导模式引脚 14	U25	P19
BOOTMODE15	I	引导模式引脚 15	U24	P20

5.3.23.2 时钟

5.3.23.2.1 MCU 域

表 5-54. MCU 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_OSC0_XI	I	高频振荡器输入	B2	A5
MCU_OSC0_XO	O	高频振荡器输出	A3	A6

5.3.23.2.2 WKUP 域

表 5-55. WKUP 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
WKUP_LFOSC0_XI	I	低频 (32.768KHz) 振荡器输入	C2	A2
WKUP_LFOSC0_XO	O	低频 (32.768KHz) 振荡器输出	C1	A3

5.3.23.3 系统

5.3.23.3.1 MAIN 域

表 5-56. 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
AUDIO_EXT_REFCLK0	IO	McASP 的外部时钟输入或 McASP 的输出	A15、AE22、E18	B14、D18、W20
AUDIO_EXT_REFCLK1	IO	McASP 的外部时钟输入或 McASP 的输出	B15、D20、K25	C13、C16、J20
CLKOUT0	O	RMII 时钟输出 (50MHz)。该引脚用作外部 RMII PHY 的时钟源，并且还必须路由回相应的 RMII[x]_REF_CLK 引脚以确保器件正常运行。	A18	C14
EXTINTn	I	外部中断	D16	B16
EXT_REFCLK1	I	主域的外部时钟输入	A18	C14
OBSClk0	O	主域观察时钟输出，仅用于测试和调试目的	B16、T25	E12、M17
PORz_OUT	O	主域 POR 状态输出	E21	E13
RESETSTATz	O	主域热复位状态输出	F22	E14
RESET_REQz	I	主域外部热复位请求输入	F20	E15
SYSCLKOUT0	O	主域系统时钟输出 (4 分频)，仅用于测试和调试目的	A18	C14

5.3.23.3.2 MCU 域

表 5-57. MCU 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_ERRORn	IO	MCU 域 ESM 的错误信号输出	D1	B1
MCU_EXT_REFCLK0	I	MCU 域的外部输入	B8、E5	C8、D5
MCU_OBSClk0	O	MCU 域观察时钟输出，仅用于测试和调试目的	B8	C8
MCU_PORz	I	MCU 和主域冷复位	D2	B2
MCU_RESETSTATz	O	MCU 域热复位状态输出	B12	A12
MCU_RESETz	I	MCU 域热复位	E11	C9
MCU_SYSCLKOUT0	O	MCU 域系统时钟输出 (除以 4)，仅用于测试和调试目的	B8	C8

5.3.23.3.3 WKUP 域

表 5-58. WKUP 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
PMIC_LPM_EN0	O	双功能 PMIC 控制输出，低功耗模式 (低电平有效) 或 PMIC 使能 (高电平有效)	B7	C7
WKUP_CLKOUT0	O	WKUP 域 CLKOUT0 输出	A12	B12

5.3.23.4 VMON

表 5-59. VMON 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
VMON_1P8_SOC	A	1.8V SoC 电源的电压监测输入	G10	H9
VMON_3P3_SOC	A	3.3V SoC 电源的电压监测输入	K10	K11
VMON_VSYS	A	电压监控输入，0.45V (+/-3%) 固定阈值。与外部精密分压器配合使用，以监控更高的电压轨，例如 PMIC 输入电源。	H10	F6

5.3.24 计时器

5.3.24.1 MAIN 域

表 5-60. 计时器信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	AA3、B17、D22	A17、C19、W2
TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	A17、C21	A16、B20
TIMER_IO2	IO	计时器输入和输出 (未连接到单个计时器实例)	B21、C15	B13、B19
TIMER_IO3	IO	计时器输入和输出 (未连接到单个计时器实例)	A22、E15	A15、A19
TIMER_IO4	IO	计时器输入和输出 (未连接到单个计时器实例)	A18、AB1、B22	A20、C14、Y1
TIMER_IO5	IO	计时器输入和输出 (未连接到单个计时器实例)	A16、A21、Y3	C18、D14、V3
TIMER_IO6	IO	计时器输入和输出 (未连接到单个计时器实例)	A15、D17	B14、C15
TIMER_IO7	IO	计时器输入和输出 (未连接到单个计时器实例)	B15、C17	B15、C13

5.3.24.2 MCU 域

表 5-61. MCU_TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	A6、B3	B8、C4
MCU_TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	B6、B8	C8、D7
MCU_TIMER_IO2	IO	计时器输入和输出 (未连接到单个计时器实例)	E5	D5
MCU_TIMER_IO3	IO	计时器输入和输出 (未连接到单个计时器实例)	D4	D6

5.3.24.3 WKUP 域

表 5-62. WKUP_TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
WKUP_TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	C6、D6	A7、C5
WKUP_TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	A4、E8	B4、E7

5.3.25 UART

5.3.25.1 MAIN 域

表 5-63. UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART0_CTSn	I	UART 允许发送 (低电平有效)	A15	B14
UART0_RTSn	O	UART 请求发送 (低电平有效)	B15	C13
UART0_RXD	I	UART 接收数据	D14	A13
UART0_TXD	O	UART 发送数据	E14	E11

表 5-64. UART1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART1_CTSn	I	UART 允许发送 (低电平有效)	B19	B18
UART1_DCDn	I	UART 数据载波检测 (低电平有效)	B16	E12
UART1_DSRn	I	UART 数据就绪 (低电平有效)	A16	D14
UART1_DTRn	O	UART 数据终端就绪 (低电平有效)	C15	B13

表 5-64. UART1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART1_RIn	I	UART 振铃指示器	E15	A15
UART1_RTSn	O	UART 请求发送 (低电平有效)	A19	B17
UART1_RXD	I	UART 接收数据	B17、E19	A17、D15
UART1_TXD	O	UART 发送数据	A17、A20	A16、D16

表 5-65. UART2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART2_CTSn	I	UART 允许发送 (低电平有效)	A22、AB2、AC24、U25	A19、P19、U17、Y2
UART2_RTSn	O	UART 请求发送 (低电平有效)	AC1、AC25、B21、U24	B19、P20、T16、W3
UART2_RXD	I	UART 接收数据	A15、AC2、D22、R24、U22	B14、C19、N20、R21、V4
UART2_TXD	O	UART 发送数据	AD2、B15、C21、R25、V24	B20、C13、N21、P18、W4

表 5-66. UART3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART3_CTSn	I	UART 允许发送 (低电平有效)	AA2、C17、Y20	B15、T17、V2
UART3_RTSn	O	UART 请求发送 (低电平有效)	AA1、AB24、D17	C15、V1、W21
UART3_RXD	I	UART 接收数据	B22、T25、W25、Y4	A20、M17、R18、W1
UART3_TXD	O	UART 发送数据	A21、AA3、R21、W24	C18、N18、R19、W2

表 5-67. UART4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART4_CTSn	I	UART 允许发送 (低电平有效)	AA21	V20
UART4_RTSn	O	UART 请求发送 (低电平有效)	Y22	U18
UART4_RXD	I	UART 接收数据	A23、K22、T22、Y25	D20、H18、N17、R20
UART4_TXD	O	UART 发送数据	B23、K24、T24、Y24	C20、H19、N19、T20

表 5-68. UART5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART5_CTSn	I	UART 允许发送 (低电平有效)	AA24、J24	H20、V21
UART5_RTSn	O	UART 请求发送 (低电平有效)	AB25、G25	G18、U19
UART5_RXD	I	UART 接收数据	C15、D24、H21、U25、Y23	B13、E17、E20、P19、T21

表 5-68. UART5 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART5_TXD	O	UART 发送数据	AA25、E15、 E23、E24、 U24	A15、E18、 E19、P20、 T19

表 5-69. UART6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
UART6_CTSn	I	UART 允许发送 (低电平有效)	AA23、J22	J21、U20
UART6_RTSn	O	UART 请求发送 (低电平有效)	H25、V20	G20、T18
UART6_RXD	I	UART 接收数据	B19、D17、 D25、J23、 V21、V25	B18、C15、 E21、G21、 P17、U21
UART6_TXD	O	UART 发送数据	A19、C17、 C24、J25、 K25、W21	B15、B17、 C21、H21、 J20、R17

5.3.25.2 MCU 域

表 5-70. MCU_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
MCU_UART0_CTSn	I	UART 允许发送 (低电平有效)	A6	B8
MCU_UART0_RTSn	O	UART 请求发送 (低电平有效)	B6	D7
MCU_UART0_RXD	I	UART 接收数据	B5	A8
MCU_UART0_TXD	O	UART 发送数据	A5	B6

5.3.25.3 WKUP 域

表 5-71. WKUP_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
WKUP_UART0_CTSn	I	UART 允许发送 (低电平有效)	C6	A7
WKUP_UART0_RTSn	O	UART 请求发送 (低电平有效)	A4	B4
WKUP_UART0_RXD	I	UART 接收数据	B4	B5
WKUP_UART0_TXD	O	UART 发送数据	C5	C6

5.3.26 USB

5.3.26.1 MAIN 域

表 5-72. USB0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
USB0_DM	IO	USB 2.0 差分数据 (负)	AE11	AA11
USB0_DP	IO	USB 2.0 差分数据 (正)	AD11	Y10
USB0_DRVBUS	O	USB VBUS 控制输出 (高电平有效)	C20	D17
USB0_RCALIB ⁽¹⁾	A	连接到校准电阻的引脚	AE10	T8
USB0_VBUS ⁽²⁾	A	USB 电平转换的 VBUS 输入	AC11	V10

(1) 必须在该引脚和 VSS 之间连接一个外部 $499\Omega \pm 1\%$ 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

(2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息, 请参阅节 8.2.3 USB VBUS 设计指南。

表 5-73. USB1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ALW PIN [4]	AMC PIN [4]
USB1_DM	IO	USB 2.0 差分数据 (负)	AD10	W8
USB1_DP	IO	USB 2.0 差分数据 (正)	AE9	W9
USB1_DRVVBUS	O	USB VBUS 控制输出 (高电平有效)	F18	E16
USB1_RCALIB ⁽¹⁾	A	连接到校准电阻的引脚	AC9	V9
USB1_VBUS ⁽²⁾	A	USB 电平转换的 VBUS 输入	AB10	U9

- (1) 必须在该引脚和 VSS 之间连接一个外部 $499\ \Omega \pm 1\%$ 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。
- (2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 USB VBUS 设计指南。

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用封装焊球的连接要求。

备注

除非另有说明，否则必须为所有电源焊球提供节 6.5 建议运行条件中指定的电压。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC)表示这些器件焊球编号不能连接任何信号布线。

表 5-74. 连接要求

ALW 焊球 编号	AMC 焊球 编号	焊球名称	连接要求
D1 B10	B1 A11	MCU_ERRORn TRSTn	这些焊球均必须通过单独的外部拉电阻器连接到 VSS，以确保如果 PCB 信号布线已连接并且未由连接的器件主动驱动，与这些焊球关联的输入会保持为有效的逻辑低电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部下拉来保持有效的逻辑低电平。
E12 C11 E11 F20 A10 A11 B11	D9 B10 C9 E15 C10 D10 B11	EMU0 EMU1 MCU_RESETz RESET_REQz TCK TDI TMS	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ ，以确保如果信号布线 PCB 已连接并且未由连接的器件主动驱动，则与这些焊球相关的输入保持为有效的逻辑高电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部上拉来保持有效的逻辑高电平。
A8 D10 B9 A9	B9 A10 E9 A9	MCU_I2C0_SCL MCU_I2C0_SDA WKUP_I2C0_SCL WKUP_I2C0_SDA	这些焊球均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ 或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而实现所选的信号功能。
M25 N23 N24 N25 P24 P22 P21 R23 R24 R25 T25 R21 T22 T24 U25 U24	K19 L19 L20 L21 M21 L17 L18 M20 N20 N21 M17 N18 N17 N19 P19 P20	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ 或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。
K9 L8 P9 R8 - - M9	K9 L8 J8 K7 C1 U1 L7	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR_C	如果不使用 DDRSS，则必须将这些焊球中的每一个直接连接到 VSS。

表 5-74. 连接要求 (续)

ALW 焊球 编号	AMC 焊球 编号	焊球名称	连接要求
N6 R3 M4 T1 M5 N3 J1 J2 K3 L5 K4 K1 R2 P2 P1 P4 R5 P5 R6 R1 M1 N1 T4 N2 M2 L1 L2 H2 J4 L6 K2 H5 W5 F4 G5 F3 H6 E3 G2 F2 F1 U1 U3 U2 V5 W2 V6 Y1 W1 E1 E2 V1 V2 H1 J3 G1	M1 N1 J3 M2 K5 J2 F5 G5 G4 H4 J5 H5 P4 N2 P2 N4 N3 M3 P5 N5 L5 L3 L4 L2 K4 J1 K1 G3 H2 H3 G1 E3 R4 C2 E4 D3 E5 D2 F3 F1 R3 R2 T2 U2 U3 U4 T4 T5 D1 E1 T1 R1 J4 K2 G2	DDR0_ACT_n DDR0_ALERT_n DDR0_CAS_n DDR0_PAR DDR0_RAS_n DDR0_WE_n DDR0_A0 DDR0_A1 DDR0_A2 DDR0_A3 DDR0_A4 DDR0_A5 DDR0_A6 DDR0_A7 DDR0_A8 DDR0_A9 DDR0_A10 DDR0_A11 DDR0_A12 DDR0_A13 DDR0_BA0 DDR0_BA1 DDR0_BG0 DDR0_BG1 DDR0_CAL0 DDR0_CK0 DDR0_CK0_n DDR0_CKE0 DDR0_CKE1 DDR0_CS0_n DDR0_CS1_n DDR0_DM0 DDR0_DM1 DDR0_DQ0 DDR0_DQ1 DDR0_DQ2 DDR0_DQ3 DDR0_DQ4 DDR0_DQ5 DDR0_DQ6 DDR0_DQ7 DDR0_DQ8 DDR0_DQ9 DDR0_DQ10 DDR0_DQ11 DDR0_DQ12 DDR0_DQ13 DDR0_DQ14 DDR0_DQ15 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_ODT0 DDR0_ODT1 DDR0_RESET0_n	如果不使用 DDRSS，请保持未连接状态。 注意：仅当 VDDSDDR 和 VDDSDDR_C 连接到 VSS 时，此列表中的 DDR0 引脚才能保持未连接状态。当 VDDSDDR 和 VDDSDDR_C 连接到电源时，必须按照 DDR 电路板设计和布局布线指南 中的定义来连接 DDR0 引脚。
W12 Y11 Y13	P11 R11 R10	VDDA_CORE_USB VDDA_1P8_USB VDDA_3P3_USB	USB0 与 USB1 共享这些电源轨，因此在使用 USB0 或 USB1 时，这些焊球每一个均必须连接到有效的电源。 如果不使用 USB0 和 USB1，则这些焊球每一个均必须直接连接到 VSS。

表 5-74. 连接要求 (续)

ALW 焊球 编号	AMC 焊球 编号	焊球名称	连接要求
AE11 AD11 AE10 AC11 AD10 AE9 AC9 AB10	AA11 Y10 T8 V10 W8 W9 V9 U9	USB0_DM USB0_DP USB0_RCALIB USB0_VBUS USB1_DM USB1_DP USB1_RCALIB USB1_VBUS	如果不使用 USB0 或 USB1, 请将相应的 DM、DP 和 VBUS 焊球保持未连接状态。 注意: 仅当 VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB 连接到 VSS 时, USB0_RCALIB 和 USB1_RCALIB 引脚才能保持未连接状态。当 VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB 连接到电源时, USB0_RCALIB 和 USB1_RCALIB 引脚必须通过单独的适当外部电阻器连接到 VSS。
W13 W14	P12 R12	VDDA_CORE_CSIRX0 VDDA_1P8_CSIRX0	如果不使用 CSIRX0 并且需要器件边界扫描功能, 这些焊球均必须连接至有效电源。 如果不使用 CSIRX0, 并且不需要器件边界扫描功能, 这些焊球均可以直接连接到 VSS。
AD15 AE15 AB14 AC15 AA14	AA14 AA13 Y13 Y12 T11	CSI0_RXCLKN CSI0_RXCLKP CSI0_RXN0 CSI0_RXP0 CSI0_RXRCALIB	如果不使用 CSIRX0, 则保持未连接状态。
AD14 AE14	V13 V12	CSI0_RXN1 CSI0_RXP1	如果 CSIRX0 未使用或仅在单通道模式下运行, 请保持未连接状态。
AD13 AE13	U12 U11	CSI0_RXN2 CSI0_RXP2	如果 CSIRX0 未使用或仅在单通道或双通道模式下运行, 请保持未连接状态。
AB12 AC13	W12 W11	CSI0_RXN3 CSI0_RXP3	如果 CSIRX0 未使用或仅在单通道、双通道或三通道模式下运行, 请保持未连接状态。
AA5 Y6 AD3 AB4 Y8 AA8 AB6 AA7 AC6 AC5 AE5 AD6 AE6 AD7 AD8 AE7 AD4 AE3 AE4 AD5	AA2 AA3 V5 V6 U7 U6 W6 W5 AA4 Y5 AA6 AA5 AA10 Y9 AA8 Y8 V7 V8 Y7 AA7	OLDIO_A0N OLDIO_A0P OLDIO_A1N OLDIO_A1P OLDIO_A2N OLDIO_A2P OLDIO_A3N OLDIO_A3P OLDIO_A4N OLDIO_A4P OLDIO_A5N OLDIO_A5P OLDIO_A6N OLDIO_A6P OLDIO_A7N OLDIO_A7P OLDIO_CLK0N OLDIO_CLK0P OLDIO_CLK1N OLDIO_CLK1P	如果不使用 OLDIO, 则保持未连接状态。
H10	F6	VMON_VSYS	如果不使用 VMON_VSYS, 这个焊球必须直接连接至 VSS。
G10	H9	VMON_1P8_SOC	如果 VMON_1P8_SOC 未用于监控 SOC 电源轨, 则此焊球必须保持连接到 1.8V 电源轨。
K10	K11	VMON_3P3_SOC	如果 VMON_3P3_SOC 未用于监控 SOC 电源轨, 则此焊球必须保持连接到 3.3V 电源轨, 或者直接连接到 VSS。

(1) 要确定与任何 IO 关联的电源, 请参阅引脚属性表的“电源”一列。

备注

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，建议使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

很多处理器 I/O 默认处于关闭状态，并且可能需要外部拉电阻器才能将任何所连接器件的输入保持在有效逻辑状态，直到软件初始化相应的 I/O。引脚属性表的“复位 RX/TX/PULL 期间的焊球状态”和“复位 RX/TX/PULL 后的焊球状态”列中定义了可配置器件 IO 的状态。任何输入缓冲器 (RX) 关闭的 IO 都可以浮动，而不会损坏器件。但是，任何已打开输入缓冲器 (RX) 的 IO 不得浮动到 V_{ILSS} 和 V_{IHSS} 之间的任何电位。输入缓冲器可以进入高电流状态，如果允许在这些电平之间浮动，则可能会损坏 IO 单元。

6 规格

6.1 绝对最大额定值

在工作结温范围内测得 (除非另有说明) (1) (2)

参数		最小值	最大值	单位
VDD_CORE	内核电源	-0.3	1.05	V
VDDR_CORE	RAM 电源	-0.3	1.05	V
VDD_CANUART	CANUART 内核电源	-0.3	1.05	V
VDDA_CORE_CSIRX0	CSIRX0 内核电源	-0.3	1.05	V
VDDA_CORE_USB	USB0 和 USB1 内核电源	-0.3	1.05	V
VDDA_DDR_PLL0(3)	DDR 校正 PLL 电源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 电源	-0.3	1.57	V
VDDS_DDR_C	DDR 时钟 IO 电源	-0.3	1.57	V
VDDS_OSC0	MCU_OSC0 电源	-0.3	1.98	V
VDDA_MCU	RCOSC、POR、POK 和 MCU_PLL0 模拟电源	-0.3	1.98	V
VDDA_PLL0	MAIN_PLL0、MAIN_PLL12、MAIN_PLL16 和 MAIN_PLL17 模拟电源	-0.3	1.98	V
VDDA_PLL1	MAIN_PLL1 和 MAIN_PLL2 模拟电源	-0.3	1.98	V
VDDA_PLL2	MAIN_PLL8 和 MAIN_PLL15 模拟电源	-0.3	1.98	V
VDDA_1P8_CSIRX0	CSIRX0 1.8V 模拟电源	-0.3	1.98	V
VDDA_1P8_OLDIO	OLDIO 1.8V 模拟电源	-0.3	1.98	V
VDDA_1P8_USB	USB0 和 USB1 1.8V 模拟电源	-0.3	1.98	V
VDDA_TEMP0	TEMP0 模拟电源	-0.3	1.98	V
VDDA_TEMP1	TEMP1 模拟电源	-0.3	1.98	V
VPP	电子保险丝 ROM 编程电源	-0.3	1.98	V
VDDSHV_MCU	IO MCU 的 IO 电源	-0.3	3.63	V
VDDSHV_CANUART	IO CANUART 的 IO 电源	-0.3	3.63	V
VDDSHV0	IO 组 0 的 IO 电源	-0.3	3.63	V
VDDSHV1	IO 组 1 的 IO 电源	-0.3	3.63	V
VDDSHV2	IO 组 2 的 IO 电源	-0.3	3.63	V
VDDSHV3	IO 组 3 的 IO 电源	-0.3	3.63	V
VDDSHV4	IO 组 4 的 IO 电源	-0.3	3.63	V
VDDSHV5	IO 组 5 的 IO 电源	-0.3	3.63	V
VDDSHV6	IO 组 6 的 IO 电源	-0.3	3.63	V
VDDA_3P3_USB	USB0 和 USB1 3.3V 模拟电源	-0.3	3.63	V
所有失效防护 IO 引脚的稳态最大电压	MCU_PORz	-0.3	3.63	V
	以 1.8V 运行时的 MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA 和 EXTINTn	-0.3	1.98(4)	V
	以 3.3V 运行时的 MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA 和 EXTINTn	-0.3	3.63(4)	
	VMON_1P8_SOC	-0.3	1.98	V
	VMON_3P3_SOC	-0.3	3.63	V
	VMON_VSYS(5)	-0.3	1.98	V

在工作结温范围内测得 (除非另有说明) (1) (2)

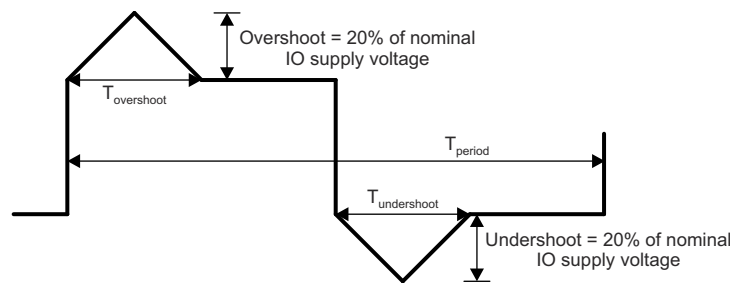
参数		最小值	最大值	单位
所有其他 IO 引脚的稳态最大电压 ⁽⁶⁾	USB0_VBUS、USB1_VBUS ⁽⁷⁾	-0.3	3.6	V
	所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲	20% 信号周期期间 20% 的 IO 电源电压 (请参阅图 6-1 IO 瞬态电压范围)	0.2 × VDD ⁽⁸⁾		V
门锁性能 ⁽⁹⁾	电流测试	-100	100	mA
	过压 (OV) 测试	1.5 × VDD ⁽⁸⁾		V
T _{STG}	贮存温度	-55	+150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在节 6.5 建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 除非另有说明，否则所有电压值均以 VSS 为基准。
- (3) VDDA_DDR_PLL0 电源轨仅适用于 AMC 封装。该电源轨在内部连接到 ALW 封装中的 VDD_CORE。
- (4) 这些失效防护引脚的绝对最大额定值取决于其 IO 电源工作电压。因此，该值也由 I2C 开漏和失效防护 (I2C OD FS) 电气特性一节中的最大 V_{IH} 值定义，其中电气特性表具有针对 1.8V 模式和 3.3V 模式的不同参数值。
- (5) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息，请参阅节 8.2.4 系统电源监测设计指南。
- (6) 此参数适用于所有不具有失效防护功能的 IO 引脚，该要求适用于所有 IO 电源电压值。例如，如果施加到特定 IO 电源的电压为 0V，则由该电源供电的任何 IO 的有效输入电压范围将为 -0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时，都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压（包括电源斜升和斜降序列），这一点很重要。
- (7) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 USB 设计指南。
- (8) VDD 是 IO 相应电源引脚上的电压。
- (9) 对于电流脉冲注入（电流测试）：
 - 引脚应力符合 JEDEC JESD78（II 级），并施加额定 I/O 引脚注入电流和钳位电压（最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍）。

对于过压性能（过压 (OV) 测试）：

- 电源应力符合 JEDEC JESD78（II 级）并施加额定电压注入。

失效防护 IO 终端的设计使其不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时，将外部电压源连接到这些 IO 终端。MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn、VMON_1P8_SOC、VMON_3P3_SOC、VMON_VSYS 和 MCU_PORz 是仅有的失效防护 IO 端子。所有其他 IO 端子都不具有失效防护功能，对其施加的电压应限制为节 6.1 中的“所有其他 IO 引脚的稳态最大电压”参数定义的值。



A. $T_{\text{overshoot}} + T_{\text{undershoot}} < T_{\text{period}}$ 的 20%

图 6-1. IO 瞬态电压范围

6.2 未通过 AEC - Q100 认证的器件的 ESD 等级

			值	单位
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±250	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 符合 AEC - Q100 标准的器件的 ESD 等级

			值	单位	
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC - Q100-002 标准 ⁽¹⁾		±1000	V
		充电器件模型 (CDM), 符合 AEC - Q100-011 标准	转角引脚 ALW 封装 (A1、A25、AE1 和 AE25)	±750	
			转角引脚 AMC 封装 (A1、A21、AA1 和 AA21)		
			所有其他引脚	±250	

(1) AEC - Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

6.4 上电小时数 (POH)

上电小时数 (POH) ^{(1) (2) (3)}		
结温范围 (T _J)	使用寿命 (POH)	
商用级	0°C 至 95°C	100000
扩展工业级	-40°C 至 105°C	100000
汽车级	-40°C 至 125°C	20000 ⁽⁴⁾

(1) 为方便起见, 单独提供这些信息, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

(2) 除非上表中另有说明, 否则器件在额定温度下支持所有电压域和工作条件。

(3) POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。

(4) 汽车曲线定义为 20000 小时通电时间, 此时结温如下所示: 5% (-40°C)、65% (70°C)、20% (110°C) 和 10% (125°C)。

6.5 建议运行条件

在工作结温范围内测得（除非另有说明）

电源名称	说明		最小值 ⁽¹⁾	标称值	最大值 ⁽¹⁾	单位
VDD_CORE ⁽²⁾	内核电源	0.75V 工作电压	0.715	0.75	0.79	V
VDDA_CORE_CSIRX0 ⁽²⁾	CSIRX0 内核电源					
VDDA_CORE_USB ⁽²⁾	USB0 和 USB1 内核电源	0.85V 工作电压	0.81	0.85	0.895	V
VDDA_DDR_PLL0 ^{(2) (3)}	DDR 偏斜消除 PLL 电源					
VDD_CANUART ⁽⁴⁾	CANUART 内核电源	0.75V 工作电压	0.715	0.75	0.79	V
		0.85V 工作电压	0.81	0.85	0.895	V
VDDR_CORE	RAM 电源		0.81	0.85	0.895	V
VDDS_DDR ⁽⁵⁾	DDR PHY IO 电源	1.1V 工作电压	1.06	1.1	1.17	V
VDDS_DDR_C ⁽⁵⁾	DDR 时钟 IO 电源	1.2V 工作电压	1.14	1.2	1.26	V
VDDS_OSC0	MCU_OSC0 电源		1.71	1.8	1.89	V
VDDA_MCU	RCOSC、POR、POK 和 MCU_PLL0 模拟电源		1.71	1.8	1.89	V
VDDA_PLL0	MAIN_PLL0、MAIN_PLL12、MAIN_PLL16 和 MAIN_PLL17 模拟电源		1.71	1.8	1.89	V
VDDA_PLL1	MAIN_PLL1 和 MAIN_PLL2 模拟电源		1.71	1.8	1.89	V
VDDA_PLL2	MAIN_PLL8 和 MAIN_PLL15 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_CSIRX0	CSIRX0 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_OLDI0	OLDI0 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_USB	USB0 和 USB1 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_TEMP0	TEMP0 模拟电源		1.71	1.8	1.89	V
VDDA_TEMP1	TEMP1 模拟电源		1.71	1.8	1.89	V
VPP	电子保险丝 ROM 编程电源		请参阅 ⁽⁶⁾	请参阅 ⁽⁶⁾	请参阅 ⁽⁶⁾	V
VMON_1P8_SOC	1.8V SoC 电源的电压监测器		1.71	1.8	1.89	V
VDDA_3P3_USB	USB0 和 USB1 3.3V 模拟电源		3.135	3.3	3.465	V
VMON_3P3_SOC	3.3V SoC 电源的电压监测器		3.135	3.3	3.465	V
VMON_VSYS	电压监测器引脚		0 请参阅 ⁽⁷⁾		1	V
USB0_VBUS	USB0 电平转换的 VBUS 输入		0 请参阅 ⁽⁸⁾		3.465	V
USB1_VBUS	USB1 电平转换的 VBUS 输入		0 请参阅 ⁽⁸⁾		3.465	V
VDDSHV_CANUART ⁽⁹⁾	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV_MCU	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV0	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV1	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV2	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV3	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV4	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V

在工作结温范围内测得（除非另有说明）

电源名称	说明		最小值 ⁽¹⁾	标称值	最大值 ⁽¹⁾	单位
VDDSHV5	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV6	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
T _J	工作结温范围	汽车	-40		125	°C
		扩展工业级	-40		105	°C
		商用级	0		95	°C

- (1) 在器件正常运行期间，器件焊球上的电压在任何时间段绝不能降至 MIN 电压以下或升至 MAX 电压以上。
- (2) VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 应来自同一电源。应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 +/- 1% 之内。
- (3) VDDA_DDR_PLL0 电源轨仅适用于 AMC 封装。该电源轨在内部连接到 ALW 封装中的 VDD_CORE。
- (4) 当使用部分 IO 低功耗模式时，VDD_CANUART 应连接到常开型电源。当不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。
- (5) VDDS_DDR 和 VDDS_DDR_C 应来自同一电源。
- (6) 对于基于电子保险丝用法的 VPP 电源电压，请参阅 [OTP 电子保险丝编程的建议运行条件表](#)。
- (7) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息，请参阅 [节 8.2.4 系统电源监测设计指南](#)。
- (8) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅 [节 8.2.3 USB 设计指南](#)。
- (9) 当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源。当不使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到任何有效的 IO 电源。

6.6 运行性能点

本节介绍了表 6-1 中器件的最大工作条件，以及表 6-2 中处理器时钟和器件内核时钟的每个运行性能点 (OPP)。

表 6-1. 器件速度等级

速度等级	VDD_CORE (V) ⁽¹⁾	最大工作频率 (MHz)								最大转换率 (MT/s) ⁽²⁾	
		A53SS (Cortex-A53x)	GPU	PRU	Main Infra (CBA)	MCUSS (Cortex-M4F)	器件/电源管理器 (Cortex-R5F)	SMS 子系统 (两个 Cortex-M4F)	OCSRAM	DDR4	LPDDR4
G	0.75/0.85	300	500	250	250	400	400	400	400	1600	1600
K	0.75/0.85	800	500	250	250	400	400	400	400	1600	1600
S	0.75/0.85	1000	500	333	250	400	400	400	400	1600	1600
T	0.75/0.85	1250	500	333	250	400	400	400	400	1600	1600
	0.85	1400									

(1) 额定工作电压，请参阅 [建议运行条件](#)。

(2) 最大 DDR 频率将根据系统中使用的特定存储器类型 (供应商) 以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 [DDR 电路板设计和布局布线指南](#)。

表 6-2. 器件运行性能点

OPP	A53SS ⁽¹⁾	固定工作频率选项 (MHz) ⁽²⁾							MT/s ⁽³⁾	
		GPU	PRU	MAIN INFRA (CBA)	MCUSS	器件/电源管理器	SMS / SMS CBA	OCSRAM	DDR4	LPDDR4
高电平	从 ARM0 PLL 旁路至速度等级最大值	500	333、250 或 200	250	400 或 200	400	400	400	1600 (最大值)	从 DDR PLL 旁路 ⁽⁴⁾ 至 1600
低		不适用		125		133	133	133	250 (DRAM DLL 旁路)	

(1) 默认工作频率，在启动时由软件设置。支持启动后动态频率调节。

(2) 固定工作频率，在启动时由软件设置。

(3) 最大 DDR 频率将根据系统中使用的特定存储器类型 (供应商) 以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 [DDR 电路板设计和布局布线指南](#)。

(4) 源自 DDR0_CK0 和 DDR0_CK0_n 的 DDR PLL 输出，通常以频率单位定义。因此，在旁路模式下运行时，“DDR PLL 旁路”事务速率等于 DDR PLL 输出频率的 2 倍。

6.7 功耗摘要

有关器件功耗的信息，请参阅 [AM62x 功耗估算工具](#) 应用手册。

6.8 电气特性

备注

节 6.8 中所述的接口或信号对应于多路复用模式 0 (主信号功能) 中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式 (功能) 指定不同的直流电气特性。

6.8.1 I2C 开漏和失效防护 (I2C OD FS) 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				$0.3 \times VDD^{(1)}$	V
V_{ILSS}	输入低电压稳态				$0.3 \times VDD^{(1)}$	V
V_{IH}	输入高电压		$0.7 \times VDD^{(1)}$		$1.98^{(2)}$	V
V_{IHSS}	输入高电压稳态		$0.7 \times VDD^{(1)}$			V
V_{HYS}	输入迟滞电压		$0.1 \times VDD^{(1)}$			mV
$I_{IN}^{(3)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA
V_{OL}	输出低电压				$0.2 \times VDD^{(1)}$	V
$I_{OL}^{(4)}$	低电平输出电流	$V_{OL(MAX)}$	10			mA
$SR_I^{(6)}$	输入压摆率		$18f^{(5)}$ 或 $1.8E+6$			V/s
3.3V 模式⁽⁷⁾						
V_{IL}	输入低电压				$0.3 \times VDD^{(1)}$	V
V_{ILSS}	输入低电压稳态				$0.25 \times VDD^{(1)}$	V
V_{IH}	输入高电压		$0.7 \times VDD^{(1)}$		$3.63^{(2)}$	V
V_{IHSS}	输入高电压稳态		$0.7 \times VDD^{(1)}$			V
V_{HYS}	输入迟滞电压		$0.05 \times VDD^{(1)}$			mV
$I_{IN}^{(3)}$	输入漏电流。	$V_I = 3.3V$			10	μA
		$V_I = 0V$			-10	μA
V_{OL}	输出低电压				0.4	V
$I_{OL}^{(4)}$	低电平输出电流	$V_{OL(MAX)}$	10			mA
$SR_I^{(6)}$	输入压摆率		$33f^{(5)}$ 或 $3.3E+6$		$8E+7$	V/s

- (1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的 POWER 列。
- (2) 该值还定义了 IO 的“绝对最大额定值”值。
- (3) 此参数定义了将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
- (4) I_{OL} 参数定义了器件能够保持指定 V_{OL} 值的最小低电平输出电流。此参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 值。
- (5) f = 输入信号的切换频率 (以 Hz 为单位) 。
- (6) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。
- (7) 在 3.3V 模式下操作 IO 时，不支持 I2C Hs 模式。

6.8.2 失效防护复位 (FS 复位) 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.3 \times V_{DD5_OSC0}$	V
V_{ILSS}	输入低电压稳态				$0.3 \times V_{DD5_OSC0}$	V
V_{IH}	输入高电压		$0.7 \times V_{DD5_OSC0}$			V
V_{IHSS}	输入高电压稳态		$0.7 \times V_{DD5_OSC0}$			V
V_{HYS}	输入迟滞电压		200			mV
$I_{IN}^{(1)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA
$SR_I^{(3)}$	输入压摆率		$18f^{(2)}$ 或 $1.8E+6$			V/s

(1) 此参数定义了将端子用作输入时的漏电流。

(2) f = 输入信号的切换频率 (以 Hz 为单位)。

(3) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.8.3 高频振荡器 (HFOSC) 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.35 \times V_{DD5_OSC0}$	V
V_{IH}	输入高电压		$0.65 \times V_{DD5_OSC0}$			V
V_{HYS}	输入迟滞电压			49		mV
$I_{IN}^{(1)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA

(1) 此参数定义了将端子用作输入时的漏电流。

6.8.4 低频振荡器 (LFXOSC) 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.30 \times V_{DD5_OSC0}$	V
V_{IH}	输入高电压		$0.70 \times V_{DD5_OSC0}$			V
V_{HYS}	输入迟滞电压	工作模式		85		mV
		旁路模式		324		mV
$I_{IN}^{(1)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA

(1) 此参数定义了将端子用作输入时的漏电流。

6.8.5 SDIO 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V _{IL}	输入低电压		0.58			V
V _{ILSS}	输入低电压稳态		0.58			V
V _{IH}	输入高电压		1.27			V
V _{IHSS}	输入高电压稳态		1.7			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN} ⁽¹⁾	输入漏电流。	V _I = 1.8V	10			μA
		V _I = 0V	-10			μA
R _{PU}	上拉电阻器		40	50	60	kΩ
R _{PD}	下拉电阻器		40	50	60	kΩ
V _{OL}	输出低电压		0.45			V
V _{OH}	输出高电压		VDD ⁽²⁾ - 0.45			V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	4			mA
I _{OH} ⁽³⁾	高电平输出电流	V _{OH(MIN)}	4			mA
SR _I ⁽⁵⁾	输入压摆率		18f ⁽⁴⁾ 或 1.8E+6			V/s
3.3V 模式						
V _{IL}	输入低电压		0.25 × VDD ⁽²⁾			V
V _{ILSS}	输入低电压稳态		0.15 × VDD ⁽²⁾			V
V _{IH}	输入高电压		0.625 × VDD ⁽²⁾			V
V _{IHSS}	输入高电压稳态		0.625 × VDD ⁽²⁾			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN} ⁽¹⁾	输入漏电流。	V _I = 3.3V	10			μA
		V _I = 0V	-10			μA
R _{PU}	上拉电阻器		40	50	60	kΩ
R _{PD}	下拉电阻器		40	50	60	kΩ
V _{OL}	输出低电压		0.125 × VDD ⁽²⁾			V
V _{OH}	输出高电压		0.75 × VDD ⁽²⁾			V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	6			mA
I _{OH} ⁽³⁾	高电平输出电流	V _{OH(MIN)}	10			mA
SR _I ⁽⁵⁾	输入压摆率		33f ⁽⁴⁾ 或 3.3E+6			V/s

- (1) 此参数定义了 在未启用内部拉电阻的情况下, 将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
- (2) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息, 请参阅 *引脚属性* 表的“电源”列。
- (3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流, 而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
- (4) f = 输入信号的切换频率 (以 Hz 为单位) 。
- (5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.8.6 LVCMOS 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V _{IL}	输入低电压			0.35 × VDD ⁽¹⁾		V
V _{ILSS}	输入低电压稳态			0.3 × VDD ⁽¹⁾		V
V _{IH}	输入高电压		0.65 × VDD ⁽¹⁾			V
V _{IHSS}	输入高电压稳态		0.85 × VDD ⁽¹⁾			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN} ⁽²⁾	输入漏电流。	V _I = 1.8V			10	μA
		V _I = 0V			-10	μA
R _{PU}	上拉电阻器		15	22	30	kΩ
R _{PD}	下拉电阻器		15	22	30	kΩ
V _{OL}	输出低电压				0.45	V
V _{OH}	输出高电压		VDD ⁽¹⁾ - 0.45			V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	3			mA
I _{OH} ⁽³⁾	高电平输出电流	V _{OH(MIN)}	3			mA
SR _I ⁽⁵⁾	输入压摆率		18f ⁽⁴⁾ 或 1.8E+6			V/s
3.3V 模式						
V _{IL}	输入低电压				0.8	V
V _{ILSS}	输入低电压稳态				0.6	V
V _{IH}	输入高电压		2.0			V
V _{IHSS}	输入高电压稳态		2.0			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN} ⁽²⁾	输入漏电流。	V _I = 3.3V			10	μA
		V _I = 0V			-10	μA
R _{PU}	上拉电阻器		15	22	30	kΩ
R _{PD}	下拉电阻器		15	22	30	kΩ
V _{OL}	输出低电压				0.4	V
V _{OH}	输出高电压		2.4			V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	5			mA
I _{OH} ⁽³⁾	高电平输出电流	V _{OH(MIN)}	9			mA
SR _I ⁽⁵⁾	输入压摆率		33f ⁽⁴⁾ 或 3.3E+6			V/s

- (1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。
- (2) 此参数定义了 在未启用内部拉电阻的情况下将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
- (3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
- (4) f = 输入信号的切换频率 (以 Hz 为单位) 。
- (5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.8.7 OLDI LVDS (OLDI) 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	电压, 输出高电平	差分负载 = 100 Ω			1.5	V
V_{OL}	电压, 输出低电平		0.925			V
V_{OCM}	电压, 输出共模		1.125		1.375	V
ΔV_{OCM}	电压差值, 输出共模 (高电平和低电平稳态之间的差值)				30	mV
V_{OD}	电压, 输出差分		250		400	mV
ΔV_{OD}	电压差值, 输出差分 (高电平和低电平稳态之间的差值)				50	mV
I_{OS}	电流, 输出短路	$V = V_{SS}$ 差分负载 = 100 Ω			-5	mA
I_{OZ}	电流, 输出高阻态	$V = V_{DD}^{(1)}$ 或 $V = V_{SS}$	-10	4	40	μA

(1) V_{DD} 表示相应的电源。有关电源名称和相应焊球的详细信息, 请参阅引脚属性表的“电源”列。

6.8.8 CSI-2 (D-PHY) 电气特性

备注

CSIRX0 符合 2014 年 8 月 1 日发布的 MIPI DPHY v1.2 标准, 包括适用的 ECN 和勘误表。

6.8.9 USB2PHY 电气特性

备注

USB0 和 USB1 接口符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范, 包括适用的 ECN 和勘误表。

6.8.10 DDR 电气特性

备注

DDR 接口与符合 JESD79-4B 标准的 DDR4 器件和符合 JESD209-4B 标准的 LPDDR4 器件兼容

6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节指定了 OTP 电子保险丝编程所需的运行条件。

6.9.1 OTP 电子保险丝编程的建议运行条件

在工作结温范围内测得 (除非另有说明)

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域的电源电压范围	请参阅 节 6.5			V
VPP	在没有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围	NC ⁽¹⁾			V
	在有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围	0			V
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 ⁽²⁾	1.71	1.8	1.89	V
I _(VPP)	VPP 电流	400			mA
SR _(VPP)	VPP 上电压摆率	6E + 4			V/s
T _j	对电子保险丝 ROM 进行编程时的工作结温范围。	0	25	85	°C

(1) NC 表示无连接。

(2) 电源电压范围包括直流误差和峰峰值噪声。

6.9.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。
- 在执行正确的器件上电序列后，VPP 电源必须斜升 (有关更多详细信息，请参阅 节 6.12.2.2 电源时序控制)。

6.9.3 编程序列

OTP 电子保险丝的编程序列：

- 按照上电顺序为电路板加电。上电和正常运行期间，VPP 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件 (请联系您当地的 TI 代表以获取 OTP 软件包)。
- 根据 节 6.9.1 中的规格在 VPP 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP 端子上的电压。

6.9.4 对硬件保修的影响

您同意使用安全密钥对 TI 器件进行电子熔断会永久改变它们。您确认，由于程序序列不正确或中止或者您省略了某个序列步骤等，电子保险丝可能会发生故障。此外，如果量产密钥的错误代码校正检查失败，或者映像未使用当前有效量产密钥进行签名和选择性加密，则 TI 器件可能无法安全启动。这些类型的情况将导致 TI 器件无法运行，TI 将无法确认在尝试使用电子保险丝之前 TI 器件是否符合其规格。因此，对于客户错误进行电子熔断的任何 TI 器件，TI 不承担任何责任 (保修责任或其他责任)。

6.10 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于节 6.5 建议运行条件中确定的 T_J 值。

备注

热参数按照 JEDEC 标准 JESD51x 生成，不适用于设计参数。如果需要更准确的热表示，请下载处理器热模型，并将您的 PCB 设计导入热仿真环境。有关散热实施指南的详细信息，请参阅[散热解决方案指南](#)部分。

6.10.1 ALW 和 AMC 封装的热阻特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	ALW 封装 °C/W ^{(1) (2)}	ALW AEC-Q100 认证 封装 °C/W ^{(1) (2)}	AMC AEC-Q100 认证 封装 °C/W ^{(1) (2)}	空气 流量 (m/s) ⁽³⁾
T1	$R_{\Theta JC}$	结点到外壳	4.3	3.2	1.2	不适用
T2	$R_{\Theta JB}$	结点到电路板	7.1	6.0	3.9	不适用
T3	$R_{\Theta JA}$	结点到环境空气	19.3	18.3	13.3	0
T4		结至流动空气	14.5	13.4	9.7	1
T5			13.4	12.3	8.7	2
T6			12.8	11.7	8.1	3
T7	Ψ_{JT}	结至封装顶部	0.11	0.07	0.73	0
T8			0.21	0.14	0.75	1
T9			0.26	0.18	0.76	2
T10			0.31	0.22	0.77	3
T11	Ψ_{JB}	结点到电路板	7.0	5.9	3.7	0
T12			6.6	5.5	3.4	1
T13			6.5	5.4	3.3	2
T14			6.5	5.4	3.3	3

(1) °C/W = 摄氏度/瓦。

(2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(3) m/s = 米/秒。

6.11 温度传感器特性

本节总结了电压和温度模块 (VTM) 片上温度传感器特性。

出于操作和可靠性方面的考虑，器件的最高结温必须达到或低于 *建议运行条件* 中确定的 T_J 值。

表 6-3. VTM 裸片温度传感器特性

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	VTM 温度传感器精度	-40°C 至 125°C	-5		5	°C

6.12 时序和开关特性

备注

时序要求和开关特性值可能会根据器件表征结果而变化。

备注

除非另有说明，否则必须使用每个焊盘配置寄存器中的默认 SLEWRATE 设置来确保时序。

6.12.1 时序参数和信息

节 6.12 时序和开关特性 中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-4 中缩写了一些引脚名称和其他相关术语：

表 6-4. 时序参数下标

符号	参数
c	周期时间 (周期)
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
启动	起始位
t	转换时间
v	有效时间
W	脉冲持续时间 (宽度)
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

6.12.2 电源要求

本节介绍了确保器件正常运行的电源要求。

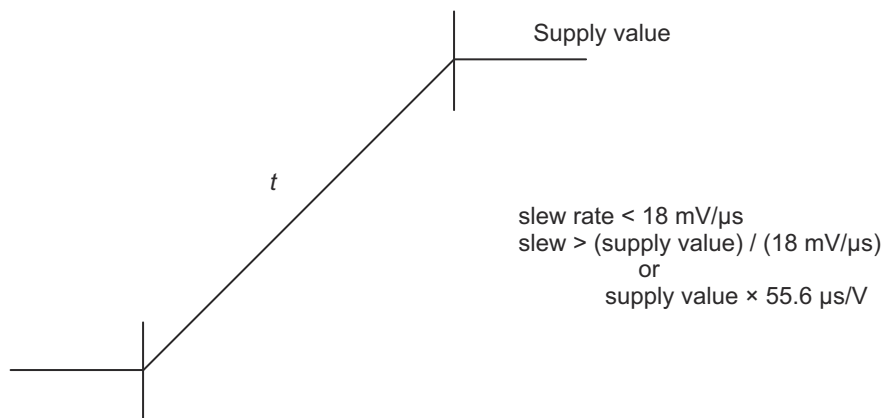
备注

除非在 *信号说明* 和 *引脚连接要求* 中另有说明，否则必须使用 *建议运行条件* 一节中指定的电压为所有电源焊球供电。

6.12.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 $18\text{mV}/\mu\text{s}$ 。例如，如图 6-2 所示，对于高于 $100\mu\text{s}$ 的 1.8V 电源，TI 建议采用电源电压斜坡转换时间。

图 6-2 介绍了器件中的电源压摆率要求。



SPRT740_ELCH_06

图 6-2. 电源电压转换时间和压摆率

6.12.2.2 电源时序

本节使用电源序列图和相关注释来介绍电源序列要求。每个电源序列图都展示了每个器件电源轨的预期顺序。这是通过将每个器件电源轨分配给一个或多个波形来完成的。双电压电源轨可能与多个波形相关联，相关注释将说明哪种波形适用。每个波形定义了相关电源轨的转换区域，并显示其与其他电源轨的转换区域的顺序关系。与电源时序图相关的注释提供了这些要求的更多详细信息。有关上电要求的详细信息，请参阅[上电序列](#)一节；有关断电要求的详细信息，请参阅[断电序列](#)一节。

使用两种类型的电源转换区域来简化电源时序图。提供了图 6-3 和图 6-4 中显示的图例及其说明，以阐明每个转换区域代表什么。

图 6-3 定义了具有多个电源轨的转换区域，这些电源轨可能来自多个电源或单个电源。转换区域内所示的转换代表一种用例，其中使用多个电源来提供与该波形相关的电源轨，允许这些电源在该区域内的不同时间升降，因为它们彼此之间没有任何特定的顺序要求。

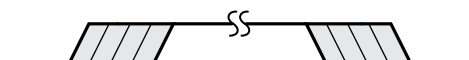


图 6-3. 多电源转换图例

图 6-4 定义了一个或多个电源轨的转换区域，这些电源轨必须来自单个公共电源。该区域内没有显示任何转换来表示转换区域内的单个斜坡。

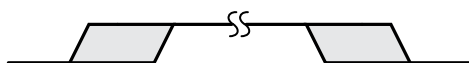


图 6-4. 单个公共电源转换图例

6.12.2.2.1 上电时序

表 6-5 和图 6-5 介绍了器件上电时序。

备注

本节中定义的电源时序要求不包括进入或退出低功耗模式。有关进入或退出低功耗模式时电源序列要求的更多信息，请参阅节 6.12.2.2.3 部分 IO 电源时序。

备注

只要电源轨降至 *建议运行条件* 中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后启动新的上电序列。唯一的例外是在进入/退出部分 IO 低功耗模式时，此时 VDDSHV_CANUART 和 VDD_CANUART 由常开型电源供电。对于此用例，允许 VDDSHV_CANUART 和 VDD_CANUART 电源轨保持开启状态。

表 6-5. 上电时序 - 电源/信号分配

请参阅：图 6-5

波形	电源/信号名称
A	VSYS ⁽¹⁾ 、VMON_VSYS ⁽²⁾
B	VDDSHV_CANUART ⁽³⁾ 、VDDSHV_MCU ⁽³⁾ 、VDDSHV0 ⁽³⁾ 、VDDSHV1 ⁽³⁾ 、VDDSHV2 ⁽³⁾ 、VDDSHV3 ⁽³⁾ 、VDDA_3P3_USB、VMON_3P3_SOC ⁽⁴⁾
C	VDDSHV_CANUART ⁽⁵⁾ 、VDDSHV_MCU ⁽⁵⁾ 、VDDSHV0 ⁽⁵⁾ 、VDDSHV1 ⁽⁵⁾ 、VDDSHV2 ⁽⁵⁾ 、VDDSHV3 ⁽⁵⁾ 、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_CSIRX0、VDDA_1P8_OLDIO、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VMON_1P8_SOC ⁽⁶⁾
D	VDDSHV4 ⁽⁷⁾ 、VDDSHV5 ⁽⁷⁾ 、VDDSHV6 ⁽⁷⁾
E	VDDS_DDR ⁽⁸⁾ 、VDDS_DDR_C ⁽⁸⁾
F	VDD_CANUART ⁽⁹⁾
G	VDD_CANUART ⁽¹⁰⁾ 、VDD_CORE ⁽¹⁰⁾ (12)、VDDA_CORE_CSIRX0 ⁽¹⁰⁾ 、VDDA_CORE_USB0 ⁽¹⁰⁾ 、VDDA_DDR_PLL0 ⁽¹⁰⁾
H	VDD_CANUART ⁽¹¹⁾ 、VDD_CORE ⁽¹¹⁾ (12)、VDDA_CORE_CSIRX0 ⁽¹¹⁾ 、VDDA_CORE_USB0 ⁽¹¹⁾ 、VDDA_DDR_PLL0 ⁽¹¹⁾ 、VDDR_CORE ⁽¹²⁾
I	VPP ⁽¹³⁾
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

- (1) VSYS 表示为整个系统供电的电源的名称。该电源应是一个预调节电源，为电源管理器件提供电源，而电源管理器件为所有其他电源提供电源。
- (2) VMON_VSYS 输入用于通过外部电阻分压器电路监测 VSYS。有关更多信息，请参阅系统电源监测设计指南。
- (3) VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3] 是双电压 IO 电源，可根据应用要求以 1.8V 或 3.3V 的电压运行。
当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源，或者当不使用部分 IO 低功耗模式时，应连接到任何有效的 IO 电源。当 VDDSHV_CANUART 未连接至常开型电源且工作电压为 3.3V 时，应在该波形定义的 3.3V 斜坡周期内使用其他 3.3V 电源进行斜升。
当任何 VDDSHV_MCU 和 VDDSHVx [x=0-3] IO 电源以 3.3V 运行时，它们应在该波形定义的 3.3V 斜坡周期内与其他 3.3V 电源一起斜升。
- (4) VMON_3P3_SOC 输入用于监测电源电压，并应连接到相应的 3.3V 电源。
- (5) VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3] 是双电压 IO 电源，可根据应用要求以 1.8V 或 3.3V 的电压运行。
当使用部分 IO 低功耗模式时，VDDSHV_CANUART 应连接到常开型电源，或者当不使用部分 IO 低功耗模式时，应连接到任何有效的 IO 电源。当 VDDSHV_CANUART 未连接至常开型电源且工作电压为 1.8V 时，应在该波形定义的 1.8V 斜坡周期内使用其他 1.8V 电源进行斜升。
当任何 VDDSHV_MCU 和 VDDSHVx [x=0-3] IO 电源以 1.8V 运行时，它们应在该波形定义的 1.8V 斜坡周期内与其他 1.8V 电源一起斜升。
- (6) VMON_1P8_SOC 输入用于监测电源电压，并应连接到相应的 1.8V 电源。

- (7) VDDSHV4、VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
- (8) VDDS_DDR 和 VDDS_DDR_C 应由同一电源供电，以便它们一起斜升。
- (9) 当使用部分 IO 低功耗模式时，VDD_CANUART 应连接到常开型电源。
当 VDD_CANUART 连接到常开型电源时，上电或断电期间施加到 VDD_CORE 的电势绝不能大于施加到 VDD_CANUART 的电势 + 0.18V。这要求 VDD_CANUART 在 VDD_CORE 之前斜升并在 VDD_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CANUART 没有任何斜坡要求。
- (10) 在不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。
VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 可在 0.75V 或 0.85V 下运行。当这些电源在 0.75V 下运行时，它们应在 VDDR_CORE 之前按照该波形的定义进行斜升。
- (11) 在不使用部分 IO 低功耗模式时，VDD_CANUART 应连接到与 VDD_CORE、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。
VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 可在 0.75V 或 0.85V 下运行。当这些电源在 0.85V 下运行时，它们应由与 VDDR_CORE 相同的电源供电，并在该波形定义的 0.85V 斜坡周期内斜升。
- (12) 在上电或断电期间，施加到 VDDR_CORE 的电势绝不能大于施加到 VDD_CORE 的电势 + 0.18V。当 VDD_CORE 工作电压为 0.75V 时，这要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CORE 没有任何斜坡要求。
VDD_CORE 和 VDDR_CORE 应由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起升降。
- (13) VPP 是 1.8V 电子保险丝编程电源，在上电/断电序列期间以及正常器件运行期间，应保持悬空（高阻态）或接地。该电源应仅在对电子保险丝进行编程时提供。

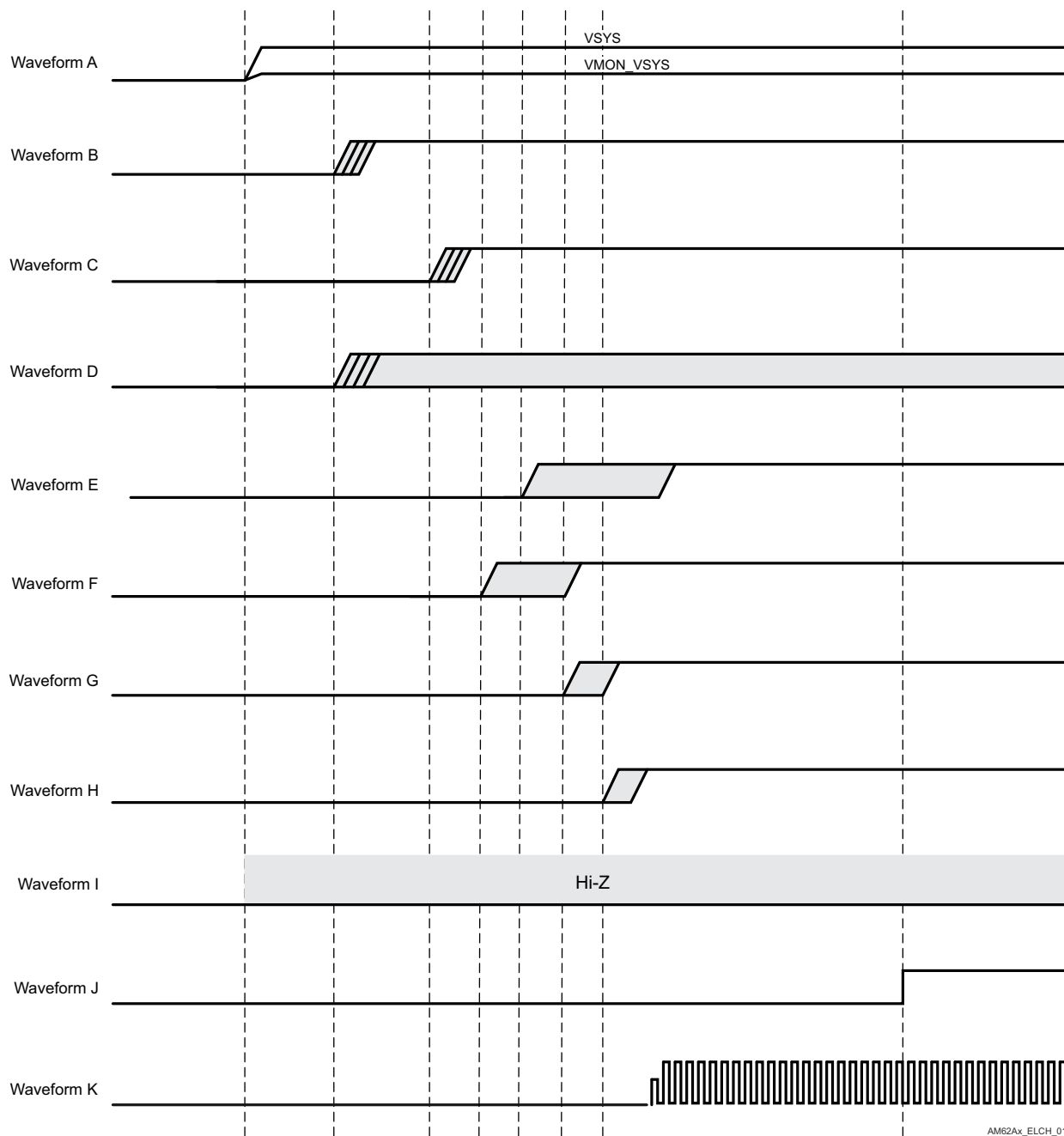


图 6-5. 上电时序

6.12.2.2.2 下电时序

表 6-6 和图 6-6 介绍了器件下电时序。

备注

本节中定义的电源时序要求不包括进入或退出低功耗模式。有关进入或退出低功耗模式时电源序列要求的更多信息，请参阅节 6.12.2.2.3 部分 IO 电源时序。

备注

只要电源轨降至建议运行条件中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后启动新的上电序列。唯一的例外是在进入/退出部分 IO 低功耗模式时，此时 VDDSHV_CANUART 和 VDD_CANUART 由常开型电源供电。对于此用例，允许 VDDSHV_CANUART 和 VDD_CANUART 电源轨保持开启状态。

表 6-6. 下电时序 - 电源/信号分配

请参阅：图 6-6

波形	电源/信号名称
A	VSYS、VMON_VSYS
B	VDDSHV_CANUART ⁽¹⁾ 、VDDSHV_MCU ⁽¹⁾ 、VDDSHV0 ⁽¹⁾ 、VDDSHV1 ⁽¹⁾ 、VDDSHV2 ⁽¹⁾ 、VDDSHV3 ⁽¹⁾ 、VDDA_3P3_USB、VMON_3P3_SOC
C	VDDSHV_CANUART ⁽²⁾ 、VDDSHV_MCU ⁽²⁾ 、VDDSHV0 ⁽²⁾ 、VDDSHV1 ⁽²⁾ 、VDDSHV2 ⁽²⁾ 、VDDSHV3 ⁽²⁾ 、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_CSIRX0、VDDA_1P8_OLDI0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VMON_1P8_SOC
D	VDDSHV4 ⁽³⁾ 、VDDSHV5 ⁽³⁾ 、VDDSHV6 ⁽³⁾
E	VDDS_DDR、VDDS_DDR_C
F	VDD_CANUART ⁽⁴⁾
G	VDD_CANUART ⁽⁵⁾ 、VDD_CORE ⁽⁵⁾ 、VDDA_CORE_CSIRX0 ⁽⁵⁾ 、VDDA_CORE_USB0 ⁽⁵⁾ 、VDDA_DDR_PLL0 ⁽⁵⁾
H	VDD_CANUART ⁽⁶⁾ 、VDD_CORE ⁽⁶⁾ 、VDDA_CORE_CSIRX0 ⁽⁶⁾ 、VDDA_CORE_USB0 ⁽⁶⁾ 、VDDA_DDR_PLL0 ⁽⁶⁾ 、VDDR_CORE
I	VPP
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

- (1) 当工作电压为 3.3V 时为 VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3]。
- (2) 当工作电压为 1.8V 时为 VDDSHV_CANUART、VDDSHV_MCU 和 VDDSHVx [x=0-3]。
- (3) VDDSHV4、VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
- (4) 当连接到用于部分 IO 低功耗模式的常开型电源时为 VDD_CANUART。
- (5) 当工作电压为 0.75V 时为 VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB0 和 VDDA_DDR_PLL0
- (6) 当工作电压为 0.85V 时为 VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB0 和 VDDA_DDR_PLL0

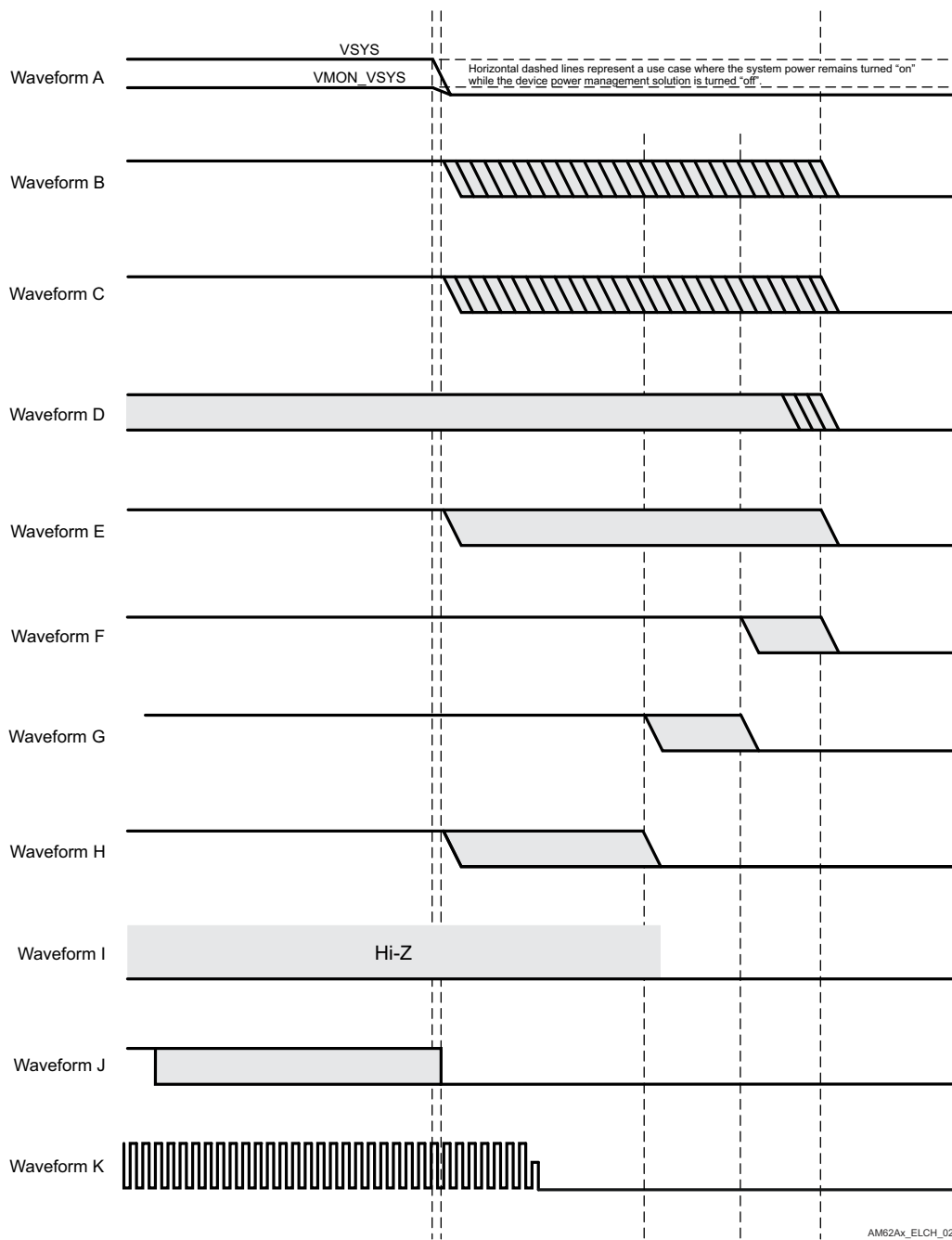


图 6-6. 下电时序

6.12.2.2.3 部分 IO 电源时序

本节介绍进入或退出低功耗模式时的电源序列要求。

有关该器件支持的低功耗模式以及分配给每个低功耗模式的名称的更多信息，请参阅技术参考手册的“器件配置”一章中的“功耗模式”一节。

部分 IO 是唯一需要更改器件电源轨电源的低功耗模式。在部分 IO 模式下工作时，除 VDD_CANUART 和 VDDSHV_CANUART 之外的所有电源轨均关闭。进入部分 IO 所需的电源序列与节 6.12.2.2.2 下电时序中定义的序列相同，但 VDD_CANUART 和 VDDSHV_CANUART 除外，这两者保持上电状态。退出部分 IO 所需的电源序列与节 6.12.2.2.1 上电时序中定义的序列相同，但 VDD_CANUART 和 VDDSHV_CANUART 除外，这两者已上电。

6.12.3 系统时序

有关子系统多路复用信号特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

6.12.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序条件、时序要求和开关特性。

表 6-7. 复位时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	VDD ⁽¹⁾ = 1.8V	0.0018		V/ns
		VDD ⁽¹⁾ = 3.3V	0.0033		V/ns
输出条件					
C _L	输出负载电容			30	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

表 6-8. MCU_PORz 时序要求

请参阅图 6-7

编号	参数	最小值	最大值	单位
RST1	保持时间，在电源有效之后 MCU_PORz 在上电时有效（低电平）（使用外部晶体电路）	9500000		ns
RST2	t _h (SUPPLIES_VALID - MCU_PORz) 保持时间，在电源有效且外部时钟稳定之后 MCU_PORz 在上电时有效（低电平）（使用外部 LVCMOS 时钟源）	1200		ns
RST3	t _w (MCU_PORzL) 脉冲宽度，在上电之后 MCU_PORz 为低电平（不移除电源或系统基准时钟 MCU_OSC0_XI/XO）	1200		ns

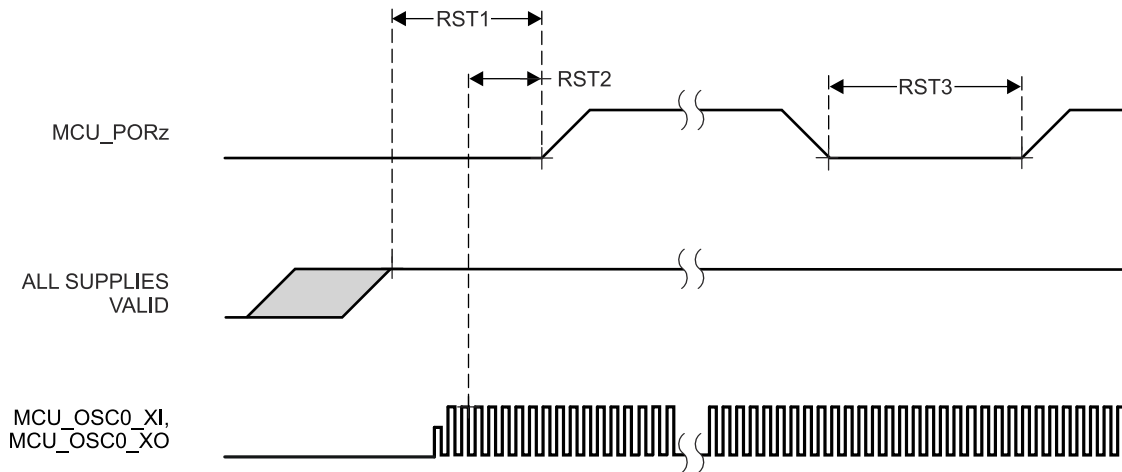


图 6-7. MCU_PORz 时序要求

表 6-9. MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-8

编号	参数	最小值	最大值	单位
RST4	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$ 延迟时间, MCU_PORz 有效 (低电平) 到 MCU_RESETSTATz 有效 (低电平)	0		ns
RST5	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$ 延迟时间, MCU_PORz 无效 (高电平) 到 MCU_RESETSTATz 无效 (高电平)	$6120 \times S^{(1)}$		ns
RST6	$t_{d(MCU_PORzL-RESETSTATzL)}$ 延迟时间, MCU_PORz 有效 (低电平) 到 RESETSTATz 有效 (低电平)	0		ns
RST7	$t_{d(MCU_PORzH-RESETSTATzH)}$ 延迟时间, MCU_PORz 无效 (高电平) 到 RESETSTATz 无效 (高电平)	$9195 \times S^{(1)}$		ns
RST8	$t_w(MCU_RESETSTATzL)$ 脉冲宽度, MCU_RESETSTATz 低电平 (SW_MCU_WARMRST)	$966 \times S^{(1)}$		ns
RST9	$t_w(RESETSTATzL)$ 脉冲宽度, RESETSTATz 低电平 (SW_MCU_WARMRST、SW_MAIN_PORz 或 SW_MAIN_WARMRST)	$4040 \times S$		ns

(1) $S = \text{MCU_OSC0_XI/XO}$ 时钟周期 (以 ns 为单位) 。

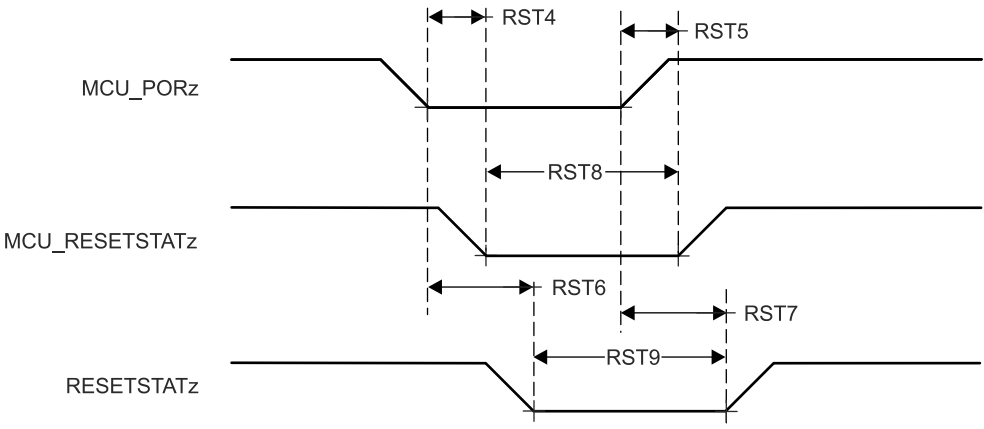


图 6-8. MCU_RESETSTATz 和 RESETSTATz 开关特性

表 6-10. MCU_RESETz 时序要求

请参阅图 6-9

编号	参数	最小值	最大值	单位
RST10	$t_w(\text{MCU_RESETz})^{(1)}$	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，该时序参数才有效。

表 6-11. MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-9

编号	参数	最小值	最大值	单位
RST11	$t_d(\text{MCU_RESETzL-MCU_RESETSTATzL})$	0		ns
RST12	$t_d(\text{MCU_RESETzH-MCU_RESETSTATzH})$	$966 \cdot S^{(1)}$		ns
RST13	$t_d(\text{MCU_RESETzL-RESETSTATzL})$	960		ns
RST14	$t_d(\text{MCU_RESETzH-RESETSTATzH})$	$4040 \cdot S^{(1)}$		ns

(1) $S = \text{MCU_OSC0_XI/XO}$ 时钟周期 (以 ns 为单位)。

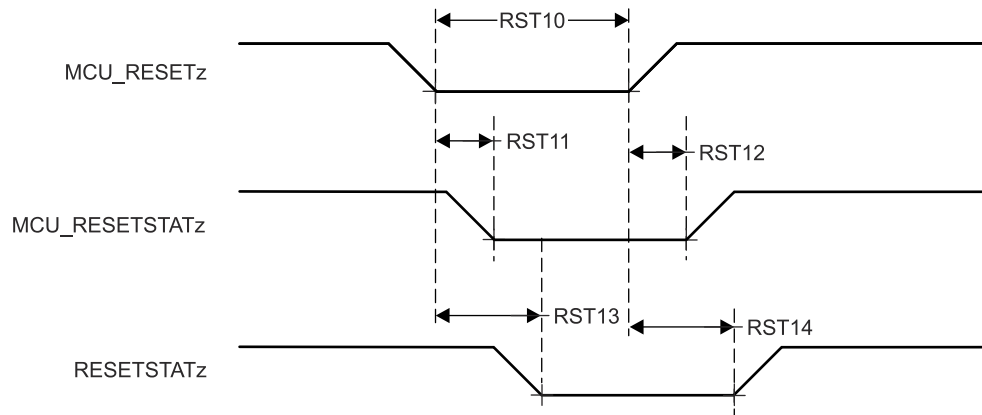


图 6-9. MCU_RESETz、MCU_RESETSTATz 和 RESETSTATz 时序要求和开关特性

表 6-12. RESET_REQz 时序要求

请参阅图 6-10

编号	参数	最小值	最大值	单位
RST15	$t_{w}(\text{RESET_REQzL})^{(1)}$ 脉冲宽度, RESET_REQz 有效 (低电平)	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后, 该时序参数才有效。

表 6-13. RESETSTATz 开关特性

请参阅图 6-10

编号	参数	最小值	最大值	单位
RST16	$t_d(\text{RESET_REQzL-RESETSTATzL})$ 延迟时间, RESET_REQz 有效 (低电平) 到 RESETSTATz 有效 (低电平)	$900 \cdot T^{(1)}$		ns
RST17	$t_d(\text{RESET_REQzH-RESETSTATzH})$ 延迟时间, RESET_REQz 无效 (高电平) 到 RESETSTATz 无效 (高电平)	$4040 \cdot S^{(2)}$		ns

(1) T = 复位隔离时间 (取决于软件)

(2) S = MCU_OSC0_XI/XO 时钟周期 (以 ns 为单位)。

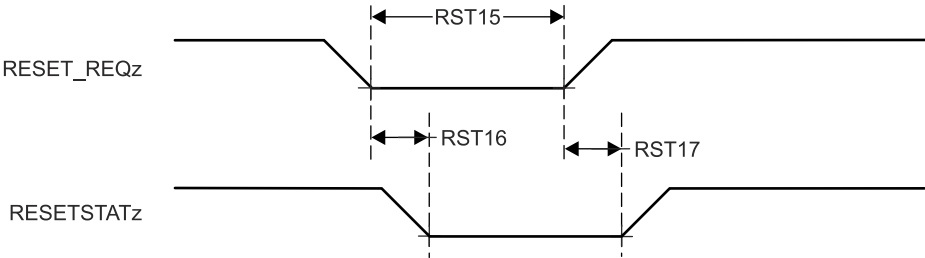


图 6-10. RESET_REQz 和 RESETSTATz 时序要求和开关特性

表 6-14. EMUx 时序要求

请参阅图 6-11

编号	参数	最小值	最大值	单位
RST18	$t_{su}(\text{EMUx-MCU_PORz})$ 建立时间, MCU_PORz 无效 (高电平) 之前的 EMU[1:0]	$3 \cdot S^{(1)}$		ns
RST19	$t_h(\text{MCU_PORz - EMUx})$ 保持时间, MCU_PORz 无效 (高电平) 之后的 EMU[1:0]	10		ns

(1) S = MCU_OSC0_XI/XO 时钟周期 (以 ns 为单位)。

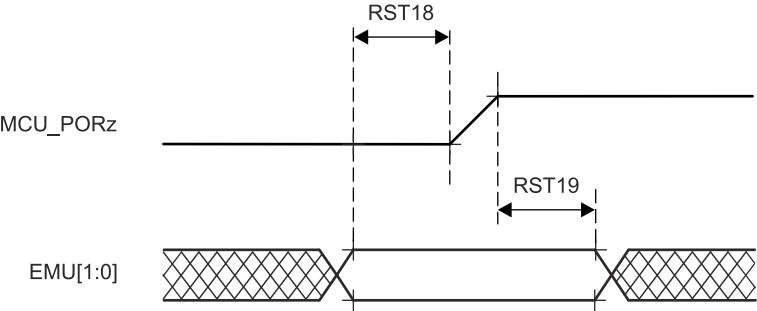


图 6-11. EMUx 时序要求

表 6-15. BOOTMODE 时序要求

请参阅图 6-12

编号	参数	最小值	最大值	单位
RST23	$t_{su}(\text{BOOTMODE-PORz_OUT})$ 建立时间, BOOTMODE[15:00] 在 PORz_OUT 高电平之前有效 (外部 MCU PORz 事件或软件 SW_MAIN_PORz)	$3 \cdot S^{(1)}$		ns
RST24	$t_h(\text{PORz_OUT - BOOTMODE})$ 保持时间, BOOTMODE[15:00] 在 PORz_OUT 高电平之后有效 (外部 MCU PORz 事件或软件 SW_MAIN_PORz)	0		ns

(1) $S = \text{MCU_OSC0_XI/XO}$ 时钟周期 (以 ns 为单位)。

表 6-16. PORz_OUT 开关特性

请参阅图 6-12

编号	参数	最小值	最大值	单位
RST25	$t_d(\text{MCU_PORzL-PORz_OUT})$ 延迟时间, MCU_PORz 有效 (低电平) 到 PORz_OUT 有效 (低电平)	0		ns
RST26	$t_d(\text{MCU_PORzH-PORz_OUT})$ 延迟时间, MCU_PORz 无效 (高电平) 到 PORz_OUT 无效 (高电平)	1840		ns
RST27	$t_w(\text{PORz_OUTL})$ 脉冲宽度, PORz_OUT 低电平 (MCU_PORz 或 SW_MAIN_PORz)	1200		ns

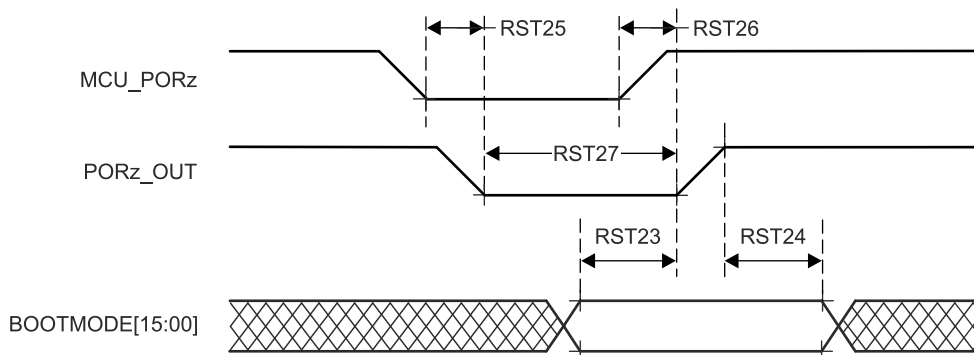


图 6-12. BOOTMODE 时序要求和 PORz_OUT 开关特性

6.12.3.2 错误信号时序

本节中提供的表和图定义了 MCU_ERRORn 的时序条件和开关特性。

表 6-17. 错误信号时序条件

参数		最小值	最大值	单位
输出条件				
C _L	输出负载电容		30	pF

表 6-18. MCU_ERRORn 开关特性

请参阅图 6-13

编号	参数		最小值	最大值	单位
ERR1	t _c (MCU_ERRORn)	最小周期时间, MCU_ERRORn (启用 PWM 模式)	(P*H)+(P*L) ^{(1) (3) (4)}		ns
ERR2	t _w (MCU_ERRORn)	最小脉冲宽度, MCU_ERRORn 有效 (禁用 PWM 模式) ⁽⁵⁾	P*R ^{(1) (2)}		ns
ERR3	t _d (ERROR_CONDITION-MCU_ERRORnL)	延迟时间, 错误条件到 MCU_ERRORn 有效 ⁽⁵⁾	50*P ⁽¹⁾		ns

- (1) P = ESM 功能时钟周期 (以 ns 为单位) 。
(2) R = 错误引脚计数器预加载寄存器计数值。
(3) H = 错误引脚 PWM 高预加载寄存器计数值。
(4) L = 错误引脚 PWM 低预加载寄存器计数值。
(5) 启用 PWM 模式后, MCU_ERRORn 会在 ERR3 后停止切换, 并将保持其值 (高电平或低电平), 直到错误被清除。禁用 PWM 模式时, MCU_ERRORn 为低电平有效。

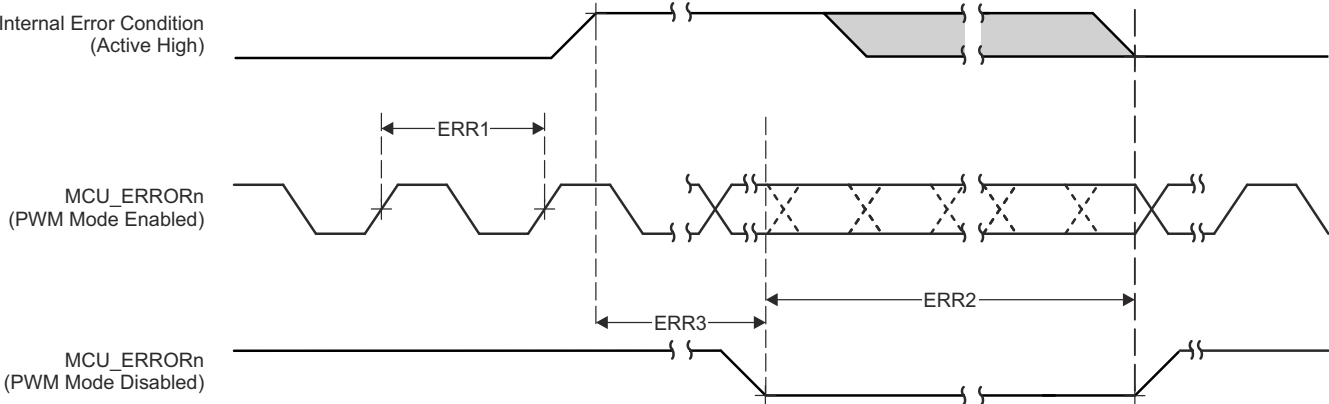


图 6-13. MCU_ERRORn 时序要求和开关特性

6.12.3.3 时钟时序

本节中提供的表和图定义了时钟信号的时序条件、时序要求和开关特性。

表 6-19. 时钟时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5		V/ns
输出条件				
C _L	输出负载电容	5ns ≤ t _c < 8ns	5	pF
		8ns ≤ t _c < 20ns	10	pF
		20ns ≤ t _c	30	pF

表 6-20. 时钟时序要求

请参阅图 6-14

编号			最小值	最大值	单位
CLK1	t _c (EXT_REFCLK1)	最小周期时间, EXT_REFCLK1	10		ns
CLK2	t _w (EXT_REFCLK1H)	脉冲持续时间, EXT_REFCLK1 高电平	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK3	t _w (EXT_REFCLK1L)	脉冲持续时间, EXT_REFCLK1 低电平	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK1	t _c (MCU_EXT_REFCLK0)	最小周期时间, MCU_EXT_REFCLK0	10		ns
CLK2	t _w (MCU_EXT_REFCLK0H)	脉冲持续时间, MCU_EXT_REFCLK0 高电平	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK3	t _w (MCU_EXT_REFCLK0L)	脉冲持续时间, MCU_EXT_REFCLK0 低电平	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK0)	最小周期时间, AUDIO_EXT_REFCLK0	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK0H)	脉冲持续时间, AUDIO_EXT_REFCLK0 高电平	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK0L)	脉冲持续时间, AUDIO_EXT_REFCLK0 低电平	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK1)	最小周期时间, AUDIO_EXT_REFCLK1	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK1H)	脉冲持续时间, AUDIO_EXT_REFCLK1 高电平	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK1L)	脉冲持续时间, AUDIO_EXT_REFCLK1 低电平	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns

- (1) E = EXT_REFCLK1 周期时间 (以 ns 为单位)。
(2) F = MCU_EXT_REFCLK0 周期时间 (以 ns 为单位)。
(3) G = AUDIO_EXT_REFCLK0 周期时间 (以 ns 为单位)。
(4) H = AUDIO_EXT_REFCLK1 周期时间 (以 ns 为单位)。

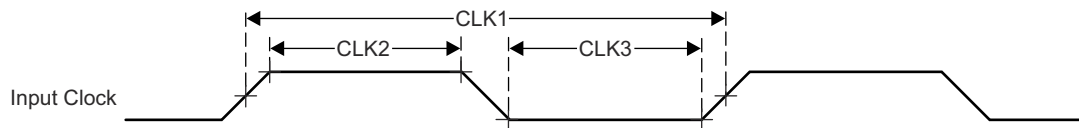


图 6-14. 时钟时序要求

表 6-21. 时钟开关特性

请参阅图 6-15

编号	参数	最小值	最大值	单位
CLK4	$t_{c}(\text{SYSCLKOUT0})$	8		ns
CLK5	$t_{w}(\text{SYSCLKOUT0H})$	$A \cdot 0.4^{(1)}$	$A \cdot 0.6^{(1)}$	ns
CLK6	$t_{w}(\text{SYSCLKOUT0L})$	$A \cdot 0.4^{(1)}$	$A \cdot 0.6^{(1)}$	ns
CLK4	$t_{c}(\text{OBSCLK0})$	5		ns
CLK5	$t_{w}(\text{OBSCLK0H})$	$B \cdot 0.45^{(2)}$	$B \cdot 0.55^{(2)}$	ns
CLK6	$t_{w}(\text{OBSCLK0L})$	$B \cdot 0.45^{(2)}$	$B \cdot 0.55^{(2)}$	ns
CLK4	$t_{c}(\text{CLKOUT0})$	20		ns
CLK5	$t_{w}(\text{CLKOUT0H})$	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns
CLK6	$t_{w}(\text{CLKOUT0L})$	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns
CLK4	$t_{c}(\text{MCU_SYSCLKOUT0})$	10		ns
CLK5	$t_{w}(\text{MCU_SYSCLKOUT0H})$	$E \cdot 0.4^{(4)}$	$E \cdot 0.6^{(4)}$	ns
CLK6	$t_{w}(\text{MCU_SYSCLKOUT0L})$	$E \cdot 0.4^{(4)}$	$E \cdot 0.6^{(4)}$	ns
CLK4	$t_{c}(\text{MCU_OBSCLK0})$	5		ns
CLK5	$t_{w}(\text{MCU_OBSCLK0H})$	$D \cdot 0.45^{(5)}$	$D \cdot 0.55^{(5)}$	ns
CLK6	$t_{w}(\text{MCU_OBSCLK0L})$	$D \cdot 0.45^{(5)}$	$D \cdot 0.55^{(5)}$	ns
CLK4	$t_{c}(\text{WKUP_CLKOUT0})$	5		ns
CLK5	$t_{w}(\text{WKUP_CLKOUT0H})$	$W \cdot 0.4^{(6)}$	$W \cdot 0.6^{(6)}$	ns
CLK6	$t_{w}(\text{WKUP_CLKOUT0L})$	$W \cdot 0.4^{(6)}$	$W \cdot 0.6^{(6)}$	ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK0})$	20		ns
	$t_{c}(\text{AUDIO_EXT_REFCLK0})$ (PLL 时钟源)	10		ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK0 H})$	$G \cdot 0.4^{(7)}$	$G \cdot 0.6^{(7)}$	ns
CLK6	$t_{w}(\text{AUDIO_EXT_REFCLK0 L})$	$G \cdot 0.4^{(7)}$	$G \cdot 0.6^{(7)}$	ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK1})$	20		ns
	$t_{c}(\text{AUDIO_EXT_REFCLK1})$ (PLL 时钟源)	10		ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK1 H})$	$J \cdot 0.4^{(8)}$	$J \cdot 0.6^{(8)}$	ns
CLK6	$t_{w}(\text{AUDIO_EXT_REFCLK1 L})$	$J \cdot 0.4^{(8)}$	$J \cdot 0.6^{(8)}$	ns

- (1) A = SYSCLKOUT0 周期时间 (以 ns 为单位) 。
(2) B = OBSCLK0 周期时间 (以 ns 为单位) 。
(3) C = CLKOUT0 周期时间 (以 ns 为单位) 。
(4) E = MCU_SYSCLKOUT0 周期时间 (以 ns 为单位) 。
(5) D = MCU_OBSCLK0 周期时间 (以 ns 为单位) 。
(6) W = WKUP_CLKOUT0 周期时间 (以 ns 为单位) 。
(7) G = AUDIO_EXT_REFCLK0 周期时间 (以 ns 为单位) 。
(8) J = AUDIO_EXT_REFCLK1 周期时间 (以 ns 为单位) 。

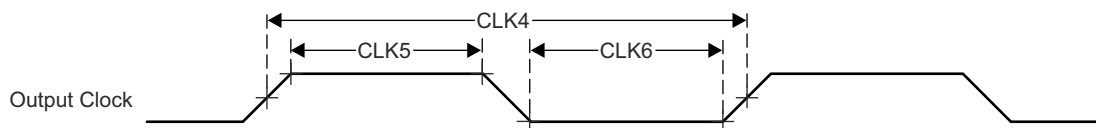


图 6-15. 时钟开关特性

6.12.4 时钟规格

6.12.4.1 输入时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- MCU_OSC0_XO/MCU_OSC0_XI - 连接到内部高频振荡器 (MCU_HFOSC0) 的外部主晶体接口引脚，该振荡器是内部基准时钟 HFOSC0_CLKOUT 的默认时钟源。
- WKUP_LFOSC0_XO/WKUP_LFOSC0_XI - 连接到内部低频振荡器 (WKUP_LFOSC0) 的外部晶振接口引脚，该振荡器提供可选的 32768Hz 基准时钟。
- 通用时钟输入
 - MCU_EXT_REFCLK0 - 可选的外部系统时钟。
 - EXT_REFCLK1 - 可选的外部系统时钟。
- 外部视频像素时钟输入
 - VOUT0_EXTCLKIN - 对 DSS 的 DPI0 端口而言是可选的。
- 外部 CPTS 基准时钟输入
 - CP_GEMAC_CPTS0_RFT_CLK - CPTS_RFT_CLK 的可选基准时钟输入。
- 外部音频基准时钟输入/输出
 - AUDIO_EXT_REFCLK[1:0] - 配置为输入时的可选 McASP 高频输入时钟。

有关输入时钟接口的详细信息，请参阅器件 TRM 的 *器件配置* 一章中的 *时钟* 一节。

6.12.4.1.1 MCU_OSC0 内部振荡器时钟源

图 6-16 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件必须尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。

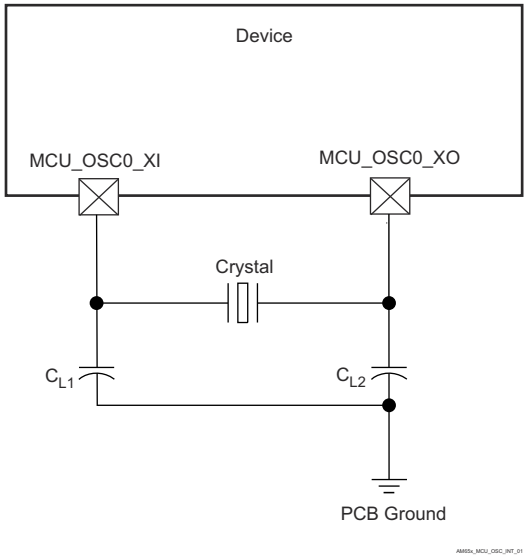


图 6-16. MCU_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-22 总结了所需的电气约束。

表 6-22. MCU_OSC0 晶体电路要求

参数				最小值	典型值	最大值	单位
F _{xtal}	晶体并联谐振频率			25			MHz
F _{xtal}	晶体频率稳定性和容差	未使用以太网 RGMII 和 RMII		±100			ppm
		RGMII 和 RMII 使用衍生的时钟		±50			
C _{L1+PCBXI}	C _{L1} + C _{PCBXI} 电容			12		24	pF
C _{L2+PCBXO}	C _{L2} + C _{PCBXO} 电容			12		24	pF
C _L	晶体负载电容			6		12	pF
C _{shunt}	晶体电路并联电容	ESR _{xtal} = 30 Ω	25MHz			7	pF
		ESR _{xtal} = 40 Ω	25MHz			5	pF
		ESR _{xtal} = 50 Ω	25MHz			5	pF
ESR _{xtal}	晶体有效串联电阻					(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑晶体的温度和老化特性。

表 6-23 详细说明了振荡器的开关特性。

表 6-23. MCU_OSC0 开关特性 - 晶体模式

参数		封装	最小值	典型值	最大值	单位
C _{XI}	XI 电容	ALW			0.812	pF
		AMC			1.635	pF
C _{XO}	XO 电容	ALW			0.83	pF
		AMC			1.72	pF

表 6-23. MCU_OSC0 开关特性 - 晶体模式 (续)

参数	封装	最小值	典型值	最大值	单位
C _{XIXO}	ALW			0.0114	pF
	AMC			0.267	pF
t _s			4		ms

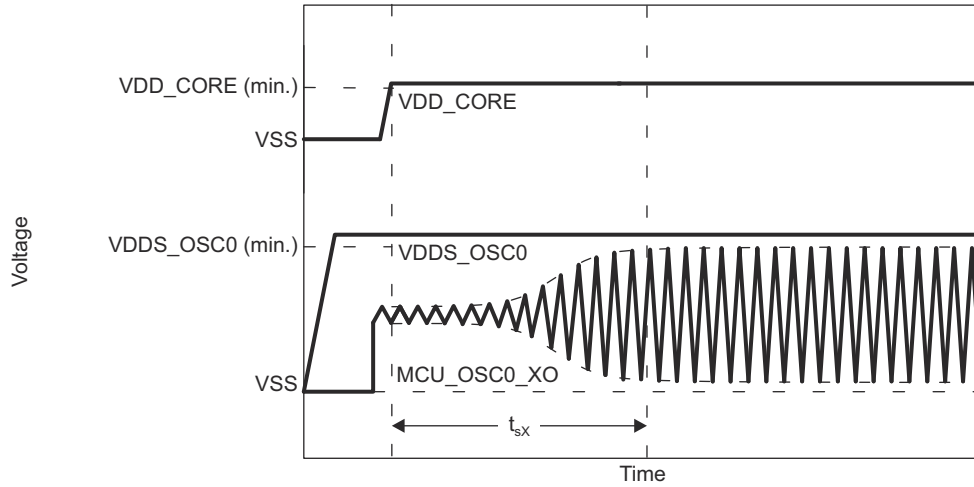


图 6-17. MCU_OSC0 启动时间

6.12.4.1.1.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1} 、 C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 MCU_OSC0_XI 和 MCU_OSC0_XO 的 PCB 信号引线具有接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，PCB 设计人员应该能够提取每条信号引线的寄生电容。MCU_OSC0 电路和器件封装具有组合的接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，表 6-23 定义了这些寄生电容值。

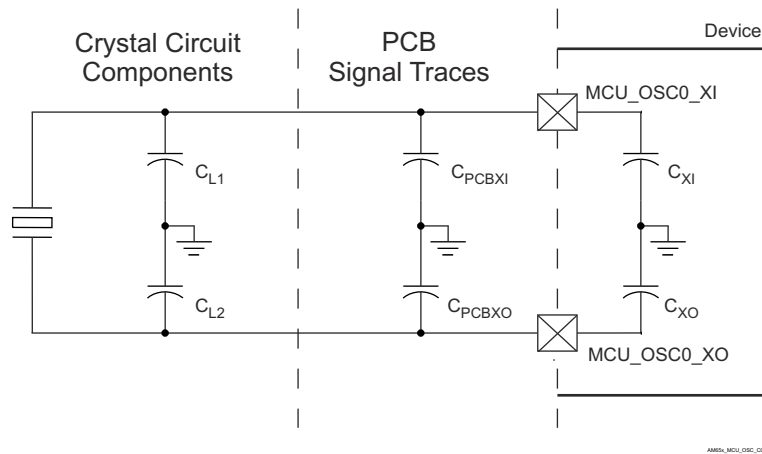


图 6-18. 负载电容

在选择图 6-16 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 $C_L = 10\text{pF}$ ， $C_{PCBXI} = 2.9\text{pF}$ ， $C_{XI} = 0.5\text{pF}$ ，

$C_{PCBXO} = 3.7\text{pF}$, $C_{XO} = 0.5\text{pF}$, 则 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ and $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$

6.12.4.1.1.2 并联电容

晶体电路的设计还必须使其不超过表 6-22 中定义的 MCU_OSC0 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 MCU_OSC0 的 PCB 信号引线彼此之间存在互寄生电容 $C_{PCBXIXO}$, PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO} , 表 6-23 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时, 还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时, 应尽量减小 PCB 上的互电容以提供尽可能大的裕度, 这一点非常重要。

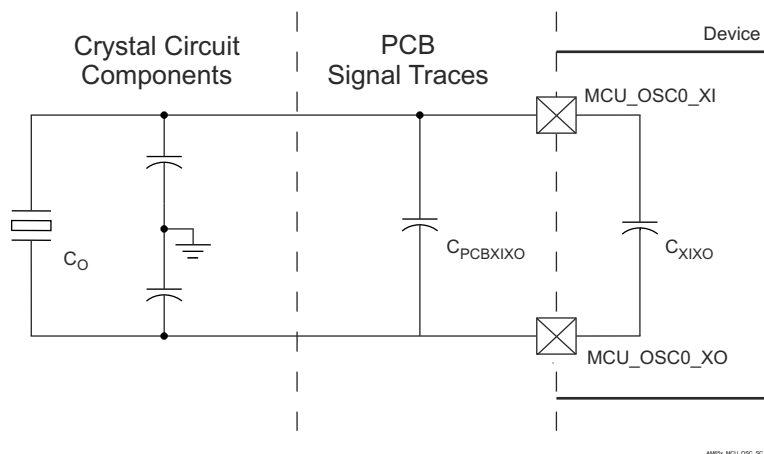


图 6-19. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$$C_{\text{shunt}} \geq C_O + C_{PCBXIXO} + C_{XIXO}$$

例如, 当所用的晶体为 25MHz, $ESR = 30\Omega$, $C_{PCBXIXO} = 0.04\text{pF}$, $C_{XIXO} = 0.01\text{pF}$, 且晶体的并联电容小于等于 6.95pF 时, 应满足该公式。

6.12.4.1.2 MCU_OSC0_LVCMOS 数字时钟源

图 6-20 展示了当 MCU_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

1. 当振荡器上电时，MCU_OSC0_XI 上不允许出现直流稳态情况。这是不允许的，因为 MCU_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 MCU_OSC0_XI 不在不同逻辑状态之间切换，应用软件就必须使 MCU_OSC0 断电。
2. 为 MCU_OSC0_XI 输入提供时钟源的 LVCMOS 时钟信号必须具有单调转换。该时钟源应通过放置在时钟源附近的串联端接电阻器以点对点连接的方式连接到 MCU_OSC0_XI。串联端接电阻值应使时钟源输出阻抗与传输线路阻抗相匹配。例如，如果时钟源的输出阻抗为 30 欧姆，并且 PCB 信号布线的特征阻抗为 50 欧姆，则串联端接电阻值需要为 20 欧姆。这样的电阻可以完全吸收从未端接传输线路的远端返回的反射，从而避免在信号上引入任何非单调事件。
3. 应最大限度缩短将 LVCMOS 时钟源连接到 MCU_OSC0_XI 的 PCB 布线长度。这样可以减小容性负载并降低外部噪声源耦合到时钟信号中的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低系统中出现抖动的可能性。

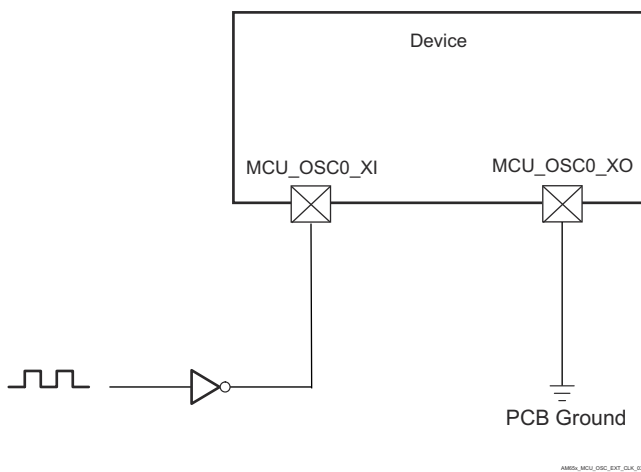


图 6-20. 与 1.8V LVCMOS 兼容的时钟输入

表 6-24. MCU_OSC0 LVCMOS 数字时钟源要求

参数			最小值	典型值	最大值	单位
F _{xtal}	频率		25			MHz
	频率稳定性和容差	未使用以太网 RGMII 和 RMII	±100			ppm
		RGMII 和 RMII 使用衍生的时钟	±50			
DC	占空比		45		55	%
t _{R/F}	上升/下降时间 (10%-90% 上升, 90%-10% 下降)				4 ⁽¹⁾	ns
J _{Period(RMS)}	周期抖动, RMS (100k 个样本)				20	ps
J _{Period(PK-PK)}	周期抖动, 峰峰值 (100k 个样本)				300	ps
J _{Phase(RMS)}	相位抖动, RMS (带宽 100Hz 至 1MHz)				10 ⁽²⁾	ps

- (1) 大多数 LVCMOS 振荡器数据表在其最大输出上升/下降时间的定义中使用的容性负载要比 PCB 布线电容与 MCU_OSC0_XI 输入电容组合所要施加的实际负载大得多。应该不难找到满足此要求的 LVCMOS 振荡器。但是, 系统设计人员必须确认所选的 LVCMOS 振荡器能够为 MCU_OSC0_XI 输入提供适当的上升/下降时间。
- (2) 大多数 LVCMOS 振荡器数据表在其最大 RMS 相位抖动的定义中使用的带宽积分范围大于此器件的要求。为了获得更合适的值, 可能有必要联系 LVCMOS 振荡器制造商, 要求他们使用为此参数定义的带宽积分范围来提供最大 RMS 相位抖动。

6.12.4.1.3 WKUP_LFOSC0 内部振荡器时钟源

图 6-21 展示了建议的晶体电路。建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 R_{bias} 和 R_d ，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在大多数情况下，不需要 R_{bias} ， R_d 是一个 0Ω 电阻器。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除这些电阻器。

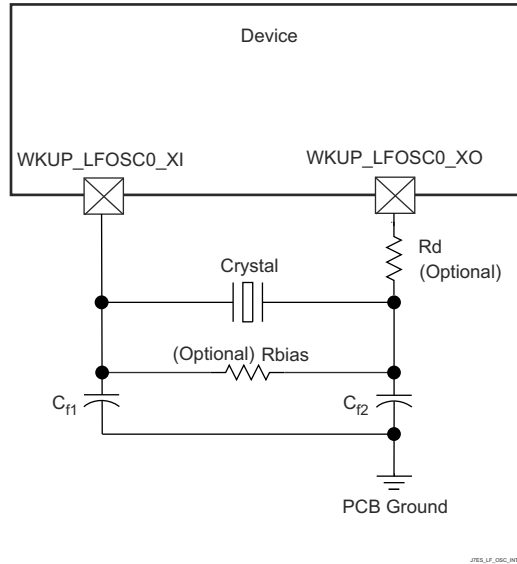


图 6-21. WKUP_LFOSC0 晶体实现

表 6-25 说明了 LFXOSC 运行模式。

表 6-25. LFXOSC 运行模式

模式	BP_C	PD_C	XI	XO	CLK_OUT	说明
运行	0	0	XTAL	XTAL	CLK_OUT	提供 32kHz 频率的有源振荡器模式
PWRDN	0	1	X	PD	低电平	输出将被下拉至低电平。PAD 为三态。有源模式被禁用
BYPASS	1	0	CLK	PD	CLK	XI 由外部时钟源驱动。XO 被下拉至低电平。由于有 ESD 二极管供电，除非存在振荡器电源，否则不应驱动 XI。

备注

用户应为 6pf 至 9.5pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM[18:16] i_mult = 3b' 001。应为 8.5pf 至 12pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM [18:16] i_mult = 3b' 010。默认设置为 3b' 010。

备注

在选择图 6-22 中的负载电容器 C_{f1} 和 C_{f2} 时，应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO 和 VSS 引脚放置。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

图 6-22. 负载电容公式

晶体必须处于基本工作模式并且并联谐振。表 6-26 总结了所需的电气约束。

表 6-26. WKUP_LFOSC0 晶体电气特性

名称	说明	最小值	典型值	最大值	单位
f _p	并联谐振晶体频率	32768			Hz
	晶体频率稳定性和容差	±100			PPM
C _{f1}	用于晶体并联谐振的 C _{f1} 负载电容, C _{f1} = C _{f2}	12		24	pF
C _{f2}	用于晶体并联谐振的 C _{f2} 负载电容, C _{f1} = C _{f2}	12		24	pF
C _{shunt}	并联电容	ESRx _{xtal} - 40k Ω		4	pF
		ESRx _{xtal} - 60k Ω		3	pF
		ESRx _{xtal} - 80k Ω		2	pF
		ESRx _{xtal} - 100k Ω		1	pF
ESR	晶体有效串联电阻	(1)			Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-27 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-27. WKUP_LFOSC0 开关特性 - 晶体模式

名称	说明	最小值	典型值	最大值	单位
f _{xtal}	振荡频率	32768			Hz
t _{sX}	启动时间	96.5			ms

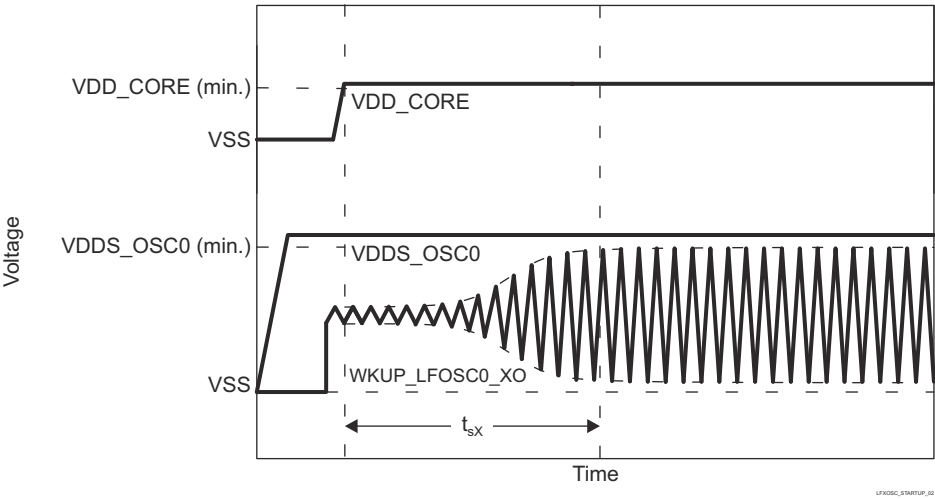


图 6-23. WKUP_LFOSC0 启动时间

6.12.4.1.4 WKUP_LFOSC0 LVCMOS 数字时钟源

图 6-24 展示了当 WKUP_LFOSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

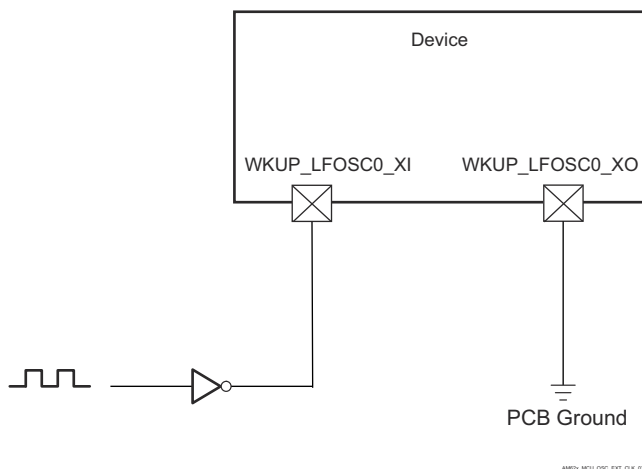


图 6-24. 与 1.8V LVCMOS 兼容的时钟输入

6.12.4.1.5 未使用 WKUP_LFOSC0

图 6-25 展示了未使用 WKUP_LFOSC0 时建议的振荡器连接。

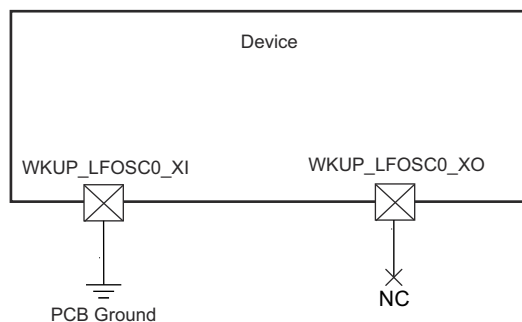


图 6-25. 未使用 WKUP_LFOSC0

6.12.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **MCU_SYSCLKOUT0**
 - MCU_PLL0_HSDIV0_CLKOUT (MCU_SYSCLKOUT0) 除以 4 后作为 MCU_SYSCLKOUT0 从器件发出。该时钟输出仅用于测试和调试目的。
- **MCU_OBSCLK0**
 - 观察时钟输出，仅用于测试和调试目的。
- **WKUP_CLKOUT0**
 - WKUP 域 CLKOUT0 输出。
- **SYSCLKOUT0**
 - MAIN_PLL0_HSDIV0_CLKOUT (SYSCLKOUT0) 除以 4 后作为 SYSCLKOUT0 从器件发出。该时钟输出仅用于测试和调试目的。
- **CLKOUT0**
 - CLKOUT0 是以太网子系统时钟 (MAIN_PLL2_HSDIV1_CLKOUT) 进行 5 分频或 10 分频。该时钟输出作为外部 PHY 的可选源提供。当配置为作为 RMII 时钟源 (50MHz) 运行时，信号还必须路由回至相应的 RMII[x]_REF_CLK 引脚，以便器件正常运行。
- **OBSCLK0**
 - 观察时钟输出，仅用于测试和调试目的。
- **AUDIO_EXT_REFCLK[1:0]**
 - 当配置为输出时提供六个 McASP 高频音频基准时钟之一的选项，MAIN_PLL1_HSDIV6_CLKOUT 或 MAIN_PLL2_HSDIV8_CLKOUT。

6.12.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

MCU 域中有一个 PLL：

- MCU_PLL0 (MCU PLL)

主域中有八个 PLL：

- MAIN_PLL0 (主 PLL)
- MAIN_PLL1 (PER0 PLL)
- MAIN_PLL2 (PER1 PLL)
- MAIN_PLL8 (ARM0 PLL)
- MAIN_PLL12 (DDR PLL)
- MAIN_PLL15 (SMS_PLL)
- MAIN_PLL16 (DSS0 PLL)
- MAIN_PLL17 (DSS1 PLL)

在配置和使用任何 PLL 输出作为时钟源之前，系统设计人员应考虑基准时钟源启动时间和 PLL 锁定要求。[节 6.12.4.1 输入时钟/振荡器](#) 中定义了器件基准时钟输入要求。器件 TRM 中介绍了 PLL 配置详细信息。

有关 PLL 的更多信息，请参阅器件 TRM 的 [器件配置](#) 一节的 [时钟](#) 小节中的 [PLL](#) 小节。

6.12.4.4 时钟和控制信号转换的建议系统预防措施

所有时钟和选通信号必须在 V_{IH} 和 V_{IL} 之间 (或在 V_{IL} 和 V_{IH} 之间) 单调转换。

快速信号转换更有可能发生单调转换。噪声很容易在缓慢转换的信号上产生非单调事件。因此, 请避免所有时钟和控制信号上的缓慢信号转换, 因为它们更有可能在器件内部产生干扰。

6.12.5 外设

6.12.5.1 CPSW3G

有关器件千兆位以太网 MAC 特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

6.12.5.1.1 CPSW3G MDIO 时序

表 6-28、表 6-29、表 6-30 和图 6-26 说明了 CPSW3G MDIO 的时序条件、时序要求和开关特性。

表 6-28. CPSW3G MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.9	3.6	V/ns
输出条件				
C _L	输出负载电容	10	470	pF
PCB 连接要求				
t _d (Trace Delay)	每条引线的传播延迟	0	5	ns
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		1	ns

表 6-29. CPSW3G MDIO 时序要求

请参阅图 6-26

编号	参数	最小值	最大值	单位
MDIO1	t _{su} (MDIO_MDC)	45		ns
MDIO2	t _h (MDC_MDIO)	0		ns

表 6-30. CPSW3G MDIO 开关特性

请参阅图 6-26

编号	参数	最小值	最大值	单位
MDIO3	t _c (MDC)	400		ns
MDIO4	t _w (MDCH)	160		ns
MDIO5	t _w (MDCL)	160		ns
MDIO7	t _d (MDC_MDIO)	-10	10	ns

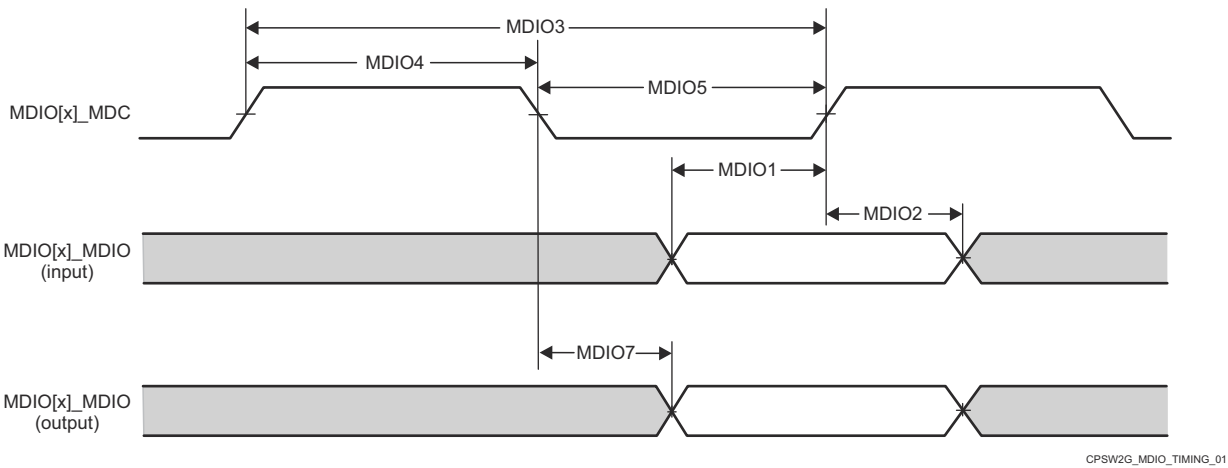


图 6-26. CPSW3G MDIO 时序要求和开关特性

6.12.5.1.2 CPSW3G RMII 时序

表 6-31、表 6-32、图 6-27、表 6-33、图 6-28、表 6-34 和图 6-29 说明了 CPSW3G RMII 的时序条件、时序要求和开关特性。

表 6-31. CPSW3G RMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	VDD ⁽¹⁾ = 1.8V	0.18	5	V/ns
		VDD ⁽¹⁾ = 3.3V	0.4	5	
输出条件					
C _L	输出负载电容		3	25	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

表 6-32. RMII[x]_REF_CLK 时序要求 - RMII 模式

请参阅图 6-27

编号	参数	说明	最小值	最大值	单位
RMII1	t _c (REF_CLK)	周期时间，RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t _w (REF_CLKH)	脉冲持续时间，RMII[x]_REF_CLK 高电平	7	13	ns
RMII3	t _w (REF_CLKL)	脉冲持续时间，RMII[x]_REF_CLK 低电平	7	13	ns

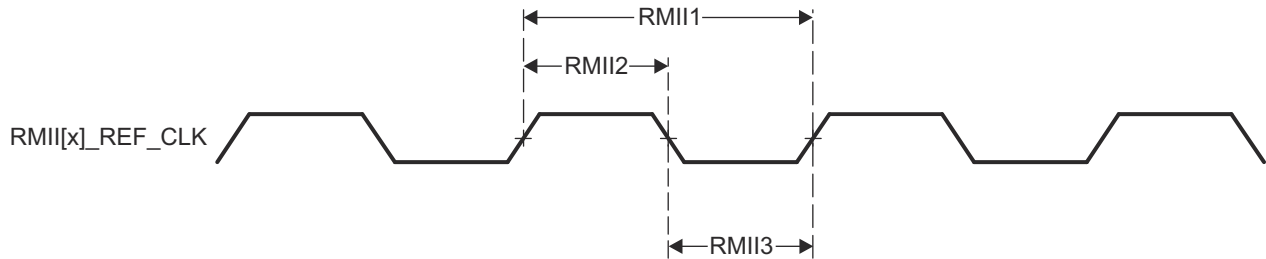


图 6-27. CPSW3G RMII[x]_REF_CLK 时序要求 - RMII 模式

表 6-33. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 - RMII 模式

请参阅图 6-28

编号	参数	说明	最小值	最大值	单位
RMII4	t _{su} (RXD-REF_CLK)	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_RXD[1:0] 有效	4		ns
	t _{su} (CRS_DV-REF_CLK)	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_CRS_DV 有效	4		ns
	t _{su} (RX_ER-REF_CLK)	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_RX_ER 有效	4		ns
RMII5	t _h (REF_CLK-RXD)	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_RXD[1:0] 有效	2		ns
	t _h (REF_CLK-CRS_DV)	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_CRS_DV 有效	2		ns
	t _h (REF_CLK-RX_ER)	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_RX_ER 有效	2		ns

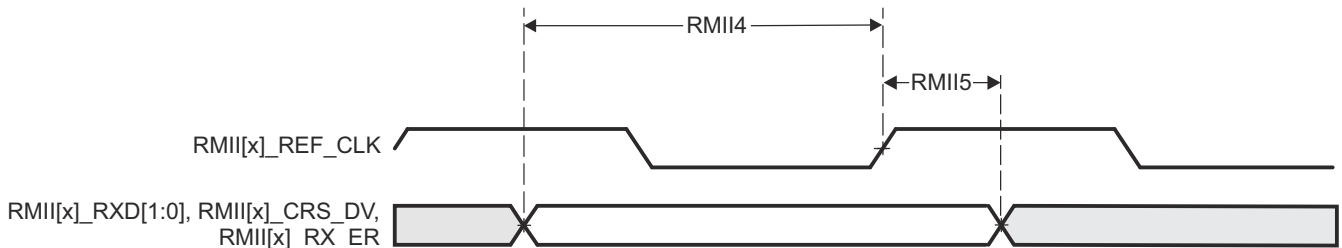


图 6-28. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 - RMII 模式

表 6-34. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

请参阅图 6-29

编号	参数	说明	最小值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间, RMII[x]_REF_CLK 高电平到 RMII[x]_TXD[1:0] 有效	2	10	ns
	$t_{d(REF_CLK-TX_EN)}$	延迟时间, RMII[x]_REF_CLK 到 RMII[x]_TX_EN 有效	2	10	ns

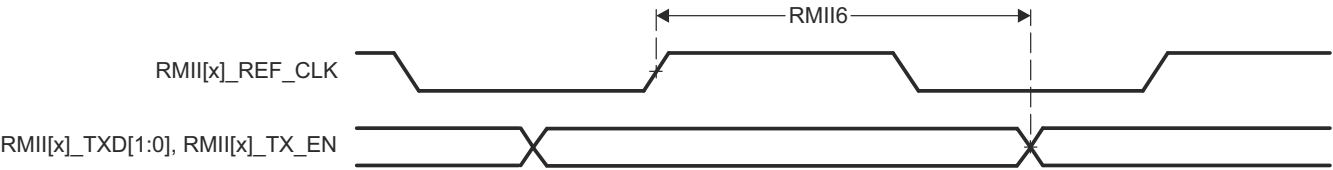


图 6-29. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

6.12.5.1.3 CPSW3G RGMII 时序

表 6-35、表 6-36、表 6-37、图 6-30、表 6-38、表 6-39 和图 6-31 说明了 CPSW3G RGMII 的时序条件、时序要求和开关特性。

表 6-35. CPSW3G RGMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率	VDD ⁽¹⁾ = 1.8V	1.44	5	V/ns
		VDD ⁽¹⁾ = 3.3V	2.64	5	
输出条件					
C _L	输出负载电容		2	20	pF
PCB 连接要求					
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL		50	ps

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

表 6-36. RGMII[x]_RXC 时序要求 - RGMII 模式

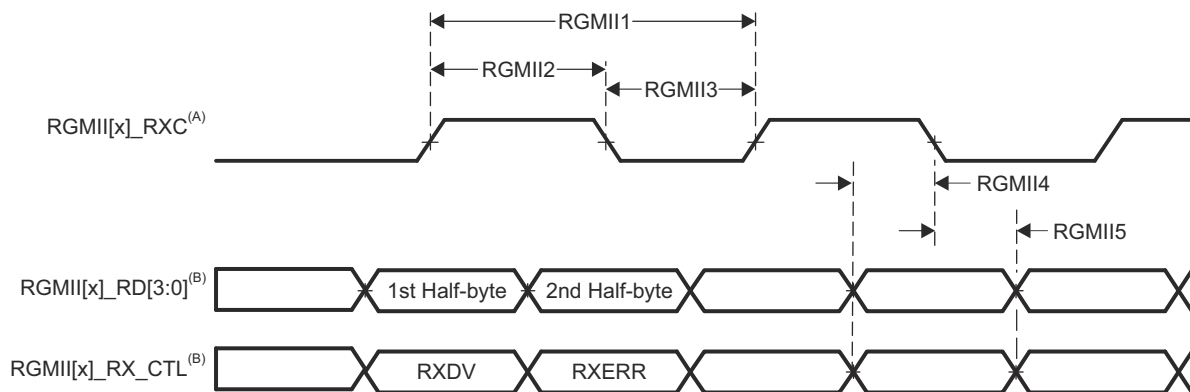
请参阅图 6-30

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间, RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间, RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间, RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-37. RGMII[x]_RD[3:0] 和 RGMII[x]_RX_CTL 时序要求 - RGMII 模式

请参阅图 6-30

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	$t_{su(RD-RXC)}$	建立时间, 在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	建立时间, 在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_h(RXC-RD)$	保持时间, 在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_h(RXC-RX_CTL)$	保持时间, 在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0, 在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地, RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV, 在 RGMII[x]_RXC 的下降沿承载 RXERR。

图 6-30. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

表 6-38. RGMII[x]_TxC 开关特性 - RGMII 模式

请参阅图 6-31

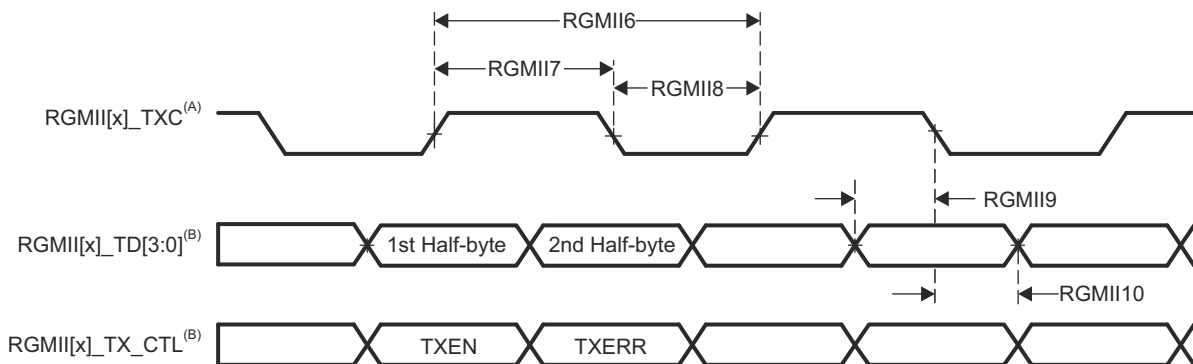
编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_{c(TXC)}$	周期时间, RGMII[x]_TxC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	脉冲持续时间, RGMII[x]_TxC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	脉冲持续时间, RGMII[x]_TxC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-39. RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

请参阅图 6-31

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{osu(TD-TXC)}$	输出建立时间 ⁽¹⁾ , RGMII[x]_TD[3:0] 有效至 RGMII[x]_TxC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间 ⁽¹⁾ , RGMII[x]_TX_CTL 有效至 RGMII[x]_TxC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	输出保持时间 ⁽¹⁾ , RGMII[x]_TD[3:0] 在 RGMII[x]_TxC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	输出保持时间 ⁽¹⁾ , RGMII[x]_TX_CTL 在 RGMII[x]_TxC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

- (1) 输出建立/保持时间定义了发送数据和控制输出相对于发送时钟输出的延迟关系, 但该输出关系被表示为提供给所连接的接收器的最小建立/保持时间。该方法符合 RGMII 规范中定义输出时序关系的方式。



- A. TxC 在驱动至 RGMII[x]_TxC 引脚之前会在内部延迟。该内部延迟始终启用。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TxC 的上升沿承载数据位 3-0, 在 RGMII[x]_TxC 的下降沿承载数据位 7-4。类似地, RGMII[x]_TX_CTL 在 RGMII[x]_TxC 的上升沿承载 TXEN, 在 RGMII[x]_TxC 的下降沿承载 TXERR。

图 6-31. CPSW3G RGMII[x]_TxC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

6.12.5.2 CPTS

表 6-40、表 6-41、图 6-32、表 6-42 和图 6-33 说明了 CPTS 的时序条件、时序要求和开关特性。

表 6-40. CPTS 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	2	10	pF

表 6-41. CPTS 时序要求

请参阅图 6-32

编号	参数	说明	最小值	最大值	单位
T1	$t_{w(HWTSPUSHH)}$	脉冲持续时间, HWnTSPUSH 高电平	$12P^{(1)} + 2$		ns
T2	$t_{w(HWTSPUSHL)}$	脉冲持续时间, HWnTSPUSH 低电平	$12P^{(1)} + 2$		ns
T3	$t_{c(RFT_CLK)}$	周期时间, RFT_CLK	5	8	ns
T4	$t_{w(RFT_CLKH)}$	脉冲持续时间, RFT_CLK 高电平	$0.45T^{(2)}$		ns
T5	$t_{w(RFT_CLKL)}$	脉冲持续时间, RFT_CLK 低电平	$0.45T^{(2)}$		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

(2) T = RFT_CLK 周期时间 (以 ns 为单位)。

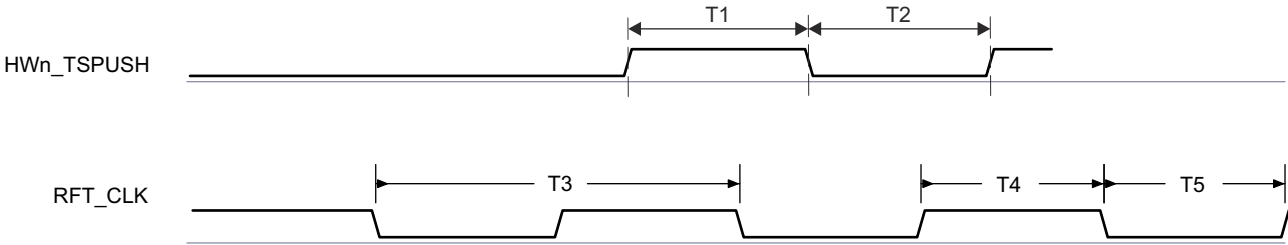


图 6-32. CPTS 时序要求

表 6-42. CPTS 开关特性

请参阅图 6-33

编号	参数	说明	源	最小值	最大值	单位
T6	$t_{w(TS_COMPH)}$	脉冲持续时间, TS_COMP 高电平		$36P^{(1)} - 2$		ns
T7	$t_{w(TS_COMPL)}$	脉冲持续时间, TS_COMP 低电平		$36P^{(1)} - 2$		ns
T8	$t_{w(TS_SYNCH)}$	脉冲持续时间, TS_SYNC 高电平		$36P^{(1)} - 2$		ns
T9	$t_{w(TS_SYNCL)}$	脉冲持续时间, TS_SYNC 低电平		$36P^{(1)} - 2$		ns
T10	$t_{w(SYNCH_OUTH)}$	脉冲持续时间, SYNCn_OUT 高电平	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns
T11	$t_{w(SYNCH_OUTL)}$	脉冲持续时间, SYNCn_OUT 低电平	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

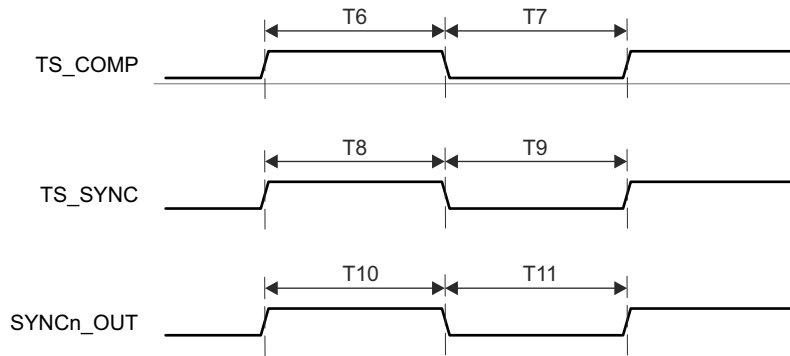


图 6-33. CPTS 开关特性

有关更多信息, 请参阅器件 TRM 的通用平台时间同步 (CPTS) 章节。

6.12.5.3 CSI-2

备注

有关更多信息, 请参阅器件 TRM 中的摄像头串行接口接收器 (CSI_RX_IF) 一节。CSI_RX_IF 连接到名为 CSIRXn 的器件端口实例, 其中 n 是实例编号。

CSI_RX_IF 及关联的 D-PHY 实现了一个符合 MIPI D-PHY 规范 v1.2 和 MIPI CSI-2 规范 v1.3 的 CSI-2 端口 (CSIRX0), 具有 4 个差分数据通道和 1 个差分时钟通道 (以同步双倍数据速率模式运行)。有关 CSI-2 时序的详细信息, 请参阅上述相应的 MIPI 规范。

- 支持 1、2、3 或 4 通道的数据传输模式, 每通道最高 1.5Gbps。

6.12.5.4 DDRSS

有关器件 (LP)DDR4 存储器接口特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-43 和 图 6-34 说明了 DDRSS 的开关特性。

表 6-43. DDRSS 开关特性

请参阅图 6-34

编号	参数	DDR 类型	最小值	最大值	单位
1	$t_{c(DDR_CKP/DDR_CKN)}$ 周期时间，DDR_CKP 和 DDR_CKN	LPDDR4	1.25 ⁽¹⁾	20	ns
		DDR4	1.25 ⁽¹⁾	1.6	ns

(1) 最小 DDR 时钟周期时间将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 [DDR 电路板设计和布局布线指南](#)。

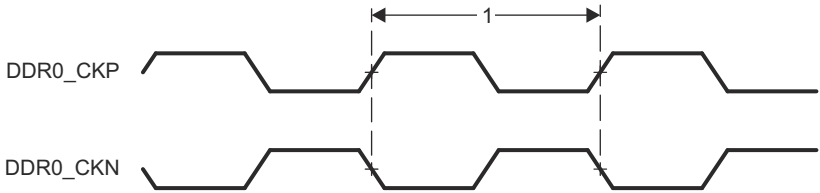


图 6-34. DDRSS 开关特性

有关更多信息，请参阅器件 TRM 的 *存储器控制器* 一章中的 *DDR 子系统 (DDRSS)* 一节。

6.12.5.5 DSS

表 6-44、表 6-45、图 6-35、表 6-46 和 图 6-36 说明了 DSS 的时序条件、时序要求和开关特性。

表 6-44. DSS 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1.44	26.4	V/ns
输出条件				
C_L	输出负载电容	1.5	5	pF
PCB 连接要求				
t_d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

表 6-45. DSS 外部像素时钟时序要求

请参阅图 6-35

编号			最小值	最大值	单位
D6	$t_{c(\text{extpclk})}$	周期时间, $VOUT(x)_EXTPCLKIN^{(2)}$	6.06		ns
D7	$t_{w(\text{extpclk}L)}$	脉冲持续时间, $VOUT(x)_EXTPCLKIN^{(2)}$ 低电平	0.475P ⁽¹⁾		ns
D8	$t_{w(\text{extpclk}H)}$	脉冲持续时间, $VOUT(x)_EXTPCLKIN^{(2)}$ 高电平	0.475P ⁽¹⁾		ns

(1) $P = VOUT(x)_EXTPCLKIN$ 周期时间 (以 ns 为单位)

(2) $VOUT(x)$ 中的 $x = 0$

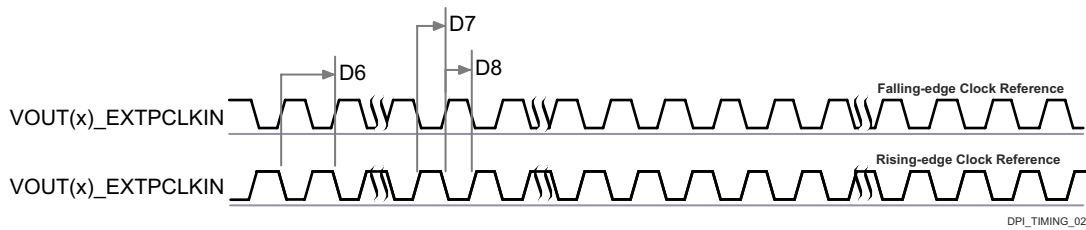


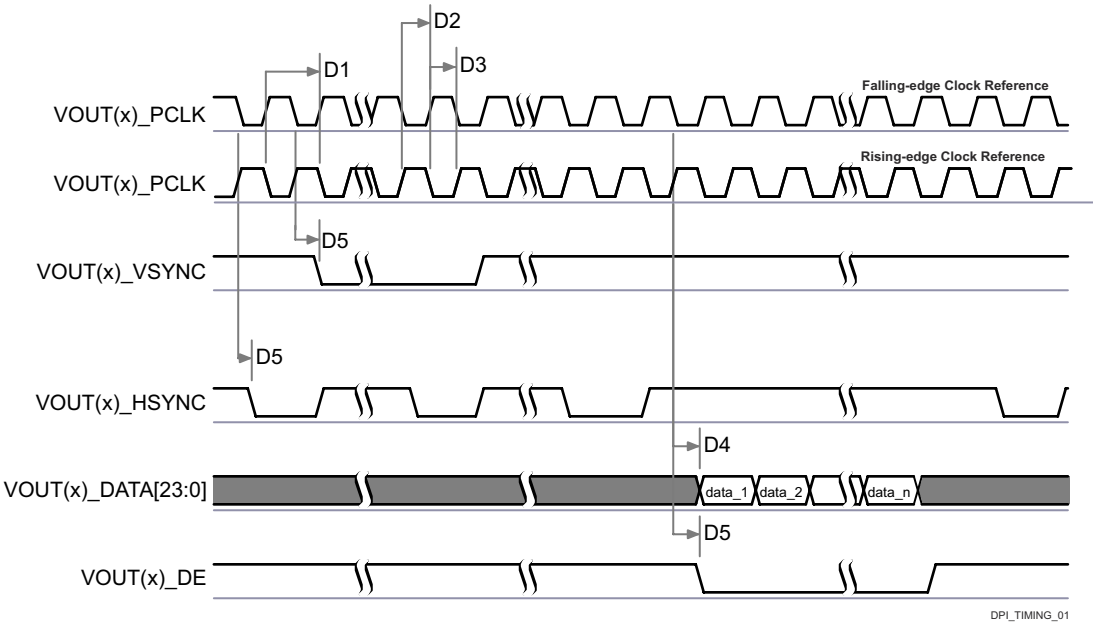
图 6-35. DSS 外部像素时钟时序要求

表 6-46. DSS 开关特性

请参阅图 6-36

编号	参数	模式	最小值	最大值	单位
D1	$t_{c(pclk)}$	周期时间, VOUT(x)_PCLK ⁽²⁾	6.06		ns
D2	$t_{w(pclkL)}$	内部 PLL	0.475P ⁽¹⁾ - 0.3		ns
		EXTPCLKIN	Y ⁽³⁾ - 0.45		ns
D3	$t_{w(pclkH)}$	内部 PLL	0.475P ⁽¹⁾ - 0.3		ns
		EXTPCLKIN	Z ⁽⁴⁾ - 0.45		ns
D4	$t_{d(pclkV-dataV)}$	内部 PLL	-0.68	1.78	ns
		EXTPCLKIN	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrlL)}$	内部 PLL	-0.68	1.78	ns
		EXTPCLKIN	-0.68	1.78	ns

- (1) P = VOUT(x)_PCLK 周期时间 (以 ns 为单位)
(2) VOUT(x) 中的 x = 0
(3) Y = $t_{w(extpclkL)}$, 表 6-45 DSS 外部像素时钟时序要求中的参数 D7
(4) Z = $t_{w(extpclkH)}$, 表 6-45 DSS 外部像素时钟时序要求中的参数 D8



- A. 可以将数据置为有效编程为在像素时钟的下降沿或上升沿发生。请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 一节。
B. VOUT(x)_HSYNC 和 VOUT(x)_VSYNC 的极性和脉冲宽度是可编程的, 请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 一节。
C. VOUT(x)_PCLK 频率是可配置的, 请参阅器件 TRM 的外设一章中的显示子系统一节。

图 6-36. DSS 开关特性

有关更多信息, 请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 和外设一节。

6.12.5.6 ECAP

表 6-47、表 6-48、图 6-37、表 6-49 和图 6-38 说明了 ECAP 的时序条件、时序要求和开关特性。

表 6-47. ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-48. ECAP 时序要求

请参阅图 6-37

编号	参数	说明	最小值	最大值	单位
CAP1	t _w (CAP)	脉冲持续时间, CAP (异步)	2P ⁽¹⁾ + 2		ns

(1) P = MAIN_SYSCCLK0/4 周期 (以 ns 为单位)。

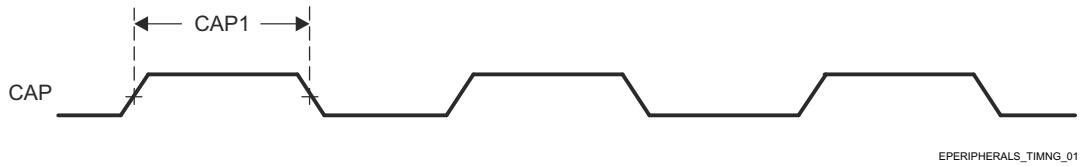


图 6-37. ECAP 时序要求

表 6-49. ECAP 开关特性

请参阅图 6-38

编号	参数	说明	最小值	最大值	单位
CAP2	t _w (APWM)	脉冲持续时间, APWMx 高电平/低电平	2P ⁽¹⁾ - 2		ns

(1) P = MAIN_SYSCCLK0/4 周期 (以 ns 为单位)。

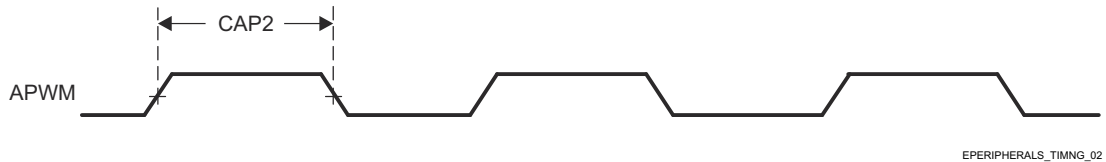


图 6-38. ECAP 开关特性

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型捕获 (ECAP) 模块一节。

6.12.5.7 仿真和调试

有关器件跟踪和 JTAG 接口特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

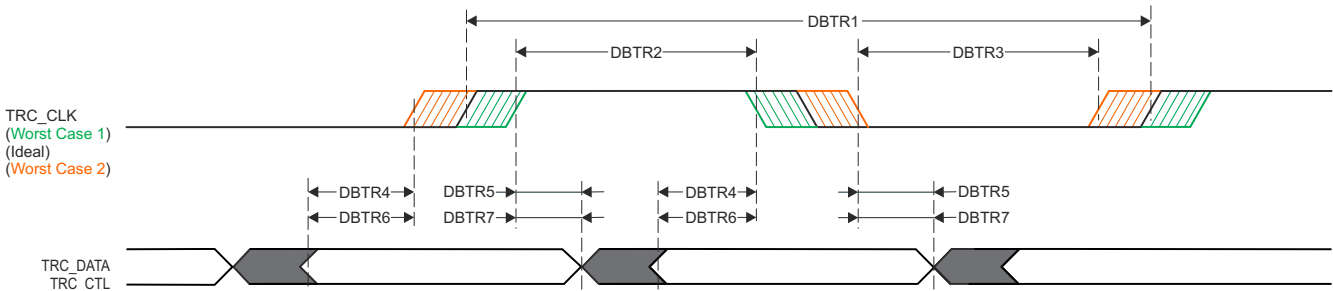
6.12.5.7.1 迹线

表 6-50. 布线时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	5	pF
PCB 连接要求				
t_d (Trace Mismatch)	所有布线之间的传播延迟不匹配		200	ps

表 6-51. 布线开关特性

编号	参数		最小值	最大值	单位
1.8V 模式					
DBTR1	$t_{\text{c}}(\text{TRC_CLK})$	TRC_CLK 周期时间	6.83		ns
DBTR2	$t_{\text{w}}(\text{TRC_CLKH})$	脉冲宽度, TRC_CLK 高电平	2.66		ns
DBTR3	$t_{\text{w}}(\text{TRC_CLKL})$	脉冲宽度, TRC_CLK 低电平	2.66		ns
DBTR4	$t_{\text{osu}}(\text{TRC_DATAV-TRC_CLK})$	输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR5	$t_{\text{oh}}(\text{TRC_CLK-TRC_DATAI})$	输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	0.85		ns
DBTR6	$t_{\text{osu}}(\text{TRC_CTLV-TRC_CLK})$	输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR7	$t_{\text{oh}}(\text{TRC_CLK-TRC_CTLI})$	输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	0.85		ns
3.3V 模式					
DBTR1	$t_{\text{c}}(\text{TRC_CLK})$	TRC_CLK 周期时间	8.78		ns
DBTR2	$t_{\text{w}}(\text{TRC_CLKH})$	脉冲宽度, TRC_CLK 高电平	3.64		ns
DBTR3	$t_{\text{w}}(\text{TRC_CLKL})$	脉冲宽度, TRC_CLK 低电平	3.64		ns
DBTR4	$t_{\text{osu}}(\text{TRC_DATAV-TRC_CLK})$	输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR5	$t_{\text{oh}}(\text{TRC_CLK-TRC_DATAI})$	输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	1.10		ns
DBTR6	$t_{\text{osu}}(\text{TRC_CTLV-TRC_CLK})$	输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR7	$t_{\text{oh}}(\text{TRC_CLK-TRC_CTLI})$	输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	1.10		ns



SPRSP08_Debug_01

图 6-39. 布线开关特性

6.12.5.7.2 JTAG

表 6-52. JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	2.0	V/ns
输出条件				
C _L	输出负载电容	5	15	pF
PCB 连接要求				
t _d (Trace Delay)	每条引线的传播延迟	83.5	1000 ⁽¹⁾	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

- (1) 与 JTAG 信号引线相关的最大传播延迟对最大 TCK 工作频率有显著的影响。可以将跟踪延迟增加到超过该值，但必须降低 TCK 的工作频率以解决额外的跟踪延迟。

表 6-53. JTAG 时序要求

请参阅图 6-40

编号	参数	最小值	最大值	单位
J1	t _c (TCK) 最小周期时间, TCK	40 ⁽¹⁾		ns
J2	t _w (TCKH) 最小脉冲宽度, TCK 高电平	0.4P ⁽²⁾		ns
J3	t _w (TCKL) 最小脉冲宽度, TCK 低电平	0.4P ⁽²⁾		ns
J4	t _{su} (TDI-TCK) 最小输入建立时间, TDI 有效到 TCK 高电平	2		ns
	t _{su} (TMS-TCK) 最小输入建立时间, TMS 有效到 TCK 高电平	2		ns
J5	t _h (TCK-TDI) 最小输入保持时间, 从 TCK 高电平到 TDI 有效	3		ns
	t _h (TCK-TMS) 最小输入保持时间, 从 TCK 高电平到 TMS 有效	3		ns

- (1) 最大 TCK 工作频率假定所连接的调试器具有以下时序要求和开关特性。如果调试器超出任何这些假设，则必须降低 TCK 的工作频率以提供适当的时序裕度。
- 相对于 TCK 上升沿的最小 TDO 建立时间为 2 ns
 - 相对于 TCK 下降沿, TDI 和 TMS 输出延迟范围为 -12.9 ns 至 13.9 ns
- (2) P = TCK 周期时间 (以 ns 为单位)

表 6-54. JTAG 开关特性

请参阅图 6-40

编号	参数	最小值	最大值	单位
J6	t _d (TCKL-TDOl) 最小延迟时间, TCK 低电平到 TDO 无效	0		ns
J7	t _d (TCKL-TDOv) 最大延迟时间, TCK 低电平到 TDO 有效		12	ns

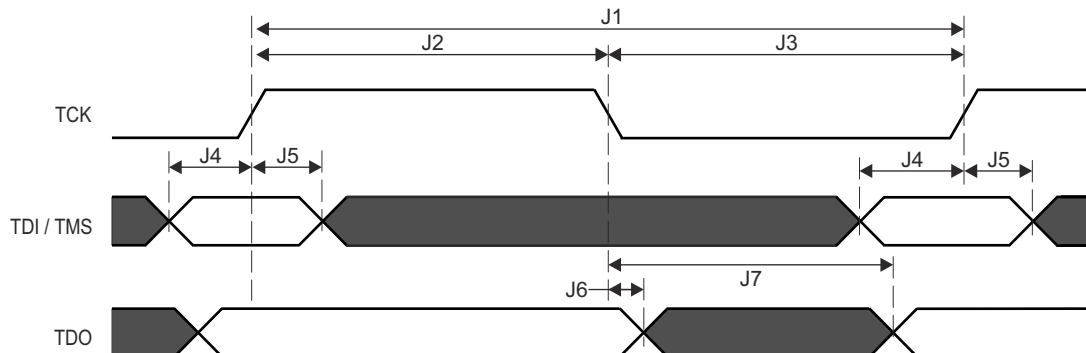


图 6-40. JTAG 时序要求和开关特性

6.12.5.8 EPWM

表 6-55、表 6-56、图 6-41、表 6-57、图 6-42、图 6-43 和图 6-44 说明了 EPWM 的时序条件、时序要求和开关特性。

表 6-55. EPWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-56. EPWM 时序要求

请参阅图 6-41

编号	参数	说明	最小值	最大值	单位
PWM6	t _w (SYNCIN)	脉冲持续时间, EHRPWM_SYNCIN	2P ⁽¹⁾ + 2		ns
PWM7	t _w (TZ)	脉冲持续时间, EHRPWM_TZn_IN 低电平	3P ⁽¹⁾ + 2		ns

(1) P = MAIN_SYSCCLK0/2 周期 (以 ns 为单位)。

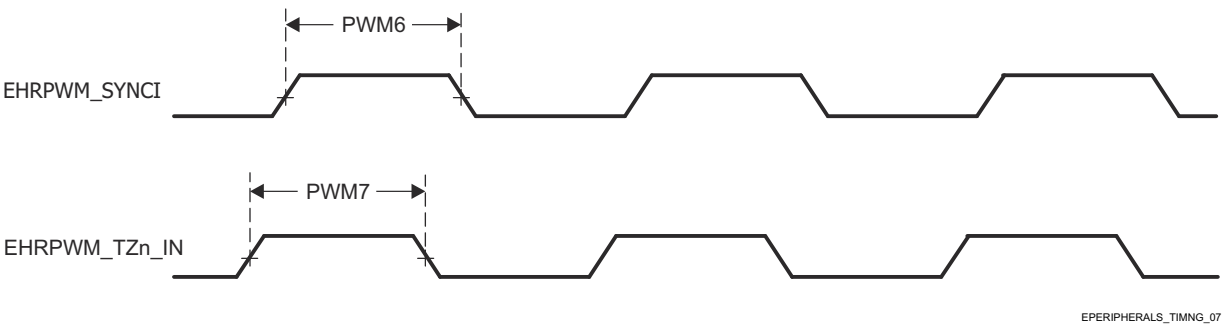


图 6-41. EPWM 时序要求

表 6-57. EPWM 开关特性

请参阅图 6-42、图 6-43 和图 6-44

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(PWM)}$	脉冲持续时间, EHRPWM_A/B 高电平/低电平	$P^{(1)} - 3$		ns
PWM2	$t_{w(SYNCOOUT)}$	脉冲持续时间, EHRPWM_SYNCO	$P^{(1)} - 3$		ns
PWM3	$t_d(TZ-PWM)$	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 强制高电平/低电平		11	ns
PWM4	$t_d(TZ-PWMZ)$	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 高阻态		11	ns
PWM5	$t_{w(SOC)}$	脉冲持续时间, EHRPWM_SOCA/B 输出	$P^{(1)} - 3$		ns

(1) $P = \text{MAIN_SYSCLK0}/2$ 周期 (以 ns 为单位)。

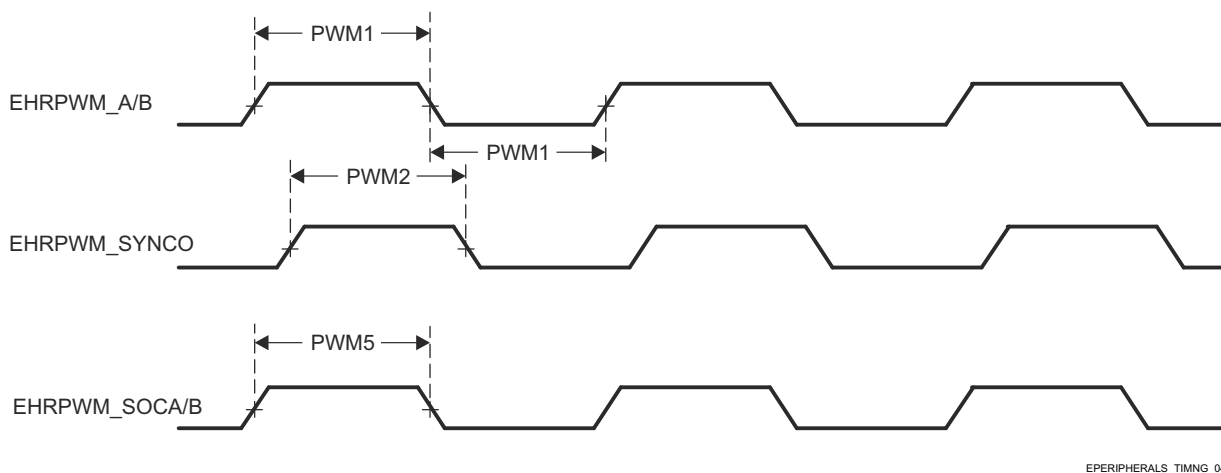


图 6-42. EHRPWM 开关特性

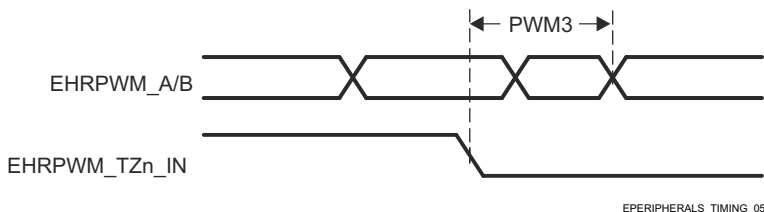


图 6-43. EHRPWM_TZn_IN 至 EHRPWM_A/B 强制开关特性

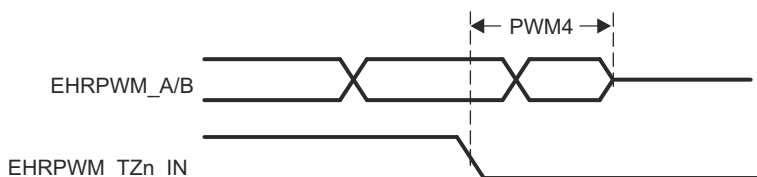


图 6-44. EHRPWM_TZn_IN 至 EHRPWM_A/B 高阻态开关特性

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型脉宽调制 (EPWM) 模块一节。

6.12.5.9 EQEP

表 6-58、表 6-59、图 6-45 和表 6-60 说明了 EQEP 的时序条件、时序要求和开关特性。

表 6-58. EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-59. EQEP 时序要求

请参阅图 6-45

编号	参数	说明	最小值	最大值	单位
QEP1	t _w (QEP)	脉冲持续时间, QEP_A/B	2P ⁽¹⁾ + 2		ns
QEP2	t _w (QEP _I H)	脉冲持续时间, QEP_I 高电平	2P ⁽¹⁾ + 2		ns
QEP3	t _w (QEP _I L)	脉冲持续时间, QEP_I 低电平	2P ⁽¹⁾ + 2		ns
QEP4	t _w (QEP _S H)	脉冲持续时间, QEP_S 高电平	2P ⁽¹⁾ + 2		ns
QEP5	t _w (QEP _S L)	脉冲持续时间, QEP_S 低电平	2P ⁽¹⁾ + 2		ns

(1) P = MAIN_SYSCCLK0/4 周期 (以 ns 为单位)。

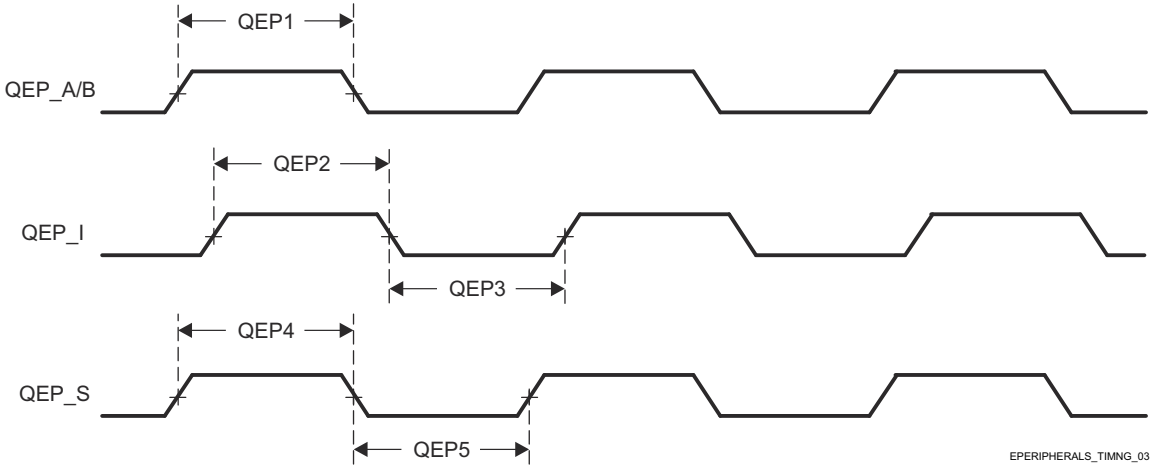


图 6-45. EQEP 时序要求

表 6-60. EQEP 开关特性

编号	参数	说明	最小值	最大值	单位
QEP6	t _d (QEP-CNTR)	延迟时间, 外部时钟到计数器增量		24	ns

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型正交编码器脉冲 (EQEP) 模块一节。

6.12.5.10 GPIO

表 6-61、表 6-62 和表 6-63 说明了 GPIO 的时序条件、时序要求和开关特性。

该器件具有三个 GPIO 模块实例。

- MCU_GPIO0
- GPIO0
- GPIO1

备注

GPIO_n_x 是用于描述 GPIO 信号的通用名称，其中 n 表示特定的 GPIO 模块，x 表示与该模块关联的输入/输出信号之一。

有关器件 GPIO 的其他说明信息，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-61. GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR _i	输入压摆率	LVC MOS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD ⁽¹⁾ = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 3.3V)	0.0033	0.08	V/ns
输出条件					
C _L	输出负载电容	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

表 6-62. GPIO 时序要求

编号	参数	说明	最小值	最大值	单位
GPIO1	t _w (GPIO_IN)	脉冲宽度, GPIO _n _x	2P ⁽¹⁾ + 30		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

表 6-63. GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
GPIO2	t _w (GPIO_OUT)	脉冲宽度, GPIO _n _x	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
			I ² C OD FS	160		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用接口 (GPIO)* 一节。

6.12.5.11 GPMC

有关器件通用存储器控制器特性和其他说明的更多详细信息，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

表 6-64 展示了 GPMC 的时序条件。

表 6-64. GPMC 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率		1.65	4	V/ns
输出条件					
C _L	输出负载电容		2	20	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	133MHz 同步模式	140	360	ps
		所有其他模式	140	720	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配			200	ps

有关更多信息，请参阅器件 TRM 的外设一章中的 [通用存储器控制器 \(GPMC\)](#) 一节。

6.12.5.11.1 GPMC 和 NOR 闪存 - 同步模式

表 6-65 和表 6-66 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 同步模式。

表 6-65. GPMC 和 NOR 闪存时序要求 - 同步模式

请参阅图 6-46、图 6-47 和图 6-50

编号	参数	说明	最小值	最大值	单位
F12	t _{su} (dV-clkH)	建立时间，GPMC_AD[15:0] 在 GPMC_CLK 高电平之前有效	0.92		ns
F13	t _h (clkH-dV)	保持时间，GPMC_AD[15:0] 在 GPMC_CLK 高电平之后有效	2.09		ns
F21	t _{su} (waitV-clkH)	建立时间，GPMC_WAIT[j] ^{(1) (2)} 在 GPMC_CLK 高电平之前有效	0.92		ns
F22	t _h (clkH-waitV)	保持时间，GPMC_WAIT[j] ^{(1) (2)} 在 GPMC_CLK 高电平之后有效	2.09		ns

(1) 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

(2) 等待监视支持仅限于 WaitMonitoringTime 值 > 0。有关等待监视功能的完整说明，请参阅器件 TRM 中的 [通用存储器控制器 \(GPMC\)](#) 一节。

表 6-66. GPMC 和 NOR 闪存开关特性 - 同步模式

请参阅图 6-46、图 6-47、图 6-48、图 6-49 和图 6-50

编号	参数	说明	最小值	最大值	单位
F0	t _c (clk)	周期时间，GPMC_CLK ⁽¹⁶⁾	7.52		ns
F1	t _w (clkH)	典型脉冲持续时间，GPMC_CLK 高电平	0.475P ⁽¹³⁾ - 0.3		ns
F1	t _w (clkL)	典型脉冲持续时间，GPMC_CLK 低电平	0.475P ⁽¹³⁾ - 0.3		ns
F2	t _d (clkH-csnV)	延迟时间，GPMC_CLK 上升沿到 GPMC_CS[n] 转换 ⁽¹²⁾	F ⁽⁵⁾ - 2.2	F ⁽⁵⁾ + 3.75	ns
F3	t _d (clkH-CSn[j]V)	延迟时间，GPMC_CLK 上升沿到 GPMC_CS[n] 无效 ⁽¹²⁾	D ⁽⁴⁾ - 2.2	D ⁽⁴⁾ + 4.5	ns
F4	t _d (aV-clk)	延迟时间，GPMC_A[27:1] 有效至 GPMC_CLK 第一个边沿	B ⁽²⁾ - 2.3	B ⁽²⁾ + 4.5	ns
F5	t _d (clkH-aIV)	延迟时间，GPMC_CLK 上升沿到 GPMC_A[27:1] 无效	-2.3	4.5	ns
F6	t _d (be[x]nV-clk)	延迟时间，GPMC_BE0n_CLE、GPMC_BE1n 有效至 GPMC_CLK 第一个边沿	B ⁽²⁾ - 2.3	B ⁽²⁾ + 1.9	ns

表 6-66. GPMC 和 NOR 闪存开关特性 - 同步模式 (续)

请参阅图 6-46、图 6-47、图 6-48、图 6-49 和图 6-50

编号	参数	说明	最小值	最大值	单位
F7	$t_{d(\text{clkH-be}[x]nIV)}$	延迟时间, GPMC_CLK 上升沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	ns
F8	$t_{d(\text{clkH-advn})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_ADVn_ALE 转换	G ⁽⁶⁾ - 2.3	G ⁽⁶⁾ + 4.5	ns
F9	$t_{d(\text{clkH-advnIV})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_ADVn_ALE 无效	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 4.5	ns
F10	$t_{d(\text{clkH-oen})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_OEn_REn 转换	H ⁽⁷⁾ - 2.3	H ⁽⁷⁾ + 3.5	ns
F11	$t_{d(\text{clkH-oenIV})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_OEn_REn 无效	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 3.5	ns
F14	$t_{d(\text{clkH-wen})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_WEn 转换	I ⁽⁸⁾ - 2.3	I ⁽⁸⁾ + 4.5	ns
F15	$t_{d(\text{clkH-do})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_AD[15:0] 转换 ⁽⁹⁾	- 2.3	+ 2.7	ns
F15	$t_{d(\text{clkL-do})}$	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹⁰⁾	- 2.3	+ 2.7	ns
F15	$t_{d(\text{clkL-do})}$	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹¹⁾	- 2.3	+ 2.7	ns
F17	$t_{d(\text{clkH-be}[x]n)}$	延迟时间, GPMC_CLK 上升沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽⁹⁾	- 2.3	+ 1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹⁰⁾	- 2.3	+ 1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹¹⁾	- 2.3	+ 1.9	ns
F18	$t_{w(\text{csnV})}$	脉冲持续时间, GPMC_CSn[j] ⁽¹²⁾ 低电平	A ⁽¹⁾		ns
F19	$t_{w(\text{be}[x]nV)}$	脉冲持续时间, GPMC_BE0n_CLE、GPMC_BE1n 低电平	C ⁽³⁾		ns
F20	$t_{w(\text{advnV})}$	脉冲持续时间, GPMC_ADVn_ALE 低电平	K ⁽¹⁴⁾		ns

- (1) 对于单次读取: $A = (\text{CSRDoffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于单次写入: $A = (\text{CSWrOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于突发读取: $A = (\text{CSRDoffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于突发写入: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
n 是页面突发访问编号。
- (2) 地址总线/字节使能在周期开始时有效, GPMC_CLK 激活时间可能在周期开始之后延迟 $B = \text{ClkActivationTime} \times \text{GPMC_FCLK}^{(15)}$
- (3) 对于单次读取: $C = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于单次写入: $C = \text{WrCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于突发读取: $C = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于突发写入: $C = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
n 是页面突发访问编号。
- (4) 对于单次读取: $D = (\text{RdCycleTime} - \text{RdAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于单次写入: $D = (\text{WrCycleTime} - \text{WrAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于突发读取: $D = (\text{RdCycleTime} - \text{RdAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
对于突发写入: $D = (\text{WrCycleTime} - \text{WrAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
n 是页面突发访问编号。
- (5) 对于 CSn 下降沿 (CS 激活):
- 如果 $\text{GPMCFCLKDIVIDER} = 0$:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 1$:
 - 如果 (ClkActivationTime 和 CSOnTime 为奇数) 或 (ClkActivationTime 和 CSOnTime 为偶数), 则 $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 2$:
 - 如果 ((CSOnTime - ClkActivationTime) 是 3 的倍数), 则 $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((CSOnTime - ClkActivationTime - 1) 是 3 的倍数), 则 $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((CSOnTime - ClkActivationTime - 2) 是 3 的倍数), 则 $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于读取模式下的 CSn 上升沿 (CS 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 CSRdOffTime 为奇数) 或 (ClkActivationTime 和 CSRdOffTime 为偶数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 否则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((CSRdOffTime - ClkActivationTime) 是 3 的倍数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 如果 ((CSRdOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((CSRdOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $F = (2 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于写入模式下的 CSn 上升沿 (CS 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 CSWrOffTime 为奇数) 或 (ClkActivationTime 和 CSWrOffTime 为偶数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 否则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((CSWrOffTime - ClkActivationTime) 是 3 的倍数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 如果 ((CSWrOffTime - ClkActivationTime - 1) 是 3 的倍数), ⁽¹⁵⁾则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}$
 - 如果 ((CSWrOffTime - ClkActivationTime - 2) 是 3 的倍数), ⁽¹⁵⁾则 $F = (2 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}$

(6) 对于 ADV 下降沿 (ADV 激活) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 ADVOnTime 为奇数) 或 (ClkActivationTime 和 ADVOnTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((ADVOnTime - ClkActivationTime) 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVOnTime - ClkActivationTime - 1) 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVOnTime - ClkActivationTime - 2) 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于读取模式下的 ADV 上升沿 (ADV 停用) :

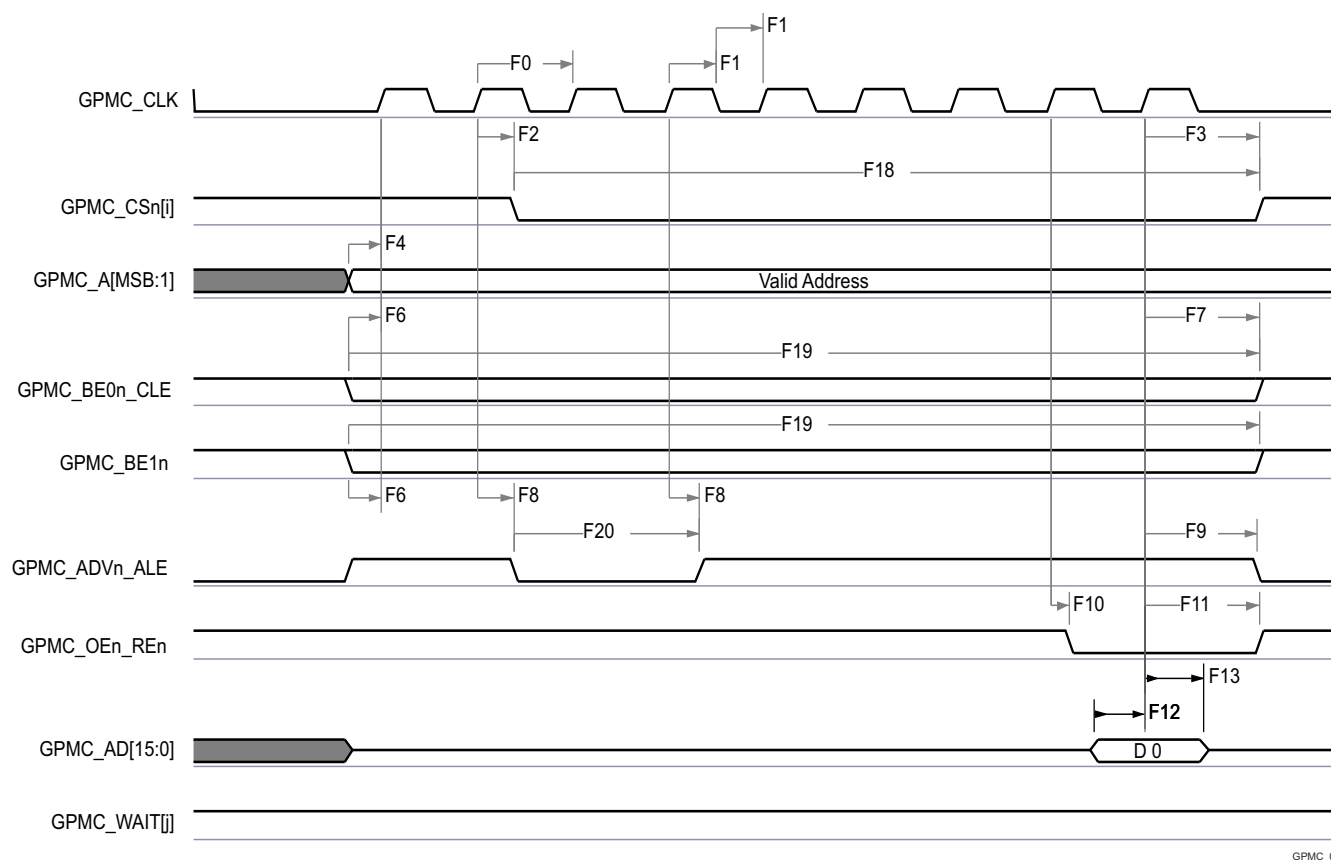
- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 ADVrOffTime 为奇数) 或 (ClkActivationTime 和 ADVrOffTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((ADVrOffTime - ClkActivationTime) 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVrOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVrOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于写入模式下的 ADV 上升沿 (ADV 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :

- 如果 (ClkActivationTime 和 ADVWrOffTime 为奇数) 或 (ClkActivationTime 和 ADVWrOffTime 为偶数) , 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (ADVWrOffTime - ClkActivationTime) 是 3 的倍数) , 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- (7) 对于 OE 下降沿 (OE 激活) 和 IO DIR 上升沿 (数据总线输入方向) :
- 如果 GPMCFCLKDIVIDER = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 OEOnTime 为奇数) 或 (ClkActivationTime 和 OEOnTime 为偶数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (OEOnTime - ClkActivationTime) 是 3 的倍数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOnTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOnTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 对于 OE 上升沿 (OE 停用) :
- 如果 GPMCFCLKDIVIDER = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 OEOffTime 为奇数) 或 (ClkActivationTime 和 OEOffTime 为偶数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (OEOffTime - ClkActivationTime) 是 3 的倍数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOffTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOffTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- (8) 对于 WE 下降沿 (WE 激活) :
- 如果 GPMCFCLKDIVIDER = 0 :
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 WEOnTime 为奇数) 或 (ClkActivationTime 和 WEOnTime 为偶数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (WEOnTime - ClkActivationTime) 是 3 的倍数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (WEOnTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (WEOnTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 对于 WE 上升沿 (WE 停用) :
- 如果 GPMCFCLKDIVIDER = 0 :
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 WEOffTime 为奇数) 或 (ClkActivationTime 和 WEOffTime 为偶数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (WEOffTime - ClkActivationTime) 是 3 的倍数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$

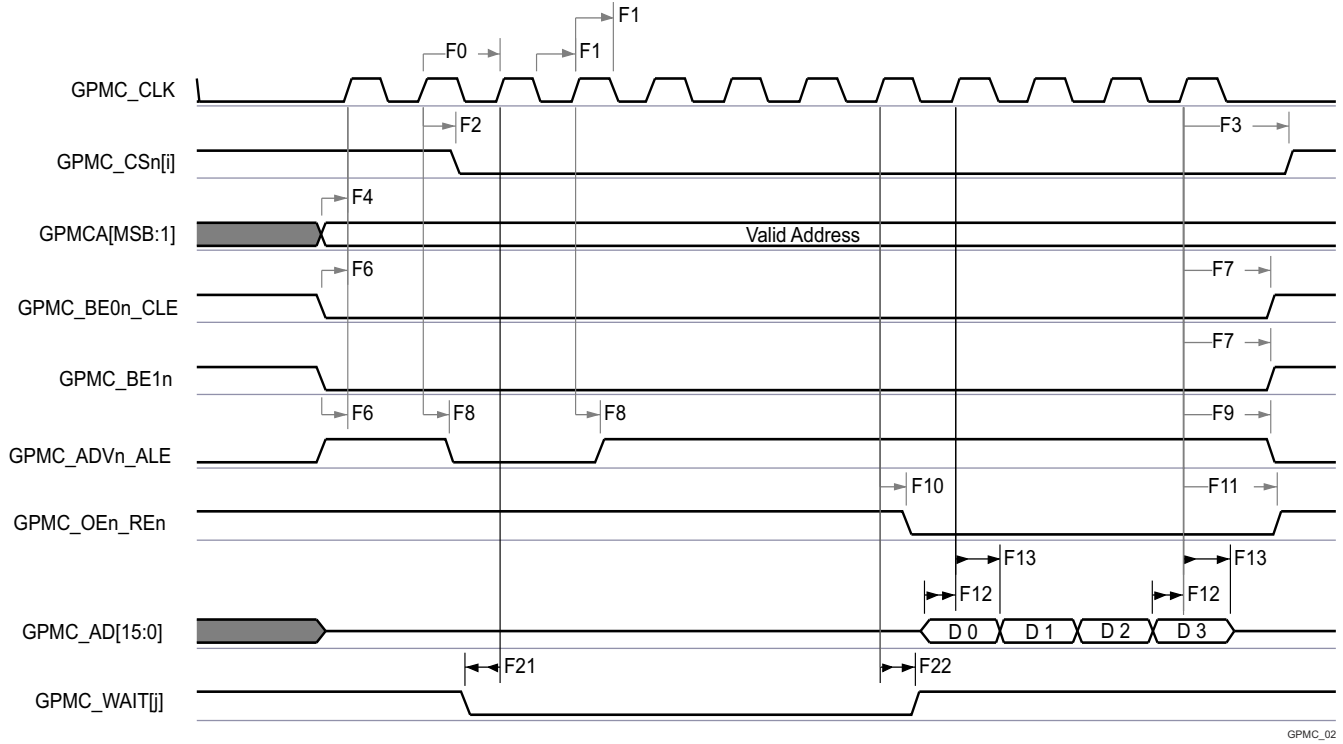
- 如果 $(WEOffTime - ClkActivationTime - 1)$ 是 3 的倍数, 则 $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$
 - 如果 $(WEOffTime - ClkActivationTime - 2)$ 是 3 的倍数, 则 $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$
- (9) 如果使用 CLK DIV 1 模式, 仅限第一次传输: 数据和字节使能信号在 GPMC_CLK 上升沿转换
- 非多路复用模式: 数据在周期开始时转换
 - 多路复用模式: 数据在 $WRDATAONADMUXBUS \times (TimeParaGranularity + 1) \times GPMC_FCLK$ 处转换⁽¹⁵⁾
- (10) CLK DIV 1 模式情况, 初始传输后的所有数据信号和字节使能信号: 数据和字节使能信号在 GPMC_CLK 的下降沿 (GPMC_CLK 的半个周期) 转换
- (11) 非 CLK DIV 1 模式的情况 (GPMC_CLK 从 GPMC_FCLK 进行分频): 所有数据与字节使能信号均在 GPMC_CLK 的下降沿 (GPMC_CLK 的半个周期) 转换。必须配置 ClkActivationTime、GPMCFCLKDIVIDER、RDACCESSTIME/WRACCESSTIME 和 PAGEBURSTACCESSTIME 配置, 以在 GPMC_CLK 的下降沿强制执行数据和字节使能信号转换 (以便在 GPMC_CLK 上升沿锁存)
- (12) 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
- (13) P = 以 ns 为单位的 GPMC_CLK 周期
- (14) 对于读取: $K = (ADVrOffTime - ADVOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$
对于写入: $K = (ADVWrOffTime - ADVOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$
- (15) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (16) 与 GPMC_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。



GPMC_01

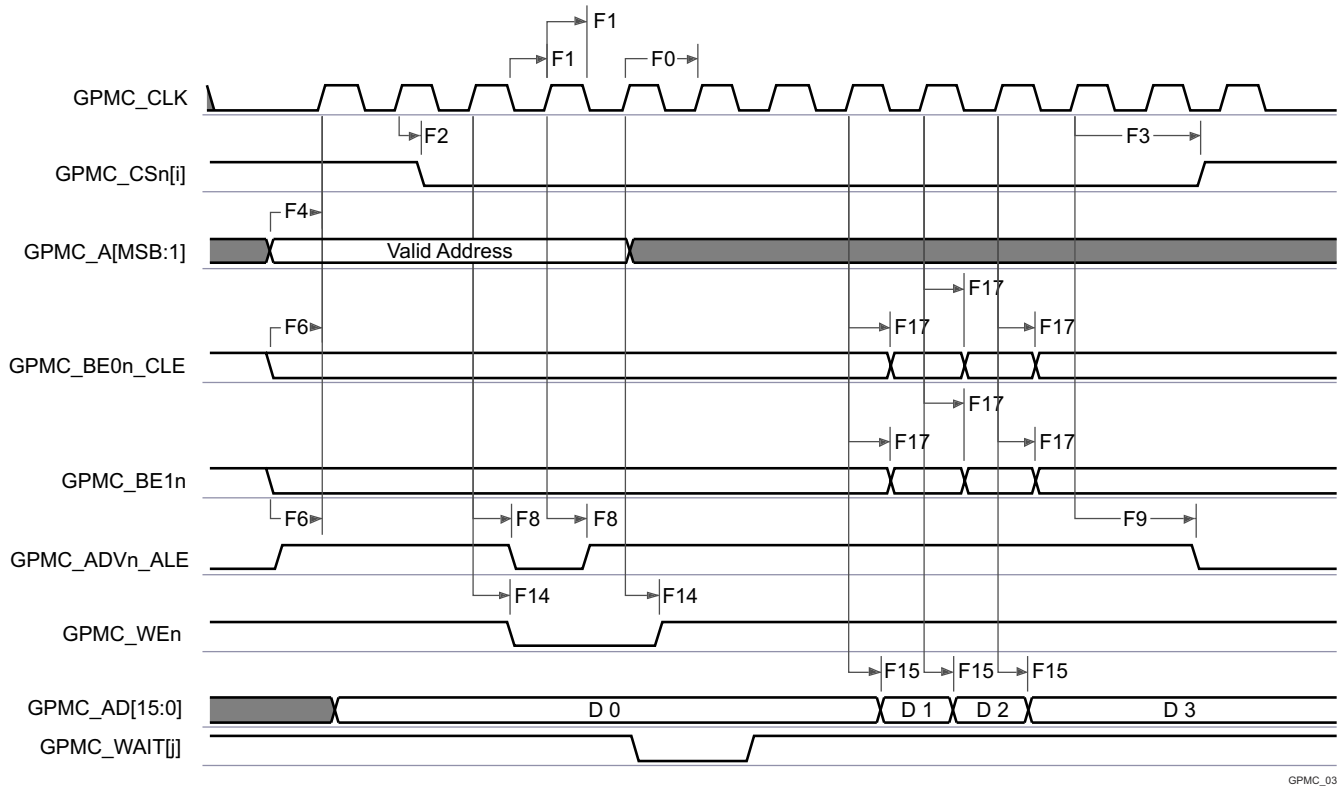
- A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[j] 中, *j* 等于 0 或 1。

图 6-46. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

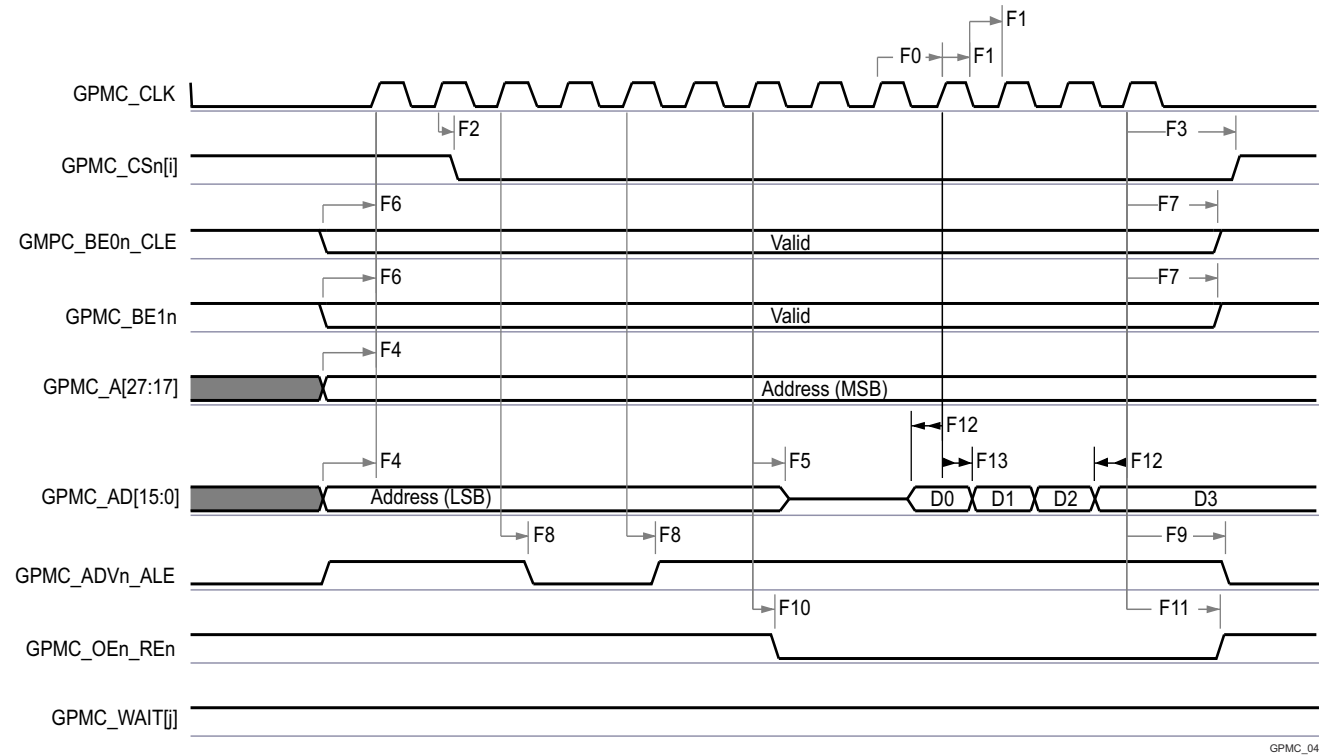
图 6-47. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

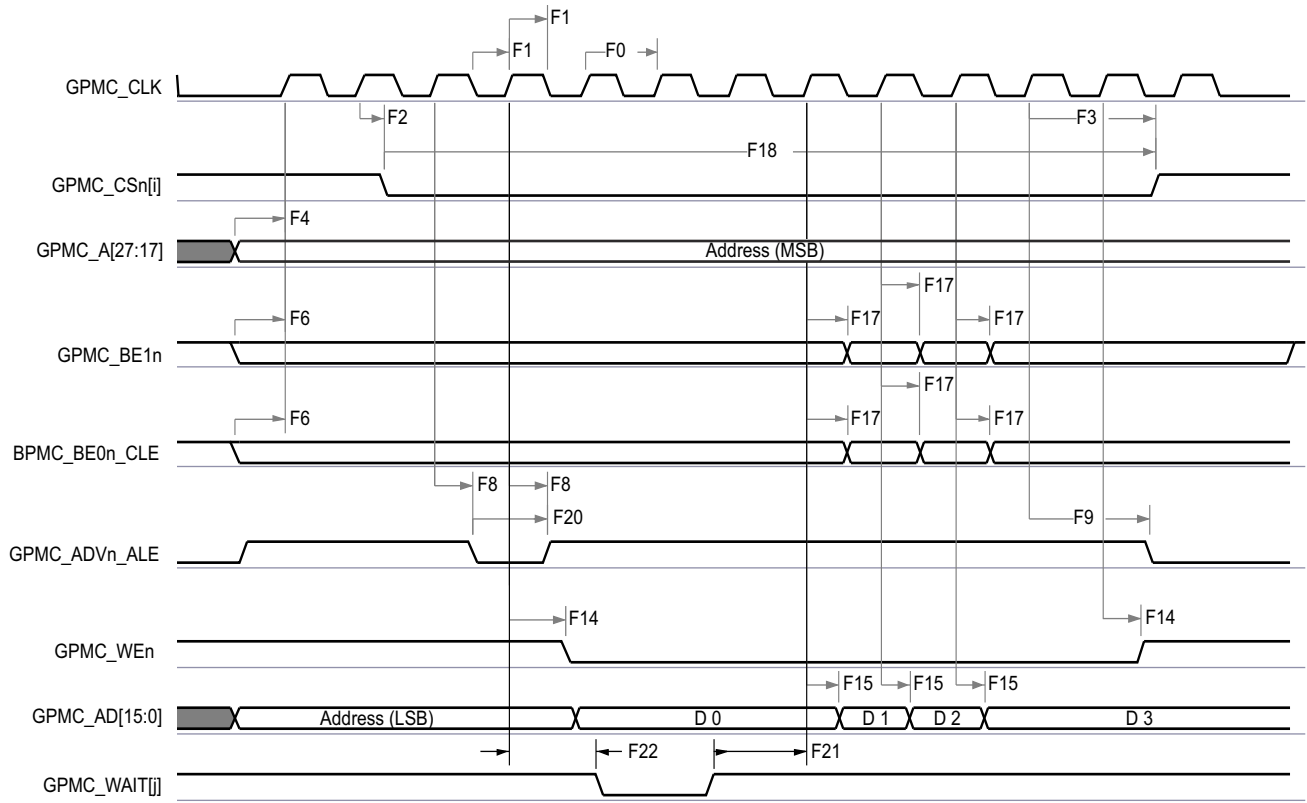
B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-48. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-49. GPMC 和多路复用 NOR 闪存 - 同步突发读取



GPMC_05

- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-50. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.12.5.11.2 GPMC 和 NOR 闪存 - 异步模式

表 6-67 和表 6-68 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 异步模式。

表 6-67. GPMC 和 NOR 闪存时序要求 - 异步模式

请参阅图 6-51、图 6-52、图 6-53 和图 6-55

编号	参数	说明	最小值	最大值	单位
FA5 ⁽¹⁾	$t_{acc(d)}$	数据访问时间		H ⁽⁵⁾	ns
FA20 ⁽²⁾	$t_{acc1-pgmode(d)}$	页面模式连续数据访问时间		P ⁽⁴⁾	ns
FA21 ⁽³⁾	$t_{acc2-pgmode(d)}$	页面模式首个数据访问时间		H ⁽⁵⁾	ns

- (1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- (2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- (3) FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据通过有效功能时钟边沿在内部采样。FA21 值必须存储在 AccessTime 寄存器位字段内。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (6) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

表 6-68. GPMC 和 NOR 闪存开关特性 - 异步模式

请参阅图 6-51、图 6-52、图 6-53、图 6-54、图 6-55 和图 6-56

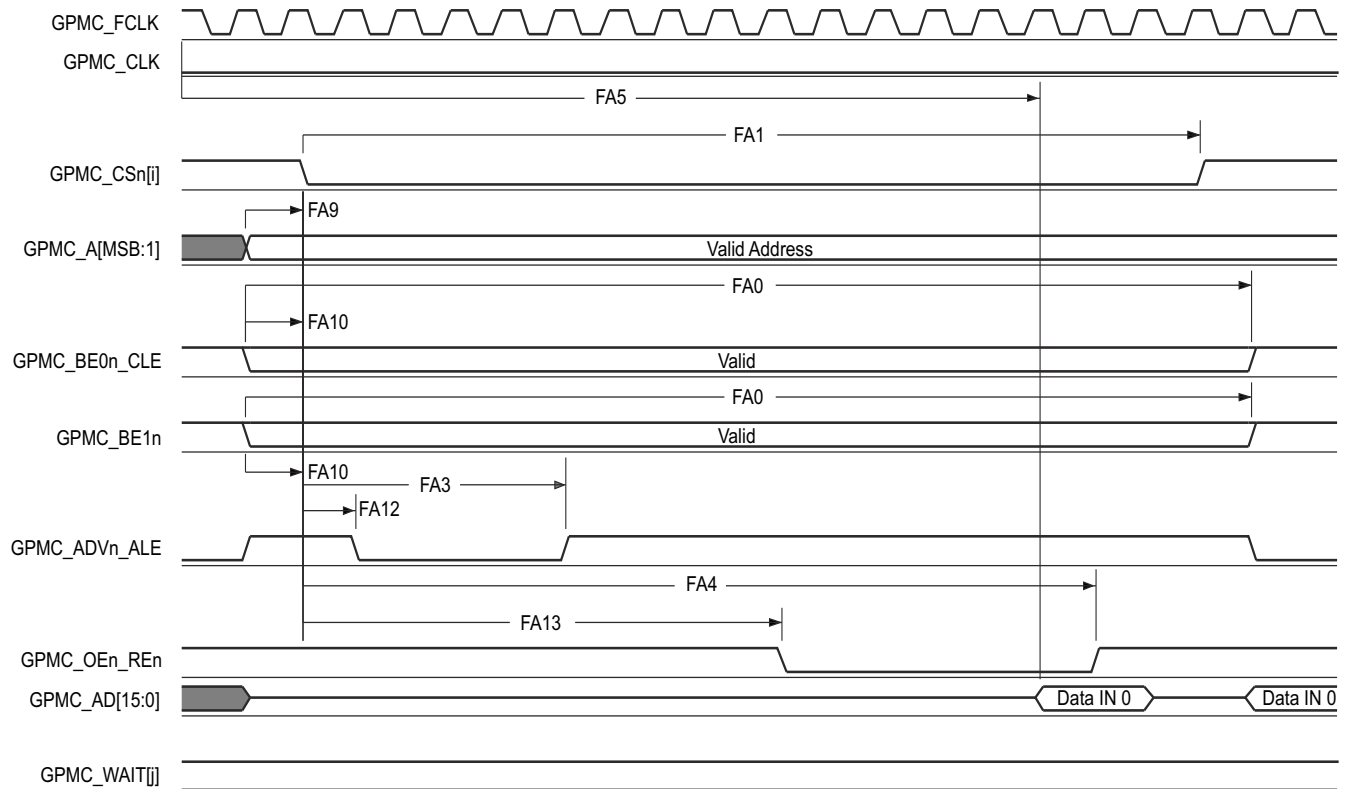
编号	参数	说明	最小值	最大值	单位
FA0	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间		N ⁽¹²⁾	ns
FA1	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 低电平		A ⁽¹⁾	ns
FA3	$t_{d(csnV-advnIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
FA4	$t_{d(csnV-oenIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 无效 (单次读取)	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
FA9	$t_{d(aV-csnV)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CS[n] ⁽¹³⁾ 有效	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA10	$t_{d(be[x]nV-csnV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CS[n] ⁽¹³⁾ 有效	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA12	$t_{d(csnV-advnV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	K ⁽¹⁰⁾ - 2	K ⁽¹⁰⁾ + 2	ns
FA13	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 有效	L ⁽¹¹⁾ - 2	L ⁽¹¹⁾ + 2	ns
FA16	$t_{w(aIV)}$	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效		G ⁽⁷⁾	ns
FA18	$t_{d(csnV-oenIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 无效 (突发读取)	I ⁽⁸⁾ - 2	I ⁽⁸⁾ + 2	ns
FA20	$t_{w(aV)}$	脉冲持续时间，输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问		D ⁽⁴⁾	ns
FA25	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 有效	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
FA27	$t_{d(csnV-wenIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
FA28	$t_{d(wenV-dV)}$	延迟时间，输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效		2	ns
FA29	$t_{d(dV-csnV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CS[n] ⁽¹³⁾ 有效	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns

表 6-68. GPMC 和 NOR 闪存开关特性 - 异步模式 (续)

请参阅图 6-51、图 6-52、图 6-53、图 6-54、图 6-55 和图 6-56

编号	参数	说明	最小值	最大值	单位
FA37	$t_{d(oenV-a1V)}$	延迟时间, 输出使能 GPMC_OEn_REn 有效到输出地址 GPMC_AD[15:0] 阶段结束		2	ns

- (1) 对于单次读取: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
对于单次写入: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
对于突发读取: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
对于突发写入: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
n 是页面突发访问编号
- (2) 对于读取: $B = ((ADVrdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
对于写入: $B = ((ADVWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (5) $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
- (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
- (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (12) 对于单次读取: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
对于单次写入: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
对于突发读取: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
对于突发写入: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。
- (14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

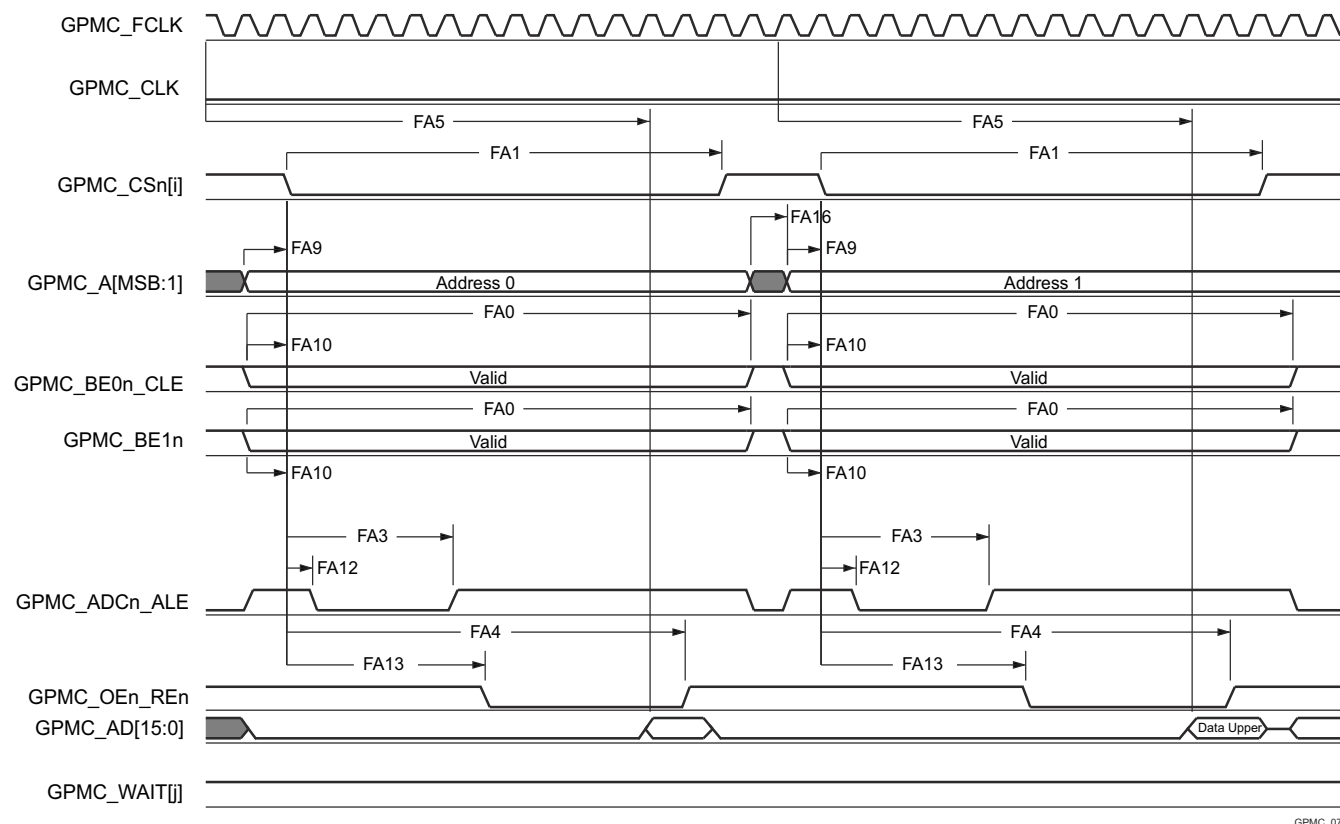


GPMC_06

A. 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

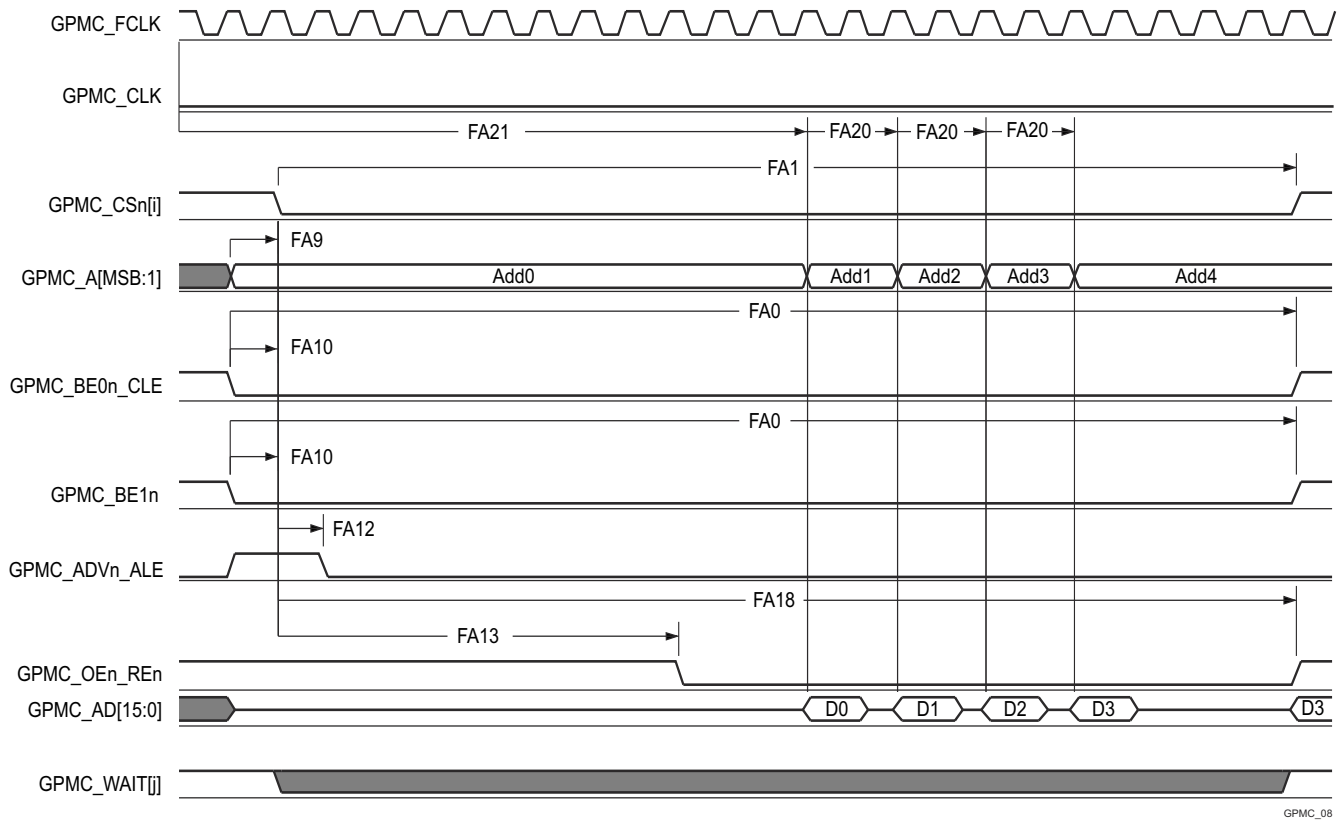
图 6-51. GPMC 和 NOR 闪存 - 异步读取 - 单字



GPMC_07

- A. 在 GPMC_CS[n][i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。
- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

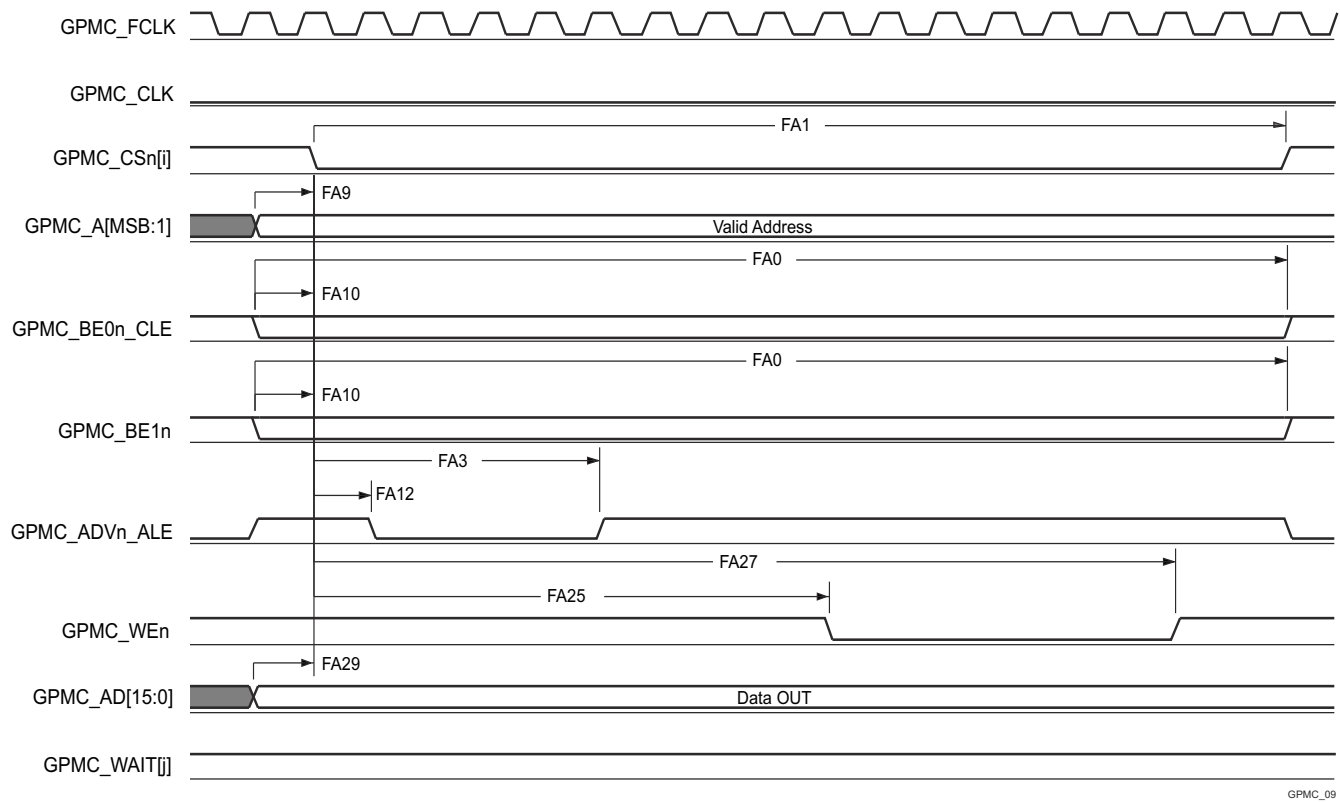
图 6-52. GPMC 和 NOR 闪存 - 异步读取 - 32 位



GPMC_08

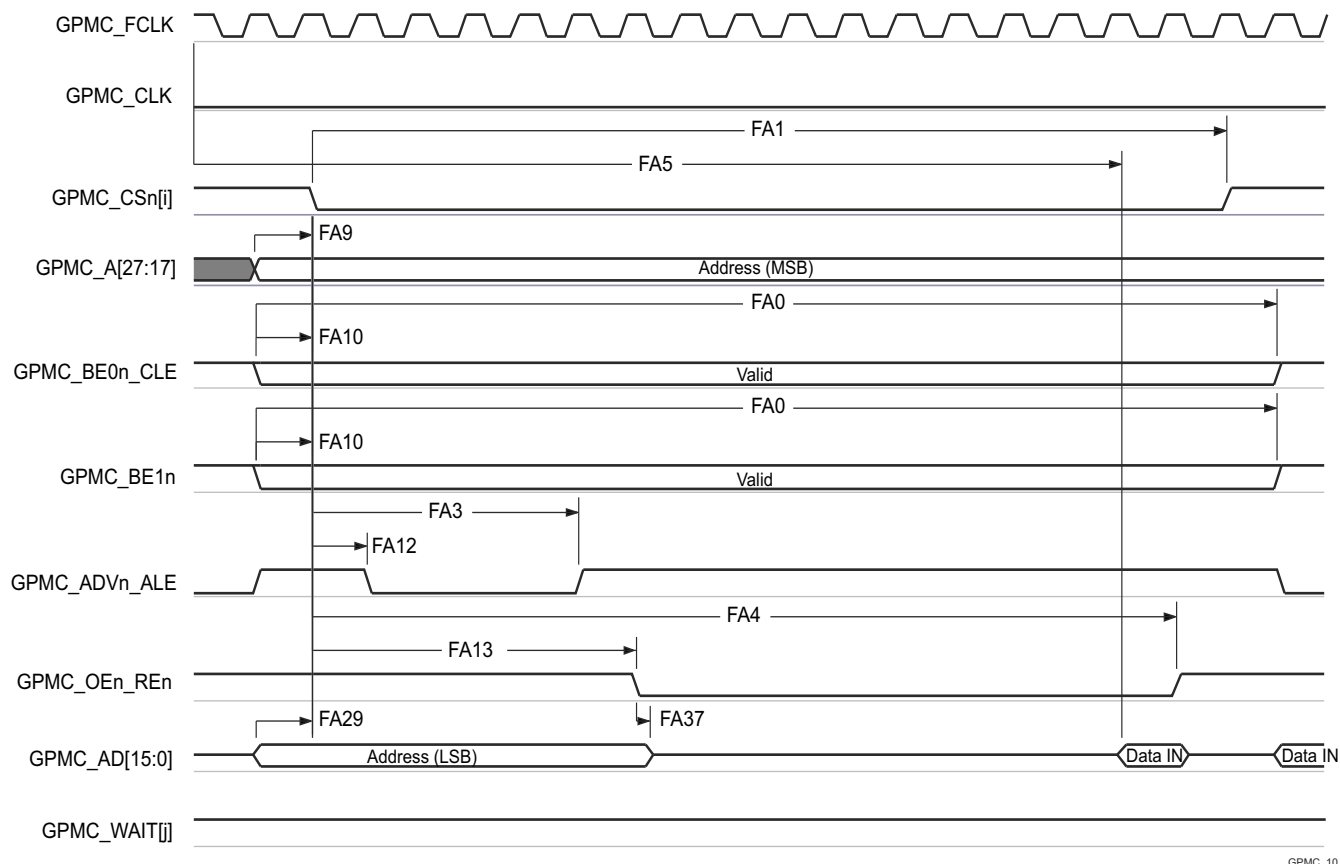
- 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后, 首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。
- FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后, 下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据 (不包括第一个输入页面数据) 的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-53. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位



A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

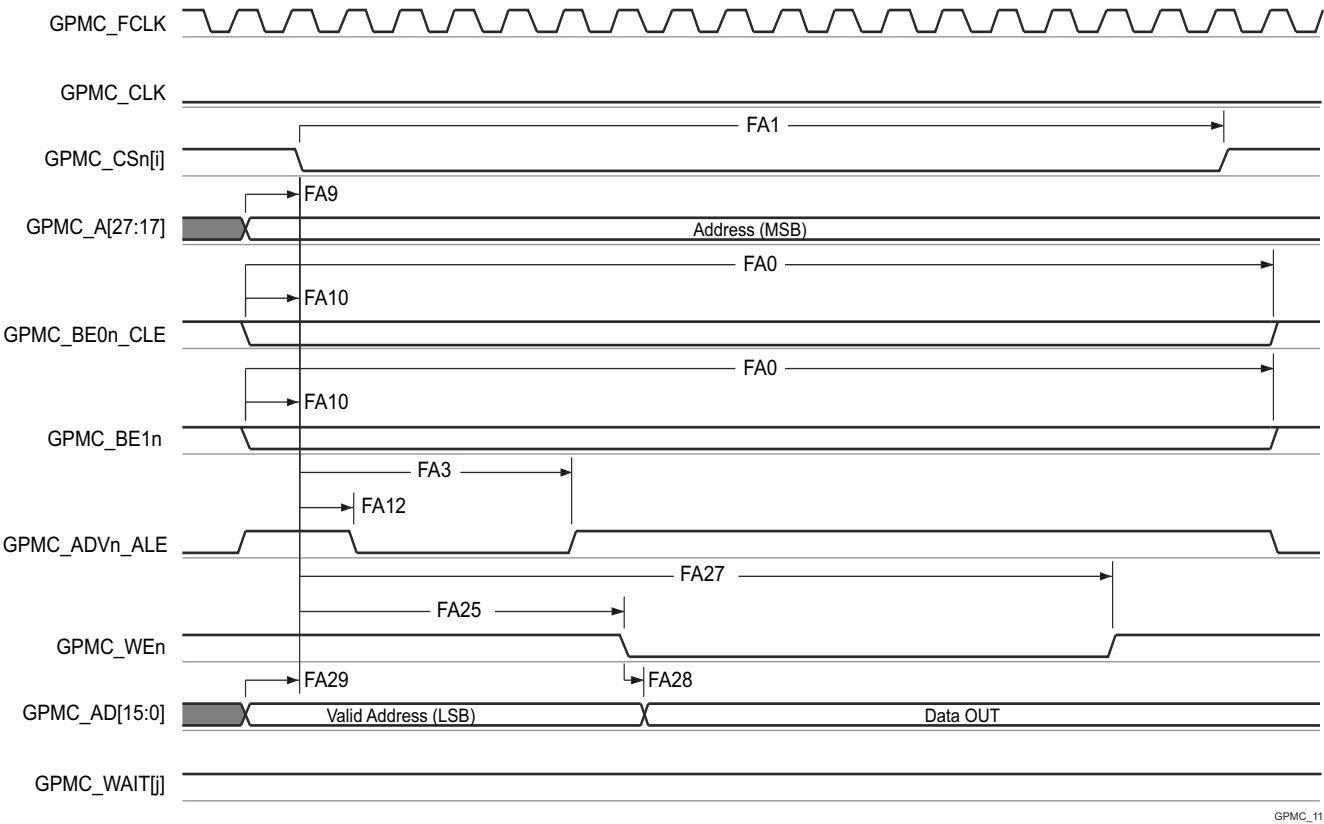
图 6-54. GPMC 和 NOR 闪存 - 异步写入 - 单字



GPMC_10

- 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-55. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字



A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-56. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

6.12.5.11.3 GPMC 和 NAND 闪存 - 异步模式

表 6-69 和表 6-70 展示了 GPMC 和 NAND 闪存的时序要求和开关特性 - 异步模式。

表 6-69. GPMC 和 NAND 闪存时序要求 - 异步模式

请参阅图 6-59

编号	参数	说明	最小值	最大值	单位
GNF12 ⁽¹⁾	$t_{acc(d)}$	访问时间, 输入数据 GPMC_AD[15:0]		J ⁽²⁾	ns

- (1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后, 输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
- (2) $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(3)}$
- (3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

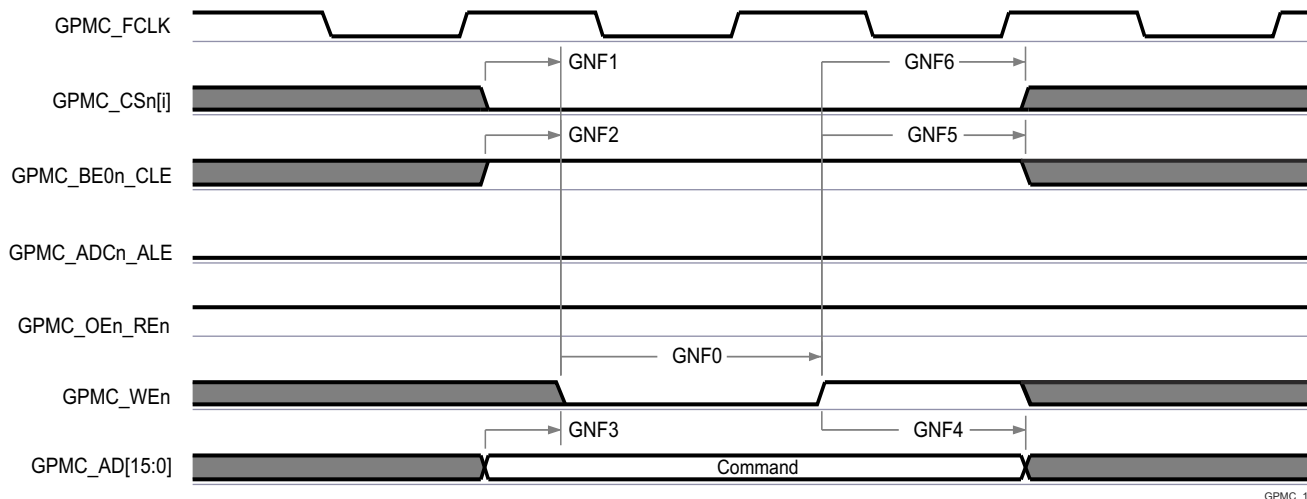
表 6-70. GPMC 和 NAND 闪存开关特性 - 异步模式

请参阅图 6-57、图 6-58、图 6-59 和图 6-60

编号	参数	说明	最小值	最大值	单位
GNF0	$t_{w(wenV)}$	脉冲持续时间, 输出写入使能 GPMC_WEn 有效	A ⁽¹⁾		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 有效	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间, 输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 高电平到输出写入使能 GPMC_WEn 有效	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间, 输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	D ⁽⁴⁾ - 2	D ⁽⁴⁾ + 2	ns
GNF4	$t_{w(wenV-dIV)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF6	$t_{w(wenIV-CSn[ij]V)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 无效	G ⁽⁷⁾ - 2	G ⁽⁷⁾ + 2	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间, 输出地址有效和地址锁存使能 GPMC_ADV <i>n</i> _ALE 高电平到输出写入使能 GPMC_WEn 有效	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADV <i>n</i> _ALE 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF9	$t_{c(wen)}$	周期时间, 写入		H ⁽⁸⁾	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_RE <i>n</i> 有效	I ⁽⁹⁾ - 2	I ⁽⁹⁾ + 2	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间, 输出使能 GPMC_OEn_RE <i>n</i> 有效		K ⁽¹⁰⁾	ns
GNF14	$t_{c(oen)}$	周期时间, 读取		L ⁽¹¹⁾	ns
GNF15	$t_{w(oenIV-CSn[ij]V)}$	延迟时间, 输出使能 GPMC_OEn_RE <i>n</i> 无效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 无效	M ⁽¹²⁾ - 2	M ⁽¹²⁾ + 2	ns

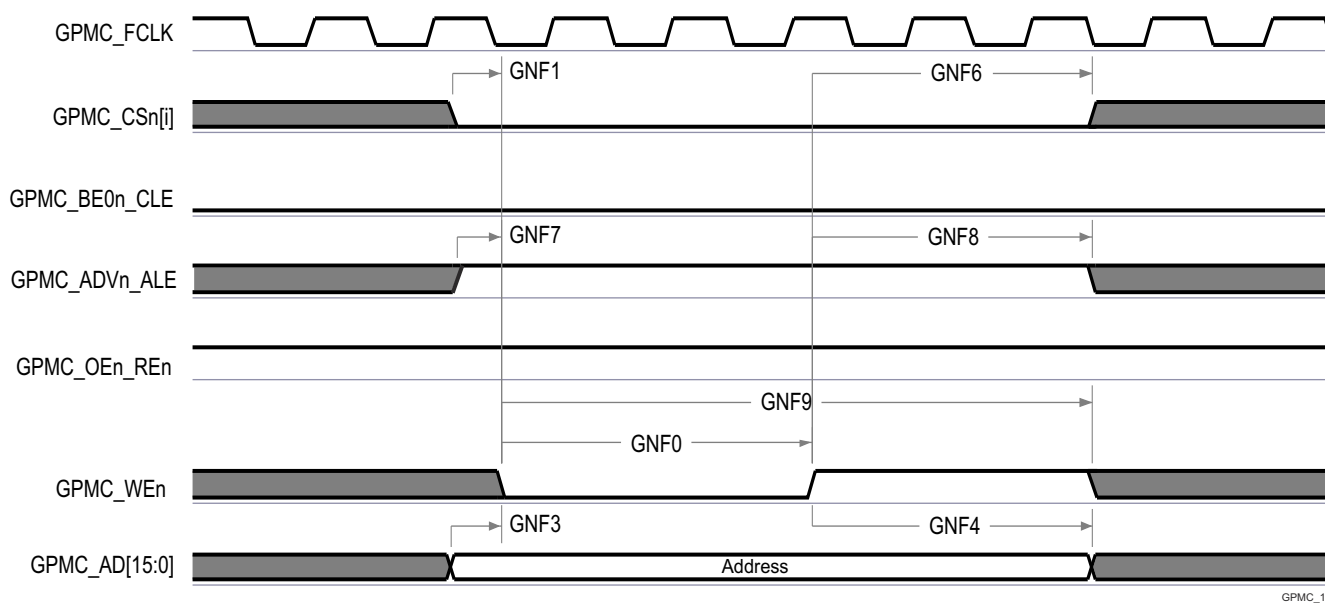
- (1) $A = (\text{WEOffTime} - \text{WEOntime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
- (2) $B = ((\text{WEOntime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$
- (3) $C = ((\text{WEOntime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{ADVExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$ 注释: 对于设备类型: NAND
- 在命令锁存周期内: CLE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制
 - 在地址锁存周期内: ALE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制。
- (4) $D = (\text{WEOntime} \times (\text{TimeParaGranularity} + 1) + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
- (5) $E = ((\text{WrCycleTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) - 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$
- (6) $F = ((\text{ADVWrOffTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{ADVExtraDelay} - \text{WEEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$ 注释: 对于设备类型: NAND
- 在命令锁存周期内: CLE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制
 - 在地址锁存周期内: ALE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制。
- (7) $G = ((\text{CSWrOffTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{CSEExtraDelay} - \text{WEEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$

- (8) $H = \text{WrCycleTime} \times (1 + \text{TimeParaGranularity}) \times \text{GPMC_FCLK}^{(14)}$
 (9) $I = ((\text{OEOnTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{OEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$
 (10) $K = (\text{OEOffTime} - \text{OEOnTime}) \times (1 + \text{TimeParaGranularity}) \times \text{GPMC_FCLK}^{(14)}$
 (11) $L = \text{RdCycleTime} \times (1 + \text{TimeParaGranularity}) \times \text{GPMC_FCLK}^{(14)}$
 (12) $M = ((\text{CSRdOffTime} - \text{OEOffTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{CSEExtraDelay} - \text{OEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$
 (13) 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
 (14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。



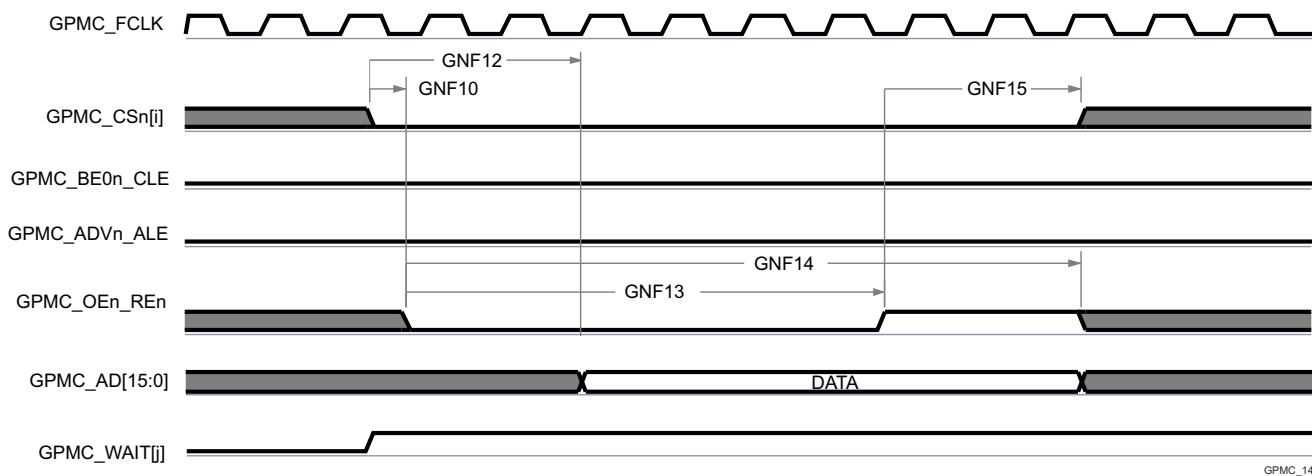
A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。

图 6-57. GPMC 和 NAND 闪存 - 命令锁存周期



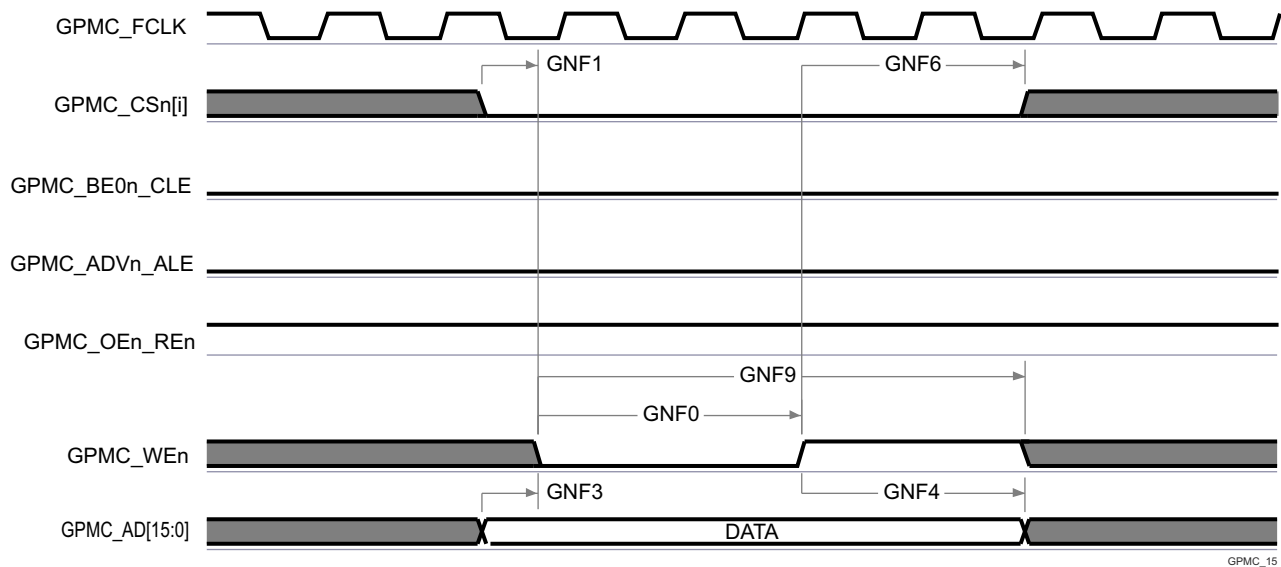
A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。

图 6-58. GPMC 和 NAND 闪存 - 地址锁存周期



- A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
- B. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。
- C. 在 GPMC_CS[n] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-59. GPMC 和 NAND 闪存 - 数据读取周期



- A. 在 GPMC_CS[n] 中，i 等于 0、1、2 或 3。

图 6-60. GPMC 和 NAND 闪存 - 数据写入周期

6.12.5.12 I2C

该器件包含六个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus™ 规范版本 2.1。然而, 器件 IO 并不完全符合 I2C 电气规格。下面按照 IO 缓冲器类型介绍了支持的速度和例外情况。请参阅 [引脚属性表](#) 中的“缓冲器类型”列, 以确定与特定 I2C 实例关联的 IO 缓冲器类型。

• LVC MOS 或 SDIO

- 速度：
 - 标准模式 (最高 100kb/s)
 - 1.8V
 - 3.3V
 - 快速模式 (最高 400kb/s)
 - 1.8V
 - 3.3V
- 例外情况：
 - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求, 因为它们是通过性能更高的 LVC MOS 推挽 IO 实现的, 这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVC MOS IO 的连接方式可以对开漏输出进行仿真。该仿真通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
 - I2C 规范定义了大小为 $(V_{DD_{max}} + 0.5V)$ 的最大输入电压 V_{IH} , 这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值部分中定义的限制值。

• I2C OD FS

- 速度：
 - 标准模式 (最高 100kb/s)
 - 1.8V
 - 3.3V
 - 快速模式 (最高 400kb/s)
 - 1.8V
 - 3.3V
 - Hs 模式 (最高 3.4Mb/s)
 - 1.8V
- 例外情况：
 - 与这些端口关联的 IO 并未设计为在 3.3V 下运行时支持 Hs 模式。因此, Hs 模式的运行电压限制为 1.8V。
 - 连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.08V/ns (或 8E+7V/s) 的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此, 可能需要向 I2C 信号添加额外的电容, 以延长上升和下降时间, 使其压摆率不超过 0.08V/ns。
 - I2C 规范定义了大小为 $(V_{DD_{max}} + 0.5V)$ 的最大输入电压 V_{IH} , 这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值部分中定义的限制值。

备注

I2C3 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

有关时序详细信息, 请参阅 Philips I2C 总线规范版本 2.1。

有关器件集成电路总线特性和其他说明的更多详细信息, 请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

6.12.5.13 MCAN

表 6-71 和表 6-72 展示了 MCAN 的时序条件和开关特性。

有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-71. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	2	15	V/ns
输出条件				
C _L	输出负载电容	5	20	pF

表 6-72. MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
MCAN1	t _d (MCAN_TX)	延迟时间，发送移位寄存器到 MCANn_TX		10	ns
MCAN2	t _d (MCAN_RX)	延迟时间，MCANn_RX 到接收移位寄存器		10	ns

有关更多信息，请参阅器件 TRM 的外设一章中的 *模块化控制器局域网 (MCAN)* 一节。

6.12.5.14 MCASP

备注

MCASP1 和 MCASP2 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

表 6-73、表 6-74、图 6-61、表 6-75 和图 6-62 说明了 MCASP 的时序条件、时序要求和开关特性。

表 6-73. MCASP 时序条件

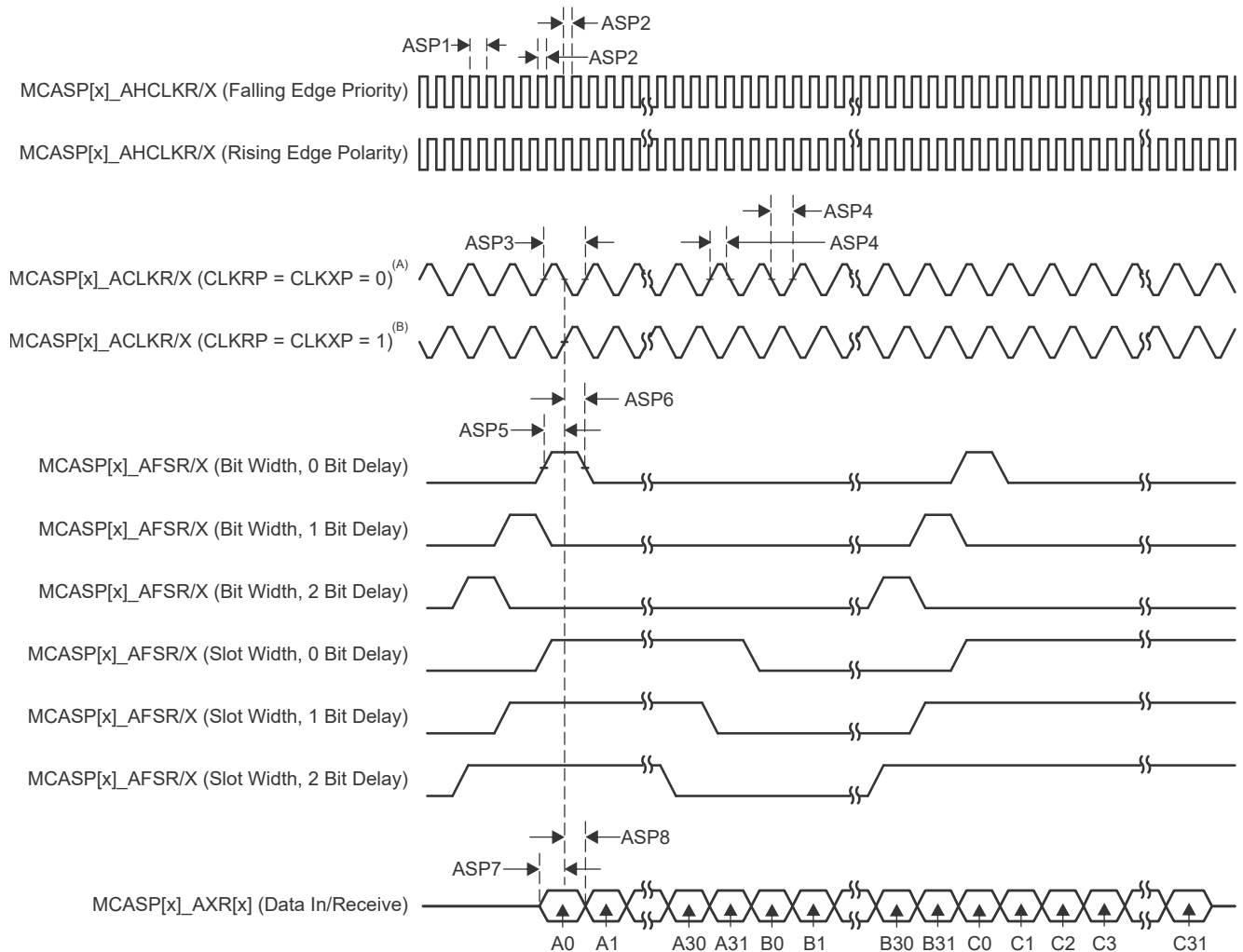
参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.7	5	V/ns
输出条件				
C _L	输出负载电容	1	10	pF
PCB 连接要求				
t _d (Trace Delay)	每条引线的传播延迟	100	1100	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

表 6-74. MCASP 时序要求

请参阅图 6-61

编号			模式 ⁽¹⁾	最小值	最大值	单位
ASP1	t _c (AHCLKRX)	周期时间, MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP2	t _w (AHCLKRX)	脉冲持续时间, MCASP[x]_AHCLKR/X ⁽⁴⁾ 高电平或低电平		0.5P ⁽²⁾ - 1.53		ns
ASP3	t _c (ACLKRX)	周期时间, MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP4	t _w (ACLKRX)	脉冲持续时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 高电平或低电平		0.5R ⁽³⁾ - 1.53		ns
ASP5	t _{su} (AFSRX-ACLKRX)	建立时间, MCASP[x]_AFSRX/X ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之前输入有效 ⁽⁴⁾	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP6	t _h (ACLKRX-AFSRX)	保持时间, MCASP[x]_AFSRX/X ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之后输入有效 ⁽⁴⁾	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		
ASP7	t _{su} (AXR-ACLKRX)	建立时间, MCASP[x]_AXR ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之前输入有效 ⁽⁴⁾	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP8	t _h (ACLKRX-AXR)	保持时间, MCASP[x]_AXR ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之后输入有效 ⁽⁴⁾	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息, 请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
- (3) R = ACLKR/X 周期 (以 ns 为单位)。
- (4) MCASP[x]_* 中的 x 为 0、1 或 2



- A. 当 $CLKRP = CLKXP = 0$ 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。
- B. 当 $CLKRP = CLKXP = 1$ 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。

图 6-61. MCASP 时序要求

表 6-75. MCASP 开关特性

请参阅图 6-62

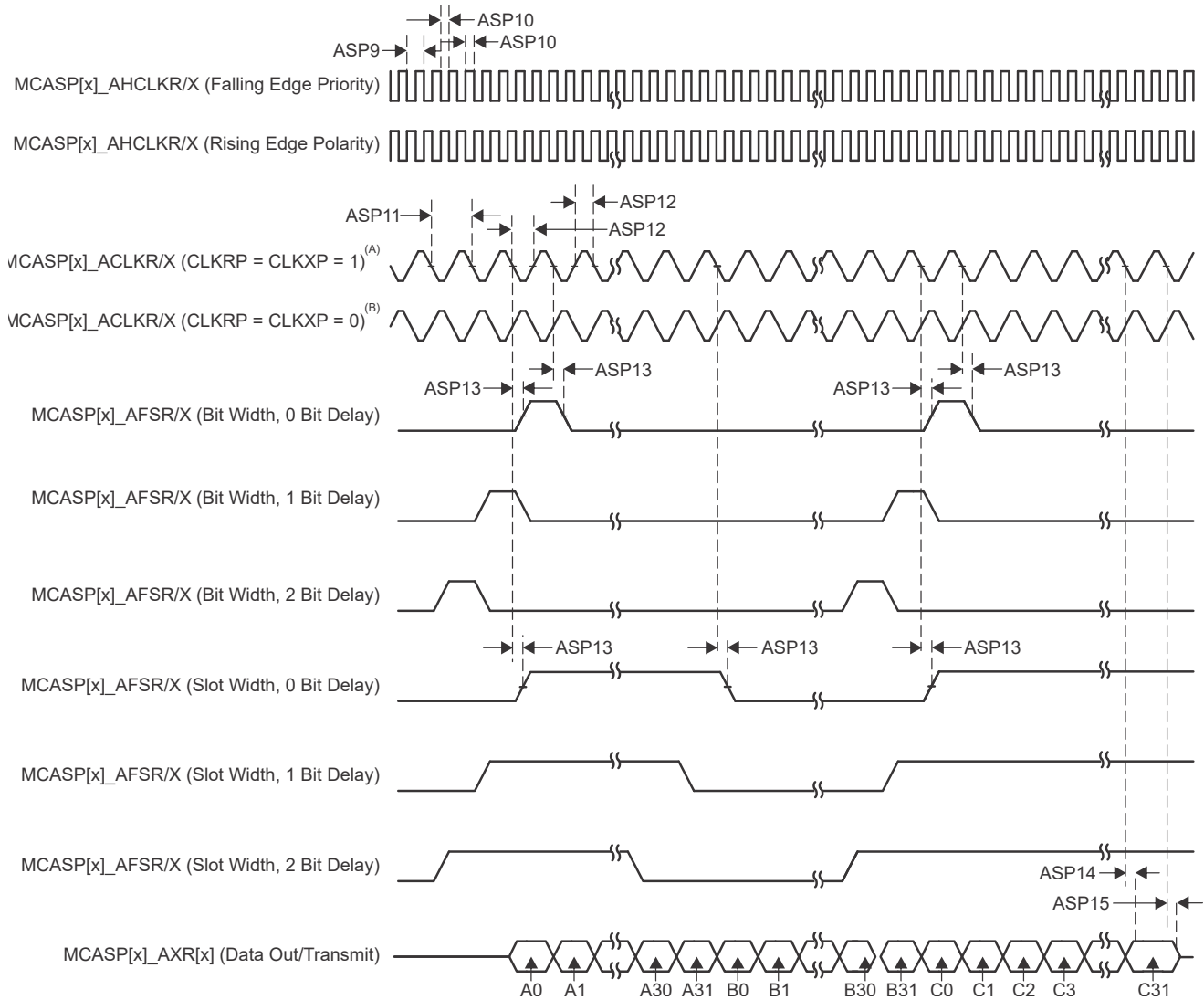
编号	参数	说明	模式 ⁽¹⁾	最小值	最大值	单位
ASP9	$t_{c(AHCLKRX)}$	周期时间, MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP10	$t_{w(AHCLKRX)}$	脉冲持续时间, MCASP[x]_AHCLKR/X ⁽⁴⁾ 高电平或低电平		0.5P ⁽²⁾ - 2		ns
ASP11	$t_{c(ACLKRX)}$	周期时间, MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP12	$t_{w(ACLKRX)}$	脉冲持续时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 高电平或低电平		0.5R ⁽³⁾ - 2		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	延迟时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 发送边沿到 MCASP[x]_AFSR/X ⁽⁴⁾ 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	延迟时间, MCASP[x]_ACLKX ⁽⁴⁾ 发送边沿到 MCASP[x]_AXR ⁽⁴⁾ 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	禁用时间, MCASP[x]_ACLKX ⁽⁴⁾ 发送边沿到 MCASP[x]_AXR ⁽⁴⁾ 输出高阻抗	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-14.9	14	

- (1) ACLKR 内部: ACLKCTL.CLKRM=1, PDIR.ACLKR = 1
 ACLKR 外部输入: ACLKCTL.CLKRM=0, PDIR.ACLKR=0
 ACLKR 外部输出: ACLKCTL.CLKRM=0, PDIR.ACLKR=1
 ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
 ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
 ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1

- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息, 请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。

- (3) R = ACLKR/X 周期 (以 ns 为单位)。

- (4) MCASP[x]_* 中的 x 为 0、1 或 2



- A. 当 $\text{CLKRP} = \text{CLKXP} = 1$ 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。
- B. 当 $\text{CLKRP} = \text{CLKXP} = 0$ 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

图 6-62. MCASP 开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的多通道音频串行端口 (MCASP) 一节。

6.12.5.15 MCSPI

备注

MCSPi1、MCSPi2、MCU_MCSPi0 和 MCU_MCSPi1 具有一个或多个信号，这些信号可以多路复用到多个引脚。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

有关器件串行端口接口特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

[表 6-76](#) 展示了 MCSPI 的时序条件。

表 6-76. MCSPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	2	8.5	V/ns
输出条件				
C _L	输出负载电容	6	12	pF

有关更多信息，请参阅器件 TRM 的外设一章中的 [多通道串行外设接口 \(MCSPI\)](#) 一节。

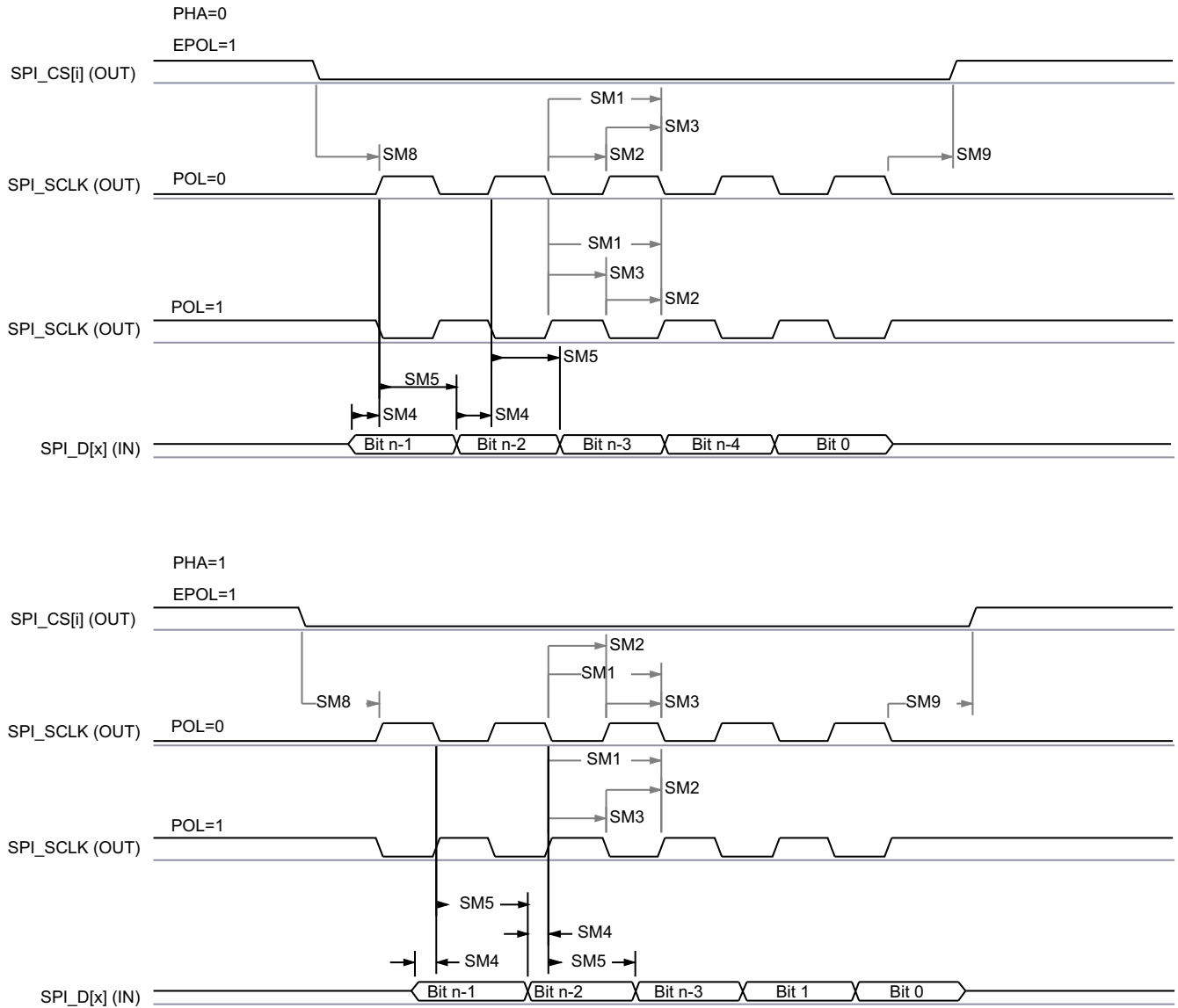
6.12.5.15.1 MCSPI - 控制器模式

表 6-77、图 6-63、表 6-78 和图 6-64 展示了 SPI 的时序要求和开关特性 - 控制器模式。

表 6-77. MCSPI 时序要求 - 控制器模式

请参阅图 6-63

编号	参数	说明	最小值	最大值	单位
SM4	$t_{su}(POCI-SPICLK)$	建立时间，在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	2.8		ns
SM5	$t_h(SPICLK-POCI)$	保持时间，在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	3		ns



SPRSP08_TIMING_MCSPI_02

图 6-63. SPI 控制器模式接收时序

表 6-78. MCSPI 开关特性 - 控制器模式

请参阅图 6-64

编号	参数		最小值	最大值	单位
SM1	$t_{c(SPICLK)}$	周期时间, SPIn_CLK	20		ns
SM2	$t_{w(SPICLKL)}$	脉冲持续时间, SPIn_CLK 低电平	$0.5P - 1^{(1)}$		ns
SM3	$t_{w(SPICLKH)}$	脉冲持续时间, SPIn_CLK 高电平	$0.5P - 1^{(1)}$		ns
SM6	$t_{d(SPICLK-PICO)}$	延迟时间, SPIn_CLK 有效边沿到 SPIn_D[x]	-3	2.5	ns
SM7	$t_{d(CS-PICO)}$	延迟时间, SPIn_CSi 有效边沿到 SPIn_D[x]	5		ns
SM8	$t_{d(CS-SPICLK)}$	延迟时间, SPIn_CSi 有效到 SPIn_CLK 第一个边沿	PHA = 0	B - 4 ⁽²⁾	ns
			PHA = 1	A - 4 ⁽³⁾	ns
SM9	$t_{d(SPICLK-CS)}$	延迟时间, SPIn_CLK 最后一个边沿到 SPIn_CSi 无效	PHA = 0	A - 4 ⁽⁴⁾	ns
			PHA = 1	B - 4 ⁽⁵⁾	ns

(1) P = SPIn_CLK 周期 (以 ns 为单位)。

(2) T_ref 是 McSPI 功能时钟的周期 (以 ns 为单位)。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

- 当 Fratio = 1 时, $B = (TCS(i) + 0.5) * T_{ref}$ 。
- 当 Fratio ≥ 2 且为偶数时, $B = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
- 当 Fratio ≥ 3 且为奇数时, $B = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_{ref}$ 。

(3) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

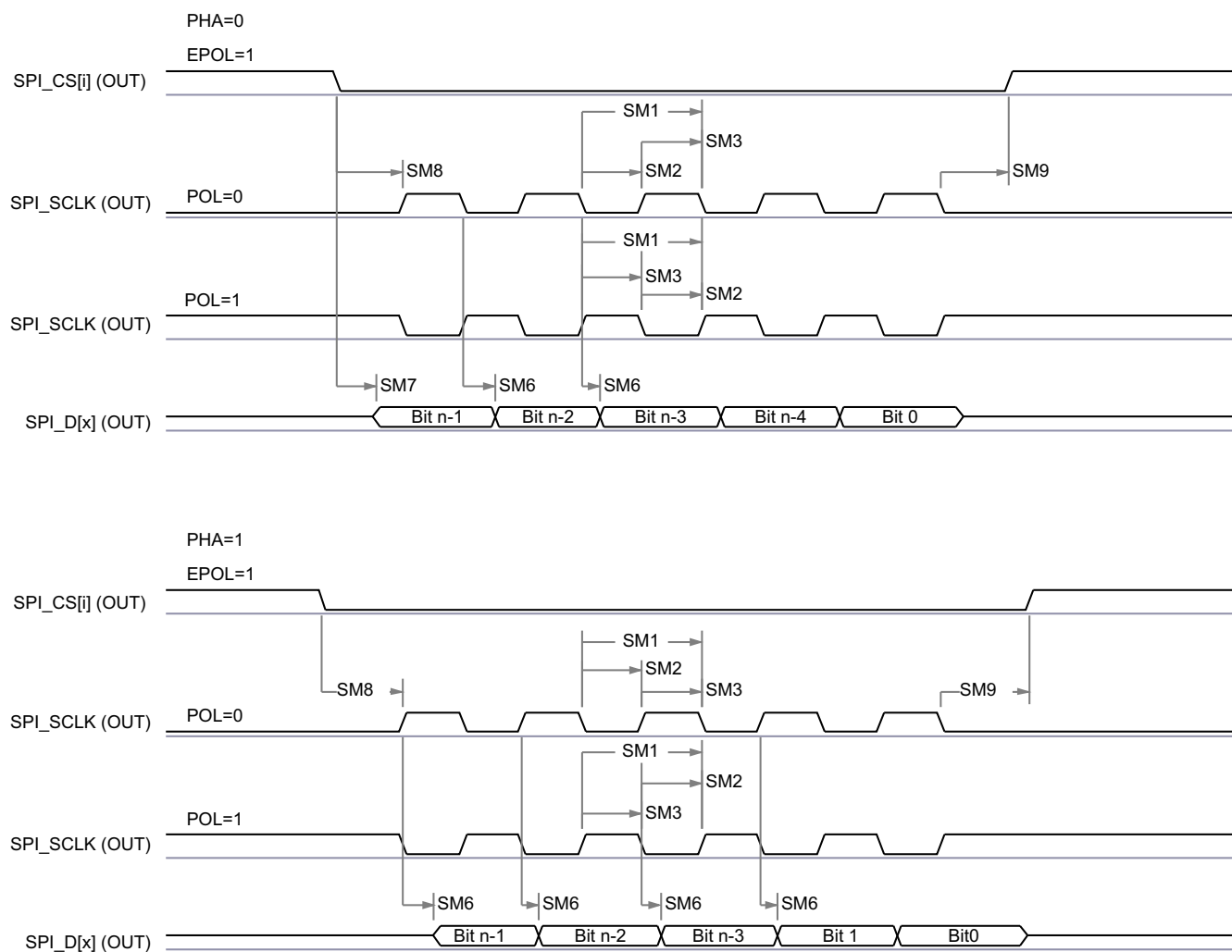
- 当 Fratio = 1 时, $A = (TCS(i) + 1) * T_{ref}$ 。
- 当 Fratio ≥ 2 且为偶数时, $A = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
- 当 Fratio ≥ 3 且为奇数时, $A = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_{ref}$ 。

(4) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

- 当 Fratio = 1 时, $A = (TCS(i) + 1) * T_{ref}$ 。
- 当 Fratio ≥ 2 且为偶数时, $A = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
- 当 Fratio ≥ 3 且为奇数时, $A = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_{ref}$ 。

(5) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

- 当 Fratio = 1 时, $B = (TCS(i) + 0.5) * T_{ref}$ 。
- 当 Fratio ≥ 2 且为偶数时, $B = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
- 当 Fratio ≥ 3 且为奇数时, $B = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_{ref}$ 。



SPRSP08_TIMING_McSPI_01

图 6-64. SPI 控制器模式发送时序

6.12.5.15.2 MCSPI - 外设模式

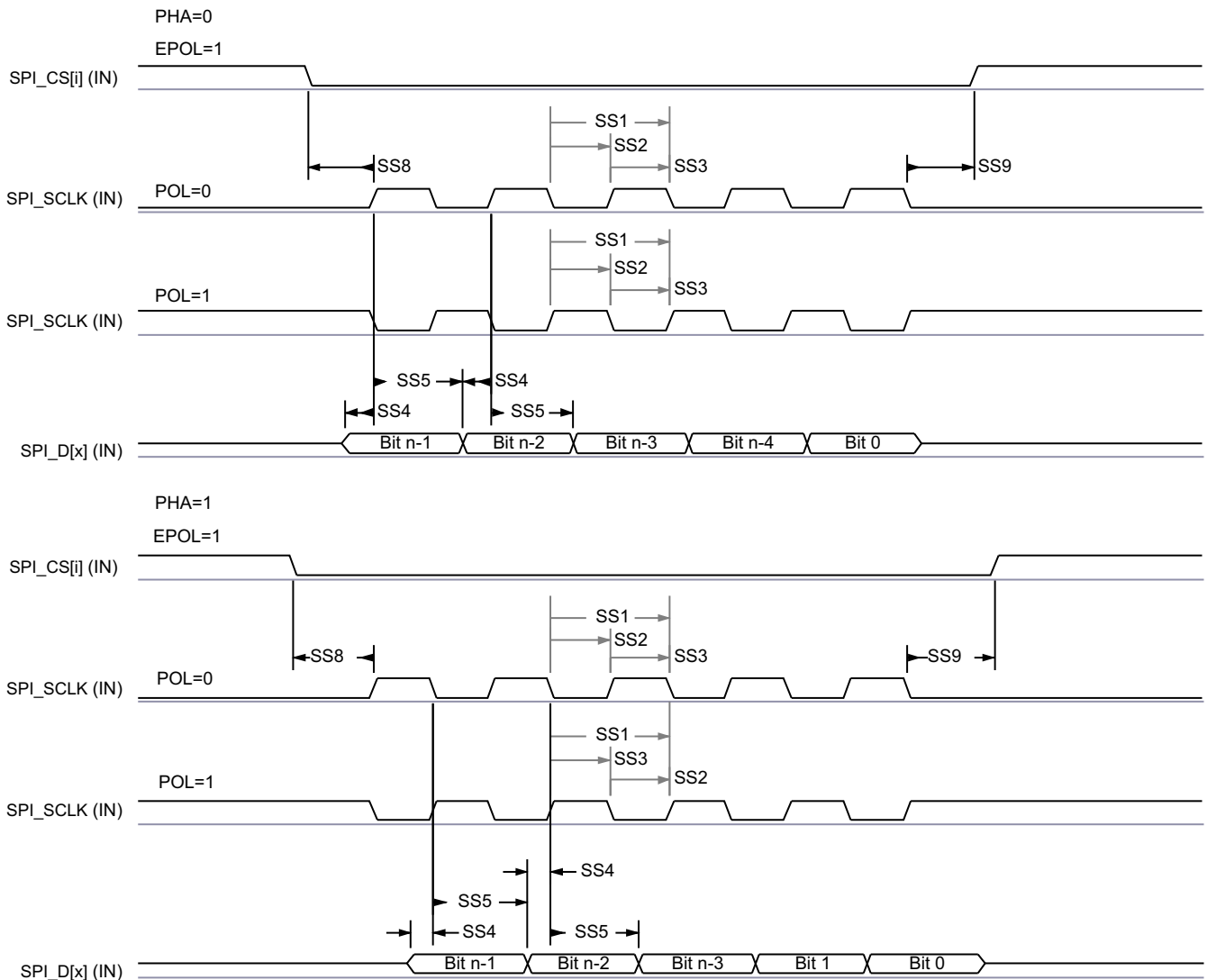
表 6-79、图 6-65、表 6-80 和图 6-66 展示了 SPI 的时序要求和开关特性 - 外设模式。

表 6-79. MCSPI 时序要求 - 外设模式

请参阅图 6-65

编号	参数	说明	最小值	最大值	单位
SS1	$t_{c}(\text{SPICLK})$	周期时间, SPIn_CLK	20		ns
SS2	$t_{w}(\text{SPICLK}_L)$	脉冲持续时间, SPIn_CLK 低电平	0.45P ⁽¹⁾		ns
SS3	$t_{w}(\text{SPICLK}_H)$	脉冲持续时间, SPIn_CLK 高电平	0.45P ⁽¹⁾		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	建立时间, 在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	5		ns
SS5	$t_{h}(\text{SPICLK-PICO})$	保持时间, 在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	建立时间, 在 SPIn_CLK 第一个边沿之前 SPIn_CSi 有效	5		ns
SS9	$t_{h}(\text{SPICLK-CS})$	保持时间, 在 SPIn_CLK 最后一个边沿之后 SPIn_CSi 有效	5		ns

(1) P = SPIn_CLK 周期 (以 ns 为单位)。



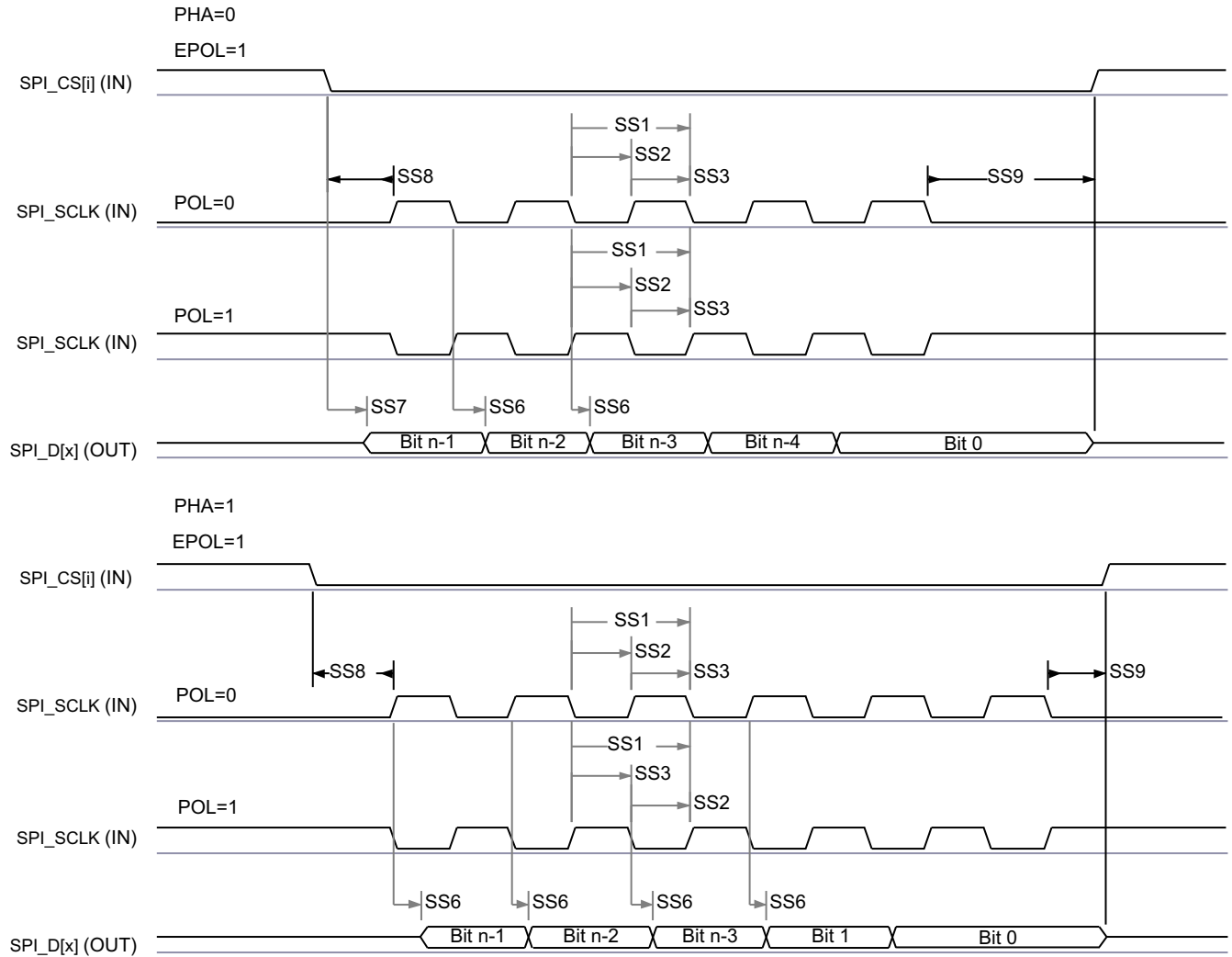
SPRSP08_TIMING_McSPI_04

图 6-65. SPI 外设模式接收时序

表 6-80. MCSPI 开关特性 - 外设模式

请参阅图 6-66

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(SPICLK-POCI)}$	延迟时间, SPIn_CLK 有效边沿到 SPIn_D[x]	2	17.12	ns
SS7	$t_{sk(CS-POCI)}$	延迟时间, SPIn_CSi 有效边沿到 SPIn_D[x]	20.95		ns



SPRSP08_TIMING_McSPI_03

图 6-66. SPI 外设模式发送时序

6.12.5.16 MMCSD

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关 MMCSD 接口的更多详细信息，请参阅 *信号说明* 和 *详细说明* 中相应的 MMC0、MMC1 和 MMC2 小节。

备注

某些工作模式需要对 MMC DLL 延迟设置进行软件配置，如表 6-81 和表 6-100 所示。

表 6-81 和表 6-100 的 ITAPDLYSEL 列中显示“调优”值的模式需要使用调优算法来优化输入时序。有关优化输入时序所需的调优算法和输入延迟配置的更多信息，请参阅器件 TRM 中的 MMCSD 编程指南。

有关更多信息，请参阅器件 TRM 中外设一章的 *多媒体卡/安全数字 (MMCSD) 接口* 一节。

6.12.5.16.1 MMC0 - eMMC/SD/SDIO 接口

MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，支持以下 eMMC 应用：

- 旧 SDR
- 高速 SDR
- HS200

MMC0 接口还符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00。以下数据传输模式仅可用于连接到嵌入式 SDIO 器件：

- 默认速度
- 高速
- UHS-I SDR12
- UHS-I SDR25

表 6-81 展示了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-81. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCSD0_MMC_SSCFG_PHY_CTRL_4_REG			
位字段		[20]	[15:12]	[8]	[4:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
模式	说明	延迟启用	延迟值	输入延迟启用	输入延迟值
旧 SDR	8 位 PHY 运行 1.8V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽¹⁾
	8 位 PHY 运行 3.3V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽¹⁾
高速 SDR	8 位 PHY 运行 1.8V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽¹⁾
	8 位 PHY 运行 3.3V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽¹⁾
HS200	8 位 PHY 运行 1.8V, 200MHz	0x1	0x6	0x1	调优 ⁽²⁾
默认速度	4 位 PHY 运行 3.3V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
高速	4 位 PHY 运行 3.3V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
UHS-I SDR12	4 位 PHY 运行 1.8V, 25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 位 PHY 运行 1.8V, 50MHz	0x1	0xF	0x1	0x0

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。

(2) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-82 展示了 MMC0 的时序条件。

表 6-82. MMC0 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率	旧 SDR @ 3.3V 高速 SDR @ 3.3V 默认速度 高速	0.69	2.06	V/ns
		旧 SDR @ 1.8 V UHS-I SDR12	0.14	1.44	V/ns
		高速 SDR @ 1.8V UHS-I SDR25	0.3	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
输出条件					
C _L	输出负载电容	HS200 UHS-I SDR104	1	10	pF
		所有其他模式	1	12	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	旧 SDR 高速 SDR HS200	126	756	ps
		默认速度 高速 UHS-I SDR12 UHS-I SDR25 UHS-I SDR50 UHS-I SDR104	126	1386	ps
		UHS-I DDR50	239	1134	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	高速 SDR HS200 高速 UHS-I SDR104		8	ps
		UHS-I DDR50		20	ps
		所有其他模式		100	ps

6.12.5.16.1.1 旧 SDR 模式

表 6-83、图 6-67、表 6-84 和图 6-68 展示了 MMC0 的时序要求和开关特性 - 旧 SDR 模式。

表 6-83. MMC0 时序要求 - 旧 SDR 模式

请参阅图 6-67

编号			IO 工作 电压	最小值	最大值	单位
LSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	0.87		ns
			3.3V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	0.87		ns
			3.3V	1.67		ns

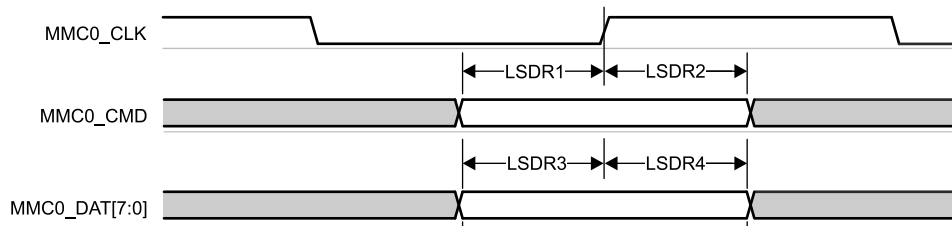


图 6-67. MMC0 - 旧 SDR - 接收模式

表 6-84. MMC0 开关特性 - 旧 SDR 模式

请参阅图 6-68

编号	参数		IO 工作 电压	最小值	最大值	单位
	f _{op} (clk)	工作频率，MMC0_CLK		25		MHz
LSDR5	t _c (clk)	周期时间，MMC0_CLK		40		ns
LSDR6	t _w (clkH)	脉冲持续时间，MMC0_CLK 高电平		18.7		ns
LSDR7	t _w (clkL)	脉冲持续时间，MMC0_CLK 低电平		18.7		ns
LSDR8	t _d (clkL-cmdV)	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	1.8V	-2.1	2.1	ns
			3.3V	-1.8	2.2	ns
LSDR9	t _d (clkL-dV)	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	1.8V	-2.1	2.1	ns
			3.3V	-1.8	2.2	ns

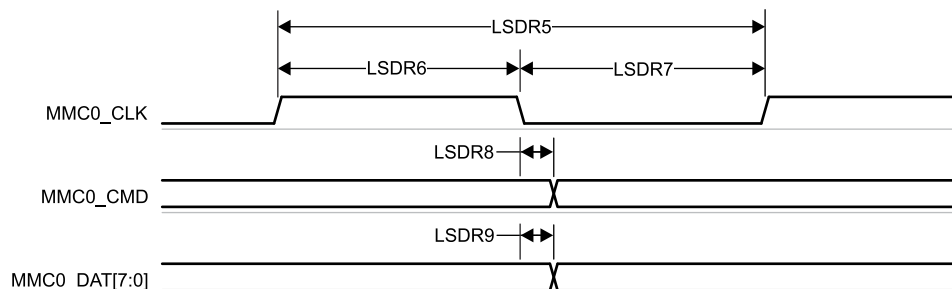


图 6-68. MMC0 - 旧 SDR - 发送模式

6.12.5.16.1.2 高速 SDR 模式

表 6-85、图 6-69、表 6-86 和图 6-70 说明了 MMC0 的时序要求和开关特性 - 高速 SDR 模式。

表 6-85. MMC0 时序要求 - 高速 SDR 模式

请参阅图 6-69

编号			IO 工作 电压	最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	2.15		ns
			3.3V	2.24		ns
HSSDR2	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	1.27		ns
			3.3V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	2.15		ns
			3.3V	2.24		ns
HSSDR4	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	1.27		ns
			3.3V	1.66		ns

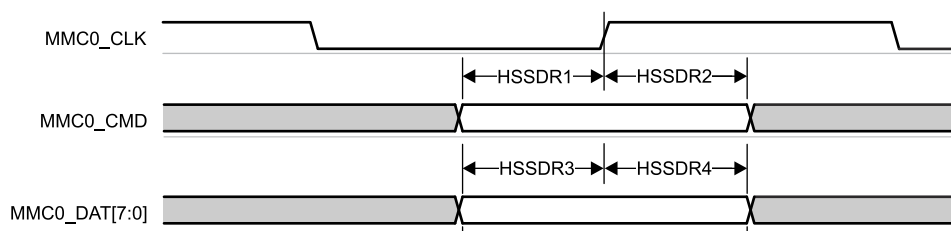


图 6-69. MMC0 - 高速 SDR 模式 - 接收模式

表 6-86. MMC0 开关特性 - 高速 SDR 模式

请参阅图 6-70

编号	参数		IO 工作 电压	最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC0_CLK		50		MHz
HSSDR5	$t_{c(clk)}$	周期时间, MMC0_CLK		20		ns
HSSDR6	$t_{w(clkH)}$	脉冲持续时间, MMC0_CLK 高电平		9.2		ns
HSSDR7	$t_{w(clkL)}$	脉冲持续时间, MMC0_CLK 低电平		9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	延迟时间, MMC0_CLK 下降沿到 MMC0_CMD 转换	1.8V	-1.55	3.05	ns
			3.3V	-1.8	2.2	ns
HSSDR9	$t_{d(clkL-dV)}$	延迟时间, MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	1.8V	-1.55	3.05	ns
			3.3V	-1.8	2.2	ns

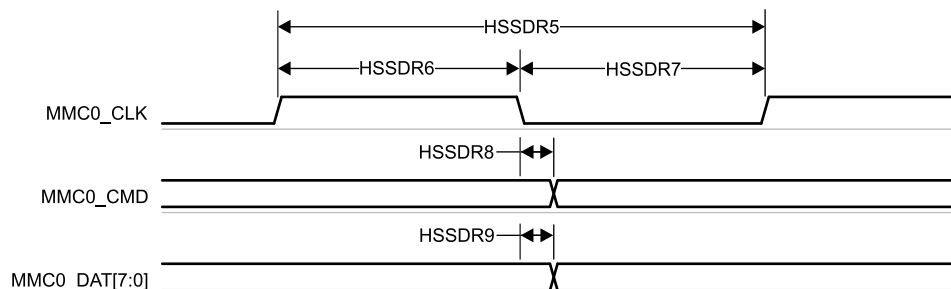


图 6-70. MMC0 - 高速 SDR 模式 - 发送模式

6.12.5.16.1.3 HS200 模式

表 6-87、图 6-71、表 6-88 和 图 6-72 展示了 MMC0 - HS200 模式下的时序要求和切换特性。

表 6-87. MMC0 时序要求 - HS200 模式

请参阅图 6-71

编号			最小值	最大值	单位
HS2004	t_{DWW}	输入数据有效窗口、MMC0_CMD 和 MMC0_DAT[7:0]	2.0 ⁽¹⁾		ns

- (1) 此参数定义了主机所需的最小数据有效窗口，任何提供给主机的数据有效窗口大于此值时，均可确保主机能够捕获有效数据。此参数定义的值小于针对任何在 HS200 模式下运行的 eMMC 器件定义的最小可能数据有效窗口。

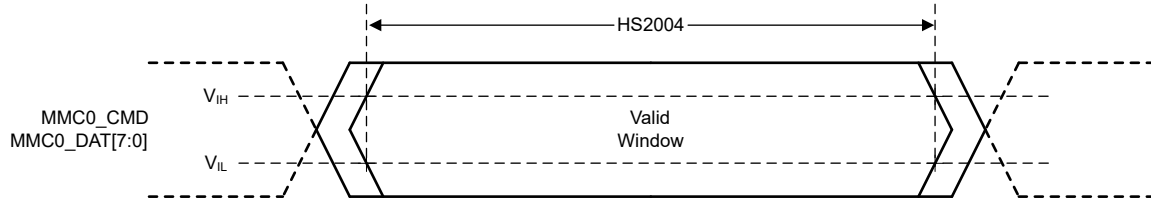


图 6-71. MMC0 - HS200 - 接收模式

表 6-88. MMC0 开关特性 - HS200 模式

请参阅图 6-72

编号	参数		最小值	最大值	单位
	f _{op(clk)}	工作频率，MMC0_CLK	200		MHz
HS2005	t _{c(clk)}	周期时间，MMC0_CLK	5		ns
HS2006	t _{w(clkH)}	脉冲持续时间，MMC0_CLK 高电平	2.12		ns
HS2007	t _{w(clkL)}	脉冲持续时间，MMC0_CLK 低电平	2.12		ns
HS2008	t _{d(clkL-cmdV)}	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.07	3.21	ns
HS2009	t _{d(clkL-dV)}	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[7:0] 转换	1.07	3.21	ns

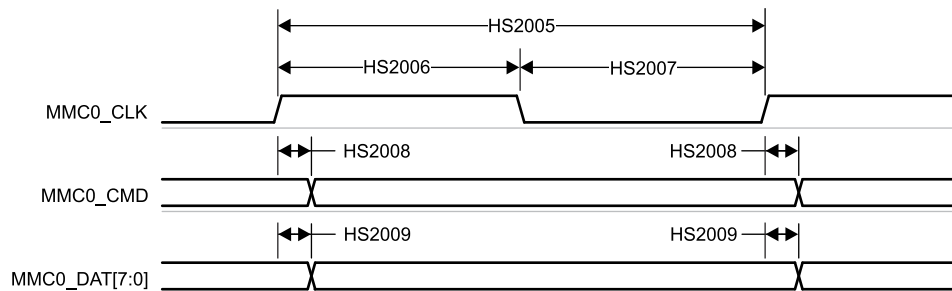


图 6-72. MMC0 - HS200 模式 - 发送模式

6.12.5.16.1.4 默认速度模式

表 6-89、图 6-73、表 6-90 和图 6-74 展示了 MMC0 的时序要求和开关特性 - 默认速度模式。

表 6-89. MMC0 的时序要求 - 默认速度模式

请参阅图 6-73

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.15		ns
DS2	$t_h(clkH-cmdV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.15		ns
DS4	$t_h(clkH-dV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.67		ns



图 6-73. MMC0 - 默认速度 - 接收模式

表 6-90. MMC0 的开关特性 - 默认速度模式

请参阅图 6-74

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		25	MHz
DS5	$t_c(clk)$	周期时间, MMC0_CLK	40		ns
DS6	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	18.7		ns
DS7	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	18.7		ns
DS8	$t_d(clkL-cmdV)$	延迟时间, MMC0_CLK 下降沿到 MMC0_CMD 转换	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	延迟时间, MMC0_CLK 下降沿到 MMC0_DAT[3:0] 转换	- 1.8	2.2	ns

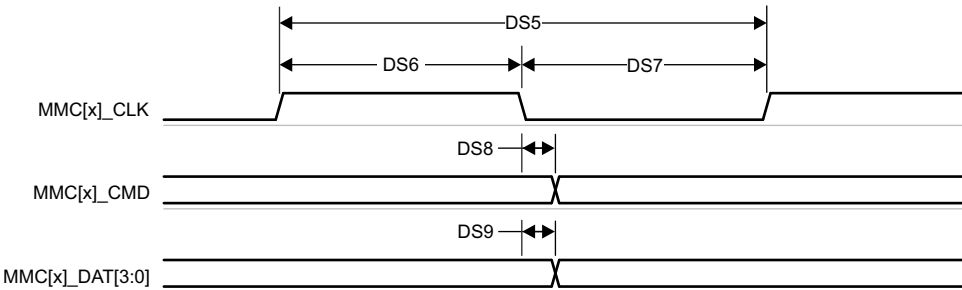


图 6-74. MMC0 - 默认速度 - 发送模式

6.12.5.16.1.5 高速模式

表 6-91、图 6-75、表 6-92 和图 6-76 展示了 MMC0 的时序要求和开关特性 - 高速模式。

表 6-91. MMC0 的时序要求 - 高速模式

请参阅图 6-75

编号			最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.24		ns
HS2	$t_h(clkH-cmdV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.66		ns
HS3	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.24		ns
HS4	$t_h(clkH-dV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.66		ns

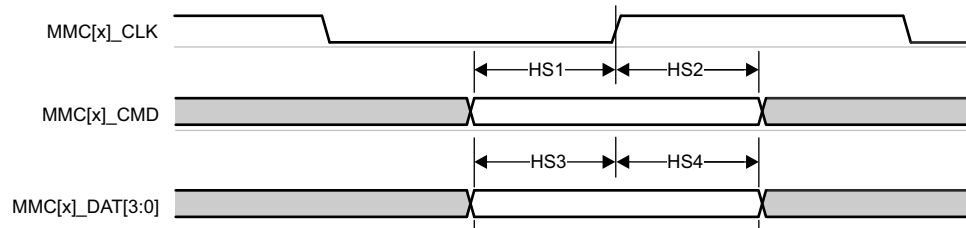


图 6-75. MMC0 - 高速 - 接收模式

表 6-92. MMC0 的开关特性 - 高速模式

请参阅图 6-76

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
HS5	$t_c(clk)$	20		ns
HS6	$t_w(clkH)$	9.2		ns
HS7	$t_w(clkL)$	9.2		ns
HS8	$t_d(clkL-cmdV)$	-1.8	2.2	ns
HS9	$t_d(clkL-dV)$	-1.8	2.2	ns

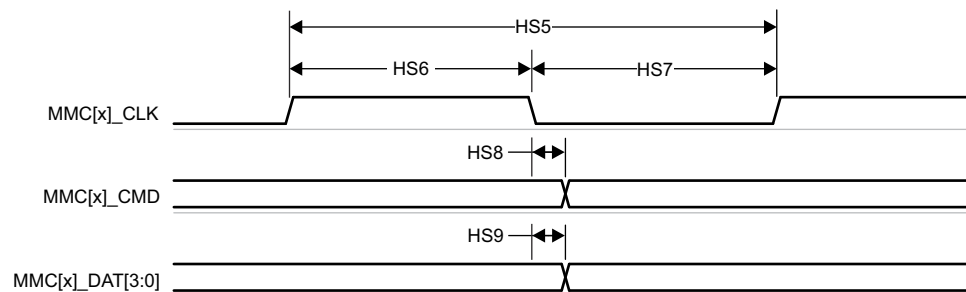


图 6-76. MMC0 - 高速 - 发送模式

6.12.5.16.1.6 UHS -I SDR12 模式

表 6-93、图 6-77、表 6-94 和图 6-78 展示了 MMC0 的时序要求和开关特性 - UHS-I SDR12 模式。

表 6-93. MMC0 的时序要求 - UHS-I SDR12 模式

请参阅图 6-77

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	0.87		ns
SDR123	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	4.2		ns
SDR124	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	0.87		ns

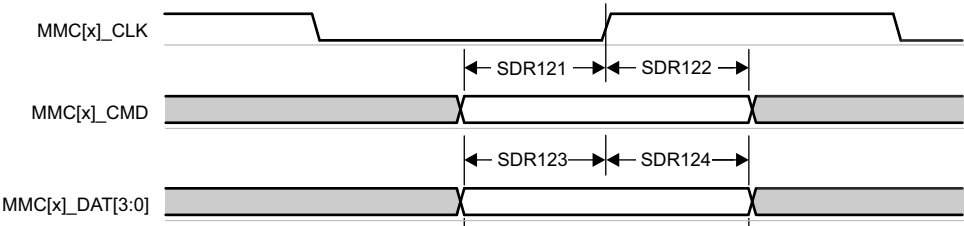


图 6-77. MMC0 - UHS-I SDR12 - 接收模式

表 6-94. MMC0 的开关特性 - UHS-I SDR12 模式

请参阅图 6-78

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC0_CLK		25	MHz
SDR125	$t_c(clk)$	周期时间, MMC0_CLK	40		ns
SDR126	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	18.7		ns
SDR127	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	18.7		ns
SDR128	$t_d(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.5	8.6	ns

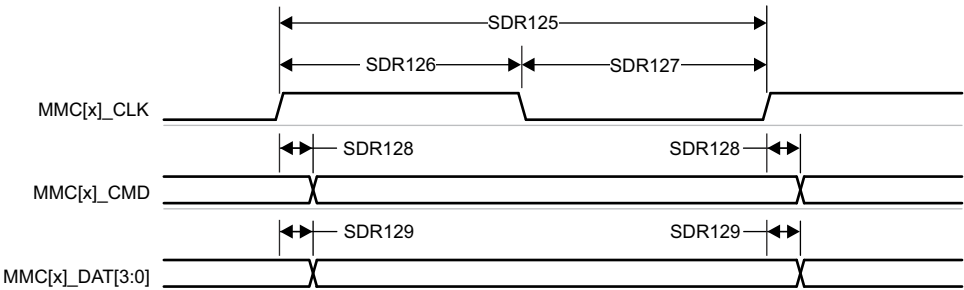


图 6-78. MMC0 - UHS-I SDR12 - 发送模式

6.12.5.16.1.7 UHS -I SDR25 模式

表 6-95、图 6-79、表 6-96 和图 6-80 展示了 MMC0 的时序要求和开关特性 - UHS-I SDR25 模式。

表 6-95. MMC0 的时序要求 - UHS-I SDR25 模式

请参阅图 6-79

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.27		ns
SDR253	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.15		ns
SDR254	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.27		ns

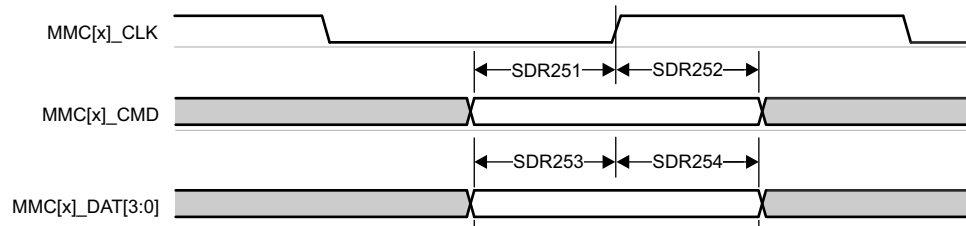


图 6-79. MMC0 - UHS-I SDR25 - 接收模式

表 6-96. MMC0 的开关特性 - UHS-I SDR25 模式

请参阅图 6-80

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
SDR255	$t_{c(clk)}$	20		ns
SDR256	$t_{w(clkH)}$	9.2		ns
SDR257	$t_{w(clkL)}$	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	2.4	8.1	ns

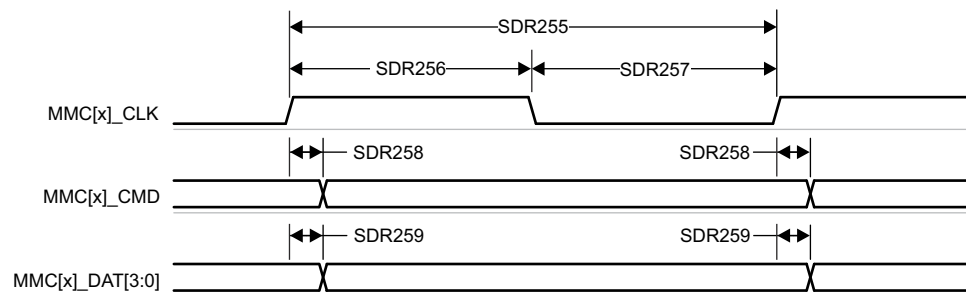


图 6-80. MMC0 - UHS-I SDR25 - 发送模式

6.12.5.16.1.8 UHS -I SDR50 模式

表 6-97 和图 6-81 展示了 MMC0 的开关特性 - UHS-I SDR50 模式。

表 6-97. MMC0 的开关特性 - UHS-I SDR50 模式

请参阅图 6-81

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		100	MHz
SDR505	$t_{c}(clk)$	周期时间, MMC0_CLK	10		ns
SDR506	$t_{w}(clkH)$	脉冲持续时间, MMC0_CLK 高电平	4.45		ns
SDR507	$t_{w}(clkL)$	脉冲持续时间, MMC0_CLK 低电平	4.45		ns
SDR508	$t_{d}(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.2	6.35	ns
SDR509	$t_{d}(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.2	6.35	ns

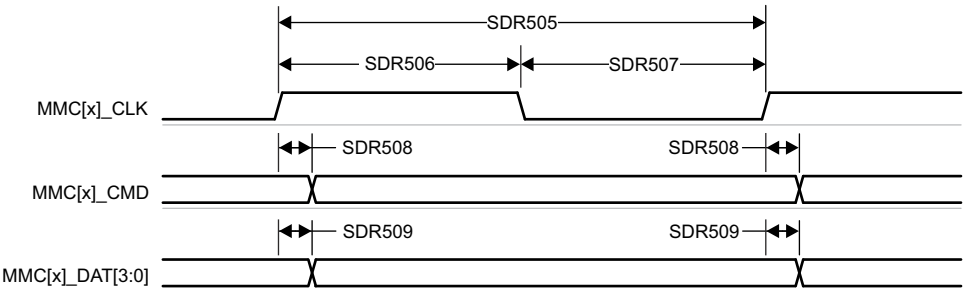


图 6-81. MMC0 - UHS-I SDR50 - 发送模式

6.12.5.16.1.9 UHS-I DDR50 模式

表 6-98 和图 6-82 展示了 MMC0 的开关特性 - UHS-I DDR50 模式。

表 6-98. MMC0 的开关特性 - UHS-I DDR50 模式

请参阅图 6-82

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		50
DDR505	$t_{c}(clk)$	周期时间, MMC0_CLK		20
DDR506	$t_{w}(clkH)$	脉冲持续时间, MMC0_CLK 高电平		9.2
DDR507	$t_{w}(clkL)$	脉冲持续时间, MMC0_CLK 低电平		9.2
DDR508	$t_{d}(clk-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换		1.12 6.43
DDR509	$t_{d}(clk-dV)$	延迟时间, MMC0_CLK 转换到 MMC0_DAT[3:0] 转换		1.12 6.43

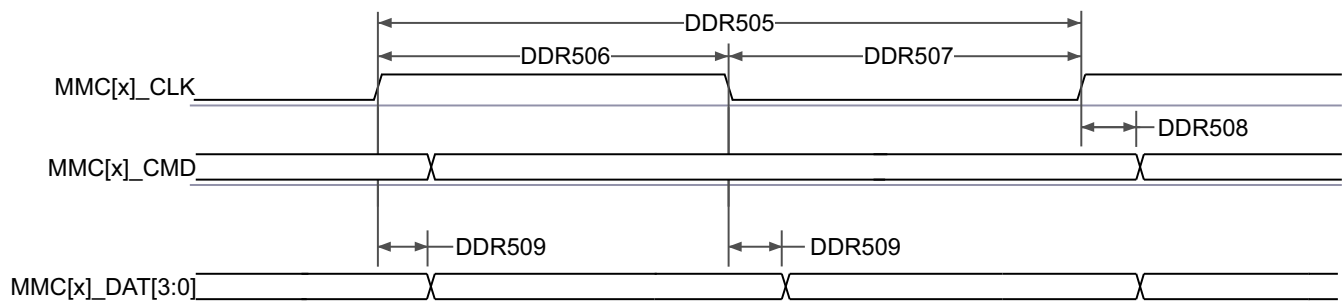


图 6-82. MMC0 - UHS-I DDR50 - 发送模式

6.12.5.16.1.10 UHS -I SDR104 模式

表 6-99 和图 6-83 展示了 MMC0 的开关特性 - UHS-I SDR104 模式。

表 6-99. MMC0 的开关特性 - UHS-I SDR104 模式

请参阅图 6-83

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC0_CLK		200	MHz
SDR1045	$t_{c(clk)}$	周期时间, MMC0_CLK	5		ns
SDR1046	$t_{w(clkH)}$	脉冲持续时间, MMC0_CLK 高电平	2.12		ns
SDR1047	$t_{w(clkL)}$	脉冲持续时间, MMC0_CLK 低电平	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.07	3.21	ns
SDR1049	$t_{d(clkL-dV)}$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.07	3.21	ns

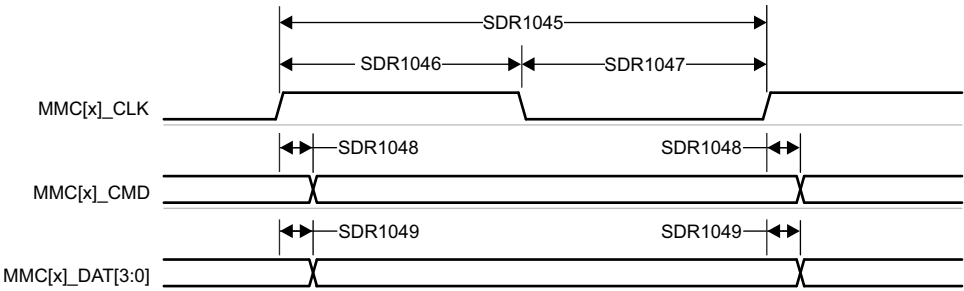


图 6-83. MMC0 - UHS-I SDR104 - 发送模式

6.12.5.16.2 MMC1/MMC2 - SD/SDIO 接口

MMC1/MMC2 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS – I SDR12
- UHS – I SDR25
- UHS – I SDR50
- UHS – I DDR50
- UHS – I SDR104

表 6-100 提供了 MMC1/2 时序模式所需的 DLL 软件配置设置。

表 6-100. 所有时序模式的 MMC1/MMC2 DLL 延迟映射

寄存器名称		MMCS1_MMC_SSCFG_PHY_CTRL_4_REG MMCS2_MMC_SSCFG_PHY_CTRL_4_REG			
位字段		[20]	[15:12]	[8]	[4:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
模式	说明	延迟 启用	延迟 值	输入 延迟 启用	输入 延迟 值
默认 速度	4 位 PHY 运行 3.3V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
高速	4 位 PHY 运行 3.3V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
UHS-I SDR12	4 位 PHY 运行 1.8V, 25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 位 PHY 运行 1.8V, 50MHz	0x1	0xF	0x1	0x0
UHS-I SDR50	4 位 PHY 运行 1.8V, 100MHz	0x1	0xC	0x1	调优 ⁽²⁾
UHS-I DDR50	4 位 PHY 运行 1.8V, 50MHz	0x1	0x9	0x1	调优 ⁽²⁾
UHS-I SDR104	4 位 PHY 运行 1.8V, 200MHz	0x1	0x6	0x1	调优 ⁽²⁾

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。

(2) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-101 展示了 MMC1 的时序条件。

表 6-101. MMC1/MMC2 时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	默认速度 高速	0.69	2.06	V/ns
		UHS - I SDR12 UHS - I SDR25	0.34	1.34	V/ns
		UHS - I DDR50	1	2	V/ns
输出条件					
C _L	输出负载电容	所有模式	1	10	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	UHS - I DDR50	239	1134	ps
		所有其他模式	126	1386	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	高速 UHS - I SDR104		8	ps
		UHS - I DDR50		20	ps
		所有其他模式		100	ps

6.12.5.16.2.1 默认速度模式

表 6-102、图 6-84、表 6-103 和图 6-85 展示了 MMC1/MMC2 的时序要求和开关特性 - 默认速度模式。

表 6-102. MMC1/MMC2 的时序要求 - 默认速度模式

请参阅图 6-84

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
DS2	$t_h(clkH-cmdV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
DS4	$t_h(clkH-dV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.67		ns

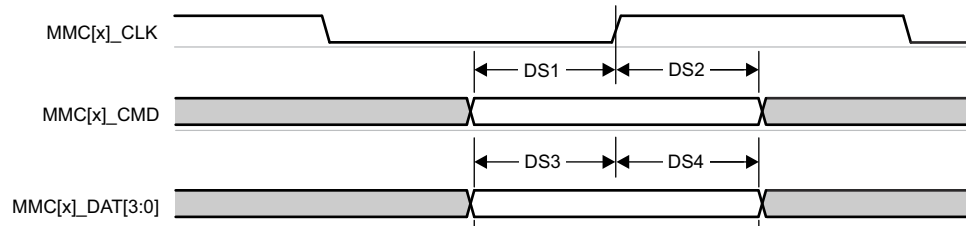


图 6-84. MMC1/MMC2 - 默认速度 - 接收模式

表 6-103. MMC1/MMC2 的开关特性 - 默认速度模式

请参阅图 6-85

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		25	MHz
DS5	$t_{c(clk)}$	40		ns
DS6	$t_w(clkH)$	18.7		ns
DS7	$t_w(clkL)$	18.7		ns
DS8	$t_d(clkL-cmdV)$	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	- 1.8	2.2	ns



图 6-85. MMC1/MMC2 - 默认速度 - 发送模式

6.12.5.16.2.2 高速模式

表 6-104、图 6-86、表 6-105 和图 6-87 展示了 MMC1/MMC2 的时序要求和开关特性 - 高速模式。

表 6-104. MMC1/MMC2 的时序要求 - 高速模式

请参阅图 6-86

编号			最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.24		ns
HS2	$t_h(clkH-cmdV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.66		ns
HS3	$t_{su(dV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.24		ns
HS4	$t_h(clkH-dV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.66		ns

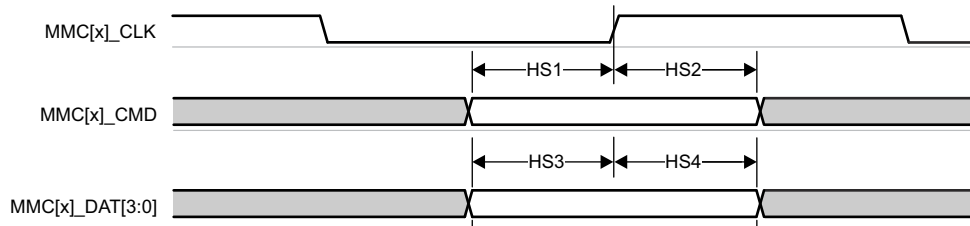


图 6-86. MMC1/MMC2 - 高速 - 接收模式

表 6-105. MMC1/MMC2 的开关特性 - 高速模式

请参阅图 6-87

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
HS5	$t_c(clk)$	20		ns
HS6	$t_w(clkH)$	9.2		ns
HS7	$t_w(clkL)$	9.2		ns
HS8	$t_d(clkL-cmdV)$	- 1.8	2.2	ns
HS9	$t_d(clkL-dV)$	- 1.8	2.2	ns

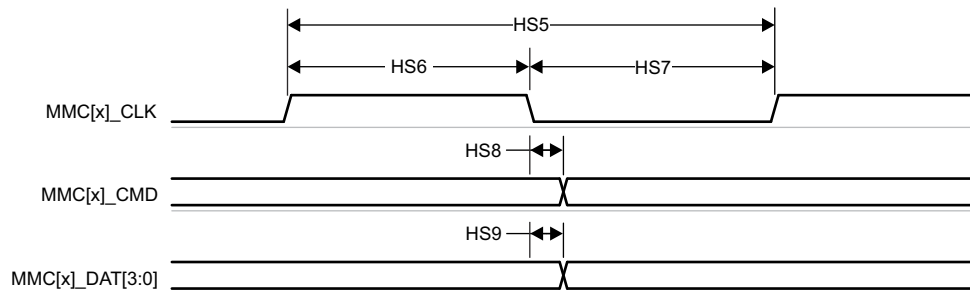


图 6-87. MMC1/MMC2 - 高速 - 发送模式

6.12.5.16.2.3 UHS -I SDR12 模式

表 6-106、图 6-88、表 6-107 和图 6-89 展示了 MMC1/MMC2 的时序要求和开关特性 - UHS-I SDR12 模式。

表 6-106. MMC1/MMC2 的时序要求 - UHS-I SDR12 模式

请参阅图 6-88

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	0.87		ns
SDR123	$t_{su(dV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	4.2		ns
SDR124	$t_{h(clkH-dV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	0.87		ns

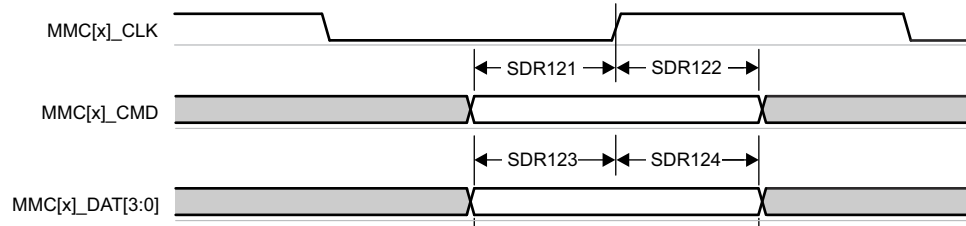


图 6-88. MMC1/MMC2 - UHS-I SDR12 - 接收模式

表 6-107. MMC1/MMC2 的开关特性 - UHS-I SDR12 模式

请参阅图 6-89

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

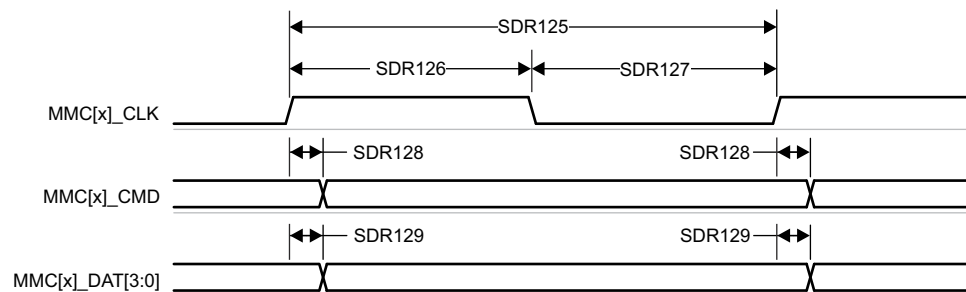


图 6-89. MMC1/MMC2 - UHS-I SDR12 - 发送模式

6.12.5.16.2.4 UHS -I SDR25 模式

表 6-108、图 6-90、表 6-109 和图 6-91 展示了 MMC1/MMC2 的时序要求和开关特性 - UHS-I SDR25 模式。

表 6-108. MMC1/MMC2 的时序要求 - UHS-I SDR25 模式

请参阅图 6-90

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.27		ns
SDR253	$t_{su(dV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
SDR254	$t_{h(clkH-dV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.27		ns

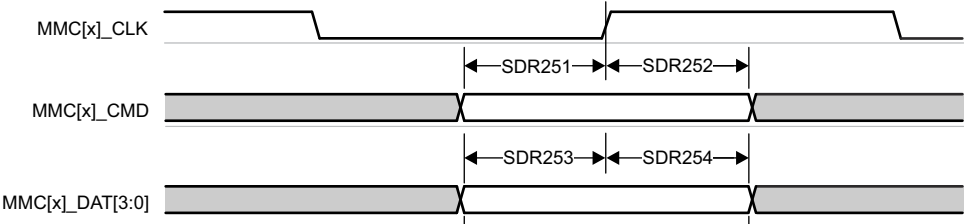


图 6-90. MMC1/MMC2 - UHS-I SDR25 - 接收模式

表 6-109. MMC1/MMC2 的开关特性 - UHS-I SDR25 模式

请参阅图 6-91

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkL-cmdV)$	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	2.4	8.1	ns

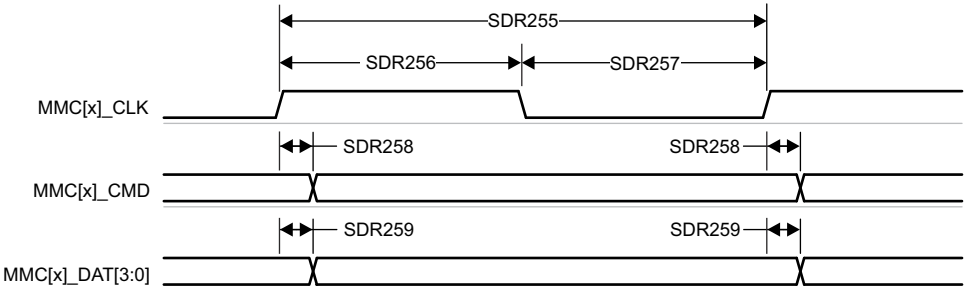


图 6-91. MMC1/MMC2 - UHS-I SDR25 - 发送模式

6.12.5.16.2.5 UHS -I SDR50 模式

表 6-110 和图 6-92 展示了 MMC1/MMC2 的开关特性 - UHS-I SDR50 模式。

表 6-110. MMC1/MMC2 的开关特性 - UHS-I SDR50 模式

请参阅图 6-92

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		100	MHz
SDR505	$t_{c}(clk)$	10		ns
SDR506	$t_{w}(clkH)$	4.45		ns
SDR507	$t_{w}(clkL)$	4.45		ns
SDR508	$t_{d}(clkL-cmdV)$	1.2	6.35	ns
SDR509	$t_{d}(clkL-dV)$	1.2	6.35	ns

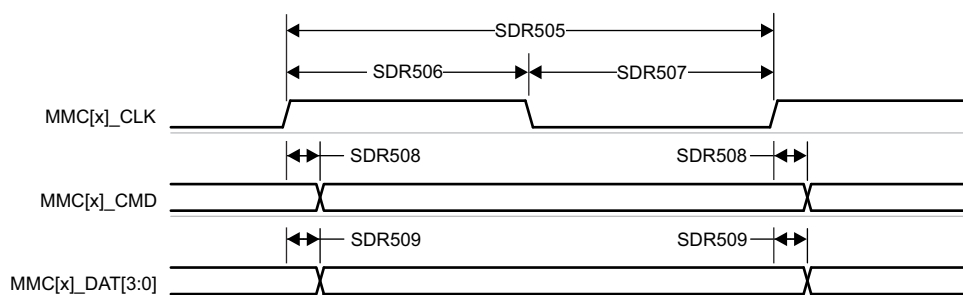


图 6-92. MMC1/MMC2 - UHS-I SDR50 - 发送模式

6.12.5.16.2.6 UHS-I DDR50 模式

表 6-111 和图 6-93 展示了 MMC1/MMC2 的开关特性 - UHS-I DDR50 模式。

表 6-111. MMC1/MMC2 的开关特性 - UHS-I DDR50 模式

请参阅图 6-93

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK	50		MHz
DDR505	$t_{c}(clk)$	周期时间, MMCx_CLK	20		ns
DDR506	$t_{w}(clkH)$	脉冲持续时间, MMCx_CLK 高电平	9.2		ns
DDR507	$t_{w}(clkL)$	脉冲持续时间, MMCx_CLK 低电平	9.2		ns
DDR508	$t_{d}(clk-cmdV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_CMD 转换	1.12	6.43	ns
DDR509	$t_{d}(clk-dV)$	延迟时间, MMCx_CLK 转换到 MMCx_DAT[3:0] 转换	1.12	6.43	ns

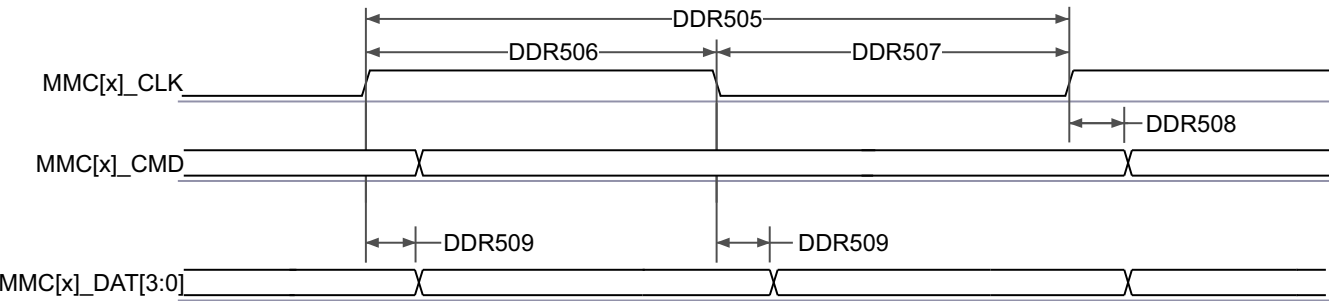


图 6-93. MMC1/MMC2 - UHS-I DDR50 - 发送模式

6.12.5.16.2.7 UHS -I SDR104 模式

表 6-112 和图 6-94 展示了 MMC1/MMC2 的开关特性 - UHS-I SDR104 模式。

表 6-112. MMC1/MMC2 的开关特性 - UHS-I SDR104 模式

请参阅图 6-94

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		200	MHz
SDR1045	$t_{c(clk)}$	5		ns
SDR1046	$t_{w(clkH)}$	2.12		ns
SDR1047	$t_{w(clkL)}$	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	1.07	3.21	ns
SDR1049	$t_{d(clkL-dV)}$	1.07	3.21	ns



图 6-94. MMC1/MMC2 - UHS-I SDR104 - 发送模式

6.12.5.17 OLDI

6.12.5.17.1 OLDI0 开关特性

表 6-113 和图 6-95 呈现了 OLDI0 的开关特性。

表 6-113. OLDI0 开关特性

编号	参数	模式	最小值	典型值	最大值	单位
OLDI1	$t_{\text{LH}}(\text{LTT})$	上升时间, OLDI0_CLK[1:0]P、 OLDI0_CLK[1:0]N、OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	慢 ⁽¹⁾		0.5	ns
		快 ⁽²⁾			0.25	ns
OLDI2	$t_{\text{HL}}(\text{LTT})$	下降时间, OLDI0_CLK[1:0]P、 OLDI0_CLK[1:0]N、OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	慢 ⁽¹⁾		0.5	ns
		快 ⁽²⁾			0.25	ns
OLDI3	$t_{\text{C}}(\text{CLK})$	周期时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N	6.06		110.01	ns
OLDI4	$t_{\text{W}}(\text{BIT})$	位宽, OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$(1/7)\text{OLDI3}$			ns
OLDI5	$t_{\text{d}}(\text{BIT1})$	位 1 延时时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N 到 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$-(0.1)\text{OLDI4}$			$(0.1)\text{OLDI4}$ ns
OLDI6	$t_{\text{d}}(\text{BIT0})$	位 0 延时时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N 到 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$(1/7)\text{OLDI3}$ $-(0.1)\text{OLDI4}$			$(1/7)\text{OLDI3}$ $+ (0.1)\text{OLDI4}$ ns
OLDI7	$t_{\text{d}}(\text{BIT6})$	位 6 延时时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N 到 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$(2/7)\text{OLDI3}$ $-(0.1)\text{OLDI4}$			$(2/7)\text{OLDI3}$ $+ (0.1)\text{OLDI4}$ ns
OLDI8	$t_{\text{d}}(\text{BIT5})$	位 5 延时时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N 到 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$(3/7)\text{OLDI3}$ $-(0.1)\text{OLDI4}$			$(3/7)\text{OLDI3}$ $+ (0.1)\text{OLDI4}$ ns
OLDI9	$t_{\text{d}}(\text{BIT4})$	位 4 延时时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N 到 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$(4/7)\text{OLDI3}$ $-(0.1)\text{OLDI4}$			$(4/7)\text{OLDI3}$ $+ (0.1)\text{OLDI4}$ ns
OLDI10	$t_{\text{d}}(\text{BIT3})$	位 3 延时时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N 到 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$(5/7)\text{OLDI3}$ $-(0.1)\text{OLDI4}$			$(5/7)\text{OLDI3}$ $+ (0.1)\text{OLDI4}$ ns
OLDI11	$t_{\text{d}}(\text{BIT2})$	位 2 延时时间, OLDI0_CLK[1:0]P 和 OLDI0_CLK[1:0]N 到 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N	$(6/7)\text{OLDI3}$ $-(0.1)\text{OLDI4}$			$(6/7)\text{OLDI3}$ $+ (0.1)\text{OLDI4}$ ns
OLDI12	$t_{\text{sk}}(\text{TCCS})$	偏斜, OLDI0_A[7:0]P 和 OLDI0_A[7:0]N 相对于任何 其他 OLDI0_A[7:0]P 和 OLDI0_A[7:0]N				50 ps

- (1) 慢速模式: TXDRV[3:0] = 0100b, 无反向端接 (RTERM_EN = 0b, 仅在远端具有 100 Ω 差分终端)
- (2) 快速模式: TXDRV[3:0] = 1000b, 具有反向端接 (RTERM_EN = 1b, 仅在远端具有 100 Ω 差分端接, 或 RTERM_EN = 0b, 在近端和远端具有 100 Ω 差分端接)

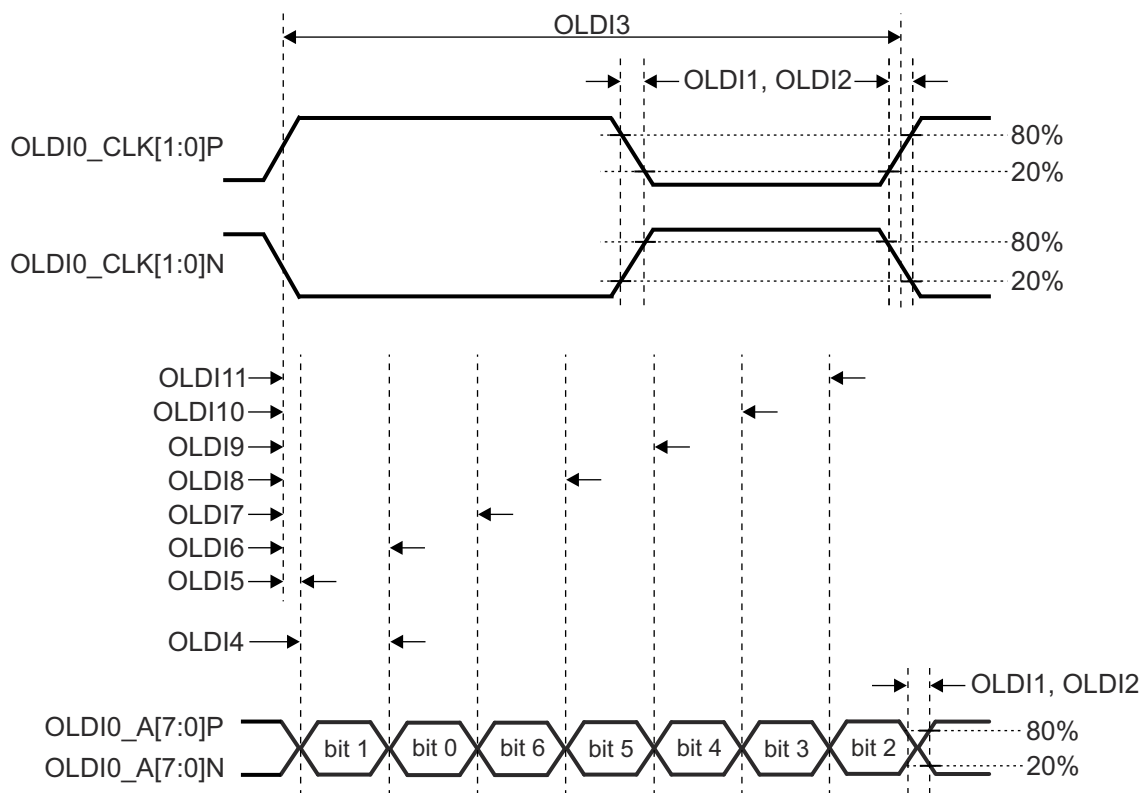


图 6-95. OLDI0 开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 和外设一节。

6.12.5.18 OSPI

OSPI0 提供两种数据捕获模式：PHY 模式和 Tap 模式。

PHY 模式使用内部基准时钟通过基于 DLL 的 PHY 发送和接收数据，在这种模式下，每个基准时钟周期为单倍数据速率 (SDR) 传输生成一个周期的 OSPI0_CLK，或为双倍数据速率 (DDR) 传输生成半个周期的 OSPI0_CLK。PHY 模式支持接收数据捕获时钟的四种时钟拓扑。内部 PHY 环回 - 使用内部基准时钟作为 PHY 接收数据采集时钟。内部焊盘环回 - 使用从 OSPI0_LBCLKO 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。外部电路板环回 - 使用从 OSPI0_DQS 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。DQS - 使用所连接器件的 DQS 输出作为 PHY 接收数据采集时钟。使用内部焊盘环回和 DQS 时钟拓扑时，不支持 SDR 传输。使用内部 PHY 环回或内部焊盘环回时钟拓扑时，不支持 DDR 传输。

Tap 模式使用具有可选 Tap 的内部基准时钟来调整相对于 OSPI0_CLK 的数据发送和接收捕获延迟，OSPI0_CLK 是 SDR 传输的内部基准时钟的 4 分频或 DDR 传输的内部基准时钟的 8 分频。Tap 模式仅支持接收数据捕获时钟的一种时钟拓扑。无环回 - 使用内部基准时钟作为 Tap 接收数据捕获时钟。此时钟拓扑支持 200MHz 的最大内部基准时钟速率，从而在 SDR 模式下产生高达 50MHz 的 OSPI0_CLK 速率，或在 DDR 模式下产生高达 25MHz 的 OSPI0_CLK 速率。

有关更多信息，请参阅器件 TRM 的外设一章中的八路串行外设接口 (OSPI) 一节。

有关器件八路串行外设接口特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

节 6.12.5.18.1 定义了与 PHY 模式相关的时序要求和开关特性，节 6.12.5.18.2 定义了与 Tap 模式相关的时序要求和开关特性。

表 6-114 展示了 OSPI0 的时序条件。

表 6-114. OSPI0 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR _I	输入压摆率		1	6	V/ns
输出条件					
C _L	输出负载电容		3	10	pF
PCB 连接要求					
t _d (Trace Delay)	OSPI0_CLK 布线的传播延迟	无环回 内部 PHY 环回 内部焊盘环回		450	ps
	OSPI0_LBCLKO 布线的传播延迟	外部电路板环回	2L ⁽¹⁾ - 30	2L ⁽¹⁾ + 30	ps
	OSPI0_DQS 布线的传播延迟	DQS	L ⁽¹⁾ - 30	L ⁽¹⁾ + 30	ps
t _d (Trace Mismatch Delay)	OSPI0_D[7:0] 和 OSPI0_CS _n [3:0] 相对于 OSPI0_CLK 的传播延迟不匹配	所有模式		60	ps

(1) L = OSPI0_CLK 布线的传播延迟

6.12.5.18.1 OSPI0 PHY 模式

6.12.5.18.1.1 具有 PHY 数据训练的 OSPI0

读取和写入数据有效窗口将因工艺、电压、温度和工作频率的变化而发生变化。可以实现数据训练方法，以动态配置最优读取和写入时序。实现数据训练可以在特定工艺、电压和频率工作条件下的温度范围内实现正常运行，同时实现更高的工作频率。

由于数据传输和接收时序参数会根据运行条件进行动态调整，因此未针对数据训练用例定义这些参数。

表 6-115 定义了具有数据训练的 OSPI0 所需的 DLL 延迟。表 6-116、图 6-96、图 6-97、表 6-117、图 6-98 和图 6-99 展示了具有数据训练的 OSPI0 的时序要求和开关特性。

表 6-115. 用于 PHY 数据训练的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

(1) 发送由训练软件确定的 DLL 延迟值

(2) 接收由训练软件确定的 DLL 延迟值

表 6-116. OSPI0 时序要求 - PHY 数据训练

请参阅图 6-96 和图 6-97

编号		模式	最小值	最大值	单位
O15	$t_{su}(D-LBCLK)$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)	ns
O16	$t_h(LBCLK-D)$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)	ns
O21	$t_{su}(D-LBCLK)$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有外部电路板环回的 SDR	(1)	ns
O22	$t_h(LBCLK-D)$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有外部电路板环回的 SDR	(1)	ns
	t_{DWW}	数据有效窗口 (O15 + O16)	1.8V, 具有 DQS 的 DDR	1.6	ns
			3.3V, 具有 DQS 的 DDR	2.2	ns
		数据有效窗口 (O21 + O22)	1.8V, 具有外部电路板环回的 SDR	2.3	ns
			3.3V, 具有外部电路板环回的 SDR	2.9	ns

(1) 当使用数据训练查找合适的数据有效窗口时，未定义 OSPI0_D[7:0] 输入的最小建立和保持时间要求。 t_{DWW} 参数定义了所需的最小数据无效窗口。提供此参数来代替最小建立和最小保持时间，必须使用它来检查与所连接器件提供的数据有效窗口的兼容性。

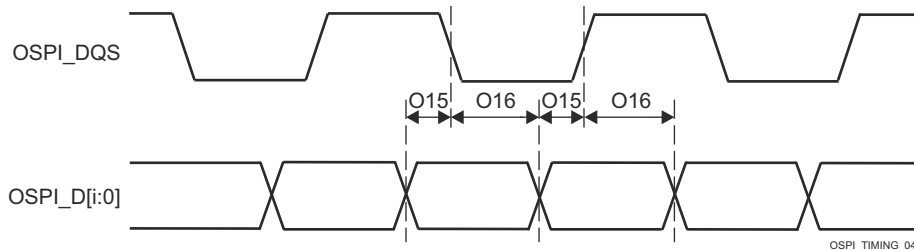


图 6-96. OSPI0 时序要求 - PHY 数据训练，带 DQS 的 DDR

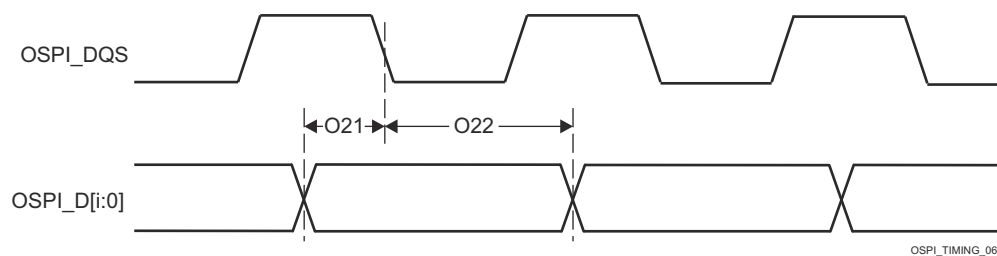


图 6-97. OSPI0 时序要求 - PHY 数据训练，带外部电路板环回的 SDR

表 6-117. OSPI 开关特性 - PHY 数据训练

请参阅图 6-98 和图 6-99

编号	参数	模式	最小值	最大值	单位
O1	$t_{c(CLK)}$ 周期时间, OSPI0_CLK	1.8V, DDR	6.0	10	ns
		3.3V, DDR	7.5	10	ns
O7		1.8V, SDR	6.0	10	ns
		3.3V, SDR	7.5	10	ns
O2	$t_{w(CLKL)}$ 脉冲持续时间, OSPI0_CLK 低电平	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O8		SDR			
O3	$t_{w(CLKH)}$ 脉冲持续时间, OSPI0_CLK 高电平	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O9		SDR			
O4	$t_{d(CSn-CLK)}$ 延迟时间, OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿	DDR	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O10		SDR			
O5	$t_{d(CLK-CSn)}$ 延迟时间, OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿	DDR	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O11		SDR			
O6	$t_{d(CLK-D)}$ 延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	DDR	(6)		ns
O12		SDR			
t_{DIVW}	数据无效窗口 (O6 最大值 - 最小值)	DDR	1.6		ns
	数据无效窗口 (O12 最大值 - 最小值)	SDR			

- (1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间 (以 ns 为单位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 当使用数据训练查找合适的数据有效窗口时, 不定义 OSPI0_D[7:0] 输出的最小和最大延迟时间。 t_{DIVW} 参数定义了最大数据无效窗口。提供此参数来代替最小和最大延迟时间, 必须使用它来检查与所连接器件的数据有效窗口要求的兼容性。

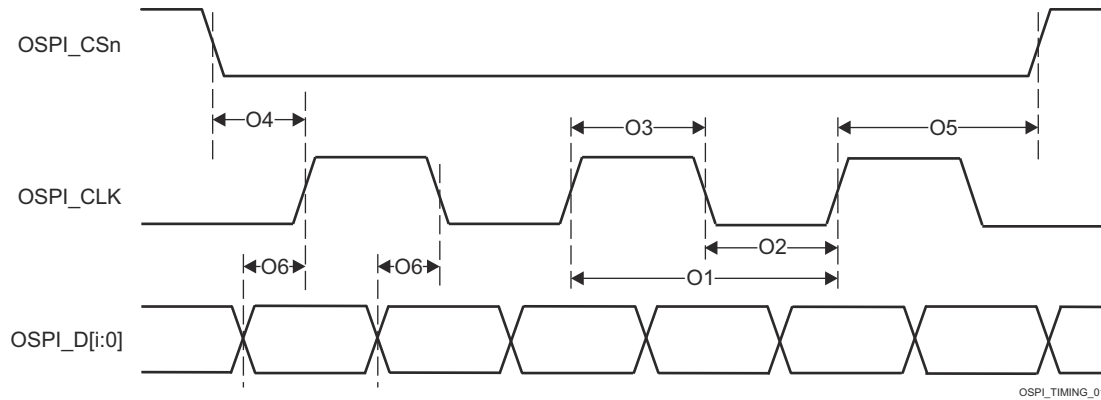


图 6-98. OSPI0 开关特性 - PHY DDR 数据训练

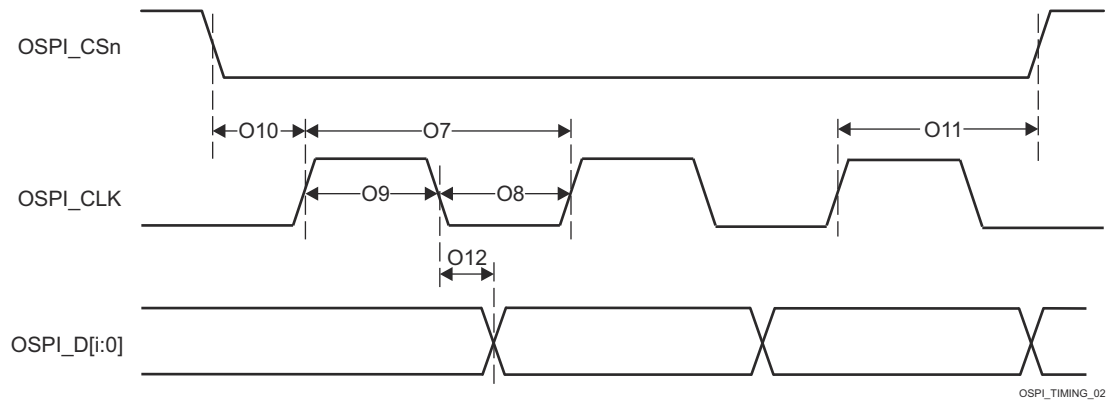


图 6-99. OSPI0 开关特性 - PHY SDR 数据训练

6.12.5.18.1.2 无数据训练的 OSPI0

备注

本节中定义的时序参数仅适用于未实现数据训练且 DLL 延迟按表 6-118 和表 6-121 中所述进行配置的情况。

6.12.5.18.1.2.1 OSPI0 PHY SDR 时序

表 6-118 定义了 OSPI0 PHY SDR 模式所需的 DLL 延迟。表 6-119、图 6-100、图 6-101、表 6-120 和图 6-102 展示了 OSPI0 PHY SDR 模式的时序要求和开关特性。

表 6-118. PHY SDR 时序模式的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

表 6-119. OSPI0 时序要求 - PHY SDR 模式

请参阅图 6-100 和图 6-101

编号		模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	1.8V, 具有内部 PHY 环回的 SDR	4.8		ns
		3.3V, 具有内部 PHY 环回的 SDR	5.19		ns
O20	$t_h(CLK-D)$	1.8V, 具有内部 PHY 环回的 SDR	-0.5		ns
		3.3V, 具有内部 PHY 环回的 SDR	-0.5		ns
O21	$t_{su(D-LBCLK)}$	1.8V, 具有外部电路板环回的 SDR	0.6		ns
		3.3V, 具有外部电路板环回的 SDR	0.9		ns
O22	$t_h(LBCLK-D)$	1.8V, 具有外部电路板环回的 SDR	1.7		ns
		3.3V, 具有外部电路板环回的 SDR	2.0		ns

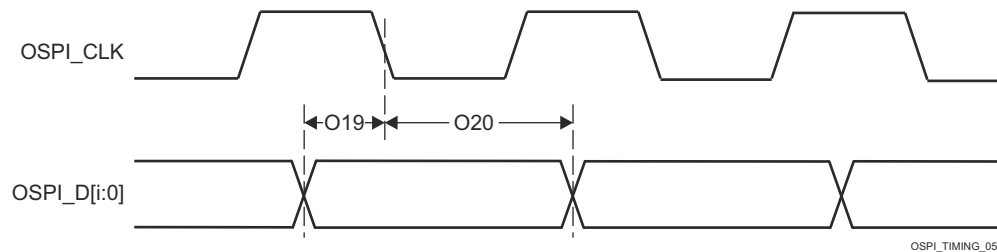


图 6-100. OSPI0 时序要求 - 具有内部 PHY 环回的 PHY SDR

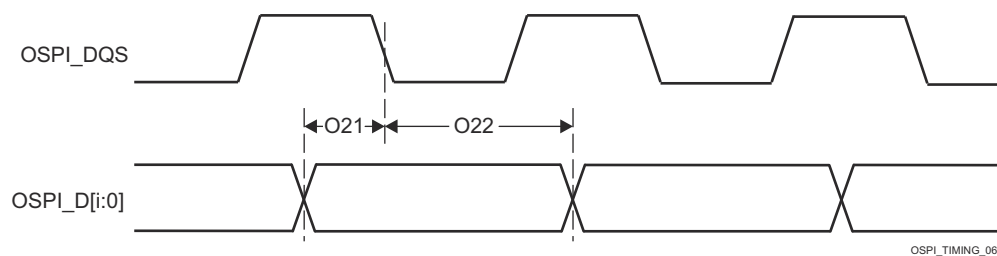


图 6-101. OSPI0 时序要求 - 具有外部电路板环回的 PHY SDR

表 6-120. OSPI0 开关特性 - PHY SDR 模式

请参阅图 6-102

编号	参数	模式	最小值	最大值	单位
O7	$t_{c(CLK)}$ 周期时间, OSPI0_CLK	1.8V	7		ns
		3.3V	6.03		ns
O8	$t_{w(CLKL)}$ 脉冲持续时间, OSPI0_CLK 低电平		$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w(CLKH)}$ 脉冲持续时间, OSPI0_CLK 高电平		$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d(CSn-CLK)}$ 延迟时间, OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O11	$t_{d(CLK-CSn)}$ 延迟时间, OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O12	$t_{d(CLK-D)}$ 延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-1.16	1.25	ns
		3.3V	-1.33	1.51	ns

(1) $P = SCLK$ 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)

(2) $M = OSPI_DEV_DELAY_REG[D_INIT_FLD]$

(3) $N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]$

(4) $R =$ 基准时钟周期时间 (以 ns 为单位)

(5) $TD = PHY_CONFIG_TX_DLL_DELAY_FLD$

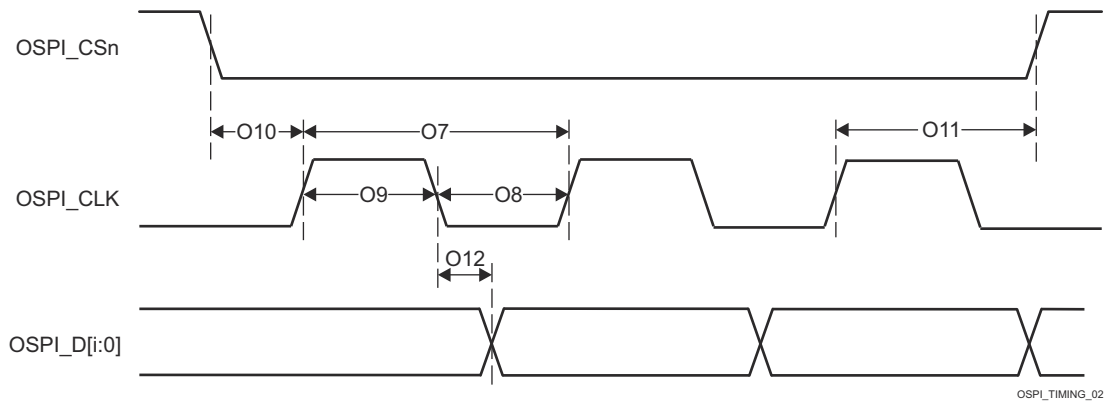


图 6-102. OSPI0 开关特性 - PHY SDR

6.12.5.18.1.2.2 OSPI0 PHY DDR 时序

表 6-121 定义了 OSPI0 PHY DDR 模式所需的 DLL 延迟。表 6-122、图 6-103、表 6-123 和图 6-104 展示了 OSPI0 PHY DDR 模式的时序要求和开关特性。

表 6-121. PHY DDR 时序模式的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x46
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x43
接收		
1.8V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
所有其他模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

表 6-122. OSPI0 时序要求 - PHY DDR 模式

请参阅图 6-103

编号		模式	最小值	最大值	单位
O15	$t_{su(D-LBCLK)}$	建立时间, 在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	1.8V, 具有外部电路板环回的 DDR	0.53	ns
			1.8V, 具有 DQS 的 DDR	-0.46	ns
			3.3V, 具有外部电路板环回的 DDR	1.23	ns
			3.3V, 具有 DQS 的 DDR	-0.66	ns
O16	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.8V, 具有外部电路板环回的 DDR	1.24 ⁽¹⁾	ns
			1.8V, 具有 DQS 的 DDR	3.59	ns
			3.3V, 具有外部电路板环回的 DDR	1.44 ⁽¹⁾	ns
			3.3V, 具有 DQS 的 DDR	7.92	ns

(1) 此保持时间要求大于典型 OSPI/QSPI/SPI 器件提供的保持时间。因此, SoC 和所连接 OSPI/QSPI/SPI 器件之间的布线长度必须足够长, 以确保满足 SoC 的保持时间。SoC 的外部环回时钟 (OSPI0_LBCLKO 至 OSPI0_DQS) 的长度可能需要缩短才能进行补偿。

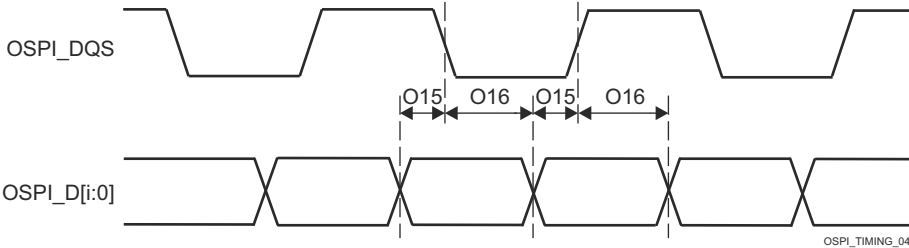


图 6-103. OSPI0 时序要求 - 具有外部电路板环回或 DQS 的 PHY DDR

表 6-123. OSPI0 开关特性 - PHY DDR 模式

请参阅图 6-104

编号	参数	模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间, OSPI0_CLK	19		ns
O2	$t_{w(CLKL)}$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w(CLKH)}$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d(CSn-CLK)}$	延迟时间, OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O5	$t_{d(CLK-CSn)}$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O6	$t_{d(CLK-D)}$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-7.71	ns
		3.3V	-7.71	-1.56	ns

- (1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间 (以 ns 为单位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

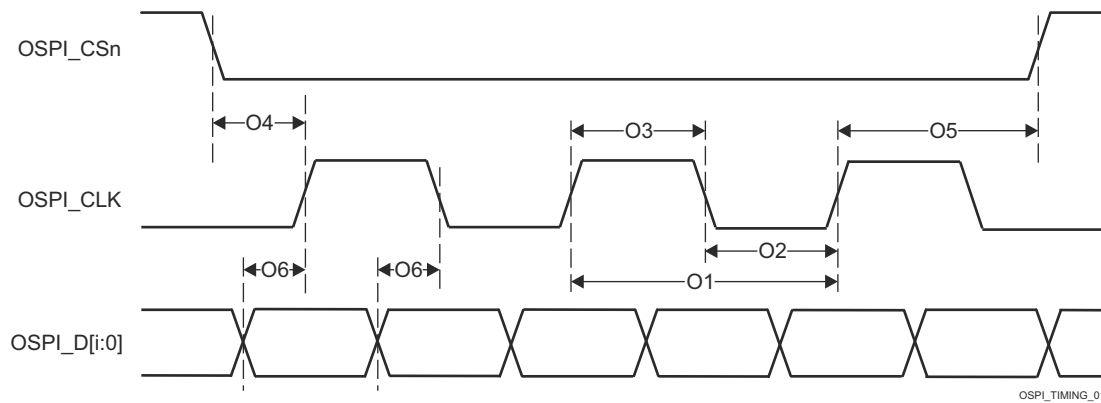


图 6-104. OSPI0 开关特性 - PHY DDR

6.12.5.18.2 OSPI0 Tap 模式

6.12.5.18.2.1 OSPI0 Tap SDR 时序

表 6-124、图 6-105、表 6-125 和图 6-106 说明了 OSPI0 的时序要求和开关特性 - Tap SDR 模式。

表 6-124. OSPI0 时序要求 - Tap SDR 模式

请参阅图 6-105

编号			模式	最小值	最大值	单位
O19	$t_{su}(D-CLK)$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	$(15.4 - (0.975T^{(1)}R^{(2)}))$		ns
O20	$t_h(CLK-D)$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	$(-4.3 + (0.975T^{(1)}R^{(2)}))$		ns

- (1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间 (以 ns 为单位)

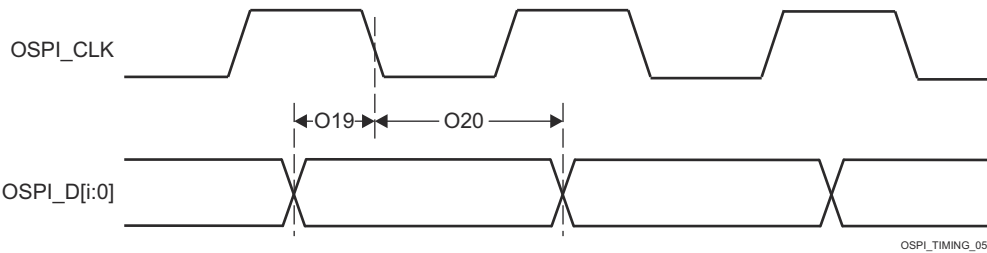


图 6-105. OSPI0 时序要求 - Tap SDR，无环回

表 6-125. OSPI0 开关特性 - Tap SDR 模式

请参阅图 6-106

编号	参数	模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间, OSPI0_CLK	20		ns
O8	$t_{w(CLKL)}$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w(CLKH)}$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d(CSn-CLK)}$	延迟时间, OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)} + 1))$	ns
O11	$t_{d(CLK-CSn)}$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)} + 1))$	ns
O12	$t_{d(CLK-D)}$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	- 4.25	7.25	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = 基准时钟周期时间 (以 ns 为单位)

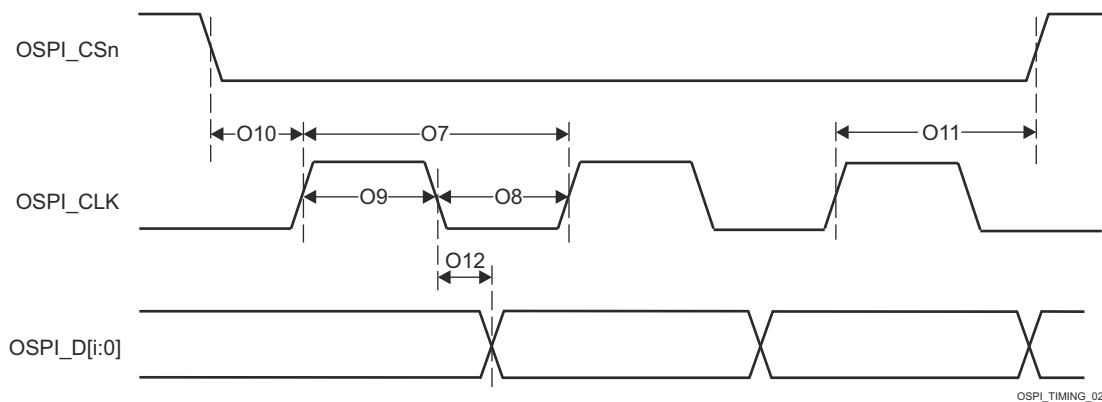


图 6-106. OSPI0 开关特性 - Tap SDR, 无环回

6.12.5.18.2.2 OSPI0 Tap DDR 时序

表 6-126、图 6-107、表 6-127 和图 6-108 展示了 OSPI0 的时序要求和开关特性 - Tap DDR 模式。

表 6-126. OSPI0 时序要求 - Tap DDR 模式

请参阅图 6-107

编号			模式	最小值	最大值	单位
O13	$t_{su}(D-CLK)$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	(17.04 - (0.975T ⁽¹⁾ R ⁽²⁾))		ns
O14	$t_h(CLK-D)$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	(- 3.16 + (0.975T ⁽¹⁾ R ⁽²⁾))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基准时钟周期时间 (以 ns 为单位)

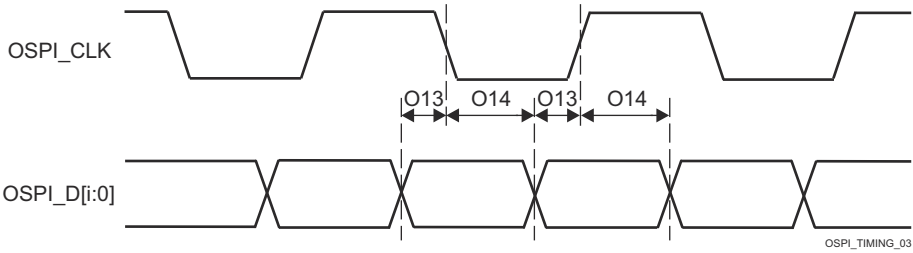


图 6-107. OSPI0 时序要求 - Tap DDR，无环回

表 6-127. OSPI0 开关特性 - Tap DDR 模式

请参阅图 6-108

编号	参数	模式	最小值	最大值	单位
O1	$t_{c}(\text{CLK})$	周期时间, OSPI0_CLK	40		ns
O2	$t_{w}(\text{CLKL})$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w}(\text{CLKH})$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d}(\text{CSn-CLK})$	延迟时间, OSPI0_CS _n [3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1)$	ns
O5	$t_{d}(\text{CLK-CSn})$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS _n [3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1)$	ns
O6	$t_{d}(\text{CLK-D})$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	$(-5.04 + (0.975(T^{(4)} + 1)R^{(5)}) - (0.525P^{(1)}))$	$(3.64 + (1.025(T^{(4)} + 1)R^{(5)}) - (0.475P^{(1)}))$	ns

- (1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]
(5) R = 基准时钟周期时间 (以 ns 为单位)

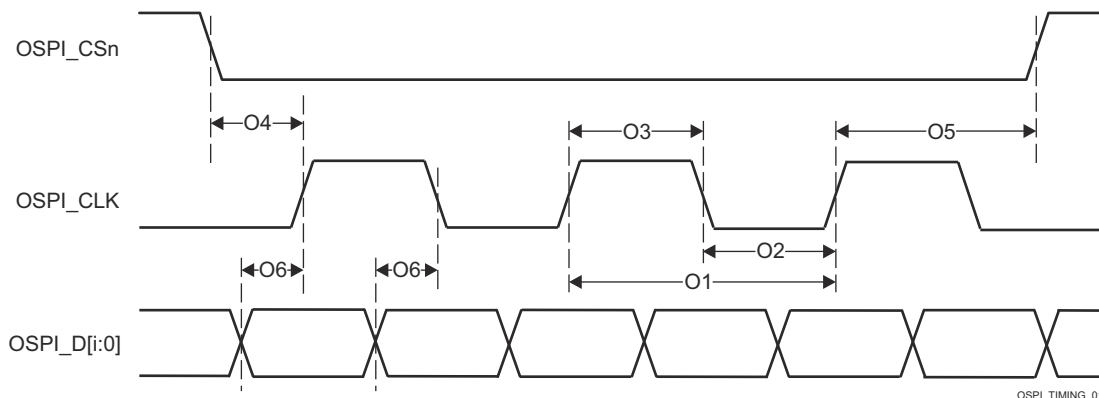


图 6-108. OSPI0 开关特性 - Tap DDR, 无环回

6.12.5.19 PRUSS

该器件具有单个可编程实时单元子系统 (PRUSS)，其中包括两个 PRU 内核。凭借 PRU 内核的可编程特性及其对引脚、事件和所有器件资源的访问权限，该子系统可以灵活地实现快速实时响应、专用数据处理操作以及定制外设接口，并灵活地减轻器件其他处理器内核的任务负载。

有关器件 PRUSS 特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 中的相应章节。

备注

PRUSS 包含第二层外设信号多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。器件 TRM 的 PRUSS 一章中对该外设多路复用进行了说明。

备注

PRUSS 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#) 中定义了该接口的有效引脚组合或 IOSET。

6.12.5.19.1 PRUSS 可编程实时单元 (PRU)

备注

PRUSS 信号具有不同的功能，具体取决于操作模式。本节中的信号命名与器件 TRM 中 *PRU 模块接口* 一节使用的命名相一致。

表 6-128. PRUSS PRU 时序条件

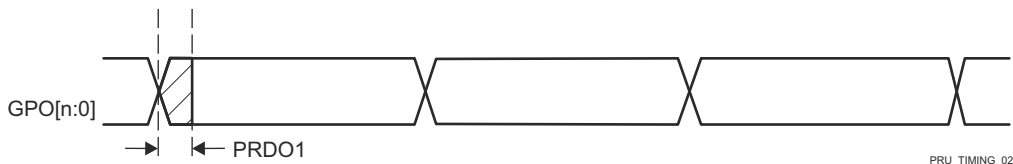
参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	3	V/ns
输出条件				
C _L	输出负载电容	2	30	pF

6.12.5.19.1.1 PRUSS PRU 直接输出模式时序

表 6-129. PRUSS PRU 开关特性 - 直接输出模式

请参阅图 6-109

编号	参数	说明	最小值	最大值	单位
PRDO1	t _{sk} (GPO-GPO)	偏斜，GPO 到 GPO		2	ns



A. GPO[n:0] 中的 n = 19。

图 6-109. PRUSS PRU 直接输出时序

6.12.5.19.1.2 PRUSS PRU 并行捕获模式时序

表 6-130. PRUSS PRU 时序要求 - 并行捕获模式

请参阅图 6-110 和图 6-111

编号	参数	说明	最小值	最大值	单位
PRPC1	$t_c(\text{CLOCK})$	周期时间, CLOCKIN	20		ns
PRPC2	$t_w(\text{CLOCKL})$	脉冲持续时间, CLOCKIN 低电平	0.45P ⁽¹⁾		ns
PRPC3	$t_w(\text{CLOCKH})$	脉冲持续时间, CLOCKIN 高电平	0.45P ⁽¹⁾		ns
PRPC4	$t_{su}(\text{DATAIN-CLOCK})$	建立时间, 在 CLOCKIN 有效边沿之前 DATAIN 有效	4		ns
PRPC5	$t_h(\text{CLOCK-DATAIN})$	保持时间, 在 CLOCKIN 有效边沿之后 DATAIN 有效	0		ns

(1) P = CLOCKIN 周期时间 (以 ns 为单位)

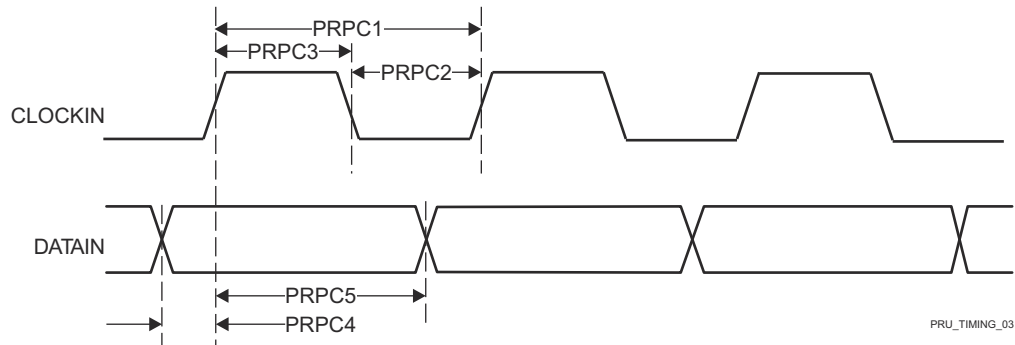


图 6-110. PRUSS PRU 并行捕获时序要求 - 上升沿模式

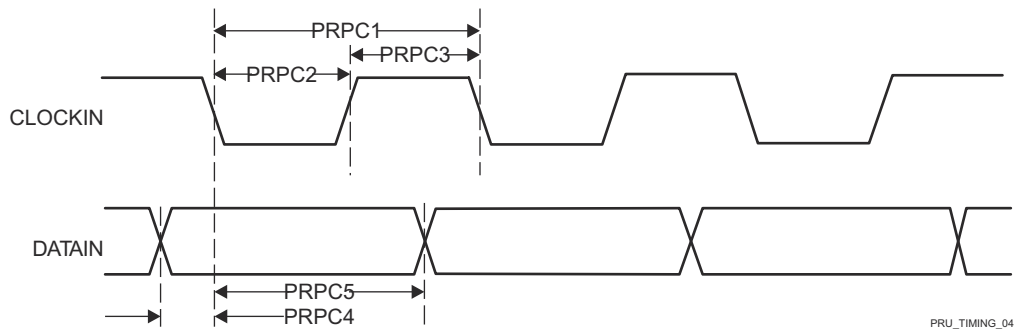


图 6-111. PRUSS PRU 并行捕获时序要求 - 下降沿模式

6.12.5.19.1.3 PRUSS PRU 移位模式时序

表 6-131. PRUSS PRU 时序要求 - 移入模式

请参阅图 6-112

编号	参数	说明	最小值	最大值	单位
PRSI1	$t_{W(DATAINH)}$	脉冲持续时间, DATAIN 高电平	$2P^{(1)} + 2$		ns
PRSI2	$t_{W(DATAINL)}$	脉冲持续时间, DATAIN 低电平	$2P^{(1)} + 2$		ns

(1) P = 内部移入时钟周期 (以 ns 为单位), 由 GPCFGn_REG 寄存器中的 PRUn_GPI_DIV0 和 PRUn_GPI_DIV1 位字段定义, 其中 PRUn 表示相应的 PRU0 或 PRU1 实例。

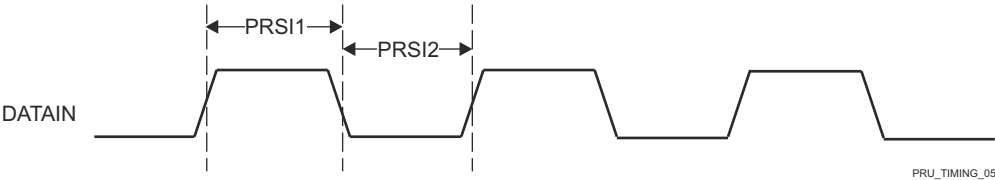


图 6-112. PRUSS PRU 移入时序

表 6-132. PRUSS PRU 开关特性 - 移出模式

请参阅图 6-113

编号	参数	说明	最小值	最大值	单位
PRSO1	$t_{c}(\text{CLOCKOUT})$	周期时间, CLOCKOUT	10		ns
PRSO2L	$t_{w}(\text{CLOCKOUTL})$	脉冲持续时间, CLOCKOUT 低电平	$0.475P^{(1)}Z^{(2)} - 0.3$		ns
PRSO2H	$t_{w}(\text{CLOCKOUTH})$	脉冲持续时间, CLOCKOUT 高电平	$0.475P^{(1)}Y^{(3)} - 0.3$		ns
PRSO3	$t_{d}(\text{CLOCKOUT-DATAOUT})$	延迟时间, CLOCKOUT 到 DATAOUT 有效	0	3	ns

- (1) P = 软件可编程移出时钟周期 (以 ns 为单位), 由 GPCFGn_REG 寄存器中的 PRUn_GPO_DIV0 和 PRUn_GPO_DIV1 位字段定义, 其中 PRUn 表示相应的 PRU0 或 PRU1 实例。
- (2) Z 参数定义如下, 其中 PRUn 表示相应的 PRU0 或 PRU1 实例。
- 如果 PRUN_GPI_DIV0 和 PRUN_GPI_DIV1 为整数, 或如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为偶数, 则 Z 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1})$ 。
 - 如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为奇数, 则 Z 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1} + 0.5)$ 。
 - 如果 PRUN_GPI_DIV0 为整数且 PRUN_GPI_DIV1 为非整数, 则 Z 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1} + 0.5 * \text{PRUn_GPI_DIV0})$ 。
 - 如果 PRUn_GPI_DIV0 和 PRUN_GPI_DIV1 为非整数, 则 Z 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1} + 0.25 * \text{PRUn_GPI_DIV0})$ 。
- (3) Y 参数定义如下, 其中 PRUn 表示相应的 PRU0 或 PRU1 实例。
- 如果 PRUN_GPI_DIV0 和 PRUN_GPI_DIV1 为整数, 或如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为偶数, 则 Y 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1})$ 。
 - 如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为奇数整数, 则 Y 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1} - 0.5)$ 。
 - 如果 PRUN_GPI_DIV0 为整数且 PRUN_GPI_DIV1 为非整数, 则 Y 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1} - 0.5 * \text{PRUn_GPI_DIV0})$ 。
 - 如果 PRUN_GPI_DIV0 和 PRUN_GPI_DIV1 为非整数, 则 Y1 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1} - 0.25 * \text{PRUn_GPI_DIV0})$, 而 Y2 等于 $(\text{PRUn_GPI_DIV0} * \text{PRUn_GPI_DIV1} + 0.25 * \text{PRUn_GPI_DIV0})$, 其中 Y1 是第一个高电平脉冲, 而 Y2 是第二个高电平脉冲。

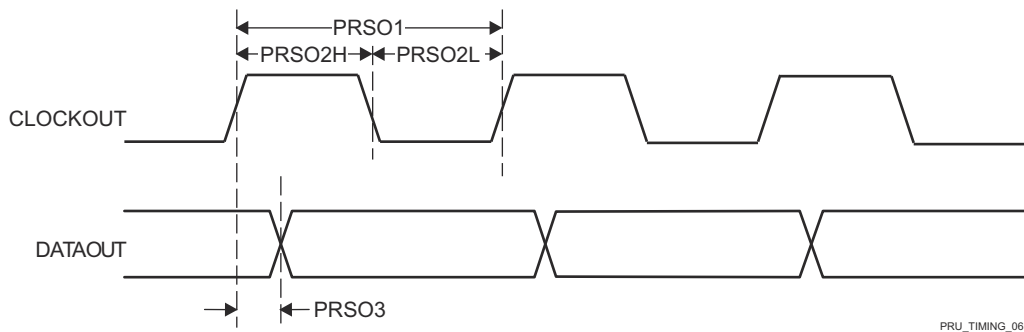


图 6-113. PRUSS PRU 移出时序

6.12.5.19.2 PRUSS 工业以太网外设 (IEP)

表 6-133. PRUSS IEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	3	V/ns
输出条件				
C _L	输出负载电容	3	10	pF

6.12.5.19.2.1 PRUSS IEP 时序

表 6-134. PRUSS IEP 开关特性 - 数字 IO

请参阅图 6-114

编号	参数	说明	最小值	最大值	单位
IEPIO4	t _{sk} (EDIO_DATA_OUT)	EDIO_DATA_OUT 偏斜		5	ns

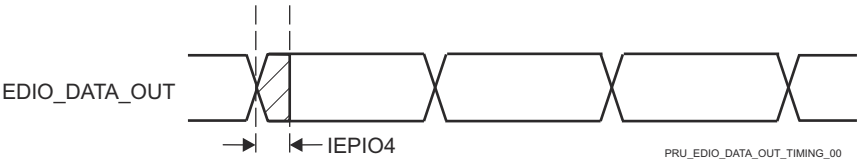


图 6-114. PRUSS IEP 数字 IO 时序要求

6.12.5.19.3 PRUSS 通用异步接收器/发送器 (UART)

表 6-135. PRUSS UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	1	30 ⁽¹⁾	pF

- (1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

6.12.5.19.3.1 PRUSS UART 时序

表 6-136. PRUSS UART 时序要求

请参阅图 6-115

编号	参数	说明	最小值	最大值	单位
1	t _w (RXD)	脉冲宽度，接收数据位高电平或低电平	0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
2	t _w (RXDS)	脉冲宽度，接收开始位低电平	0.95U ⁽¹⁾ (2)		ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/编程波特率。
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

表 6-137. PRUSS UART 开关特性

请参阅图 6-115

编号	参数	说明	最小值	最大值	单位
	f(baud)	编程的波特率		12	Mbps
3	t _w (TXD)	脉冲宽度，发送数据位高电平或低电平	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns
4	t _w (TXDS)	脉冲宽度，发送开始位低电平	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/实际波特率，器件 TRM 的 UART 波特率设置表中定义了实际波特率。

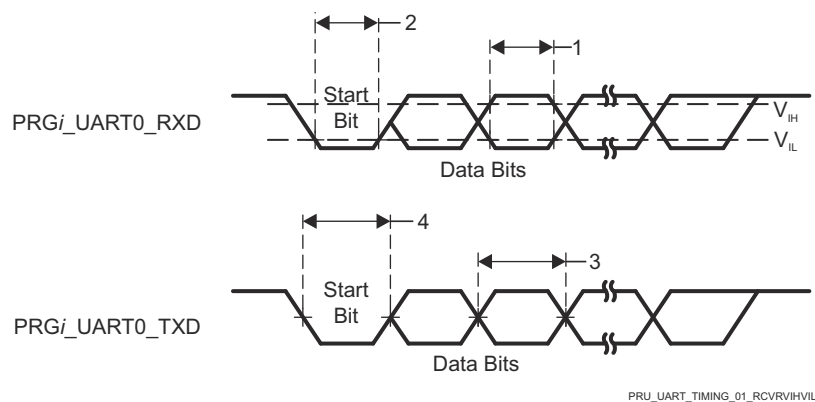


图 6-115. PRUSS UART 时序要求和开关特性

6.12.5.19.4 PRUSS 增强型捕获外设 (ECAP)

表 6-138. PRUSS ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	1	3	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

6.12.5.19.4.1 PRUSS ECAP 时序

表 6-139. PRUSS ECAP 时序要求

请参阅图 6-116

编号	参数	说明	最小值	最大值	单位
PREP1	t _w (CAP)	脉冲持续时间, CAP (异步)	2P ⁽¹⁾ + 2		ns
PREP2	t _w (SYNCI)	脉冲持续时间, SYNCI (异步)	2P ⁽¹⁾ + 2		ns

(1) P = CORE_CLK 周期 (以 ns 为单位) 。

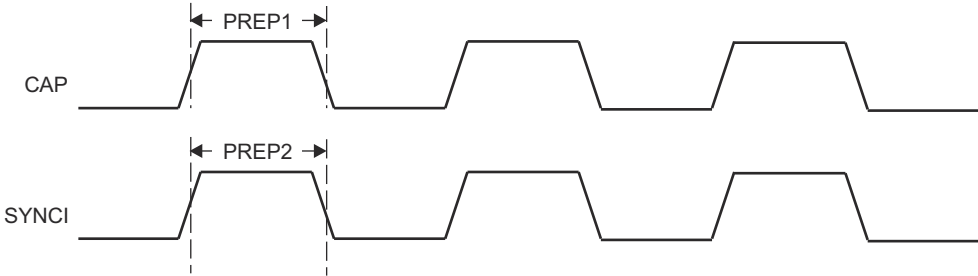


图 6-116. PRUSS ECAP 时序

表 6-140. PRUSS ECAP 开关特性

请参阅图 6-117

编号	参数	说明	最小值	最大值	单位
PREP3	t _w (APWM)	脉冲持续时间, APWM 高电平/低电平	2P ⁽¹⁾ - 2		ns
PREP4	t _w (SYNCO)	脉冲持续时间, SYNCO (异步)	P ⁽¹⁾ - 2		ns

(1) P = CORE_CLK 周期 (以 ns 为单位) 。

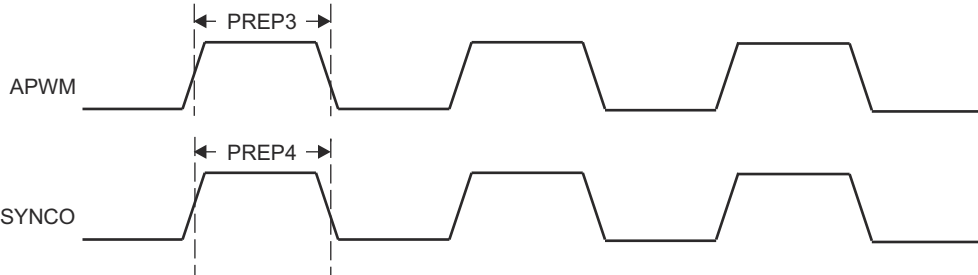


图 6-117. PRUSS ECAP 开关特性

6.12.5.20 计时器

有关器件计时器特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

表 6-141. 计时器时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	2	10	pF

表 6-142. 计时器输入时序要求

请参阅 [图 6-118](#)

编号	参数	说明	模式	最小值	最大值	单位
T1	t _{w(TINPH)}	脉冲持续时间，高电平	捕获	4P ⁽¹⁾ + 2.5		ns
T2	t _{w(TINPL)}	脉冲持续时间，低电平	捕获	4P ⁽¹⁾ + 2.5		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

表 6-143. 计时器输出开关特性

请参阅 [图 6-118](#)

编号	参数	说明	模式	最小值	最大值	单位
T3	t _{w(TOUTH)}	脉冲持续时间，高电平	PWM	4P ⁽¹⁾ - 2.5		ns
T4	t _{w(TOUTL)}	脉冲持续时间，低电平	PWM	4P ⁽¹⁾ - 2.5		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

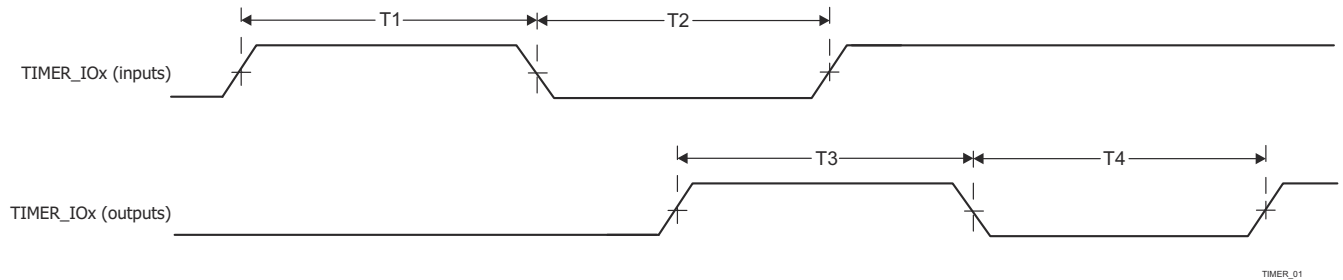


图 6-118. 计时器时序要求和开关特性

有关更多信息，请参阅器件 TRM 的 [外设一章](#)中的 [计时器](#) 一节。

6.12.5.21 UART

有关器件通用异步接收器/发送器特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-144. UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	1	30 ⁽¹⁾	pF

- (1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

表 6-145. UART 时序要求

请参阅图 6-119

编号	参数	说明	最小值	最大值	单位
1	t _{W(RXD)}	脉冲宽度，接收数据位高电平或低电平	0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
2	t _{W(RXDS)}	脉冲宽度，接收开始位低电平	0.95U ⁽¹⁾ (2)		ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/编程波特率。
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

表 6-146. UART 开关特性

请参阅图 6-119

编号	参数	说明	最小值	最大值	单位
	f _(baud)	主域 UART 的可编程波特率		12	Mbps
		MCU 和 WKUP 域 UART 的可编程波特率		3.7	Mbps
3	t _{W(TXD)}	脉冲宽度，发送数据位高电平或低电平	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns
4	t _{W(TXDS)}	脉冲宽度，发送开始位低电平	U ⁽¹⁾ - 2		ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/实际波特率，器件 TRM 的 UART 波特率设置表中定义了实际波特率。

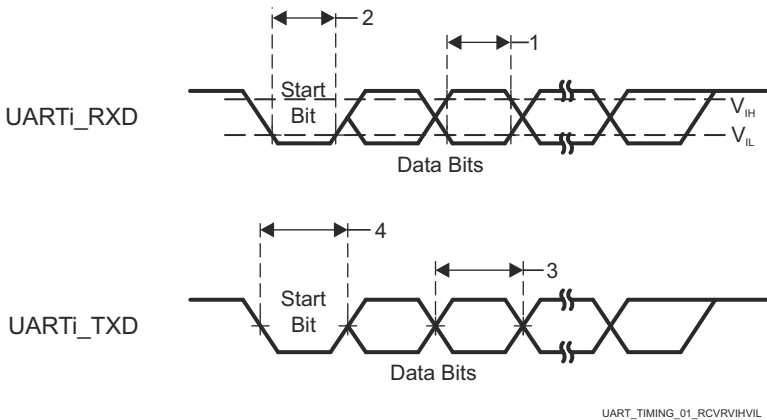


图 6-119. UART 时序要求和开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用异步接收器/发送器 (UART)* 一节。

6.12.5.22 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

有关通用串行总线子系统 (USB) 特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

7 详细说明

7.1 概述

低成本 AM62x Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。凭借可扩展的 Arm® Cortex®-A53 性能和嵌入式功能，例如双显示支持和 3D 图形加速，以及一组广泛的外设，AM62x 器件非常适合广泛的工业和汽车应用，同时还提供智能功能和优化的电源架构。

可以使用集成的 Cortex-M4F 内核和专用外设来满足功能安全要求，这些内核和外设均可与 AM62x 处理器的其余部分隔离。

3 端口千兆以太网交换机具有一个内部端口和两个外部端口，支持时间敏感网络 (TSN)。该器件上的附加 PRU 模块可为客户自己的用例提供实时 I/O 功能。此外，AM62x 中随附广泛的外设集，可实现 USB、MMC/SD、摄像头接口、OSPI、CAN-FD 和 GPMC 等系统级连接，用于将主机接口并行连接到外部 ASIC/FPGA。AM62x 器件还通过内置硬件安全模块 (HSM) 支持安全启动来实现 IP 保护，并为便携式和功耗敏感型应用提供高级电源管理支持

备注

有关超集器件片上系统 (SoC) 的特性、子系统和架构的更多信息，请参阅器件 TRM。

7.2 处理器子系统

7.2.1 Arm Cortex-A53 子系统 (A53SS)

SoC 实现了一个四核 Arm® Cortex®-A53 MPCore™ 集群，其中每个内核具有 32KB L1 指令和 32KB L1 数据，同时还具有 512KB L2 共享高速缓存。

Cortex®-A53 内核是通用处理器，可用于运行客户应用程序。

A53SS 基于 Cortex®-A53 MPCore™ (Arm®-A53 集群) 构建，后者由 Arm 提供并由 TI 配置。该处理器基于对称多处理器 (SMP) 架构，因此可提供高性能以及最佳电源管理、调试和仿真功能。

A53 处理器是一款多发射乱序超标量执行引擎，具有集成的 L1 指令和数据高速缓存，与 Arm®v8-A 架构兼容。与其前代产品相比，该处理器具有更高的功效，性能显著提升。

Arm®v8-A 架构提供了许多新功能。这些新功能包括 64 位数据处理、扩展虚拟寻址和 64 位通用寄存器。A53 处理器是 Arm 率先推出的 Arm®v8-A 处理器，旨在提供低功耗的 64 位处理。该处理器具有顺序、8 级、双发射流水线和改进的整数、Arm® Neon™、浮点单元 (FPU) 和存储器性能。

A53 CPU 支持两种执行状态：AArch32 和 AArch64。AArch64 状态使 A53 CPU 能够执行 64 位应用程序，而 AArch32 状态则允许处理器执行现有的 Arm®v7-A 应用程序。

A53SS 集成了各种高级特性，包括 Arm®v8 加密扩展、GICv3 架构、针对高速缓存的 ECC 和奇偶校验保护、每个内核的专用看门狗计时器、高吞吐量 和 256 位 VBUSM 接口以及用于实现内置自测试与可靠性保障的带有 BIST 的 PBIST 控制器。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *Arm Cortex-A53 子系统* 一节。

7.2.2 器件/电源管理器

WKUP_R5FSS 是 Arm® Cortex®-R5F 处理器的单核实现，充当负责引导、资源管理和电源管理功能的设备管理器。它还包括附带的存储器 (L1 高速缓存和紧密耦合存储器)、标准 Arm® CoreSight™ 调试和布线架构、集成式矢量中断管理器 (VIM)、ECC 聚合器以及支持协议转换和地址转换的各种其他模块，以便于集成到 SoC。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *设备管理器 Cortex R5F 子系统* 一节。

7.2.3 Arm Cortex-M4F

MCU_M4FSS 是基于 Arm® Cortex®-M4F 的子系统，可以运行安全处理或用作通用 MCU。在启动过程中，MCU_M4FSS 将通过在不同内核上运行的初始软件进行配置。配置完成后，软件将使安全处理器 (M4F) 退出复位状态，此时安全处理器代码运行或通用代码可以开始执行。

备注

Cortex-M4F 处理器是一种 Cortex-M4 处理器，包含可选的浮点单元 (FPU) 扩展。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *Cortex-M4F 子系统* 一节。

7.3 加速器和协处理器

7.3.1 图形处理单元 (GPU)

GPU 是区域优化型图形内核，支持 OpenGL ES 3.1 和 Vulkan 1.2。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *图形处理单元* 一节。

7.3.2 可编程实时单元子系统 (PRUSS)

PRUSS 包括：

- 两个 32 位加载/存储 RISC CPU 内核 - 可编程实时单元 (PRU0 和 PRU1)
- 每个 PRU 内核的数据 RAM (DRAM)
- 每个 PRU 内核的指令 RAM (IRAM)
- 共享 RAM (SRAM)
- 外设模块：UART0、ECAP0、IEP0、MDIO
- 每个内核的中断控制器 (INTC)

PRU 内核是使用一个小型确定性指令集进行编程的。每个 PRU 可以独立运行或相互协调，也可以与器件级主机 CPU 协调工作。处理器之间的这种交互是由加载到 PRU 指令存储器中的固件的性质决定的。

凭借 PRU 内核的可编程特性及其对引脚、事件和所有器件资源的访问权限，该子系统可以灵活地实现快速实时响应、专用数据处理操作以及定制外设接口，并灵活地减轻器件其他处理器内核的任务负载。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *可编程实时单元子系统* 一节。

7.4 其他子系统

7.4.1 双时钟比较器 (DCC)

双时钟比较器 (DCC) 用于确定应用程序执行期间时钟信号的精度。具体而言，DCC 旨在检测相对于预期时钟频率的漂移。可以根据每个应用程序的计算结果对所需精度进行编程。DCC 使用另一个输入时钟作为基准来测量可选时钟源的频率。

有关更多信息，请参阅器件 TRM 的外设一章中的 *双时钟比较器* 一节。

7.4.2 数据移动子系统 (DMSS)

DMSS 模块提供数据移动 (DMA) 功能，并在交叉开关模块 CBASS 交换互连与器件上的分组流架构 (片上网络) 之间起到桥接作用。

数据移动子系统 (DMSS) 由 DMA/队列管理组件和外设组成：

- 数据包 DMA (PKTDMA)
- 块复制 DMA (BCDMA)
- 环形加速器
- 数据包流接口 (PSILSS)
- 基础设施元件，如 CBASS、安全代理和中断聚合器

有关更多信息，请参阅器件 TRM 的外设章节中的 *数据移动架构概述* 一节。

7.4.3 存储器循环冗余校验 (MCRC)

VBUSM CRC 控制器是一个用于执行 CRC (循环冗余校验) 以验证存储系统完整性的模块。当存储器中的内容被读入 MCRC 控制器时，一个信号代表得到了内存内容。MCRC 控制器的职责是为了一组数据计算信号，然后把计算过的信号与预先确定的良好的信号值相比较。MCRC 控制器提供四个通道对多个存储器并行执行 CRC 计算，并且可以在任何存储器系统上使用。

有关更多信息，请参阅器件 TRM 中外设一章的 *存储器循环冗余校验* 部分。

7.4.4 外设 DMA 控制器 (PDMA)

外设 DMA 是一种简单的 DMA，其架构专为满足外设的数据传输需求而设计，外设使用通过标准非相干总线结构访问的存储器映射寄存器 (MMR) 来执行数据传输。PDMA 模块靠近一个或多个需要外部 DMA 进行数据移动的外设，。

PDMA 仅负责执行与外设本身交互的数据移动事务。从给定外设读取的数据由 PDMA 源通道打包到 PSI-L 数据流中，然后将其发送到远程对等 DMSS 目标通道，然后由该通道将数据移动到存储器中。同样，远程 DMSS 源通道从存储器中获取数据，并通过 PSI-L 将其传输到对等 PDMA 目标通道，然后由 PSI-L 执行对外设的写入操作。

PDMA 架构特意采用异构结构 (DMSS + PDMA)，以适当调整系统中每个点的数据传输复杂性，以满足传入或传出的任何内容的要求。外设通常基于 FIFO，不需要超出其 FIFO 尺寸要求的多维传输，因此 PDMA 传输引擎保持简单，仅具有几个维度 (通常用于样本大小和 FIFO 深度)、硬编码地址映射和简单的触发功能。

PDMA 内提供多个源通道和目标通道，允许同时进行多个传输操作。DMA 控制器维护每个通道的状态信息，并在通道之间采用轮询调度以共享底层 DMA 硬件。

每个支持 PDMA 的外设均配有专用状态机，用于跟踪该外设的数据发送与接收过程。

有关更多信息，请参阅器件 TRM 的外设章节中的 *数据移动架构概述* 一节。

7.4.5 实时时钟 (RTC)

RTC 的基本用途是记录一天中的时间。RTC 的另一个同样重要的用途是数字版权管理。需要某种程度的防篡改，以确保简单地停止、复位或损坏 RTC 不会被忽视，以便在发生这种情况时应用程序可以从可信来源重新获取一天中的时间。

有关更多信息，请参阅器件 TRM 的外设一章中的实时时钟一节。

7.5 外设

7.5.1 千兆位以太网交换机 (CPSW3G)

3 端口千兆位以太网交换机 (CPSW3G) 子系统为器件提供以太网数据包通信，并可配置为以太网交换机。它支持两个具有可选 RGMII 和 RMII 接口的外部 10/100/1000Mbps 以太网端口以及一个内部通信端口编程接口 (CPPI) 端口。

有关更多信息，请参阅器件 TRM 的外设一章中的 *千兆位以太网交换机* 一节。

7.5.2 摄像头串行接口接收器 (CSI_RX_IF)

通过集成 CSI_RX_IF 模块，器件可以将视频输入从多个摄像头流式传输到内部存储器。

有关更多信息，请参阅器件 TRM 的外设一章中的 *摄像头串行接口接收器* 一节。

7.5.3 DDR 子系统 (DDRSS)

DDRSS0 支持 LPDDR4 和 DDR4 内存类型，运行速率高达 1600MT/s，采用 16 位总线和内联 ECC 功能，可寻址容量高达 4GB (LPDDR4) 与 8GB (DDR4)。它具有 128 位系统接口、高级调度和刷新控制、完全命令一致性以及符合 JEDEC 标准的低功耗模式，可在工作温度范围内实现高效、可靠的运行。

有关更多信息，请参阅器件 TRM 的外设一章中的 *DDR 子系统* 一节。

7.5.4 显示子系统 (DSS)

显示子系统 (DSS) 是灵活的多流水线子系统，支持高分辨率显示输出。DSS 包括输入流水线，提供具有透明度的多层混合，以实现动态合成。支持各种像素处理功能，例如颜色空间转换和缩放等。DSS 包括一个 DMA 引擎，允许直接访问帧缓冲区（器件系统内存）。显示输出可以无缝连接到开放式 LVDS 显示接口发送器 (OLDITX)，或者可以作为显示并行接口 (DPI) 直接驱动器件焊盘。

有关更多信息，请参阅器件 TRM 的外设一章中的 *显示子系统* 一节。

7.5.5 增强型捕获 (ECAP)

增强型捕获 (ECAP) 模块是一款时序外设，旨在精准捕获并测量外部信号特性，如信号周期、频率、占空比或脉冲宽度。ECAP 模块借助 32 位时间戳计数器及最多四个 32 位捕获寄存器进行工作。捕获到的数值可用于计算时序间隔、生成中断信号或触发其他外设动作。

该模块可在任一捕获事件发生时生成中断，支持绝对时间捕获与增量时间戳捕获两种模式，允许为每个捕获事件配置可编程边沿极性；且在不适用于捕获功能时，可在辅助脉宽调制 (APWM) 模式下运行，生成 PWM 输出信号。ECAP 还支持单次捕获模式与连续捕获模式：单次捕获模式最多可捕获四个时间戳事件，连续捕获模式则将时间戳存储在深度为四的循环缓冲区中。

这些功能使 ECAP 模块适用于速度测量、位置检测及精确输入信号监控控制等应用场景。

有关更多信息，请参阅器件 TRM 的外设一章中的 *增强型捕获 (ECAP) 模块* 一节。

7.5.6 错误定位器模块 (ELM)

错误定位模块 (ELM) 与通用存储器控制器 (GPMC) 配合工作，可支持 NAND 闪存的错误检测和校正。它使用 Bose - Chaudhuri - Hocquenghem (BCH) 算法处理 NAND 页读取期间生成的伴随多项式，以识别数据块内的错误位置。ELM 支持每个 512 字节块的 4 位、8 位和 16 位纠错，完成时会生成中断，并基于寄存器访问错误计数和位置数据。

有关更多信息，请参阅器件 TRM 的外设一章中的 *错误定位模块 (ELM)* 一节。

7.5.7 增强型脉宽调制 (EPWM)

增强型脉宽调制 (EPWM) 模块是一种高度灵活的基于定时器的外设，用于为电机控制、数字电源和通用定时应用生成精确的脉宽调制波形。

EPWM 模块支持可编程周期、占空比与相位控制，同时具备多项特性：可生成带独立上升沿和下降沿延迟控制的死区信号、提供用于故障处理的跳变区输入、配备用于与其他 EPWM 模块同步的时基同步输入/输出信号，还能生成事件以触发 CPU 中断和 ADC 转换，进而实现控制环路与波形生成之间的精确同步。

该模块的其他功能包括：通过高频载波信号实现 PWM 斩波，以降低 EMI 并提升信号质量；具备可编程事件分频功能，可对 PWM 事件触发动作的频率进行精细化控制。

有关更多信息，请参阅器件 TRM 的外设章节中的 *增强型脉宽调制 (EPWM)* 一节。

7.5.8 错误信令模块 (ESM)

错误信令模块 (ESM) 将整个器件中的事件和/或错误聚合到一个位置。它可以向处理器发出低优先级和高优先级中断信号，以处理事件和/或操纵 I/O 错误引脚，向外部硬件发出已发生错误的信号。因此，外部控制器能够使器件复位或使系统保持在安全、已知的状态。

有关更多信息，请参阅器件 TRM 的外设一章中的 *错误信令模块* 一节。

7.5.9 增强型正交编码器脉冲 (EQEP)

增强型正交编码器脉冲 (EQEP) 外设用于与旋转编码器或线性编码器输出的正交编码信号连接，广泛应用于高性能运动与位置控制系统，可提供精确的位置、方向及速度信息。

EQEP 模块支持 A 相和 B 相信号的解码，且支持用于绝对位置基准的索引信号 (QEPI)。

32 位 EQEP 模块具有用于位置测量的位置计数器和控制单元（带可编程复位功能）、用于低速测量的正交边沿捕获单元、用于实时速度测量的单位时基，以及用于检测编码器活动丢失的看门狗定时器。EQEP 模块还会在比较事件、溢出/下溢事件及索引事件发生时生成中断，支持灵活的运动控制算法。

有关更多信息，请参阅器件 TRM 的外设一章中的 *增强型正交编码器脉冲 (EQEP)* 一节。

7.5.10 通用接口 (GPIO)

通用输入/输出 (GPIO) 外设提供专用的通用引脚，可以配置为输入或输出。当配置为输出时，用户可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，用户可以通过读取内部寄存器的状态来获取输入的状态。

一个 GPIO 模块最多支持 144 个专用信号，这些信号分为 9 个组，每组最多包含 16 个 GPIO 信号。

每个包含 16 个 GPIO 信号的组，其中断生成功能都可以被独立使能。对于每个支持中断的 GPIO 信号，可指定由上升沿和/或下降沿触发中断。

此外，GPIO 外设可在不同的事件生成模式下产生 DMA 同步事件。同时，GPIO 信号还支持置位/清零功能。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用接口* 一节。

7.5.11 通用存储器控制器 (GPMC)

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式（仅在非多路复用模式下可用）突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用存储器控制器* 一节。

7.5.12 全局时基计数器 (GTC)

GTC 模块是一款 64 位自由运行的递增计数器，符合 Arm®v8 系统计数器规范；当使用完整的 64 位计数器时，在器件使用寿命内不会发生溢出，且支持将可选择的计数器位输出作为推送事件。

GTC 在所有内核和外设之间提供统一的时间基准，确保时间戳记录和同步的一致性。

有关更多信息，请参阅器件 TRM 的外设一章中的 *全局时基计数器* 一节。

7.5.13 内部集成电路 (I2C)

集成电路 (I2C) 控制器提供本地主机 (LH) (例如 Arm) 与任何通过 I²C 串行总线连接的 I²C 总线兼容设备之间的接口。连接到 I²C 总线的外部设备可以通过 2 线 I²C 接口以串行方式向 LH 设备发送和从其接收高达 8 位的数据。

每个多控制器 I²C 模块均可配置为充当目标或控制器 I²C 兼容器件。

I²C 实例可以使用 I²C 兼容漏极开路 I/O 缓冲器来实现，或使用标准推挽 I/O 缓冲器来实现。与 I²C 漏极开路 I/O 缓冲器关联的 I²C 实例可以支持 HS 模式 (在 1.8V 电压下运行时数据速率高达 3.4Mbps，在 3.3V 电压下运行时数据速率限制为 400kbps)。

与标准推挽 I/O 缓冲器关联的 I²C 实例可以支持快速模式 (数据速率高达 400kbps)。这些端口上使用的推挽 I/O 缓冲器的连接方式可以对漏极开路输出进行仿真。该仿真通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。

有关更多信息，请参阅器件 TRM 的外设一章中的 *集成电路总线* 一节。

7.5.14 模块化控制器局域网 (MCAN)

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高安全性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力以及自诊断和修复数据错误的能力。在 CAN 网络中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存，不会发生任何冲突。

CAN 和 CAN FD 器件需通过 (相对于本器件而言的) 外部收发器，连接至 CAN 网络的物理层。每个 MCAN 模块均支持超过 1Mbps 的灵活比特率，且符合 ISO 11898-1:2015 标准。

有关更多信息，请参阅器件 TRM 的外设一章中的 *模块化控制器局域网 (MCAN)* 一节。

7.5.15 多通道音频串行端口 (MCASP)

MCASP 作为通用音频串行端口的功能针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

尽管 MCASP 模块本身不支持元件间数字音频接口接收 (DIR) 模式 (即 S/PDIF 流接收)，但 MCASP 接收器的特定 TDM 模式实现允许轻松连接到外部 DIR 元件 (例如，S/PDIF 到 I2S 格式转换器)。

有关更多信息，请参阅器件 TRM 的外设一章中的 *多通道音频串行端口* 一节。

7.5.16 多通道串行外设接口 (MCSPI)

MCSPI 是一款增强型 SPI 模块，支持多通道收发通信，且可在控制器模式与外设模式下运行。在控制器模式下，该模块最多可与四个通道连接；而在外设模式下，仅支持单个通道。

每个通道均支持两个独立的 DMA 请求 (一个用于读取，一个用于写入) 和一个中断，以实现高效数据传输；配备可编程起始位 (末次输出停止起始插入，LOSSI 模式)，以确保多通道通信中的正确成帧与同步；内置 FIFO 缓冲区，提升数据吞吐量与字访问效率；串行时钟的频率、极性与相位均支持可编程配置。

MCSPI 模块支持 SPI 字长配置，配置范围为 4 位至 32 位。此外，该模块还支持可编程移位操作，以及片选信号与外部时钟生成之间的时序控制。

有关更多信息，请参阅器件 TRM 的外设一章中的 *多通道串行外设接口* 一节。

7.5.17 多媒体卡安全数字 (MMCSD)

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMC/SD 控制器在传输层处理 MMC/SD/SDIO 协议，具体包括数据打包、添加 CRC、添加起始/结束位，以及语法正确性检查。

MMCSD 主机控制器已实现为 4 位子系统与 8 位子系统。4 位子系统支持符合 SD 物理层规范 v3.01 的可插拔 SD 卡，以及符合 SDIO 规范 v3.00 的嵌入式 SDIO 设备。8 位子系统支持符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51) 的 eMMC 设备，以及符合 SDIO 规范 v3.00 的嵌入式 SDIO 设备。

有关更多信息，请参阅器件 TRM 的外设章节中的 *多媒体卡安全数字 (MMCSD) 接口* 一节。

7.5.18 八进制串行外设接口 (OSPI)

八通道串行外设接口 (OSPI) 模块是一款 SPI 模块，支持以单通道、双通道、四通道或八通道方式读写外部闪存设备，且支持双倍数据速率 (DDR) 或单倍数据速率 (SDR)。该模块具有存储器映射寄存器接口，可提供直接存储器接口用于从外部闪存器件访问数据，从而简化软件要求。

该模块支持 DDR 和 DTR 协议 (包括带 DQS 的八通道 DDR)、XIP (连续模式)、可编程器件大小和延迟以及写保护区域。其他特性包括双向 CRC、ECC 错误处理、可编程中断生成，以及用于连续寻址与设备边界检测的可编程数据解码器。

有关更多信息，请参阅器件 TRM 的外设一章中的 *八路串行外设接口 (OSPI)* 一节。

7.5.19 计时器

通用计时器 (计时器) 是一个 32 位模块，支持用于周期性事件生成的计时器模式、用于外部事件精确时间戳处理的捕获模式和用于基于匹配的中断的比较模式。计时器模块支持级联两个 32 位计时器以形成一个 64 位计数器。

计时器包含一个自由运行的向上计数器，具有溢出时自动重新加载功能，可以在计数时动态读取和写入。计时器支持在发生溢出、比较和捕获事件时生成中断。所有内部计时器中断源都合并到一条模块中断线路和一条唤醒线路中，并且可以独立启用或禁用每个内部中断源。

计时器模块可使用 32768Hz 功能时钟生成 1ms 节拍。

有关更多信息，请参阅器件 TRM 的外设一章中的 *计时器* 一节。

7.5.20 通用异步收发器 (UART)

UART 是一种利用 DMA 通过主机 CPU 进行数据传输或中断轮询的外设。当使用 48MHz 功能时钟时，所有 UART 模块都支持 IrDA 和 CIR 模式。每个 UART 均可用于配置和与多个外部外围器件的数据交换或器件之间的处理器间通信。

UART 模块支持高达 3.6Mbps 的高速通信，收发均配备 64 字节 FIFO 缓冲区，还包含自动流控制、可配置数据格式、睡眠模式和扩展调制解调器控制信号等高级特性。该模块还支持可编程中断级别、自动波特率检测以及用于测试的内部回环功能。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用同步/异步接收器/发送器* 一节。

7.5.21 通用串行总线子系统 (USBSS)

通用串行总线子系统 (USBSS) 通过实现 USB 设备之间的数据传输机制，为众多消费类便携式设备提供连接解决方案。

USBSS 具有双角色器件 (DRD) 功能，能够在高速 (480Mbps)、全速 (12Mbps) 或低速 (1.5Mbps) 的主机模式下运行，以及高速 (480Mbps) 或全速 (12Mbps) 的外设模式下运行，可提供灵活的操作和集成的 VBUS 检测。该子系统符合 xHCI 1.1 规范，以实现主机控制器接口的兼容性。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用串行总线子系统 (USBSS)* 一节。

8 应用、实现和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 器件连接和布局基本准则

8.1.1 电源

8.1.1.1 电源设计

建议将 [TPS65219](#) 电源管理 IC (PMIC) 用于集成式 AM62x 电源解决方案。这一经过成本和空间优化的解决方案旨在为 AM62 处理器及其主要外设供电。有关完整的应用手册和运行详细信息，请参阅[使用 TPS65219 PMIC 为 AM62x 供电](#)

使用 TPS65219 PMIC 为 AM62x 供电时的优势列表：

- TI 评估板上经验证的完整器件性能授权
- 出厂编程配置支持电源轨负载阶跃、电源电压精度和最大负载电流（带裕度）
- 出厂编程配置支持 LPDDR4 和 DDR4 存储器
- 符合所有 AM62x 电压和时序要求，请参阅[节 6.5 建议运行条件](#)和[节 6.12.2.2 电源时序](#)

8.1.1.2 配电网络实施指南

[Sitara 处理器配电网络：实施与分析](#) 为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

8.1.2 外部振荡器

有关外部振荡器的更多信息，请参阅[时钟规格](#)一节。

8.1.3 JTAG、仿真和跟踪

德州仪器 (TI) 支持各种扩展开发系统 (XDS™) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。[XDS 目标连接指南](#)中提供了有关此信息的摘要。

有关 JTAG、仿真和跟踪布线的建议，请参阅[仿真和跟踪接头技术参考手册](#)

8.1.4 未使用的引脚

有关未使用的引脚的更多信息，请参阅[节 5.4 引脚连接要求](#)

8.2 外设和接口的相关设计信息

8.2.1 DDR 电路板设计和布局布线指南

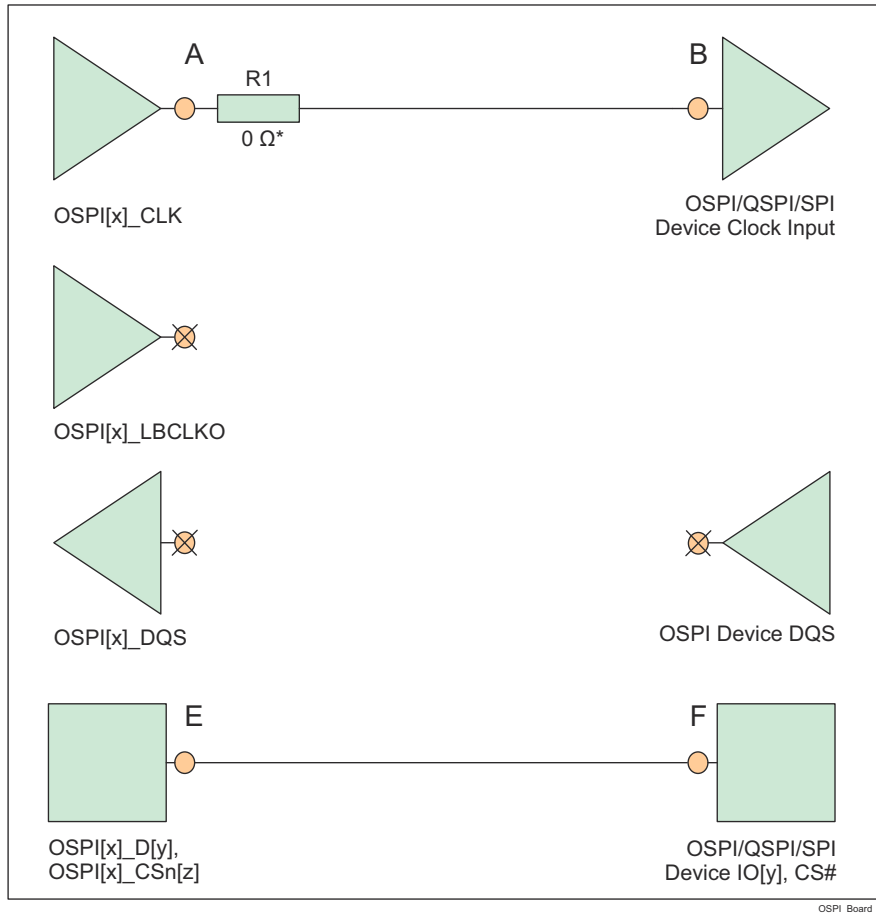
AM62x DDR 电路板设计和布局布线指南旨在为所有设计人员简化 DDR 系统的实现，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中指导原则且使用 DDR4 或 LPDDR4 存储器的电路板设计。

8.2.2 OSPI/QSPI/SPI 电路板设计和布局指南

以下部分详细介绍了在连接 OSPI、QSPI 或 SPI 器件时必须遵守的 PCB 布线指南。

8.2.2.1 无环回、内部 PHY 环回和内部焊盘环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 从 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟必须 $\leq 450\text{ps}$ (带状线约为 7cm, 微带线约为 8cm)
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F, 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用, 如图 8-1 所示
- 传播延迟和匹配:
 - (A 到 B) $\leq 450\text{ps}$
 - (E 到 F, 或 F 到 E) = (A 到 B) $\pm 60\text{ps}$



* 尽可能靠近 OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位元件。

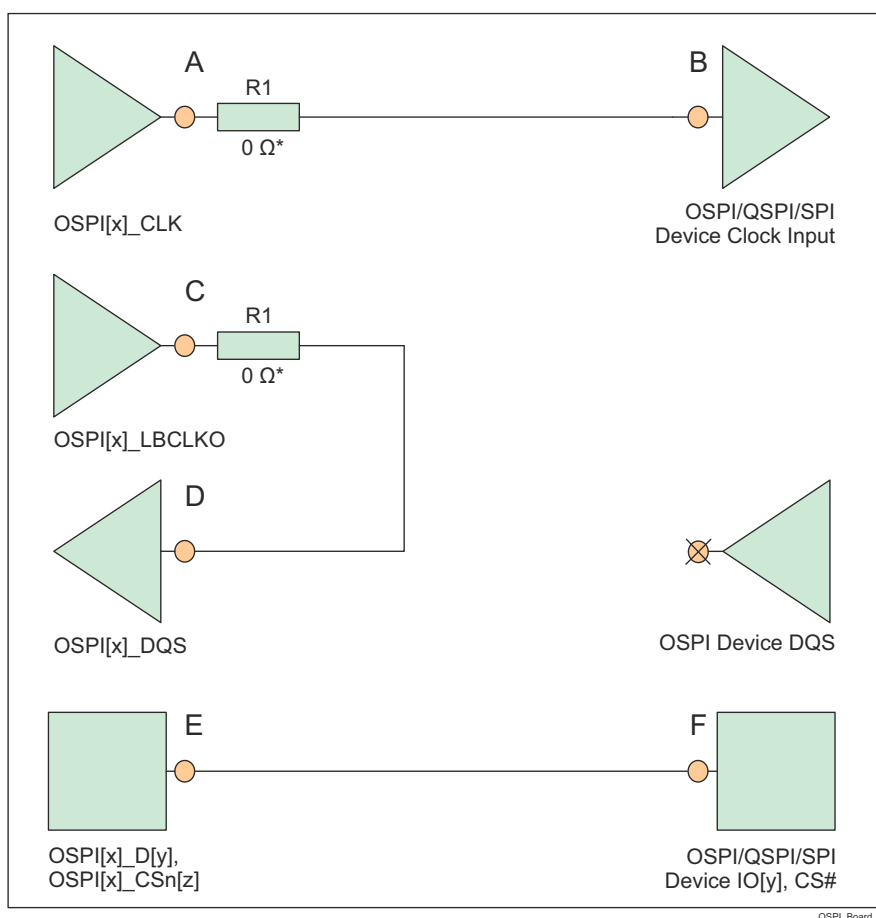
图 8-1. 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图

8.2.2.2 外部电路板环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- OSPI[x]_LBCLKO 输出引脚必须环回 OSPI[x]_DQS 输入引脚
- OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚 (C 到 D) 的信号传播延迟必须大约是 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的传播延迟的两倍
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F, 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50 Ω PCB 布线与串联端接一起使用, 如图 8-2 所示
- 传播延迟和匹配:
 - (C 到 D) = $2 \times ((A \text{ 到 } B) \pm 30\text{ps})$, 请参阅下面的例外说明。
 - (E 到 F, 或 F 到 E) = $((A \text{ 到 } B) \pm 60\text{ps})$

备注

外部板环回保持时间要求 (由 *OSPI0 时序要求 - PHY DDR 模式* 一节中的编号为 O16 的参数定义) 可能大于典型 OSPI/QSPI/SPI 器件提供的保持时间。在这种情况下, 可以减少 OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚 (C 到 D) 的传播延迟, 以提供额外的保持时间。

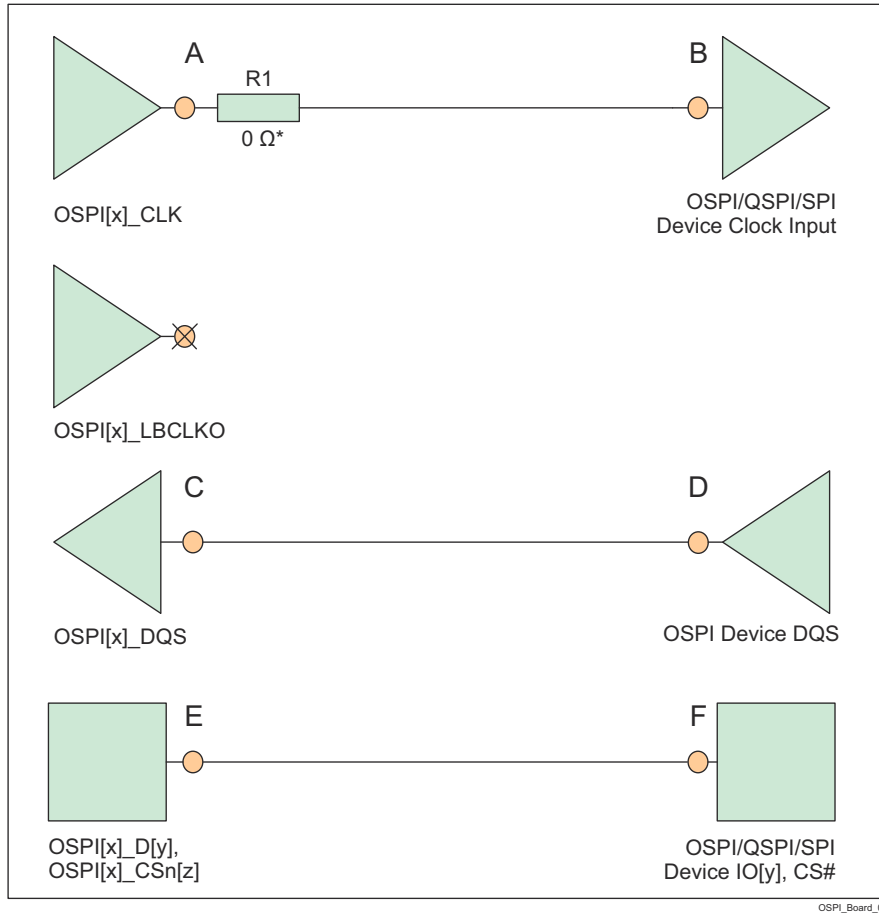


* 0 Ω 电阻器 (R1) 尽可能靠近 OSPI[x]_CLK 和 OSPI[x]_LBCLKO 引脚, 是用于微调 (如果需要) 的占位元件。

图 8-2. 外部板环回的 OSPI 连接原理图

8.2.2.3 DQS (仅适用于八路 SPI 器件)

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 所连接 OSPI/QSPI/SPI 器件的 DQS 引脚必须连接到 OSPI[x]_DQS 引脚
- 从所连接 OSPI/QSPI/SPI 器件 DQS 引脚到 OSPI[x]_DQS 引脚 (D 到 C) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 至 B) 的信号传播延迟
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F, 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50 Ω PCB 布线与串联端接一起使用, 如图 8-3 所示
- 传播延迟和匹配:
 - (D 至 C) = (A 至 B) ± 30ps
 - (E 到 F, 或 F 到 E) = (A 到 B) ± 60ps



* 尽可能靠近 OSPI[x]_CLK 引脚的 0 Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位符。

图 8-3. DQS 的 OSPI 连接原理图

8.2.3 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些汽车应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压（如图 8-4 所示），这限制了施加到实际器件引脚 (USB0_VBUS) 的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。

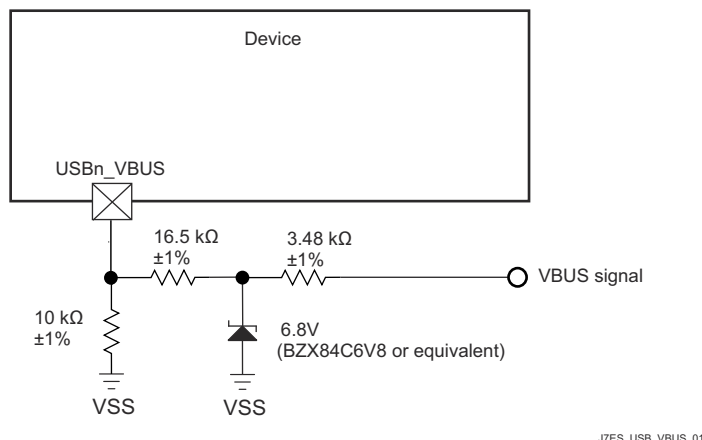


图 8-4. USB VBUS 检测分压器/钳位电路

USB0_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 8-4 中的外部电路会限制实际器件引脚的输入电流。

8.2.4 系统电源监测设计指南

VMON_VSYS 引脚提供了一种监测系统电源的方法。该系统电源通常是用于整个系统的单个预稳压电源，可通过外部电阻分压器电路连接到 VMON_VSYS 引脚。通过将外部分压器输出电压与内部电压基准进行比较来监控该系统电源，当施加到 VMON_VSYS 的电压降至内部基准电压以下时，将触发电源故障事件。在选择用于实现外部电阻分压器电路的元件值时，系统设计人员可确定实际系统电源电压跳闸点。

在设计电阻分压器电路时，设计人员必须了解导致系统电源监测跳闸点可变性的各种因素。首先要考虑的是 VMON_VSYS 输入阈值的初始精度，其标称值为 0.45V，变化为 ±3%。建议使用具有相似热系数的精度为 1% 的电阻器来实现电阻分压器。这可更大程度地减小电阻值容差导致的可变性。还必须考虑与 VMON_VSYS 相关的输入漏电流，因为任何流入引脚的电流都会在分压器输出上产生负载误差。当施加 0.45V 电压时，VMON_VSYS 输入漏电流范围为 10nA 至 2.5μA。

备注

电阻分压器的设计应确保在正常运行条件下，输出电压绝不超过 *建议运行条件* 部分中定义的最大值。

图 8-5 给出了一个示例，其中系统电源的标称电压为 5V，最大触发阈值为 5V - 10% 或 4.5V。

对于此示例，设计人员必须在选择电阻器值时了解哪些变量会影响最大触发阈值。在尝试设计一个在系统电源下降 10% 之前不会跳闸的分压器时，需要考虑 VMON_VSYS 输入阈值为 0.45V + 3% 的器件。还需要考虑电阻器容差和输入泄漏的影响，但对最大触发点的影响并不明显。在选择会产生最大触发电压的元件值时，系统设计人员必须考虑以下情况：R1 的值为 1% 低、R2 的值为 1% 高，再加上 VMON_VSYS 引脚的输入漏电流为 2.5μA。当采用 R1 = 4.81KΩ 且 R2 = 40.2KΩ 的电阻分压器时，产生的最大触发阈值为 4.517V。

一旦选择了满足上述最大触发电压的元件值，系统设计人员就可以通过计算施加的电压来确定最小触发电压，该电压可在 R1 的值为 1% 高、R2 的值为 1% 低且输入漏电流为 10nA 或零时产生 0.45V - 3% 的输出电压。使用零输入漏电流和上面给出的电阻器值，结果为最小触发阈值 4.013V。

该示例演示了一个范围为 4.013V 至 4.517V 的系统电源电压跳闸点。当 VMON_VSYS 输入漏电流为 2.5 μ A 时，该范围中约 250mV 是通过 $\pm 3\%$ 的 VMON_VSYS 输入阈值精度引入的，约 150mV 是通过 $\pm 1\%$ 的电阻容差引入的，约 100mV 是通过负载误差引入的。

当系统电源为 4.5V 时，该示例中选择的电阻值会通过电阻分压器产生大约 100 μ A 的偏置电流。通过将流经电阻分压器的偏置电流增大至大约 1mA，可将上述 100mV 的负载误差降低至大约 10mV。因此，系统设计人员在选择元件值时需要考虑电阻分压器偏置电流与负载误差之间的关系。

由于 VMON_VSYS 具有极小的迟滞和对瞬态的高带宽响应，系统设计人员还必须考虑在分压器输出端实现噪声滤波器。这可通过在 R1 上安装一个电容器来实现，如图 8-5 所示。然而，系统设计人员必须根据系统电源噪声和对瞬态事件的预期响应来确定此滤波器的响应时间。

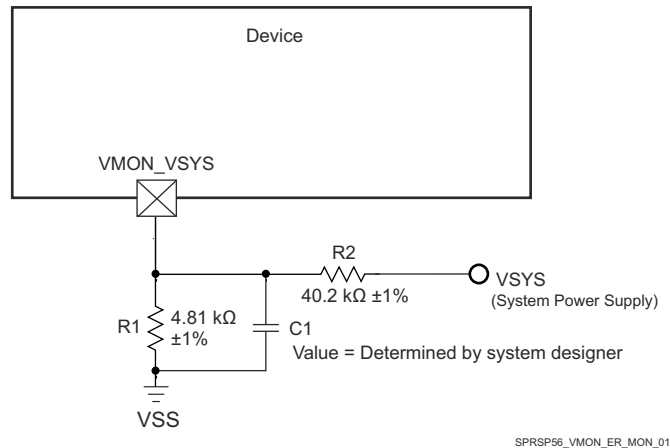


图 8-5. 系统电源监测分压器电路

VMON_1P8_SOC 引脚提供了一种监控外部 1.8V 电源的方法。该引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

VMON_3P3_SOC 引脚提供了一种监控外部 3.3V 电源的方法。该引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

8.2.5 高速差分信号布线指南

高速接口布局布线指南提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用手册中所包含的电路板设计指南的设计。

8.2.6 散热解决方案指导

DSP 和 ARM 应用处理器热设计指南为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用手册中所包含的系统设计指南的设计。

8.3 时钟布线指南

8.3.1 振荡器路由

在设计印刷电路板时：

- 将所有晶体电路元件尽可能靠近相应的器件引脚放置。
- 在 PCB 的外层布置晶体电路布线，并尽量缩短布线长度，以减少寄生电容并尽可能减少其他信号的串扰。
- 在 PCB 的相邻层上放置一个连续的接地平面，使其位于所有晶体电路元件和晶体电路布线的下方。
- 在晶体电路元件周围布置接地防护，以屏蔽在与晶体电路布线布置在同一层上的所有相邻信号。插入多个过孔以拼接地防护，使其没有任何末端接残桩。
- 在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间布置接地防护，以使 MCU_OSC0_XO 信号和 MCU_OSC0_XI 信号相互屏蔽。插入多个过孔以拼接地防护，使其没有任何末端接残桩。
- 如果在 PCB 的不同层上单独实现，则将所有晶体电路接地连接和接地防护连接直接连接到相邻层的接地平面和器件的 VSS 接地平面。

备注

在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间实现接地防护对于尽可能减小两个信号之间的分流电容至关重要。在这两个信号间不存在接地防护的情况下，将这两个信号彼此相邻布置会有效地降低振荡器放大器的增益，进而降低其启动振荡的能力。

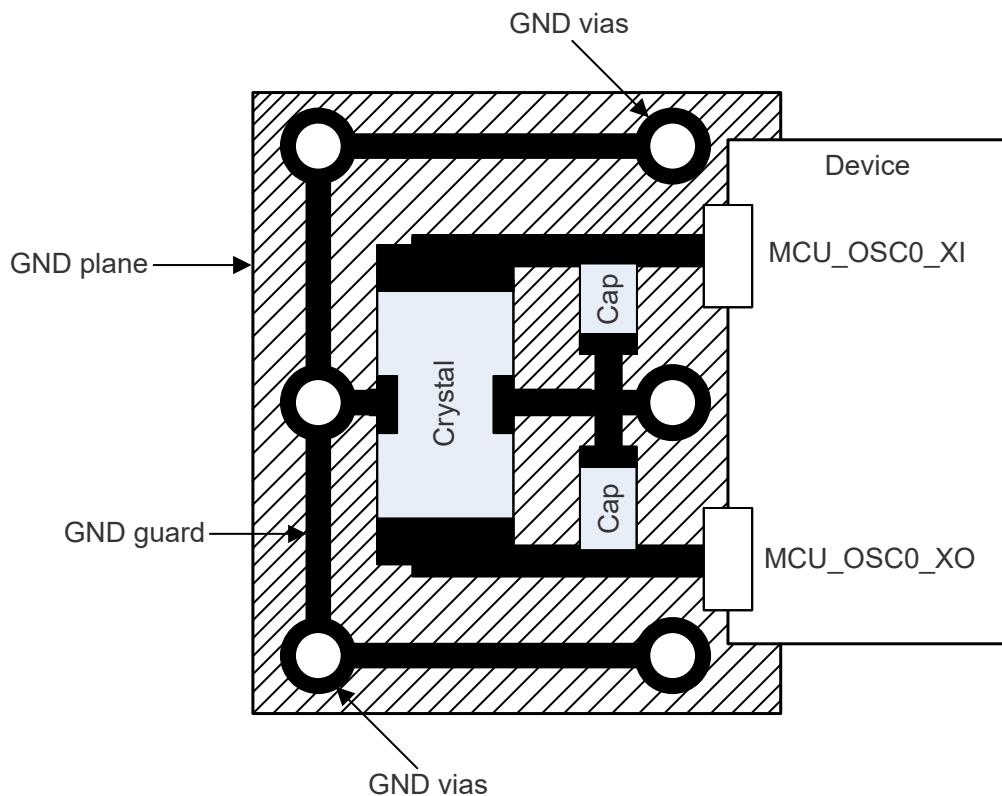


图 8-6. MCU_OSC0 PCB 要求

9 器件和文档支持

9.1 器件命名规则

为了指出产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，AM6254ATCGGAALW)。德州仪器 (TI) 为相关支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

- X** 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。
- P** 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。
- null (空白)** 完全符合要求并且符合最终电气规格的芯片模型的生产版本。

支持工具开发演变流程：

- TMDX** 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。
- TMDS** 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 ALW 或 AMC 封装类型的 AM62x 器件的可订购器件型号，请参阅本文档末尾的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

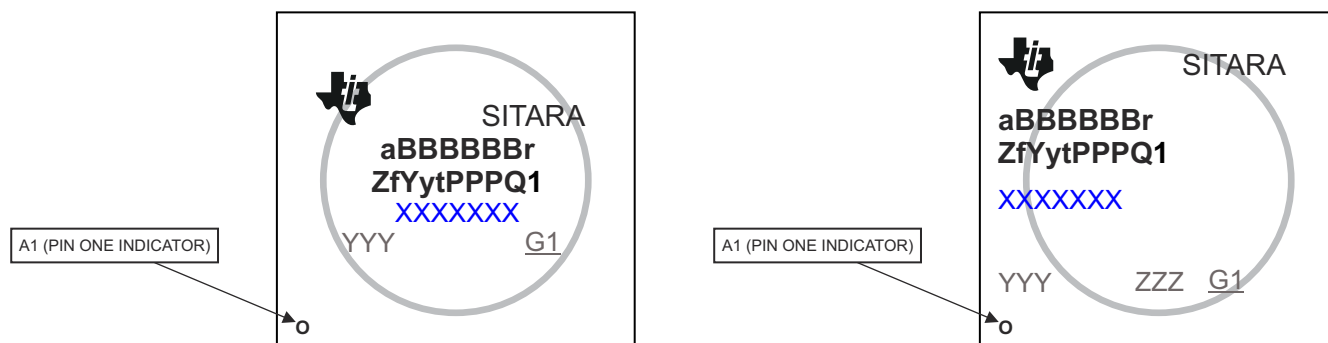


图 9-1. 印刷器件参考

9.1.2 器件命名约定

字段参数	字段说明	值	说明
a	器件演变阶段	X	原型
		P	预量产 (生产测试流程, 无可靠性数据)
		空白 ⁽¹⁾	量产
BBBBBB	基本生产器件型号	AM6254	请参阅表 4-1 “器件比较”
		AM6252	
		AM6251	
		AM6234	
		AM6232	
		AM6231	
		AM6204	
		AM6202	
		AM6201	
r	器件修订版本	A	SR1.0
		B	SR1.1
Z	器件速度等级	G	请参阅表 6-1 “器件速度等级”
		K	
		S	
		T	
f	功能 (请参阅表 4-1)	G	基本, 无额外特性
		C	基本, 加上启用的 PRU 子系统 (PRUSS)
Y	功能安全	G	非功能安全
		F	功能安全
y	安全性	G	非安全
		其他	安全
t	温度 ⁽²⁾	A	-40°C 至 105°C - 扩展工业级 (请参阅节 6.5 建议运行条件)
		H	0°C 至 95°C - 商用级 (请参阅节 6.5 建议运行条件)
		I	- 40°C 至 125°C - 汽车 (请参阅节 6.5 建议运行条件)
PPP	封装符号	ALW	FCCSP BGA (425 引脚)
		AMC	FCBGA (441 引脚)
Q1	汽车符号	Q1	符合汽车标准 (AEC - Q100)
		空白 ⁽¹⁾	标准
xxxxxxx	批次追踪代码 (LTC)		
YYY	生产代码; 仅供 TI 使用		
ZZZ	生产代码; 仅供 TI 使用		
O	引脚 1 符号		
G1	ECAT - 环保封装符号		

(1) 符号或器件型号中的空白将折叠显示, 以防字符间存在间隙。

(2) 适用于器件最高结温。

9.2 工具与软件

以下开发工具支持针对 TI 嵌入式处理平台进行开发：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。该工具包含优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试程序、分析器以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse® 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig 工具 系统配置工具提供可简化器件配置的图形用户界面 (GUI)。该工具旨在简化硬件和软件配置挑战，从而加速软件开发。SysConfig 可作为 Code Composer Studio™ 集成开发环境的一部分以及作为独立应用提供。此外，可以通过访问 [TI 开发人员专区](#)，在云中运行 SysConfig。

SysConfig 支持开发人员配置引脚、外设和其他元件，并自动检测、提示和解决冲突，从而加快软件开发进程。此外，时钟树工具还提供了器件时钟连接的可视化实现。

SysConfig 工具可生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，使客户能够根据特定硬件要求配置其软件。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 AM62x 器件进行了介绍。

技术参考手册

AM62x Sitara 处理器技术参考手册：详述了 AM62x 系列器件中每个外设和子系统的集成、环境、功能说明和编程模型。

勘误

AM62x Sitara 处理器器件勘误表：说明了针对器件功能技术规格的已知例外情况。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.5 商标

MPCore™, Neon™, and CoreSight™ are trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

XDS™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of MIPI Alliance.

安全数字® and SD® are registered trademarks of SD Card Association.

Eclipse® is a registered trademark of Eclipse Foundation AISBL.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from JUNE 15, 2023 to OCTOBER 31, 2025 (from Revision B (JUNE 2023) to Revision C (OCTOBER 2025))

Page

• 通篇：删除了对工业功能安全的引用.....	1
• 通篇：更新了 10 个时序部分中的介绍性句子。.....	1
• (特性)：在“媒体和数据存储”中的多媒体卡/安全数字项目符号中添加了“/SDIO”.....	1
• (特性)：从“高速接口”中删除了“支持通过 USB 进行跟踪”要点.....	1
• 通篇：将“修订历史记录”部分移至文档的后面.....	1
• (说明)：删除了应用列表并更正了印刷错误.....	4
• (说明)：删除了描述封装选项的语句.....	4
• (封装信息)：为 AM625-Q1 和 AM620-Q1 添加了 13mm×13mm ALW 封装选项。.....	4
• (器件比较)：将器件中可用外部通用 I/O 的总数从 170 更新为 168.....	7
• (器件比较)：更新了 JTAG 用户 ID 寄存器的名称.....	7
• (器件比较)：将通用内存控制器说明中的“高达 1GB”更改为“高达 128MB”.....	7
• (器件比较)：将显示子系统说明中的“LVDS”更改为“OLDI (LVDS)”.....	7
• (器件比较)：添加了指示 GTC 支持的行.....	7
• (相关产品)：添加了产品链接以说明设计完成.....	8
• (ALW FCCSP 引脚图)：将图从底视图更改为了顶视图.....	9
• (AMC FCBGA 引脚图)：将图从底视图更改为了顶视图.....	9
• (EPWM0 信号说明)：更新了 EHRPWM0_SYNCO 说明.....	60
• (MMC2 信号说明)：添加了注释 2 到 MMC2_SDCD 和 MMC2_SDWP 信号.....	73
• (电源信号说明)：更新了与 CAP_VDDsx 引脚相关的表注，以阐明电容降额的必要性并介绍其他连接选项.....	74
• (电源信号说明)：更新了几个电源轨的说明以阐明其功能.....	74
• (MCU 系统信号说明)：更新了 MCU_PORz 信号功能的说明.....	81
• (UART1 信号说明)：更正了 UART1_DCDn 的说明.....	82
• (引脚连接要求)：更新了 MCU_I2C0 和 WKUP_I2C0 焊球的连接要求说明，以便在选择 GPIO 信号功能时连接外部下拉电阻器.....	86
• (连接要求)：更新了 CSI0 焊球的连接要求说明，明确了未使用全部四条通道时的连接要求.....	86
• (引脚连接要求)：更新了 VMON_3P3_SOC 连接要求.....	86
• (绝对最大额定值)：更新了几个电源轨的说明以阐明其功能.....	90
• (ESD 等级)：在 ESD 等级一节中，添加了符合 AEC-Q100 标准的器件的 ALW 转角引脚.....	92
• (建议运行条件)：更新了几个电源轨的说明以阐明其功能.....	93
• (I2C 开漏和失效防护电气特性)：向“输入漏电流”参数添加了表注.....	96
• (I2C 开漏和失效防护电气特性)：将输入漏电流测试条件拆分为两行.....	96
• (失效防护复位电气特性)：向“输入漏电流”参数添加了表注.....	97
• (失效防护复位电气特性)：将输入漏电流测试条件分为两行.....	97
• (高频振荡器电气特性)：向“输入漏电流”参数添加了表注.....	97
• (高频振荡器电气特性)：将输入漏电流测试条件分为两行.....	97
• (低频振荡器电气特性)：向“输入漏电流”参数添加了表注.....	97
• (低频振荡器电气特性)：将输入漏电流测试条件分为两行.....	97
• (SDIO 电气特性)：向“输入漏电流”参数添加了表注.....	98
• (SDIO 电气特性)：将输入漏电流测试条件分为两行.....	98
• (SDIO 电气特性)：更改了 VDDSHV5 电源轨名称(如适用，这些名称用于通过引用通用电源轨名称(VDD)来定义 $V_{IL}/V_{ILSS}/V_{IH}/V_{IHSS}/V_{OL}/V_{OH}$ 参数值)，并添加了相关的表注.....	98
• (LVCMOS 电气特性)：向“输入漏电流”参数添加了表注.....	99
• (LVCMOS 电气特性)：将输入漏电流测试条件分为两行.....	99

• (建议的 OTP 电子保险丝编程操作条件) : 删除了 VDD_CORE 参数说明中的 OPP NOM (BOOT) 引用, 并更改了 VPP 压摆率说明以阐明它仅适用于上电.....	101
• (对硬件保修的影响) : 更新/更改了段落中的“因此, TI 将没有...”句子.....	101
• (热阻特性) : 添加的注释.....	102
• (ALW 和 AMC 封装的热阻特性) : 更新了不符合 AEC-Q100 标准的 ALW 封装热参数值, 并添加了符合 AEC-Q100 标准的 ALW 封装热参数值.....	102
• (温度传感器特性) : 添加了新的一节来定义电压和温度模块 (VTM) 片上温度传感器特性.....	103
• (上电时序) : 添加了注释以阐明电源轨必须在启动新的上电序列之前衰减至 300mv 以下.....	107
• (上电时序) : 在“上电时序 — 电源/信号分配”表中向波形 C 添加了缺少的 VDDA_1P8_OLDIO 电源轨.....	107
• (下电时序) : 添加了注释以阐明电源轨必须在启动新的上电序列之前衰减至 300mv 以下.....	110
• (下电时序) : 在“下电时序 — 电源/信号分配”表中向波形 C 添加了缺少的 VDDA_1P8_OLDIO 电源轨.....	110
• (下电时序 - 电源/信号分配) : 将表注 4 中的 VDDSHV_CANUART 更改为 VDD_CANUART.....	110
• (下电时序) : 更新了下电序列图, 以便说明在关闭器件电源管理解决方案时系统电源保持开启的用例。还包括一个支持 IO 电源轨的斜降持续到最后一个内核电源轨斜降且可以在电源开始定序关闭之前将 MCU_PORz 置为有效的选项.....	110
• (复位时序条件) : 更改了 VDD = 1.8V 和 VDD = 3.3V 的输入压摆率最小值 (交换了原始值)	113
• (BOOTMODE 时序要求) : 更新了参数 RST23 和 RST24 的说明.....	113
• (输入时钟/振荡器) : 添加了 VOUT0_EXTCLKIN.....	121
• (MCU_OSC0 LVCMOS 数字时钟源) : 添加了其他注释和新的“MCU_OSC0 LVCMOS 数字时钟源要求”表.....	125
• (WKUP_LFOSC0 晶体电气特性) 包括一个新参数, 该参数定义了最大晶体频率稳定性和容差。.....	127
• (PLL) : 更新了 PLL 名称, 以便包含 TRM 中使用的编号参考.....	130
• (CPSW3G MDIO 时序) : 将最小建立时间值 (参数 MDIO1) 从“90”更改为“45”。还将最小和最大输出延迟时间值 (参数 MDIO7) 分别从“-150”和“150”更改为“-10”和“10”	132
• (CPSW3G MDIO 时序条件) : 添加了传播延迟和传播延迟不匹配时序参数.....	132
• (CPSW3G RMII 时序条件) : 更改了两个工作电压的最大输入压摆率.....	133
• (CPSW3G RGMII 时序条件) : 向“输入压摆率”参数添加了工作电压条件以便在 1.8V 下运行时实现宽松的压摆率.....	135
• (CPTS) : 更新了时序表下方所引用的 TRM 部分名称。.....	138
• (CSI-2) : 在注释中包含了一条注释以说明端口实例名称关系, 并删除了第一段, 因为该段不包含与时序和开关特性相关的任何信息.....	139
• (ECAP - 时序要求和开关特性) : 更新了表注 1 中引用的时钟源.....	143
• (EPWM - 时序要求和开关特性) : 更新了表注 1 中引用的时钟源.....	146
• (EQEP - 时序要求) : 更新了表注 1 中引用的时钟源.....	148
• (GPIO 时序条件) : 更新了“输入压摆率”参数以包含具有宽松最小值的工作电压, 并更正了在 3.3V 下运行的 I2C OD FS 缓冲器类型的最大值印刷错误。先前 0.8V/ns 的最大值应为 0.08V/ns, 以便其等于“电气特性”表中为 I2C OD FS 缓冲器定义的最大值 8E+7.....	149
• (GPIO 时序要求) : 删除了“模式”列中的电压条件, 并更改了最小值以适应“GPIO 时序条件”表中减小的最小输入压摆率值.....	149
• (GPMC 和 NOR 闪存时序要求 - 同步模式) : 删除了 GPMC_FCLK=100MHz 的列时序值及 GPMC_FCLK=133MHz 对应的 not_div_by_1_mode 时序值。简化了几个参数说明。此外删除了两条表注: 一条关于 GPMC_FCLK 选择的寄存器配置, 另一条关于 div_by_1_mode 的寄存器配置.....	150
• (GPMC 和 NOR 闪存开关特性 - 同步模式) : 删除了 GPMC_FCLK=100MHz 的列时序值及 GPMC_FCLK=133MHz 对应的 not_div_by_1_mode 时序值。简化了几个参数说明。将参数 F3 和 F11 中的时序变量更改为“D”。从 F15 和 F17 参数中删除了“J”时序变量。更新了表注.....	150
• (GPMC 和 NOR 闪存时序要求 - 异步模式) : 删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注。为参数 FA21 添加了正确的表注.....	158
• (GPMC 和 NOR 闪存开关特性 - 异步模式) : 删除了 MODE 列和冗余行。还删除了描述 div_by_1_mode 的寄存器配置的表注.....	158

• (GPMC 和 NAND 闪存时序要求 - 异步模式) : 删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注.....	165
• (GPMC 和 NAND 闪存开关特性 - 异步模式) : 删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注。为时序变量 B、C、D、E、F、G、H、I、K、L 和 M 添加了表注和相关参考链接.....	165
• (I2C) : 将最大压摆率值从 0.8V/ns 更改为 0.08V/ns, 并添加了“在 3.3V 下运行时”以阐明该例外情况不适用于 1.8V 运行情况.....	168
• (I2C) : 更改了支持的速度和异常说明, 以便根据 IO 缓冲器类型而非 I2C 端口实例对其进行整理.....	168
• (MCAN) : 更新了时序表下 TRM 部分的参考名称。.....	169
• (MCASP) : 更改了 IOSET 注释, 该注释说明了与有效引脚组合相关的时序限制.....	170
• (MCSPI) : 更改了 IOSET 注释, 该注释说明了与有效引脚组合相关的时序限制.....	174
• (MCSPI 开关特性 - 控制器模式) : 用新的表注 2、3、4 和 5 替换了之前的表注 2 和 3.....	175
• (MMC0 - eMMC/SD/SDIO 接口) : 说明了默认速度、高速、UHS-I SDR12 和 UHS-I SDR25 模式仅可用于连接到嵌入式 SDIO 器件, 删除了 UHS-I SDR50、UHS-I DDR50 和 UHS-I SDR104 模式.....	181
• (所有时序模式的 MMC0 DLL 延迟映射) : 更改了寄存器名称, 更改了旧 SDR、高速 SDR、默认速度和高速模式下的 OTAPDLYENA 和 OTAPDLYSEL 值, 并删除了 CLKBUFSEL 列, 因为该寄存器位字段不提供任何函数.....	181
• (HS200 模式) : 添加了“MMC0 时序要求”.....	185
• (所有时序模式的 MMC1/MMC2 DLL 延迟映射) : 更改了寄存器名称, 并更改了默认速度和高速模式的 OTAPDLYENA 和 OTAPDLYSEL 值.....	193
• (所有时序模式的 MMC1/MMC2 DLL 延迟映射) : 删除了 CLKBUFSEL 列, 因为该寄存器位字段不起任何作用.....	193
• (OLDIO 开关特性) : 更改了参数 OLDI5 到 OLDI11 中的公式.....	202
• (用于 PHY 数据训练的 OSPI0 DLL 延迟映射) : 为“PHY_MASTER_PHASE_DETECT_SELECTOR_FLD”寄存器位字段添加了延迟值.....	205
• (OSPI0 时序要求 - PHY 数据训练) : 添加了三个新的时序参数。两个用于定义与具有外部电路板环回的 SRD 相关的时序参数, 另一个用于定义每种模式的最小输入数据有效窗口。此外, 还更新了注释 1 以阐明新数据有效窗口参数的用途.....	205
• (OSPI0 时序要求 - PHY 数据训练, 带外部电路板环回的 SDR) : 为具有外部电路板环回的 SDR 添加了新的时序要求图.....	205
• (OSPI 开关特性 - PHY 数据训练) : 添加了七个新的时序参数。六个用于定义与具有外部电路板环回的 SRD 相关的时序参数, 另一个用于定义每种模式的最大输出数据有效窗口。.....	205
• (OSPI 开关特性 - PHY 数据训练) : 更正了与时序参数 O5 和 O11 相关的公式.....	205
• (OSPI0 开关特性 - PHY SDR 数据训练) : 为具有外部电路板环回的 SDR 添加了新的开关特性图.....	205
• (PHY SDR 时序模式的 OSPI0 DLL 延迟映射) : 为“PHY_MASTER_PHASE_DETECT_SELECTOR_FLD”寄存器位字段添加了延迟值.....	209
• (OSPI0 开关特性 - PHY SDR 模式) : 更正了与时序参数 O10 和 O11 相关的公式.....	209
• (PHY DDR 时序模式的 OSPI0 DLL 延迟映射) : 为“PHY_MASTER_PHASE_DETECT_SELECTOR_FLD”寄存器位字段添加了延迟值.....	212
• (OSPI0 开关特性 - PHY DDR 模式) : 更正了与时序参数 O4 和 O5 相关的公式.....	212
• (概述) : 删除了应用列表并更正了印刷错误.....	228
• (概述) : 删除了描述封装选项的语句.....	228
• (详细说明 - A53SS) : 增加了关于器件支持的 A53SS 特性的说明。.....	229
• (详细说明—DMSS) : 为 TRM 添加了参考资料, 以确保与数据手册中其他章节的结构和格式保持一致。.....	231
• (详细说明—PDMA) : 增加了有关器件支持的 PDMA 特性的说明.....	231
• (详细说明—CPSW3G) : 增加了关于器件支持的 CPSW3G 特性的说明。.....	233
• (详细说明 - DDRSS) : 增加了有关器件支持的 DDRSS 功能的说明。.....	233
• (详细说明—ECAP) : 增加了关于器件支持的 ECAP 特性的说明。.....	233
• (详细说明 - ELM) : 增加了有关器件支持的 ELM 功能的说明。.....	233
• (详细描述—EPWM) : 增加了关于器件支持的 EPWM 特性的说明。.....	233

• (详细说明—EQEP) : 增加了关于器件支持的 EQEP 特性的说明.....	234
• (详细说明—GPIO) : 增加了有关器件支持的 GPIO 特性的说明。.....	234
• (详细说明—GTC) : 增加了有关器件支持的 GTC 特性的说明.....	234
• (详细说明 - I2C) 更新了第一句, 以确保与数据手册中其他章节的结构和格式保持一致, 并更新了 I/O 缓冲器的引用.....	235
• (详细说明—MCAN) : 增加了有关器件支持的 MCAN 特性的说明。.....	235
• (详细说明 - McASP) : 删除了第一句, 以确保与文档中其他部分的结构和格式相一致.....	235
• (详细说明—MCSPI) : 增加了关于器件支持的 MCSPI 特性的说明.....	235
• (详细说明—MMCSD) : 增加了关于器件支持的 MMCSD 特性的说明。.....	236
• (详细说明—OSPI) : 增加了关于器件支持的 OSPI 特性的说明。.....	236
• (详细说明 - 计时器) : 添加了有关器件支持的计时器特性的阐述.....	236
• (详细说明—UART) : 增加了有关器件支持的 UART 特性的说明.....	236
• (详细说明 - USBSS) : 添加了有关该器件支持的 USBSS 功能的阐述.....	236
• (USB VBUS 设计指南) : 将 3.5kΩ 电阻器阻值更改为 3.48kΩ, 因为 3.5kΩ 不是 1% 电阻器的标准值.....	242
• (时钟布线指南) : 新增了新的部分.....	244
• (器件命名约定) : 添加了器件修订版本 B.....	247
• (工具与软件) : 添加了有关 SysConfig 功能的说明.....	248

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6201ASGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6201A SGFHIAMCQ1 131
AM6201ASGFHIAMCRQ1.B	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6201A SGFHIAMCQ1 131
AM6201BSGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	01BSGFHI
AM6201BSGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	01BSGFHI Q1
AM6201BTGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	01BTGFHI
AM6201BTGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	01BTGFHI Q1
AM6202ATGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6202A TGFHIAMCQ1 131
AM6202ATGFHIAMCRQ1.B	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6202A TGFHIAMCQ1 131
AM6202BSGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	02BSGFHI
AM6202BSGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	02BSGFHI Q1
AM6202BTGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	02BTGFHI
AM6202BTGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	02BTGFHI Q1
AM6204ASGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6204A SGFHIAMCQ1 131
AM6204ASGFHIAMCRQ1.B	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6204A SGFHIAMCQ1 131
AM6204BSGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	04BSGFHI
AM6204BSGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	04BSGFHI Q1
AM6204BTGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	04BTGFHI
AM6204BTGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	04BTGFHI Q1
AM6231AKGGHHALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	0 to 95	AM6231A KGGHHALW 131

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6231AKGGHHALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	0 to 95	AM6231A KGGHHALW 131
AM6231ASGGGAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A SGGGAALW 131
AM6231ASGGGAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A SGGGAALW 131
AM6231ASGGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A SGGHAALW 131
AM6231ASGGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A SGGHAALW 131
AM6231ASGGHIALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6231A SGGHIALW 131
AM6231ASGGHIALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6231A SGGHIALW 131
AM6231ATCGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A TCGHAALW 131
AM6231ATCGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A TCGHAALW 131
AM6231ATGGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A TGGHAALW 131
AM6231ATGGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6231A TGGHAALW 131
AM6231ATGGHIALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6231A TGGHIALW 131

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6231ATGGHIALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6231A TGGHIALW 131
AM6232ASCGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A SCGHAALW 131
AM6232ASCGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A SCGHAALW 131
AM6232ASGGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A SGGHAALW 131
AM6232ASGGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A SGGHAALW 131
AM6232ATCGGAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A TCGGAALW 131
AM6232ATCGGAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A TCGGAALW 131
AM6232ATCGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A TCGHAALW 131
AM6232ATCGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A TCGHAALW 131
AM6232ATGGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A TGGHAALW 131
AM6232ATGGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6232A TGGHAALW 131
AM6232ATGGHIALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6232A TGGHIALW 131

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6232ATGGHIALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6232A TGGHIALW 131
AM6234ASCGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A SCGHAALW 131
AM6234ASCGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A SCGHAALW 131
AM6234ASGGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A SGGHAALW 131
AM6234ASGGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A SGGHAALW 131
AM6234ATCGGAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A TCGGAALW 131
AM6234ATCGGAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A TCGGAALW 131
AM6234ATCGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A TCGHAALW 131
AM6234ATCGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A TCGHAALW 131
AM6234ATGGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A TGGHAALW 131
AM6234ATGGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6234A TGGHAALW 131
AM6234ATGGHIALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6234A TGGHIALW 131

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6234ATGGHIALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6234A TGGHIALW 131
AM6251ASGGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6251A SGGHAALW 131
AM6251ASGGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6251A SGGHAALW 131
AM6251ATCGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6251A TCGHAALW 131
AM6251ATCGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6251A TCGHAALW 131
AM6251ATGGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6251A TGGHAALW 131
AM6251ATGGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6251A TGGHAALW 131
AM6251BSGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	51BSGFHI
AM6251BSGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	51BSGFHI Q1
AM6252ASGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6252A SGFHIAMCQ1 131
AM6252ASGFHIAMCRQ1.B	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6252A SGFHIAMCQ1 131
AM6252ASGGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A SGGHAALW 131
AM6252ASGGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A SGGHAALW 131

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6252ATCGGAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A TCGGAALW 131
AM6252ATCGGAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A TCGGAALW 131
AM6252ATCGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A TCGHAALW 131
AM6252ATCGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A TCGHAALW 131
AM6252ATGGHAALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A TGGHAALW 131
AM6252ATGGHAALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6252A TGGHAALW 131
AM6252BSGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	52BSGFHI Q1
AM6252BTCFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	52BTCFHI
AM6252BTGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	52BTGFHI
AM6252BTGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	52BTGFHI Q1
AM6254ASGGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A SGGHAALW 131
AM6254ASGGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A SGGHAALW 131
AM6254ATCGGAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A TCGGAALW 131
AM6254ATCGGAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A TCGGAALW 131

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6254ATCGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A TCGHAALW 131
AM6254ATCGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A TCGHAALW 131
AM6254ATCGHIALWR	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6254A TCGHIALW 131
AM6254ATCGHIALWR.B	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	AM6254A TCGHIALW 131
AM6254ATGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6254A TGFHIAMCQ1 131
AM6254ATGFHIAMCRQ1.B	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6254A TGFHIAMCQ1 131
AM6254ATGGHAALW	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A TGGHAALW 131
AM6254ATGGHAALW.B	Active	Production	FCCSP (ALW) 425	119 JEDEC TRAY (10+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM6254A TGGHAALW 131
AM6254BSGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	54BSGFHI Q1
AM6254BTCFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	54BTCFHI
AM6254BTGFHIALWRQ1	Active	Production	FCCSP (ALW) 425	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	54BTGFHI
AM6254BTGFHIAMCRQ1	Active	Production	FCBGA (AMC) 441	500 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-40 to 125	54BTGFHI Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AM625, AM625-Q1 :

- Catalog : [AM625](#)
- Automotive : [AM625-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM6201ASGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6201BSGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6201BSGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6201BTGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6202ATGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6202BSGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6202BSGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6202BTGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6202BTGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6204ASGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6204BSGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6204BSGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6204BTGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6204BTGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6231ASGGHIALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6231ATGGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM6231ATGGHIALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6232ASCGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6232ATGGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6232ATGGHIALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6234ASCGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6234ASGGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6234ATGGHIALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6251ASGGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6251ATGGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6251BSGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6251BSGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6252ASGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6252ASGGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6252ATGGHAALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6252BSGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6252BTCFHALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6252BTGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6252BTGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6254ATCGHIALWR	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6254ATGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6254BSGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6254BTCFHALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6254BTGFHIALWRQ1	FCCSP	ALW	425	1000	330.0	24.4	13.25	13.25	1.8	16.0	24.0	Q1
AM6254BTGFHIAMCRQ1	FCBGA	AMC	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1

TAPE AND REEL BOX DIMENSIONS

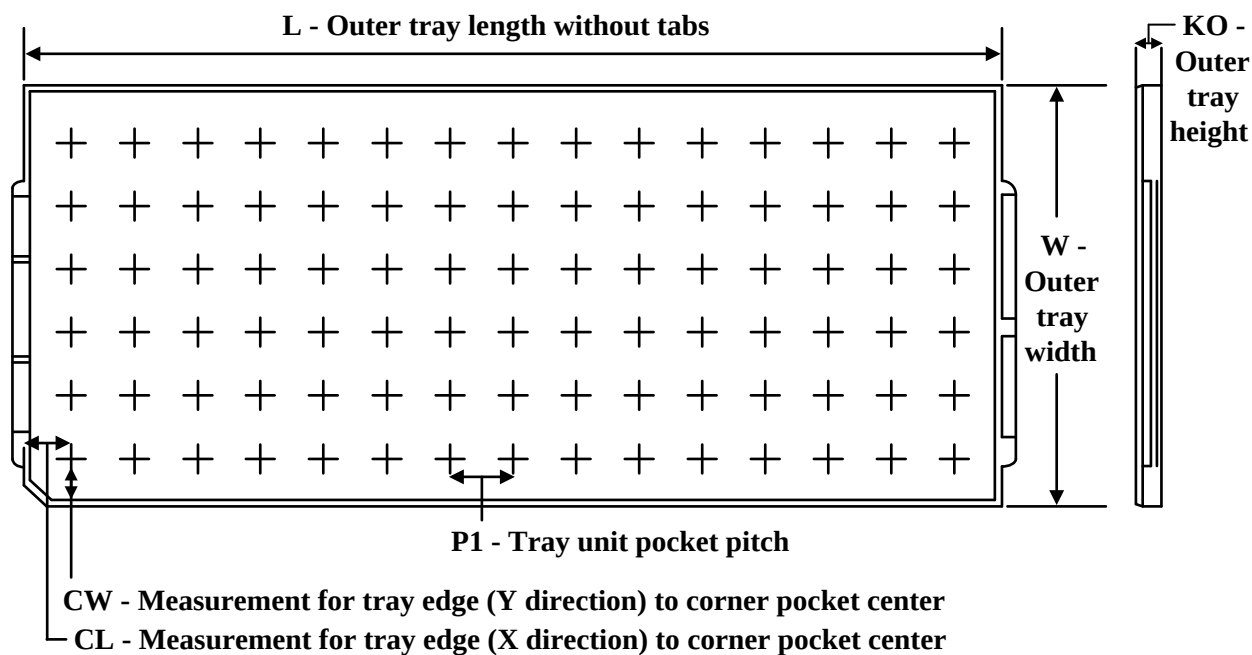


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM6201ASGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6201BSGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6201BSGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6201BTGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6202ATGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6202BSGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6202BSGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6202BTGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6202BTGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6204ASGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6204BSGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6204BSGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6204BTGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6204BTGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6231ASGGHIALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6231ATGGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6231ATGGHIALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6232ASCGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM6232ATGGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6232ATGGHIALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6234ASCGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6234ASGGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6234ATGGHIALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6251ASGGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6251ATGGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6251BSGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6251BSGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6252ASGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6252ASGGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6252ATGGHAALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6252BSGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6252BTCFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6252BTGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6252BTGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6254ATCGHIALWR	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6254ATGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6254BSGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3
AM6254BTCFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6254BTGFHIALWRQ1	FCCSP	ALW	425	1000	336.6	336.6	41.3
AM6254BTGFHIAMCRQ1	FCBGA	AMC	441	500	336.6	336.6	41.3

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
AM6201BTGFHIALWRQ1	ALW	FCCSP	425	1000	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231AKGGHHALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231AKGGHHALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231ASGGGAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231ASGGGAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231ASGGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231ASGGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231ATCGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6231ATCGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6232ASGGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6232ASGGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6232ATCGGAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6232ATCGGAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6232ATCGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6232ATCGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6234ATCGGAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6234ATCGGAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AM6234ATCGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6234ATCGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6234ATGGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6234ATGGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6251ATCGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6251ATCGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6252ATCGGAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6252ATCGGAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6252ATCGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6252ATCGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ASGGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ASGGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ATCGGAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ATCGGAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ATCGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ATCGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ATGGHAALW	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
AM6254ATGGHAALW.B	ALW	FCCSP	425	119	07x17	150	315	135.9	7620	18.1	12.7	12.9

FCCSP - 0.89 mm max height

Technical drawing of a mechanical part, showing three views: a top view, a side view, and a detailed cross-section view.

Top View:

- Overall dimensions: 13.1 x 13.1 and 12.9 x 12.9.
- Feature: BALL A1 CORNER.
- Surface texture: 0.15 C.

Side View:

- Thickness: 0.89 MAX.
- Surface texture: 0.2 C.
- Feature: SEATING PLANE.
- Surface texture: 0.08 C.

Detailed Cross-Section View:

- Grid of holes: 425X, $\varnothing 0.35$, 0.25.
- Feature: SEATING PLANE.
- Surface texture: 0.08 C.
- Typical dimension: 0.5 TYP.
- Grid labels: 1 to 25 (horizontal), A to AE (vertical).
- Feature: SYMM (Symmetry).

Legend:

$\varnothing 0.15$	M	C	A	B
$\varnothing 0.08$	M	C		

4227026/C 04/2025

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

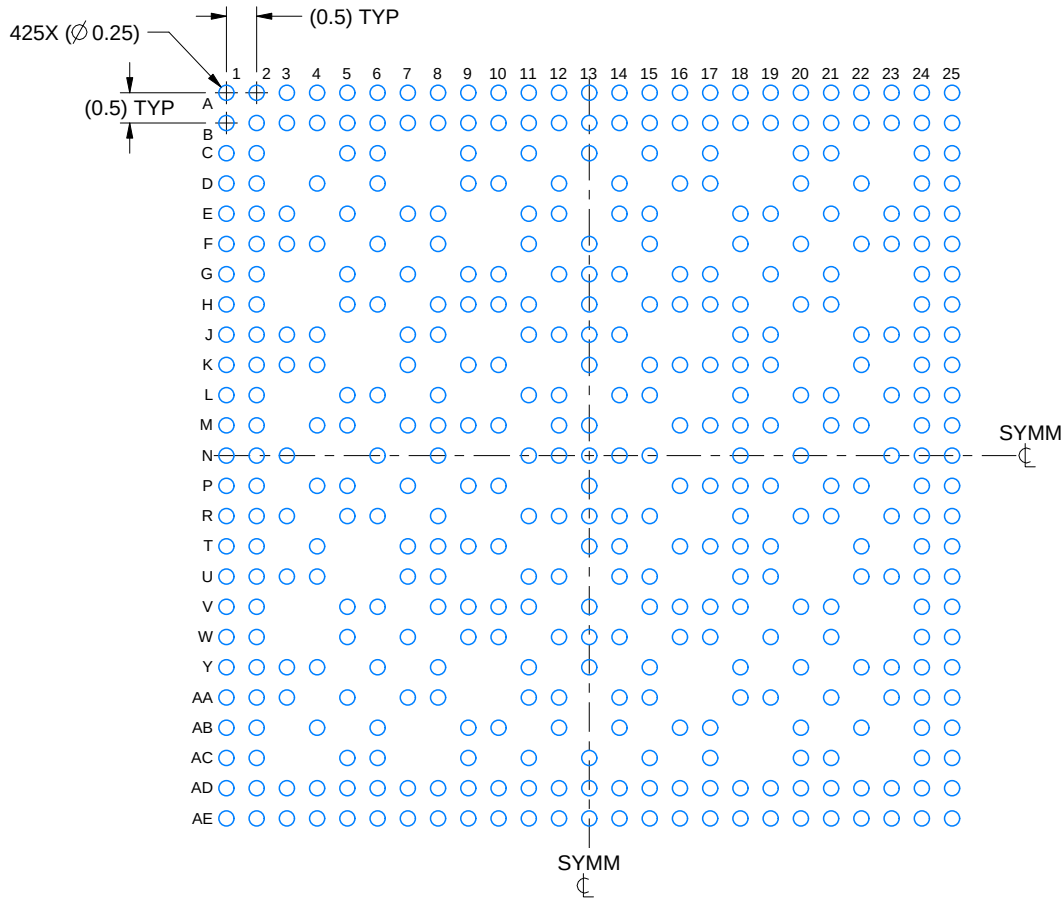
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ALW0425A

FCCSP - 0.89 mm max height

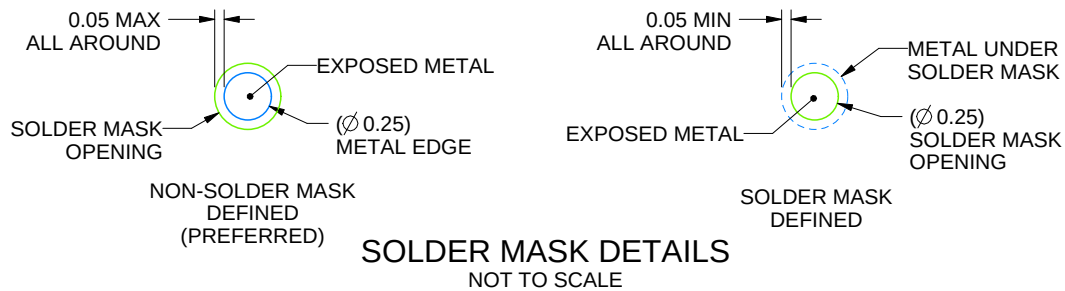
PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 8X



4227026/C 04/2025

NOTES: (continued)

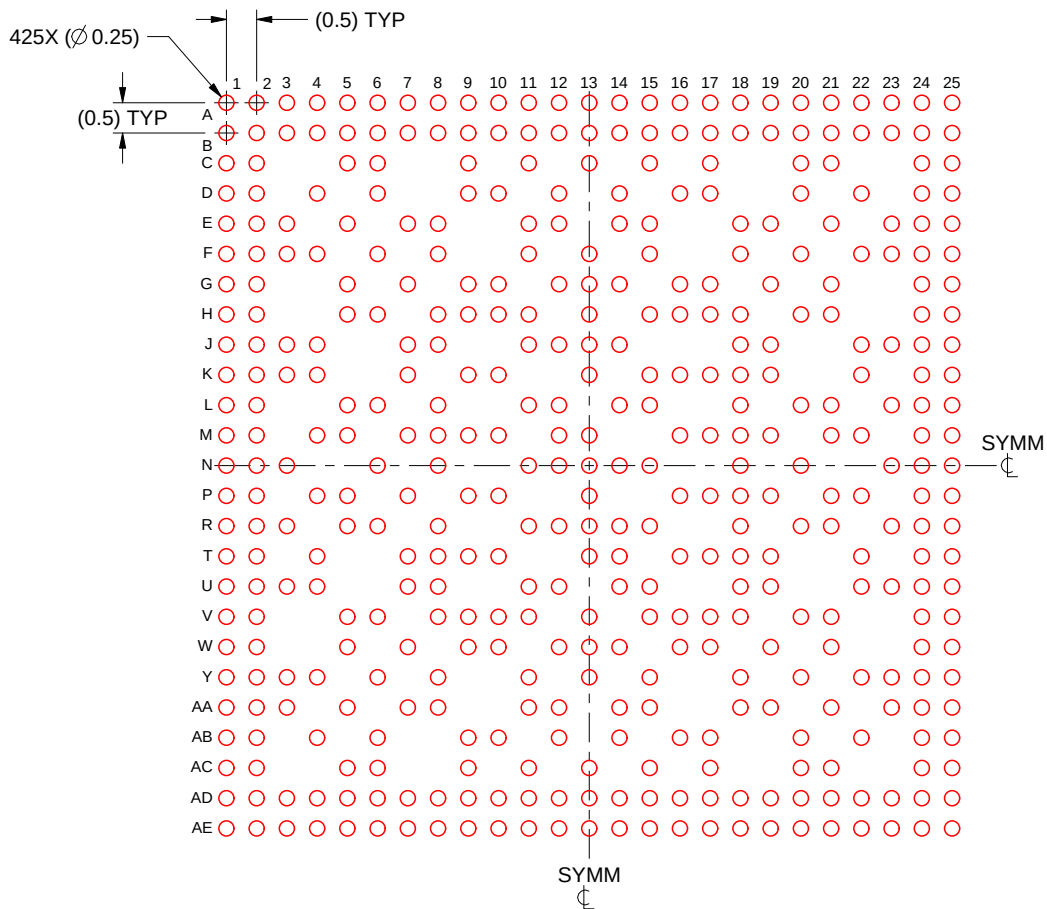
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ALW0425A

FCCSP - 0.89 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE

BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4227026/C 04/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

FCBGA - 2.57 mm max height

Top View:

- Overall width: 17.1
- Overall height: 17.3
- Inner square width: 12.8
- Inner square height: 11
- Outer square width: 16.8
- Outer square height: 17.1
- Feature callouts: BALL A1 CORNER, PIN 1 ID (OPTIONAL), 0.1 C

Side View:

- Top thickness: 2.57
- Bottom thickness: 2.29
- Seating Plane: 0.5 TYP
- Feature callouts: 0.2 C, 0.15 C

Pin Grid View:

- Grid size: 21 columns x 21 rows
- Pin pitch: 0.25
- Pin diameter: 0.1
- Pin height: 0.55
- Pin depth: 0.45
- Feature callouts: 0.8 TYP, 16 TYP, 0.6 TYP, 0.15 C

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

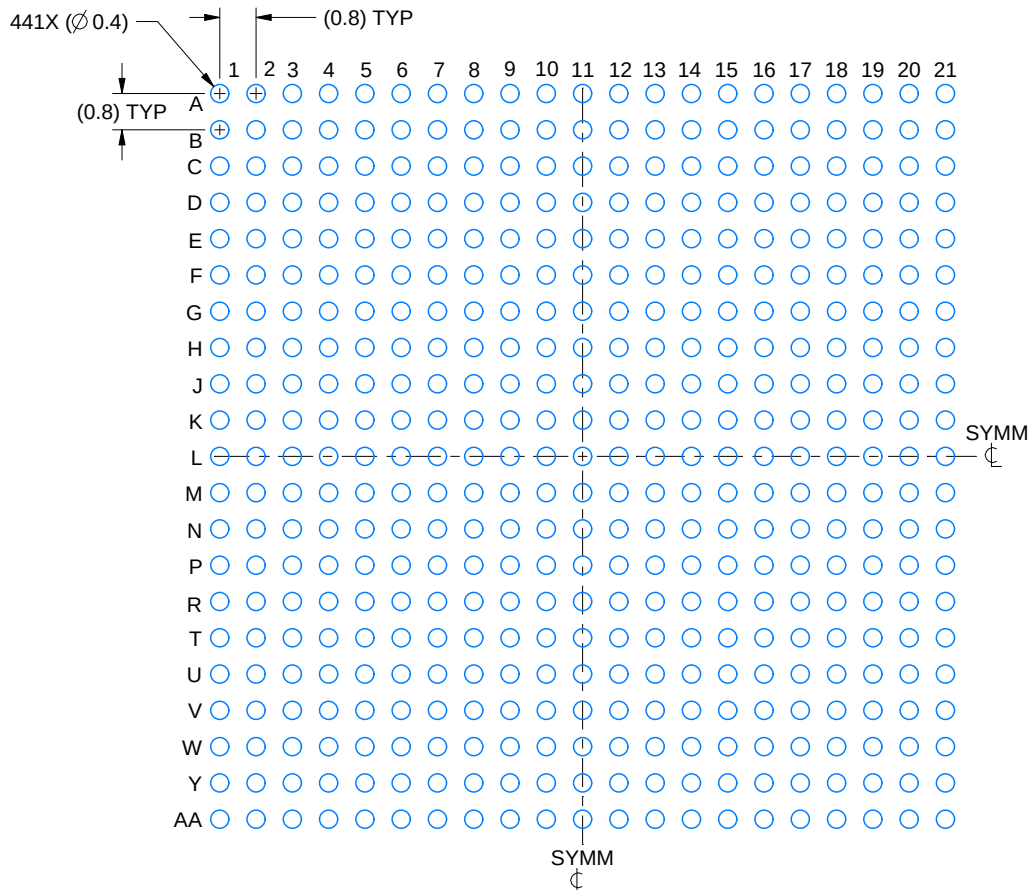
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

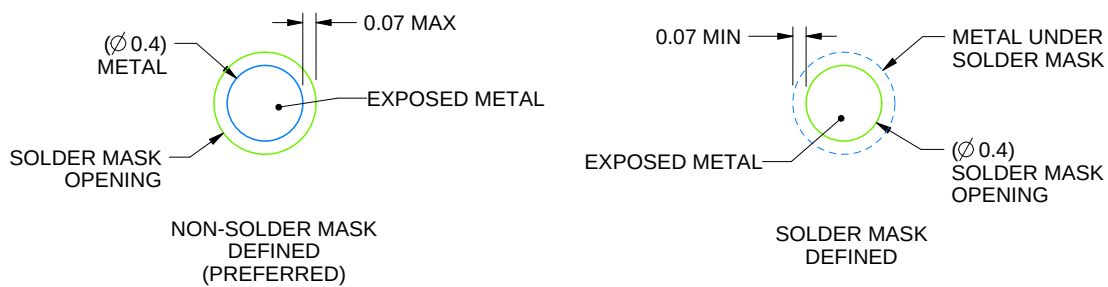
AMC0441A

FCBGA - 2.57 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4228316/A 12/2021

NOTES: (continued)

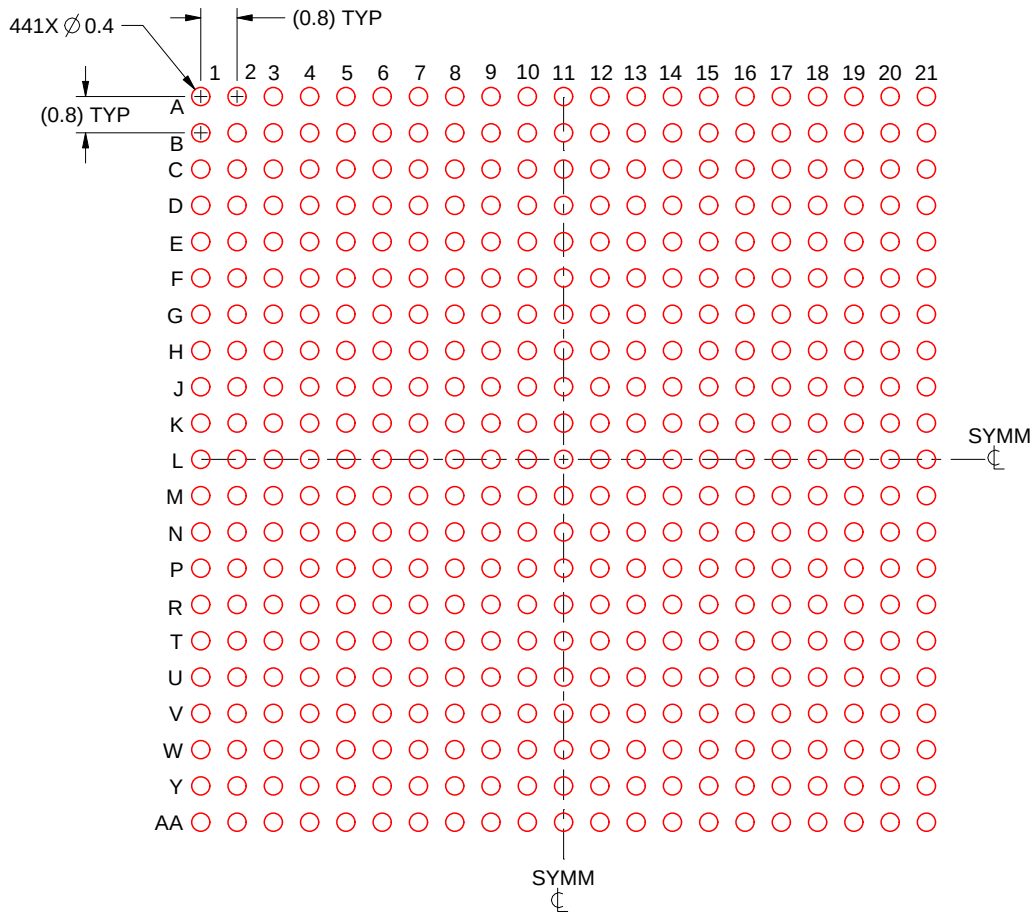
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

AMC0441A

FCBGA - 2.57 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
 BASED ON 0.15 mm THICK STENCIL
 SCALE: 6X

4228316/A 12/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月