具有实时控制的 AM263x Sitara™ 微控制器

1 特性

处理器内核：

- 单核、双核和四核 Arm®Cortex®-R5F MCU，每个内核运行频率高达 400MHz
  - 16KB 指令高速缓存，每个 CPU 内核具有 64 位 ECC
  - 16KB 数据高速缓存，每个 CPU 内核具有 32 位 ECC
  - 64KB 紧耦合存储器 (TCM)，每个 CPU 内核具有 32 位 ECC
  - 支持锁步或双核模式的集群

存储器子系统：

- 2MB 片上 RAM (OCSRAM)
  - 4 组 x 512KB
  - ECC 错误保护
  - 内部 DMA 引擎支持

片上系统 (SoC) 服务和架构：

- 1 个 EDMA，支持数据移动功能
- 支持从以下接口启动器件：
  - UART（主/备）
  - QSPI NOR 闪存 (4S/1S)（主）
- 处理器间通信模块
  - 用于同步多核上运行的进程的自旋锁模块
  - 通过 CTRLMMR 寄存器实现的 MAILBOX 功能
- 通过时间同步和比较事件中断路由器支持中央平台时间同步 (CPTS)

媒体和数据存储：

- 1 个 4 位多媒体卡/安全数字 (MMC/SD) 接口
- 通用存储器控制器 (GPMC)
  - 16 位并行数据总线和 22 位地址总线
  - 高达 4MB 可寻址存储器空间
  - 支持错误检查的集成错误定位模块 (ELM)

通用连接：

- 6 个通用异步接收器/发送器 (UART)
- 5 个串行外设接口 (SPI) 控制器
- 5 个本地互联网络 (LIN) 端口
- 4 个内部集成电路 (I2C) 端口
- 4 个支持 CAN-FD 的模块化控制器局域网 (MCAN) 模块
- 1 个四线串行外设接口 (QSPI)
- 4 个快速串行接口发送器 (FSITX)
- 4 个快速串行接口接收器 (FSIRX)
- 多达 139 个通用 I/O (GPIO) 引脚

传感和驱动：

- 实时控制子系统 (CONTROLSS)
- 灵活的输入/输出交叉开关 (XBAR)
- 5 个 12 位模数转换器 (ADC)
  - 6 输入 SAR ADC，高达 4MSPS
    - 6 个单端通道**或**
    - 3 个差分通道
  - 高度可配置的 ADC 数字逻辑
    - XBAR 转换启动 (SOC) 触发
    - 用户定义的采样保持 (S+H)
    - 灵活的后处理块 (PPB)
- 带 A 类可编程 DAC 基准的 10 个模拟比较器 (CMPSSA)
- 带 B 类可编程 DAC 基准的 10 个模拟比较器 (CMPSSB)
- 1 个 12 位数模转换器 (DAC)
- 32 个脉宽调制 (EPWM) 模块
  - 单或双 PWM 通道
  - 高级 PWM 配置
  - 扩展的 HRPWM 时间分辨率
- 10 个增强型捕获 (ECAP) 模块
- 3 个增强型正交编码器脉冲 (EQEP) 模块
- 2 个 4 通道 Σ-Δ 滤波器模块 (SDFM)
- 额外的信号多路复用交叉开关 (XBAR)

工业连接：

- 可编程实时单元 (PRU-SS) 和 PRU 工业通信子系统 (PRU-ICSS)
  - 双核可编程实时单元子系统 (PRU0/PRU1)
    - 确定性硬件
    - 动态固件
  - 每个 PRU 具有 20 通道增强型输入 (eGPI)
  - 每个 PRU 具有 20 通道增强型输出 (eGPO)
  - 嵌入式外设和存储器
    - 1 个 UART、1 个 ECAP
    - 1 个 MDIO、1 个 IEP
    - 1 个 32KB 共享通用 RAM
    - 2 个 8KB 共享数据 RAM
    - 每个 PRU 1 个 16KB IRAM
    - 暂存器 (SPAD)、MAC/CRC
  - 数字编码器和 Σ-Δ 控制环路
  - PRU-ICSS 支持高级工业协议，包括：
    - EtherCAT®、Ethernet/IP™、
    - PROFINET®、IO-Link®，可供订购
  - 专用中断控制器 (INTC)
  - 动态 CONTROLSS XBAR 集成

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

高速接口：

- 支持两个外部端口的集成以太网交换机
  - MII (10/100)、RMII (10/100) 或 RGMII (10/100/1000)
  - IEEE 1588 (2008 附件 D、E 和 F) 及 802.1AS PTP
  - 第 45 条 MDIO PHY 管理规范
  - 512 个基于 ALE 引擎的数据包分类器
  - 基于优先级的流量控制，数据包大小高达 2KB
  - 四个 CPU 硬件中断节奏
  - 硬件中的 IP/UDP/TCP 校验和卸载

安全性：

- 硬件安全模块 (HSM)，支持 Auto SHE 1.1/EVITA - 全功能 HSM
- 安全启动支持
  - 器件接管保护
  - 硬件强制可信根
  - 经认证的引导
  - 软件防回滚保护
- 调试安全
  - 仅在通过正确的身份验证后才能安全调试器件
  - 能够禁用器件调试功能
- 器件 ID 和密钥管理
  - 支持 OTP 存储器 (FUSEROM)
    - 存储根密钥和其他安全字段
  - 独立的 EFUSE 控制器和 FUSE ROM
  - 公共设备唯一标识符 (UID)
- 存储器保护单元 (MPU)
  - 每个 Cortex®-R5F 内核具有专用的 Arm® MPU
  - 系统 MPU - 出现在 SoC 中的各种接口上 (MPU 或防火墙)
  - 8-16 个可编程区域
    - 启用/特权 ID
    - 起始/结束地址
    - 读取/写入/可缓存
    - 安全/非安全
- 加密加速
  - 支持 DMA 的加解密内核
  - AES - 128/192/256 位密钥大小
  - SHA2 - 256/384/512 位支持
  - 带有伪真随机数生成器的 DRBG
  - 可在 RSA/ECC 处理中提供帮助的 PKA (公钥加速器)

功能安全：

- 支持设计具有功能安全要求的系统
  - 具有指定 SAFETY_ERRORn 引脚的错误信令模块 (ESM)
  - 计算临界存储器具有 ECC 或奇偶校验
  - CPU 和片上 RAM 的内置自检 (BIST) 和故障注入
  - 运行时内部诊断模块，包括电压、温度和时钟监控，窗口式看门狗计时器，用于存储器完整性检查的 CRC 引擎
- 以功能安全合规型为 [工业]
  - 专为功能安全应用开发
  - 可提供用于 IEC 61508 功能安全系统设计的文档
  - 以系统能力达到 SIL-3 级为
  - 以硬件完整性达到 SIL-3 级为
  - 安全相关认证
    - 经 TUV SUD 进行 IEC 61508 认证达到 SIL 3 级
- 以功能安全合规型为 [汽车]
  - 专为功能安全应用开发
  - 可提供用于 ISO 26262 功能安全系统设计的文档
  - 以系统功能达到 ASIL-D 级为
  - 以硬件完整性达到 ASIL-D 级为
  - 安全相关认证
    - 经 TUV SUD 进行 ISO 26262 认证达到 ASIL-D 级

技术/封装：

- 符合面向汽车应用的 AEC-Q100 标准
- 45nm 技术
- ZCZ 封装
  - 324 引脚 NFBGA
  - 15.0mm x 15.0mm
  - 0.8mm 间距

Copyright © 2026 Texas Instruments Incorporated

2 应用

- 单轴及多轴伺服驱动器
- 交流逆变器和变频驱动器
- 太阳能
- 电动汽车充电
- 可再生能源存储
- 牵引逆变器
- 车载充电器
- 直流/直流转换器
- 电池管理系统
- 整体式架构
- IO 聚合器
- 域控制器

Copyright © 2026 Texas Instruments Incorporated

3 说明

AM263x Sitara™ Arm® 微控制器旨在满足下一代工业和汽车嵌入式产品复杂的实时处理需求。AM263x MCU 系列包含多个具有多达四个 400MHz Arm® Cortex®-R5F 内核的引脚对引脚兼容器件。可选择将 Arm® R5F 子系统编程为在锁步或双核模式下运行，从而实现多种功能安全配置。工业通信子系统 (PRU-ICSS) 支持集成工业以太网通信协议（例如 PROFINET®、Ethernet/IP®、EtherCAT® 以及多个其他协议）、标准以太网连接和自定义 I/O 接口。该系列面向使用高级模拟感应和数字驱动模块的未来电机控制和数字电源应用而设计。

多个 R5F 内核排列成具有 256KB 共享紧耦合存储器 (TCM) 和 2MB 共享 SRAM 的集群子系统，显著降低了对外部存储器的需求。片上存储器、外设和互联中包含广泛的 ECC，增强了可靠性。由硬件安全管理器 (HSM) 管理的粒度防火墙支持开发人员满足严格的安全敏感型系统设计要求。AM263x 器件还提供加解密加速和安全启动功能。

TI 为 AM263x 系列微控制器提供了一整套微控制器软件和开发工具。

封装信息

器件型号(1)(2)	封装	封装尺寸(3)
AM2634...ZCZ	ZCZ（nFBGA，324）	15.0mm × 15.0mm
AM2632...ZCZ	ZCZ（nFBGA，324）	15.0mm × 15.0mm
AM2631...ZCZ	ZCZ（nFBGA，324）	15.0mm × 15.0mm
AM2634...ZCZQ1	ZCZQ1（nFBGA，324）	15.0mm × 15.0mm
AM2632...ZCZQ1	ZCZQ1（nFBGA，324）	15.0mm × 15.0mm
AM2631...ZCZQ1	ZCZQ1（nFBGA，324）	15.0mm × 15.0mm

(1) 有关更多信息，请参阅节 11。
(2) 所有器件均采用托盘或卷带包装。
(3) 封装尺寸（长 × 宽）为标称值并包括引脚（如适用）。

Copyright © 2026 Texas Instruments Incorporated

3.1 功能方框图

图 3-1 展示了器件的功能方框图。

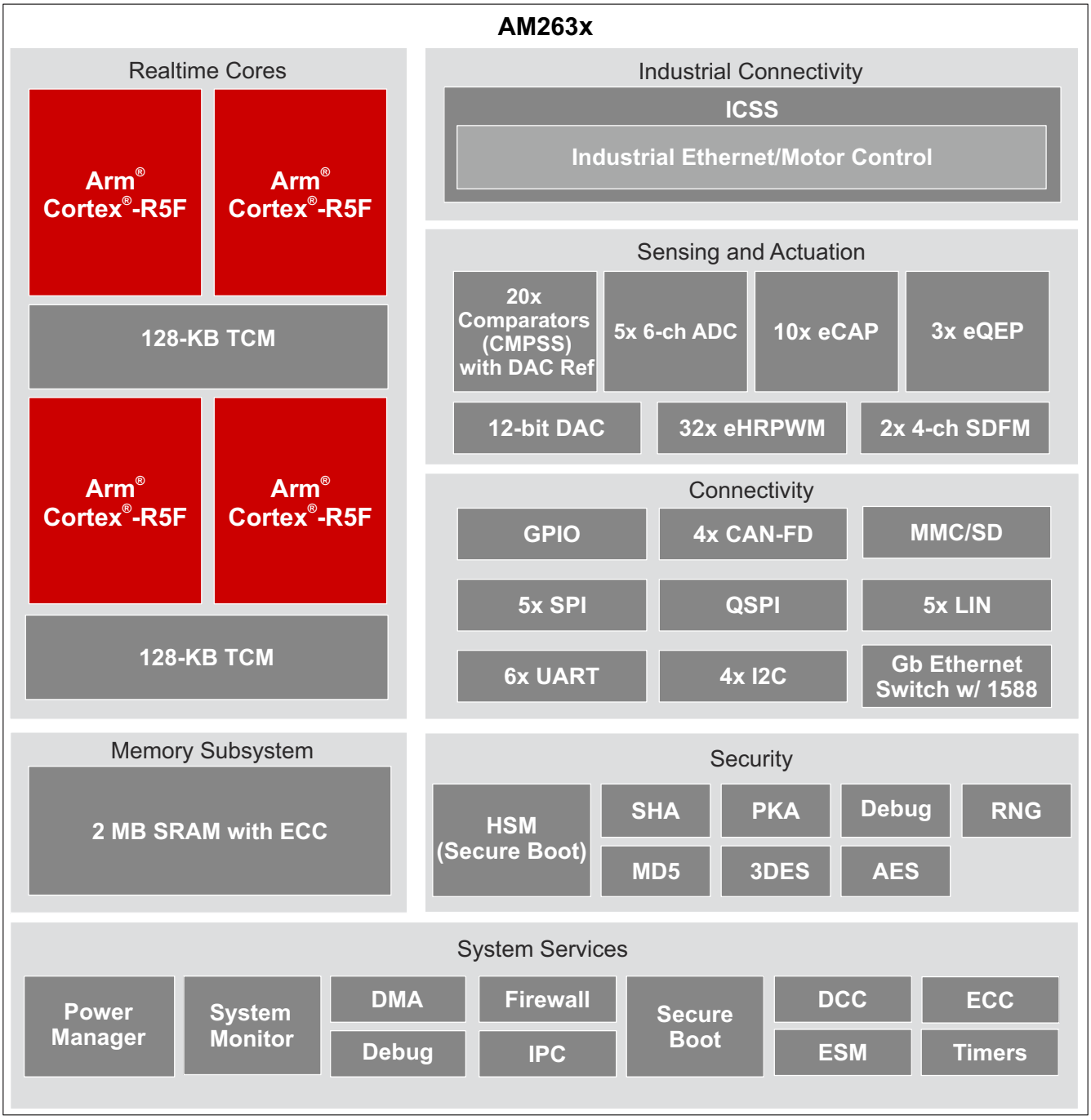


图 3-1. 功能方框图

内容

1 特性 1
2 应用 3
3 说明 4
3.1 功能方框图 5
4 器件比较 7
4.1 相关产品 8
5 端子配置和功能 9
5.1 引脚图 9
5.2 引脚属性 10
5.3 信号说明 38
5.4 引脚连接要求 67
6 规格 68
6.1 绝对最大额定值 68
6.2 静电放电 (ESD) 扩展汽车等级 69
6.3 静电放电 (ESD) 工业等级 69
6.4 上电小时数 (POH) 摘要 69
6.5 建议运行条件 70
6.6 运行性能点 70
6.7 功耗摘要 71
6.8 电气特性 72
6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格 78
6.10 热阻特性 79
6.11 时序和开关特性 80
6.12 去耦电容器要求 154
7 详细说明 156
7.1 概述 156
7.2 处理器子系统 157
8 应用、实施和布局 158
8.1 器件连接和布局基本准则 158
9 器件和文档支持 159
9.1 器件命名规则 159
9.2 工具与软件 164
9.3 文档支持 164
9.4 支持资源 164
9.5 商标 164
9.6 静电放电警告 164
9.7 术语表 165
10 修订历史记录 165
11 机械、封装和可订购信息 166

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

表 4-1 对各器件进行了比较，突出显示了其中的差异。

表 4-1. 器件比较

特性	参考名称	AM2634(1)	AM2632(1)	AM2631
JTAG 器件 ID 比较 (特性)				
JTAG 器件 ID(2)	工业：	M：0x4111BBE6 L：0x41119BE6 K：0x41117BE6 E：0x4110BBE6 D：0x41109BE6	M：0x4109BBE6 L：0x41099BE6 K：0x41097BE6 E：0x4108BBA6 D：0x41089BA6	E：0x4104B3A6 D：0x410493A6
	汽车级 工作温度：	K：0x41117BFE D：0x41109BFE (O 级) D：0x41109C3E (P 级)	K：0x41097BFE D：0x41089BFE (O 级) D：0x41089C3E (P 级)	D：0x410493BE
处理器和加速器				
速度等级		请参阅节 6.6，*运行性能点*		
Arm® Cortex-R5F	R5FSS	4	2	1
硬件安全模块	HSM	是		
加密加速器	安全性	是		
程序和数据存储				
片上共享存储器 (RAM)	OCSRAM	请参阅节 6.6，*运行性能点*		
R5F 紧耦合存储器 (TCM)	TCM	256KB(9)		
通用存储器控制器	GPMC	4MB		
外设				
模块化控制器局域网接口	MCAN	4		
完整 CAN-FD 支持	MCAN	4		
通用 I/O	GPIO	高达 139		
串行外设接口	SPI	5		
通用异步接收器/发送器	UART	6		
本地互连网络	LIN	5		
内部集成电路接口	I2C	4		
模数转换器	ADC	3(4) 或 5(5)	3(4) 或 5(5)	3
比较器模块：	CMPSS	12(4) 或 20(5)	12(4) 或 20(5)	12
数模转换器	DAC	1		
可编程实时单元子系统(6)	PRU-ICSS	0 或 1		
工业通信子系统支持(7)	PRU-ICSS	可选		
千兆位以太网接口	CPSW	是 (2 端口)		
多媒体卡/安全数字接口	MMCSD	1		
增强型高分辨率脉宽调制器模块	EHRPWM	16(3) 或 32(5)	16(4) 或 32(5)	16
增强型捕获模块	ECAP	5(4) 或 10(5)	5(4) 或 10(5)	5
增强型正交编码器脉冲模块	EQEP	2(4) 或 3(5)	2(4) 或 3(5)	2
Σ-Δ 滤波器模块	SDFM	1(4) 或 2(5)	1(4) 或 2(5)	1
快速串行接口	FSI	4 个 FSI_RX + 4 个 FSI_TX		
四通道 SPI 闪存接口	QSPI	1		
				其他
结温		工业：–40°C 至 105°C		
		扩展汽车：-40°C 至 150°C 汽车：-40°C 至 125°C		
汽车认证		AEC-Q100(8) 选项		

(1) 该器件专为功能安全应用而开发，支持高达 ASIL-D 或 SIL-3 的硬件完整性。更多详细信息，请参阅相关文档。
(2) “X:”字母表示特性参数，而 (“X” 级) 表示节 6.6，*运行性能点* 表中的等级。
(3) 有关 CTRLMMR_WKUP_JTAG_DEVICE_ID 寄存器和 DEVICE_ID 位字段的更多详细信息，请参阅器件 TRM。
(4) 的标准模拟配置包含 3 个 ADC、16 个 EHRPWM、5 个 eCAP、2 个 EQEP、1 个 SDFM、12 个 CMPSS
(5) 增强型模拟配置包含 5 个 ADC、32 个 EHRPWM、10 个 eCAP、3 个 EQEP、2 个 SDFM、20 个 CMPSS
(6) 当选择包括特性代码 D、E、F、K、L 或 M 的可订购器件型号时，可以使用可编程实时单元子系统。请参阅特性代码定义的命名规则说明表。

Copyright © 2026 Texas Instruments Incorporated

(7) 当选择包括特性代码 D、E、F、K、L 或 M 的可订购器件型号时，可以使用工业通信子系统支持。请参阅命名规则说明表，了解特性代码定义。
(8) AEC-Q100 鉴定适用于如命名规则说明表中的汽车级指示符 (Q1) 标识符所示的部分器件型号变体。
(9) 每个 R5FSS 集群支持 128KB 的紧耦合存储器 (TCM)。当配置为单核或锁步操作模式时，各个内核可以利用整个 128KB 的 TCM 存储器，而在双核模式下，每个内核只可利用其指定的一半大小 (64KB TCM)。

4.1 相关产品

Sitara™ 微控制器 基于 Arm® Cortex®-R 的高性能微控制器系列，具有先进的网络、实时控制和信号处理加速器，可满足工业和汽车应用新兴的 MCU 要求。

Sitara™ 处理器基于 Arm® Cortex®-A 内核的丰富可扩展处理器系列，具有灵活的加速器、外设、连接和统一的软件支持，适合从传感器到服务器的各种应用。Sitara™ 处理器具有可满足最新工业和汽车应用级别要求的功能和可靠性。

Sitara™ 微控制器 - 评估模块 TI 可提供针对特定器件的评估模块 (EVM) 设计，帮助快速启动产品开发。有关详细信息，请参阅 **AM263x ControlCard** 和 **AM263x LaunchPad**。

帮助您完成设计的产品：下面列出了经常购买或与 AM263x 器件结合使用的产品，以满足您的系统设计要求。

- **TPS653850A-Q1** - 符合功能安全标准的多轨电源，适用于安全型 MCU，具备 350mA 电流输出的 I/O 供电轨。
- **TPS3704-Q1** - 超高精度紧凑型汽车多通道窗口监控器。
- **DP83TG720S-Q1** - 具有 RGMII 的 1000BASE-T1 汽车以太网 PHY。
- **DP83826E** - 具有 MII 接口和增强模式的低延迟 10/100Mbps 以太网 PHY。
- **TCAN1042H-Q1** - 具有灵活数据速率的汽车级 70V 总线故障保护 CAN 收发器。

Copyright © 2026 Texas Instruments Incorporated

5 端子配置和功能

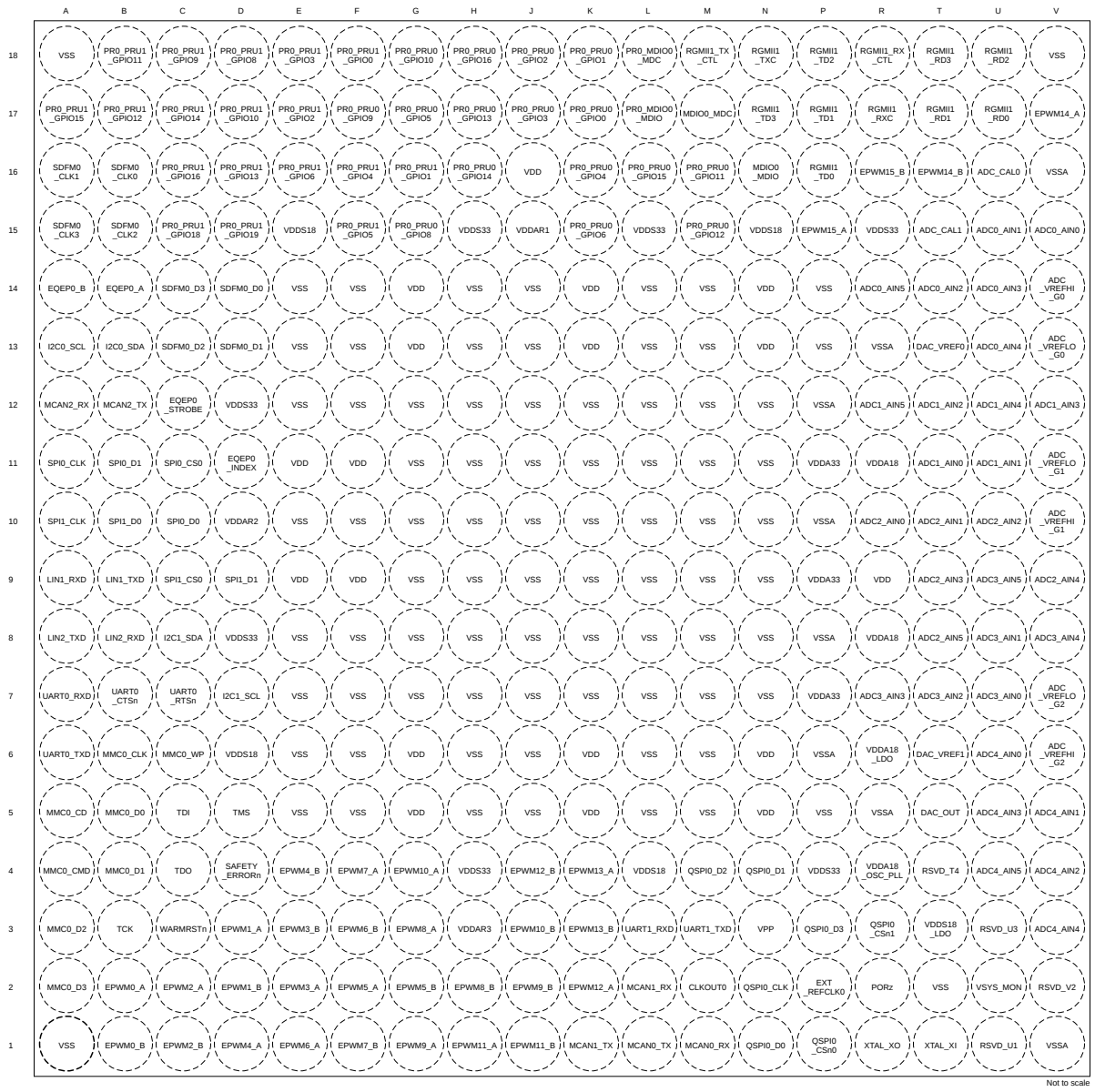
5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

本节中的图将与其他“端子配置和功能”表一起用于查找信号名称和球栅编号。此文档的 HTML 版本（、AM2634 数据表）在将光标悬停在焊球上时提供额外信息。

5.1.1 ZCZ 引脚图



5.2 引脚属性

以下列表介绍了*引脚属性*表中每一列的内容：

1. **焊球编号：**分配给球栅阵列封装每个端子的焊球编号。
2. **焊球编号：**分配给球栅阵列封装每个端子的焊球名称（该名称通常取自主 MUXMODE 0 信号功能）。
3. **信号名称：**与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

*引脚属性*表定义了在引脚上实现的 SoC 引脚多路复用信号功能，而**未**定义器件子系统中实现的信号功能的次级多路复用。该表未说明信号功能的次级多路复用。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

4. **多路复用模式：**与每个引脚多路复用信号功能相关的 MUXMODE 值：
   - MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。
   - MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只能使用 MUXMODE 的定义有效值。
   - 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
   - 空框或“-”表示不适用。

备注

- “复位之后的多路复用模式”列中的值定义了 PORz 置为无效时选择的默认引脚多路复用信号功能。
- 将两个引脚配置为相同的引脚多路复用信号功能可能会产生意外结果，因此不受支持。适当的软件配置可以防止这种情况发生。
- 将焊盘配置为未定义的多路复用模式会导致未定义的行为，因此必须避免。

5. **类型：**信号类型和方向
   - I = 输入
   - O = 输出
   - ID = 输入，具有开漏输出功能
   - OD = 输出，具有开漏输出功能
   - IO = 输入、输出或同时输入和输出
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - CAP = LDO 电容器
   - PWR = 电源
   - GND = 地

6. **DSIS：**未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态（逻辑“0”、逻辑“1”或“焊盘”电平）。
   - 0：**逻辑 0** 被驱动至子系统输入。
   - 1：**逻辑 1** 被驱动至子系统输入。
   - 焊盘：焊盘的逻辑状态被驱动至子系统输入。
   - 空框、不适用或“-”表示不适用。

Copyright © 2026 Texas Instruments Incorporated

7. **复位期间的焊球状态 (RX/TX/PULL)：**PORz 或 WARMRSTn 置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被**禁用**。
     - 开启：输入缓冲器被**启用**。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被**禁用**。
     - 低电平：输出缓冲器被**启用**并驱动 V_{OL}。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉电阻器被**关闭**。
     - 上：内部**上拉**电阻器被开启。
     - 下：内部**下拉**电阻器被开启。
     - 不适用：无内部拉电阻器。
   - 空框或“-”表示不适用。
8. **复位后的焊球状态 (RX/TX/PULL)：**PORz 或 WARMRSTn 置为无效后的端子状态后，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被**禁用**。
     - 开启：输入缓冲器被**启用**。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被**禁用**。
     - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉电阻器被**关闭**。
     - 上：内部**上拉电阻器**被开启。
     - 下：内部**下拉电阻器**被开启。
     - 不适用：无内部拉电阻器。
   - 空框、不适用或“-”表示不适用。
9. **复位后的多路复用模式：**该列中的值定义了 PORz 置为无效后的**默认**引脚多路复用信号功能。
   - 空框、不适用或“-”表示不适用。
10. **I/O 电压**：该列介绍了相应电源的 I/O **工作电压**选项（如果适用）。
    - 空框、不适用或“-”表示不适用。

    有关更多信息，请参阅*建议运行条件* 中为每个电源定义的有效工作电压范围。
11. **电源：**相关 I/O 的电源（如果适用）。
    - 空框、不适用或“-”表示不适用。
12. **磁滞：**指示与该 I/O 关联的输入缓冲器是否具有迟滞：
    - 是：磁滞支持
    - 否：**无**磁滞支持
    - 空框、不适用或“-”表示不适用。

    有关更多信息，请参阅*电气特性* 中的迟滞值。
13. **拉动类型：**指示存在内部上拉电阻或下拉电阻。可通过软件来启用或禁用内部电阻器。
    - PU：仅内部上拉电阻
    - PD：仅内部下拉电阻
    - PU/PD：内部上拉和下拉
    - 空框、NA 或“-”表示无内部拉动。

Copyright © 2026 Texas Instruments Incorporated

备注

不支持将两个引脚配置为同一引脚多路复用信号功能，因为这可能会产生意外结果。适当的软件配置可以轻松防止这种情况发生。

当某焊盘被设定为未由引脚多路复用定义的多路复用模式时，该焊盘的运行方式是未定义的。必须避免这种情况。

14. **缓冲器类型：**该列定义与端子关联的缓冲器类型。该信息可用于确定适用的“电气特性”表。
    - 空框、不适用或“-”表示不适用。

    有关电气特性，请参阅 *电气特性* 中相应的缓冲器类型表。
15. **焊盘配置寄存器名称：**这是器件焊盘/引脚配置寄存器的名称。
16. **焊盘配置寄存器地址：**这是器件焊盘/引脚配置寄存器的存储器地址。
17. **焊盘配置寄存器默认值：**这是 PORz 置为无效后器件焊盘/引脚配置寄存器的默认值。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性 (ZCZ 封装)

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
V15	ADC0_AIN0	ADC0_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
U15	ADC0_AIN1	ADC0_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
T14	ADC0_AIN2	ADC0_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
U14	ADC0_AIN3	ADC0_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
U13	ADC0_AIN4	ADC0_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
R14	ADC0_AIN5	ADC0_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
T11	ADC1_AIN0	ADC1_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
U11	ADC1_AIN1	ADC1_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
T12	ADC1_AIN2	ADC1_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
V12	ADC1_AIN3	ADC1_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
U12	ADC1_AIN4	ADC1_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
R12	ADC1_AIN5	ADC1_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
R10	ADC2_AIN0	ADC2_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
T10	ADC2_AIN1	ADC2_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
U10	ADC2_AIN2	ADC2_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
T9	ADC2_AIN3	ADC2_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
V9	ADC2_AIN4	ADC2_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
T8	ADC2_AIN5	ADC2_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
U7	ADC3_AIN0	ADC3_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
U8	ADC3_AIN1	ADC3_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
T7	ADC3_AIN2	ADC3_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
R7	ADC3_AIN3	ADC3_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
V8	ADC3_AIN4	ADC3_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
U9	ADC3_AIN5	ADC3_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
U6	ADC4_AIN0	ADC4_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
V5	ADC4_AIN1	ADC4_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
V4	ADC4_AIN2	ADC4_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
U5	ADC4_AIN3	ADC4_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
V3	ADC4_AIN4	ADC4_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
U4	ADC4_AIN5	ADC4_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
U16	ADC_CAL0	ADC_CAL0		I				3.3V	VDDA_CIO		AnalogCIO	
T15	ADC_CAL1	ADC_CAL1		I				3.3V	VDDA_CIO		AnalogCIO	
V14	ADC_VREFHI_G0	ADC_VREFHI_G0		A				1.8V	VDDA_CIO		AnalogCIO	
V10	ADC_VREFHI_G1	ADC_VREFHI_G1		A				1.8V	VDDA_CIO		AnalogCIO	
V6	ADC_VREFHI_G2	ADC_VREFHI_G2		A				1.8V	VDDA_CIO		AnalogCIO	
V13	ADC_VREFLO_G0	ADC_VREFLO_G0		A				1.8V	VDDA_CIO		AnalogCIO	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
V11	ADC_VREFLO_G1	ADC_VREFLO_G1		A				1.8V	VDDA_CIO		AnalogCIO	
V7	ADC_VREFLO_G2	ADC_VREFLO_G2		A				1.8V	VDDA_CIO		AnalogCIO	
M2	CLKOUT0	CLKOUT0	0	O	关闭/关闭/关闭	关闭/SS/关闭	0	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	CLKOUT0_CFG_REG 0x5310 0228 0x0000 0570	GPIO138	7	IO								
T5	DAC_OUT	DAC_OUT		O				3.3V	VDDA_CIO		AnalogCIO	
T13	DAC_VREF0	DAC_VREF0		A				3.3V	VDDA_CIO		AnalogCIO	
T6	DAC_VREF1	DAC_VREF1		A				3.3V	VDDA_CIO		AnalogCIO	
B2	EPWM0_A	EPWM0_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM0_A_CFG_REG 0x5310 00AC 0x0000 05F7	GPIO43	7	IO								
B1	EPWM0_B	EPWM0_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM0_B_CFG_REG 0x5310 00B0 0x0000 05F7	GPIO44	7	IO								
D3	EPWM1_A	EPWM1_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM1_A_CFG_REG 0x5310 00B4 0x0000 05F7	GPIO45	7	IO								
D2	EPWM1_B	EPWM1_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM1_B_CFG_REG 0x5310 00B8 0x0000 05F7	GPIO46	7	IO								
C2	EPWM2_A	EPWM2_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM2_A_CFG_REG 0x5310 00BC 0x0000 05F7	GPIO47	7	IO								
C1	EPWM2_B	EPWM2_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM2_B_CFG_REG 0x5310 00C0 0x0000 05F7	GPIO48	7	IO								
E2	EPWM3_A	EPWM3_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM3_A_CFG_REG 0x5310 00C4 0x0000 05F7	GPIO49	7	IO								
E3	EPWM3_B	EPWM3_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
	EPWM3_B_CFG_REG 0x5310 00C8 0x0000 05F7	GPIO50	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
D1	EPWM4_A EPWM4_A_CFG_REG 0x5310 00CC 0x0000 05F7	EPWM4_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO51	7	IO								
E4	EPWM4_B EPWM4_B_CFG_REG 0x5310 00D0 0x0000 05F7	EPWM4_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX1_CLK	6	O								
		GPIO52	7	IO								
F2	EPWM5_A EPWM5_A_CFG_REG 0x5310 00D4 0x0000 05F7	EPWM5_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX1_DATA0	6	O								
		GPIO53	7	IO								
G2	EPWM5_B EPWM5_B_CFG_REG 0x5310 00D8 0x0000 05F7	EPWM5_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX1_DATA1	6	O								
		GPIO54	7	IO								
E1	EPWM6_A EPWM6_A_CFG_REG 0x5310 00DC 0x0000 05F7	EPWM6_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX1_CLK	6	I								
		GPIO55	7	IO								
F3	EPWM6_B EPWM6_B_CFG_REG 0x5310 00E0 0x0000 05F7	EPWM6_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX1_DATA0	6	I								
		GPIO56	7	IO								
F4	EPWM7_A EPWM7_A_CFG_REG 0x5310 00E4 0x0000 05F7	EPWM7_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX1_DATA1	6	I								
		GPIO57	7	IO								
F1	EPWM7_B EPWM7_B_CFG_REG 0x5310 00E8 0x0000 05F7	EPWM7_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO58	7	IO								
G3	EPWM8_A EPWM8_A_CFG_REG 0x5310 00EC 0x0000 05F7	EPWM8_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART4_TXD	1	O								
		I2C3_SDA	2	IOD								
		FSITX2_CLK	6	O								
		GPIO59	7	IO								
H2	EPWM8_B EPWM8_B_CFG_REG 0x5310 00F0 0x0000 05F7	EPWM8_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART4_RXD	1	I								
		I2C3_SCL	2	IOD								
		FSITX2_DATA0	6	O								
		GPIO60	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
G1	EPWM9_A EPWM9_A_CFG_REG 0x5310 00F4 0x0000 05F7	EPWM9_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX2_DATA1	6	O								
		GPIO61	7	IO								
J2	EPWM9_B EPWM9_B_CFG_REG 0x5310 00F8 0x0000 05F7	EPWM9_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_RTSn	1	O								
		FSIRX2_CLK	6	I								
		GPIO62	7	IO								
G4	EPWM10_A EPWM10_A_CFG_REG 0x5310 00FC 0x0000 05F7	EPWM10_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_CTSn	1	I								
		FSIRX2_DATA0	6	I								
		GPIO63	7	IO								
J3	EPWM10_B EPWM10_B_CFG_REG 0x5310 0100 0x0000 05F7	EPWM10_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART2_RTSn	1	O								
		FSIRX2_DATA1	6	I								
		GPIO64	7	IO								
H1	EPWM11_A EPWM11_A_CFG_REG 0x5310 0104 0x0000 05F7	EPWM11_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART2_CTSn	1	I								
		GPMC0_CLKLB	6	IO								
		GPIO65	7	IO								
J1	EPWM11_B EPWM11_B_CFG_REG 0x5310 0108 0x0000 05F7	EPWM11_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_RTSn	1	O								
		GPMC0_OEn_REn	6	O								
		GPIO66	7	IO								
K2	EPWM12_A EPWM12_A_CFG_REG 0x5310 010C 0x0000 05F7	EPWM12_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_CTSn	1	I								
		SPI4_CS1	2	IO								
		GPMC0_WEn	6	O								
		GPIO67	7	IO								
J4	EPWM12_B EPWM12_B_CFG_REG 0x5310 0110 0x0000 05F7	EPWM12_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_DCDn	1	I								
		GPMC0_CSn0	6	O								
		GPIO68	7	IO								
K4	EPWM13_A EPWM13_A_CFG_REG 0x5310 0114 0x0000 05F7	EPWM13_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_RIn	1	I								
		GPMC0_AD0	6	IO								
		GPIO69	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
K3	EPWM13_B EPWM13_B_CFG_REG 0x5310 0118 0x0000 05F7	EPWM13_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_DTRn	1	O								
		GPMC0_AD1	6	IO								
		GPIO70	7	IO								
V17	EPWM14_A EPWM14_A_CFG_REG 0x5310 011C 0x0000 05F7	EPWM14_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_DSRn	1	I								
		GPMC0_AD2	6	IO								
		GPIO71	7	IO								
T16	EPWM14_B EPWM14_B_CFG_REG 0x5310 0120 0x0000 05F7	EPWM14_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MII1_RX_ER	2	I								
		GPMC0_AD3	6	IO								
		GPIO72	7	IO								
P15	EPWM15_A EPWM15_A_CFG_REG 0x5310 0124 0x0000 05F7	EPWM15_A	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_TXD	1	O								
		MII1_COL	2	I								
		GPMC0_AD4	6	IO								
		GPIO73	7	IO								
R16	EPWM15_B EPWM15_B_CFG_REG 0x5310 0128 0x0000 05F7	EPWM15_B	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_RXD	1	I								
		MII1_CRS	2	I								
		GPMC0_AD5	6	IO								
		GPIO74	7	IO								
B14	EQEP0_A EQEP0_A_CFG_REG 0x5310 0208 0x0000 05F7	UART4_RTSn	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI4_CLK	3	IO								
		GPIO130	7	IO								
		EQEP0_A	8	I								
		SDFM1_CLK0	9	I								
A14	EQEP0_B EQEP0_B_CFG_REG 0x5310 020C 0x0000 05F7	UART4_CTSn	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI4_CS0	3	IO								
		GPIO131	7	IO								
		EQEP0_B	8	I								
		SDFM1_D0	9	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
D11	EQEP0_INDEX EQEP0_INDEX_CFG_REG 0x5310 0214 0x0000 05F7	UART4_RXD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		LIN4_RXD	1	IO								
		SPI4_D1	3	IO								
		GPIO133	7	IO								
		EQEP0_INDEX	8	IO								
		SDFM1_D1	9	I								
C12	EQEP0_STROBE EQEP0_STROBE_CFG_REG 0x5310 0210 0x0000 05F7	UART4_TXD	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		LIN4_TXD	1	IO								
		SPI4_D0	3	IO								
		GPIO132	7	IO								
		EQEP0_STROBE	8	IO								
		SDFM1_CLK1	9	I								
P2	EXT_REFCLK0 EXT_REFCLK0_CFG_REG 0x5310 01E4 0x0000 05F7	EXT_REFCLK0	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		XBAROUT15	5	O								
		GPIO121	7	IO								
		EQEP1_INDEX	9	IO								
A13	I2C0_SCL I2C0_SCL_CFG_REG 0x5310 021C 0x0000 05F7	I2C0_SCL	0	IOD	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	I2C OD	
		GPIO135	7	IOD								
		EQEP2_B	8	ID								
		SDFM1_CLK3	9	ID								
B13	I2C0_SDA I2C0_SDA_CFG_REG 0x5310 0218 0x0000 05F7	I2C0_SDA	0	IOD	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	I2C OD	
		GPIO134	7	IOD								
		EQEP2_A	8	ID								
		SDFM1_CLK2	9	ID								
D7	I2C1_SCL I2C1_SCL_CFG_REG 0x5310 005C 0x0000 05F7	I2C1_SCL	0	IOD	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI3_CS0	2	IO								
		XBAROUT7	5	O								
		GPIO23	7	IO								
C8	I2C1_SDA I2C1_SDA_CFG_REG 0x5310 0060 0x0000 05F7	I2C1_SDA	0	IOD	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI3_CLK	2	IO								
		XBAROUT8	5	O								
		GPIO24	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
A9	LIN1_RXD LIN1_RXD_CFG_REG 0x5310 004C 0x0000 05F7	LIN1_RXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_RXD	1	I								
		SPI2_CS0	2	IO								
		XBAROUT5	5	O								
		GPIO19	7	IO								
B9	LIN1_TXD LIN1_TXD_CFG_REG 0x5310 0050 0x0000 05F7	LIN1_TXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_TXD	1	O								
		SPI2_CLK	2	IO								
		XBAROUT6	5	O								
		GPIO20	7	IO								
B8	LIN2_RXD LIN2_RXD_CFG_REG 0x5310 0054 0x0000 05F7	LIN2_RXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART2_RXD	1	I								
		SPI2_D0	2	IO								
		GPIO21	7	IO								
A8	LIN2_TXD LIN2_TXD_CFG_REG 0x5310 0058 0x0000 05F7	LIN2_TXD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART2_TXD	1	O								
		SPI2_D1	2	IO								
		GPIO22	7	IO								
M1	MCAN0_RX MCAN0_RX_CFG_REG 0x5310 001C 0x0000 05F7	MCAN0_RX	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI4_CS0	1	IO								
		GPIO7	7	IO								
L1	MCAN0_TX MCAN0_TX_CFG_REG 0x5310 0020 0x0000 05F7	MCAN0_TX	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI4_CLK	1	IO								
		GPIO8	7	IO								
L2	MCAN1_RX MCAN1_RX_CFG_REG 0x5310 0024 0x0000 05F7	MCAN1_RX	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI4_D0	1	IO								
		GPIO9	7	IO								
K1	MCAN1_TX MCAN1_TX_CFG_REG 0x5310 0028 0x0000 05F7	MCAN1_TX	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI4_D1	1	IO								
		GPIO10	7	IO								
A12	MCAN2_RX MCAN2_RX_CFG_REG 0x5310 0224 0x0000 05F7	MCAN2_RX	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART2_RTSn	1	O								
		GPIO137	7	IO								
		EQEP2_INDEX	8	IO								
		SDFM1_D3	9	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
B12	MCAN2_TX MCAN2_TX_CFG_REG 0x5310 0220 0x0000 05F7	MCAN2_TX	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_RTSn	1	O								
		GPIO136	7	IO								
		EQEP2_STROBE	8	IO								
		SDFM1_D2	9	I								
M17	MDIO0_MDC MDIO0_MDC_CFG_REG 0x5310 00A8 0x0000 05F7	MDIO0_MDC	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO42	7	IO								
N16	MDIO0_MDIO MDIO0_MDIO_CFG_REG 0x5310 00A4 0x0000 05F7	MDIO0_MDIO	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO41	7	IO								
A5	MMC0_CD MMC0_CD_CFG_REG 0x5310 0150 0x0000 05F7	MMC0_CD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART0_CTSn	1	I								
		I2C2_SDA	2	IOD								
		EPWM20_B	5	O								
		GPMC0_AD15	6	IO								
		GPIO84	7	IO								
		SDFM1_D3	8	I								
B6	MMC0_CLK MMC0_CLK_CFG_REG 0x5310 0134 0x0000 05F7	MMC0_CLK	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART0_RXD	1	I								
		LIN0_RXD	2	IO								
		EPWM17_A	5	O								
		GPMC0_AD8	6	IO								
		GPIO77	7	IO								
		SDFM1_CLK0	8	I								
A4	MMC0_CMD MMC0_CMD_CFG_REG 0x5310 0138 0x0000 05F7	MMC0_CMD	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART0_TXD	1	O								
		LIN0_TXD	2	IO								
		EPWM17_B	5	O								
		GPMC0_AD9	6	IO								
		GPIO78	7	IO								
		SDFM1_D0	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
C6	MMC0_WP MMC0_WP_CFG_REG 0x5310 014C 0x0000 05F7	MMC0_WP	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART0_RTSn	1	O								
		I2C2_SCL	2	IOD								
		EPWM20_A	5	O								
		GPMC0_AD14	6	IO								
		GPIO83	7	IO								
		SDFM1_CLK3	8	I								
B5	MMC0_D0 MMC0_D0_CFG_REG 0x5310 013C 0x0000 05F7	MMC0_D0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART2_RXD	1	I								
		I2C1_SCL	2	IOD								
		EPWM18_A	5	O								
		GPMC0_AD10	6	IO								
		GPIO79	7	IO								
		SDFM1_CLK1	8	I								
B4	MMC0_D1 MMC0_D1_CFG_REG 0x5310 0140 0x0000 05F7	MMC0_D1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EPWM18_B	5	O								
		GPMC0_AD11	6	IO								
		GPIO80	7	IO								
		SDFM1_D1	8	I								
A3	MMC0_D2 MMC0_D2_CFG_REG 0x5310 0144 0x0000 05F7	MMC0_D2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART2_TXD	1	O								
		I2C1_SDA	2	IOD								
		EPWM19_A	5	O								
		GPMC0_AD12	6	IO								
		GPIO81	7	IO								
		SDFM1_CLK2	8	I								
A2	MMC0_D3 MMC0_D3_CFG_REG 0x5310 0148 0x0000 05F7	MMC0_D3	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_RTSn	1	O								
		EPWM19_B	5	O								
		GPMC0_AD13	6	IO								
		GPIO82	7	IO								
		SDFM1_D2	8	I								
R2	PORz	PORz		I			0	3.3V	VDDSHV0	是	复位	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
L18	PR0_MDIO0_MDC PR0_MDIO0_MDC_CFG_REG 0x5310 0158 0x0000 05F7	PR0_MDIO0_MDC	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EPWM21_B	5	O								
		GPMC0_CSn3	6	O								
		GPIO86	7	IO								
L17	PR0_MDIO0_MDIO PR0_MDIO0_MDIO_CFG_REG 0x5310 0154 0x0000 05F7	PR0_MDIO0_MDIO	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EPWM21_A	5	O								
		GPMC0_CSn2	6	O								
		GPIO85	7	IO								
K17	PR0_PRU0_GPIO0 PR0_PRU0_GPIO0_CFG_REG 0x5310 0174 0x0000 05F7	PR0_PRU0_GPIO0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_RXD0	2	I								
		RGMII2_RD0	3	I								
		MII2_RXD0	4	I								
		EPWM25_A	5	O								
		GPMC0_A1	6	O								
		GPIO93	7	IO								
K18	PR0_PRU0_GPIO1 PR0_PRU0_GPIO1_CFG_REG 0x5310 0178 0x0000 05F7	PR0_PRU0_GPIO1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_RXD1	2	I								
		RGMII2_RD1	3	I								
		MII2_RXD1	4	I								
		EPWM25_B	5	O								
		GPMC0_A2	6	O								
		GPIO94	7	IO								
J18	PR0_PRU0_GPIO2 PR0_PRU0_GPIO2_CFG_REG 0x5310 017C 0x0000 05F7	PR0_PRU0_GPIO2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RGMII2_RD2	3	I								
		MII2_RXD2	4	I								
		EPWM26_A	5	O								
		GPMC0_A3	6	O								
		GPIO95	7	IO								
J17	PR0_PRU0_GPIO3 PR0_PRU0_GPIO3_CFG_REG 0x5310 0180 0x0000 05F7	PR0_PRU0_GPIO3	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RGMII2_RD3	3	I								
		MII2_RXD3	4	I								
		EPWM26_B	5	O								
		GPMC0_A4	6	O								
		GPIO96	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
K16	PR0_PRU0_GPIO4 PR0_PRU0_GPIO4_CFG_REG 0x5310 0170 0x0000 05F7	PR0_PRU0_GPIO4	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RGMII2_RX_CTL	3	I								
		MII2_RXDV	4	I								
		EPWM24_B	5	O								
		GPMC0_A0	6	O								
		GPIO92	7	IO								
G17	PR0_PRU0_GPIO5 PR0_PRU0_GPIO5_CFG_REG 0x5310 015C 0x0000 05F7	PR0_PRU0_GPIO5	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_RX_ER	2	I								
		MII2_RX_ER	4	I								
		EPWM22_A	5	O								
		GPMC0_DIR	6	O								
		GPIO87	7	IO								
K15	PR0_PRU0_GPIO6 PR0_PRU0_GPIO6_CFG_REG 0x5310 016C 0x0000 05F7	PR0_PRU0_GPIO6	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_REF_CLK	2	IO								
		RGMII2_RXC	3	I								
		MII2_RXCLK	4	I								
		EPWM24_A	5	O								
		GPMC0_CSn1	6	O								
		GPIO91	7	IO								
G15	PR0_PRU0_GPIO8 PR0_PRU0_GPIO8_CFG_REG 0x5310 0168 0x0000 05F7	PR0_PRU0_GPIO8	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EPWM23_B	5	O								
		GPMC0_WPn	6	O								
		GPIO90	7	IO								
F17	PR0_PRU0_GPIO9 PR0_PRU0_GPIO9_CFG_REG 0x5310 0160 0x0000 05F7	PR0_PRU0_GPIO9	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		PR0_UART0_CTSn	3	I								
		MII2_COL	4	I								
		EPWM22_B	5	O								
		GPMC0_CLK	6	IO								
		GPIO88	7	IO								
G18	PR0_PRU0_GPIO10 PR0_PRU0_GPIO10_CFG_REG 0x5310 0164 0x0000 05F7	PR0_PRU0_GPIO10	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_CRS_DV	2	I								
		PR0_UART0_RTSn	3	O								
		MII2_CRS	4	I								
		EPWM23_A	5	O								
		GPMC0_WAIT0	6	I								
		GPIO89	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
M16	PR0_PRU0_GPIO11 PR0_PRU0_GPIO11_CFG_REG 0x5310 018C 0x0000 05F7	PR0_PRU0_GPIO11	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_TXD0	2	O								
		RGMII2_TD0	3	O								
		MII2_TXD0	4	O								
		EPWM28_A	5	O								
		GPMC0_A7	6	O								
		GPIO99	7	IO								
M15	PR0_PRU0_GPIO12 PR0_PRU0_GPIO12_CFG_REG 0x5310 0190 0x0000 05F7	PR0_PRU0_GPIO12	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_TXD1	2	O								
		RGMII2_TD1	3	O								
		MII2_TXD1	4	O								
		EPWM28_B	5	O								
		GPMC0_A8	6	O								
		GPIO100	7	IO								
H17	PR0_PRU0_GPIO13 PR0_PRU0_GPIO13_CFG_REG 0x5310 0194 0x0000 05F7	PR0_PRU0_GPIO13	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RGMII2_TD2	3	O								
		MII2_TXD2	4	O								
		EPWM29_A	5	O								
		GPMC0_A9	6	O								
		GPIO101	7	IO								
H16	PR0_PRU0_GPIO14 PR0_PRU0_GPIO14_CFG_REG 0x5310 0198 0x0000 05F7	PR0_PRU0_GPIO14	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RGMII2_TD3	3	O								
		MII2_TXD3	4	O								
		EPWM29_B	5	O								
		GPMC0_A10	6	O								
		GPIO102	7	IO								
L16	PR0_PRU0_GPIO15 PR0_PRU0_GPIO15_CFG_REG 0x5310 0188 0x0000 05F7	PR0_PRU0_GPIO15	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII2_TX_EN	2	O								
		RGMII2_TX_CTL	3	O								
		MII2_TX_EN	4	O								
		EPWM27_B	5	O								
		GPMC0_A6	6	O								
		GPIO98	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
H18	PR0_PRU0_GPIO16 PR0_PRU0_GPIO16_CFG_REG 0x5310 0184 0x0000 05F7	PR0_PRU0_GPIO16	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RGMII2_TXC	3	O								
		MII2_TXCLK	4	I								
		EPWM27_A	5	O								
		GPMC0_A5	6	O								
		GPIO97	7	IO								
F18	PR0_PRU1_GPIO0 PR0_PRU1_GPIO0_CFG_REG 0x5310 01B4 0x0000 05F7	PR0_PRU1_GPIO0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX2_DATA1	3	O								
		TRC_DATA6	4	O								
		GPMC0_A13	6	O								
		GPIO109	7	IO								
G16	PR0_PRU1_GPIO1 PR0_PRU1_GPIO1_CFG_REG 0x5310 01B8 0x0000 05F7	PR0_PRU1_GPIO1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX2_CLK	3	I								
		TRC_DATA7	4	O								
		GPMC0_A14	6	O								
		GPIO110	7	IO								
E17	PR0_PRU1_GPIO2 PR0_PRU1_GPIO2_CFG_REG 0x5310 01BC 0x0000 05F7	PR0_PRU1_GPIO2	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX2_DATA0	3	I								
		TRC_DATA8	4	O								
		GPMC0_A15	6	O								
		GPIO111	7	IO								
E18	PR0_PRU1_GPIO3 PR0_PRU1_GPIO3_CFG_REG 0x5310 01C0 0x0000 05F7	PR0_PRU1_GPIO3	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX2_DATA1	3	I								
		TRC_DATA9	4	O								
		GPMC0_A16	6	O								
		GPIO112	7	IO								
F16	PR0_PRU1_GPIO4 PR0_PRU1_GPIO4_CFG_REG 0x5310 01B0 0x0000 05F7	PR0_PRU1_GPIO4	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX2_DATA0	3	O								
		TRC_DATA5	4	O								
		GPMC0_A12	6	O								
		GPIO108	7	IO								
F15	PR0_PRU1_GPIO5 PR0_PRU1_GPIO5_CFG_REG 0x5310 019C 0x0000 05F7	PR0_PRU1_GPIO5	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		TRC_DATA0	4	O								
		EPWM30_A	5	O								
		GPMC0_OEn_REn	6	O								
		GPIO103	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
E16	PR0_PRU1_GPIO6 PR0_PRU1_GPIO6_CFG_REG 0x5310 01AC 0x0000 05F7	PR0_PRU1_GPIO6	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX2_CLK	3	O								
		TRC_DATA4	4	O								
		GPMC0_A11	6	O								
		GPIO107	7	IO								
D18	PR0_PRU1_GPIO8 PR0_PRU1_GPIO8_CFG_REG 0x5310 01A8 0x0000 05F7	PR0_PRU1_GPIO8	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		TRC_DATA3	4	O								
		EPWM31_B	5	O								
		GPMC0_WEn	6	O								
		GPIO106	7	IO								
C18	PR0_PRU1_GPIO9 PR0_PRU1_GPIO9_CFG_REG 0x5310 01A0 0x0000 05F7	PR0_PRU1_GPIO9	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		PR0_UART0_RXD	3	I								
		TRC_DATA1	4	O								
		EPWM30_B	5	O								
		GPMC0_BE0n_CLE	6	O								
		GPIO104	7	IO								
D17	PR0_PRU1_GPIO10 PR0_PRU1_GPIO10_CFG_REG 0x5310 01A4 0x0000 05F7	PR0_PRU1_GPIO10	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		PR0_UART0_TXD	3	O								
		TRC_DATA2	4	O								
		EPWM31_A	5	O								
		GPMC0_BE1n	6	O								
		GPIO105	7	IO								
B18	PR0_PRU1_GPIO11 PR0_PRU1_GPIO11_CFG_REG 0x5310 01CC 0x0000 05F7	PR0_PRU1_GPIO11	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX3_DATA1	3	O								
		TRC_DATA12	4	O								
		GPMC0_A19	6	O								
		GPIO115	7	IO								
B17	PR0_PRU1_GPIO12 PR0_PRU1_GPIO12_CFG_REG 0x5310 01D0 0x0000 05F7	PR0_PRU1_GPIO12	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX3_CLK	3	I								
		TRC_DATA13	4	O								
		GPMC0_A20	6	O								
		GPIO116	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
D16	PR0_PRU1_GPIO13 PR0_PRU1_GPIO13_CFG_REG 0x5310 01D4 0x0000 05F7	PR0_PRU1_GPIO13	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX3_DATA0	3	I								
		TRC_DATA14	4	O								
		XBAROUT11	5	O								
		GPMC0_A21	6	O								
		GPIO117	7	IO								
C17	PR0_PRU1_GPIO14 PR0_PRU1_GPIO14_CFG_REG 0x5310 01D8 0x0000 05F7	PR0_PRU1_GPIO14	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSIRX3_DATA1	3	I								
		TRC_DATA15	4	O								
		XBAROUT12	5	O								
		GPMC0_CSn0	6	O								
		GPIO118	7	IO								
A17	PR0_PRU1_GPIO15 PR0_PRU1_GPIO15_CFG_REG 0x5310 01C8 0x0000 05F7	PR0_PRU1_GPIO15	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX3_DATA0	3	O								
		TRC_DATA11	4	O								
		GPMC0_A18	6	O								
		GPIO114	7	IO								
C16	PR0_PRU1_GPIO16 PR0_PRU1_GPIO16_CFG_REG 0x5310 01C4 0x0000 05F7	PR0_PRU1_GPIO16	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX3_CLK	3	O								
		TRC_DATA10	4	O								
		GPMC0_A17	6	O								
		GPIO113	7	IO								
C15	PR0_PRU1_GPIO18 PR0_PRU1_GPIO18_CFG_REG 0x5310 01E0 0x0000 05F7	PR0_PRU1_GPIO18	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_TXD	2	O								
		PR0_IEP0_EDIO_DATA_IN_OUT31	3	IO								
		TRC_CTL	4	O								
		XBAROUT14	5	O								
		GPMC0_WAIT1	6	I								
		GPIO120	7	IO								
		EQEP1_B	9	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
D15	PR0_PRU1_GPIO19 PR0_PRU1_GPIO19_CFG_REG 0x5310 01DC 0x0000 05F7	PR0_PRU1_GPIO19	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_RXD	2	I								
		PR0_IEP0_EDC_SYNC_OUT0	3	O								
		TRC_CLK	4	O								
		XBAROUT13	5	O								
		GPIO119	7	IO								
		EQEP1_A	9	I								
N2	QSPI0_CLK QSPI0_CLK_CFG_REG 0x5310 0008 0x0000 05F7	QSPI0_CLK	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO2	7	IO								
P1	QSPI0_CSn0 QSPI0_CSn0_CFG_REG 0x5310 0000 0x0000 05F7	QSPI0_CSn0	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO0	7	IO								
R3	QSPI0_CSn1 QSPI0_CSn1_CFG_REG 0x5310 0004 0x0000 05F7	QSPI0_CSn1	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		XBAROUT0	5	O								
		GPIO1	7	IO								
N1	QSPI0_D0 QSPI0_D0_CFG_REG 0x5310 000C 0x0000 05D7	QSPI0_D0	0	IO	开启/关闭/关闭	开启/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO3	7	IO								
		SOP0	自举	I								
N4	QSPI0_D1 QSPI0_D1_CFG_REG 0x5310 0010 0x0000 05D7	QSPI0_D1	0	I	开启/关闭/关闭	开启/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO4	7	IO								
		SOP1	自举	I								
M4	QSPI0_D2 QSPI0_D2_CFG_REG 0x5310 0014 0x0000 05F7	QSPI0_D2	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO5	7	IO								
P3	QSPI0_D3 QSPI0_D3_CFG_REG 0x5310 0018 0x0000 05F7	QSPI0_D3	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO6	7	IO								
R17	RGMII1_RXC RGMII1_RXC_CFG_REG 0x5310 0074 0x0000 05F7	RGMII1_RXC	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_REF_CLK	1	IO								
		MII1_RXCLK	2	I								
		FSITX0_CLK	6	O								
		GPIO29	7	IO								
		EQEP2_A	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
R18	RGMII1_RX_CTL RGMII1_RX_CTL_CFG_REG 0x5310 0078 0x0000 05F7	RGMII1_RX_CTL	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_RX_ER	1	I								
		MII1_RXDV	2	I								
		FSITX0_DATA0	6	O								
		GPIO30	7	IO								
		EQEP2_B	8	I								
N18	RGMII1_TXC RGMII1_TXC_CFG_REG 0x5310 008C 0x0000 05F7	RGMII1_TXC	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MII1_TXCLK	2	I								
		FSITX1_CLK	6	O								
		GPIO35	7	IO								
		EQEP0_INDEX	8	IO								
M18	RGMII1_TX_CTL RGMII1_TX_CTL_CFG_REG 0x5310 0090 0x0000 05F7	RGMII1_TX_CTL	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_TX_EN	1	O								
		MII1_TX_EN	2	O								
		FSITX1_DATA0	6	O								
		GPIO36	7	IO								
		EQEP0_STROBE	8	IO								
U17	RGMII1_RD0 RGMII1_RD0_CFG_REG 0x5310 007C 0x0000 05F7	RGMII1_RD0	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_RXD0	1	I								
		MII1_RXD0	2	I								
		FSITX0_DATA1	6	O								
		GPIO31	7	IO								
		EQEP2_STROBE	8	IO								
T17	RGMII1_RD1 RGMII1_RD1_CFG_REG 0x5310 0080 0x0000 05F7	RGMII1_RD1	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_RXD1	1	I								
		MII1_RXD1	2	I								
		FSIRX0_CLK	6	I								
		GPIO32	7	IO								
		EQEP2_INDEX	8	IO								
U18	RGMII1_RD2 RGMII1_RD2_CFG_REG 0x5310 0084 0x0000 05F7	RGMII1_RD2	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MII1_RXD2	2	I								
		FSIRX0_DATA0	6	I								
		GPIO33	7	IO								
		EQEP0_A	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
T18	RGMII1_RD3 RGMII1_RD3_CFG_REG 0x5310 0088 0x0000 05F7	RGMII1_RD3	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MII1_RXD3	2	I								
		FSIRX0_DATA1	6	I								
		GPIO34	7	IO								
		EQEP0_B	8	I								
P16	RGMII1_TD0 RGMII1_TD0_CFG_REG 0x5310 0094 0x0000 05F7	RGMII1_TD0	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_TXD0	1	O								
		MII1_TXD0	2	O								
		FSITX1_DATA1	6	O								
		GPIO37	7	IO								
		EQEP1_A	8	I								
P17	RGMII1_TD1 RGMII1_TD1_CFG_REG 0x5310 0098 0x0000 05F7	RGMII1_TD1	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_TXD1	1	O								
		MII1_TXD1	2	O								
		FSIRX1_CLK	6	I								
		GPIO38	7	IO								
		EQEP1_B	8	I								
P18	RGMII1_TD2 RGMII1_TD2_CFG_REG 0x5310 009C 0x0000 05F7	RGMII1_TD2	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		RMII1_CRS_DV	1	I								
		MII1_TXD2	2	O								
		FSIRX1_DATA0	6	I								
		GPIO39	7	IO								
		EQEP1_STROBE	8	IO								
N17	RGMII1_TD3 RGMII1_TD3_CFG_REG 0x5310 00A0 0x0000 05F7	RGMII1_TD3	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MII1_TXD3	2	O								
		FSIRX1_DATA1	6	I								
		GPIO40	7	IO								
		EQEP1_INDEX	8	IO								
T4	RSVD_T4	RSVD_T4		RSVD					保留		保留	
U1	RSVD_U1	RSVD_U1		RSVD					保留		保留	
U3	RSVD_U3	RSVD_U3		RSVD					保留		保留	
V2	RSVD_V2	RSVD_V2		RSVD					保留		保留	
D4	SAFETY_ERRORn SAFETY_ERRORn_CFG_REG 0x5310 0230 0x410	SAFETY_ERRORn	0	IO	开启/关闭/下拉	开启/NA/下拉	0	3.3V	VDDSHV0	是	LVCMOS	PU/PD

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
B16	SDFM0_CLK0 SDFM0_CLK0_CFG_REG 0x5310 01E8 0x0000 05F7	CLKOUT1	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO122	7	IO								
		SDFM0_CLK0	8	I								
		EQEP1_STROBE	9	IO								
A16	SDFM0_CLK1 SDFM0_CLK1_CFG_REG 0x5310 01F0 0x0000 05F7	PR0_PRU1_GPIO7	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		CPTS0_TS_SYNC	1	O								
		UART5_RTSn	2	O								
		PR0_IEP0_EDC_SYNC_OUT1	3	O								
		I2C3_SDA	5	IOD								
		GPIO124	7	IO								
		SDFM0_CLK1	8	I								
B15	SDFM0_CLK2 SDFM0_CLK2_CFG_REG 0x5310 01F8 0x0000 05F7	UART5_TXD	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		I2C3_SCL	5	IOD								
		GPMC0_ADVn_ALE	6	O								
		GPIO126	7	IO								
		SDFM0_CLK2	8	I								
A15	SDFM0_CLK3 SDFM0_CLK3_CFG_REG 0x5310 0200 0x0000 05F7	MCAN3_TX	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_RXD	1	I								
		GPIO128	7	IO								
		SDFM0_CLK3	8	I								
D14	SDFM0_D0 SDFM0_D0_CFG_REG 0x5310 01EC 0x0000 05F7	PR0_ECAP0_APWM_OUT	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO123	7	IO								
		SDFM0_D0	8	I								
D13	SDFM0_D1 SDFM0_D1_CFG_REG 0x5310 01F4 0x0000 05F7	PR0_PRU1_GPIO17	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_CTSn	2	I								
		PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO								
		GPIO125	7	IO								
		SDFM0_D1	8	I								
C13	SDFM0_D2 SDFM0_D2_CFG_REG 0x5310 01FC 0x0000 05F7	UART5_RXD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO127	7	IO								
		SDFM0_D2	8	I								
C14	SDFM0_D3 SDFM0_D3_CFG_REG 0x5310 0204 0x0000 05F7	MCAN3_RX	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO129	7	IO								
		SDFM0_D3	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
A11	SPI0_CLK SPI0_CLK_CFG_REG 0x5310 0030 0x0000 05D7	SPI0_CLK	0	IO	开启/关闭/关闭	开启/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_TXD	1	O								
		LIN3_TXD	2	IO								
		FSITX0_CLK	6	O								
		GPIO12	7	IO								
		SOP2	自举	I								
A10	SPI1_CLK SPI1_CLK_CFG_REG 0x5310 0040 0x0000 05F7	SPI1_CLK	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART4_RXD	1	I								
		LIN4_RXD	2	IO								
		XBAROUT2	5	O								
		FSIRX0_CLK	6	I								
		GPIO16	7	IO								
C11	SPI0_CS0 SPI0_CS0_CFG_REG 0x5310 002C 0x0000 05F7	SPI0_CS0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_RXD	1	I								
		LIN3_RXD	2	IO								
		GPIO11	7	IO								
C10	SPI0_D0 SPI0_D0_CFG_REG 0x5310 0034 0x0000 05D7	SPI0_D0	0	IO	开启/关闭/关闭	开启/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX0_DATA0	6	O								
		GPIO13	7	IO								
		SOP3	自举	I								
B11	SPI0_D1 SPI0_D1_CFG_REG 0x5310 0038 0x0000 05F7	SPI0_D1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		FSITX0_DATA1	6	O								
		GPIO14	7	IO								
C9	SPI1_CS0 SPI1_CS0_CFG_REG 0x5310 003C 0x0000 05F7	SPI1_CS0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART4_TXD	1	O								
		LIN4_TXD	2	IO								
		XBAROUT1	5	O								
		GPIO15	7	IO								
B10	SPI1_D0 SPI1_D0_CFG_REG 0x5310 0044 0x0000 05F7	SPI1_D0	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_TXD	1	O								
		XBAROUT3	5	O								
		FSIRX0_DATA0	6	I								
		GPIO17	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
D9	SPI1_D1 SPI1_D1_CFG_REG 0x5310 0048 0x0000 05F7	SPI1_D1	0	IO	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART5_RXD	1	I								
		XBAROUT4	5	O								
		FSIRX0_DATA1	6	I								
		GPIO18	7	IO								
B3	TCK TCK_CFG_REG 0x5310 0240 0x210	TCK	0	I	开启/NA/上拉	开启/NA/上拉	0	3.3V	VDDSHV0	是	HIGH HYST	
C5	TDI TDI_CFG_REG 0x5310 0234 0x6D0	TDI	0	I	开启/关闭/上拉	开启/关闭/上拉	0	3.3V	VDDSHV0	是	LVCMOS	PU/PD
C4	TDO TDO_CFG_REG 0x5310 0238 0x630	TDO	0	O	关闭/关闭/上拉	关闭/NA/上拉	0	3.3V	VDDSHV0	是	LVCMOS	PU/PD
D5	TMS TMS_CFG_REG 0x5310 023C 0x610	TMS	0	IO	开启/关闭/上拉	开启/NA/上拉	0	3.3V	VDDSHV0	是	LVCMOS	PU/PD
B7	UART0_CTSn UART0_CTSn_CFG_REG 0x5310 0068 0x0000 05F7	UART0_CTSn	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		I2C2_SDA	1	IOD								
		SPI3_D1	2	IO								
		MCAN3_RX	3	I								
		SPI0_CS1	4	IO								
		XBAROUT10	5	O								
		GPIO26	7	IO								
C7	UART0_RTSn UART0_RTSn_CFG_REG 0x5310 0064 0x0000 05F7	UART0_RTSn	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		I2C2_SCL	1	IOD								
		SPI3_D0	2	IO								
		MCAN3_TX	3	O								
		XBAROUT9	5	O								
		GPIO25	7	IO								
A7	UART0_RXD UART0_RXD_CFG_REG 0x5310 006C 0x0000 05F7	UART0_RXD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		LIN0_RXD	1	IO								
		GPIO27	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
A6	UART0_TXD UART0_TXD_CFG_REG 0x5310 0070 0x0000 05F7	UART0_TXD	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		LIN0_TXD	1	IO								
		GPIO28	7	IO								
L3	UART1_RXD UART1_RXD_CFG_REG 0x5310 012C 0x0000 05F7	UART1_RXD	0	I	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		LIN1_RXD	1	IO								
		EPWM16_A	5	O								
		GPMC0_AD6	6	IO								
		GPIO75	7	IO								
M3	UART1_TXD UART1_TXD_CFG_REG 0x5310 0130 0x0000 05F7	UART1_TXD	0	O	关闭/关闭/关闭	关闭/关闭/关闭	7	3.3V	VDDSHV0	是	LVCMOS	PU/PD
		LIN1_TXD	1	IO								
		EPWM16_B	5	O								
		GPMC0_AD7	6	IO								
		GPIO76	7	IO								
E11、E9、F11、F9、G13、G14、G5、G6、J16、K13、K14、K5、K6、N13、N14、N5、N6、R9	VDD	VDD		PWR				1.2V				
R11、R8	VDDA18	VDDA18		PWR				1.8V				
R6	VDDA18_LDO	VDDA18_LDO		PWR				1.8V				
R4	VDDA18_OSC_PLL	VDDA18_OSC_PLL		PWR				1.8V				
P11、P7、P9	VDDA33	VDDA33		PWR				3.3V				
J15	VDDAR1	VDDAR1		PWR				1.2V				
D10	VDDAR2	VDDAR2		PWR				1.2V				
H3	VDDAR3	VDDAR3		PWR				1.2V				
D6、E15、L4、N15	VDDS18	VDDS18		PWR				1.8V				
T3	VDDS18_LDO	VDDS18_LDO		PWR				1.8V				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
D12、D8、H15、H4、L15、P4、R15	VDDS33	VDDS33		PWR				3.3V				
N3	VPP	VPP		PWR				VPP				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
A1、A18、E10、E12、E13、E14、E5、E6、E7、E8、F10、F12、F13、F14、F5、F6、F7、F8、G10、G11、G12、G7、G8、G9、H10、H11、H12、H13、H14、H5、H6、H7、H8、H9、J10、J11、J12、J13、J14、J5、J6、J7、J8、J9、K10、K11、K12、K7、K8、K9、L10、L11、L12、L13、L14、L5、L6、L7、L8、L9、M10、M11、M12、M13、M14、M5、M6、M7、M8、M9、N10、	VSS	VSS		GND				VSS				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ZCZ 封装）（续）

焊球编号 [1]	焊球名称 [2]/ IOMUX 寄存器 [15]/ 地址 [16]/ 默认值 [17]	信号名称 [3]	多路复用模式 [4]	类型 [5]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	IO 电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [14]	拉动类型 [13]
N11、N12、N7、N8、N9、P13、P14、P5、T2、V18												
P10、P12、P6、P8、R13、R5、V1、V16	VSSA	VSSA		AGND				VSSA				
U2	VSYS_MON	VSYS_MON		PWR				0.9V	VDDA_CIO		AnalogCIO	
C3	WARMRSTn WARMRSTn_CFG_REG 0x5310 022C 0x510	WARMRSTn	0	IO	开启/关闭/关闭	开启/NA/关闭	0	3.3V	VDDSHV0		FS 开漏	
T1	XTAL_XI	XTAL_XI		I			0	1.8V	VDDS_OSC	是	HFOSC	
R1	XTAL_XO	XTAL_XO		O			0	1.8V	VDDS_OSC		HFOSC	

Copyright © 2026 Texas Instruments Incorporated

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称：**通过引脚的信号的名称。

   备注

   每个“信号说明”表中提供的信号名称和说明表示在引脚上实现并通过 IOMUX 焊盘配置寄存器选择的引脚多路复用信号功能。某些器件子系统提供信号功能的二次多路复用，这些表中没有说明这些功能。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **引脚类型：**信号方向和类型：
   - I = 输入
   - O = 输出
   - IO = 输入、输出或同时输入和输出
   - ID = 输入，具有开漏输出功能
   - OD = 输出，具有开漏输出功能
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - CAP = LDO 电容器
   - PWR = 电源
   - GND = 地
3. **说明：**信号说明
4. **焊球：**相关焊球编号

更多有关 I/O 单元配置的信息，请参阅器件 TRM 中*器件配置*一章的*焊盘配置寄存器*部分。

Copyright © 2026 Texas Instruments Incorporated

5.3.1 ADC

表 5-2. ADC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC0_AIN0	I	ADC 模拟输入 0 (+IN0) CMPSSA0：inH (+IN)	V15
ADC0_AIN1	I	ADC 模拟输入 1 (-IN0) CMPSSA0：inL (-IN)	U15
ADC0_AIN2	I	ADC 模拟输入 2 (+IN1) CMPSSA1：inH (+IN)	T14
ADC0_AIN3	I	ADC 模拟输入 3 (-IN1) CMPSSA1：inL (-IN)	U14
ADC0_AIN4	I	ADC 模拟输入 4 (+IN2) CMPSSB0：inH/inL (+IN/-IN)	U13
ADC0_AIN5	I	ADC 模拟输入 5 (-IN2) CMPSSB1：inH/inL (+IN/-IN)	R14

表 5-3. ADC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC1_AIN0	I	ADC 模拟输入 0 (+IN0) CMPSSA2：inH (+IN)	T11
ADC1_AIN1	I	ADC 模拟输入 1 (-IN0) CMPSSA2：inL (-IN)	U11
ADC1_AIN2	I	ADC 模拟输入 2 (+IN1) CMPSSA3：inH (+IN)	T12
ADC1_AIN3	I	ADC 模拟输入 3 (-IN1) CMPSSA3：inL (-IN)	V12
ADC1_AIN4	I	ADC 模拟输入 4 (+IN2) CMPSSB2：inH/inL (+IN/-IN)	U12
ADC1_AIN5	I	ADC 模拟输入 5 (-IN2) CMPSSB3：inH/inL (+IN/-IN)	R12

表 5-4. ADC2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC2_AIN0	I	ADC 模拟输入 0 (+IN0) CMPSSA4：inH (+IN)	R10
ADC2_AIN1	I	ADC 模拟输入 1 (-IN0) CMPSSA4：inL (-IN)	T10
ADC2_AIN2	I	ADC 模拟输入 2 (+IN1) CMPSSA5：inH (+IN)	U10
ADC2_AIN3	I	ADC 模拟输入 3 (-IN1) CMPSSA5：inL (-IN)	T9
ADC2_AIN4	I	ADC 模拟输入 4 (+IN2) CMPSSB4：inH/inL (+IN/-IN)	V9
ADC2_AIN5	I	ADC 模拟输入 5 (-IN2) CMPSSB5：inH/inL (+IN/-IN)	T8

表 5-5. ADC3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC3_AIN0	I	ADC 模拟输入 0 (+IN0) CMPSSA6：inH (+IN)	U7

Copyright © 2026 Texas Instruments Incorporated

表 5-5. ADC3 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC3_AIN1	I	ADC 模拟输入 1 (-IN0) CMPSSA6：inL (-IN)	U8
ADC3_AIN2	I	ADC 模拟输入 2 (+IN1) CMPSSA7：inH (+IN)	T7
ADC3_AIN3	I	ADC 模拟输入 3 (-IN1) CMPSSA7：inL (-IN)	R7
ADC3_AIN4	I	ADC 模拟输入 4 (+IN2) CMPSSB6：inH/inL (+IN/-IN)	V8
ADC3_AIN5	I	ADC 模拟输入 5 (-IN2) CMPSSB7：inH/inL (+IN/-IN)	U9

表 5-6. ADC4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC4_AIN0	I	ADC 模拟输入 0 (+IN0) CMPSSA8：inH (+IN)	U6
ADC4_AIN1	I	ADC 模拟输入 1 (-IN0) CMPSSA8：inL (-IN)	V5
ADC4_AIN2	I	ADC 模拟输入 2 (+IN1) CMPSSA9：inH (+IN)	V4
ADC4_AIN3	I	ADC 模拟输入 3 (-IN1) CMPSSA9：inL (-IN)	U5
ADC4_AIN4	I	ADC 模拟输入 4 (+IN2) CMPSSB8：inH/inL (+IN/-IN)	V3
ADC4_AIN5	I	ADC 模拟输入 5 (-IN2) CMPSSB9：inH/inL (+IN/-IN)	U4

5.3.1.1 ADC-CMPSS 信号连接

在每个 ADC 中，两组差分引脚应与两个 CMPSSA 的引脚共享，剩余的一对差分引脚应连接到 CMPSSB 的两个独立引脚。图 5-1 和 表 5-7 中演示了这些引脚，其中 CHSEL 值决定了如何将输入馈送到 ADC。

Copyright © 2026 Texas Instruments Incorporated

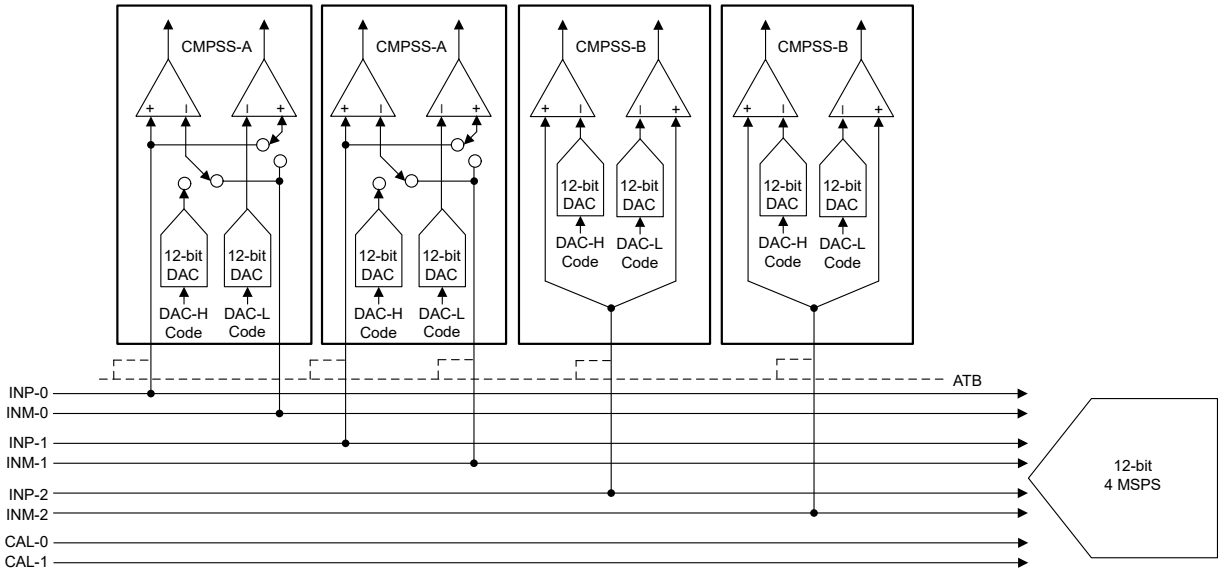


图 5-1. CMPSS 和 ADC 连接

表 5-7. ADC 输入与 CMPSS 信号之间的连接

信号/引脚名称	ADC 输入	CMPSS 输入
ADC0 通道		
ADC0_AIN0	ADC0:inp0 (+IN0)	CMPSSA0:inH (+IN)
ADC0_AIN1	ADC0:inm0 (-IN0)	CMPSSA0:inL (-IN)
ADC0_AIN2	ADC0:inp1 (+IN1)	CMPSSA1:inH (+IN)
ADC0_AIN3	ADC0:inm1 (-IN1)	CMPSSA1:inL (-IN)
ADC0_AIN4	ADC0:inp2 (+IN2)	CMPSSB0:inH/inL (+IN/-IN)
ADC0_AIN5	ADC0:inm2 (-IN2)	CMPSSB1:inH/inL (+IN/-IN)
ADC_CAL1	ADC0:inm3 (-IN3)	X
ADC_CAL0	ADC0:inp3 (+IN3)	X
ADC1 通道		
ADC1_AIN0	ADC1:inp0 (+IN0)	CMPSSA2:inH (+IN)
ADC1_AIN1	ADC1:inm0 (-IN0)	CMPSSA2:inL (-IN)
ADC1_AIN2	ADC1:inp1 (+IN1)	CMPSSA3:inH (+IN)
ADC1_AIN3	ADC1:inm1 (-IN1)	CMPSSA3:inL (-IN)
ADC1_AIN4	ADC1:inp2 (+IN2)	CMPSSB2:inH/inL (+IN/-IN)
ADC1_AIN5	ADC1:inm2 (-IN2)	CMPSSB3:inH/inL (+IN/-IN)
ADC_CAL1	ADC1:inm3 (-IN3)	X
ADC_CAL0	ADC1:inp3 (+IN3)	X
ADC2 通道		
ADC2_AIN0	ADC2:inp0 (+IN0)	CMPSSA4:inH (+IN)
ADC2_AIN1	ADC2:inm0 (-IN0)	CMPSSA4:inL (-IN)
ADC2_AIN2	ADC2:inp1 (+IN1)	CMPSSA5:inH (+IN)
ADC2_AIN3	ADC2:inm1 (-IN1)	CMPSSA5:inL (-IN)
ADC2_AIN4	ADC2:inp2 (+IN2)	CMPSSB4:inH/inL (+IN/-IN)
ADC2_AIN5	ADC2:inm2 (-IN2)	CMPSSB5:inH/inL (+IN/-IN)

Copyright © 2026 Texas Instruments Incorporated

表 5-7. ADC 输入与 CMPSS 信号之间的连接（续）

信号/引脚名称	ADC 输入	CMPSS 输入
ADC_CAL1	ADC2:inm3 (-IN3)	X
ADC_CAL0	ADC2:inp3 (+IN3)	X
ADC3 通道		
ADC3_AIN0	ADC3:inp0 (+IN0)	CMPSSA6:inH (+IN)
ADC3_AIN1	ADC3:inm0 (-IN0)	CMPSSA6:inL (-IN)
ADC3_AIN2	ADC3:inp1 (+IN1)	CMPSSA7:inH (+IN)
ADC3_AIN3	ADC3:inm1 (-IN1)	CMPSSA7:inL (-IN)
ADC3_AIN4	ADC3:inp2 (+IN2)	CMPSSB6:inH/inL (+IN/-IN)
ADC3_AIN5	ADC3:inm2 (-IN2)	CMPSSB7:inH/inL (+IN/-IN)
ADC_CAL1	ADC3:inm3 (-IN3)	X
ADC_CAL0	ADC3:inp3 (+IN3)	X
ADC4 通道		
ADC4_AIN0	ADC4:inp0 (+IN0)	CMPSSA8:inH (+IN)
ADC4_AIN1	ADC4:inm0 (-IN0)	CMPSSA8:inL (-IN)
ADC4_AIN2	ADC4:inp1 (+IN1)	CMPSSA9:inH (+IN)
ADC4_AIN3	ADC4:inm1 (-IN1)	CMPSSA9:inL (-IN)
ADC4_AIN4	ADC4:inp2 (+IN2)	CMPSSB8:inH/inL (+IN/-IN)
ADC4_AIN5	ADC4:inm2 (-IN2)	CMPSSB9:inH/inL (+IN/-IN)
ADC_CAL0	ADC4:inp3 (+IN3)	X
ADC_CAL1	ADC4:inm3 (-IN3)	X

备注

在上方 ADC-CMPSS 信号连接表的 **ADC 输入**列中，“INP”表示正输入，“INM”表示负输入。

Copyright © 2026 Texas Instruments Incorporated

5.3.2 ADC_CAL

表 5-8. ADC_CAL 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC_CAL0 (1)	I	ADC 校准引脚 0	U16
ADC_CAL1 (1)	I	ADC 校准引脚 1	T15

(1) 此引脚在 ADC[0:4] 之间共享。

5.3.3 ADC VREF

表 5-9. ADC_VREF 信号说明

信号名称 [1] ((5))	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
ADC_VREFHI_G0	A	ADC 基准（正）	V14
ADC_VREFHI_G1 (2)	A	ADC 基准（正）	V10
ADC_VREFHI_G2	A	ADC 基准（正）	V6
ADC_VREFLO_G0 (1)	A	ADC 基准（负）	V13
ADC_VREFLO_G1 (3)	A	ADC 基准（负）	V11
ADC_VREFLO_G2 (4)	A	ADC 基准（负）	V7

(1) 此引脚应连接（短接）至模拟地 (VSSA)。
(2) 此引脚可以连接（短接）至 ADC_VREFHI_G0。
(3) 此引脚可以连接（短接）至 ADC_VREFLO_G0。
(4) 此引脚可以连接（短接）至模拟地 (VSSA)。
(5) 有关连接这些引脚的更多详细信息，请参阅 *布局指南* 部分和硬件设计指南 (SPRABJ8)。

5.3.4 CPSW

表 5-10. CPSW0 RGMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
RGMII1_RXC	I	RGMII 接收时钟	R17
RGMII1_RX_CTL	I	RGMII 接收控制	R18
RGMII1_TXC	O	RGMII 发送时钟	N18
RGMII1_TX_CTL	O	RGMII 发送控制	M18
RGMII1_RD0	I	RGMII 接收数据 0	U17
RGMII1_RD1	I	RGMII 接收数据 1	T17
RGMII1_RD2	I	RGMII 接收数据 2	U18
RGMII1_RD3	I	RGMII 接收数据 3	T18
RGMII1_TD0	O	RGMII 发送数据 0	P16
RGMII1_TD1	O	RGMII 发送数据 1	P17
RGMII1_TD2	O	RGMII 发送数据 2	P18
RGMII1_TD3	O	RGMII 发送数据 3	N17

表 5-11. CPSW0 RGMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
RGMII2_RXC	I	RGMII 接收时钟	K15
RGMII2_RX_CTL	I	RGMII 接收控制	K16
RGMII2_TXC	O	RGMII 发送时钟	H18
RGMII2_TX_CTL	O	RGMII 发送控制	L16
RGMII2_RD0	I	RGMII 接收数据 0	K17

Copyright © 2026 Texas Instruments Incorporated

表 5-11. CPSW0 RGMII2 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
RGMII2_RD1	I	RGMII 接收数据 1	K18
RGMII2_RD2	I	RGMII 接收数据 2	J18
RGMII2_RD3	I	RGMII 接收数据 3	J17
RGMII2_TD0	O	RGMII 发送数据 0	M16
RGMII2_TD1	O	RGMII 发送数据 1	M15
RGMII2_TD2	O	RGMII 发送数据 2	H17
RGMII2_TD3	O	RGMII 发送数据 3	H16

表 5-12. CPSW0 RMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
RMII1_CRS_DV	I	RMII 载波侦听/数据有效	P18
RMII1_REF_CLK	IO	RMII 基准时钟	R17
RMII1_RX_ER	I	RMII 接收数据错误	R18
RMII1_TX_EN	O	RMII 发送使能	M18
RMII1_RXD0	I	RMII 接收数据 0	U17
RMII1_RXD1	I	RMII 接收数据 1	T17
RMII1_TXD0	O	RMII 发送数据 0	P16
RMII1_TXD1	O	RMII 发送数据 1	P17

表 5-13. CPSW0 RMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
RMII2_CRS_DV	I	RMII 载波侦听/数据有效	G18
RMII2_REF_CLK	IO	RMII 基准时钟	K15
RMII2_RX_ER	I	RMII 接收数据错误	G17
RMII2_TX_EN	O	RMII 发送使能	L16
RMII2_RXD0	I	RMII 接收数据 0	K17
RMII2_RXD1	I	RMII 接收数据 1	K18
RMII2_TXD0	O	RMII 发送数据 0	M16
RMII2_TXD1	O	RMII 发送数据 1	M15

表 5-14. CPSW0 MII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MII1_COL	I	检测到 MII 冲突	P15
MII1_CRS	I	MII 载波检测	R16
MII1_RXCLK	I	MII 接收时钟	R17
MII1_RXDV	I	MII 接收数据有效	R18
MII1_RX_ER	I	MII 接收数据错误	T16
MII1_TXCLK	I	MII 发送时钟	N18
MII1_TX_EN	O	MII 发送使能	M18
MII1_RXD0	I	MII 接收数据 0	U17
MII1_RXD1	I	MII 接收数据 1	T17
MII1_RXD2	I	MII 接收数据 2	U18

Copyright © 2026 Texas Instruments Incorporated

表 5-14. CPSW0 MII1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MII1_RXD3	I	MII 接收数据 3	T18
MII1_TXD0	O	MII 发送数据 0	P16
MII1_TXD1	O	MII 发送数据 1	P17
MII1_TXD2	O	MII 发送数据 2	P18
MII1_TXD3	O	MII 发送数据 3	N17

表 5-15. CPSW0 MII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MII2_COL	I	检测到 MII 冲突	F17
MII2_CRS	I	MII 载波检测	G18
MII2_RXCLK	I	MII 接收时钟	K15
MII2_RXDV	I	MII 接收数据有效	K16
MII2_RX_ER	I	MII 接收错误	G17
MII2_TXCLK	I	MII 发送时钟	H18
MII2_TX_EN	O	MII 发送使能	L16
MII2_RXD0	I	MII 接收数据 0	K17
MII2_RXD1	I	MII 接收数据 1	K18
MII2_RXD2	I	MII 接收数据 2	J18
MII2_RXD3	I	MII 接收数据 3	J17
MII2_TXD0	O	MII 发送数据 0	M16
MII2_TXD1	O	MII 发送数据 1	M15
MII2_TXD2	O	MII 发送数据 2	H17
MII2_TXD3	O	MII 发送数据 3	H16

表 5-16. MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MDIO0_MDC	O	MDIO 时钟	M17
MDIO0_MDIO	IO	MDIO 数据	N16

5.3.5 CPTS

表 5-17. CPTS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
CPTS0_TS_SYNC	O	CPTS 时间戳计数器位输出	A16

5.3.6 DAC

表 5-18. DAC 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
DAC_OUT	O	DAC 输出	T5
DAC_VREF0 (1) (2)	A	DAC 电压基准 0	T13
DAC_VREF1 (1) (2)	A	DAC 电压基准 1	T6

(1) 有关连接这些引脚的详细信息，请参阅*布局指南*部分。
(2) 此引脚可以连接（短接）至 VDDA18_LDO。

Copyright © 2026 Texas Instruments Incorporated

5.3.7 仿真和调试

表 5-19. 布线信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
TRC_CLK	O	跟踪时钟	D15
TRC_CTL	O	跟踪控制	C15
TRC_DATA0	O	跟踪数据 0	F15
TRC_DATA1	O	跟踪数据 1	C18
TRC_DATA2	O	跟踪数据 2	D17
TRC_DATA3	O	跟踪数据 3	D18
TRC_DATA4	O	跟踪数据 4	E16
TRC_DATA5	O	跟踪数据 5	F16
TRC_DATA6	O	跟踪数据 6	F18
TRC_DATA7	O	跟踪数据 7	G16
TRC_DATA8	O	跟踪数据 8	E17
TRC_DATA9	O	跟踪数据 9	E18
TRC_DATA10	O	跟踪数据 10	C16
TRC_DATA11	O	跟踪数据 11	A17
TRC_DATA12	O	跟踪数据 12	B18
TRC_DATA13	O	跟踪数据 13	B17
TRC_DATA14	O	跟踪数据 14	D16
TRC_DATA15	O	跟踪数据 15	C17

表 5-20. JTAG 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
TCK	I	JTAG 测试时钟输入	B3
TDI	I	JTAG 测试数据输入	C5
TDO	O	JTAG 测试数据输出	C4
TMS	IO	JTAG 测试模式选择输入	D5

5.3.8 EPWM

表 5-21. EPWM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM0_A	O	EPWM 输出 A	B2
EPWM0_B	O	EPWM 输出 B	B1

表 5-22. EPWM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM1_A	O	EPWM 输出 A	D3
EPWM1_B	O	EPWM 输出 B	D2

表 5-23. EPWM2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM2_A	O	EPWM 输出 A	C2
EPWM2_B	O	EPWM 输出 B	C1

Copyright © 2026 Texas Instruments Incorporated

表 5-24. EPWM3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM3_A	O	EPWM 输出 A	E2
EPWM3_B	O	EPWM 输出 B	E3

表 5-25. EPWM4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM4_A	O	EPWM 输出 A	D1
EPWM4_B	O	EPWM 输出 B	E4

表 5-26. EPWM5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM5_A	O	EPWM 输出 A	F2
EPWM5_B	O	EPWM 输出 B	G2

表 5-27. EPWM6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM6_A	O	EPWM 输出 A	E1
EPWM6_B	O	EPWM 输出 B	F3

表 5-28. EPWM7 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM7_A	O	EPWM 输出 A	F4
EPWM7_B	O	EPWM 输出 B	F1

表 5-29. EPWM8 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM8_A	O	EPWM 输出 A	G3
EPWM8_B	O	EPWM 输出 B	H2

表 5-30. EPWM9 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM9_A	O	EPWM 输出 A	G1
EPWM9_B	O	EPWM 输出 B	J2

表 5-31. EPWM10 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM10_A	O	EPWM 输出 A	G4
EPWM10_B	O	EPWM 输出 B	J3

表 5-32. EPWM11 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM11_A	O	EPWM 输出 A	H1
EPWM11_B	O	EPWM 输出 B	J1

Copyright © 2026 Texas Instruments Incorporated

表 5-33. EPWM12 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM12_A	O	EPWM 输出 A	K2
EPWM12_B	O	EPWM 输出 B	J4

表 5-34. EPWM13 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM13_A	O	EPWM 输出 A	K4
EPWM13_B	O	EPWM 输出 B	K3

表 5-35. EPWM14 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM14_A	O	EPWM 输出 A	V17
EPWM14_B	O	EPWM 输出 B	T16

表 5-36. EPWM15 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM15_A	O	EPWM 输出 A	P15
EPWM15_B	O	EPWM 输出 B	R16

表 5-37. EPWM16 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM16_A	O	EPWM 输出 A	L3
EPWM16_B	O	EPWM 输出 B	M3

表 5-38. EPWM17 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM17_A	O	EPWM 输出 A	B6
EPWM17_B	O	EPWM 输出 B	A4

表 5-39. EPWM18 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM18_A	O	EPWM 输出 A	B5
EPWM18_B	O	EPWM 输出 B	B4

表 5-40. EPWM19 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM19_A	O	EPWM 输出 A	A3
EPWM19_B	O	EPWM 输出 B	A2

表 5-41. EPWM20 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM20_A	O	EPWM 输出 A	C6
EPWM20_B	O	EPWM 输出 B	A5

Copyright © 2026 Texas Instruments Incorporated

表 5-42. EPWM21 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM21_A	O	EPWM 输出 A	L17
EPWM21_B	O	EPWM 输出 B	L18

表 5-43. EPWM22 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM22_A	O	EPWM 输出 A	G17
EPWM22_B	O	EPWM 输出 B	F17

表 5-44. EPWM23 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM23_A	O	EPWM 输出 A	G18
EPWM23_B	O	EPWM 输出 B	G15

表 5-45. EPWM24 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM24_A	O	EPWM 输出 A	K15
EPWM24_B	O	EPWM 输出 B	K16

表 5-46. EPWM25 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM25_A	O	EPWM 输出 A	K17
EPWM25_B	O	EPWM 输出 B	K18

表 5-47. EPWM26 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM26_A	O	EPWM 输出 A	J18
EPWM26_B	O	EPWM 输出 B	J17

表 5-48. EPWM27 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM27_A	O	EPWM 输出 A	H18
EPWM27_B	O	EPWM 输出 B	L16

表 5-49. EPWM28 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM28_A	O	EPWM 输出 A	M16
EPWM28_B	O	EPWM 输出 B	M15

表 5-50. EPWM29 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM29_A	O	EPWM 输出 A	H17
EPWM29_B	O	EPWM 输出 B	H16

Copyright © 2026 Texas Instruments Incorporated

表 5-51. EPWM30 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM30_A	O	EPWM 输出 A	F15
EPWM30_B	O	EPWM 输出 B	C18

表 5-52. EPWM31 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EPWM31_A	O	EPWM 输出 A	D17
EPWM31_B	O	EPWM 输出 B	D18

5.3.9 EQEP

表 5-53. EQEP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EQEP0_A	I	EQEP 正交输入 A	B14、U18
EQEP0_B	I	EQEP 正交输入 B	A14、T18
EQEP0_INDEX	IO	EQEP 索引	D11、N18
EQEP0_STROBE	IO	EQEP 选通	C12、M18

表 5-54. EQEP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EQEP1_A	I	EQEP 正交输入 A	D15、P16
EQEP1_B	I	EQEP 正交输入 B	C15、P17
EQEP1_INDEX	IO	EQEP 索引	N17、P2
EQEP1_STROBE	IO	EQEP 选通	B16、P18

表 5-55. EQEP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EQEP2_A (1)	I	EQEP 正交输入 A	B13、R17
EQEP2_B (2)	I	EQEP 正交输入 B	A13、R18
EQEP2_INDEX	IO	EQEP 索引	A12、T17
EQEP2_STROBE	IO	EQEP 选通	B12、U17

(1) 使用 B13 焊球时，EQEP2_A 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。
(2) 使用 A13 焊球时，EQEP2_B 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。

5.3.10 FSI

表 5-56. FSIRX0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSIRX0_CLK	I	FSI 时钟	A10、T17
FSIRX0_DATA0	I	FSI 数据 0	B10、U18
FSIRX0_DATA1	I	FSI 数据 1	D9、T18

表 5-57. FSIRX1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSIRX1_CLK	I	FSI 时钟	E1、P17
FSIRX1_DATA0	I	FSI 数据 0	F3、P18

Copyright © 2026 Texas Instruments Incorporated

表 5-57. FSIRX1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSIRX1_DATA1	I	FSI 数据 1	F4、N17

表 5-58. FSIRX2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSIRX2_CLK	I	FSI 时钟	G16、J2
FSIRX2_DATA0	I	FSI 数据 0	E17、G4
FSIRX2_DATA1	I	FSI 数据 1	E18、J3

表 5-59. FSIRX3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSIRX3_CLK	I	FSI 时钟	B17
FSIRX3_DATA0	I	FSI 数据 0	D16
FSIRX3_DATA1	I	FSI 数据 1	C17

表 5-60. FSITX0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSITX0_CLK	O	FSI 时钟	A11、R17
FSITX0_DATA0	O	FSI 数据 0	C10、R18
FSITX0_DATA1	O	FSI 数据 1	B11、U17

表 5-61. FSITX1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSITX1_CLK	O	FSI 时钟	E4、N18
FSITX1_DATA0	O	FSI 数据 0	F2、M18
FSITX1_DATA1	O	FSI 数据 1	G2、P16

表 5-62. FSITX2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSITX2_CLK	O	FSI 时钟	E16、G3
FSITX2_DATA0	O	FSI 数据 0	F16、H2
FSITX2_DATA1	O	FSI 数据 1	F18、G1

表 5-63. FSITX3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
FSITX3_CLK	O	FSI 时钟	C16
FSITX3_DATA0	O	FSI 数据 0	A17
FSITX3_DATA1	O	FSI 数据 1	B18

5.3.11 GPIO

表 5-64. GPIO 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPIO0	IO	通用输入/输出	P1
GPIO1	IO	通用输入/输出	R3

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPIO 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPIO2	IO	通用输入/输出	N2
GPIO3	IO	通用输入/输出	N1
GPIO4	IO	通用输入/输出	N4
GPIO5	IO	通用输入/输出	M4
GPIO6	IO	通用输入/输出	P3
GPIO7	IO	通用输入/输出	M1
GPIO8	IO	通用输入/输出	L1
GPIO9	IO	通用输入/输出	L2
GPIO10	IO	通用输入/输出	K1
GPIO11	IO	通用输入/输出	C11
GPIO12	IO	通用输入/输出	A11
GPIO13	IO	通用输入/输出	C10
GPIO14	IO	通用输入/输出	B11
GPIO15	IO	通用输入/输出	C9
GPIO16	IO	通用输入/输出	A10
GPIO17	IO	通用输入/输出	B10
GPIO18	IO	通用输入/输出	D9
GPIO19	IO	通用输入/输出	A9
GPIO100	IO	通用输入/输出	M15
GPIO101	IO	通用输入/输出	H17
GPIO102	IO	通用输入/输出	H16
GPIO103	IO	通用输入/输出	F15
GPIO104	IO	通用输入/输出	C18
GPIO105	IO	通用输入/输出	D17
GPIO106	IO	通用输入/输出	D18
GPIO107	IO	通用输入/输出	E16
GPIO108	IO	通用输入/输出	F16
GPIO109	IO	通用输入/输出	F18
GPIO110	IO	通用输入/输出	G16
GPIO111	IO	通用输入/输出	E17
GPIO112	IO	通用输入/输出	E18
GPIO113	IO	通用输入/输出	C16
GPIO114	IO	通用输入/输出	A17
GPIO115	IO	通用输入/输出	B18
GPIO116	IO	通用输入/输出	B17
GPIO117	IO	通用输入/输出	D16
GPIO118	IO	通用输入/输出	C17
GPIO119	IO	通用输入/输出	D15
GPIO120	IO	通用输入/输出	C15
GPIO121	IO	通用输入/输出	P2
GPIO122	IO	通用输入/输出	B16
GPIO123	IO	通用输入/输出	D14

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPIO 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPIO124	IO	通用输入/输出	A16
GPIO125	IO	通用输入/输出	D13
GPIO126	IO	通用输入/输出	B15
GPIO127	IO	通用输入/输出	C13
GPIO128	IO	通用输入/输出	A15
GPIO129	IO	通用输入/输出	C14
GPIO130	IO	通用输入/输出	B14
GPIO131	IO	通用输入/输出	A14
GPIO132	IO	通用输入/输出	C12
GPIO133	IO	通用输入/输出	D11
GPIO134 (1)	IOD	通用输入/输出	B13
GPIO135 (2)	IOD	通用输入/输出	A13
GPIO136	IO	通用输入/输出	B12
GPIO137	IO	通用输入/输出	A12
GPIO138	IO	通用输入/输出	M2
GPIO20	IO	通用输入/输出	B9
GPIO21	IO	通用输入/输出	B8
GPIO22	IO	通用输入/输出	A8
GPIO23	IO	通用输入/输出	D7
GPIO24	IO	通用输入/输出	C8
GPIO25	IO	通用输入/输出	C7
GPIO26	IO	通用输入/输出	B7
GPIO27	IO	通用输入/输出	A7
GPIO28	IO	通用输入/输出	A6
GPIO29	IO	通用输入/输出	R17
GPIO30	IO	通用输入/输出	R18
GPIO31	IO	通用输入/输出	U17
GPIO32	IO	通用输入/输出	T17
GPIO33	IO	通用输入/输出	U18
GPIO34	IO	通用输入/输出	T18
GPIO35	IO	通用输入/输出	N18
GPIO36	IO	通用输入/输出	M18
GPIO37	IO	通用输入/输出	P16
GPIO38	IO	通用输入/输出	P17
GPIO39	IO	通用输入/输出	P18
GPIO40	IO	通用输入/输出	N17
GPIO41	IO	通用输入/输出	N16
GPIO42	IO	通用输入/输出	M17
GPIO43	IO	通用输入/输出	B2
GPIO44	IO	通用输入/输出	B1
GPIO45	IO	通用输入/输出	D3
GPIO46	IO	通用输入/输出	D2

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPIO 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPIO47	IO	通用输入/输出	C2
GPIO48	IO	通用输入/输出	C1
GPIO49	IO	通用输入/输出	E2
GPIO50	IO	通用输入/输出	E3
GPIO51	IO	通用输入/输出	D1
GPIO52	IO	通用输入/输出	E4
GPIO53	IO	通用输入/输出	F2
GPIO54	IO	通用输入/输出	G2
GPIO55	IO	通用输入/输出	E1
GPIO56	IO	通用输入/输出	F3
GPIO57	IO	通用输入/输出	F4
GPIO58	IO	通用输入/输出	F1
GPIO59	IO	通用输入/输出	G3
GPIO60	IO	通用输入/输出	H2
GPIO61	IO	通用输入/输出	G1
GPIO62	IO	通用输入/输出	J2
GPIO63	IO	通用输入/输出	G4
GPIO64	IO	通用输入/输出	J3
GPIO65	IO	通用输入/输出	H1
GPIO66	IO	通用输入/输出	J1
GPIO67	IO	通用输入/输出	K2
GPIO68	IO	通用输入/输出	J4
GPIO69	IO	通用输入/输出	K4
GPIO70	IO	通用输入/输出	K3
GPIO71	IO	通用输入/输出	V17
GPIO72	IO	通用输入/输出	T16
GPIO73	IO	通用输入/输出	P15
GPIO74	IO	通用输入/输出	R16
GPIO75	IO	通用输入/输出	L3
GPIO76	IO	通用输入/输出	M3
GPIO77	IO	通用输入/输出	B6
GPIO78	IO	通用输入/输出	A4
GPIO79	IO	通用输入/输出	B5
GPIO80	IO	通用输入/输出	B4
GPIO81	IO	通用输入/输出	A3
GPIO82	IO	通用输入/输出	A2
GPIO83	IO	通用输入/输出	C6
GPIO84	IO	通用输入/输出	A5
GPIO85	IO	通用输入/输出	L17
GPIO86	IO	通用输入/输出	L18
GPIO87	IO	通用输入/输出	G17
GPIO88	IO	通用输入/输出	F17

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPIO 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPIO89	IO	通用输入/输出	G18
GPIO90	IO	通用输入/输出	G15
GPIO91	IO	通用输入/输出	K15
GPIO92	IO	通用输入/输出	K16
GPIO93	IO	通用输入/输出	K17
GPIO94	IO	通用输入/输出	K18
GPIO95	IO	通用输入/输出	J18
GPIO96	IO	通用输入/输出	J17
GPIO97	IO	通用输入/输出	H18
GPIO98	IO	通用输入/输出	L16
GPIO99	IO	通用输入/输出	M16

(1) GPIO134 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。
(2) GPIO135 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。

5.3.12 GPMC

表 5-65. GPMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效（低电平有效）或地址锁存使能	B15
GPMC0_CLK (2)	IO	GPMC 时钟	F17
GPMC0_CLKLB (1)	IO	GPMC 时钟环回	H1
GPMC0_DIR	O	GPMC 数据总线信号方向控制	G17
GPMC0_OEn_REn	O	GPMC 输出使能（低电平有效）或读取使能（低电平有效）	F15、J1
GPMC0_WEn	O	GPMC 写入使能（低电平有效）	D18、K2
GPMC0_WPn	O	GPMC 闪存写保护（低电平有效）	G15
GPMC0_A0	O	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	K16
GPMC0_A1	O	A/D 非多路复用模式下为 GPMC 地址 1 输出，A/D 多路复用模式下为地址 17	K17
GPMC0_A2	O	A/D 非多路复用模式下为 GPMC 地址 2 输出，A/D 多路复用模式下为地址 18	K18
GPMC0_A3	O	A/D 非多路复用模式下为 GPMC 地址 3 输出，A/D 多路复用模式下为地址 19	J18
GPMC0_A4	O	A/D 非多路复用模式下为 GPMC 地址 4 输出，A/D 多路复用模式下为地址 20	J17
GPMC0_A5	O	A/D 非多路复用模式下为 GPMC 地址 5 输出，A/D 多路复用模式下为地址 21	H18
GPMC0_A6	O	A/D 非多路复用模式下为 GPMC 地址 6 输出，A/D 多路复用模式下为地址 22	L16
GPMC0_A7	O	A/D 非多路复用模式下为 GPMC 地址 7 输出，A/D 多路复用模式下为地址 23	M16
GPMC0_A8	O	A/D 非多路复用模式下为 GPMC 地址 8 输出，A/D 多路复用模式下为地址 24	M15
GPMC0_A9	O	A/D 非多路复用模式下为 GPMC 地址 9 输出，A/D 多路复用模式下为地址 25	H17
GPMC0_A10	O	A/D 非多路复用模式下为 GPMC 地址 10 输出，A/D 多路复用模式下为地址 26	H16

Copyright © 2026 Texas Instruments Incorporated

表 5-65. GPMC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPMC0_A11	O	A/D 非多路复用模式下为 GPMC 地址 11 输出，A/D 多路复用模式下未使用	E16
GPMC0_A12	O	A/D 非多路复用模式下为 GPMC 地址 12 输出，A/D 多路复用模式下未使用	F16
GPMC0_A13	O	A/D 非多路复用模式下为 GPMC 地址 13 输出，A/D 多路复用模式下未使用	F18
GPMC0_A14	O	A/D 非多路复用模式下为 GPMC 地址 14 输出，A/D 多路复用模式下未使用	G16
GPMC0_A15	O	A/D 非多路复用模式下为 GPMC 地址 15 输出，A/D 多路复用模式下未使用	E17
GPMC0_A16	O	A/D 非多路复用模式下为 GPMC 地址 16 输出，A/D 多路复用模式下未使用	E18
GPMC0_A17	O	A/D 非多路复用模式下为 GPMC 地址 17 输出，A/D 多路复用模式下未使用	C16
GPMC0_A18	O	A/D 非多路复用模式下为 GPMC 地址 18 输出，A/D 多路复用模式下未使用	A17
GPMC0_A19	O	A/D 非多路复用模式下为 GPMC 地址 19 输出，A/D 多路复用模式下未使用	B18
GPMC0_A20	O	A/D 非多路复用模式下为 GPMC 地址 20 输出，A/D 多路复用模式下未使用	B17
GPMC0_A21	O	A/D 非多路复用模式下为 GPMC 地址 21 输出，A/D 多路复用模式下未使用	D16
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出，A/D 多路复用模式下为附加的地址 1 输出	K4
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出，A/D 多路复用模式下为附加的地址 2 输出	K3
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	V17
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出，A/D 多路复用模式下为附加的地址 4 输出	T16
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出，A/D 多路复用模式下为附加的地址 5 输出	P15
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出，A/D 多路复用模式下为附加的地址 6 输出	R16
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出，A/D 多路复用模式下为附加的地址 7 输出	L3
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出，A/D 多路复用模式下为附加的地址 8 输出	M3
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出，A/D 多路复用模式下为附加的地址 9 输出	B6
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出，A/D 多路复用模式下为附加的地址 10 输出	A4
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出，A/D 多路复用模式下为附加的地址 11 输出	B5
GPMC0_AD11	IO	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出，A/D 多路复用模式下为附加的地址 12 输出	B4
GPMC0_AD12	IO	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出，A/D 多路复用模式下为附加的地址 13 输出	A3
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出，A/D 多路复用模式下为附加的地址 14 输出	A2

Copyright © 2026 Texas Instruments Incorporated

表 5-65. GPMC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出，A/D 多路复用模式下为附加的地址 15 输出	C6
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出，A/D 多路复用模式下为附加的地址 16 输出	A5
GPMC0_BE0n_CLE	O	GPMC 低位字节使能（低电平有效）或命令锁存使能	C18
GPMC0_BE1n	O	GPMC 高位字节使能（低电平有效）	D17
GPMC0_CSn0	O	GPMC 片选 0（低电平有效）	C17、J4
GPMC0_CSn1	O	GPMC 片选 1（低电平有效）	K15
GPMC0_CSn2	O	GPMC 片选 2（低电平有效）	L17
GPMC0_CSn3	O	GPMC 片选 3（低电平有效）	L18
GPMC0_WAIT0	I	GPMC 外部等待指示	G18
GPMC0_WAIT1	I	GPMC 外部等待指示	C15

(1) GPMC0_CLKLB 是一个在内部用于重定时的时钟环回信号。
(2) 当 GPMC0 在同步模式下运行时，MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG 寄存器的 RXACTIVE 位必须设置为 0x1，MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG 寄存器的 TX_DIS 位必须复位为 0x0。

5.3.13 I2C

表 5-66. I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
I2C0_SCL (2)	IOD	I2C 时钟	A13
I2C0_SDA (1)	IOD	I2C 数据	B13

(1) I2C0_SDA 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。
(2) I2C0_SCL 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。

表 5-67. I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
I2C1_SCL (1)	IOD	I2C 时钟	B5、D7
I2C1_SDA (2)	IOD	I2C 数据	A3、C8

(1) I2C1_SCL 由典型 LVCMOS 电压缓冲器实现，并且应该被适当配置为用作输入/输出开漏信号类型。
(2) I2C1_SDA 由典型 LVCMOS 电压缓冲器实现，并且应该被适当配置为用作输入/输出开漏信号类型。

表 5-68. I2C2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
I2C2_SCL (1)	IOD	I2C 时钟	C6、C7
I2C2_SDA (2)	IOD	I2C 数据	A5、B7

(1) I2C2_SCL 由典型 LVCMOS 电压缓冲器实现，并且应该被适当配置为用作输入/输出开漏信号类型。
(2) I2C2_SDA 由典型 LVCMOS 电压缓冲器实现，并且应该被适当配置为用作输入/输出开漏信号类型。

表 5-69. I2C3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
I2C3_SCL (2)	IOD	I2C 时钟	B15、H2
I2C3_SDA (1)	IOD	I2C 数据	A16、G3

(1) I2C3_SDA 由典型 LVCMOS 电压缓冲器实现，并且应该被适当配置为用作输入/输出开漏信号类型。
(2) I2C3_SCL 由典型 LVCMOS 电压缓冲器实现，并且应该被适当配置为用作输入/输出开漏信号类型。

Copyright © 2026 Texas Instruments Incorporated

备注

通过将 I2C 模块配置为提供恒定低电平输出并切换输出使能，在 LVCMOS 电压缓冲器引脚上实现的 I2C 信号可以配置为开漏输出。输出缓冲器在启用时驱动为低电平，在禁用时驱动为高阻抗。

(I2C OD FS) 是唯一具有失效防护功能的 IO 电压缓冲器。这些只用于 I2C0 引脚。其他 IO 不允许施加任何大于 (VDD + 0.3V) 的电势。这意味着当电源关断时，您不能为这些引脚提供任何电势。所有可为这些 IO 提供电势的连接器件都必须由同一个为各自 IO 电源轨供电的电源供电。

5.3.14 LIN

表 5-70. LIN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
LIN0_RXD	IO	LIN 接收数据	A7、B6
LIN0_TXD	IO	LIN 发送数据	A4、A6

表 5-71. LIN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
LIN1_RXD	IO	LIN 接收数据	A9、L3
LIN1_TXD	IO	LIN 发送数据	B9、M3

表 5-72. LIN2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
LIN2_RXD	IO	LIN 接收数据	B8
LIN2_TXD	IO	LIN 发送数据	A8

表 5-73. LIN3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
LIN3_RXD	IO	LIN 接收数据	C11
LIN3_TXD	IO	LIN 发送数据	A11

表 5-74. LIN4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
LIN4_RXD	IO	LIN 接收数据	A10、D11
LIN4_TXD	IO	LIN 发送数据	C12、C9

5.3.15 MCAN

表 5-75. MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MCAN0_RX	I	MCAN 接收数据	M1
MCAN0_TX	O	MCAN 发送数据	L1

表 5-76. MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MCAN1_RX	I	MCAN 接收数据	L2
MCAN1_TX	O	MCAN 发送数据	K1

Copyright © 2026 Texas Instruments Incorporated

表 5-77. MCAN2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MCAN2_RX	I	MCAN 接收数据	A12
MCAN2_TX	O	MCAN 发送数据	B12

表 5-78. MCAN3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MCAN3_RX	I	MCAN 接收数据	B7、C14
MCAN3_TX	O	MCAN 发送数据	A15、C7

5.3.16 SPI (MCSPI)

表 5-79. SPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SPI0_CLK (1)	IO	SPI 时钟 (SOP2)	A11
SPI0_CS0	IO	SPI 片选 0	C11
SPI0_CS1	IO	SPI 片选 1	B7
SPI0_D0 (2)	IO	SPI 数据 0 (SOP3)	C10
SPI0_D1	IO	SPI 数据 1	B11

(1) SPI0_CLK 引脚也用作 SOP2 引导模式配置引脚。
(2) SPI0_D0 引脚也用作 SOP3 引导模式配置引脚。

表 5-80. SPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SPI1_CLK	IO	SPI 时钟	A10
SPI1_CS0	IO	SPI 片选 0	C9
SPI1_D0	IO	SPI 数据 0	B10
SPI1_D1	IO	SPI 数据 1	D9

表 5-81. SPI2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SPI2_CLK	IO	SPI 时钟	B9
SPI2_CS0	IO	SPI 片选 0	A9
SPI2_D0	IO	SPI 数据 0	B8
SPI2_D1	IO	SPI 数据 1	A8

表 5-82. SPI3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SPI3_CLK	IO	SPI 时钟	C8
SPI3_CS0	IO	SPI 片选 0	D7
SPI3_D0	IO	SPI 数据 0	C7
SPI3_D1	IO	SPI 数据 1	B7

表 5-83. SPI4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SPI4_CLK	IO	SPI 时钟	B14、L1

Copyright © 2026 Texas Instruments Incorporated

表 5-83. SPI4 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SPI4_CS0	IO	SPI 片选 0	A14、M1
SPI4_CS1	IO	SPI 片选 1	K2
SPI4_D0	IO	SPI 数据 0	C12、L2
SPI4_D1	IO	SPI 数据 1	D11、K1

5.3.17 MMC

表 5-84. MMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
MMC0_CD	I	MMC/SD 卡检测	A5
MMC0_CLK	IO	MMC/SD 时钟	B6
MMC0_CMD	IO	MMC/SD 命令	A4
MMC0_WP	I	MMC/SD 写保护	C6
MMC0_D0	IO	MMC/SD 数据	B5
MMC0_D1	IO	MMC/SD 数据	B4
MMC0_D2	IO	MMC/SD 数据	A3
MMC0_D3	IO	MMC/SD 数据	A2

5.3.18 电源

表 5-85. 电源信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
VDD	PWR	1.2V 内核电源	E11、E9、F11、F9、G13、G14、G5、G6、J16、K13、K14、K5、K6、N13、N14、N5、N6、R9
VDDA18	PWR	1.8V 模拟电源	R11、R8
VDDA18_LDO (1) (2)	PWR	1.8V 模拟 LDO 输出	R6
VDDA18_OSC_PLL	PWR	1.8V OSC PLL 电源	R4
VDDA33	PWR	3.3V 模拟电源	P11、P7、P9
VDDAR1	PWR	1.2V SRAM 阵列电源	J15
VDDAR2	PWR	1.2V SRAM 阵列电源	D10
VDDAR3	PWR	1.2V SRAM 阵列电源	H3
VDDS18	PWR	1.8V IO 电源	D6、E15、L4、N15
VDDS18_LDO (1) (3)	PWR	1.8V 数字 LDO 输出	T3
VDDS33	PWR	3.3V IO 电源	D12、D8、H15、H4、L15、P4、R15
VPP	PWR	电子保险丝 ROM 编程电源	N3

Copyright © 2026 Texas Instruments Incorporated

表 5-85. 电源信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
VSS	GND	接地	A1、A18、E10、E12、E13、E14、E5、E6、E7、E8、F10、F12、F13、F14、F5、F6、F7、F8、G10、G11、G12、G7、G8、G9、H10、H11、H12、H13、H14、H5、H6、H7、H8、H9、J10、J11、J12、J13、J14、J5、J6、J7、J8、J9、K10、K11、K12、K7、K8、K9、L10、L11、L12、L13、L14、L5、L6、L7、L8、L9、M10、M11、M12、M13、M14、M5、M6、M7、M8、M9、N10、N11、N12、N7、N8、N9、P13、P14、P5、T2、V18
VSSA	AGND	模拟接地	P10、P12、P6、P8、R13、R5、V1、V16

(1) 有关连接此引脚的详细信息，请参阅 *布局指南* 部分。
(2) PCB 应将 VDDA18_LDO 直接连接到所有 VDDA18 引脚和 VDDA_OSC_PLL 引脚。
(3) PCB 应将 VDDS18_LDO 直接连接到所有 VDDS18 引脚。

5.3.19 PRU-ICSS

表 5-86. PRU-ICSS ECAP 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
PR0_ECAP0_APWM_OUT	O	PRU-ICSS 增强型捕获 (ECAP) 输入或 ECAP 辅助 PWM (APWM) 输出	D14

表 5-87. PRU-ICSS GPIO 信号说明

信号名称 [1] ([1])	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
PR0_PRU0_GPIO0	IO	PRU0 通用输入/输出	K17
PR0_PRU0_GPIO1	IO	PRU0 通用输入/输出	K18
PR0_PRU0_GPIO2	IO	PRU0 通用输入/输出	J18
PR0_PRU0_GPIO3	IO	PRU0 通用输入/输出	J17
PR0_PRU0_GPIO4	IO	PRU0 通用输入/输出	K16
PR0_PRU0_GPIO5	IO	PRU0 通用输入/输出	G17
PR0_PRU0_GPIO6	IO	PRU0 通用输入/输出	K15
PR0_PRU0_GPIO8	IO	PRU0 通用输入/输出	G15
PR0_PRU0_GPIO9	IO	PRU0 通用输入/输出	F17

Copyright © 2026 Texas Instruments Incorporated

表 5-87. PRU-ICSS GPIO 信号说明（续）

信号名称 [1] ((1))	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
PR0_PRU0_GPIO10	IO	PRU0 通用输入/输出	G18
PR0_PRU0_GPIO11	IO	PRU0 通用输入/输出	M16
PR0_PRU0_GPIO12	IO	PRU0 通用输入/输出	M15
PR0_PRU0_GPIO13	IO	PRU0 通用输入/输出	H17
PR0_PRU0_GPIO14	IO	PRU0 通用输入/输出	H16
PR0_PRU0_GPIO15	IO	PRU0 通用输入/输出	L16
PR0_PRU0_GPIO16	IO	PRU0 通用输入/输出	H18
PR0_PRU1_GPIO0	IO	PRU1 通用输入/输出	F18
PR0_PRU1_GPIO1	IO	PRU1 通用输入/输出	G16
PR0_PRU1_GPIO2	IO	PRU1 通用输入/输出	E17
PR0_PRU1_GPIO3	IO	PRU1 通用输入/输出	E18
PR0_PRU1_GPIO4	IO	PRU1 通用输入/输出	F16
PR0_PRU1_GPIO5	IO	PRU1 通用输入/输出	F15
PR0_PRU1_GPIO6	IO	PRU1 通用输入/输出	E16
PR0_PRU1_GPIO7	IO	PRU1 通用输入/输出	A16
PR0_PRU1_GPIO8	IO	PRU1 通用输入/输出	D18
PR0_PRU1_GPIO9	IO	PRU1 通用输入/输出	C18
PR0_PRU1_GPIO10	IO	PRU1 通用输入/输出	D17
PR0_PRU1_GPIO11	IO	PRU1 通用输入/输出	B18
PR0_PRU1_GPIO12	IO	PRU1 通用输入/输出	B17
PR0_PRU1_GPIO13	IO	PRU1 通用输入/输出	D16
PR0_PRU1_GPIO14	IO	PRU1 通用输入/输出	C17
PR0_PRU1_GPIO15	IO	PRU1 通用输入/输出	A17
PR0_PRU1_GPIO16	IO	PRU1 通用输入/输出	C16
PR0_PRU1_GPIO17	IO	PRU1 通用输入/输出	D13
PR0_PRU1_GPIO18	IO	PRU1 通用输入/输出	C15
PR0_PRU1_GPIO19	IO	PRU1 通用输入/输出	D15

(1) PR0_PRU0_GPIO**7**、PR0_PRU0_GPIO**17**、PR0_PRU0_GPIO**18** 和 PR0_PRU0_GPIO**19** 信号没有引脚输出。等效的 PR0_PRU**1**_GPIO 信号具有引脚输出并可用。

表 5-88. PRU-ICSS IEP 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
PR0_IEP0_EDC_SYNC_OUT0	O	PRU-ICSS 工业以太网分布式时钟同步输出	D15
PR0_IEP0_EDC_SYNC_OUT1	O	PRU-ICSS 工业以太网分布式时钟同步输出	A16
PR0_IEP0_EDIO_DATA_IN_OUT30	IO	PRU-ICSS 工业以太网数字 I/O 数据输入/输出	D13
PR0_IEP0_EDIO_DATA_IN_OUT31	IO	PRU-ICSS 工业以太网数字 I/O 数据输入/输出	C15

表 5-89. PRU-ICSS MDIO 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
PR0_MDIO0_MDC	O	PRU-ICSS MDIO 时钟	L18
PR0_MDIO0_MDIO	IO	PRU-ICSS MDIO 数据	L17

Copyright © 2026 Texas Instruments Incorporated

表 5-90. PRU-ICSS UART 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
PR0_UART0_CTSn	I	PRU-ICSS UART 允许发送 (低电平有效)	F17
PR0_UART0_RTSn	O	PRU-ICSS UART 请求发送 (低电平有效)	G18
PR0_UART0_RXD	I	PRU-ICSS UART 接收数据	C18
PR0_UART0_TXD	O	PRU-ICSS UART 发送数据	D17

5.3.20 QSPI

表 5-91. QSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
QSPI0_CLK	O	QSPI 时钟	N2
QSPI0_CSn0	O	QSPI 片选 0	P1
QSPI0_CSn1	O	QSPI 片选 1	R3
QSPI0_D0 (1)	IO	QSPI 数据位 0 (SOP0)	N1
QSPI0_D1 (2)	I	QSPI 数据位 1 (SOP1)	N4
QSPI0_D2	I	QSPI 数据位 2	M4
QSPI0_D3	I	QSPI 数据位 3	P3

(1) QSPI0_D0 引脚也用作 SOP0 引导模式配置引脚。
(2) QSPI0_D1 引脚也用作 SOP1 引导模式配置引脚。

5.3.21 保留和无连接

表 5-92. 保留信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
RSVD_T4	RSVD	保留 (RSVD_T4)。此引脚必须连接至地 (VSS)。	T4
RSVD_U1	RSVD	保留 (RSVD_U1)。此引脚必须连接至地 (VSS)。	U1
RSVD_U3	RSVD	保留 (RSVD_U3)。该引脚必须保持未连接状态。	U3
RSVD_V2	RSVD	保留 (RSVD_V2)。该引脚必须保持未连接状态。	V2

5.3.22 SDFM

表 5-93. SDFM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SDFM0_CLK0	I	SDFM 时钟 0 输入	B16
SDFM0_CLK1	I	SDFM 时钟 1 输入	A16
SDFM0_CLK2	I	SDFM 时钟 2 输入	B15
SDFM0_CLK3	I	SDFM 时钟 3 输入	A15
SDFM0_D0	I	SDFM 数据 0 输入	D14
SDFM0_D1	I	SDFM 数据 1 输入	D13
SDFM0_D2	I	SDFM 数据 2 输入	C13
SDFM0_D3	I	SDFM 数据 3 输入	C14

表 5-94. SDFM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SDFM1_CLK0	I	SDFM 时钟 0 输入	B14、B6
SDFM1_CLK1	I	SDFM 时钟 1 输入	B5、C12
SDFM1_CLK2 (1)	I	SDFM 时钟 2 输入	A3、B13

Copyright © 2026 Texas Instruments Incorporated

表 5-94. SDFM1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SDFM1_CLK3 (2)	I	SDFM 时钟 3 输入	A13、C6
SDFM1_D0	I	SDFM 数据 0 输入	A14、A4
SDFM1_D1	I	SDFM 数据 1 输入	B4、D11
SDFM1_D2	I	SDFM 数据 2 输入	A2、B12
SDFM1_D3	I	SDFM 数据 3 输入	A12、A5

(1) 使用 B13 焊球时，SDFM1_CLK2 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。
(2) 使用 A13 焊球时，SDFM1_CLK3 是通过 I2C OD FS（开漏失效防护）电压缓冲器实现。

5.3.23 系统和其他

5.3.23.1 启动模式配置

表 5-95. 引导模式信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
SOP0	I	引导模式配置位 0 (QSPI0_D0)	N1
SOP1	I	引导模式配置位 1 (QSPI0_D1)	N4
SOP2	I	引导模式配置位 2 (SPI0_CLK)	A11
SOP3	I	引导模式配置位 3 (SPI0_D0)	C10

5.3.23.2 计时

表 5-96. XTAL 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
XTAL_XI (1)	I	外部晶振 (XTAL) 输入	T1
XTAL_XO (1)	O	外部晶振 (XTAL) 输出	R1

(1) XTAL 接口需要一个 25MHz 时钟源。

表 5-97. 输出时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
CLKOUT0	O	输出时钟 0	M2
CLKOUT1	O	输出时钟 1	B16

表 5-98. 外部基准时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
EXT_REFCLK0	I	外部基准时钟输入	P2

5.3.23.3 系统

表 5-99. 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
PORz	I	器件上电 (PORz) 冷复位	R2
SAFETY_ERRORn	IO	ESM 安全错误信号	D4
WARMRSTn	IO	热复位请求（输入）/热复位状态（输出）	C3

Copyright © 2026 Texas Instruments Incorporated

备注

SAFETY_ERRORn 信号在 LVCMOS 电压缓冲器引脚上实现；通过将 ESM 模块配置为输出恒定低电平并切换输出使能，可将该信号配置为开漏输出。输出缓冲器在启用时驱动为低电平，在禁用时驱动为高阻抗。

(I2C OD FS) 是唯一具有失效防护功能的 IO 电压缓冲器。这些只用于 I2C0 引脚。其他 IO 不允许施加任何大于 (VDD + 0.3V) 的电势。这意味着当电源关断时，无法为这些引脚提供任何电势。所有可为这些 IO 提供电势的连接器件都必须由同一个为各自 IO 电源轨供电的电源供电。

5.3.23.4 VMON

表 5-100. VMON 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
VSYS_MON (1)	PWR	具有 0.9 V (+/-3%) 设定点的外部电压监控器。	U2

(1) 有关此引脚的更多详细信息，请参阅 *电气规格 - 安全比较器* 部分。

5.3.24 UART

表 5-101. UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
UART0_CTSn	I	UART 允许发送（低电平有效）	A5、B7
UART0_RTSn	O	UART 请求发送（低电平有效）	C6、C7
UART0_RXD	I	UART 接收数据	A7、B6
UART0_TXD	O	UART 发送数据	A4、A6

表 5-102. UART1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
UART1_CTSn	I	UART 允许发送（低电平有效）	G4
UART1_DCDn	I	UART 数据载波检测（低电平有效）	J4
UART1_DSRn	I	UART 数据集就绪（低电平有效）	V17
UART1_DTRn	O	UART 数据终端就绪（低电平有效）	K3
UART1_RIn	I	UART 振铃指示器	K4
UART1_RTSn	O	UART 请求发送（低电平有效）	B12、J2
UART1_RXD	I	UART 接收数据	A9、L3
UART1_TXD	O	UART 发送数据	B9、M3

表 5-103. UART2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
UART2_CTSn	I	UART 允许发送（低电平有效）	H1
UART2_RTSn	O	UART 请求发送（低电平有效）	A12、J3
UART2_RXD	I	UART 接收数据	B5、B8
UART2_TXD	O	UART 发送数据	A3、A8

表 5-104. UART3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
UART3_CTSn	I	UART 允许发送（低电平有效）	K2
UART3_RTSn	O	UART 请求发送（低电平有效）	A2、J1

Copyright © 2026 Texas Instruments Incorporated

表 5-104. UART3 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
UART3_RXD	I	UART 接收数据	C11、D15
UART3_TXD	O	UART 发送数据	A11、C15

表 5-105. UART4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
UART4_CTSn	I	UART 允许发送（低电平有效）	A14
UART4_RTSn	O	UART 请求发送（低电平有效）	B14
UART4_RXD	I	UART 接收数据	A10、D11、H2
UART4_TXD	O	UART 发送数据	C12、C9、G3

表 5-106. UART5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
UART5_CTSn	I	UART 允许发送（低电平有效）	D13
UART5_RTSn	O	UART 请求发送（低电平有效）	A16
UART5_RXD	I	UART 接收数据	A15、C13、D9、R16
UART5_TXD	O	UART 发送数据	B10、B15、P15

5.3.25 XBAR

表 5-107. 输出 XBAR 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ZCZ 引脚 [4]
XBAROUT0	O	OUTPUTXBAR 信号 0	R3
XBAROUT1	O	OUTPUTXBAR 信号 1	C9
XBAROUT2	O	OUTPUTXBAR 信号 2	A10
XBAROUT3	O	OUTPUTXBAR 信号 3	B10
XBAROUT4	O	OUTPUTXBAR 信号 4	D9
XBAROUT5	O	OUTPUTXBAR 信号 5	A9
XBAROUT6	O	OUTPUTXBAR 信号 6	B9
XBAROUT7	O	OUTPUTXBAR 信号 7	D7
XBAROUT8	O	OUTPUTXBAR 信号 8	C8
XBAROUT9	O	OUTPUTXBAR 信号 9	C7
XBAROUT10	O	OUTPUTXBAR 信号 10	B7
XBAROUT11	O	OUTPUTXBAR 信号 11	D16
XBAROUT12	O	OUTPUTXBAR 信号 12	C17
XBAROUT13	O	OUTPUTXBAR 信号 13	D15
XBAROUT14	O	OUTPUTXBAR 信号 14	C15
XBAROUT15	O	OUTPUTXBAR 信号 15	P2

Copyright © 2026 Texas Instruments Incorporated

5.4 引脚连接要求

本节说明具有特定连接要求的封装焊球以及可空置的封装焊球的连接要求。

备注

除非*信号说明*中另有说明，否则必须为所有电源焊球提供*建议运行条件*一节中指定的电压。

为进一步说明，“保持未连接状态”或“无连接”(NC) 指不建议将任何信号走线连接到这些器件焊球引脚。

表 5-108. 引脚连接要求

焊球编号	焊球名称	引脚连接要求
D4	SAFETY_ERRORn	这些焊球每一个均必须通过单独的外部拉电阻器连接到地 (VSS)，以确保如果 PCB 信号布线已连接并且未由连接的器件主动驱动，这些焊球会保持为有效的逻辑低电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部下拉来保持有效的逻辑低电平。
B3 C5 D5	TCK TDI TMS	这些焊球均必须通过单独的外部拉电阻器连接到相应的电源(1)，以确保在连接 PCB 信号布线并且未由连接的器件主动驱动时，这些焊球保持为有效的逻辑高电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部上拉来保持有效的逻辑高电平。
A13 B13	I2C0_SCL I2C0_SDA	这些焊球均必须通过单独的外部拉电阻器连接到相应的电源(1)，以确保这些焊球保持为有效的逻辑高电平。
N1 N4 A11 C10	QSPI0_D0 (SOP0) QSPI0_D1 (SOP1) SPI0_CLK (SOP2) SPI0_D0 (SOP3)	这些焊球均必须通过单独的外部拉电阻器连接到相应的电源(1)或接地端 (VSS)，以确保这些焊球相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。
ADC ZCZ PIN	ADC[0:4]_AIN[0:5]	必须将任何 ADC 实例 (ADC[0:4]_AIN[0:5]) 的任何未使用 ADCx_AINy 输入焊球直接连接（短接）至地 (VSS)。
U16 T15	ADC_CAL0 ADC_CAL1	如果未使用所有 ADC 实例 (ADC[0:4]_AIN[0:5]) 的所有 ADCx_AINy 输入，必须将 ADC_CAL[0:1] 模拟焊球直接连接（短接）至地 (VSS)。
U2	VSYS_MON	如果未使用 VSYS_MON，可以将此焊球直接连接（短接）至地 (VSS)。
LVCMOS ZCZ PIN	任何 LVCMOS 电压缓冲器引脚	如果引脚具有关联的 IOMUX 焊盘配置寄存器，则该焊球可保持未连接状态。在 PORz 之后，LVCMOS 电压缓冲器配置为与未连接焊球兼容的默认状态。

(1) 要确定与任何 IO 关联的电源，请参阅*引脚属性*表的“电源”一列。

备注

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，可以使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

如果允许焊球在有效逻辑电平之间悬空，输入缓冲器可能会进入大电流状态，进而损坏 IO 单元。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）(1)(2)

参数		最小值	最大值	单位
VDD	1.2V SOC 内核电源	-0.5	1.5	V
VDDAR1	1.2V SRAM 阵列电源 1	-0.5	1.5	V
VDDAR2	1.2V SRAM 阵列电源 2	-0.5	1.5	V
VDDAR3	1.2V SRAM 阵列电源 3	-0.5	1.5	V
VDDS18	来自偏置 LDO 的 1.8V IO 辅助电源通过电路板布线	-0.5	2.1	V
VDDS33	3.3V IO 电源	-0.5	4.0	V
VDDA18_OSC_PLL	用于 PLL 的 1.8V 模拟电源。从 1.8V 模拟 LDO 输出通过电路板布线	-0.5	2.1	V
VDDA33	模拟 3.3V 电源	-0.5	4.0	V
VDDA18	1.8V 模拟电源。从 1.8V 模拟 LDO 输出通过电路板布线	-0.5	2.1	V
IO 引脚稳态电压	3.3V LVCMOS IO 缓冲器	-0.3	VDDS33(3) + 0.3	V
	3.3V I2C 开漏 IO 缓冲器	-0.3	VDDS33(3) + 0.3	V
	XTAL 焊盘	-0.5	2.1	V
瞬态过冲和下冲	所有其他 IO 端子	-0.3	VDDS33(3) + 0.2 × VDDS33(3)，持续高达 20% 的信号周期	V
	XTAL 焊盘 VDDA18_OSC_PLL 的 20%，持续高达 20% 的信号周期		0.2 × VDDA18_OSC_PLL	V
闩锁性能 II 类 (150°C)	锁存 I-test 性能（每个 IO 引脚上的电流脉冲注入）		±100	mA
	闩锁过压性能（每个 IO 引脚上的电压注入）		±100	mA
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
贮存温度(4)	T_{stg}	-55	155	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则所有电压值均以 VSS 为基准。
(3) VDDS33 是 IC 相应电源引脚上的电压。
(4) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息，请参阅 *“半导体和 IC 封装热指标”应用报告*。

Copyright © 2026 Texas Instruments Incorporated

6.2 静电放电 (ESD) 扩展汽车等级

在建议运行条件下测得（除非另有说明）

				值	单位
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 AEC-Q100-002(1)		±2000	V
		充电器件模型 (CDM)，符合 AEC-Q100-011 标准	所有引脚	±500	
			转角焊球（A1、A18、V1、V18）	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试

6.3 静电放电 (ESD) 工业等级

在建议运行条件下测得（除非另有说明）

			值	单位
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.4 上电小时数 (POH) 摘要

在建议运行条件下测得（除非另有说明）(1)(2)(3)

参数	工业	汽车级工作温度
POH @ 温度曲线	100K @ 97℃ (100% @ 97℃) 70K @ 105℃ (100% @ 105℃)	20K @ 汽车温度曲线(4)

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
(2) 除非上表中另有说明，否则器件在额定温度下支持所有电压域和工作条件。
(3) POH 是电压、温度和时间的函数。 在较高电压和温度下使用会导致 POH 降低。
(4) 请参阅*汽车温度曲线* 部分

6.4.1 汽车温度曲线

T_J (℃)	小时	天	年	时间百分比
-40	1200	≅50	≅0.14	6%
75	4000	≅167	≅0.46	20%
95	13000	≅541	≅1.48	65%
130	1600	≅67	≅0.18	8%
150	200	≅8.5	≅0.023	1%
总计	20000	≅833	≅2.28	100%

Copyright © 2026 Texas Instruments Incorporated

6.5 建议运行条件

在工作结温范围内测得（除非另有说明）

参数	说明		最小值	标称值	最大值	单位
VDD	1.2V SOC 内核电源		1.140	1.200	1.260	V
VDDAR1、VDDAR2、VDDAR3	SRAM 阵列电源		1.140	1.200	1.260	V
VDDS18	来自偏置 LDO 的 1.8V IO 辅助电源通过电路板布线		1.710	1.800	1.890	V
VDDS33	3.3V IO 电源		3.135	3.300	3.465	V
VDDA18_OSC_PLL	用于 PLL 的 1.8V 模拟电源。从模拟 LDO 输出通过电路板布线		1.710	1.800	1.890	V
VDDA33	模拟 3.3V 电源		3.135	3.300	3.465	V
VDDA18	1.8V 模拟电源。从 1.8V 模拟 LDO 输出通过电路板布线		1.710	1.800	1.890	V
T_J	工作结温范围	工业级 A	-40		105	°C
		汽车级 I	-40		125	
		扩展汽车级 M	-40		150	

6.6 运行性能点

本节介绍了器件的运行条件。本节还包含处理器时钟、器件内核时钟和可用存储器的每个运行性能点 (OPP) 的说明。

器件	等级	RAM (MB)	R5FSS (MHz)	HSM (MHz)	ICSS (MHz)	INFRA(1) (MHz)
AM263x	N	1	400	200	200	200
AM263x	O 或 K	2	400	200	200	200
AM263x	P	2	200	200	200	200

(1) 基础设施包括器件中集成的所有其他模块和 IP（例如 CBASS/互连和其他 SoC 级外设），除非表中另有说明。

Copyright © 2026 Texas Instruments Incorporated

6.7 功耗摘要

节 6.7.1，*功耗-最大值* 显示每个电源轨消耗的最大电流，应在电源选择时运用。节 6.7.2，*功耗-典型指* 按模块显示典型功耗。节 6.7.3，*功耗 - 牵引逆变器* 显示了在牵引逆变器应用场景下，不同结温下 SoC 的标称功耗。

有关应用特定的功耗估算，请参阅 **AM263x 功耗估算工具应用手册**。

6.7.1 功耗 - 最大值

在建议运行条件下测得（除非另有说明）

电源名称	参数	最小值	MAX(1)	单位
VDD + VDDARn	内核域的最大电流额定值		2.5	A
VDDS33	IO 电源的最大电流额定值		200	mA
VDDA33	3.3V 模拟电源的最大电流额定值		100	mA

(1) 最大值显示了每个电源轨所需的最大可能电流，仅用于电源选择。 有关典型应用中的功耗，请参阅*功耗 - 典型值*。

6.7.2 功耗 - 典型值

典型用例功耗汇总，T_J = 85℃

参数		典型值	最大值	单位
功耗	内核和存储器	360		mW
	基础设施	424		mW
	外设	258		mW
	总计	1042		mW

6.7.3 功耗 - 牵引逆变器

不同温度下的牵引逆变器应用功耗

参数		典型值	最大值	单位
功耗	T_J = 85°C	1042		mW
	T_J = 105°C	1120		mW
	T_J = 125°C	1232		mW
	T_J = 150°C	1460		mW

Copyright © 2026 Texas Instruments Incorporated

6.8 电气特性

备注

节 6.8.1 *数字和模拟 IO 电气特性* 至节 6.8.6 *电源管理单元 (PMU)* 中描述的接口或信号对应于多路复用模式 0（主要功能）下可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式（功能）指定不同的直流电气特性。

6.8.1 数字和模拟 IO 电气特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
PORz IO					
V_{IH}	高电平输入电压	1.35			V
V_{IL}	低电平输入电压			0.5	V
V_{HYS}	输入端的迟滞电压	0.070			V
I_L	输入漏电流	-2		2	µA
热复位 IO					
V_{IH}	高电平输入电压	2			V
V_{IL}	低电平输入电压			0.8	V
V_{HYS}	输入端的迟滞电压	0.347			V
V_{OL}	低电平输出电压，驱动器被启用：I_{OL} = 6mA			0.45	V
I_L	输入漏电流、接收器被禁用、拉电阻被禁用	-57			µA
TCK IO					
V_{IH}	高电平输入电压	2.15			V
V_{IL}	低电平输入电压			0.55	V
V_{HYS}	输入端的迟滞电压	0.4			V
I_L	输入漏电流、接收器被禁用、拉电阻被禁用	-3.9	8.9	17.2	µA
	输入漏电流、接收器被禁用、上拉电阻被启用		106.9	128.2	µA
	输入漏电流、接收器被禁用、下拉被启用		100.3	130.3	µA
I2C OD IO					
V_{IH}	高电平输入电压	2			V
V_{IL}	低电平输入电压			0.8	V
V_{HYS}	输入端的迟滞电压	0.165			V
I_L	输入漏电流、接收器被禁用、拉电阻被禁用	-18		18	µA
V_{OL}	低电平输出电压，驱动器被启用：I_{OL} = 3mA			0.45	V
所有其他 LVCMOS					
V_{IH}	高电平输入电压	2			V
V_{IL}	低电平输入电压			0.8	V
V_{HYS}	输入端的迟滞电压	0.265			V
V_{OL}	低电平输出电压，驱动器被启用：I_{OL} = 6mA			0.45	V
V_{OH}	高电平输出电压，驱动器被启用：I_{OH} = 6mA	VDDS33(1) – 0.45			V

Copyright © 2026 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
I_L	输入漏电流、接收器被禁用、拉电阻被禁用	-18		18	µA
	输入漏电流、接收器被禁用、上拉电阻被启用	-243	-100	-19	µA
	输入漏电流、接收器被禁用、下拉被启用	51	100	210	µA

(1) VDDS33 是 IC 相应电源引脚上的电压。

6.8.2 模数转换器 (ADC)

在工作结温范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
V_{REFHI}		1.71	1.8	1.89	V
输入转换范围（Vin+、Vin-）	必须 < VDDA33	0		32/18 × V_{REFHI}	V
上电时间				500	µs
增益误差		-5	±3	5	LSB
偏移误差		-4	±2	4	LSB
通道间增益误差			±4		LSB
通道间偏移误差			±2		LSB
ADC 间增益误差	同一参考组		±4		LSB
ADC 间偏移误差	同一参考组		±2		LSB
DNL	受控环境，可更大程度地降低输入噪声	-1	±0.5	1	LSB
INL	受控环境，可更大程度地降低输入噪声	-2	±1.0	2	LSB
SNR	受控环境，可更大程度地降低输入噪声		68		dB
ENOB（同步运行）			11		位
ENOB（异步运行）			9.7		位
ADC 间隔离	同步运行	-10		10	LSB
V_{REFHI} 输入电流			400		µA
转换时间				250	ns
输入漏电流			0.1	5	µA
电源 (VDDA33)		3.13	3.3	3.46	V
电源 (VDDA18)		1.71	1.8	1.89	V
功耗 (VDDA33)			200		µA
功耗 (VDDA18)			700		µA
最大 ADCCLK 频率	占空比为 50%。最小脉冲宽度必须保持在 7.5ns		50	66.667	MHz
采样时间		75			ns

Copyright © 2026 Texas Instruments Incorporated

6.8.3 比较器子系统 A (CMPSSA)

子组	参数	最小值	典型值	最大值	单位
比较器	上电时间			10	µs
	比较器输入范围	0.1		VDDA33(1) – 50mV	V
	以输入为基准的失调电压误差	-20		20	mV
	迟滞 (H1)		不适用		LSB
	迟滞 (H2)		15		LSB
	迟滞 (H3)		35		LSB
	迟滞 (H4)		55		LSB
	传播延迟		21	50	ns
DAC	DAC_VREF 基准电压	1.71	1.8	1.89	V
	DAC 输出范围	0.1		33/18 × DAC_VREF 或 VDDA33(1) 的最小值 - 50mV	V
	静态失调电压误差	-45		45	mV
	静态增益误差	-2		2	FSR 百分比
	静态 DNL	>-1		4	LSB
	静态 INL	-16		16	LSB
	稳定时间			1	µs
	分辨率		12		位
	DAC 输出干扰（比较器跳闸反冲）	-100		100	LSB
	DAC 输出干扰（比较器跳闸反冲）		200		ns
	DAC_VREF 负载		37		kΩ
通用	输入漏电流		0.1	5	µA
	电源 (VDDA33)	3.13	3.3	3.46	V
	电源 (VDDA18)	1.71	1.8	1.89	V
	功耗 (VDDA33)		900		µA
	功耗 (VDDA18)		120		µA
	失效防护输入电流注入			10	mA

(1) VDDA33 是 IC 相应电源引脚上的电压。

Copyright © 2026 Texas Instruments Incorporated

6.8.4 比较器子系统 B (CMPSSB)

子组	参数	最小值	典型值	最大值	单位
比较器	上电时间			10	µs
	比较器输入范围	0.1		VDDA33(1) – 50mV	V
	以输入为基准的失调电压误差	-20		20	mV
	迟滞 (H1)		不适用		LSB
	迟滞 (H2)		15		LSB
	迟滞 (H3)		35		LSB
	迟滞 (H4)		55		LSB
	传播延迟		21	50	ns
DAC	DAC_VREF 基准电压	1.71	1.8	1.89	V
	DAC 输出范围	0.1		33/18 × DAC_VREF 或 VDDA33(1) 的最小值 - 50mV	V
	静态失调电压误差	-45		45	mV
	静态增益误差	-2		2	FSR 百分比
	静态 DNL	>-1		4	LSB
	静态 INL	-16		16	LSB
	稳定时间			1	µs
	分辨率		12		位
	DAC 输出干扰（比较器跳闸反冲）	-100		100	LSB
	DAC 输出干扰（比较器跳闸反冲）		200		ns
	DAC_VREF 负载		37		kΩ
通用	输入漏电流		0.1	5	µA
	电源 (VDDA33)	3.13	3.3	3.46	V
	电源 (VDDA18)	1.71	1.8	1.89	V
	功耗 (VDDA33)		900		µA
	功耗 (VDDA18)		120		µA
	失效防护输入电流注入			10	mA

(1) VDDA33 是 IC 相应电源引脚上的电压。

Copyright © 2026 Texas Instruments Incorporated

6.8.5 数模转换器 (DAC)

在工作结温范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
上电时间				1	µs
DAC_VREF		1.71	1.8	1.89	V
电压输出范围		0.3		VDDA33(1) – 0.3	V
已修整偏移误差	在中点检查偏移（代码 2048）	-10		10	mV
增益误差	DAC_VREF = 1.8V	-2.5		2.5	FSR 百分比
DNL	已更正端点	-1		1	LSB
INL	已更正端点	-20		20	LSB
稳定时间	在 0.3V 至 3V 切换后稳定到 2LSB（约 1.6mV）		2		µs
分辨率			12		位
容性负载	输出驱动能力			100	pF
阻性负载	输出驱动能力	5			kΩ
DAC_VREF 负载	DAC_VREF		64		kΩ
输出噪声 (100Hz - 100KHz)	从 100 Hz 到 100 kHz 的积分噪声		1		mVrms
SNR @ 1KHz	2MHz DACVALA 更新速率，200kHz 输出滤波器		60		dB
电源 (VDDA33)		3.13	3.3	3.46	V
电源 (VDDA18)		1.71	1.8	1.89	V
功耗 (VDDA33)			850		µA
功耗 (VDDA18)			35		µA

(1) VDDA33 是 IC 相应电源引脚上的电压。

6.8.6 电源管理单元 (PMU)

在工作结温范围内测得（除非另有说明）

GROUP	参数	最小值	典型值	最大值	单位
PMU	电源 (VDDA33)	3.1	3.3	3.46	V
带隙	V_{REF} 已修整	0.886	0.9	0.914	V
1.8V LDO	DC 精度	1.764	1.8	1.836	V
	瞬态负载调整率	1.71	1.8	1.89	V
	直流负载调整率			5	mV
	负载电流	0		60	mA
	上电时间			800	uS
	浪涌电流			150	mA
	外部去耦电容	-20%	4.7	20%	uF
ADC 基准	负载调整率		±1		mV
ADC 基准	DC 精度	1.764	1.8	1.836	V
	上电时间			800	uS
	浪涌电流			80	mA
	外部去耦电容	-20%	4.7	20%	uF

Copyright © 2026 Texas Instruments Incorporated

6.8.7 安全比较器

参数			最小值	典型值	最大值	单位
C0	C0：1.8V 监控阈值		1.40	1.5	1.6	V
C1	BGAP 监测器	阈值下限	0.75	0.8	0.85	V
		阈值上限	0.935	1	1.065	V
C2	监控 1.8V 电源与 BGAP 间的关系	阈值下限	1.47	1.52	1.57	V
		阈值上限	2.13	2.195	2.26	V
C3	监控 1.2V 与 BGAP 间的关系	阈值下限	0.98	1.011	1.041	V
		阈值上限	1.407	1.451	1.494	V
C4	Vref 监控器 (ROK0)	阈值下限	1.56	1.61	1.66	V
		阈值上限	2.09	2.16	2.22	V
C5	监控器 IO 辅助电源与 BGAP 间的关系	阈值下限	1.47	1.52	1.57	V
		阈值上限	2.13	2.195	2.26	V
C6	Vref 监控器 (ROK0B)	阈值下限	1.56	1.61	1.66	V
		阈值上限	2.09	2.16	2.22	V
C7	系统电源监控器 (VSYS_MON)	阈值下限	0.873	0.9	0.927	V
C8	欠压阈值		2.59	2.77	2.95	V
C9	Vref 监控器 (ROK1)	阈值下限	1.56	1.61	1.66	V
		阈值上限	2.09	2.16	2.22	V

Copyright © 2026 Texas Instruments Incorporated

6.9 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节规定了对 OTP 电子保险丝进行编程所需的运行条件。。

6.9.1 VPP 规格

在建议运行条件下测得（除非另有说明）

参数	说明	测试条件	最小值	标称值	最大值	单位
VDD	OTP 运行期间内核域的电源电压范围	正常运行	1.140	1.200	1.260	V
VPP	电子保险丝 ROM 域的电源电压范围	正常运行	无连接			V
	OTP 编程期间电子保险丝 ROM 域的电源电压范围	OTP 编程	1.65	1.7	1.75	V
$I_{(VPP)}$	VPP 电流	$I_{(VPP)}$			100	mA
T_A	环境温度	环境温度	0	30	50	℃

6.9.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。
- 在执行正确的器件加电时序后，VPP 电源必须斜升（有关更多详细信息，请参阅节 6.11.2.1，*加电和复位时序控制*）。

6.9.3 编程序列

OTP 电子保险丝的编程序列：

- 按照加电时序为电路板加电。上电和正常运行期间，VPP 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件（请联系您当地的 TI 代表以获取 OTP 软件包）。
- 根据 节 6.9.1 *VPP 规格* 中的规格在 VPP 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP 端子上的电压。

6.9.4 对硬件保修的影响

您同意使用安全密钥对 TI 器件进行电子熔断会永久改变它们。您承认，由于程序序列不正确或中止或者您省略了某个序列步骤等，电子保险丝可能会发生故障。此外，如果量产密钥的错误代码校正检查失败，或者映像未使用当前有效量产密钥进行签名和选择性加密，则 TI 器件可能无法安全启动。这些类型的情况将导致 TI 器件无法运行，TI 将无法确认在尝试使用电子保险丝之前 TI 器件是否符合其规格。

因此，TI 对任何已使用安全密钥进行电子熔断的 TI 器件不承担任何责任（保修或其他责任）。

Copyright © 2026 Texas Instruments Incorporated

6.10 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于节 6.5 *建议运行条件* 中确定的 T_J 值。

6.10.1 封装热特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

参数	说明	℃/W(1)(2)	气流(m/s)(3)
$R_{\Theta JC}$	结点到外壳	5.6	不适用
$R_{\Theta JB}$	结点到电路板	5.7	不适用
$R_{\Theta JA}$	结点到环境空气	18.6	0
$R_{\Theta JA}$	结至流动空气	12.9	1
		11.8	2
		11.1	3
Ψ_{JT}	结至封装顶部	0.1	0
		0.4	1
		0.5	2
		0.6	3
Ψ_{JB}	结点到电路板	5.6	0
		5.7	1
		5.7	2
		5.6	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)
- JESD51-3, Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-6, Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)
- JESD51-7, High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages
- JESD51-9, Test Boards for Area Array Surface Mount Packages

(2) °C/W = 摄氏度/瓦

(3) m/s = 米/秒

Copyright © 2026 Texas Instruments Incorporated

6.11 时序和开关特性

备注

除非另有说明，否则必须使用每个焊盘配置寄存器中的默认 SLEWRATE 设置来提供时序。

6.11.1 时序参数和信息

时序和开关特性 部分中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-1 中缩写了某些引脚名称和其他相关术语：

表 6-1. 时序参数下标

符号	参数
c	周期时间（周期）
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
启动	起始位
t	转换时间
v	有效时间
W	脉冲持续时间（宽度）
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

Copyright © 2026 Texas Instruments Incorporated

6.11.2 电源时序

本节介绍了确保器件正常运行所需的电源时序控制。

6.11.2.1 加电和复位时序

AM263x 会尝试简化以前 Sitara MCU 器件的电源复位要求。初级内核数字 VDD 1.2V 和 I/O 电源 3.3V 电源轨没有时序要求。一对片上 LDO 通过 VDDS33 电源网供电。这些片上 LDO 生成所需的 VDDS1V8 和 VDDA1V8 1.8V 数字和模拟电源。AM263x 确实要求 3.3V 上电时需满足最短斜坡时间。EVM 设计还必须考虑其他 PORz 和 SOP 引导模式锁存时序。图 6-1 介绍了器件加电时序。

表 6-2. AM263x 加电时序

参数		最小值	最大值	单位
$t_{Startup}$	1.2V 和 3.3V DC-DC 转换器使能后至启动完成的时间。这是任意时间量 - 器件不施加限制。	–	–	ms
t_{PGood}	电源轨稳定后，直流/直流转换器生成电源正常信号的时间。这是任意时间量 - 器件不施加限制。	–	–	ms
t_{Ramp_3V3}	VDDS3V3 和 VDDA3V3 电源的斜坡时间。这是器件提出的一项要求。	0.1	–	ms
$t_{SOP_Sampled}$	从 PORz 置为无效到对 SOP[3:0] 引脚进行采样的时间。这是器件内部参数。当内部生成的电源稳定时，会进行采样。仅供参考。有关应用的使用，请参阅 TSU_SOP 和 TH_SOP 参数。	0	–	ms
t_{SU_SOP}	相对于 PORz 置为有效的 SOP 建立时间。	10	–	µs
t_{H_SOP}	相对于 WARMRSTn 置为无效的 SOP 保持时间。	0	–	µs
$t_{WARMRSTn}$	从 PORz 置为无效到器件使 WARMRESETn 信号无效的时间。	2.0	–	ms

Copyright © 2026 Texas Instruments Incorporated

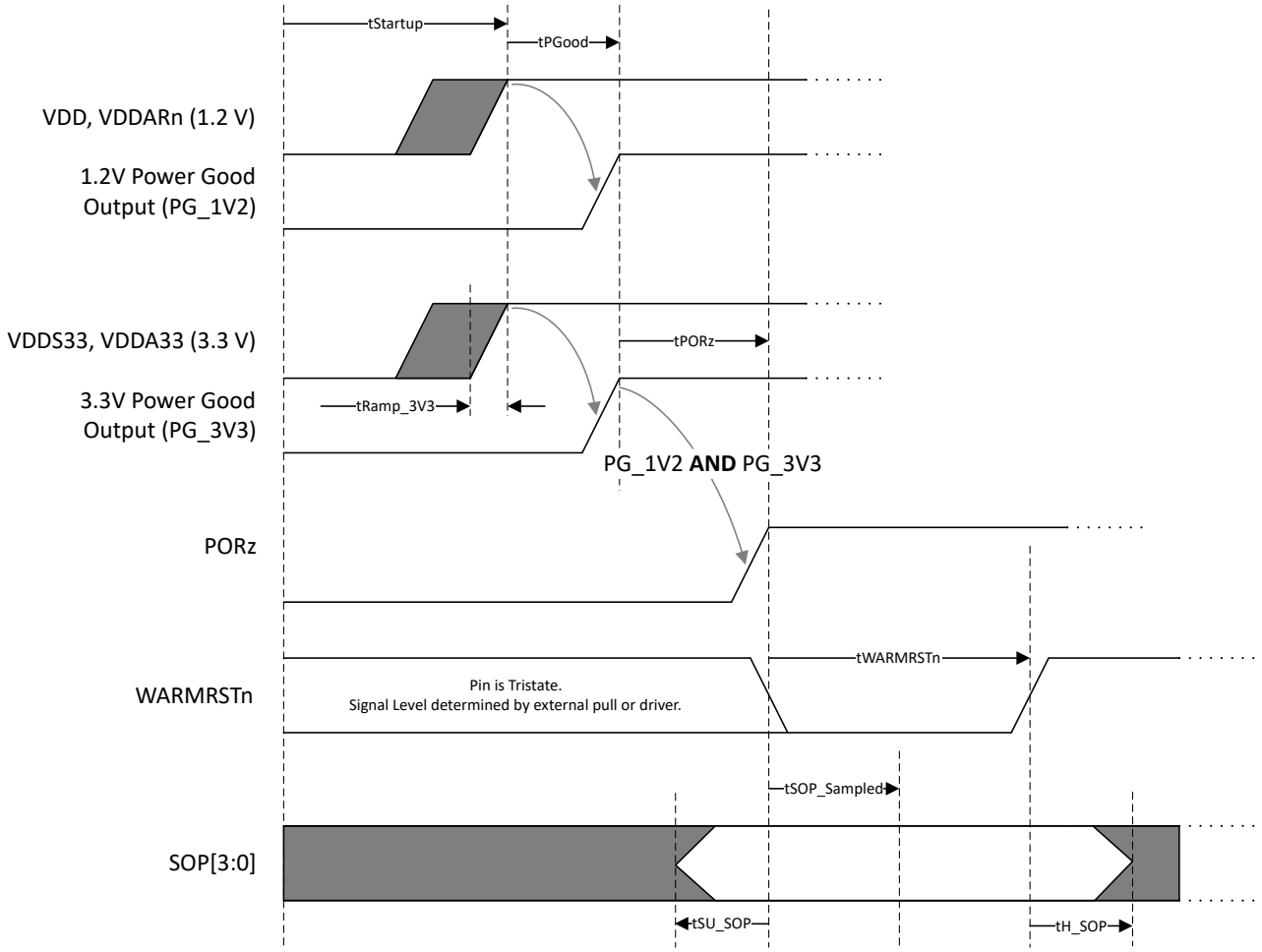


图 6-1. 加电时序

6.11.2.1.1 电源复位时序说明

应对 EVM 和 AM263x 执行以下这组步骤，以从上电复位启动器件。

1. PORz 由外部电源监控器保持低电平
2. VDD 内核数字 1.2V 和 VDDS3V3/VDDA3V3 3.3V 电源斜升至其标称电压
   a. 这需要将逻辑 AND 应用于从每个电源生成的电源正常信号
3. SOP[3:0] 引脚保持在其引导锁存状态
4. 在 PCB 供电的电源网稳定后，外部电源监控器将使 PORz 无效
5. 器件将启动 1.8V 片上 LDO
6. 在内部电源监控器显示外部和内部生成的电源稳定后，SOP[3:0] 引脚状态被锁存
7. R5F 内核未停止，SOP 选择的引导 ROM 开始执行

Copyright © 2026 Texas Instruments Incorporated

6.11.2.2 下电时序

图 6-2 描述了器件下电时序。AM263x 1.2V 和 3.3V 的顺序无关紧要。

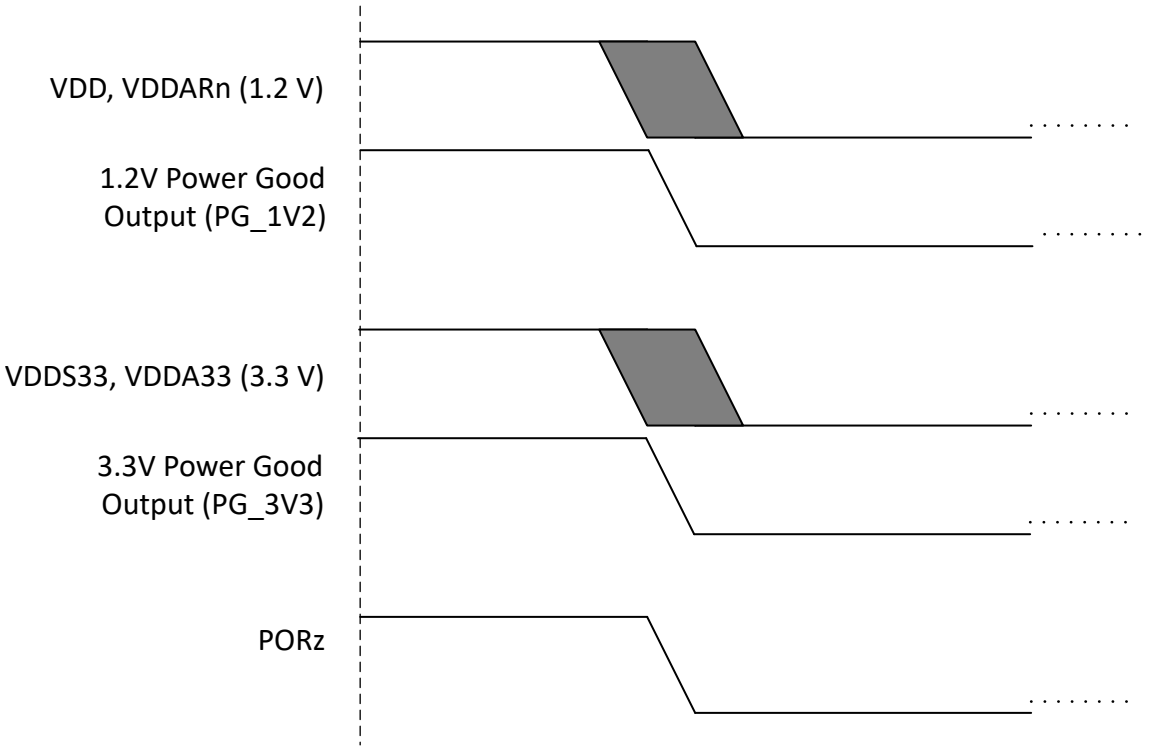


图 6-2. 下电时序

6.11.3 系统时序

有关子系统多路复用信号特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

6.11.3.1 系统时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2	V/ns
输出条件				
C_L	输出负载电容	3	30	pF

6.11.3.2 复位时序

本节中提供的表和图定义了复位相关信号的时序要求和开关特性。

6.11.3.2.1 PORz 时序要求

编号	参数	说明	最小值	最大值	单位
RST1	$t_{h(SUPPLIES_VALID-PORz)}$	保持时间，在电源有效之后 PORz 在上电时有效（低电平）（使用外部晶体）	0		ns
RST3	$t_{w(PORzL)}$	脉冲宽度最小值，在上电之后 PORz 为低电平（不移除电源或系统基准时钟 XTAL_XI/XO）	1000		ns

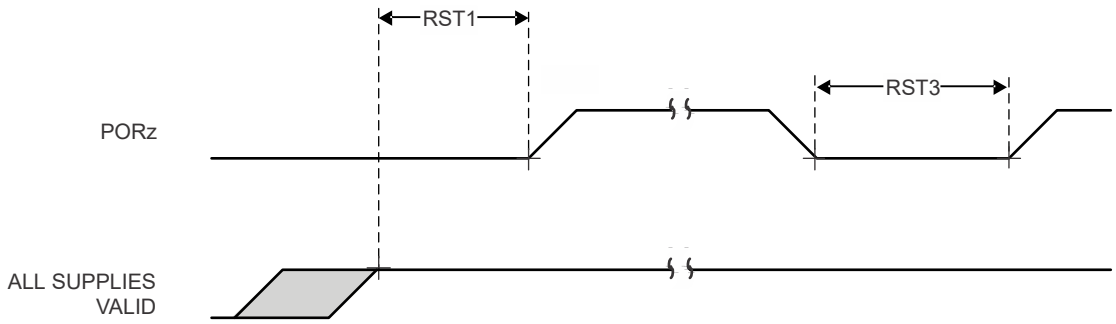


图 6-3. PORz 时序要求

6.11.3.2.2 WARMRSTn 开关特性

编号	参数	说明	最小值	最大值	单位
RST4	$t_{d(PORzL:-WARMRSTnZ)}$	延迟时间，PORz 有效（低电平）到 WARMRSTn 高阻抗的时间	0	0	ns
RST5	$t_{d(PORzH-WARMRSTnL)}$	延迟时间，PORz 无效（高电平）到 WARMRSTn 有效（低电平）的时间	0	0	ns
RST6	$t_{d(PORzH-WARMRSTnH)}$	延迟时间，PORz 无效（高电平）到 WARMRSTn 无效（高电平）的时间	2000000	6000000	ns

Copyright © 2026 Texas Instruments Incorporated

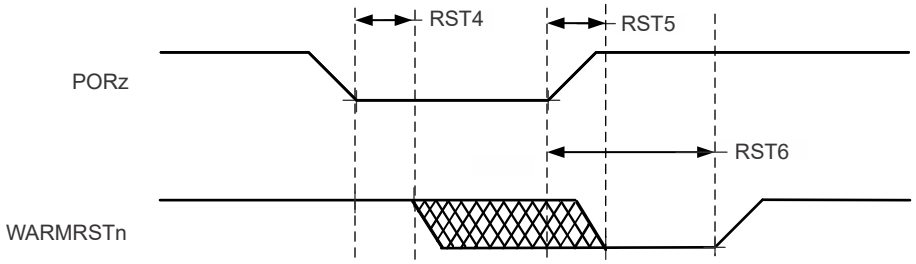


图 6-4. WARMRSTn 开关特性

6.11.3.2.3 WARMRSTn 时序要求

编号	参数	说明	最小值	最大值	单位
RST10	$t_{w(WARMRSTnL)}$(1)	最小脉冲宽度，WARMRSTn 有效（低电平）	500	16384000	ns

(1) 该计时参数由 TOP_RCM.WARM_RSTTIME1/2/3 寄存器控制。 有关详细信息，请参阅技术参考手册的“复位”一节。

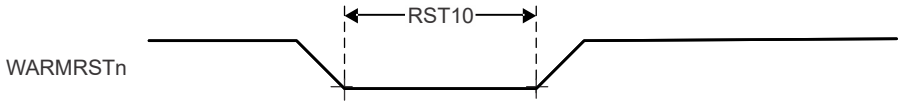


图 6-5. WARMRSTn 时序要求和开关特性

6.11.3.3 安全信号时序

本节中提供的表和图定义了 SAFETY_ERRORn 的开关特性。

6.11.3.3.1 SAFETY_ERRORn 开关特性

编号	参数	说明	最小值	最大值	单位
SFTY1	$t_{c(SAFETY_ERRORn)}$	最小周期时间，SAFETY_ERRORn（启用 PWM 模式）	(P(1) × H(3)) + (P(1) × L)(4)		ns
SFTY2	$t_{w(SAFETY_ERRORn)}$	最小脉冲宽度，SAFETY_ERRORn 有效（禁用 PWM 模式）(5)	P(1) × R(2)		ns
SFTY3	$t_{d(ERROR_CONDITION-SAFETY_ERRORnL)}$	延迟时间，ERROR_CONDITION 至 SAFETY_ERRORn 有效(5)	50 × P(1)		ns

(1) P = ESM 功能时钟
(2) R = 错误引脚计数器预加载寄存器计数值
(3) H = 错误引脚 PWM 高预加载寄存器计数值
(4) L = 错误引脚 PWM 低预加载寄存器计数值
(5) 启用 PWM 模式后，SAFETY_ERRORn 会在 SFTY3 后停止切换，并将保持其值（高电平或低电平），直到错误被清除。禁用 PWM 模式时，SAFETY_ERRORn 为有效低电平

Copyright © 2026 Texas Instruments Incorporated

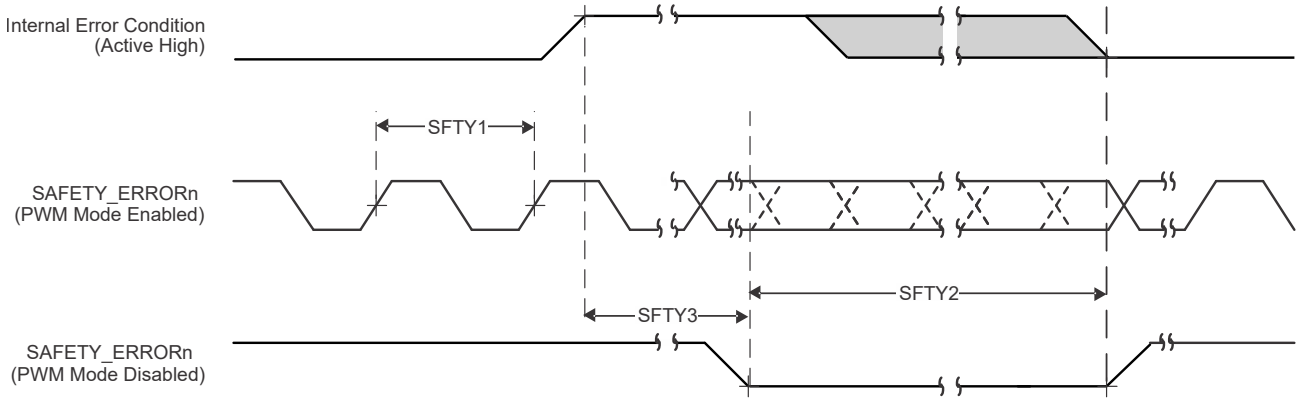


图 6-6. MCU_SAFETY_ERRORn 时序要求和开关特性

6.11.4 时钟规格

6.11.4.1 输入时钟/振荡器

6.11.4.1.1 OSC 内部振荡器时钟源

图 6-7 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件应尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。

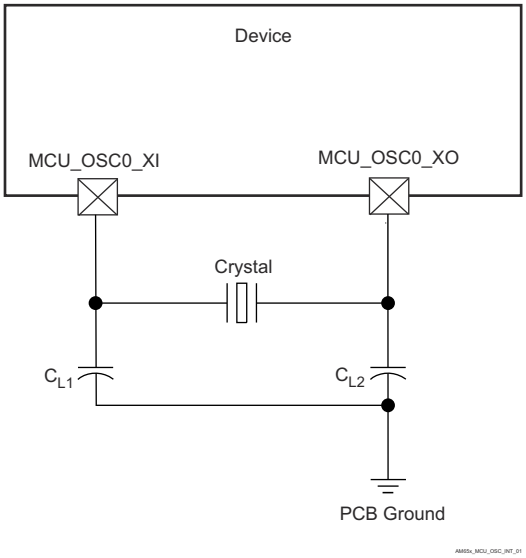


图 6-7. MCU_OSC0 晶体实现

备注

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑晶体的温度和老化特性。

6.11.4.1.2 晶体振荡器 (XTAL) 参数

参数		最小值	典型值	最大值	单位
F_{xtal}	晶振并联谐振频率（仅限基本模式振荡）	-50ppm	25	50ppm	MHz
占空比	XTAL 的占空比输出	45	50	55	%
CC1	C_{L1} + C_{PCBXI} 的电容	12		24	pF
CC2	C_{L2} + C_{PCBXO} 电容	12		24	pF

Copyright © 2026 Texas Instruments Incorporated

参数		最小值	典型值	最大值	单位
C_{shunt}	晶体电路并联电容			5	pF
ESR_{xtal}	晶体有效串联电阻			46	Ω

6.11.4.1.3 外部时钟特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
C_{Pkg}	封装的并联电容		0.01		pF
P_{xtal}	功率耗散		$0.5 \times ESR \times (2 \times \pi \times F_{xtal} \times C_L \times 1.8)^2$		W
t_s	启动时间		1.5		ms

6.11.4.1.4 MCU_OSC0 LVCMOS 数字时钟源

图 6-8 展示了当 MCU_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

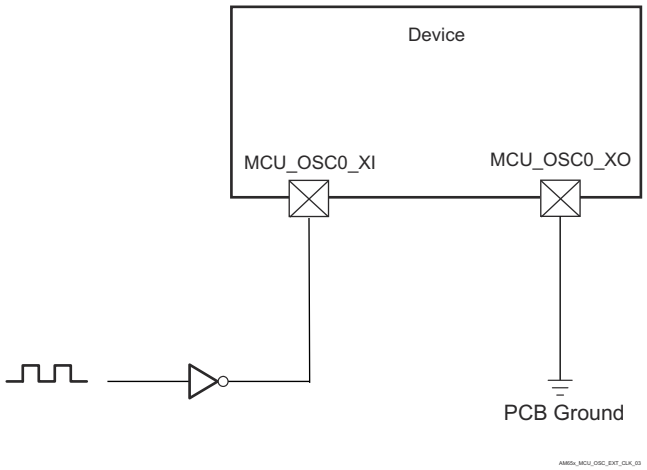


图 6-8. 1.8V LVCMOS 兼容时钟输入

6.11.4.2 时钟时序

本节中提供的表和图定义了时钟信号的时序要求和开关特性。

6.11.4.2.1 时钟时序要求

编号	参数	说明	最小值	最大值	单位
CLK1	tc(EXT_REFCLK)	最小周期时间，EXT_REFCLK	10		ns
CLK2	tw(EXT_REFCLKH)	脉冲持续时间最小值，EXT_REFCLK 高电平	E(1) × 0.45	E(1) × 0.55	ns
CLK3	tw(EXT_REFCLKL)	脉冲持续时间最小值，EXT_REFCLK 低电平	E(1) × 0.45	E(1) × 0.55	ns

(1) E = EXT_REFCLK 周期时间

Copyright © 2026 Texas Instruments Incorporated

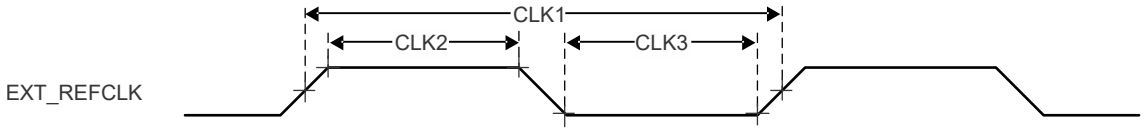


图 6-9. 时钟时序要求

6.11.4.2.2 时钟开关特性

编号	参数	说明	最小值	最大值	单位
CLK4	$t_{c(CLKOUT0)}$	最小周期时间，CLKOUT0	10		ns
CLK5	$t_{w(CLKOUT0H)}$	最小脉冲持续时间，CLKOUT0 高电平	A(1) × 0.4	A(1) × 0.6	ns
CLK6	$t_{w(CLKOUT0L)}$	最小脉冲持续时间，CLKOUT0 低电平	A(1) × 0.4	A(1) × 0.6	ns
CLK7	$t_{c(CLKOUT1)}$	最小周期时间，CLKOUT1	10		ns
CLK8	$t_{w(CLKOUT1H)}$	最小脉冲持续时间，CLKOUT1 高电平	B(2) × 0.4	B(2) × 0.6	ns
CLK9	$t_{w(CLKOUT1L)}$	最小脉冲持续时间，CLKOUT1 低电平	B(2) × 0.4	B(2) × 0.6	ns

(1) A = CLKOUT0 周期时间
(2) B = CLKOUT1 周期时间

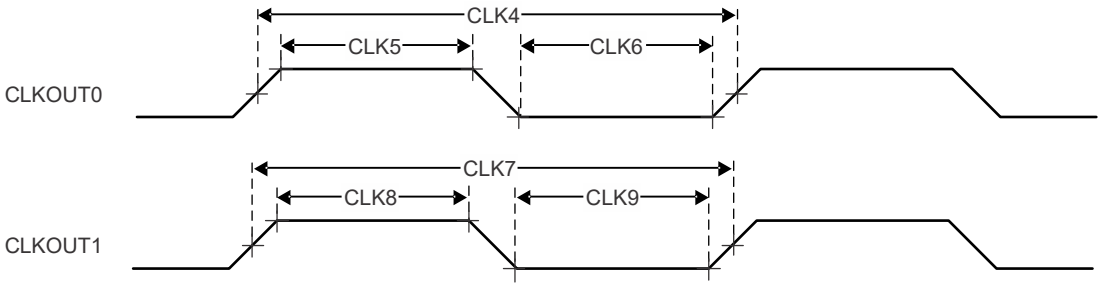


图 6-10. 时钟开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5 外设

6.11.5.1 2 端口千兆位以太网 MAC (CPSW)

备注

CPSW 支持两个外部以太网端口和一个内部端口。

有关器件 CPSW（2 端口千兆位以太网 MAC）特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

6.11.5.1.1 CPSW MDIO 时序

6.11.5.1.1.1 CPSW MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF

6.11.5.1.1.2 CPSW MDIO 时序要求

编号	参数	说明	最小值	最大值	单位
MDIO1	$t_{su(MDIO-MDC)}$	在 MDIO_CLK 高电平之前 MDIO_DATA 有效的设置时间	45		ns
MDIO2	$t_{h(MDC-MDIO)}$	MDIO_CLK 高电平后 MDIO_DATA 有效的保持时间	0		ns

6.11.5.1.1.3 CPSW MDIO 开关特性

编号	参数	说明	最小值	最大值	单位
MDIO3	$t_{c(MDC)}$	周期时间，MDIO_CLK	400		ns
MDIO4	$t_{w(MDCH)}$	MDIO_CLK 高电平的脉冲持续时间	160		ns
MDIO5	$t_{w(MDCL)}$	MDIO_CLK 低电平的脉冲持续时间	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	MDIO_CLK 低电平到 MDIO_DATA 有效的延迟时间	-10	10	ns

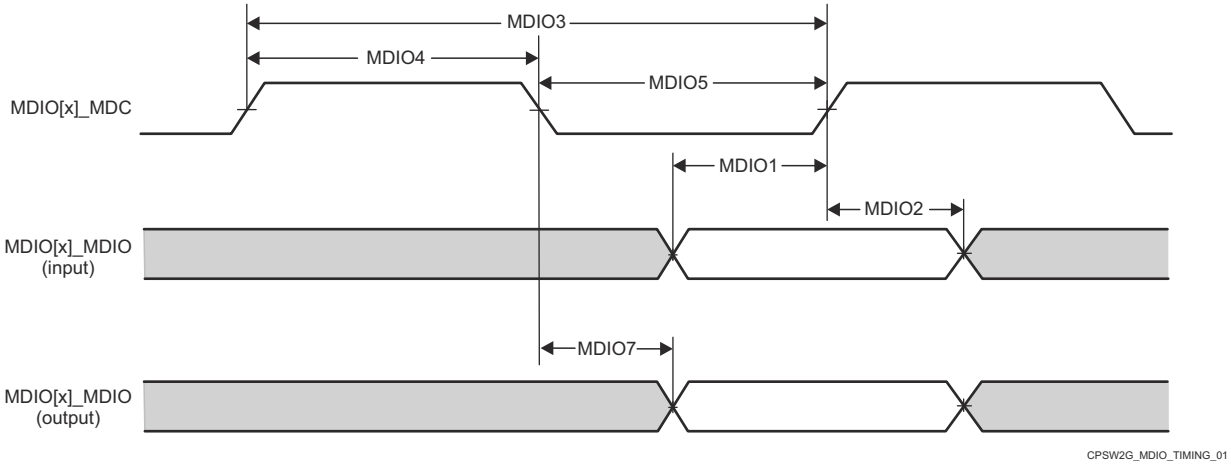


图 6-11. CPSW MDIO 时序要求和开关特性

6.11.5.1.2 CPSW RMII 时序

6.11.5.1.2.1 CPSW RMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD = 3.3V	0.4	1.2	V/ns
输出条件					
C_L	输出负载电容		3	25	pF

6.11.5.1.2.2 CPSW RMII[x]_REFCLK 时序要求 – RMII 模式

编号	参数	说明	最小值	最大值	单位
RMII1	$t_{c(REF_CLK)}$	REF_CLK 周期时间	19.999	20	ns
RMII2	$t_{w(REF_CLKH)}$	REF_CLK 高电平的脉冲持续时间	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	REF_CLK 低电平的脉冲持续时间	7	13	ns

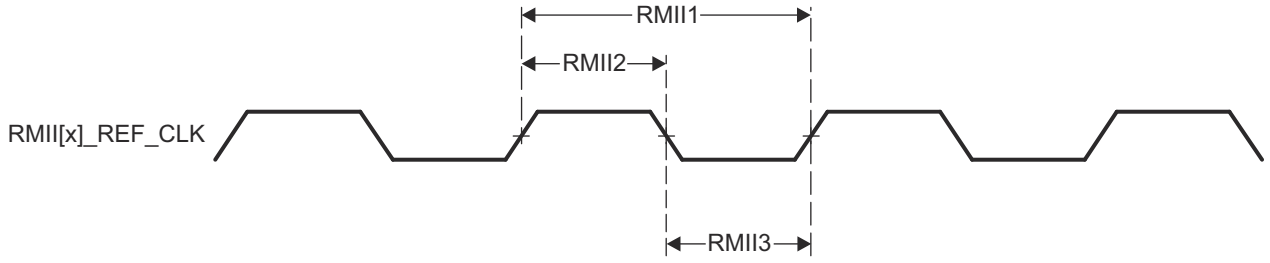


图 6-12. CPSW RMII[x]_REF_CLK 时序要求 – RMII 模式

6.11.5.1.2.3 CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RXER 时序要求 – RMII 模式

编号	参数	说明	最小值	最大值	单位
RMII4	$t_{su(RXD-REF_CLK)}$	建立时间，RXD[1:0] 在 REF_CLK 前的有效时间	4		ns
	$t_{su(CRS_DV-REF_CLK)}$	建立时间，CRS_DV 在 REF_CLK 前的有效时间	4		ns
	$t_{su(RX_ER-REF_CLK)}$	建立时间，RX_ER 在 REF_CLK 前的有效时间	4		ns
RMII5	$t_{h(REF_CLK-RXD)}$	保持时间，RXD[1:0] 在 REF_CLK 后的有效时间	2		ns
	$t_{h(REF_CLK-CRS_DV)}$	保持时间，CRS_DV 在 REF_CLK 后的有效时间	2		ns
	$t_{h(REF_CLK-RX_ER)}$	保持时间，RX_ER 在 REF_CLK 后的有效时间	2		ns

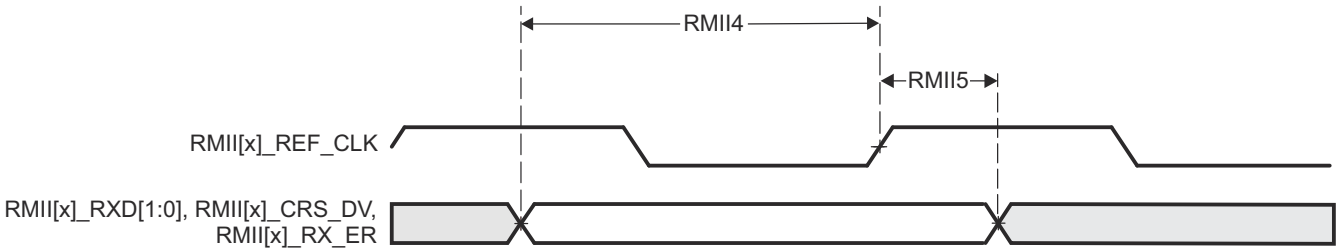


图 6-13. CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 – RMII 模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.2.4 CPSW RMII[x]_TXD[1:0] 和 RMII[x]_TXEN 开关特性 – RMII 模式

编号	参数	说明	最小值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间，REF_CLK 高电平到 TXD[1:0] 有效	2	10	ns
	$t_{d(REF_CLK-TXEN)}$	延迟时间，REF_CLK 到 TXEN 有效	2	10	ns

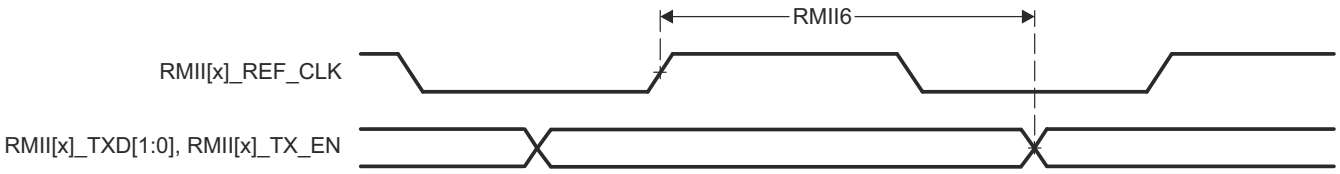


图 6-14. CPSW RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 – RMII 模式

6.11.5.1.3 CPSW RGMII 时序

6.11.5.1.3.1 CPSW RGMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		2.64	5	V/ns
输出条件					
C_L	输出负载电容		2	20	pF
PCB 连接要求					
t_d（布线不匹配延迟）	所有布线之间的传播延迟不匹配	RGMII[x]_RXC RGMII[x]_RD[3:0] RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC RGMII[x]_TD[3:0] RGMII[x]_TX_CTL		50	ps

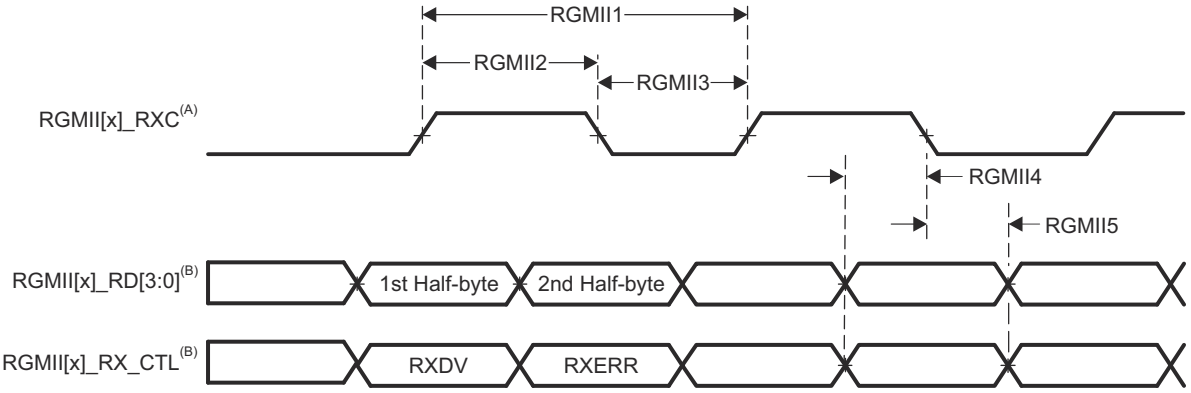
6.11.5.1.3.2 CPSW RGMII[x]_RCLK 时序要求 – RGMII 模式

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间，RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	tw(RXCH)	脉冲持续时间，RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	tw(RXCL)	脉冲持续时间，RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.3.3 CPSW RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 时序要求

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	$t_{su(RD-RXC)}$	建立时间，在 RXC 高电平/低电平之前 RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	建立时间，在 RXC 高电平/低电平之前 RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	保持时间，在 RXC 高电平/低电平之后 RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	保持时间，在 RXC 高电平/低电平之后 RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns

Copyright © 2026 Texas Instruments Incorporated



A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0，在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV，在 RGMII[x]_RXC 的下降沿承载 RXERR。

图 6-15. CPSW RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

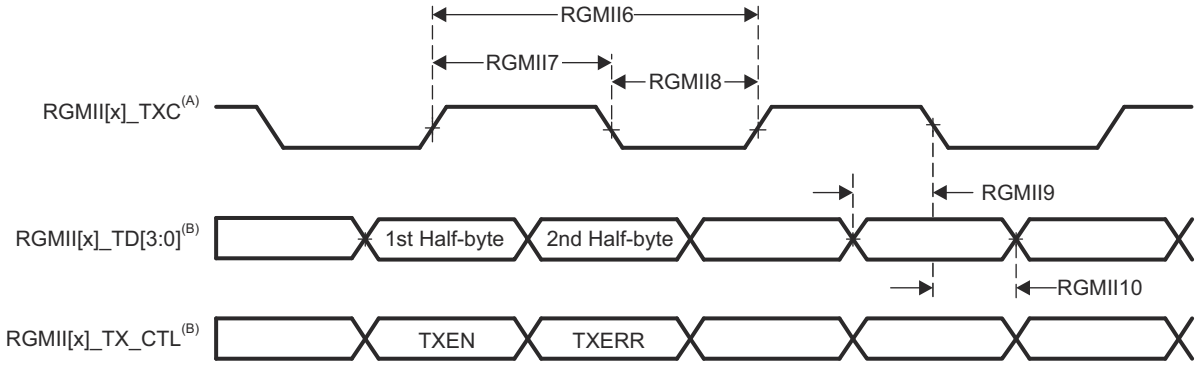
6.11.5.1.3.4 CPSW RGMII[x]_TCLK 开关特性 – RGMII 模式

编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_{c(TXC)}$	周期时间，TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	脉冲持续时间，TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	脉冲持续时间，TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.3.5 CPSW RGMII[x]_TD[3:0] 和 RGMII[x]_TCTL 开关特性 – RGMII 模式

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{osu(TD-TXC)}$	输出建立时间，RGMII[x]_TD[3:0] 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间，RGMII[x]_TX_CTL 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	输出保持时间，RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	输出保持时间，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

Copyright © 2026 Texas Instruments Incorporated



A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟在 POR 后默认启用。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 的上升沿承载数据位 3-0，在 RGMII[x]_TXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 的上升沿承载 TXEN，在 RGMII[x]_TXC 的下降沿承载 TXERR。

图 6-16. CPSW RGMII[x]_TXC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.2 增强型捕获 (eCAP)

备注

器件具有多个 eCAP 模块。通用 CAP_ 前缀用于表示所有 eCAP 实例的信号名称。

有关更多信息，请参阅器件 TRM 中的*增强型捕获 (eCAP) 模块*一节。

6.11.5.2.1 ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

6.11.5.2.2 ECAP 时序要求

编号	参数	说明		最小值 最大值	单位
CAP1	$t_{w(CAP)}$	采集输入脉冲宽度	异步	$(2 + X^{(2)}) \times P^{(1)}$	ns
			同步	$(3 + X^{(2)}) \times P^{(1)}$	
			带输入限定器	$(2 + X^{(2)}) \times P^{(1)} + U^{(3)}$	

(1) P = sysclk 周期（以 ns 为单位）。
(2) X = ECCTL0_TYPE3[QUALPRD] 设置的值。
(3) U = 输入限定器采样窗口。 有关输入限定器模式的详细信息，请参阅“GPIO 电气数据和时序”部分

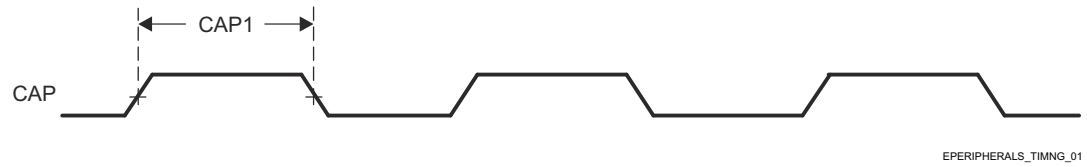


图 6-17. ECAP 时序要求

6.11.5.2.3 ECAP 开关特性

编号	参数	说明	最小值	最大值	单位
CAP2	$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	10		ns

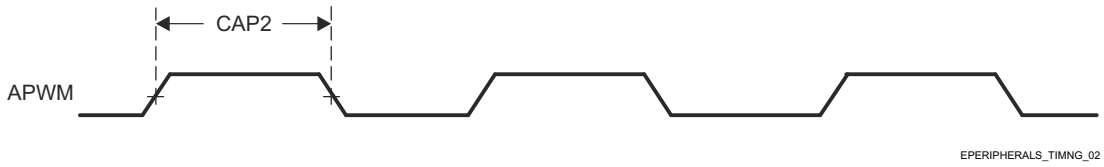


图 6-18. ECAP 开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.3 增强型脉宽调制 (ePWM)

备注

器件具有多个 ePWM 模块。通用 EHRPWM_ 前缀用于表示所有 ePWM 实例的信号名称。

有关更多信息，请参阅器件 TRM 中的*增强型脉宽调制 (ePWM) 模块*一节。

6.11.5.3.1 EPWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

6.11.5.3.2 EPWM 时序要求

编号	参数	说明	最小值	最大值	单位
PWM6	$t_{w(SYNCIN)}$	脉冲持续时间，EHRPWM_SYNCI	2P(1)		ns
PWM7	$t_{w(TZ)}$	脉冲持续时间，EHRPWM_TZn_IN 低电平	1P(1)		ns

(1) P = sysclk 周期（以 ns 为单位）。

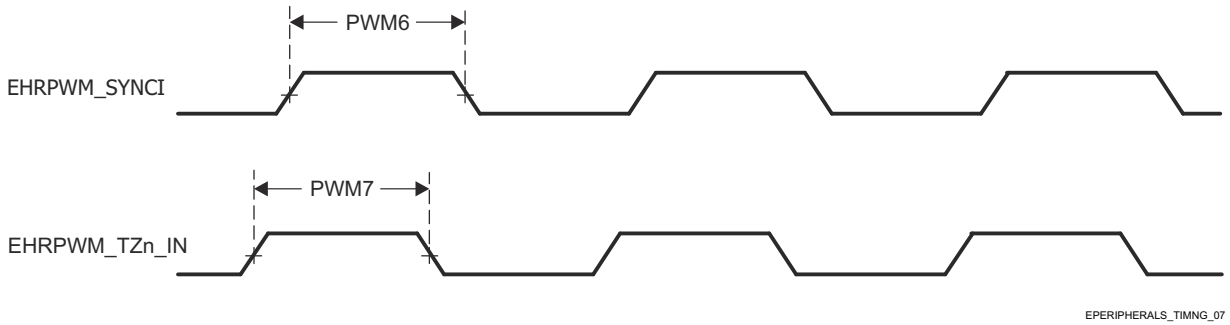


图 6-19. EPWM 时序要求

6.11.5.3.3 EPWM 开关特性

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(PWM)}$	脉冲持续时间，EHRPWM_A/B 高电平/低电平	20		ns
PWM2	$t_{w(SYNCOUT)}$	脉冲持续时间，EHRPWM_SYNCO	8P(1)		ns
PWM3	$t_{d(TZ-PWM)}$	延迟时间，EHRPWM_TZn_IN 有效到 EHRPWM_A/B 强制高电平/低电平		30	ns
PWM4	$t_{d(TZ-PWMZ)}$	延迟时间，EHRPWM_TZn_IN 有效到 EHRPWM_A/B 高阻态		30	ns
PWM5	$t_{w(SOC)}$	脉冲持续时间，EHRPWM_SOCA/B 输出	32P(1)		ns

(1) P = sysclk 周期（以 ns 为单位）。

Copyright © 2026 Texas Instruments Incorporated

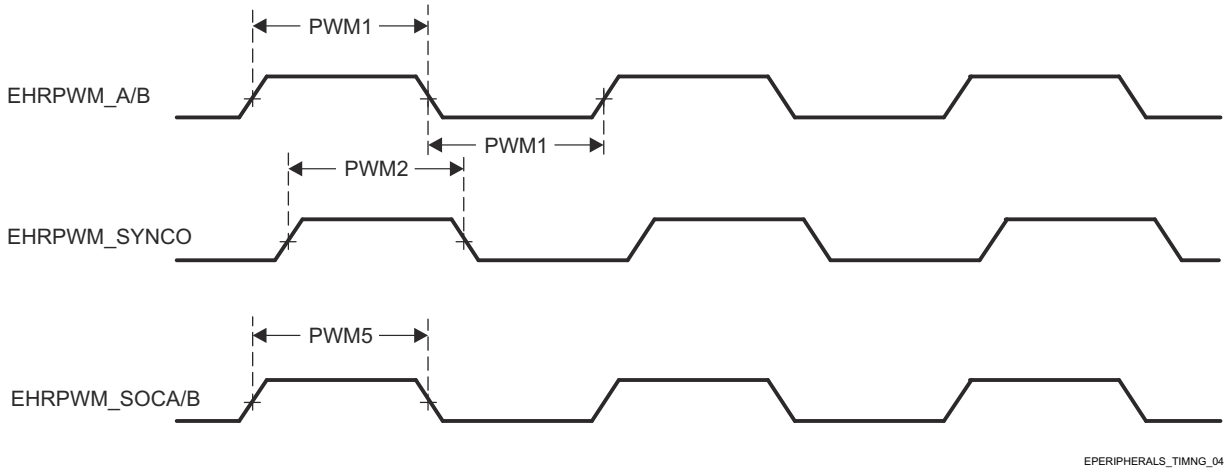


图 6-20. EHRPWM 开关特性

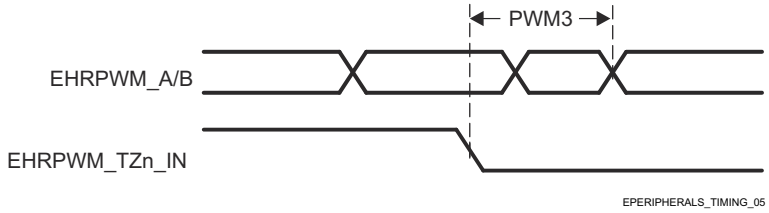


图 6-21. EHRPWM_TZn_IN 至 EHRPWM_A/B 强制开关特性

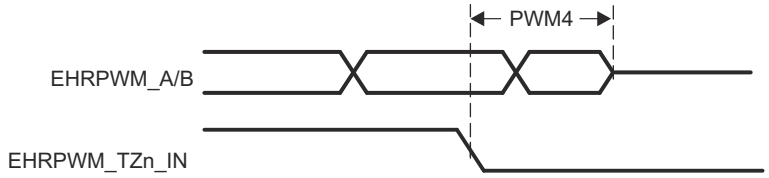


图 6-22. EHRPWM_TZn_IN 至 EHRPWM_A/B 高阻态开关特性

EPWM 特性

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长(1)		115	310	ps

(1) MEP 步长在高温和 VDD 上的电压最小时达到最大值。MEP 步长将随着温度升高和电压降低而增大，随着温度降低和电压升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.4 增强型正交编码器脉冲 (eQEP)

备注

器件具有多个 eQEP 模块。通用 QEP_ 前缀用于表示所有 eQEP 实例的信号名称。

有关更多信息，请参阅器件 TRM 中的*增强型正交编码器脉冲 (eQEP) 模块*一节。

6.11.5.4.1 EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

6.11.5.4.2 EQEP 时序要求

编号	参数	说明		最小值	最大值	单位
QEP1	$t_{w(QEPP)}$	QEP 输入周期	同步(3)	3P(1)		ns
			带输入限定器	2 × (P(1) + U(2))		
QEP2	$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步(3)	2 + 3P(1)		ns
			带输入限定器	2P(1) + U(2)		
QEP3	$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步(3)	3P(1)		ns
			带输入限定器	2P(1) + U(2)		
QEP4	$t_{w(STROBH)}$	QEP 选通高电平时间	同步(3)	3P(1)		ns
			带输入限定器	2P(1) + U(2)		
QEP5	$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步(3)	3P(1)		ns
			带输入限定器	2P(1) + U(2)		

(1) P = sysclk 周期（以 ns 为单位）。
(2) U = 输入限定器采样窗口。 有关输入限定器模式的详细信息，请参阅“GPIO 电气数据和时序”部分。
(3) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

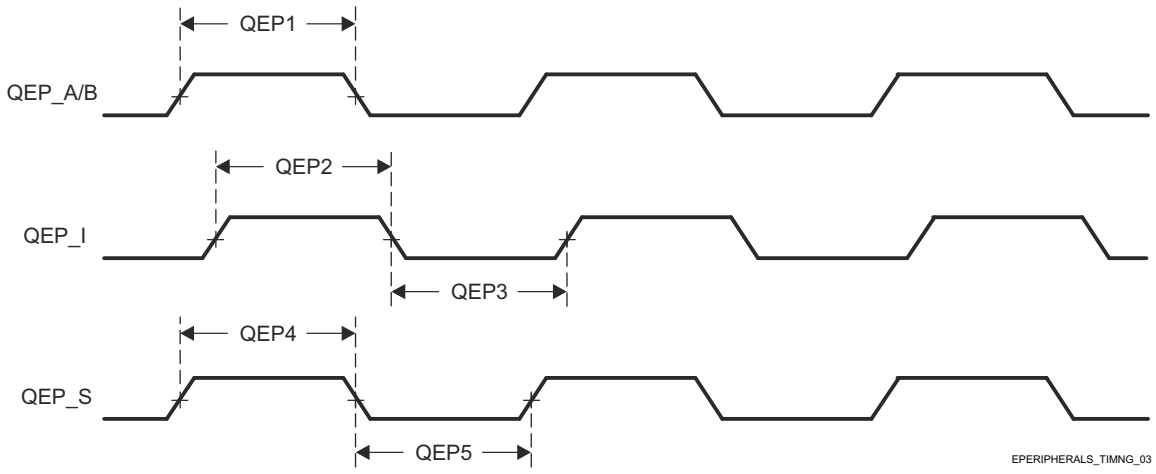


图 6-23. EQEP 时序要求

Copyright © 2026 Texas Instruments Incorporated

6.11.5.4.3 EQEP 开关特性

编号	参数	说明	最小值	最大值	单位
QEP6	$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量		4 + U(2) + 6P(1)	ns
QEP7	$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出		4 + U(2) + 7P(1) + 4	ns

(1) P = sysclk 周期（以 ns 为单位）。
(2) U = 输入限定器采样窗口。 有关输入限定器模式的详细信息，请参阅“GPIO 电气数据和时序”部分。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.5 快速串行接口 (FSI)

备注

器件具有多个 FSI 模块。FSIn 是应用于 FSI 信号名称的通用前缀，其中 n 代表特定的 FSI 模块。

有关更多信息，请参阅器件 TRM 中的*快速串行接口*一节。

6.11.5.5.1 FSI 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.8	4	V/ns
输出条件				
C_L	输出负载电容	1	7	pF

6.11.5.5.2 FSIRX 时序要求

编号	参数	说明	最小值	最大值	单位
FSIR1	$t_{c(RX_CLK)}$	周期时间，FSIRXn_CLK	16.67		ns
FSIR2	$t_{w(RX_CLK)}$	脉冲宽度，FSIRXn_CLK 低电平或 FSIRXn_CLK 高电平	0.35P(1) – 1	0.65P(1) + 1	ns
FSIR3	$td_{(RX_D - RX_CLK)}$	延迟时间，FSIRXn_D[0:1] 在 FSIRXn_CLK 前的有效时间	1.7		ns
FSIR4	$t_{h(RX_CLK - RX_D)}$	相对于 FSIRXn_CLK 两个边沿的保持时间	2		ns

(1) P = Tc(RXCLK) = RX 接口时钟周期，单位为 ns。

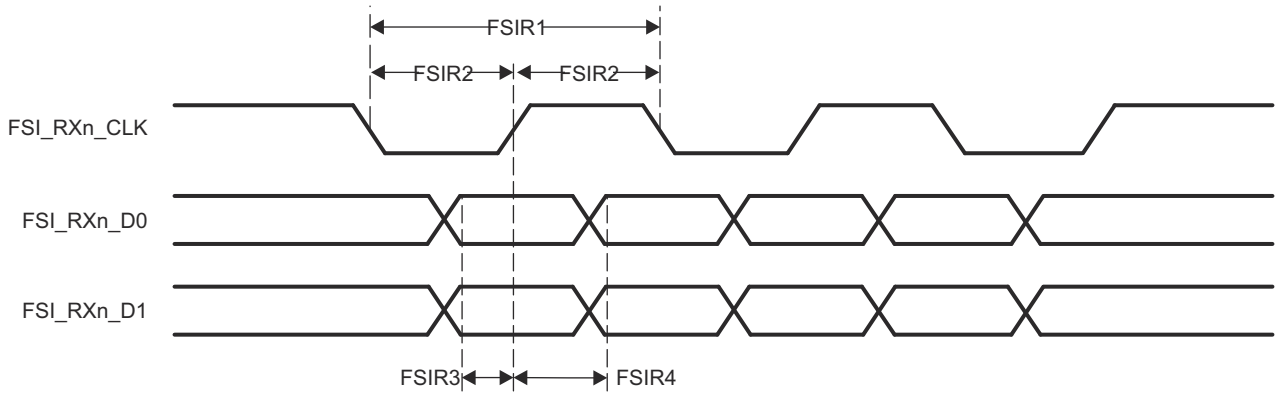


图 6-24. FSI 时序要求

Copyright © 2026 Texas Instruments Incorporated

6.11.5.5.3 FSIRX 开关特性

编号	参数	说明	最小值	最大值	单位
FSIR5	$t_{d(RX_CLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 FSIRXn_CLK 延迟补偿	10	30	ns
FSIR6	$t_{d(RX_D0)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 FSIRXn_D0 延迟补偿	10	30	ns
FSIR7	$t_{d(RX_D1)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 FSIRXn_D1 延迟补偿	10	30	ns
FSIR8	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 FSIRXn_CLK、FSIRXn_D0 和 FSIRXn_D1 增量延迟	0.3	1	ns
FSIR_TDM1	$t_{skew(RX_CLK-TX_TDM_D)}$	FSIRXn_TDM_CLK 延迟和 FSIRXn_TDM_D[0:1] 之间的延迟偏斜	-3	3	ns
FSIR_TDM2	$t_{skew(RX_CLK-TX_TDM_CLK)}$	延时时间，FSIRXn_CLK 输入到 FSITXn_TDM_CLK 输出的时间	2	12	ns
FSIR_TDM3	$t_{skew(RX_D0-TX_TDM_D0)}$	延时时间、FSIRXn_D0 输入到 FSITXn_TDM_D0 输出的时间	2	12	ns
FSIR_TDM4	$t_{skew(RX_D1-TX_TDM_D1)}$	延时时间、FSIRXn_D1 输入到 FSITXn_TDM_D1 输出的时间	2	12	ns

6.11.5.5.4 FSITX 开关特性

编号	参数	说明	最小值	最大值	单位
FSIT1	$t_{c(TX_CLK)}$	周期时间，FSITXn_CLK	16.67		ns
FSIT2	$t_{w(TX_CLK)}$	脉冲宽度，FSITXn_CLK 低电平或 FSITXn_CLK 高电平	0.5P(1) – 1	0.5P(1) + 1	ns
FSIT3	$td_{(TX_CLK-TX_D)}$	延迟时间，FSITXn_CLK 高电平或 FSITXn_CLK 低电平之后 FSITXn_Dx 有效	0.25P(1) – 2	0.25P(1) + 2	ns
FSIT4	$t_{d(TXCLKL)}$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 FSITXn_CLK 延迟补偿	9.95	30	ns
FSIT5	$t_{d(TX_D0)}$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 FSITXn_D0 延迟补偿	9.95	30	ns
FSIT6	$t_{d(TX_D1)}$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 FSITXn_D1 延迟补偿	9.95	30	ns
FSIT7	$t_{d(TX_DELAY_ELEMENT)}$	每个延迟线路元件的 FSITXn_CLK、FSITXn_D0 和 FSITXn_D1 增量延迟	0.3	1	ns
FSIT_TDM1	$t_{skew(TX_TDM_CLK-TX_TDM_D)}$	FSITXn_TDM_CLK 延迟和 FSITXn_TDM_D[0:1] 延迟之间引入的延迟偏斜	-2.5	2.5	ns
FSIT_TDM2	$t_{skew(TX_TDM_CLK-TX_CLK)}$	延时时间，FSITXn_TDM_CLK 输入到 FSITXn_CLK 输出的时间	2	12	ns
FSIT_TDM3	$t_{skew(TX_TDM_D0-TX_D0)}$	延时时间、FSITXn_TDM_D0 输入到 FSITXn_D0 输出的时间	2	12	ns
FSIT_TDM4	$t_{skew(TX_TDM_D1-TX_D1)}$	延时时间、FSITXn_TDM_D1 输入到 FSITXn_D1 输出的时间	2	12	ns

(1) P = $t_{c(TX_CLK)}$ = FSITX 接口时钟周期，单位为 ns。

Copyright © 2026 Texas Instruments Incorporated

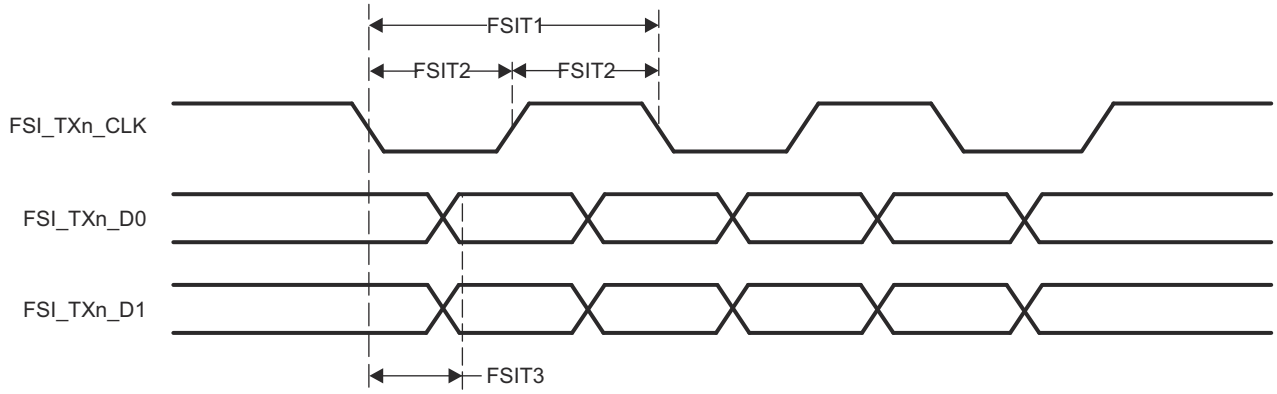


图 6-25. FSI 开关特性 - FSI 模式

6.11.5.5.5 FSITX SPI 信令模式开关特性

编号	参数	说明	最小值	最大值	单位
FSIT4	$t_{c(TX_CLK)}$	周期时间，FSITXn_CLK	16.67		ns
FSIT5	$t_{w(TX_CLK)}$	脉冲宽度，FSITXn_CLK 低电平或 FSITXn_CLK 高电平	0.5P(1) – 1	0.5P(1) + 1	ns
FSIT6	$t_{d(TX_CLKH - TX_D0)}$	延迟时间，FSITXn_CLK 高电平到 FSITXn_D0 有效		3	ns
FSIT7	$t_{d(TX_D1-TX_CLK)}$	延迟时间，FSITXn_D1 低电平到 FSITXn_CLK 高电平	P(1) – 3		ns
FSIT8	$t_{d(TX_CLK-TX_D1)}$	延迟时间，FSITXn_CLK 低电平到 FSITXn_D1 高电平	P(1)		ns

(1) P = $t_{c(TX_CLK)}$ = FSITX 接口时钟周期，单位为 ns。

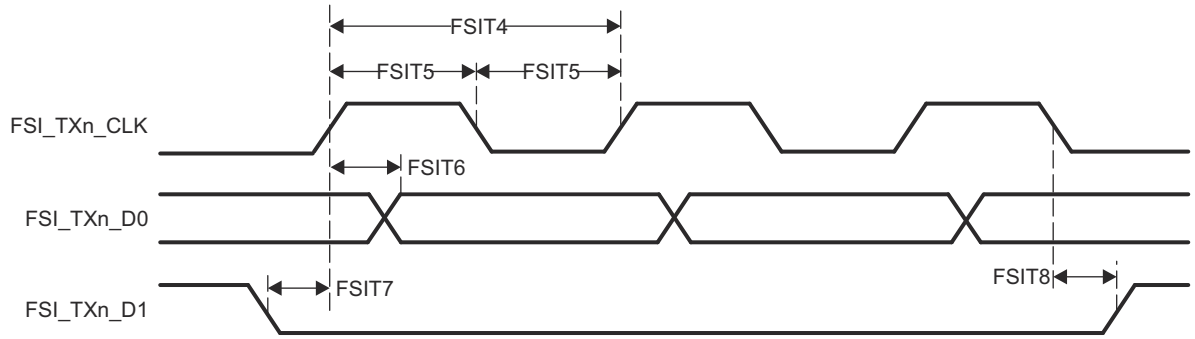


图 6-26. FSI 开关特性 - SPI 模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.6 通用输入/输出 (GPIO)

有关器件 GPIO 特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

有关更多信息，请参阅器件 TRM 中的*通用接口 (GPIO)* 一节。

6.11.5.6.1 GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR_I	输入压摆率		0.75	6.6	V/ns
输出条件					
C_L	输出负载电容	LVCMOS	3	10	pF
		I2C OD FS(1)	3	10	pF

(1) 缓冲器类型 *I2C OD FS* 需要一个上拉电阻器。

6.11.5.6.2 GPIO 时序要求

编号	参数	说明	缓冲器类型	最小值	最大值	单位
D3	$t_{w(GPIO_IN)}$	最小输入脉冲宽度	LVCMOS	2P(1) + 2		ns
D4			I2C OD FS(2)	2P(1) + 2		ns

(1) P = 功能时钟周期（以 ns 为单位）。
(2) 缓冲器类型 *I2C OD FS* 需要一个上拉电阻器。

6.11.5.6.3 GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
D1	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度	LVCMOS	0.975P(1) – 2		ns
D2	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度低电平	I2C OD FS(2)	2P(1) + 160		ns
D3	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度高电平	I2C OD FS(2)	2P(1) + 160		ns

(1) P = 功能时钟周期（以 ns 为单位）。
(2) 缓冲器类型 *I2C OD FS* 需要一个上拉电阻器。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.7 通用存储器控制器 (GPMC)

有关器件通用存储器控制器特性和其他说明的更多详细信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

有关更多信息，请参阅器件 TRM 中的 *通用存储器控制器 (GPMC)* 一节。

6.11.5.7.1 GPMC 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1.65	4	V/ns
输出条件					
C_L	输出负载电容		3	20	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	100MHz	140	720	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配			200	ps

6.11.5.7.2 GPMC/NOR 闪存时序要求 – 同步模式 100MHz

(1)(2)

编号	参数	说明	模式	最小值	最大值	单位
F12	$t_{su(dV-clkH)}$	建立时间，在 GPMC0_CLK 高电平之前 GPMC0_AD[31:0] 有效	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode(5)	1.06		ns
F13	$t_{h(clkH-dV)}$	保持时间，在 GPMC0_CLK 高电平之后 GPMC0_AD[31:0] 有效	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode(5)	2.29		ns
F21	$t_{su(waitV-clkH)}$	建立时间，在 GPMC0_CLK 高电平之前 GPMC0_WAIT[x] (3) 有效	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode(5)	1.06		ns
F22	$t_{h(clkH-waitV)}$	保持时间，在 GPMC0_CLK 高电平之后 GPMC0_WAIT[x] (3) 有效	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode(5)	2.29		ns

(1) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)。
(2) 假设 GPMC 引脚与器件之间的布线长度小于 4 英寸，并且 100MHz 同步模式下的长度在 200ps 内匹配。
(3) 在 GPMC_WAIT[x] 中，x 等于 0 或 1。
(4) 在 div_by_1_mode 下，GPMC0_CLK 指 GPMC0_CLKOUT 或 GPMC0_FCLK_MUX（自由运行）。这两个信号都被引脚多路复用到同一个引脚。
GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
– GPMC0_CLK 频率 = GPMC_FCLK 频率
(5) 在 not_div_by_1_mode 下，GPMC_CLK 仅指 GPMC0_CLKOUT。如果 GPMCFCLKDIVIDER > 0，则不能对 GPMC0_FCLK_MUX 进行时钟分频以匹配 GPMC0_CLKOUT 频率。
GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
– GPMC_CLK 频率 = GPMC_FCLK 频率/（2 至 4）

Copyright © 2026 Texas Instruments Incorporated

6.11.5.7.3 GPMC/NOR 闪存开关特征 – 同步模式 100MHz

(18)(19)(20)

编号	参数	说明	模式	最小值	最大值	单位
F0	$t_{c(clk)}$	时钟周期，GPMC0_CLK，GPMC0_FCLK_MUX		10(21)		ns
F1	$t_{w(clk)}$	标准脉冲持续时间，GPMC0_CLK 高电平或低电平		0.475P(16) – 0.3(21)		ns
F2	$t_{d(clkH-csnV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_CSn[x](15) 转换		F(6) – 2.2(21)	F(6)+3.75	ns
F3	$t_{d(clkH-csnIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_CSn[x](15) 无效		E(5) – 2.2	E(5)+3.18	ns
F4	$t_{d(aV-clk)}$	延迟时间，GPMC0_A[27:1] 有效至 GPMC0_CLK 第一个边沿		B(2) – 2.3(21)	B(2) + 4.5	ns
F5	$t_{d(clkH-aIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_A[27:1] 有效		-2.3(21)	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	延迟时间，GPMC0_BE0n_CLE、GPMC0_BE1n 有效至 GPMC0_CLK 第一个边沿		B(2) – 2.3(21)	B(2) + 1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 无效(12)		D(4) – 2.3(21)	D(4) + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 无效(13)		D(4) – 2.3(21)	D(4) + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 无效(14)		D(4) – 2.3(21)	D(4) + 1.9	ns
F8	$t_{d(clkH-advn)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_ADVn_ALE 转换		G(7)(8) – 2.3(21)	G(7)(8) + 4.5	ns
F9	$t_{d(clkH-advnIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_ADVn_ALE 无效		D(4) – 2.3(21)	D(4) + 4.5	ns
F10	$t_{d(clkH-oen)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_OEn_REn 转换		H(9) – 2.3(21)	H(9) + 3.5	ns
F11	$t_{d(clkH-oenIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_OEn_REn 无效		H(9) – 2.3(21)	H(9) + 3.5	ns
F14	$t_{d(clkH-wen)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_WEn 转换		I(10) – 2.3(21)	I(10) + 4.5	ns
F15	$t_{d(clkH-do)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_AD[31:0] 转换(12)		J(11) – 2.3(21)	J(11) + 2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_AD[31:0] 数据总线转换(13)		J(11) – 2.3(21)	J(11) + 2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_AD[31:0] 数据总线转换(14)		J(11) – 2.3(21)	J(11) + 2.7	ns
F17	$t_{d(clkH-be[x]n)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_BE0n_CLE 转换(12)		J(11) – 2.3(21)	J(11) + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 转换(13)		J(11) – 2.3(21)	J(11) + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n 转换(14)		J(11) – 2.3(21)	J(11) + 1.9	ns
F18	$t_{w(csnV)}$	脉冲持续时间，GPMC0_CSn[x](15) 低电平	读取	A(1)		ns
			写入	A(1)		ns
F19	$t_{w(be[x]nV)}$	脉冲持续时间，GPMC0_BE0n_CLE、GPMC0_BE1n 低电平	读取	C(3)		ns
			写入	C(3)		ns

Copyright © 2026 Texas Instruments Incorporated

(18)(19)(20)

编号	参数	说明	模式	最小值	最大值	单位
F20	$t_{w(advnV)}$	脉冲持续时间，GPMC0_ADVn_ALE 低电平	读取	K(17)		ns
			写入	K(17)		ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n 是页面突发访问编号。

(2) B = ClkActivationTime × GPMC_FCLK(17)

(3) 对于单次读取：C = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：C = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：C = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n 是页面突发访问编号。

(4) 对于单次读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)

(5) 对于单次读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于突发写入：E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)

(6) 对于 csn 下降沿（CS 激活）：
- 当 GpmcFCLKDivider = 0：
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 1：
  - 当（ClkActivationTime 和 CSOnTime 为奇数）或（ClkActivationTime 和 CSOnTime 为偶数），F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
  - 否则，F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 2：
  - 当（(CSOnTime - ClkActivationTime) 是 3 的倍数），F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
  - 当（(CSOnTime - ClkActivationTime - 1) 是 3 的倍数），F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17)
  - 当（(CSOnTime - ClkActivationTime - 2) 是 3 的倍数），F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK(17)

(7) 对于 ADV 下降沿（ADV 激活）：
- 当 GpmcFCLKDivider = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 1：
  - 当（ClkActivationTime 和 ADVOnTime 为奇数）或（ClkActivationTime 和 ADVOnTime 为偶数），G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 否则，G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 2：
  - 当（(ADVOnTime - ClkActivationTime) 是 3 的倍数），G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 当（(ADVOnTime - ClkActivationTime - 1) 是 3 的倍数），G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
  - 当（(ADVOnTime - ClkActivationTime - 2) 是 3 的倍数），G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)

对于读取模式下的 ADV 上升沿（ADV 停用）：
- 当 GpmcFCLKDivider = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 1：
  - 当（ClkActivationTime 和 ADVRdOffTime 为奇数）或（ClkActivationTime 和 ADVRdOffTime 为偶数），G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)，
  - 否则，G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 2：
  - 当（(ADVRdOffTime - ClkActivationTime) 是 3 的倍数），G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 当（(ADVRdOffTime - ClkActivationTime - 1) 是 3 的倍数），G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
  - 当（(ADVRdOffTime - ClkActivationTime - 2) 是 3 的倍数），G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)

(8) 对于写入模式下的 ADV 上升沿（ADV 停用）：
- 当 GpmcFCLKDivider = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 1：
  - 当（ClkActivationTime 和 ADVWrOffTime 为奇数）或（ClkActivationTime 和 ADVWrOffTime 为偶数），G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
  - 否则，G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
- 当 GpmcFCLKDivider = 2：
  - 当（(ADVWrOffTime - ClkActivationTime) 是 3 的倍数），G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)

Copyright © 2026 Texas Instruments Incorporated

– 当 ((ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数) ，G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)
– 当 ((ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数) ，G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17)

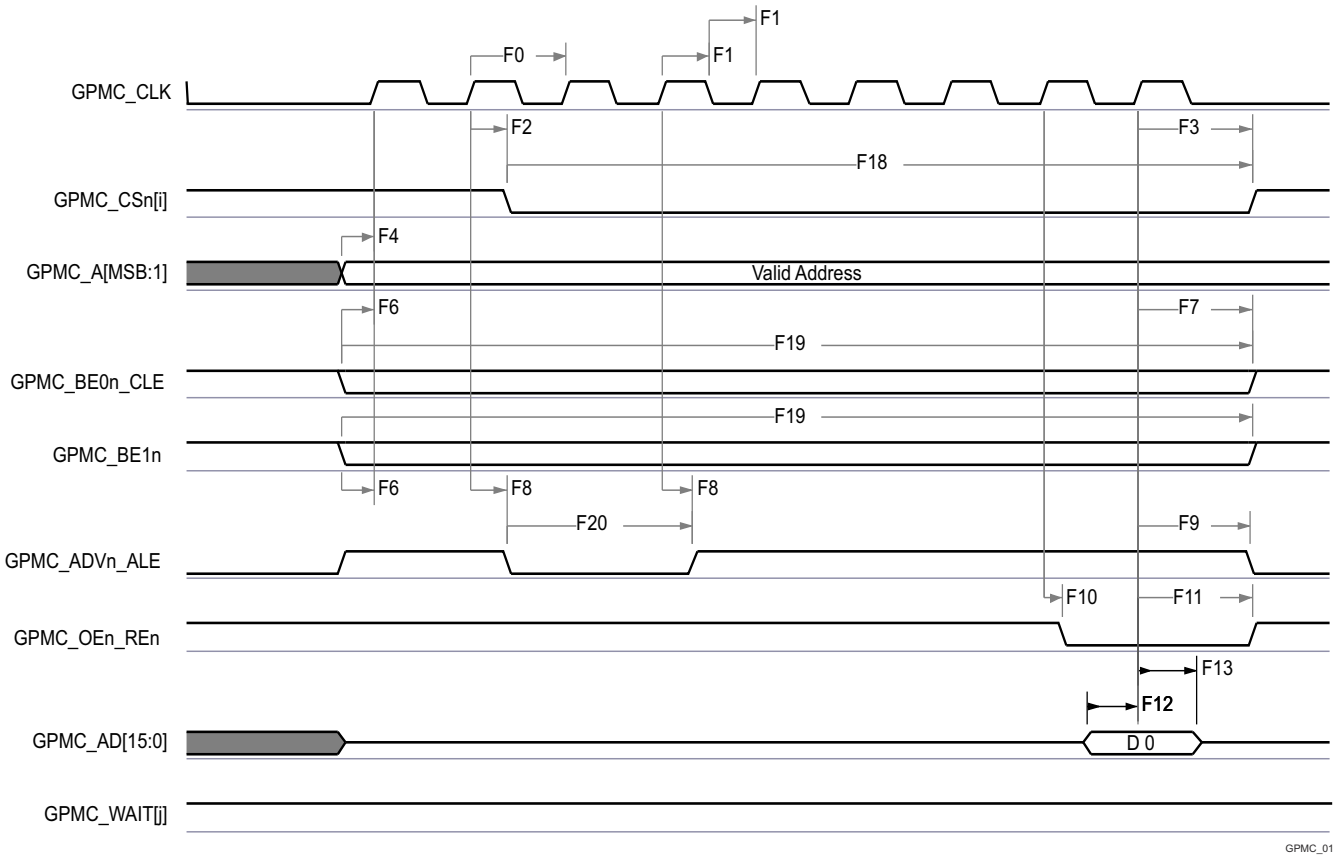
(9) 对于 OE 下降沿 (OE 激活) 和 IO DIR 上升沿 (数据总线输入方向) ：
– 当 GpmcFCLKDivider = 0 ：
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 1 ：
– 当 (ClkActivationTime 和 OEOnTime 为奇数) 或 (ClkActivationTime 和 OEOnTime 为偶数) ，H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– 否则，H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 2 ：
– 当 ((OEOnTime - ClkActivationTime) 是 3 的倍数) ，H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– 当 ((OEOnTime - ClkActivationTime - 1) 是 3 的倍数) ，H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
– 当 ((OEOnTime - ClkActivationTime - 2) 是 3 的倍数) ，H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
对于 OE 上升沿 (OE 停用) ：
– 当 GpmcFCLKDivider = 0 ：
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 1 ：
– 当 (ClkActivationTime 和 OEOffTime 为奇数) 或 (ClkActivationTime 和 OEOffTime 为偶数) ，H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– 否则，H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 2 ：
– 当 ((OEOffTime - ClkActivationTime) 是 3 的倍数) ，H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– 当 ((OEOffTime - ClkActivationTime - 1) 是 3 的倍数) ，H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)
– 当 ((OEOffTime - ClkActivationTime - 2) 是 3 的倍数) ，H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(17)

(10) 对于 WE 下降沿 (WE 激活) ：
– 当 GpmcFCLKDivider = 0 ：
– I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 1 ：
– 当 (ClkActivationTime 和 WEOnTime 为奇数) 或 (ClkActivationTime 和 WEOnTime 为偶数) ，I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
– 否则，I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 2 ：
当 ((WEOnTime - ClkActivationTime) 是 3 的倍数) ，I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
– 当 ((WEOnTime - ClkActivationTime - 1) 是 3 的倍数) ，I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
– 当 ((WEOnTime - ClkActivationTime - 2) 是 3 的倍数) ，I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
对于 WE 上升沿 (WE 停用) ：
– 当 GpmcFCLKDivider = 0 ：
– I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 1 ：
– 当 (ClkActivationTime 和 WEOffTime 为奇数) 或 (ClkActivationTime 和 WEOffTime 为偶数) ，I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
– 否则，I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
– 当 GpmcFCLKDivider = 2 ：
– 当 ((WEOffTime - ClkActivationTime) 是 3 的倍数) ，I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
– 当 ((WEOffTime - ClkActivationTime - 1) 是 3 的倍数) ，I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)
– 当 ((WEOffTime - ClkActivationTime - 2) 是 3 的倍数) ，I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK(17)

(11) J = GPMC_FCLK(17)
(12) 对于 CLK DIV 1 模式，仅限第一次传输。
(13) 半周期；对于 CLK DIV 1 模式，针对初始传输后的所有数据。
(14) GPMC_CLK_OUT 的半个周期；对于 CLK DIV 1 模式以外的模式，针对所有数据。GPMC_CLK_OUT 从 GPMC_FCLK 进行分频。
(15) 在 GPMC_CSn[x] 中，x 等于 0、1、2 或 3。在 GPMC_WAIT[x] 中，x 等于 0 或 1。
(16) P = 以 ns 为单位的 GPMC_CLK 周期
(17) 对于读取：K = (ADVRdOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
对于写入： K = (ADVWrOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
(18) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位) 。
(19) 已选定 100MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)
(20) 假设 GPMC 引脚与器件之间的布线长度小于 4 英寸，并且 100MHz 同步模式下的长度在 200ps 内匹配。
(21) 在 div_by_1_mode 下，GPMC0_CLK 指 GPMC0_CLKOUT 或 GPMC0_FCLK_MUX （自由运行 ）。这两个信号都被引脚多路复用到同一个引脚
– GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h ：
– GPMC0_CLK 频率 = 在 not_div_by_1_mode 中的 GPMC_FCLK 频率
，GPMC0_CLK 仅指 GPMC0_CLKOUT。当 GPMCFCLKDIVIDER > 0，则不能对 GPMC0_FCLK_MUX 进行时钟分频以匹配 GPMC0_CLKOUT 频率

Copyright © 2026 Texas Instruments Incorporated

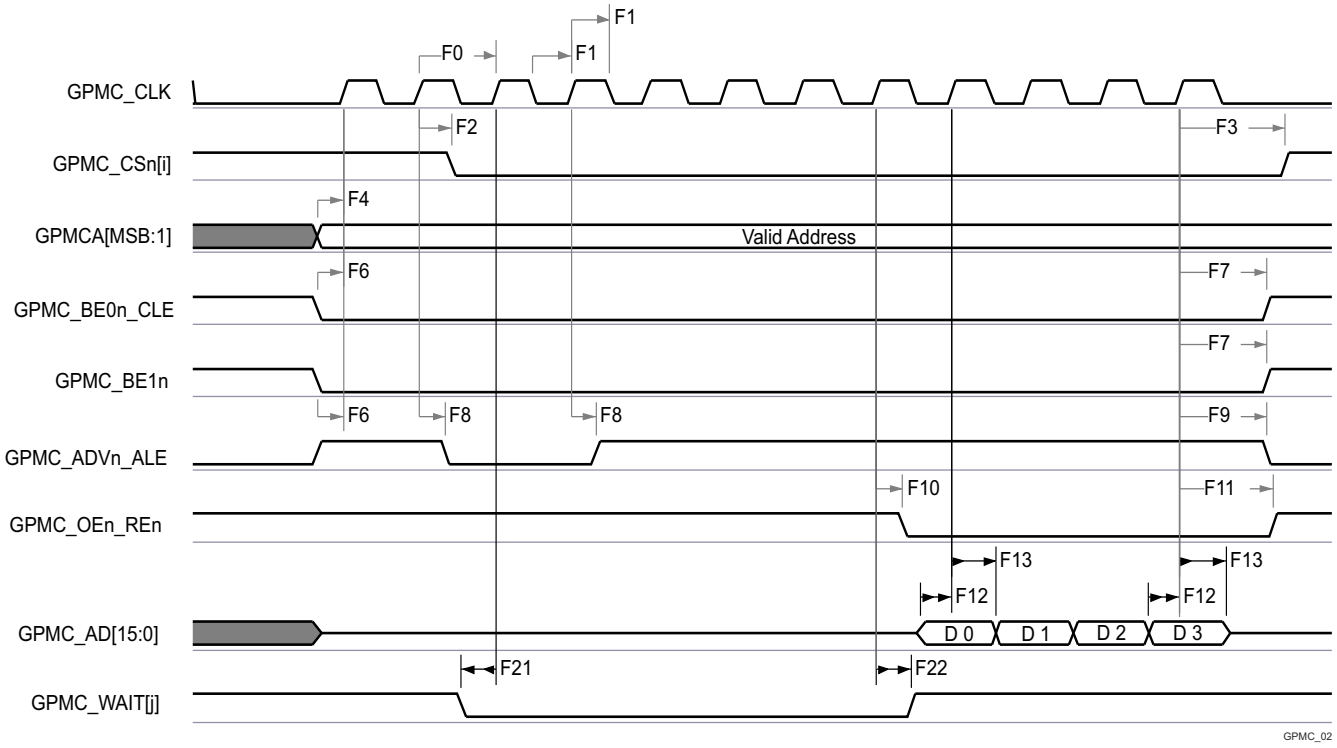
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
- GPMC0_CLK = GPMC_FCLK 频率/（2 至 4）



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

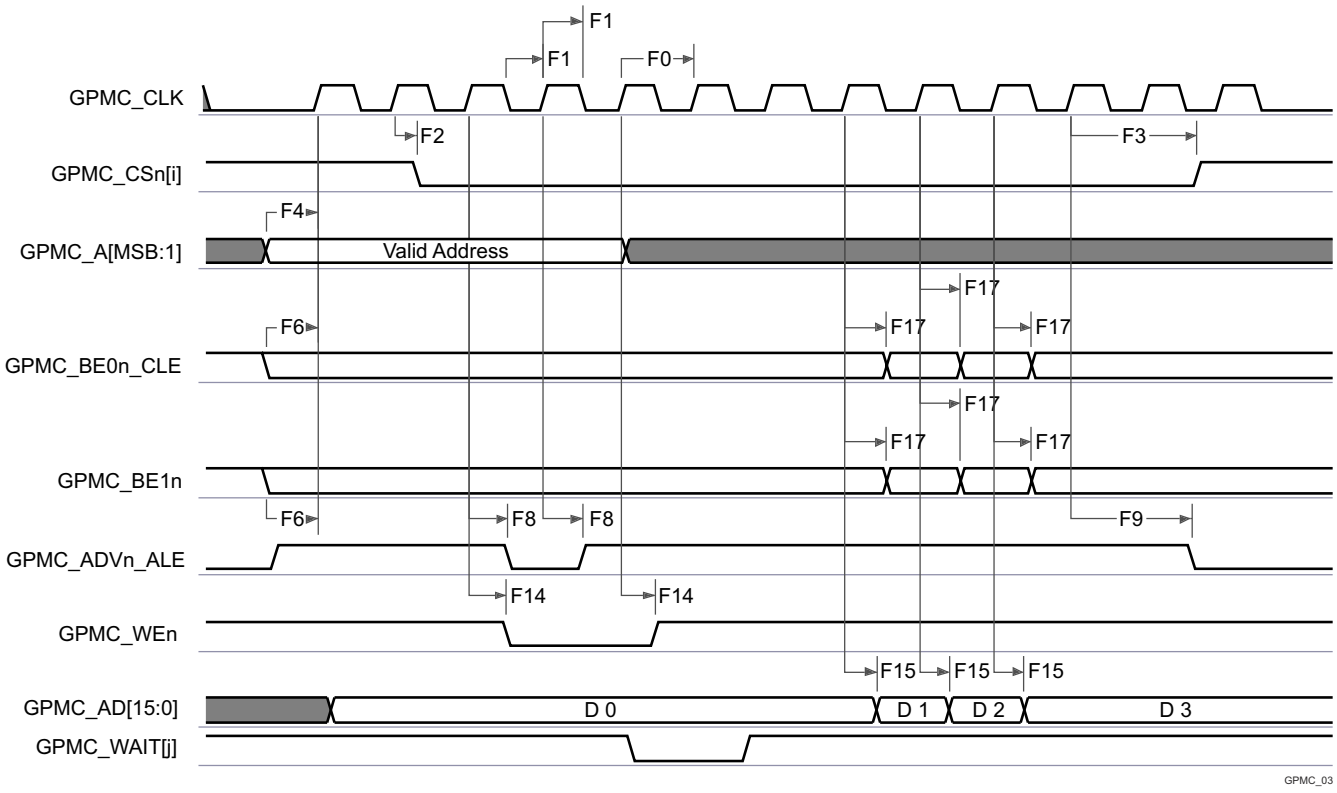
图 6-27. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-28. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)

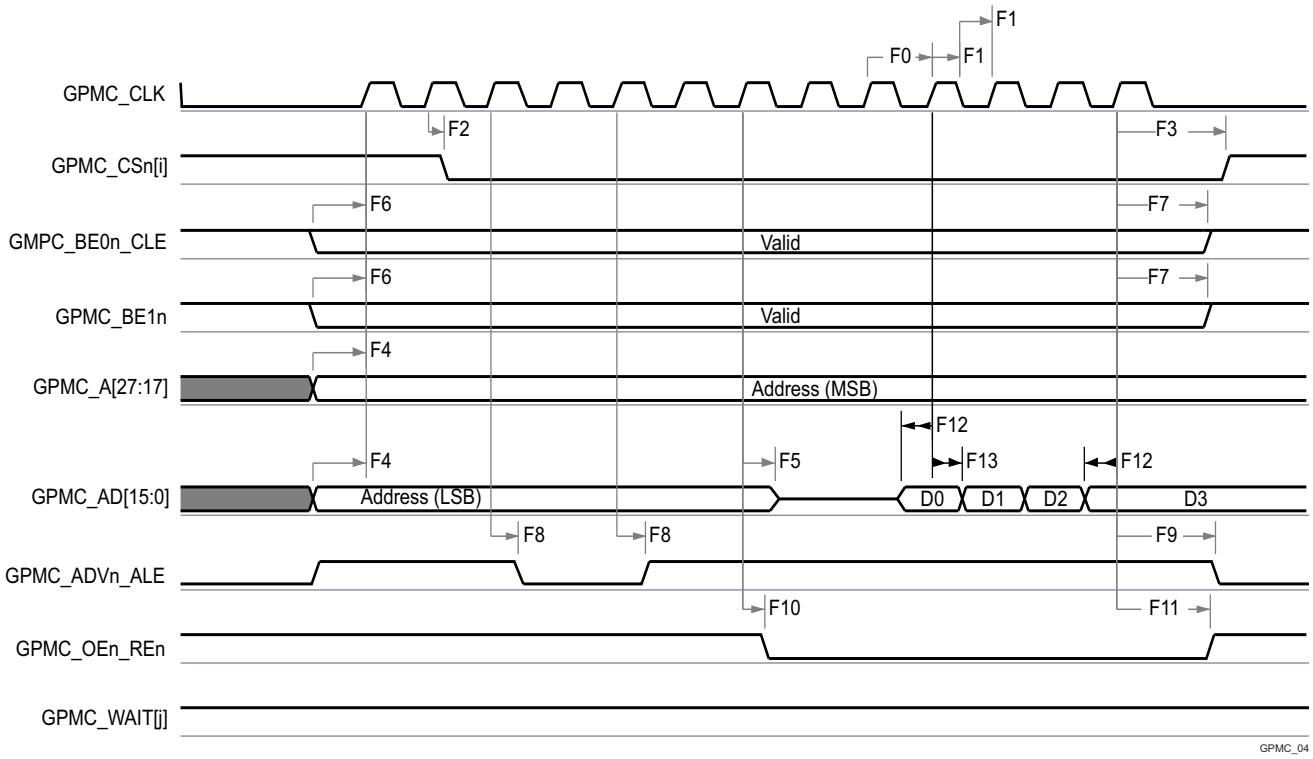


A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

Copyright © 2026 Texas Instruments Incorporated

B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

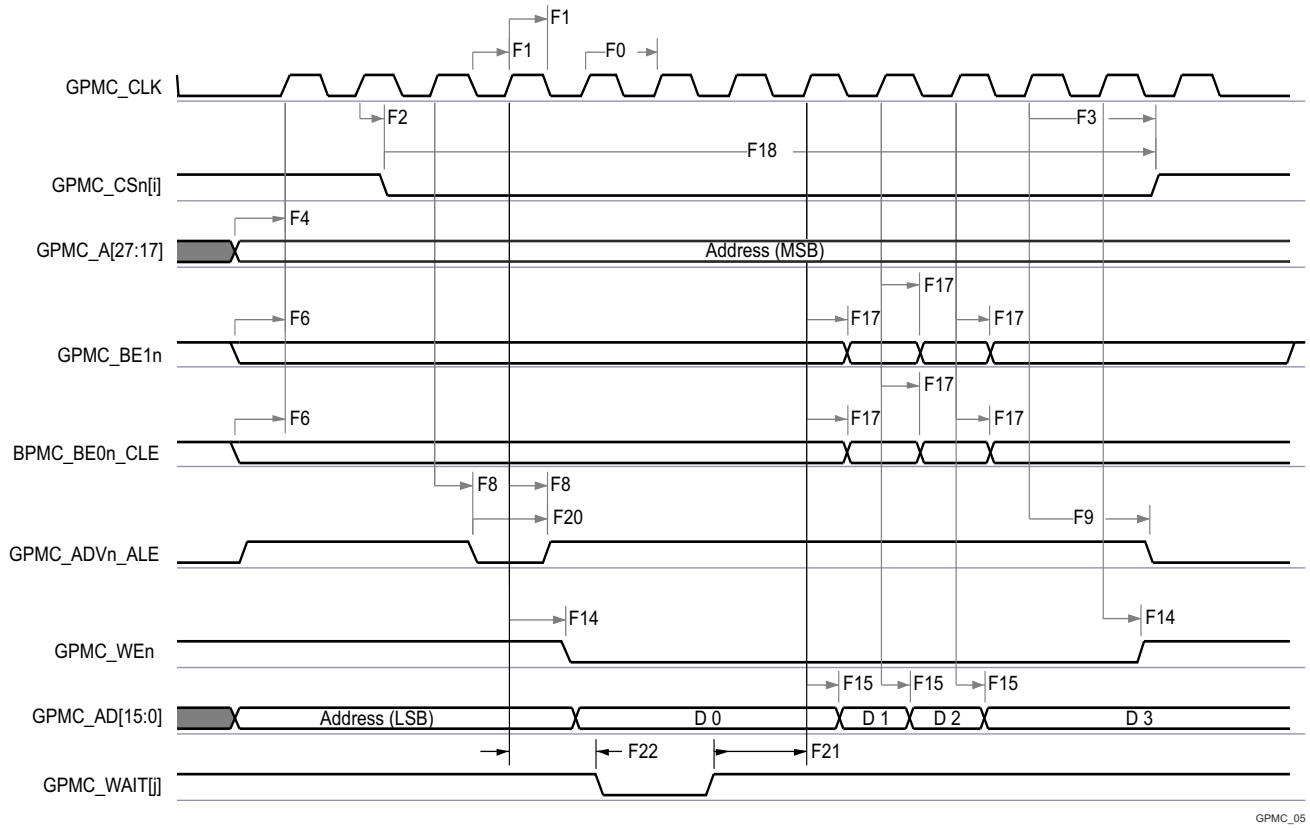
图 6-29. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-30. GPMC 和多路复用 NOR 闪存 - 同步突发读取

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-31. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.11.5.7.4 GPMC/NOR 闪存时序要求 – 异步模式 100MHz

(6)(7)

编号	参数	说明	最小值	最大值	单位
FA5(1)	$t_{acc(d)}$	数据访问时间		H(5)	ns
FA20(2)	$t_{acc1\text{-}pgmode(d)}$	页面模式连续数据访问时间		P(4)	ns
FA21(3)	$t_{acc2\text{-}pgmode(d)}$	页面模式首个数据访问时间		H(5)	ns

(1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
(2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
(3) FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据通过有效功能时钟边沿在内部采样。FA21 值必须存储在 AccessTime 寄存器位字段内。
(4) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(5) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(6) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(7) 已选定 133MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80 MHz)

Copyright © 2026 Texas Instruments Incorporated

6.11.5.7.5 GPMC/NOR 闪存开关特征 – 异步模式 100MHz

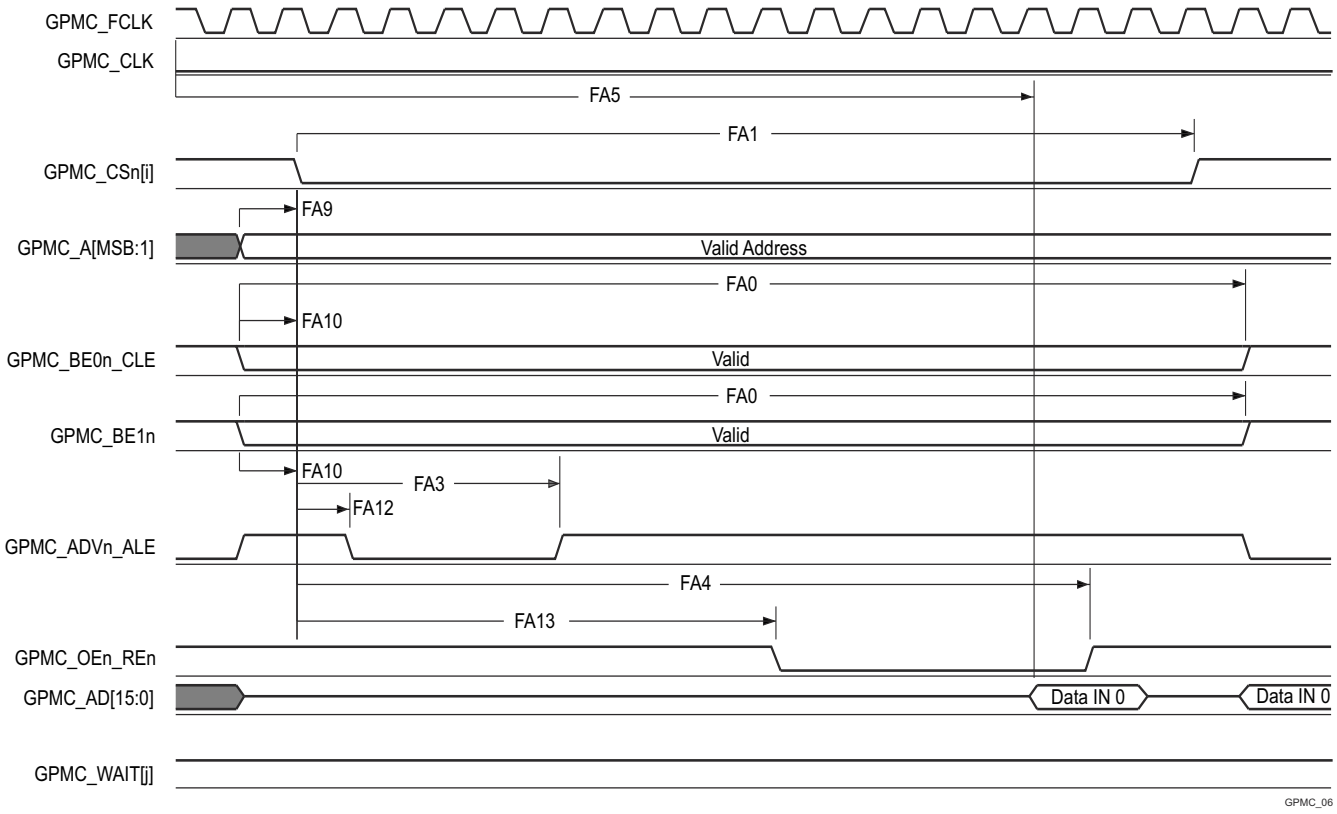
(14)(15)

编号	参数	说明	模式	最小值	最大值	单位
FA0	$t_{w(be[x]nV)}$	脉冲持续时间，GPMC0_BE0n_CLE、GPMC0_BE1n 有效时间	读取		N(12)	ns
			写入		N(12)	ns
FA1	$t_{w(csnV)}$	脉冲持续时间，GPMC0_CSn[x](13) 低电平	读取		A(1)	ns
			写入		A(1)	ns
FA3	$t_{d(csnV-advnlV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_ADVn_ALE 无效	读取	B(2) – 2	B(2) + 2	ns
			写入	B(2) – 2	B(2) + 2	ns
FA4	$t_{d(csnV-oenlV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_OEn_REn 无效（单次读取）		C(3) – 2	C(3) + 2	ns
FA9	$t_{d(aV-csnV)}$	延迟时间，GPMC0_A[27:1] 有效至 GPMC0_CSn[x](13) 有效		J(9) – 2	J(9) + 2	ns
FA10	$t_{d(be[x]nV-csnV)}$	延迟时间，GPMC0_BE0n_CLE、GPMC0_BE1n 有效至 GPMC0_CSn[x](13) 有效		J(9) – 2	J(9) + 2	ns
FA12	$t_{d(csnV-advnV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_ADVn_ALE 有效		K(10) – 2	K(10) + 2	ns
FA13	$t_{d(csnV-oenV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_OEn_REn 有效		L(11) – 2	L(11) + 2	ns
FA16	$t_{w(alV)}$	脉冲持续时间，GPMC0_A[26:1] 在 2 次连续读取和写入访问之间无效		G(7)		ns
FA18	$t_{d(csnV-oenlV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_OEn_REn 无效（突发读取）		I(8) – 2	I(8) + 2	ns
FA20	$t_{w(av)}$	脉冲持续时间，GPMC0_A[27:1] 有效 - 第 2、3、4 次访问		D(4)		ns
FA25	$t_{d(csnV-wenlV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_WEn 有效		E(5) – 2	E(5) + 2	ns
FA27	$t_{d(csnV-wenlV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_WEn 无效		F(6) – 2	F(6) + 2	ns
FA28	$t_{d(wenV-dV)}$	延迟时间，GPMC0_WEn 有效至 GPMC0_AD[31:0] 有效			2	ns
FA29	$t_{d(dV-csnV)}$	延迟时间，GPMC0_AD[31:0] 有效至 GPMC0_CSn[x](13) 有效		J(9) – 2	J(10) + 2	ns
FA37	$t_{d(oenV-alV)}$	延迟时间，GPMC0_OEn_REn 有效至 GPMC0_AD[31:0] 相位结束			2	ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于单次写入：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)，n 是页面突发访问编号
(2) 对于读取：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
对于写入： B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = \((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(5) E = \((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(6) F = \((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(7) G = Cycle2CycleDelay × GPMC_FCLK(14)
(8) I = \((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK(14)
(10) K = \((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)

Copyright © 2026 Texas Instruments Incorporated

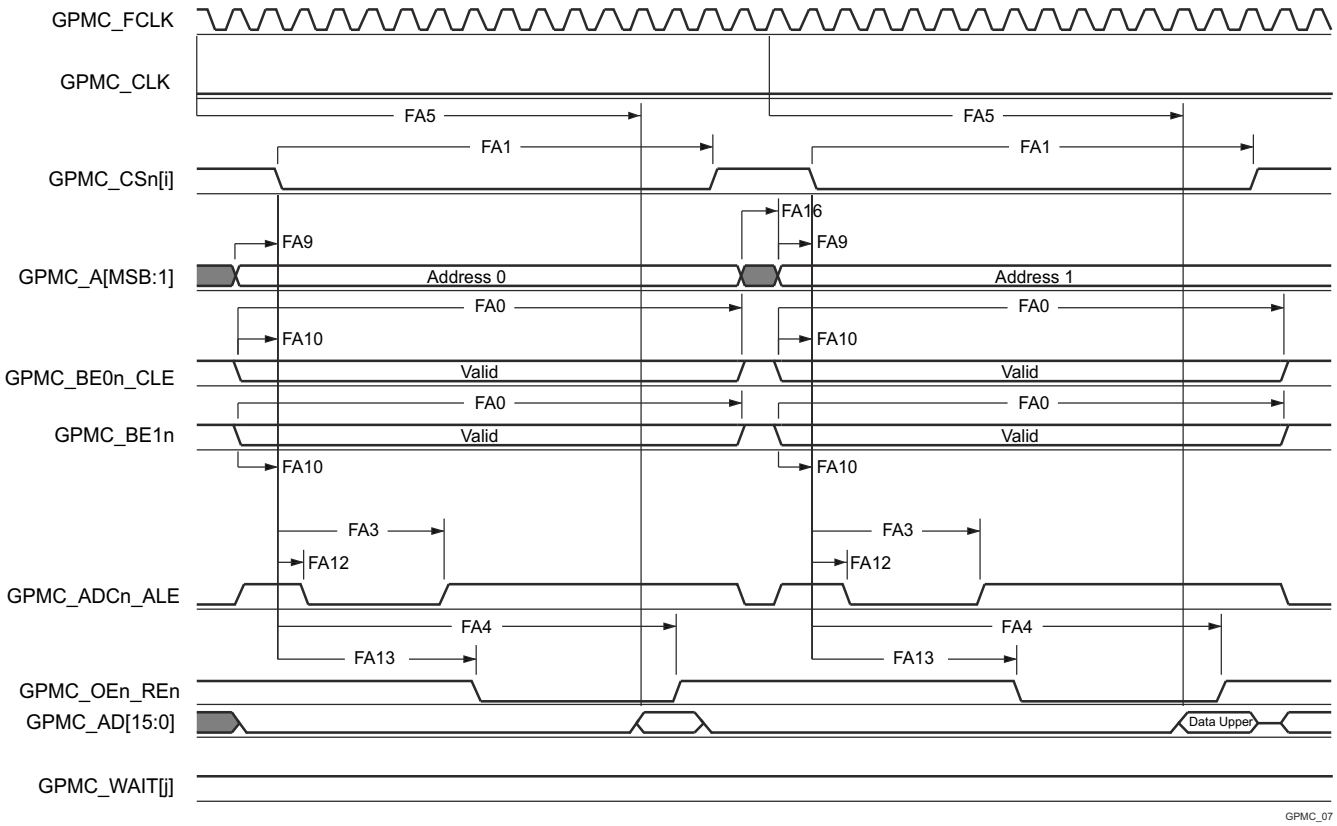
(11) L = \((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(12) 对于单次读取：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于单次写入：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发读取：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发写入： N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(13) 在 GPMC_CSn[x] 中，x 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(15) 已选定 133MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80 MHz)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。
B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-32. GPMC 和 NOR 闪存 - 异步读取 - 单字

Copyright © 2026 Texas Instruments Incorporated



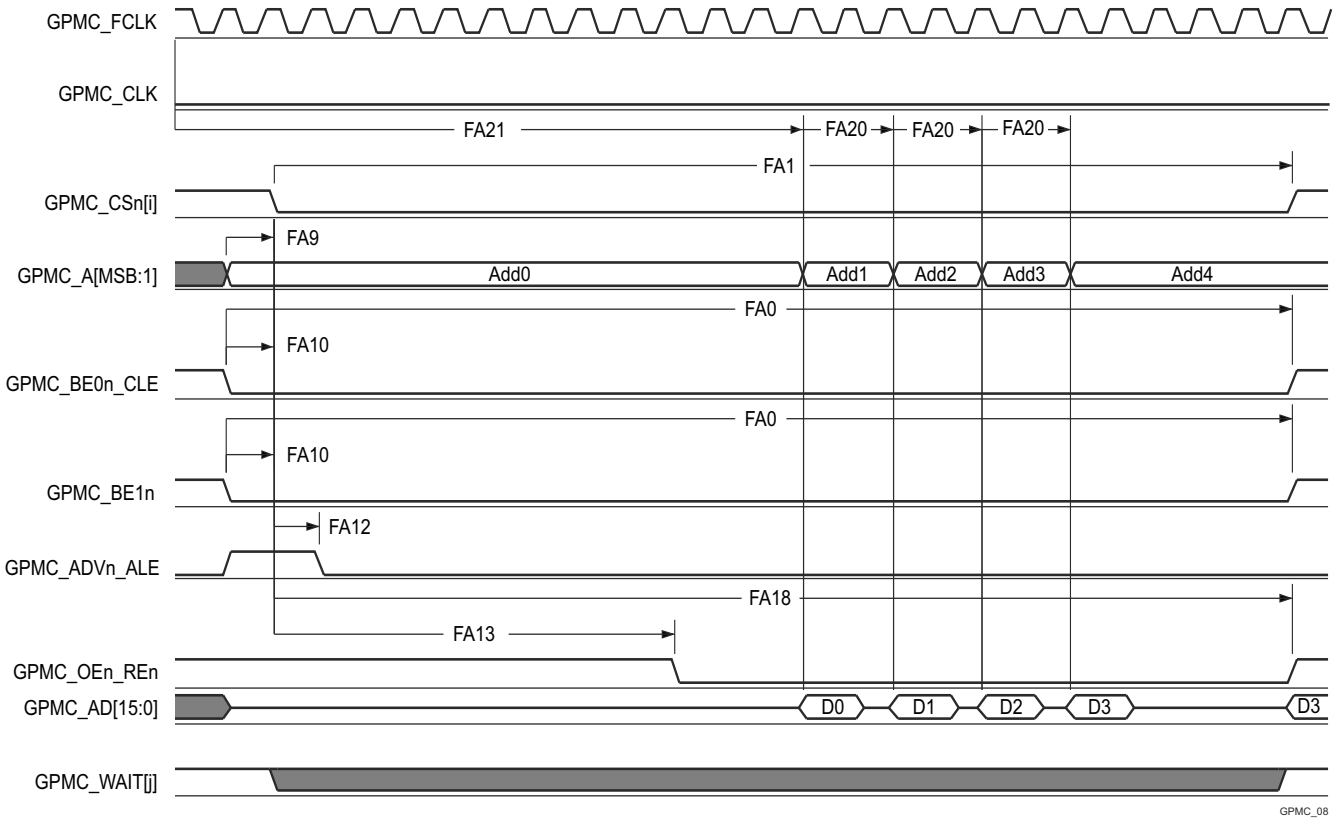
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-33. GPMC 和 NOR 闪存 - 异步读取 - 32 位

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

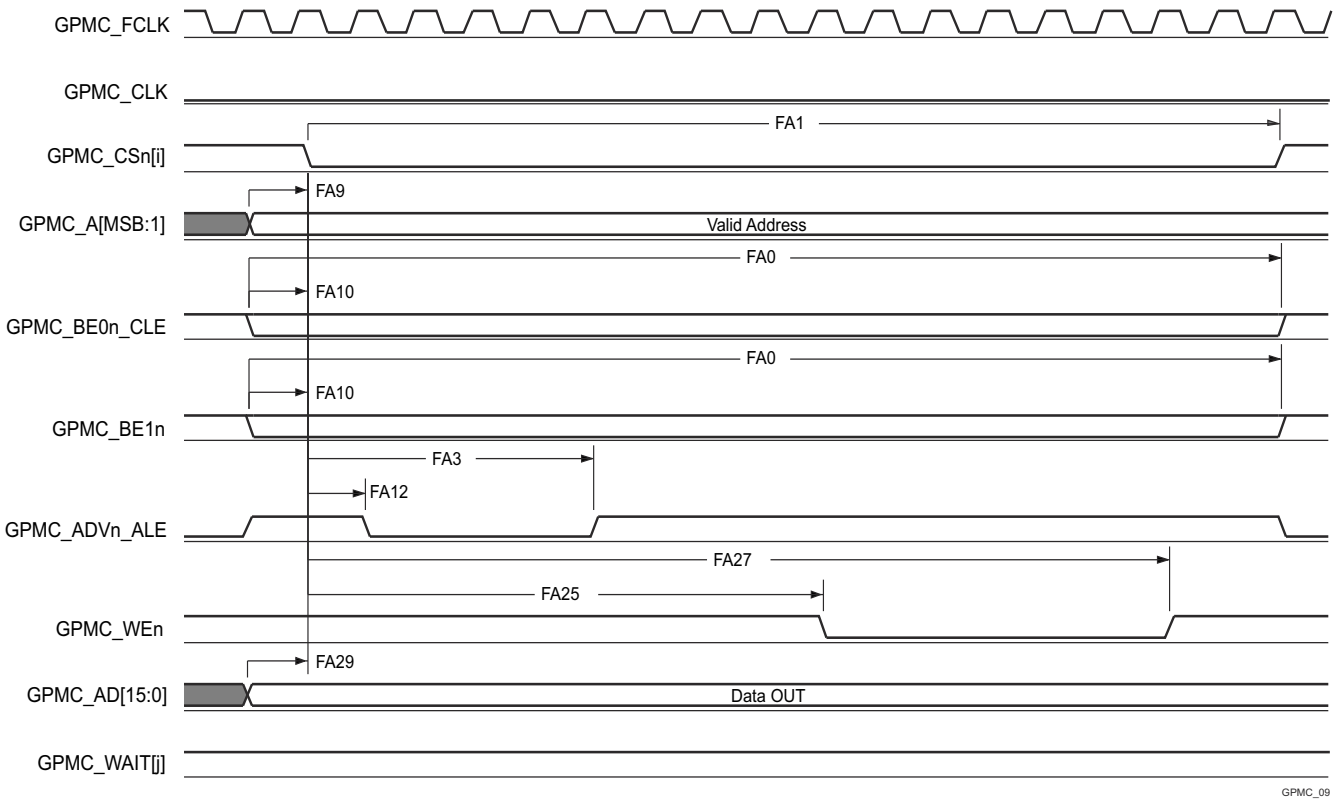
B. FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。

C. FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据（不包括第一个输入页面数据）的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。

D. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-34. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位

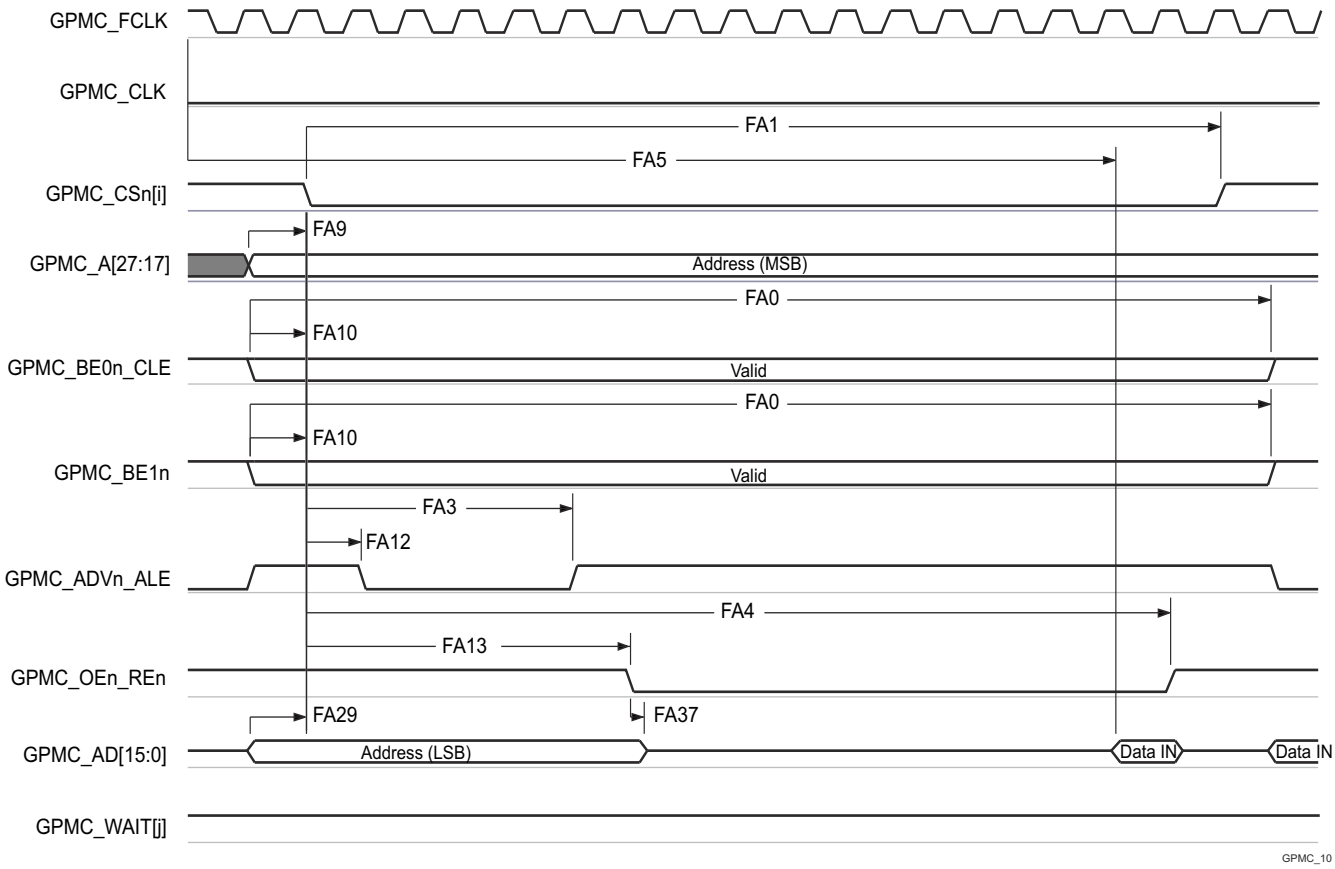
Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-35. GPMC 和 NOR 闪存 - 异步写入 - 单字

Copyright © 2026 Texas Instruments Incorporated



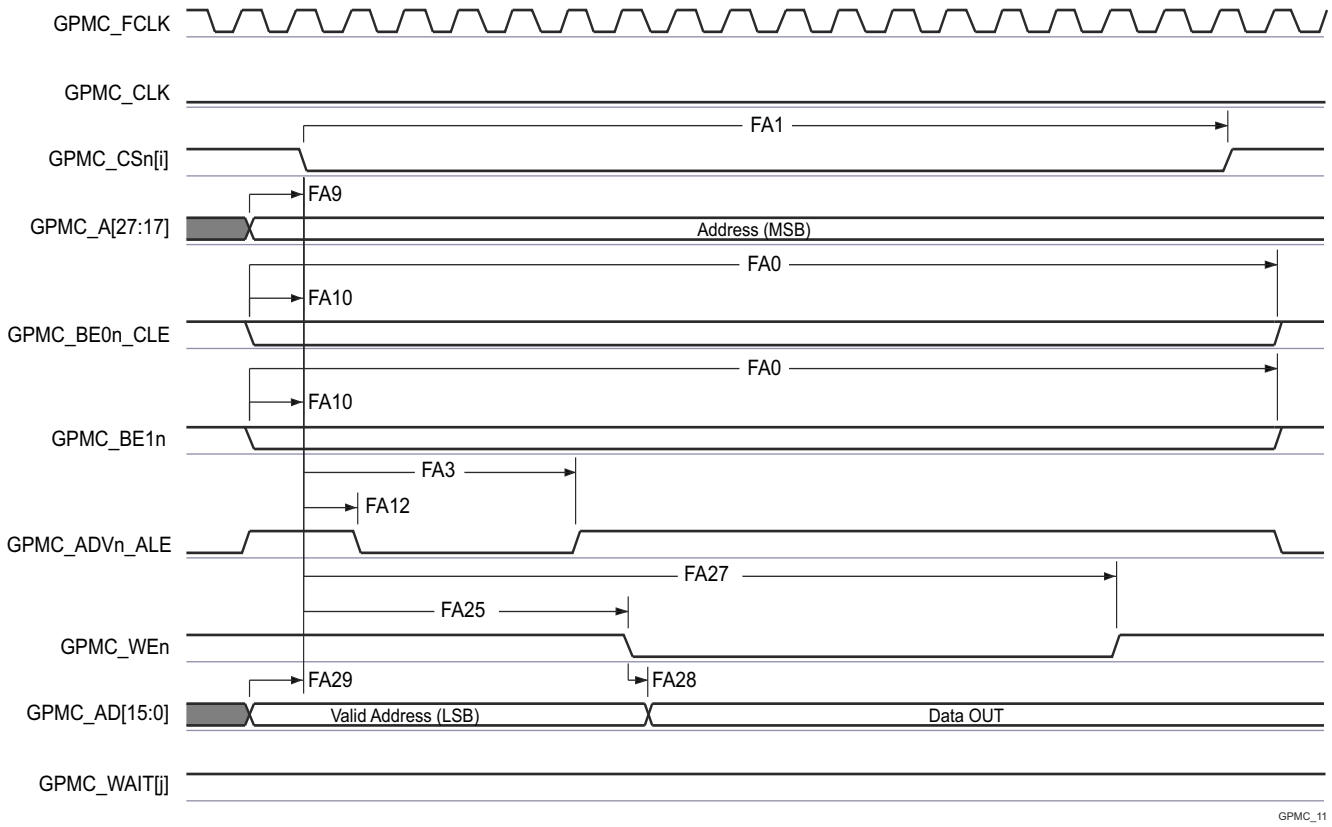
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-36. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-37. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

6.11.5.7.6 GPMC/NAND 闪存时序要求 – 异步模式 100MHz

(4)

编号	参数	说明	最小值	最大值	单位
GNF12(1)	$t_{acc(d)}$	访问时间，GPMC0_AD[31:0](3)		J(2)	ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(3)
(3) GPMC_FCLK 是通用存储器控制器内部功能时钟。
(4) 已选定 133MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80 MHz)

Copyright © 2026 Texas Instruments Incorporated

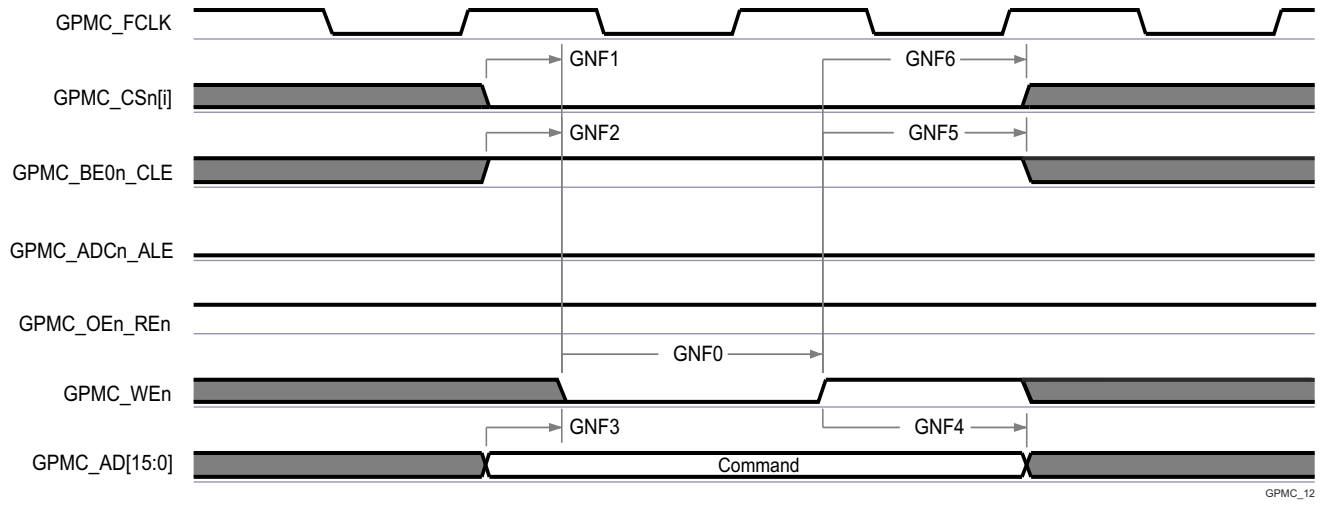
6.11.5.7.7 GPMC/NAND 闪存开关特征 – 异步模式 100MHz

(15)

编号	参数	说明	最小值	最大值	单位
GNF0	$t_{w(wenV)}$	脉冲持续时间，GPMC0_WEn 有效	A(1)		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_WEn 有效	B(2) – 2	B(2) + 2	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间，GPMC0_BE0n_CLE 高电平到 GPMC0_WEn 有效	C(3) – 2	C(3) + 2	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间，GPMC0_AD[31:0] 有效至 GPMC0_WEn 有效	D(4) – 2	D(4) + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	延迟时间，GPMC0_WEn 无效至 GPMC0_AD[31:0] 无效	E(5) – 2	E(5) + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间，GPMC0_WEn 无效至 GPMC0_BE0n_CLE 无效	F(6) – 2	F(6) + 2	ns
GNF6	$t_{w(wenIV-csnIV)}$	延迟时间，GPMC0_WEn 无效至 GPMC0_CSn[x](13) 无效	G(7) – 2	G(7) + 2	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间，GPMC0_ADVn_ALE 高电平到 GPMC0_WEn 有效	C(3) – 2	C(3) + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间，GPMC0_WEn 无效至 GPMC0_ADVn_ALE 无效	F(6) – 2	F(6) + 2	ns
GNF9	$t_{c(wen)}$	周期时间，写入		H(8)	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间，GPMC0_CSn[x](13) 有效至 GPMC0_OEn_REn 有效	I(9) – 2	I(9) + 2	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间，GPMC0_OEn_REn 有效		K(10)	ns
GNF14	$t_{c(oen)}$	周期时间，读取	L(11)		ns
GNF15	$t_{w(oenIV-csnIV)}$	延迟时间，GPMC0_OEn_REn 无效至 GPMC0_CSn[x](13) 无效	M(12) – 2	M(12) + 2	ns

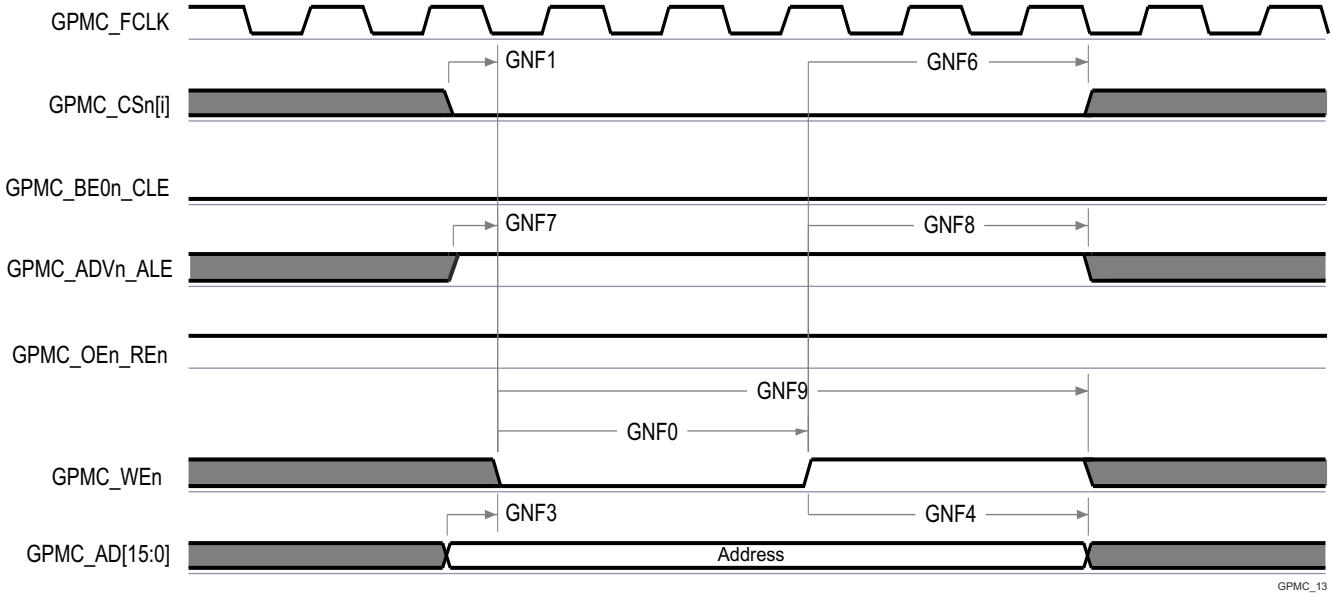
(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(2) B = \((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(3) C = \((WEOnTime - ADVOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - ADVExtraDelay\)) × GPMC_FCLK(14)
(4) D = (WEOnTime × (TimeParaGranularity + 1) + 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(5) E = \((WrCycleTime - WEOffTime) × (TimeParaGranularity + 1) - 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(6) F = \((ADVWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - WEExtraDelay\)) × GPMC_FCLK(14)
(7) G = \((CSWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - WEExtraDelay\)) × GPMC_FCLK(14)
(8) H = WrCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(9) I = \((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(10) K = (OEOffTime - OEOnTime) × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(11) L = RdCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(12) M = \((CSRdOffTime - OEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - OEExtraDelay\)) × GPMC_FCLK(14)
(13) 在 GPMC_CSn[x] 中，x 等于 0、1、2 或 3。
(14) 已选定 133MHz GPMC_FCLK - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80 MHz)

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

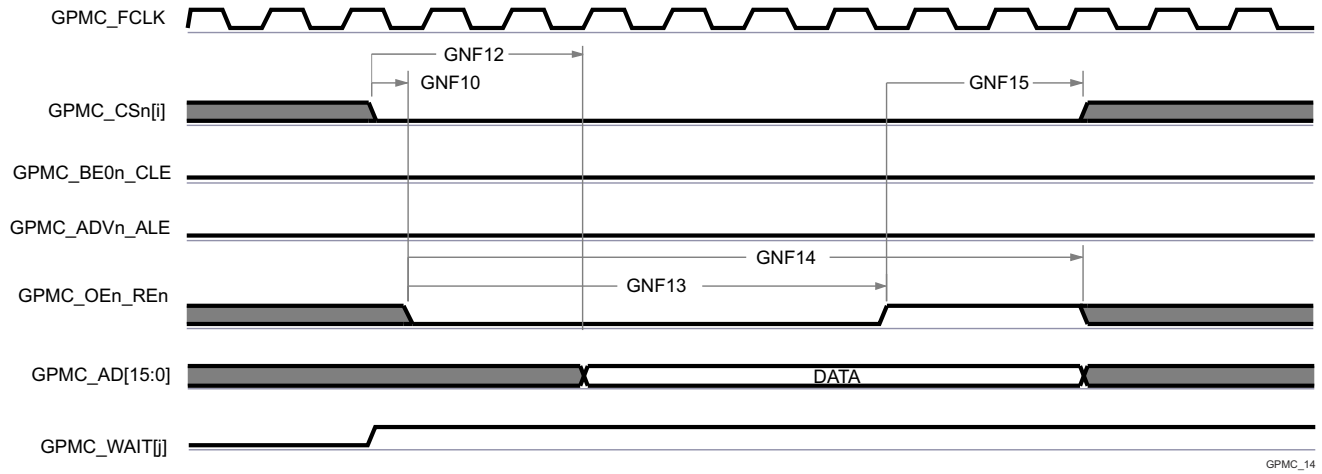
图 6-38. GPMC 和 NAND 闪存 - 命令锁存周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-39. GPMC 和 NAND 闪存 - 地址锁存周期

Copyright © 2026 Texas Instruments Incorporated

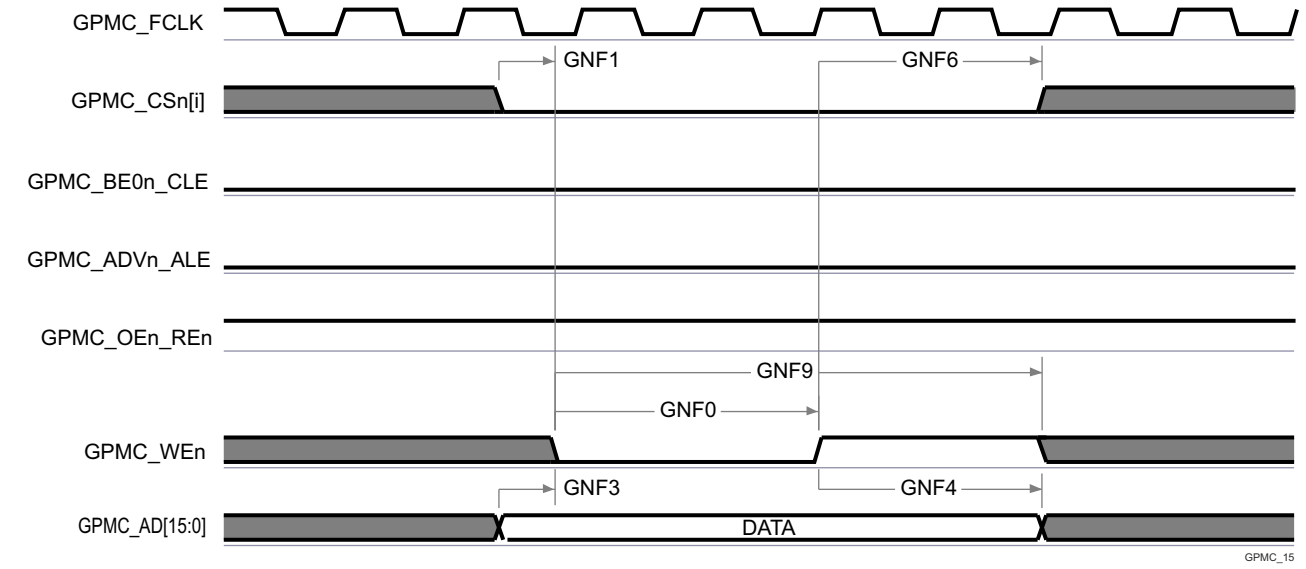


A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。

B. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

C. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-40. GPMC 和 NAND 闪存 - 数据读取周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-41. GPMC 和 NAND 闪存 - 数据写入周期

Copyright © 2026 Texas Instruments Incorporated

6.11.5.8 内部集成电路 (I^2C)

有关器件集成电路总线特性和其他说明的更多详细信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

有关更多信息，请参阅器件 TRM 中的*内部集成电路 (I2C)* 一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.8.1 I2C

该器件包含四个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus™ 规范版本 2.1。然而，器件 IO 并不完全符合 I2C 电气规格。下面介绍了每个端口支持的速度和例外情况：

- I2C1、I2C2 和 I2C3
  - 速度：
    - 标准模式（最高 100kb/s）
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 3.3V
  - 例外情况：
    - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为 IO 是通过性能更高的 LVCMOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVCMOS IO 的连接方式可以对开漏输出进行仿真。该仿真是通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须让 I2C 信号始终不会超过本数据表的*绝对最大额定值*一节中定义的限值。
- I2C0
  - 速度：
    - 标准模式（最高 100kb/s）
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 3.3V
  - 例外情况：
    - 与该端口关联的 IO 并未设计为支持 Hs 模式。
    - 连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.8V/ns（或 8E+7V/s）的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其信号不超过 0.8V/ns。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的 *绝对最大额定值* 一节中定义的限值。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

有关器件集成电路总线特性和其他说明的更多详细信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.9 本地互连网络 (LIN)

备注

器件具有多个 LIN 模块。LINn 是应用于 LIN 信号名称的通用前缀，其中 n 代表特定的 LIN 模块。

有关更多信息，请参阅器件 TRM 中的*本地互连网络 (LIN) 模块*一节。

6.11.5.9.1 LIN 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	15	V/ns
输出条件				
C_L	输出负载电容	5	20	pF

6.11.5.9.2 LIN 时序要求

编号	参数	说明	最小值	最大值	单位
LIN2	$t_{d(LINn_RX)}$	延迟时间，LINn_RX 移位寄存器到 LINn_RX 引脚的时间	0	10	ns

6.11.5.9.3 LIN 开关特性

编号	参数	说明	最小值	最大值	单位
LIN4	$t_{d(LINn_TX)}$	延迟时间，LINn_TX 移位寄存器到 LINn_TX 引脚的时间		10	ns

Copyright © 2026 Texas Instruments Incorporated

6.11.5.10 模块化控制器局域网 (MCAN)

有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

有关更多信息，请参阅器件 TRM 中的*控制器局域网 (MCAN)* 部分。

6.11.5.10.1 MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	15	V/ns
输出条件				
C_L	输出负载电容	5	20	pF

6.11.5.10.2 MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
M1	$t_{d(MCAN_TX)}$	延迟时间，发送移位寄存器到 MCANn_TX 引脚的时间		10	ns
M2	$t_{d(MCAN_RX)}$	延迟时间，MCANn_RX 引脚到接收移位寄存器的时间		10	ns

Copyright © 2026 Texas Instruments Incorporated

6.11.5.11 串行外设接口 (SPI)

有关器件串行端口接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

器件具有多个 SPI 模块。通用 SPI_ 前缀用于表示所有 SPI 实例的信号名称。

有关更多信息，请参阅器件 TRM 中的*串行外设接口 (SPI)* 一节。

6.11.5.11.1 SPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	8.5	V/ns
输出条件				
C_L	输出负载电容	2	24	pF

6.11.5.11.2 SPI 控制器模式时序要求

编号	参数	说明	最小值	最大值	单位
正常模式					
SM4	$t_{su(MISO-SPICLK)}$	建立时间，在 spi_sclk 有效边沿之前 spi_d[x] 有效	2		ns
SM5	$t_{h(SPICLK-MISO)}$	保持时间，在 spi_sclk 有效边沿之后 spi_d[x] 有效	3		ns

Copyright © 2026 Texas Instruments Incorporated

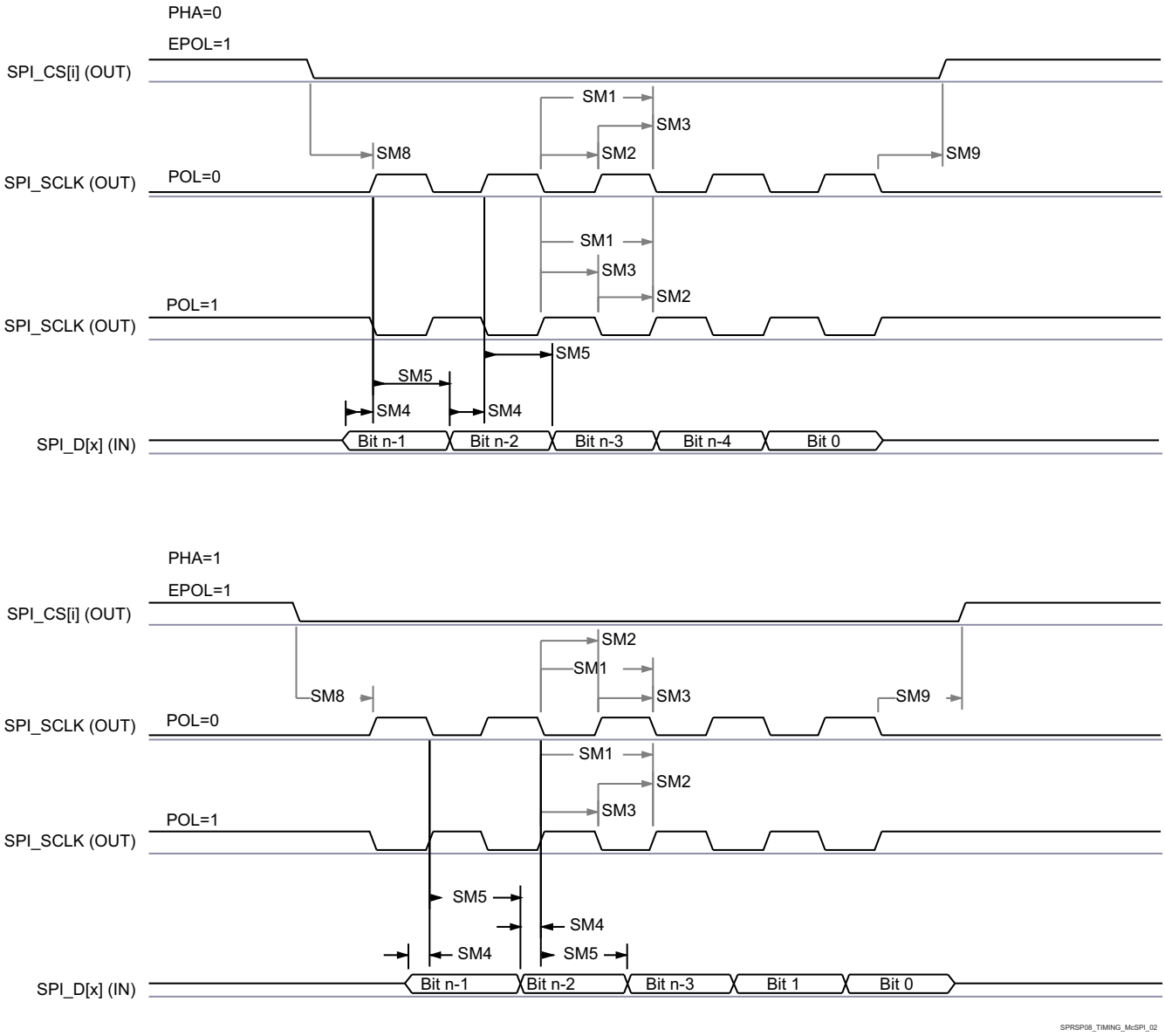


图 6-42. SPI 控制器模式接收时序

6.11.5.11.3 SPI 控制器模式开关特性（时钟相位 = 0）

编号	参数	说明		最小值	最大值	单位
正常模式						
SM1	$t_{c(SPICLK)}$	周期时间，spi_sclk		20		ns
SM2	$t_{w(SPICLKL)}$	典型脉冲持续时间，spi_sclk 低电平		– 1 + 0.5P(1)		ns
SM3	$t_{w(SPICLKH)}$	典型脉冲持续时间，spi_sclk 高电平		– 1 + 0.5P(1)		ns
SM6	$t_{d(SPICLK-SIMO)}$	延迟时间，spi_sclk 有效边沿到 spi_d[x] 转换的时间		-3	2	ns
SM7	$t_{sk(CS-SIMO)}$	延迟时间，spi_cs[x] 有效至 spi_d[x] 转换的时间		5		ns
SM8	$t_{d(SPICLK-CS)}$	延迟时间，spi_cs[x] 有效到 spi_sclk 第一个边沿的时间	PHA = 0	– 4 + B(3)		ns
			PHA = 1	– 4 + A(2)		ns
SM9	$t_{d(SPICLK-CS)}$	延迟时间，spi_sclk 最后边沿到 spi_cs[x] 无效的时间	PHA = 0	– 4 + A(2)		ns
			PHA = 1	– 4 + B(3)		ns

(1) P = SPICLK 周期，单位为 ns。
(2) 当 P = 20.8ns 时，A = (TCS + 1) * TSPICLKREF，其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。当 P > 20.8ns 时，A = (TCS + 0.5) * Fratio × TSPICLKREF，其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。
(3) B = (TCS + .5) * TSPICLKREF，其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段且 Fratio = 偶数 >= 2。

Copyright © 2026 Texas Instruments Incorporated

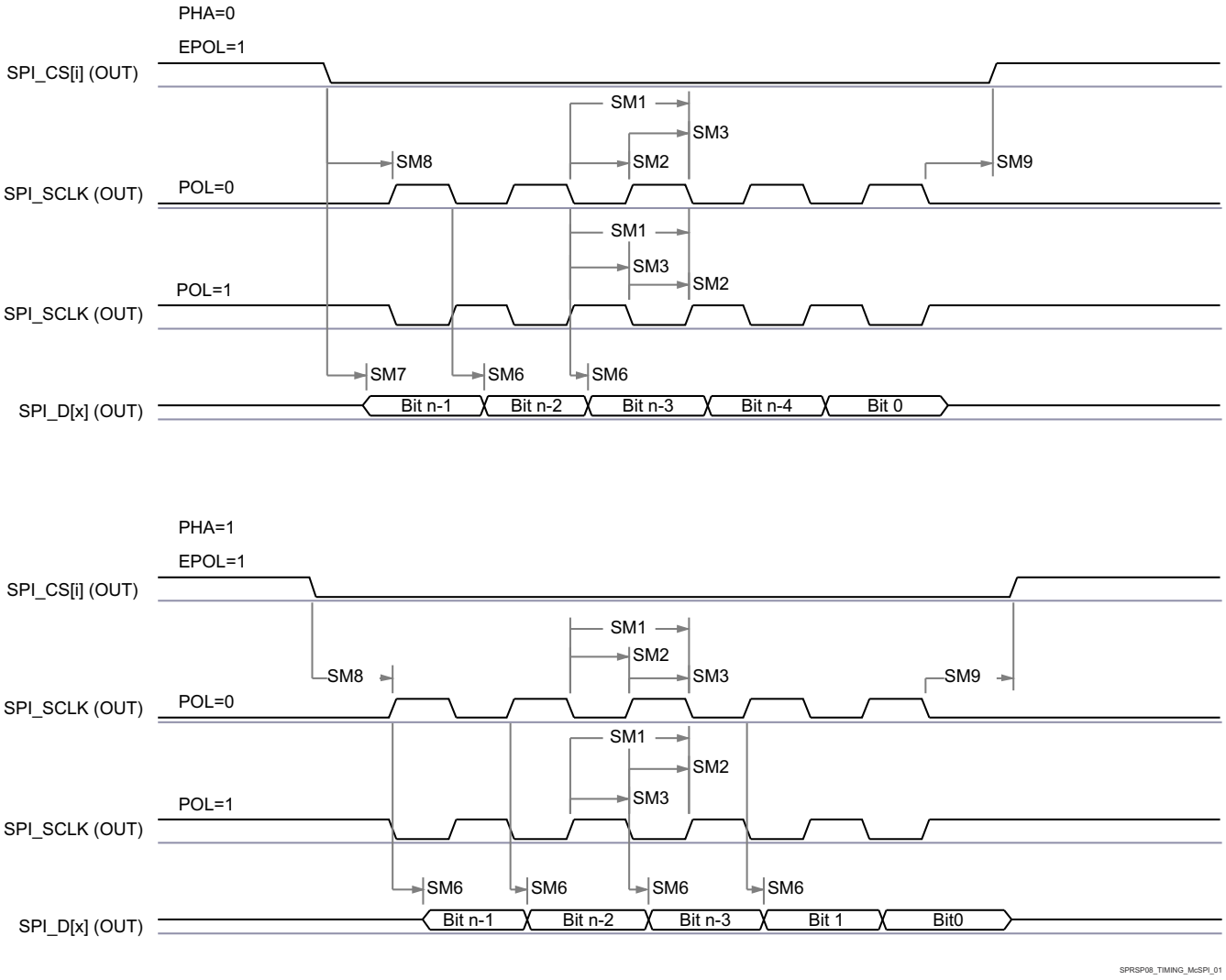


图 6-43. SPI 控制器模式发送时序

6.11.5.11.4 SPI 外设模式时序要求

编号	参数	说明	最小值	最大值	单位
SS1	$t_{c(SPICLK)}$	周期时间，spi_sclk	40		ns
SS2	$t_{w(SPICLKL)}$	典型脉冲持续时间，spi_sclk 低电平	0.45 × P(1)		ns
SS3	$t_{w(SPICLKH)}$	典型脉冲持续时间，spi_sclk 高电平	0.45 × P(1)		ns
SS4	$t_{su(SIMO-SPICLK)}$	建立时间，在 spi_sclk 有效边沿之前 spi_d[x] 有效	5		ns
SS5	th(SPICLK-SIMO)	保持时间，在 spi_sclk 有效边沿之后 spi_d[x] 有效	5		ns
SS8	$t_{su(CS-SPICLK)}$	建立时间，spi_sclk 第一个边沿之前 spi_cs[x] 有效	5		ns
SS9	$t_{h(SPICLK-CS)}$	保持时间，spi_sclk 最后一个边沿之后 spi_cs[x] 有效	5		ns

(1) P = SPICLK 周期。

Copyright © 2026 Texas Instruments Incorporated

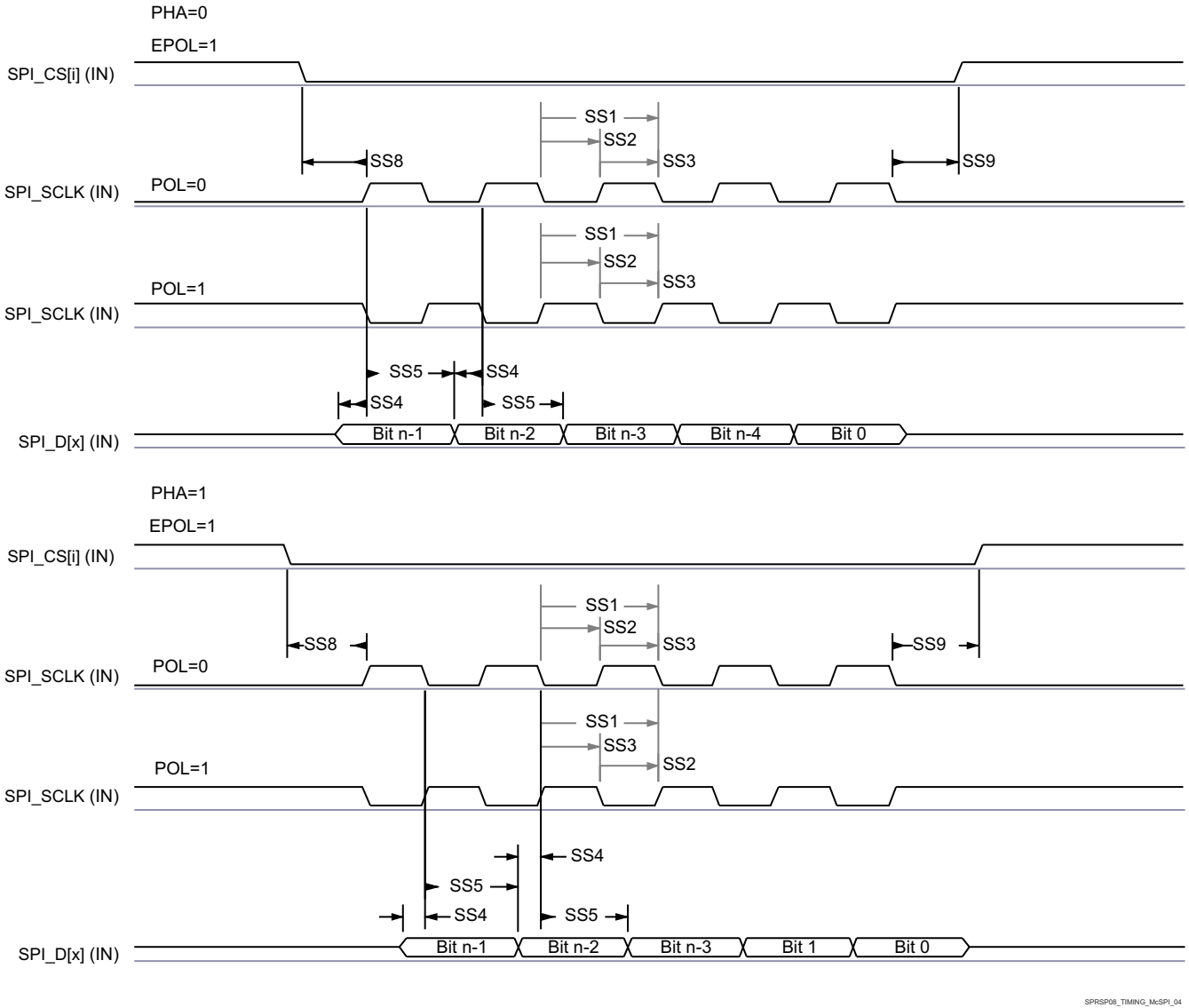


图 6-44. SPI 外设模式接收时序

6.11.5.11.5 SPI 外设模式开关特性

编号	参数	说明	最小值	最大值	单位
正常模式					
SS6	$t_{d(SPICLK-SOMI)}$	延迟时间，spi_sclk 有效边沿到 mcspi_somi 转换	2	17.12	ns
SS7	$t_{sk(CS-SOMI)}$	延迟时间，spi_cs[x] 有效边沿到 mcspi_somi 转换	20.95		ns

Copyright © 2026 Texas Instruments Incorporated

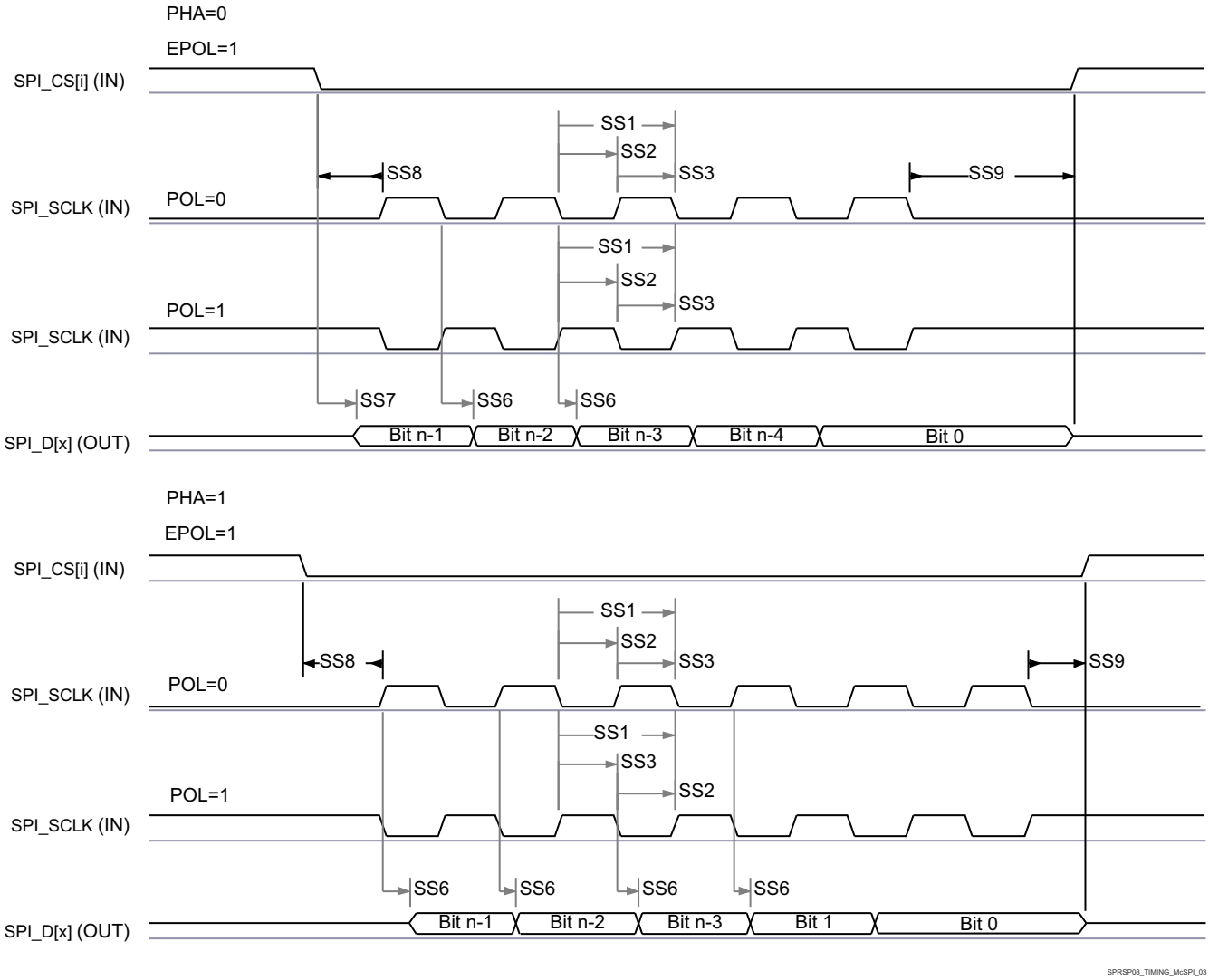


图 6-45. SPI 外设模式发送时序

6.11.5.12 多媒体卡/安全数字 (MMCSD)

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC) 和安全数字 (SD) 器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查

有关 MMCSD 接口的更多详细信息，请参阅*信号说明*和*详细说明*中相应的 MMC 小节。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多媒体卡/安全数字 (MMCSD) 接口*一节。

6.11.5.12.1 MMC 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	默认速度	0.69	2.06	V/ns
		高速	0.69	2.06	V/ns
输出条件					
C_L	输出负载电容	默认速度	1	10	pF
		高速	1	10	pF

6.11.5.12.2 MMC 时序要求 - SD 卡默认速度模式

编号	参数	说明	最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC_CLK 上升沿之前 MMC_CMD 有效	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC_CLK 上升沿之后 MMC_CMD 有效	19.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间，在 MMC_CLK 上升沿之前 MMC_DAT[3:0] 有效	2.15		ns
DS4	$t_{h(clkH-dV)}$	保持时间，在 MMC_CLK 上升沿之后 MMC_DAT[3:0] 有效	19.67		ns

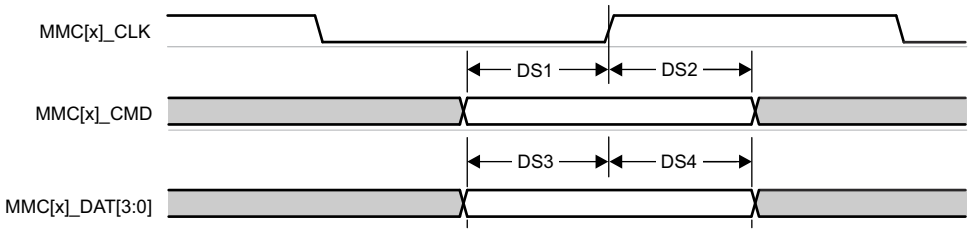


图 6-46. MMC - 默认速度 - 接收模式

6.11.5.12.3 MMC 开关特性 - SD 卡默认速度模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC_CLK		25	MHz
DS5	$t_{c(clk)}$	运行周期，MMC_CLK		40	ns
DS6	$t_{w(clkH)}$	脉冲持续时间，MMC_CLK 高电平	18.7		ns
DS7	$t_{w(clkL)}$	脉冲持续时间，MMC_CLK 低电平	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC_CLK 下降沿到 MMC_CMD 转换	-14.1	14.1	ns
DS9	$t_{d(clkL-dV)}$	延迟时间，MMC_CLK 下降沿到 MMC_DAT[3:0] 转换	-14.1	14.1	ns

Copyright © 2026 Texas Instruments Incorporated

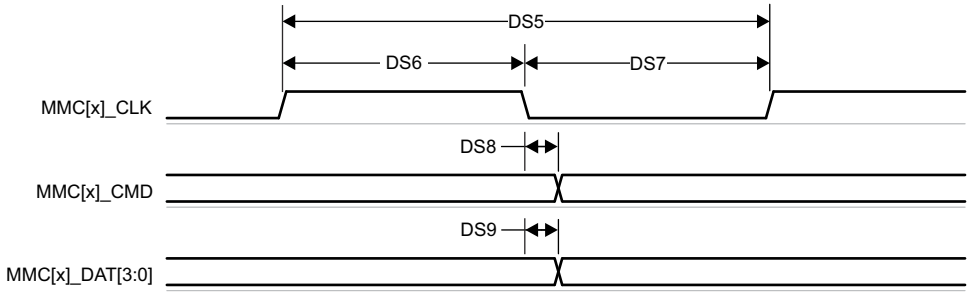


图 6-47. MMC- 默认速度 - 发送模式

6.11.5.12.4 MMC 时序要求 - SD 卡高速模式

编号	参数	说明	最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC_CLK 上升沿之前 MMC_CMD 有效	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC_CLK 上升沿之后 MMC_CMD 有效	2.67		ns
HS3	$t_{su(dV-clkH)}$	建立时间，在 MMC_CLK 上升沿之前 MMC_DAT[3:0] 有效	2.15		ns
HS4	$t_{h(clkH-dV)}$	保持时间，在 MMC_CLK 上升沿之后 MMC_DAT[3:0] 有效	2.67		ns

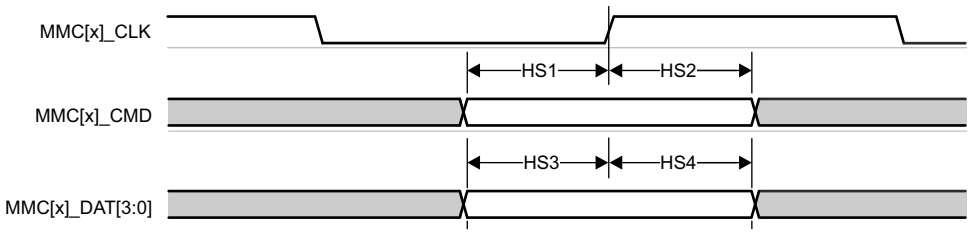


图 6-48. MMC – 高速 – 接收模式

6.11.5.12.5 MMC 开关特性 - SD 卡高速模式

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC_CLK		50	MHz
HS5	$t_{c(clk)}$	运行周期，MMC_CLK		20	ns
HS6	$t_{w(clkH)}$	脉冲持续时间，MMC_CLK 高电平	9.2		ns
HS7	$t_{w(clkL)}$	脉冲持续时间，MMC_CLK 低电平	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC_CLK 下降沿到 MMC_CMD 转换	-7.35	3.35	ns
HS9	$t_{d(clkL-dV)}$	延迟时间，MMC_CLK 下降沿到 MMC_DAT[3:0] 转换	-7.35	3.35	ns

Copyright © 2026 Texas Instruments Incorporated

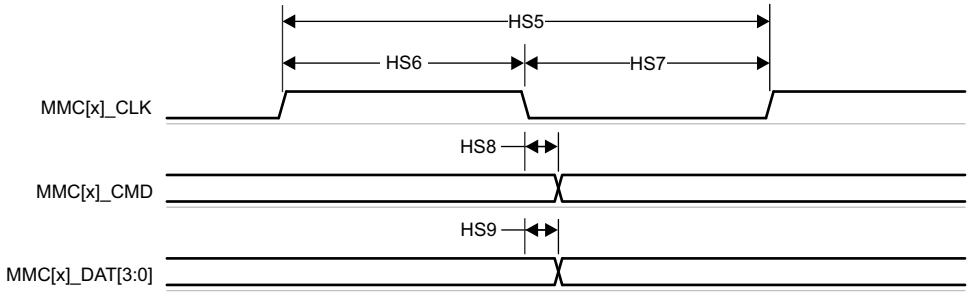


图 6-49. MMC - 高速 - 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.13 四线串行外设接口 (QSPI)

有关器件四通道串行外设接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

有关更多信息，请参阅器件 TRM 的中的*四通道串行外设接口 (QSPI)* 一节。

6.11.5.13.1 QSPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	8	pF

6.11.5.13.2 QSPI 时序要求

(1)(2)

编号	参数	说明	模式	最小值	最大值	单位
Q12	$t_{su(D-RTCLK)}$	在 RTCLK 下降沿之前 d[3:0] 有效的建立时间	手动 IO 时序模式，时钟模式 0	2.69		ns
	$t_{su(D-SCLK)}$	在 SCLK 下降沿之前 d[3:0] 有效的建立时间	手动 IO 时序模式，时钟模式 3	5.7		ns
Q13	$t_{h(RTCLK-D)}$	在 RTCLK 下降沿之后 d[3:0] 有效的保持时间	手动 IO 时序模式，时钟模式 0	-0.1		ns
	$t_{h(SCLK-D)}$	在 SCLK 下降沿之后 d[3:0] 有效的保持时间	手动 IO 时序模式，时钟模式 3	0.1		ns

(1) 不支持时钟模式 1 和时钟模式 2。
(2) 与传统的上升时钟沿相反，器件在时钟模式 0 和 3 的下降时钟沿捕获数据。 尽管是非标准的，但基于下降沿的建立时间和保持时间时序已设计为与在时钟模式 0 和 3 的下降沿启动数据的标准 SPI 器件兼容。

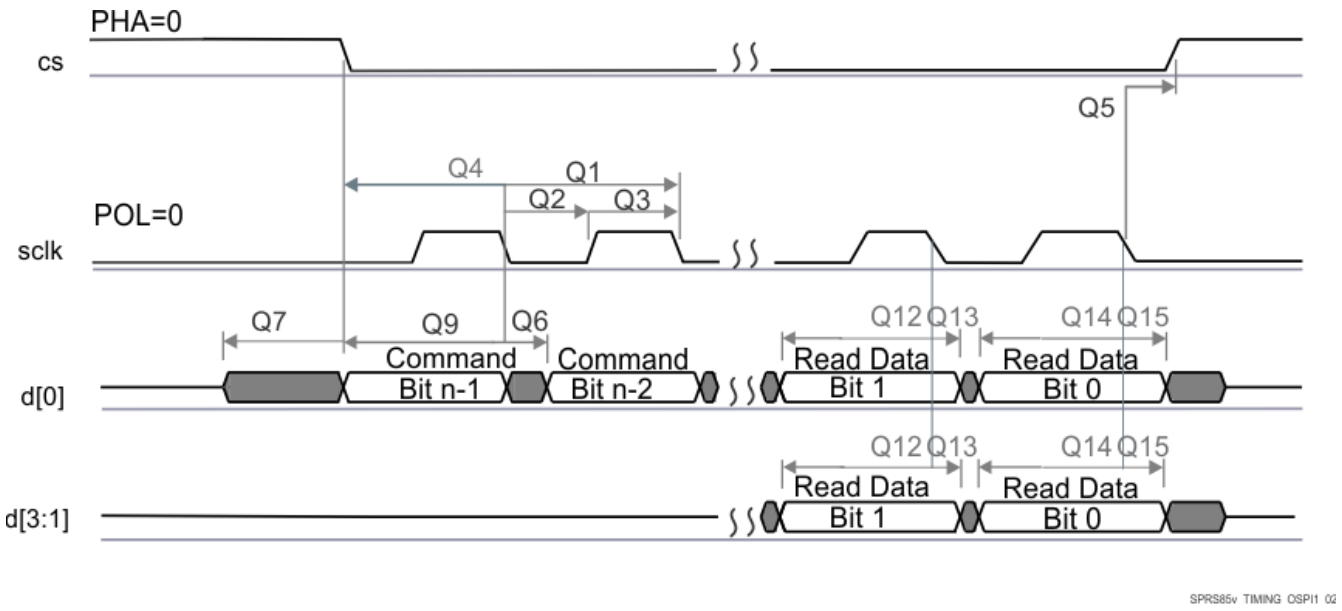


图 6-50. QSPI 时序要求

6.11.5.13.3 QSPI 开关特性

编号	参数	说明	模式	最小值	最大值	单位
Q1	$t_{c(SCLK)}$	SCLK 周期时间	手动 IO 时序模式，时钟模式 0	10.41		ns
			手动 IO 时序模式，时钟模式 3	13.02		ns
Q2	$t_{w(SCLKL)}$	SCLK 低电平的脉冲持续时间	全部	Y(4) × P(1) – 1		ns
Q3	$t_{w(SCLKH)}$	SCLK 高电平的脉冲持续时间	全部	Y(4) × P(1) – 1		ns
Q4	$t_{d(CS-SCLK)}$	延迟时间，SCLK 下降沿到 CS 有效沿，CS1:0	手动 IO 时序模式	– M(2) × P(1) – 2	– M(2) × P(1) + 2	ns
Q5	$t_{d(SCLK-CS)}$	延迟时间，SCLK 下降沿到 CS 无效沿，CS1:0	手动 IO 时序模式	N(3) × P(1) – 2	N(3) × P(1) + 2	ns
Q6	$t_{d(SCLK-D0)}$	SCLK 下降沿到 d[0] 转换的延迟时间	手动 IO 时序模式	-1	2	ns
Q7	$t_{ena(CS-D0LZ)}$	使能时间，CS（片选）有效沿到 d [0] 驱动（低阻抗）	全部	– P(1) – 2	– P(1) + 2	ns
Q8	$t_{dis(CS-D0Z)}$	禁用时间，CS 有效边沿到 d[0] 三态（高阻抗）	全部	– P(1) – 2	– P(1) + 2	ns
Q9	$t_{d(SCLK-D0)}$	延迟时间，SCLK 第一个下降沿到 d [0] 第一次转换	手动 IO 时序模式，仅 PHA=0	– P(1) – 1	– P(1) + 2	ns

(1) P = SCLK 周期
(2) 时钟模式 0 时 M=QSPI_SPI_DC_REG.DDx + 1。 时钟模式 3 时 M=QSPI_SPI_DC_REG.DDx。
(3) 时钟模式 0 时 N = 2。 时钟模式 3 时 N = 3。
(4) 当 DCLK_DIV 为 0 或奇数时，Y = 0.5
当 DCLK_DIV 为偶数时，Y = (DCLK_DIV/2)/(DCLK_DIV+1)

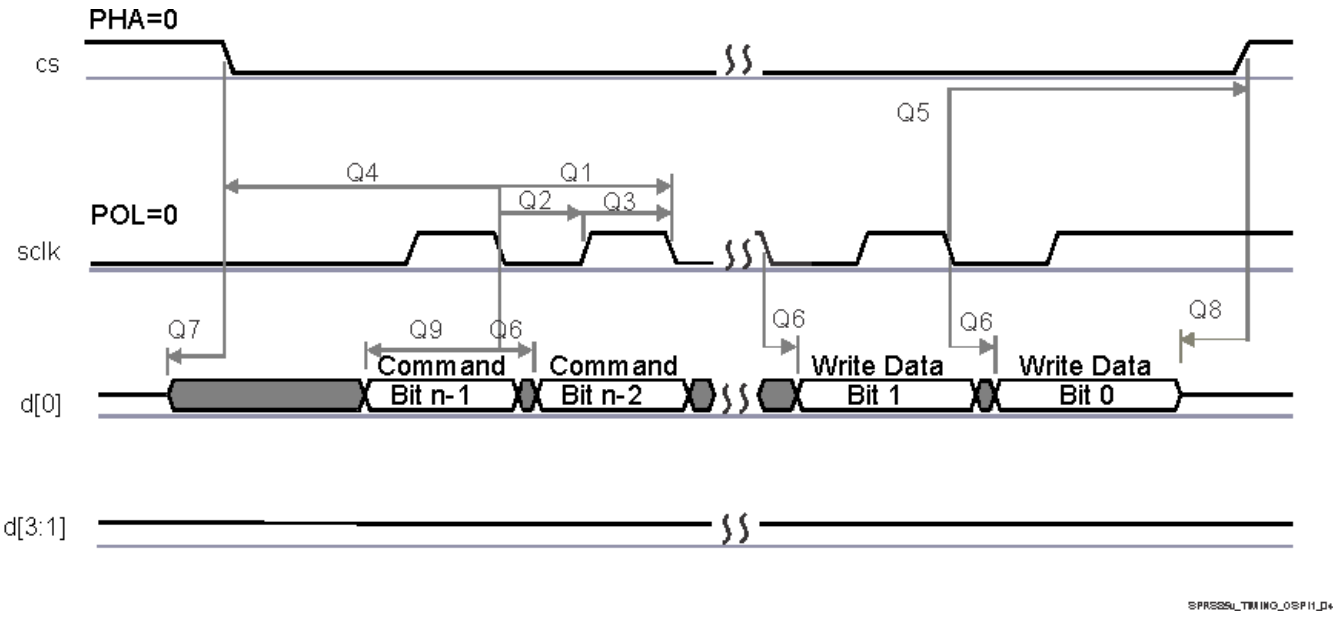


图 6-51. QSPI 开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14 可编程实时单元和工业用通信子系统 (PRU-ICSS)

该器件集成了单个可编程实时单元和工业通信子系统 (PRU-ICSS0)。凭借 PRU 内核的可编程特性及其对引脚、事件和所有器件资源的访问权限，该子系统可以灵活地实现快速实时响应、专用数据处理操作以及定制外设接口，并灵活地减轻器件其他处理器内核的任务负载。

有关器件 PRU-ICSS 特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

PRU-ICSS0 支持内部包装器多路复用，该复用扩展了器件的顶层多路复用。

6.11.5.14.1 PRU-ICSS 可编程实时单元 (PRU)

备注

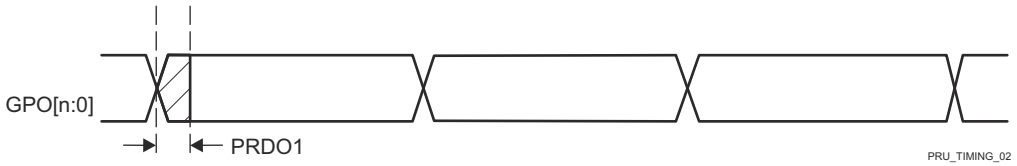
PRU-ICSS PRU 信号具有不同的功能，具体取决于运行模式。本节中的信号命名与器件 TRM 中 *PRU 模块接口*部分使用的命名一致。

6.11.5.14.1.1 PRU-ICSS PRU 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	3	V/ns
输出条件				
C_L	输出负载电容	2	30	pF

6.11.5.14.1.2 PRU-ICSS PRU 开关特性 - 直接输出模式

编号	参数	说明	最小值	最大值	单位
PRDO1	$t_{sk(PRU_GPO)}$	PRU_GPO（数据输出）偏差		3	ns



A. GPO[n:0] 中的 n = 19。

图 6-52. PRU-ICSS PRU 直接输出时序

6.11.5.14.1.3 PRU-ICSS PRU 时序要求 - 并行采集模式

编号	参数	说明	最小值	最大值	单位
PRPC1	$t_{c(PRU_CLOCK)}$	周期时间，PRU_CLOCK	20		ns
PRPC2	$t_{w(PRU_CLOCKL}$	PRU_CLOCK 低电平的脉冲持续时间	10		ns
PRPC3	$t_{w(PRU_CLOCKH)}$	PRU_CLOCK 高电平的脉冲持续时间	10		ns
PRPC4	$t_{su(PRU_DATAIN-PRU_CLK)}$	建立时间，在 PRU_CLOCK 有效边沿之前 PRU_DATAIN 有效	4		ns
PRPC5	$t_{th(PRU_CLOCK-PRU_DATAIN)}$	保持时间，在 PRU_CLOCK 有效边沿之后 PRU_DATAIN 有效	0		ns

Copyright © 2026 Texas Instruments Incorporated

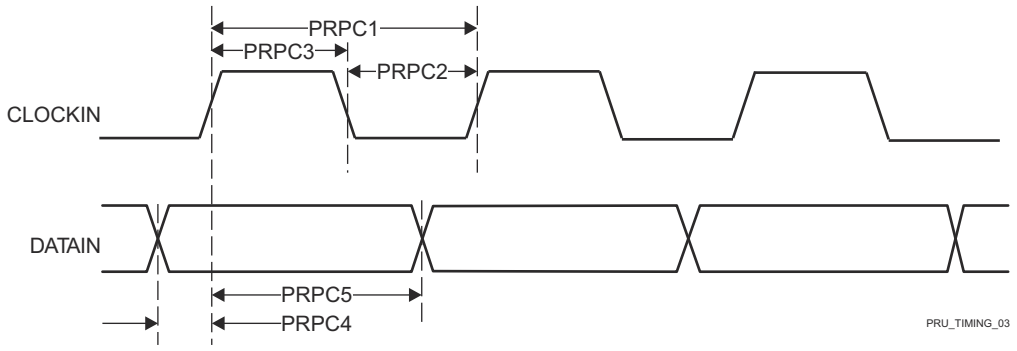


图 6-53. PRU-ICSS PRU 并行采集时序要求 - 上升沿模式

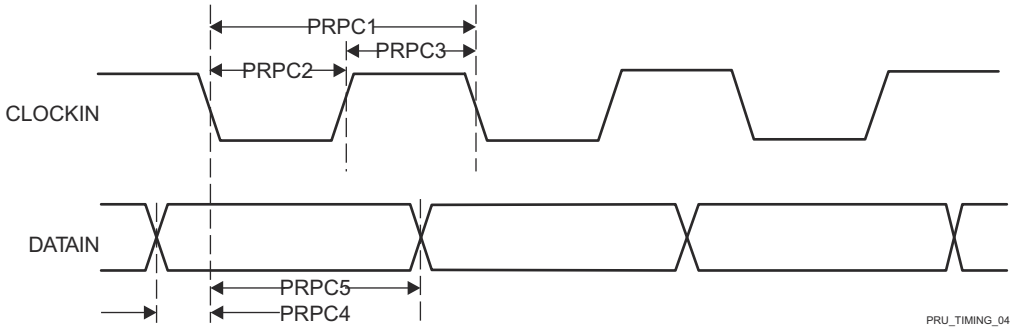


图 6-54. PRU-ICSS PRU 并行采集时序要求 - 下降沿模式

6.11.5.14.1.4 PRU-ICSS PRU 时序要求 - 移入模式

编号	参数	说明	最小值	最大值	单位
PRSI1	$t_{w(PRU_DATAINH)}$	PRU_DATAIN 高电平的脉冲持续时间	2 + 2P(1)		ns
PRSI2	$t_{w(PRU_DATAINL)}$	PRU_DATAIN 低电平的脉冲持续时间	2 + 2P(1)		ns

(1) P = 时钟周期的内部移位，由 GPCFGn 寄存器中的 PRU_GPI_DIV0 和 PRU0_GPI_DIV1 位字段定义。

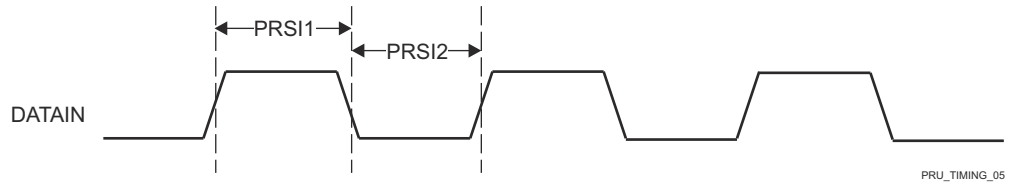


图 6-55. PRU-ICSS PRU 移入时序

6.11.5.14.1.5 PRU-ICSS PRU 开关特性 - 移出模式

编号	参数	说明	最小值	最大值	单位
PRSO1	$t_{c(PRU_CLOCKOUT)}$	周期时间，PRU_CLOCKOUT	10		ns
PRSO2L	$t_{w(PRU_CLOCKOUTL)}$	脉冲持续时间，PRU_CLOCKOUT 低电平	– 0.3 + 0.475 × P(1) × Z(2)		ns
PRSO2H	$t_{w(PRU_CLOCKOUTH)}$	脉冲持续时间，PRU_CLOCKOUT 高电平	– 0.3 + 0.475 × P(1) × Y(3)		ns
PRSO3	$t_{d(PRU_CLOCKOUT-PRU_DATAOUT)}$	延迟时间，PRU_CLOCKOUT 至 PRU_DATAOUT 有效的时间	0	3	ns

(1) P = 软件可编程移出时钟周期，由 GPCFGn 寄存器中的 PRU0_GP0_Div0 和 PRU0_GPO_DIV1 位字段定义。
(2) Z 参数定义如下：

Copyright © 2026 Texas Instruments Incorporated

如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是整数，或如果 PRU0_GPI_DIV0 为非整数且 PRU0_GPI_DIV1 为偶数，则
Z 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1)。
如果 PRU0_GPI_DIV0 为非整数，PRU0_GPI_DIV1 为奇数，则
Z 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.5)。
如果 PRU0_GPI_DIV0 为整数而 PRU0_GPI_DIV1 为非整数，则
Z 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.5 * PRU0_GPI_DIV0)。
如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是非整数，则
Z 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.25 * PRU0_GPI_DIV0)。

(3) Y 参数定义如下：
如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是整数，或如果 PRU0_GPI_DIV0 为非整数且 PRU0_GPI_DIV1 为偶数，则
Y 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1)。
如果 PRU0_GPI_DIV0 为非整数，PRU0_GPI_DIV1 为奇数，则
Y 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 - 0.5)。
如果 PRU0_GPI_DIV0 为整数而 PRU0_GPI_DIV1 为非整数，则
Y 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 - 0.5 * PRU0_GPI_DIV0)。
如果 PRU0_GPI_DIV0 和 PRU0_GPI_DIV1 是非整数，则
Y1 等于 (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 - 0.25 * PRU0_GPI_DIV0)，
Y2 等于(PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.25 * PRU0_GPI_DIV0)，其中 Y1 为第一个高电平脉冲，Y2 为第二个高电平脉冲。

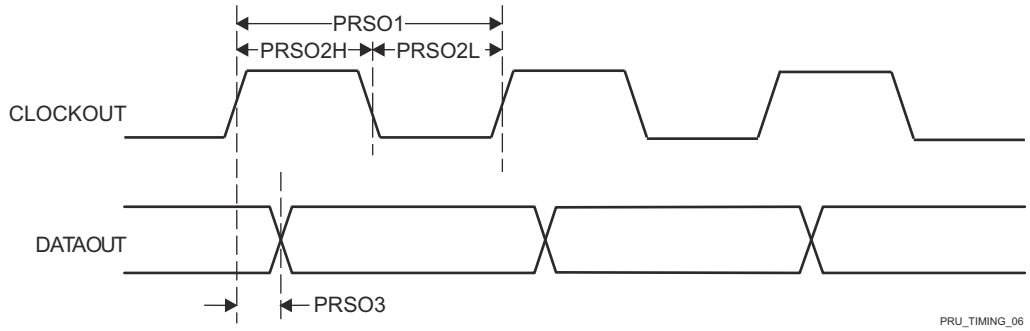


图 6-56. PRU-ICSS PRU 移出时序

6.11.5.14.2 PRU-ICSS PRU Σ-Δ 和外设接口

6.11.5.14.2.1 PRU-ICSS PRU Σ-Δ 和外设接口时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	3	V/ns
输出条件				
C_L	输出负载电容	2	18	pF

6.11.5.14.2.2 PRU-ICSS PRU 时序要求 - Σ-Δ 模式

编号	参数	说明	最小值	最大值	单位
PRSD1	$t_{c(SD_CLK)}$	周期时间，SD_CLK	40		ns
PRSD2L	$t_{w(SD_CLKL)}$	SD_CLK 低电平的脉冲持续时间	20		ns
PRSD2H	$t_{w(SD_CLKH)}$	SD_CLK 高电平的脉冲持续时间	20		ns
PRSD3	$t_{su(SD_D-SDCLK)}$	建立时间，在 SD_CLK 有效边沿之前 SD_D 有效	10		ns
PRSD4	$t_{su(SDCLK-SD_D)}$	保持时间，在 SD_CLK 有效边沿之后 SD_D 有效	5		ns

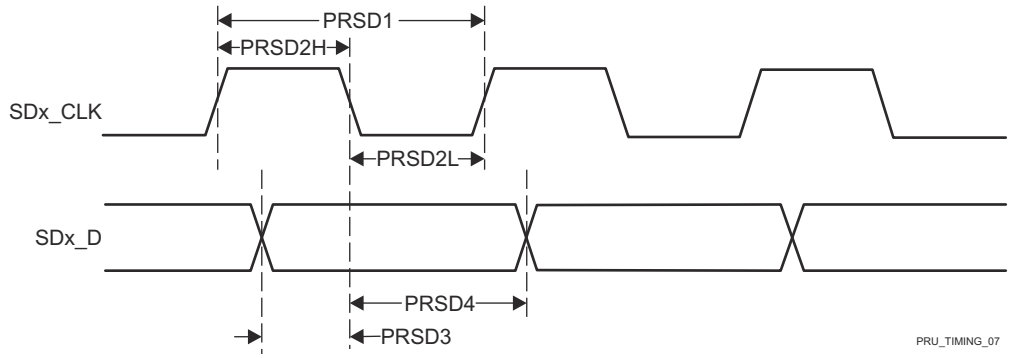


图 6-57. PRU-ICSS PRU SD_CLK 下降有效沿

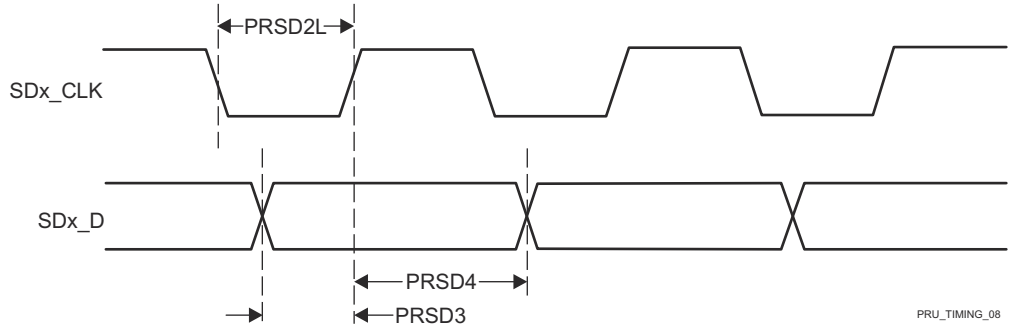


图 6-58. PRU-ICSS PRU SD_CLK 上升有效沿

6.11.5.14.2.3 PRU-ICSS PRU 时序要求 - 外设接口模式

编号	参数	说明	最小值	最大值	单位
PRPIF1	$t_{w(PIF_DATA_INH)}$	脉冲持续时间，PIF_DATA_IN 高电平	2 + 0.475 × (4 × P(1))		ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	最小值	最大值	单位
PRPIF2	$t_{w(PIF_DATA_INL)}$	脉冲持续时间，PIF_DATA_IN 低电平	2 + 0.475 × (4 × P(1))		ns

(1) P = 1x（或 TX）时钟周期，由 CFG_ED_P<n>_TXCFG 寄存器中的 TX_DIV_FACTOR 和 TX_DIV_FACTOR_FRAC 定义。

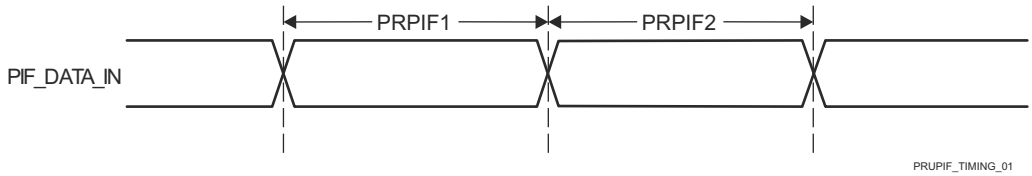


图 6-59. PRU-ICSS PRU 外设接口时序要求

6.11.5.14.2.4 PRU-ICSS PRU 开关特性 - 外设接口模式

编号	参数	说明	最小值	最大值	单位
PRPIF3	$t_{c(PIF_CLK)}$	周期时间，PIF_CLK	30		ns
PRPIF4	$t_{w(PIF_CLKH)}$	PIF_CLK 高电平的脉冲持续时间	0.475P(1)		ns
PRPIF5	$t_{w(PIF_CLKL)}$	PIF_CLK 低电平的脉冲持续时间	0.475P(1)		ns
PRPIF6	$t_{d(PIF_CLK-PIF_DATA_OUT)}$	延迟时间，PIF_CLK 下降到 PIF_DATA_OUT	-5	5	ns
PRPIF7	$t_{d(PIF_CLK-PIF_DATA_EN)}$	延迟时间，PIF_CLK 下降到 PIF_DATA_EN	-5	5	ns

(1) P = 1x（或 TX）时钟周期，由 CFG_ED_P<n>_TXCFG 寄存器中的 TX_DIV_FACTOR 和 TX_DIV_FACTOR_FRAC 定义。

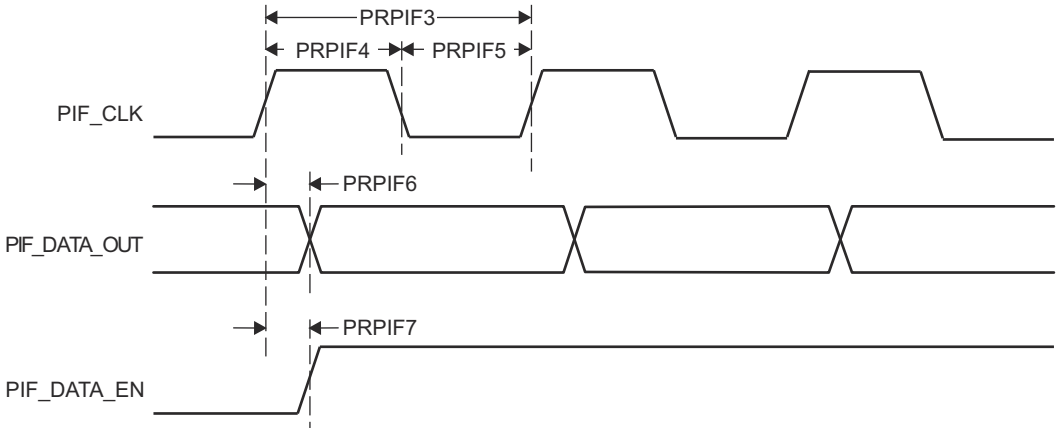


图 6-60. PRU-ICSS PRU 外设接口开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.3 PRU-ICSS 脉宽调制 (PWM)

6.11.5.14.3.1 PRU-ICSS PWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

6.11.5.14.3.2 PRU-ICSS PWM 开关特性

编号	参数	说明	最小值	最大值	单位
PRPWM1	$t_{sk(PWM_A/B)}$	PWM_A/B 偏差		0	ns

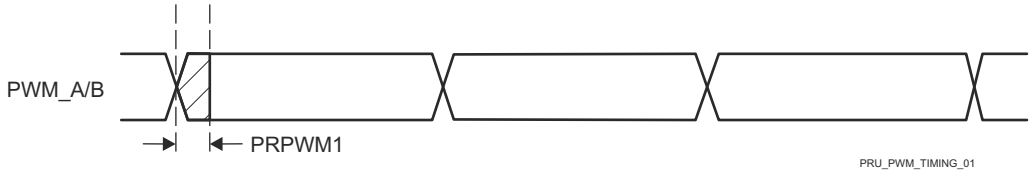


图 6-61. PRU-ICSS PWM 时序

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.4 PRU-ICSS 工业以太网外设 (IEP)

6.11.5.14.4.1 PRU-ICSS IEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	3	V/ns
输出条件				
C_L	输出负载电容	1	7	pF

6.11.5.14.4.2 PRU-ICSS IEP 时序要求- 通过 SYNCx 验证输入

编号	参数	说明	最小值	最大值	单位
PRIEP1	$t_{w(EDC_SYNCx_OUTL)}$	EDC_SYNCx_OUT 低电平的脉冲持续时间	– 2 + 20P(1)		ns
PRIEP2	$t_{w(EDC_SYNCx_OUTH)}$	EDC_SYNCx_OUT 高电平的脉冲持续时间	– 2 + 20P(1)		ns
PRIEP3	$t_{su(EDIO_DATA_IN-EDC_SYNCx_OUT)}$	建立时间，在 EDC_SYNCx_OUT 有效沿之前 EDIO_DATA_IN 有效	20		ns
PRIEP4	$t_{h(EDC_SYNCx_OUT-EDIO_DATA_IN)}$	保持时间，在 EDC_SYNCx_OUT 有效沿之后 EDIO_DATA_IN 有效	20		ns

(1) P = PRU-ICSS IEP 时钟源周期。

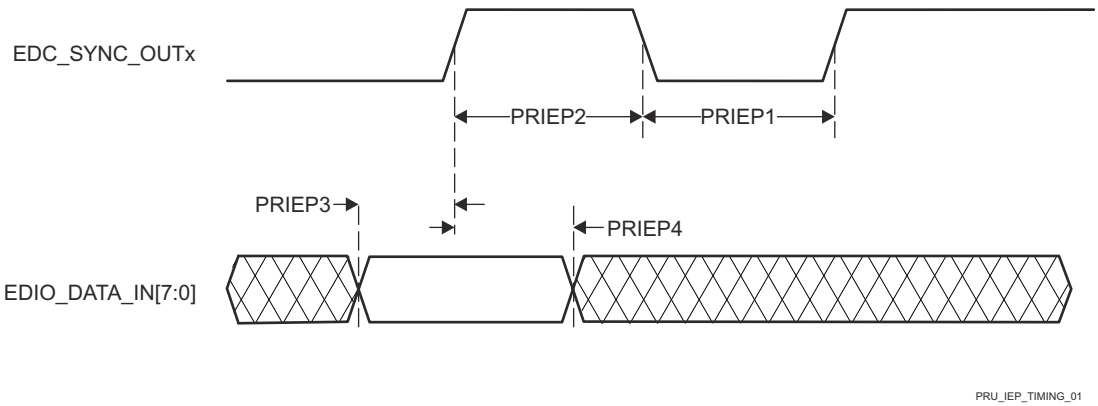


图 6-62. PRU-ICSS IEP 同步时序要求

6.11.5.14.4.3 PRU-ICSS IEP 时序要求 - 数字 IO

编号	参数	说明	最小值	最大值	单位
IEPIO1	$t_{w(EDIO_OUTVALIDL)}$	脉冲持续时间，EDIO_OUTVALID 低电平	– 2 + 14P(1)		ns
IEPIO2	$t_{w(EDIO_OUTVALIDH)}$	脉冲持续时间，EDIO_OUTVALID 高电平	– 2 + 32P(1)		ns
IEPIO3	$t_{d(EDIO_OUTVALID-EDIO_DATA_OUT)}$	延迟时间，EDIO_OUTVALID 到 EDIO_DATA OUT	0	18P(1)	ns
IEPIO4	$t_{sk(EDIO_DATA_OUT)}$	EDIO_DATA_OUT 偏移	6		ns

(1) P = PRU-ICSS IEP 时钟源周期。

Copyright © 2026 Texas Instruments Incorporated

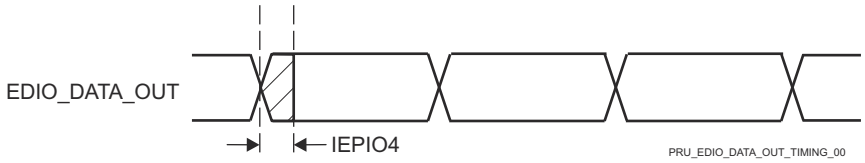


图 6-63. PRU-ICSS IEP 数字 IO 时序要求

6.11.5.14.4.4 PRU-ICSS IEP 时序要求 - LATCHx_IN

编号	参数	说明	最小值	最大值	单位
PRLA1	$t_{w(EDC_LATCHx_INL)}$	脉冲持续时间，EDC_LATCHx_IN 低电平	2 + 3P(1)		ns
PRLA2	$t_{w(EDC_LATCHx_INH)}$	脉冲持续时间，EDC_LATCHx_IN 高电平	2 + 3P(1)		ns

(1) P = PRU-ICSS IEP 时钟源周期。

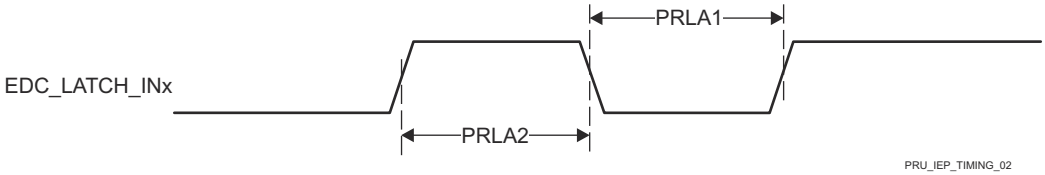


图 6-64. PRU-ICSS IEP LATCH_INx 时序要求

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.5 PRU-ICSS 通用异步接收器/发送器 (UART)

6.11.5.14.5.1 PRU-ICSS UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.01	0.33	V/ns
输出条件				
C_L	输出负载电容	1	30	pF

6.11.5.14.5.2 PRU-ICSS UART 时序要求

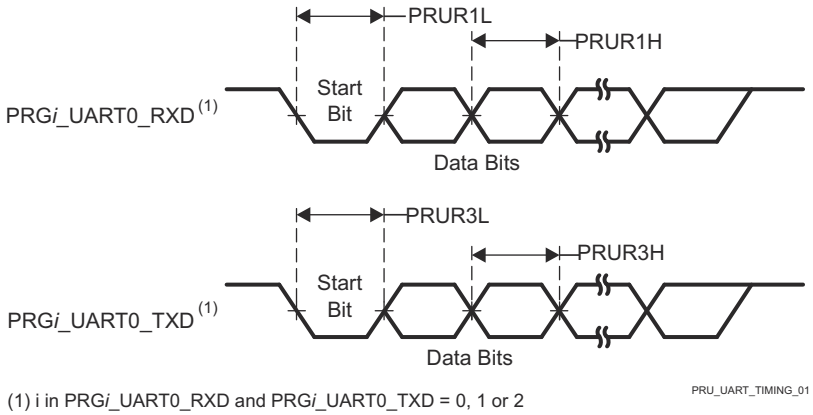
编号	参数	说明	最小值	最大值	单位
PRUR1H	$t_{w(RXH)}$	脉冲持续时间，接收开始，停止，数据位高电平	U(1)		ns
PRUR1L	$t_{w(RXL)}$	脉冲持续时间，接收开始，停止，数据位低电平	– 2 + U(1)		ns

(1) U = UART 波特时间 = 1/编程波特率。

6.11.5.14.5.3 PRU-ICSS UART 开关特性

编号	参数	说明	最小值	最大值	单位
PRUR2	$f_{(baud)}$	最大可编程波特率	U(1)		ns
PRUR3H	$t_{w(TXH)}$	脉冲持续时间，发送开始，停止，数据位高电平	– 2 + U(1)		ns

(1) U = UART 波特时间 = 1/编程波特率。



(1) i in PRG*i*_UART0_RXD and PRG*i*_UART0_TXD = 0, 1 or 2

图 6-65. PRU-ICSS UART 时序要求和开关特性

6.11.5.14.6 PRU-ICSS 增强型捕获外设 (ECAP)

6.11.5.14.6.1 PRU-ICSS ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	3	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

6.11.5.14.6.2 PRU-ICSS ECAP 时序要求

编号	参数	说明	最小值	最大值	单位
PREP1	$t_{w(CAP)}$	脉冲持续时间，捕捉输入（异步）	2 + 2P(1)		ns
PREP2	$t_{w(SYNCI)}$	脉冲持续时间，同步输入（异步）	2 + 2P(1)		ns

(1) P = core_clk 周期

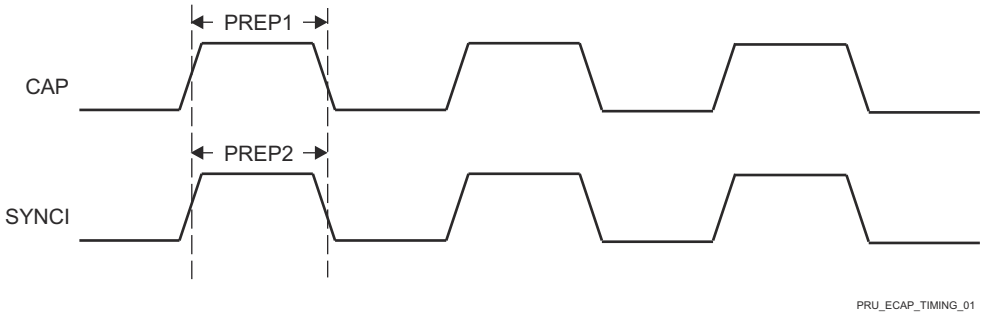


图 6-66. PRU-ICSS ECAP 时序

6.11.5.14.6.3 PRU-ICSS ECAP 开关特性

编号	参数	说明	最小值	最大值	单位
PREP3	$t_{w(APWM)}$	脉冲持续时间，辅助 PWM (APWM) 输出高电平/低电平	2P(1)		ns
PREP4	$t_{w(SYNCO)}$	脉冲持续时间，同步输出（异步）	P(1)		ns

(1) P = core_clk 周期

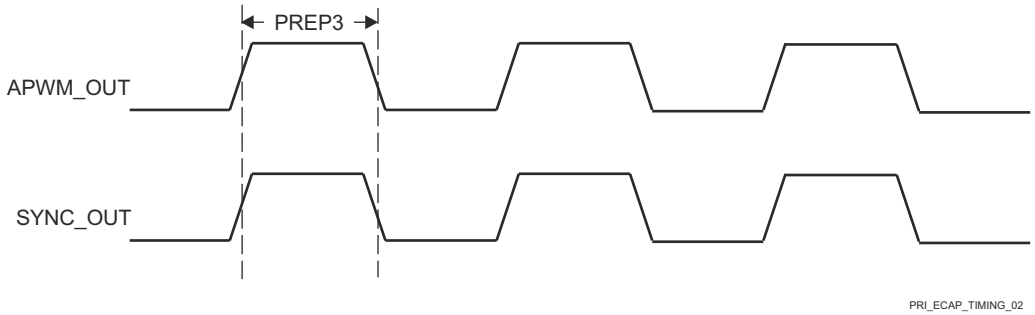


图 6-67. PRU-ICSS ECAP 开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.7 PRU-ICSS MDIO 和 MII

6.11.5.14.7.1 PRU-ICSS MDIO 时序

6.11.5.14.7.1.1 PRU-ICSS MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF

6.11.5.14.7.1.2 PRU-ICSS MDIO 时序要求

编号	参数	说明	最小值	最大值	单位
MDIO1	$t_{su(MDIO-MDC)}$	建立时间，在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	90		ns
MDIO2	$t_{h(MDC-MDIO)}$	保持时间，自 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

6.11.5.14.7.1.3 PRU-ICSS MDIO 开关特性

编号	参数	说明	最小值	最大值	单位
MDIO3	$t_{c(MDC)}$	周期时间，MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	脉冲持续时间，MDIO[x]_MDC 高电平	160		ns
MDIO5	$t_{w(MDCL)}$	脉冲持续时间，MDIO[x]_MDC 低电平	160		ns
MDIO7	$t_{d(MDC-MDIO)}$	延迟时间，MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-150	150	ns

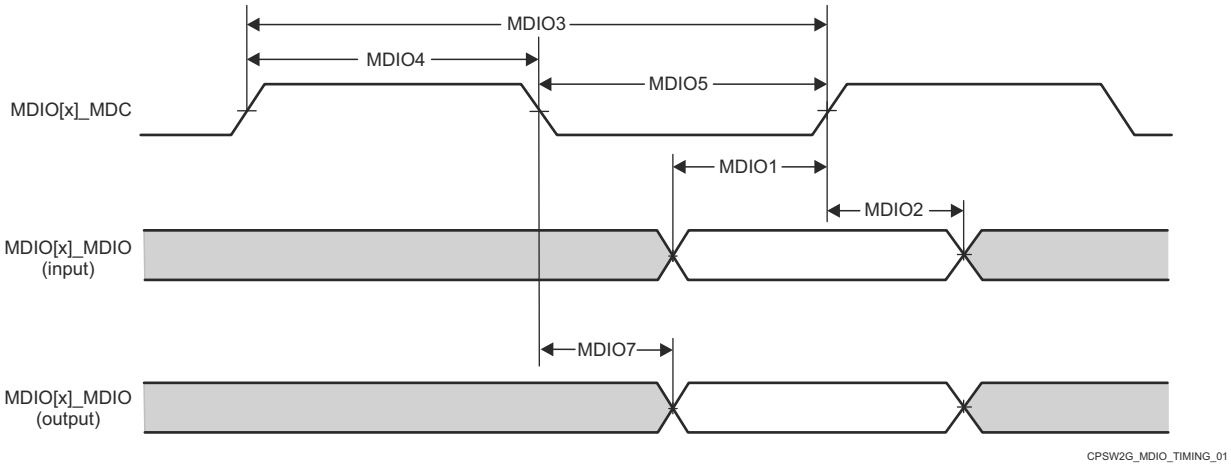


图 6-68. PRU-ICSS MDIO 时序要求和开关特性

6.11.5.14.7.2 PRU-ICSS MII 时序

6.11.5.14.7.2.1 PRU-ICSS MII 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.9	3.6	V/ns

Copyright © 2026 Texas Instruments Incorporated

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	20	pF

6.11.5.14.7.2.2 PRU-ICSS MII 时序要求 - MII[x]_RX_CLK

编号	参数	说明	模式	最小值	最大值	单位
PMIR1	$t_{c(RX_CLK)}$	周期时间，MII[x]_RX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIR2	$t_{w(RX_CLKH)}$	脉冲持续时间，MII[x]_RX_CLK 高电平	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIR3	$t_{w(RX_CLKL)}$	脉冲持续时间，MII[x]_RX_CLK 低电平	10Mbps	140	260	ns
			100Mbps	14	26	ns

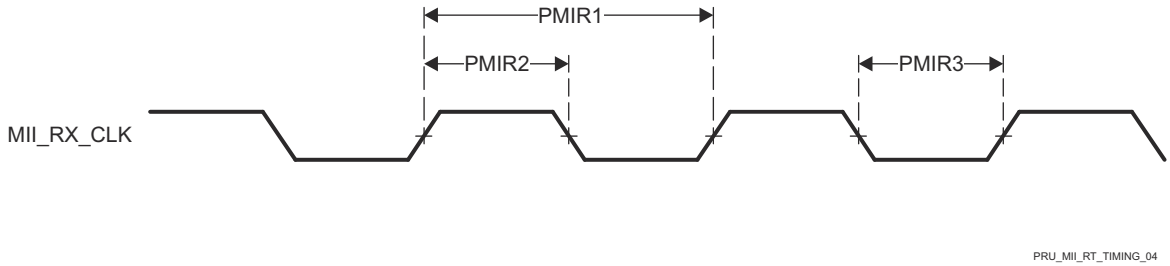


图 6-69. PRU-ICSS MII[x]_RX_CLK 时序

6.11.5.14.7.2.3 PRU-ICSS MII 时序要求 – MII[x]_RXD[3:0]、MII[x]_RX_DV 和 MII[x]_RX_ER

编号	参数	说明	模式	最小值	最大值	单位
PMIR4	$t_{su(RXD-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RXD[3:0] 有效	10Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_DV 有效		8		ns
	$t_{su(RX_ER-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_ER 有效		8		ns
	$t_{su(RXD-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RXD[3:0] 有效	100Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_DV 有效		8		ns
	$t_{su(RX_ER-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_ER 有效		8		ns

Copyright © 2026 Texas Instruments Incorporated

编号	参数	说明	模式	最小值	最大值	单位
PMIR5	$t_{h(RX_CLK-RXD)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RXD[3:0] 有效	10Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_DV 有效		8		ns
	$t_{h(RX_CLK-RX_ER)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_ER 有效		8		ns
	$t_{h(RX_CLK-RXD)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RXD[3:0] 有效	100Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_DV 有效		8		ns
	$t_{h(RX_CLK-RX_ER)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_ER 有效		8		ns

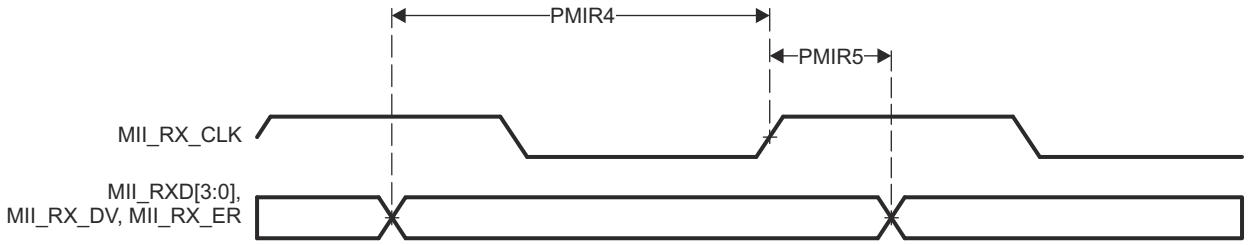


图 6-70. PRU-ICSS MII[x]_RXD[3:0]、MII[x]_RX_DV 和 MII[x]_RX_ER 时序

6.11.5.14.7.2.4 PRU-ICSS MII 开关特性 - MII[x]_TX_CLK

编号	参数	说明	模式	最小值	最大值	单位
PMIT1	$t_{c(TX_CLK)}$	周期时间，MII[x]_TX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIT2	$t_{w(TX_CLKH)}$	脉冲持续时间，MII[x]_TX_CLK 高电平	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIT3	$t_{w(TX_CLKL)}$	脉冲持续时间，MII[x]_TX_CLK 低电平	10Mbps	140	260	ns
			100Mbps	14	26	ns

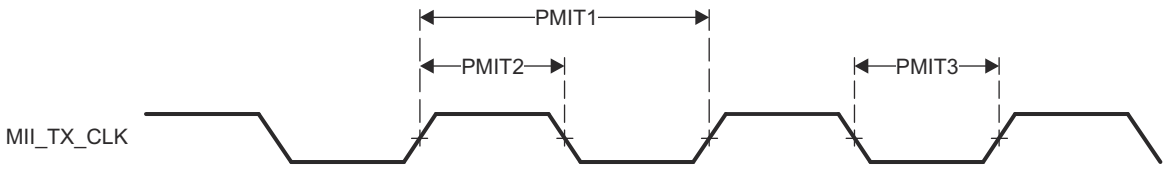


图 6-71. PRU-ICSS MII[x]_TX_CLK 时序

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.7.2.5 PRU-ICSS MII 开关特性 - MII[x]_TXD[3:0] 和 MII[x]_TXEN

编号	参数	说明	模式	最小值	最大值	单位
PMIT4	$t_{d(TX_CLK-TXD)}$	延迟时间，MII[x]_TX_CLK 高电平到 MII[x]_TXD[3:0] 有效	10Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	延迟时间，MII[x]_TX_CLK 高电平到 MII[x]_TX_EN 有效		0	25	ns
	$t_{d(TX_CLK-TXD)}$	延迟时间，MII[x]_TX_CLK 高电平到 MII[x]_TXD[3:0] 有效	100Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	延迟时间，MII[x]_TX_CLK 高电平到 MII[x]_TX_EN 有效		0	25	ns

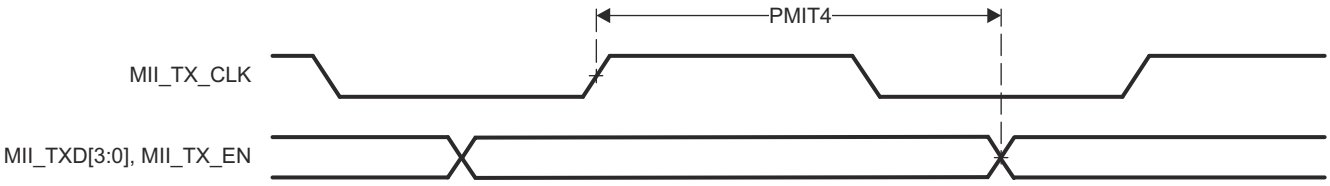


图 6-72. PRU-ICSS MII[x]_TXD[3:0]、MII[x]_TX_EN 时序

Copyright © 2026 Texas Instruments Incorporated

6.11.5.15 Σ-Δ 滤波器模块 (SDFM)

有关更多信息，请参阅器件 TRM 中的 *Σ-Δ 滤波器模块* 一节。

6.11.5.15.1 SDFM 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	模式 0	0.5	5	V/ns

6.11.5.15.2 SDFM 开关特性

编号	参数	说明	模式	最小值	最大值	单位
M0-1	$t_{c(SDC)}$	周期时间，SDx_Cy	模式 0	5P(1)	256P(1)	ns
M0-2	$t_{w(SDCHL)}$	脉冲持续时间，SDx_Cy（高电平/低电平）	模式 0	2P(1)		ns
M0-3	$t_{sh(SDDV-SDCH)}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	模式 0	2P(1)		ns
M0-4	$t_{h(SDCH-SDD)}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	模式 0	2P(1)		ns

(1) P = SYSCLK 周期（以 ns 为单位）。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16 通用异步收发器 (UART)

有关器件通用异步接收器/发送器特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

有关更多信息，请参阅器件 TRM 中的*通用异步接收器/发送器 (UART)* 一节。

6.11.5.16.1 UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	1	30	pF

6.11.5.16.2 UART 时序要求

编号	参数	说明	最小值	最大值	单位
4	$t_{w(RX)}$	脉冲宽度，接收数据位高电平或低电平	0.95U(1)	1.05U(1)	ns
5	$t_{w(CTS)}$	脉冲宽度，接收起始位高电平或低电平	0.95U(1)		ns

(1) U = UART 波特时间 = 1/编程波特率。

6.11.5.16.3 UART 开关特性

编号	参数	说明	模式	最小值	最大值	单位
	$f_{(baud)}$	可编程波特率	15pF		12	MHz
			30pF		0.115	
2	$t_{w(TX)}$	脉冲宽度，发送数据位高电平或低电平		U(1) – 2.2	U(1) + 2.2	ns
3	$t_{w(RTS)}$	脉冲宽度，发送起始位高电平或低电平		U(1) – 2.2		ns
1	$t_{d(CTS-TX)}$	延迟时间，接收 CTS 位到发送数据的时间		30		ns

(1) U = UART 波特时间 = 1/编程波特率。

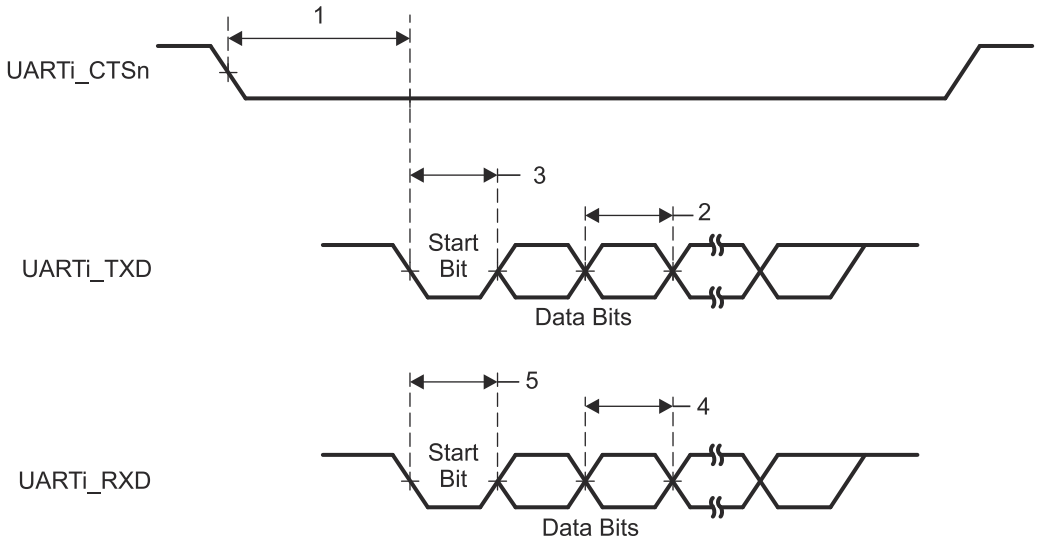


图 6-73. UART 时序要求和开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.6 仿真和调试

有关器件跟踪和 JTAG 接口特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。有关更多信息，请参阅器件 TRM 中的*片上调试* 一节。

6.11.6.1 JTAG

首字母缩略词表示**联合测试行动组**，定义了边界扫描标准 (IEEE std 1149.1) 的工程师委员会。有关器件 JTAG 接口特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

6.11.6.1.1 JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2.00	V/ns
输出条件				
C_L	输出负载电容	5	15	pF

6.11.6.1.2 JTAG 时序要求

编号	参数	说明	最小值	最大值	单位
J1	$t_{c(TCK)}$	周期时间，TCK	40		ns
J2	$t_{w(TCKH)}$	脉冲宽度，TCK 高电平	16		ns
J3	$t_{w(TCKL)}$	脉冲宽度，TCK 低电平	16		ns
J4	$t_{su(TDI-TCKH)}$	输入建立时间，TDI 有效至 TCK 高电平	2		ns
	$t_{su(TMS-TCKH)}$	输入建立时间，TMS 有效至 TCK 高电平	2		
J5	$t_{h(TCK-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	15.9		ns
	$t_{h(TCK-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	15.9		

6.11.6.1.3 JTAG 开关特性

编号	参数	说明	最小值	最大值	单位
J6	$t_{d(TCKL-TDOI)}$	延迟时间，TCK 低电平到 TDO 无效	-0.067005		ns
J7	$t_{d(TCKL-TDOV)}$	TCK 低电平到 TDO 有效的延迟时间		11.89594	ns

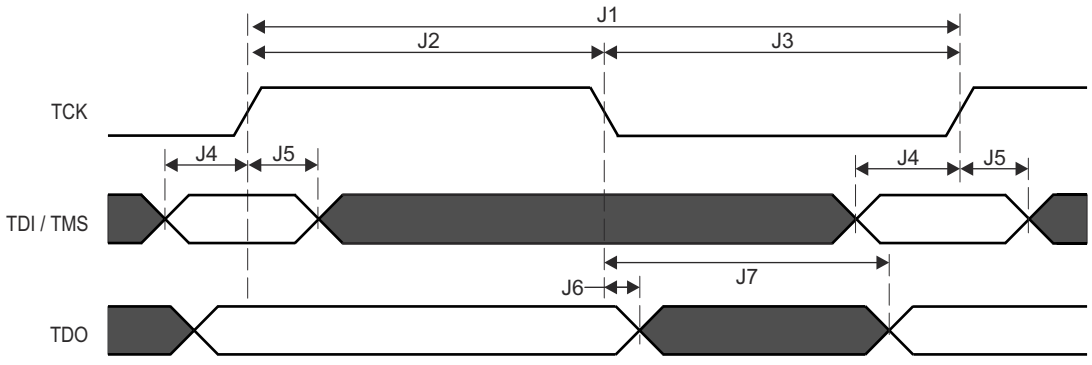


图 6-74. JTAG 时序要求和开关特性

6.11.6.2 迹线

6.11.6.2.1 调试布线时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	5	pF
输出条件				
$t_{d(Trace\ Mismatch)}$	所有布线之间的传播延迟不匹配。		200	ps

6.11.6.2.2 调试布线开关特性

编号	参数	说明	最小值	最大值	单位
DBTR1	$tc_{(TRC_CLK)}$	TRC_CLK 周期时间	9.75		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	4.13		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	4.13		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR5	$t_{oh(TRC_CLK-TRC-DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	1.22		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	1.22		ns

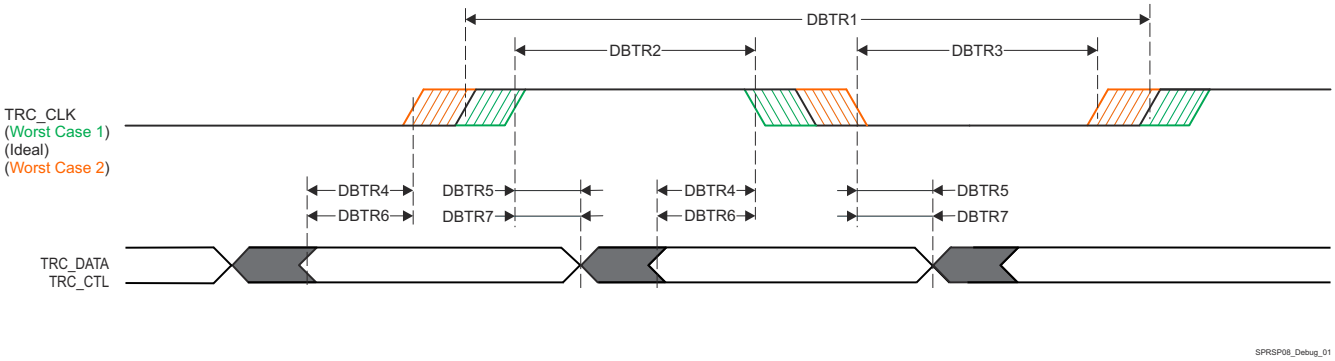


图 6-75. 布线开关特性

6.12 去耦电容器要求

6.12.1 去耦电容器要求

参数	说明	最小值	典型值	最大值	单位
C_{VDD}	接地(电容)		10		µF
C_{VDDS33}	3.3V VDDS（电容）		10		µF
C_{VDDA33}	3.3V VDDA（电容）		10		µF
C_{VDDS18}	1.8V VDDS（电容）		0.1		µF
C_{VDDA18}	1.8V VDDA（电容）		0.1		µF
C_{VPP}	1.7V VPP（电容）		0.1		µF
C_{VDDS18_LDO}	1.8V LDO VDDS（电容）		3.3		µF
C_{VDDA18_LDO}	1.8V LDO VDDA（电容）		3.3		µF

Copyright © 2026 Texas Instruments Incorporated

参数	说明	最小值	典型值	最大值	单位
C_{ADC_VREF}	ADC VREFHI（电容）		4.7		µF

7 详细说明

7.1 概述

AM263x Sitara Arm® 微控制器旨在满足下一代工业和汽车嵌入式项目复杂的实时处理和控制需求。AM263x 以独特方式将高级计算与行业先进的实时控制外设相结合，可满足混合动力汽车/电动汽车（牵引逆变器、车载充电器和直流/直流转换器）、电机驱动、可再生能源、储能以及其他一般实时受限系统等应用日益增长的性能需求。AM263x 可将多达四个 Cortex-R5F MCU、一个实时控制子系统 (CONTROLSS)、一个硬件安全模块 (HSM) 和一个 Sitara 的可编程实时单元子系统 (PRU-ICSS) 实例组合在一起，因此 AM263x 非常适合高级电机控制和数字电源控制应用。

对于多核 AM263x 器件，R5F 内核以集群形式排列，每集群 2 个 Cortex-R5F 内核。每个 Cortex-R5F 内核都具有 64KB 共享紧耦合存储器 (TCM)。AM263x 在 4 个组（每个组 512kB）之间具有 2MB 的共享 SRAM。器件复位后，多个 Arm® 内核默认配置为锁步模式。它们可以由引导程序选择编程为在双核模式下运行。片上存储器、外设及互连均配备全面的 ECC 功能，以提升可靠性。AM263x 上的 HSM 提供加密加速、安全启动并管理细粒度防火墙，助力开发人员打造安全性极高的系统。

实时控制子系统 (CONTROLSS) 是集成在器件中的一个革命性子系统。CONTROLSS 包含多个数字和模拟控制外设，包括：ADC、CMPSS、EPWM、ECAP 和 EQEP，从而能够高效执行关键检测/处理/驱动实时信号链控制环路。集成交叉开关 (XBAR) 基础结构可实现灵活的配置，将外部信号路由至内部端口，将内部信号路由至外部引脚。

AM263x 中的 PRU-ICSS 具备灵活的工业通信能力支持运行 EtherCAT®、PROFINET® 和 Ethernet/IP™ 等高级以太网协议，同时，PRU-ICSS 也可用于标准以太网连接及自定义 I/O 接口连接。PRU-ICSS 支持两个以太网端口，工作速率为 10/100 Mbit。它还能在 SoC 中实现额外接口，包括 Σ-Δ 抽取滤波器和绝对编码器接口。除 PRU-ICSS 外，通用平台交换机 (CPSW) 接口还提供两个以太网端口，支持最高 10/100/1000 Mbit 工作速率，且兼容标准以太网连接。

除了多个用于实现可扩展性和易用性的引脚对引脚兼容器件外，TI 还提供了一整套用于 AM263x 系列微控制器的微控制器软件和开发工具。

Copyright © 2026 Texas Instruments Incorporated

7.2 处理器子系统

7.2.1 Arm Cortex-R5F 子系统

R5FSS 是 Arm® Cortex®-R5F 处理器的双核实现，配置为双核（分离）或锁步操作模式。它还包括附带的存储器（L1 高速缓存和紧密耦合存储器）、标准 Arm®CoreSight™ 调试和布线架构、集成式矢量中断管理器 (VIM)、ECC 聚合器以及支持协议转换和地址转换的各种包装器，以便于集成到 SoC。该器件最多支持两个 R5FSS 模块，可构成全部 4 个可能的功能内核（双核模式）或 2 个功能内核（锁步模式）。

备注

Arm® Cortex®-R5F 处理器是一款包含可选浮点单元 (FPU) 扩展的 Cortex-R5 处理器。

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的 *R5FSS* 一节。

Copyright © 2026 Texas Instruments Incorporated

8 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 器件连接和布局基本准则

8.1.1 外部振荡器

有关外部振荡器的更多信息，请参阅*时钟规格*一节。

8.1.2 JTAG、仿真和跟踪

德州仪器 (TI) 支持各种扩展开发系统 (XDS™) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。XDS 目标连接指南中提供了有关此信息的摘要。

有关 JTAG、仿真和跟踪布线的建议，请参阅仿真和跟踪接头技术参考手册

8.1.3 硬件设计指南

有关基于 MCU 器件 AM263x 系列创建 PCB 系统的详细信息，请参阅 AM263x 硬件设计指南。

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微控制器 (MCU) 和支持工具的产品型号分配了前缀。每个器件都具有以下三个前缀之一：X、P 或无（无前缀）（例如 XAM2634AOLFGMZCZQ）。德州仪器 (TI) 建议在其支持工具中使用三种可能的前缀指示符中的两种：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 ZCZ 封装类型的 AM263x 器件的可订购器件型号，请参阅本文档的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

Copyright © 2026 Texas Instruments Incorporated

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

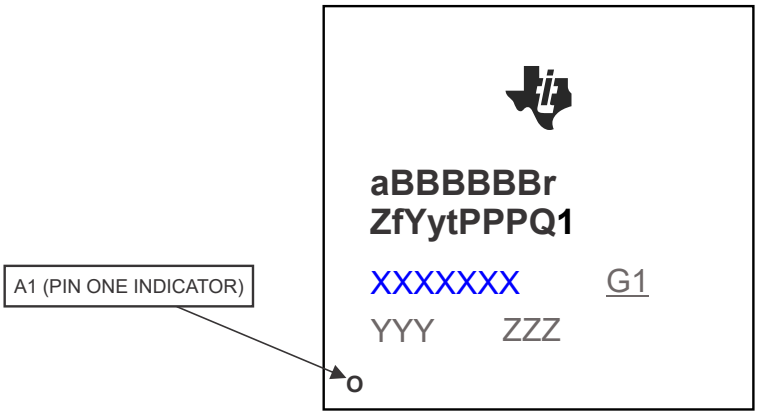


图 9-1. 器件修订版本 C 及之前版本的印刷器件参考

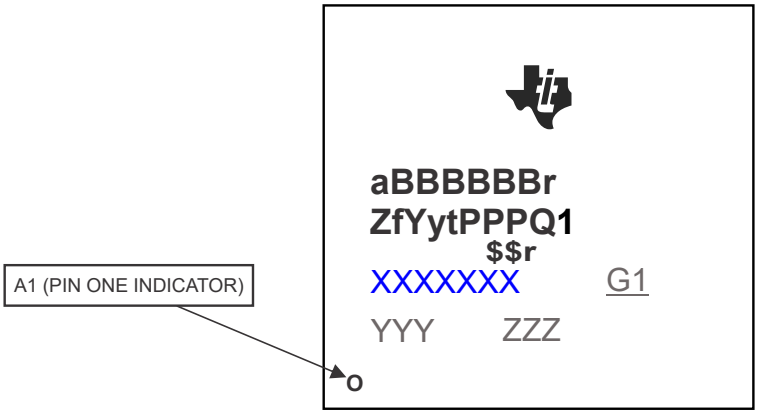


图 9-2. 器件修订版本 E 的印刷器件参考

Copyright © 2026 Texas Instruments Incorporated

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值	说明
a[2]	器件演变阶段	X	原型
		P	预量产（生产测试流程，无可靠性数据）
		空白[1]	量产
BBBBBB	基本生产器件型号	AM2634	请参阅*器件比较*。
		AM2632	
		AM2631	
r	器件修订版本	A	SR 1.0
		B	SR 1.0A
		C	SR 1.1
		D	SR 1.2（未量产）
		E	SR 1.3
Z	器件运行性能点	N	请参阅*运行性能点*。
		O 或 K	
		P	

表 9-1. 命名规则说明（续）

字段参数	字段说明	值	说明
f	特性（请参阅表 4-1，*器件比较*）	C	仅 PRU + 支持 CAN-FD + 标准模拟
		D	PRU-ICSS + 支持 CAN-FD + 标准模拟
		E	PRU-ICSS + EtherCAT 硬件加速器 + 支持 CAN-FD + 标准模拟
		F	PRU-ICSS + EtherCAT 硬件加速器 + 支持 CAN-FD + 启用预集成栈 + 标准模拟
		J	仅 PRU + 支持 CAN-FD + 增强型模拟
		K	PRU-ICSS + 支持 CAN-FD + 增强型模拟
		L	PRU-ICSS + EtherCAT 硬件加速器 + 支持 CAN-FD + 增强型模拟
		M	PRU-ICSS + EtherCAT 硬件加速器 + 支持 CAN-FD + 预集成栈 + 增强型模拟
		N	PRU-ICSS + EtherCAT HW 加速器 + CAN-FD 支持 + 预集成栈 + 增强型模拟 + EPWM 多项比较影子寄存器 (XCMP) + EPWM 脉冲边沿监控 + ECAP 脉冲边沿监控 + 二极管仿真逻辑 (DEL) 功能 + XBAR
Y	功能安全	G	非功能安全（仅限 AM2631）
		F	功能安全
y	安全性	H	安全
t(3)	结温（请参阅节 6.5，*ROC*）	A	-40°C 至 105°C - 工业
		I	–40°C 至 125°C - 汽车
		M	–40°C 至 150°C - 扩展汽车级
PPP	封装符号	ZCZ	ZCZ NFBGA-N324 (15mm × 15mm) 封装
Q1	汽车符号	Q1	通过汽车认证 (AEC-Q100)
		空白	标准
$$			FAB 代码
XXXXXXX			批次追踪代码 (LTC)
YYY			生产代码；仅供 TI 使用
ZZZ			生产代码；仅供 TI 使用

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 命名规则说明（续）

字段参数	字段说明	值	说明
O			引脚 1 符号
G1			ECAT - 环保封装符号

(1) 符号和器件号中的空白将折叠显示，以防字符间存在间隙。
(2) 为了标明产品开发周期的阶段，TI 为所有器件型号分配了前缀。这些前缀代表了产品开发的进展阶段，即从工程原型直到完全合格的生产器件。
原型器件在供货时附带如下免责声明：
“该产品仍在开发中，用于内部评估。”
无论是否有相反规定，TI 均不作任何明示、默示或法定的保证，包括对此器件特定用途的适用性和适销性的任何暗示保证。
(3) 适用于器件最高结温。

9.1.2.1 器件版本标识

如果软件依赖芯片版本标识来启用或禁用功能，或实施已知芯片勘误表的变通办法，请注意以下检测过程。

器件版本可以通过读取 TOP_CTRL: EFUSE_ROW_15 的位 [3:0] 来标识，其位于存储器位置 0x50D8 0434。

备注

MCU+ SDK OTP Keywriter 包含 PG_VER 检查。切换到新的器件版本时，请确保使用 SDK 中的最新 OTP Keywriter 进行密钥编程。

表 9-2. TOP_CTRL:EFUSE_ROW_15 的位字段说明

保留																										PG 版本			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

表 9-3. 使用 TOP_CTRL:EFUSE_ROW_15 的 BITS[3:0] 来标识 PG_VERSION

PG 版本	器件修订版本	位 [3:0] 的说明
AM263 1.0	A	0001
AM263 1.0A	B	0010
AM263 1.1	C	0011
AM263 1.2[1]	D	0100
AM263 1.3	E	0101

备注

1.此示例版本尚未投入生产。

Copyright © 2026 Texas Instruments Incorporated

9.2 工具与软件

以下产品支持面向 AM263x 平台的开发工作：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig-PinMux 工具 SysConfig-PinMux 实用程序是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突以及指定 TI 嵌入式处理器器件的 I/O 电池特性。该工具可用于自动计算适当的引脚多路复用配置，以满足输入的系统要求。该工具会生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，并用于配置客户的软件以满足定制硬件要求。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档介绍了该 AM263x 器件。

AM263x 器件勘误表 描述了针对器件功能技术规格的已知例外情况。

AM263x 技术参考手册详细介绍了 AM263x 系列器件中每个外设和子系统的集成、环境、功能说明以及编程模型。

AM263x TRM 寄存器附录详细介绍了 AM263x 系列器件中每个外设和子系统的存储器映射寄存器信息。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

Ethernet/IP™ is a trademark of ODVA, INC..
Sitara™, XDS™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH.
PROFINET® is a registered trademark of PROFINET International.
IO-Link® is a registered trademark of PROFIBUS Nutzerorganisation e.V. eingetragener verein (e.v.) FED REP GERMANY.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

Copyright © 2026 Texas Instruments Incorporated

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from August 30, 2025 to October 26, 2026 (from Revision E (August 2025) to Revision F (October 2026)) **Page**

- 在安全特性中添加了 EVITA - 全功能完整 HSM....1
- 已提供数据表的 HTML 版本链接。....9
- （引脚属性表头列表）：更新了复位期间的焊球状态和复位后的焊球状态，以阐明这些状态也适用于热复位。....10
- （引脚属性表）：将 SAFETY_ERRORn 类型更改为 IO；....13
- （引脚属性表）：删除了 QSPI0_CLKLB；....13
- 添加了 OSC 内部振荡器时钟源章节....86
- 添加了 MCU_OSC0 LVCMOS 数字时钟源章节....86
- 为修订版 E 添加了印刷器件参考的新图像....159
- 将器件运行性能点中的 O 更新为 O 或 K。....161
- 为“器件版本标识”添加了一个部分....163

Changes from July 21, 2023 to August 30, 2025 (from Revision D (July 2023) to Revision E (August 2025)) **Page**

- （特性）：添加了对 MII 模式的支持....1
- （封装信息）：更新了“封装信息”表，以便与 TI 标准保持一致....4
- （器件比较）：添加了汽车温度范围....7
- （引脚属性）：仅将 SOP 引脚类型从“0”更新为“I”....13
- （ADC-CMPSS 信号连接）：更新了 CMPSS 和 ADC 连接图....40
- （引脚连接要求）：在“QSPI0_D1”之后添加了“(SOP1)”....67
- （SAFETY_ERRORn 开关特性）：将表注引用从“RST22”更新为“SFTY3”....85
- （CPSW MDIO 时序要求）：将 MDIO1 的最小值从“90ns”更改为“45ns”....89
- （CPSW MDIO 开关特性）：将 MDIO 最小值从“-150ns”更新为“-10ns”，将最大值从“150ns”更新为“10ns”....89
- （CPSW RGMII[x]_TXC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式）：将有关内部延迟的表注从“始终启用”更新为“POR 后默认启用”。....94
- 删除了所有提及 TSN 的相关内容....156
- 添加了 PRU-ICSS 之外的以太网功能的详细信息....156
- 阐明了多核器件的 R5F 内核架构....156
- 更新了有关概述一些 HSM 特性的说明....156
- （器件命名约定）：添加了器件等级 I，其结温范围为 -40°C 至 125°C....161

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

要了解关于 TI 封装的更多信息，请访问封装信息网站。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2631CNDGHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2631C NDGHAZCZ 548
AM2631CNDGHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2631C NDGHAZCZ 548
AM2631CNDGHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C NDGHMZCZQ1 548
AM2631CNDGHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C NDGHMZCZQ1 548
AM2631CODGHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C ODGHMZCZQ1 548
AM2631CODGHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C ODGHMZCZQ1 548
AM2632CNDFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NDFHAZCZ 548
AM2632CNDFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NDFHAZCZ 548
AM2632CNEFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NEFHAZCZ 548
AM2632CNEFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NEFHAZCZ 548
AM2632CODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C ODFHMZCZQ1 548

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2632CODFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C ODFHMZCZQ1 548
AM2632COKFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OKFHAZCZ 548
AM2632COKFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OKFHAZCZ 548
AM2632COKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C OKFHMZCZQ1 548
AM2632COKFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C OKFHMZCZQ1 548
AM2632COLFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OLFHAZCZ 548
AM2632COLFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OLFHAZCZ 548
AM2632COMFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OMFHAZCZ 548
AM2632COMFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OMFHAZCZ 548
AM2632CPDFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C PDFHMZCZQ1 548
AM2632CPDFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C PDFHMZCZQ1 548
AM2632EODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632E ODFHMZCZQ1 548

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2632EOKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632E OKFHMZCZQ1 548
AM2632EPDFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632E PDFHMZCZQ1 548
AM2634CODFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C ODFHAZCZ 548
AM2634CODFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C ODFHAZCZ 548
AM2634CODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C ODFHMZCZQ1 548
AM2634CODFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C ODFHMZCZQ1 548
AM2634COEFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OEFHAZCZ 548
AM2634COEFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OEFHAZCZ 548
AM2634COKFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OKFHAZCZ 548
AM2634COKFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OKFHAZCZ 548
AM2634COKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C OKFHMZCZQ1 548
AM2634COKFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C OKFHMZCZQ1 548

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2634COLFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OLFHAZCZ 548
AM2634COLFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OLFHAZCZ 548
AM2634COMFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OMFHAZCZ 548
AM2634COMFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OMFHAZCZ 548
AM2634CPDFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C PDFHMZCZQ1 548
AM2634CPDFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C PDFHMZCZQ1 548
AM2634EODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634E ODFHMZCZQ1 548
AM2634EOKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634E OKFHMZCZQ1 548
XAM2634BOMFHAZCZ	Active	Preproduction	NFBGA (ZCZ) | 324	1 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AM2631, AM2631-Q1, AM2632, AM2632-Q1, AM2634, AM2634-Q1 :

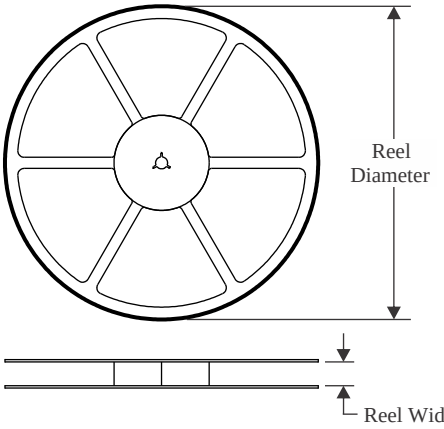
- Catalog : AM2631, AM2632, AM2634
- Automotive : AM2631-Q1, AM2632-Q1, AM2634-Q1

NOTE: Qualified Version Definitions:

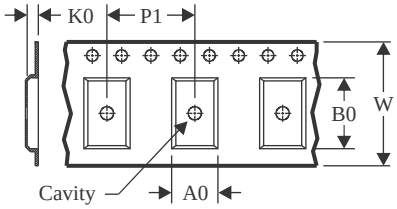
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

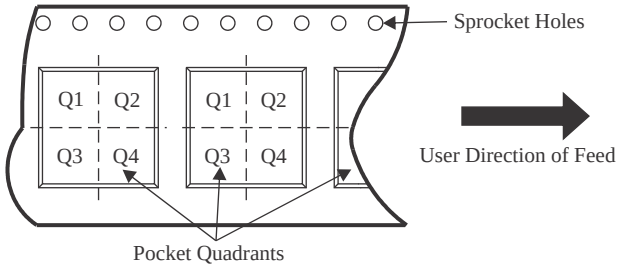


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

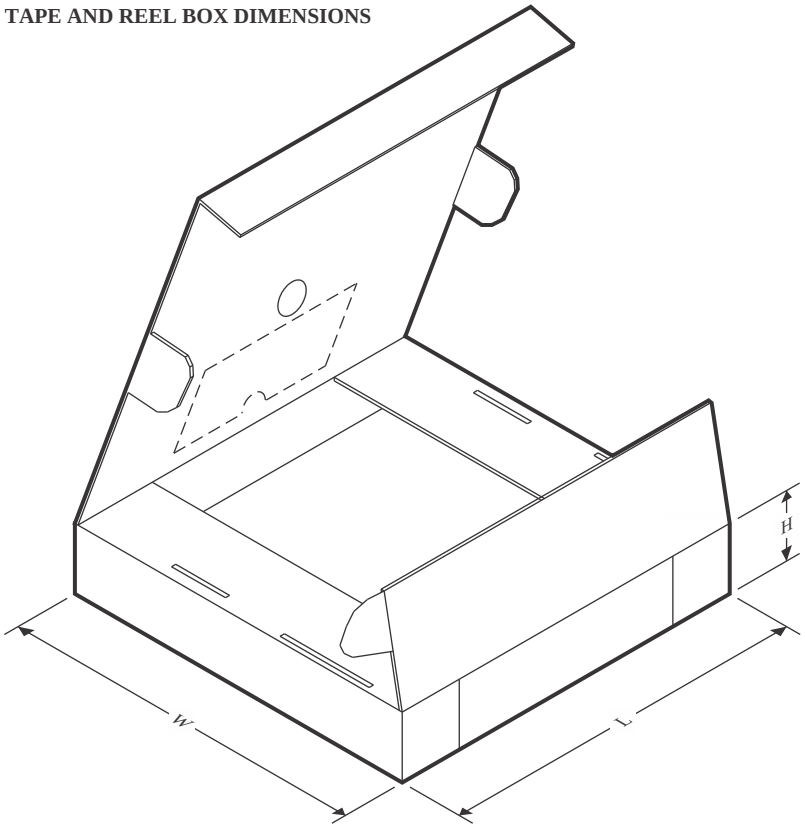


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2631CNDGHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2631CNDGHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2631CODGHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CNDFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CNEFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COKFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COLFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COMFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632EPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634CODFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2634COEFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COKFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COLFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COMFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2631CNDGHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2631CNDGHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2631CODGHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CNDFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CNEFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COKFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COLFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COMFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632EPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634CODFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COEFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COKFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3

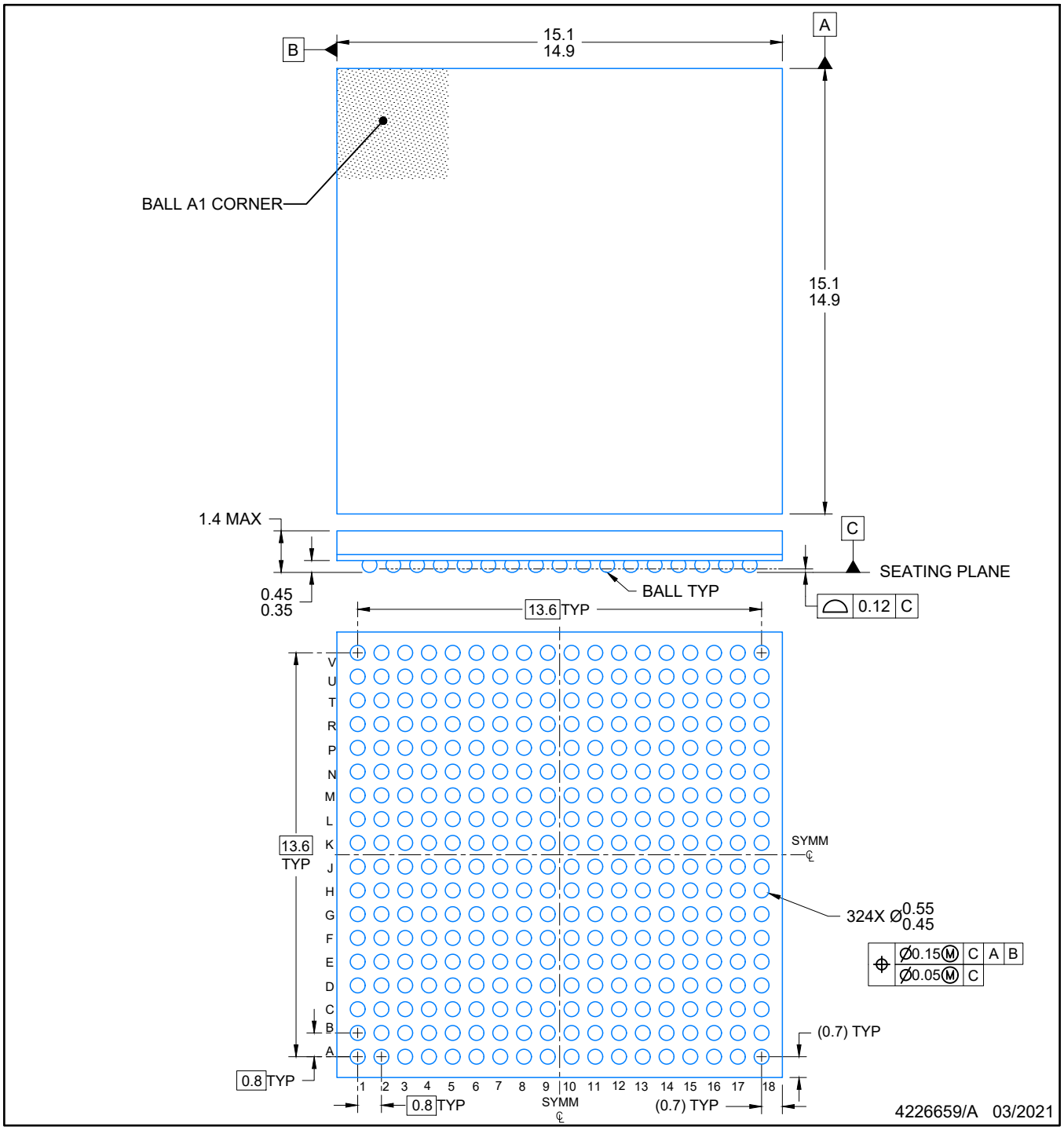
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2634COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COLFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COMFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3

PACKAGE OUTLINE

ZCZ0324A

NFBGA - 1.4 mm max height

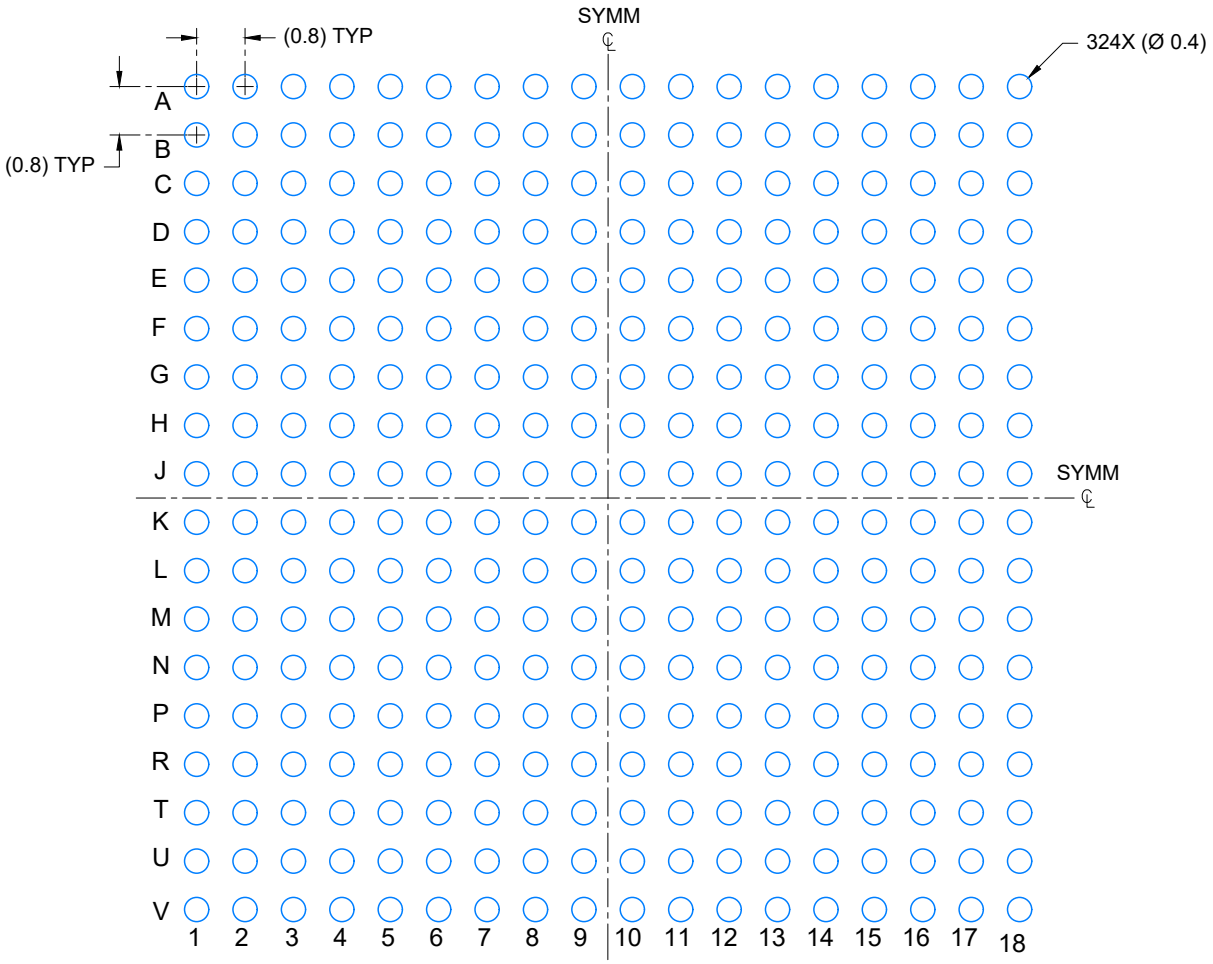
PLASTIC BALL GRID ARRAY



NOTES:

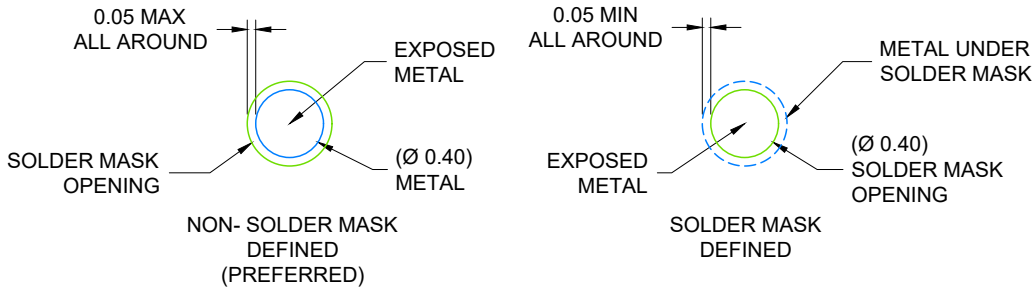
NanoFree is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

SCALE: 8X



SOLDER MASK DETAILS

NOT TO SCALE

4226659/A 03/2021

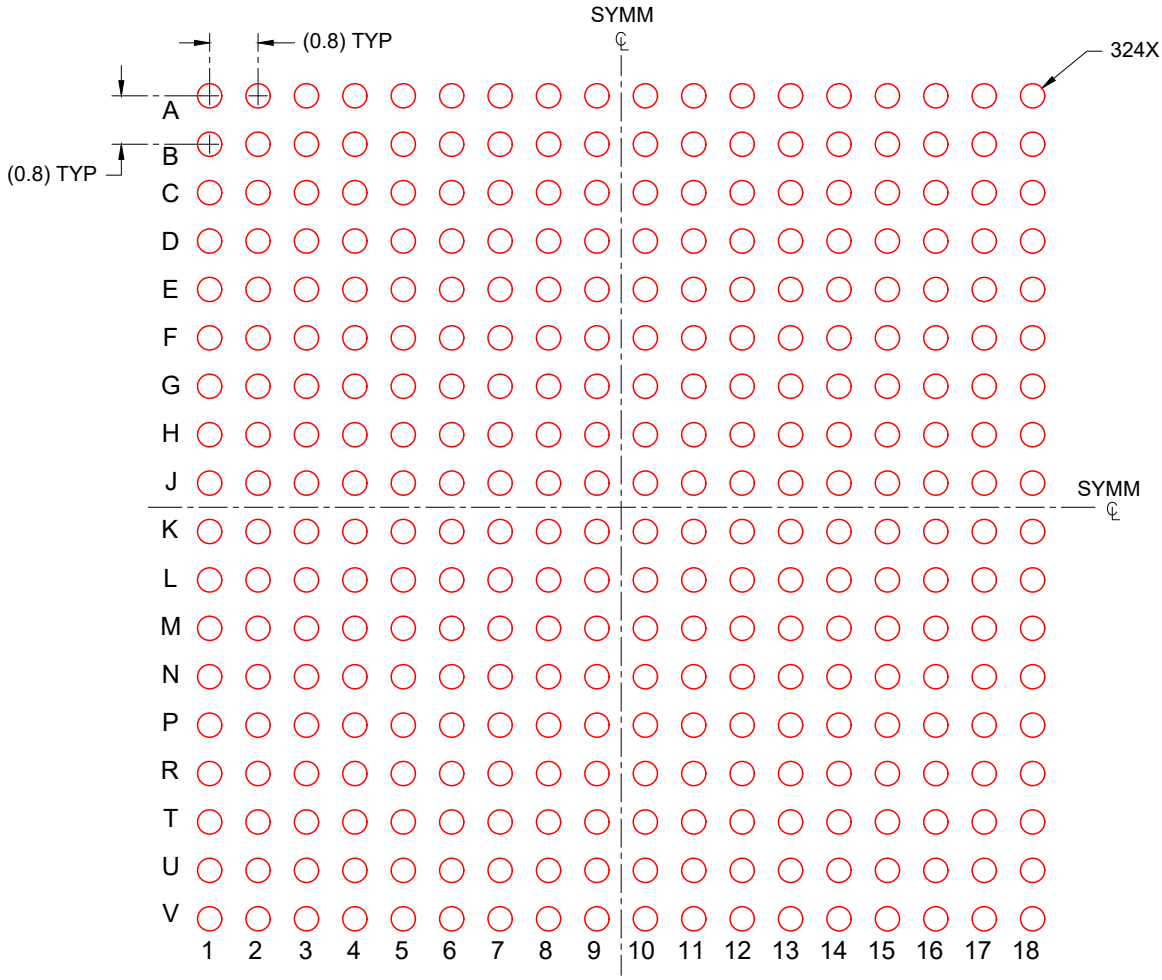
NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4226659/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月