AFEx8201 具有电压基准和诊断 ADC、适用于低功耗应用的 16 位和 14 位数模转换器 (DAC)

1 特性

- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 低静态电流：170μA（典型值）、210μA（最大值）
- 16 位或 14 位单调高性能 DAC
  - DAC 输出范围：0V 至 2.5V
  - 数字 DAC 压摆率控制
  - 16 位时为 4LSB INL
  - –40°C 至 +125°C 范围内的 TUE 为 0.07% FSR（最大值）
- 可实现高级诊断的 12 位 3.84kSPS ADC
- 集成 1.25V 基准，温漂为 10ppm/°C（最大值）
- 具有时钟输出的内部 1.2288MHz 振荡器
- 数字接口：
  - 串行外设接口 (SPI)
  - 通用异步接收器/发送器 (UART)
- 故障检测：CRC 位错误检查、窗口式看门狗计时器、诊断 ADC
- 宽工作温度范围：-55°C 至 +125°C

2 应用

- 过程控制和工业自动化
- PLC 或 DCS I/O 模块
- 3 线和 4 线制变送器
- 4mA 至 20mA 环路供电应用

3 说明

16 位 AFE88201 和 14 位 AFE78201 (AFEx8201) 是具有电压输出的高度集成、高精度、极低功耗的数模转换器 (DAC)，专为过程控制和工业自动化应用而设计。

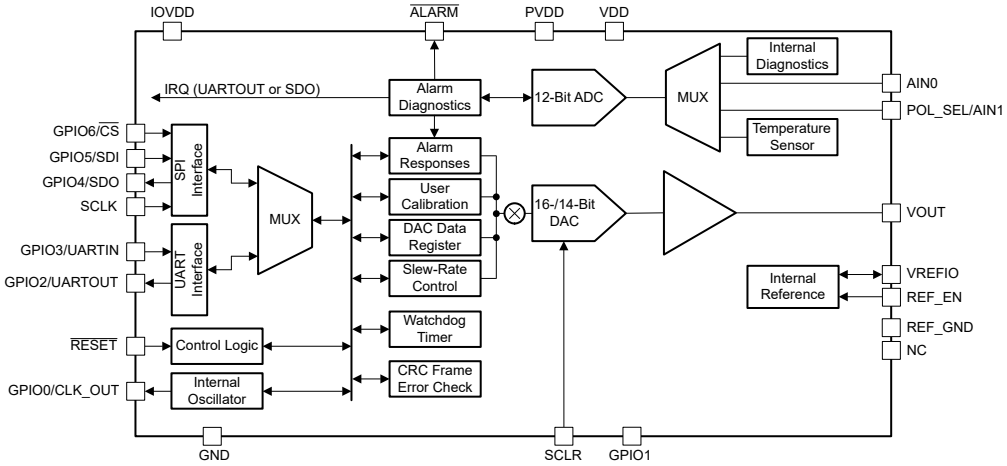
AFEx8201 器件包含了设计 4mA 至 20mA 3 线或 4 线制传感器变送器或模拟输出模块所需的大多数元件。除高精度 DAC 之外，AFEx8201 还包括一个 10ppm/°C 电压基准和一个诊断模数转换器 (ADC)。为满足本质安全和功能安全方面的要求，需要进行外部电压至电流转换和功率调节。

内部诊断 ADC 多路复用为多个内部节点，可实现自动自我运行状况检查。此检查能够检测内部偏置源、电源稳压器、电压基准、DAC 输出、芯片温度和可选外部电压源的错误或故障。如果从诊断 ADC、CRC 帧错误校验或窗口化看门狗计时器检测到任何故障，这些器件可以选择发出中断和/或进入用户指定的失效防护状态。

器件信息

器件型号	分辨率	封装(1)
AFE78201	14 位	RRU (UQFN, 24) 4.00mm × 4.00mm
AFE88201	16 位	

(1) 有关更多信息，请参阅节 11。



简化版方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 建议运行条件.... 5
5.4 热性能信息.... 5
5.5 电气特性.... 6
5.6 时序要求.... 10
5.7 时序图.... 11
5.8 典型特性：VOUT DAC.... 12
5.9 典型特性：ADC.... 17
5.10 典型特性：参考文献.... 18
5.11 典型特性：电源.... 20
6 详细说明.... 21
6.1 概述.... 21
6.2 功能方框图.... 21
6.3 特性说明.... 22
6.4 器件功能模式.... 40
6.5 编程.... 43
7 寄存器映射.... 52
7.1 AFEx8201 寄存器.... 54
8 应用和实施.... 75
8.1 应用信息.... 75
8.2 典型应用.... 76
8.3 初始化设置.... 81
8.4 电源相关建议.... 81
8.5 布局.... 82
9 器件和文档支持.... 84
9.1 文档支持.... 84
9.2 接收文档更新通知.... 84
9.3 支持资源.... 84
9.4 商标.... 84
9.5 静电放电警告.... 84
9.6 术语表.... 84
10 修订历史记录.... 85
11 机械、封装和可订购信息.... 85

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

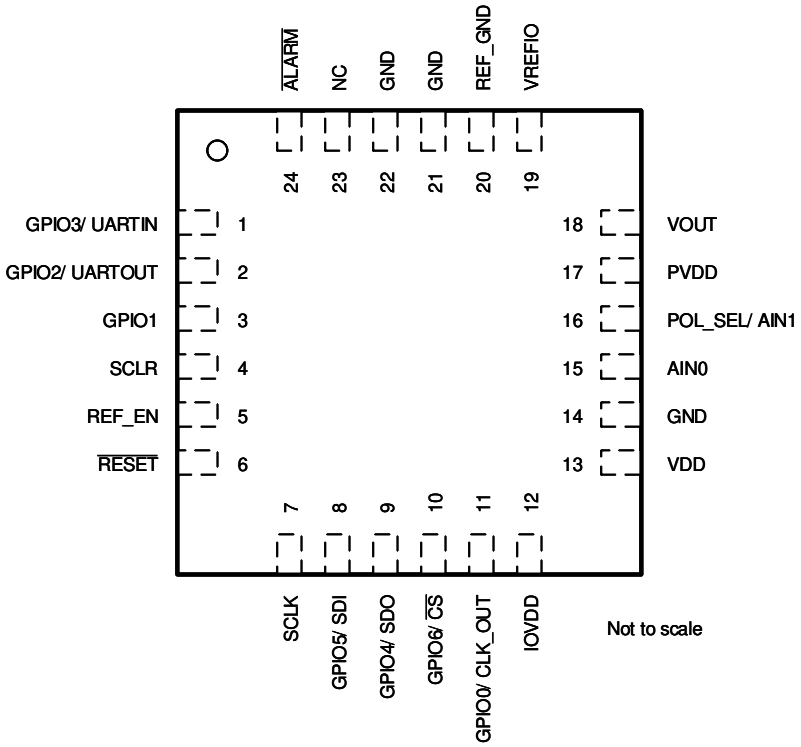


图 4-1. RRU 封装，24 引脚 UQFN（顶视图）

表 4-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
AIN0	15	AI	ADC 输入电压。输入范围为 0V 至 2 × VREF。
$\overline{\text{ALARM}}$	24	DO	警报通知引脚，开漏，低电平有效。当警报条件被置为有效时，该引脚将保持逻辑低电平；否则，该引脚将处于高阻态 (Hi-Z)。
GND	14	P	数字和模拟地。此器件上用于所有电路的接地参考点。
GND	21	P	数字和模拟地。
GND	22	P	数字和模拟地。
GPIO0/ CLK_OUT	11	DO/DI	通用输入/输出 (GPIO) 引脚。可配置为 1.2288MHz 内部时钟的时钟输出或计时器。如果未驱动，则处于高阻态。需要一个外部上拉或下拉电阻。
GPIO1	3	DO/DI	通用输入/输出 (GPIO) 引脚。如果未驱动，则处于高阻态。需要一个外部上拉或下拉电阻。
GPIO2/ UARTOUT	2	DO/DI	通用输入/输出 (GPIO) 引脚。上电时配置为 UART 数据输出。该引脚可配置为在仅 SPI 模式下用作 IRQ 引脚。如果未驱动，则处于高阻态。需要一个外部上拉或下拉电阻。
GPIO3/ UARTIN	1	DI/DO	通用输入/输出 (GPIO) 引脚。上电时配置为 UART 数据输入。连接到 IOVDD，如果未使用，则为逻辑高电平。需要一个外部上拉或下拉电阻。
GPIO4/ SDO	9	DO/DI	通用输入/输出 (GPIO) 引脚。可在 SPI 模式下配置为 SPI 数据输出。当 $\overline{\text{CS}}$ 处于低电平时，数据在 SCLK 的上升沿输出。UART 中断模式 (UBM) 下的中断请求 (IRQ) 引脚。上电时输出处于高阻态，必须在 CONFIG 寄存器中启用。需要一个外部上拉或下拉电阻。
GPIO5/ SDI	8	DI/DO	通用输入/输出 (GPIO) 引脚。上电时配置为 SPI 数据输入。数据在串行时钟输入的下降沿传入 24 位输入移位寄存器。SDI 是施密特触发逻辑输入。需要一个外部上拉或下拉电阻。
GPIO6/ $\overline{\text{CS}}$	10	DI/DO	通用输入/输出 (GPIO) 引脚。上电时配置为 SPI 片选输入。当 $\overline{\text{CS}}$ 为低电平时，数据位会在时钟控制下进入串行移位寄存器。当 $\overline{\text{CS}}$ 为高电平时，SDO 处于高阻态，SDI 上的数据将被忽略。需要一个外部上拉或下拉电阻。
IOVDD	12	P	接口电源。数字输入和输出电路的电源电压。该电压可设置数字接口的逻辑阈值。

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	说明
名称	编号		
NC	23	—	必须保持未连接状态。
POL_SEL/ AIN1	16	DI/AI	如果 SPECIAL_CFG.AIN1_ENB 位设置为 1，则为 ADC 输入电压。输入范围为 0V 至 2 × VREF。否则，该引脚用作 ALMV_POL，用于设置 VOUT 警报电压的极性。
PVDD	17	P	内部低压降稳压器 (LDO)、ADC 输入和 VOUT DAC 输出的电源。
REF_EN	5	DI	内部 VREF 使能输入。该引脚上的逻辑高电平会启用内部 VREF 和 VREFIO 引脚输出 1.25V。该引脚上的逻辑低电平会禁用内部 VREF，并且 VREFIO 引脚上需要 1.25V 外部基准。
REF_GND	20	P	VREFIO 引脚的 GND 基准。
$\overline{\text{RESET}}$	6	DI	复位引脚，低电平有效。该引脚上的逻辑低电平会关闭内部振荡器并使器件复位。逻辑高电平将使器件恢复正常运行。请勿将任何数字引脚悬空。
SCLK	7	DI	SPI 时钟。数据的传输速率高达 12.5MHz。SCLK 是施密特触发逻辑输入。连接到 GND，如果未使用，则为逻辑低电平。请勿将任何数字引脚悬空。
SCLR	4	DI	SPI 模式下的 DAC 清除输入引脚。该引脚上的逻辑高电平会强制 DAC 输出进入清除状态。在 UBM 下连接到 GND。请勿将任何数字输入引脚悬空。
VDD	13	P/AO	内部低电压 LDO 输出。当 PVDD 引脚上提供 2.7V 至 5.5V 电压时，内部 LDO 将启用。在该引脚上连接一个 1 μF 至 10 μF 电容器。
VOUT	18	AO	DAC 输出电压。
VREFIO	19	AI/AO	当内部 VREF 由 REF_EN 引脚启用后，该引脚会输出内部 VREF 电压。在这种情况下，需要 70nF 至 130nF 的负载电容才能实现稳定性。禁用后，该引脚作为外部 1.25V 基准输入。

(1) AI = 模拟输入，AO = 模拟输出，DI = 数字输入，DO = 数字输出，P = 电源。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
	电压	PVDD、IOVDD 至 GND	-0.3	5.5	V
		VDD 至 GND	-0.3	1.98	V
		AIN0、POL_SEL/AIN1、VOUT 至 GND	-0.3	PVDD + 0.3	V
		数字输入/输出至 GND	-0.3	IOVDD + 0.3	V
		VREFIO 至 GND	-0.3	VDD + 0.3	V
		REF_GND 至 GND	-0.3	0.3	V
	到任一引脚的输入电流		-10	10	mA
T_J	结温		-55	150	°C
T_{stg}	贮存温度		-65	150	

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件之外*但又在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚[(1)]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
	PVDD 至 GND		2.7		5.5	V
	VDD 至 GND		1.71		1.89	V
	IOVDD 至 GND		1.71		5.5	V
	VREFIO 至 GND，外部 VREF		1.2	1.25	1.3	V
T_A	环境温度	额定值	-40		125	°C
		工作	-55		125	°C

5.4 热性能信息

热指标[1]		AFEx8201 RRU (UQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	103.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	84.4	°C/W
$R_{\theta JC(bottom)}$	结至外壳（底部）热阻	不适用	°C/W
$R_{\theta JB}$	结至电路板热阻	69.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	68.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告。

5.5 电气特性

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
VOUT DAC 静态性能						
	分辨率	AFE88201	16			位
		AFE78201	14			
INL	积分非线性[(1)]	AFE88201，T_A = -40°C 至 +125°C	-12		12	LSB
		AFE88201，T_A = -40°C 至 +85°C	-4		4	
		AFE78201	-3		3	
DNL	微分非线性[(1)]		-1		1	LSB
TUE	总体未调整误差[(1)]	T_A = -40°C 至 +125°C	-0.1		0.1	%FSR
		T_A = -40°C 至 +85°C	-0.08		0.08	
		T_A = 25°C	-0.05		0.05	
	零代码误差，空载	T_A = -40°C 至 +125°C			1	mV
		T_A = -40°C 至 +85°C			1	
		T_A = 25°C			0.5	
	零代码误差温度系数			±3		ppm/°C
	偏移误差[(1)]	T_A = -40°C 至 +125°C	-0.07		0.07	%FSR
		T_A = -40°C 至 +85°C	-0.05		0.05	
		T_A = 25°C	-0.03		0.03	
	偏移误差温度系数 [(1)]			±3		ppm/°C
	增益误差[(1)]	T_A = -40°C 至 +125°C	-0.1		0.1	%FSR
		T_A = -40°C 至 +85°C	-0.08		0.08	
		T_A = 25°C	-0.05		0.05	
	增益误差温度系数[(1)]			±3		ppm FSR/°C
	满量程误差	T_A = -40°C 至 +125°C	-0.1		0.1	%FSR
		T_A = -40°C 至 +85°C	-0.08		0.08	
		T_A = 25°C	-0.05		0.05	
	满量程误差温度系数			±3		ppm FSR/°C
VOUT DAC 动态性能						
t_s	输出电压稳定时间	¼ 至 ¾ 标度和 ¾ 至 ¼ 标度趋稳至 ±2 LSB		65		µs
		10mV 阶跃趋稳至 ±2 LSB		30		
	压摆率	10% 至 90% 范围测量的满量程转换		30		mV/µs
V_n	输出噪声	0.1Hz 至 10Hz，DAC 处于中标度		0.25		LSBpp
		100kHz 带宽，DAC 处于中标度		32		µVrms
V_n	输出噪声密度	1kHz 下测得，DAC 处于中标度，PVDD = 3V		180		nV/√Hz
		1kHz 下测得，DAC 处于中标度，PVDD = 5V		260		
	电源抑制比（交流）	200mV 50Hz 或 60Hz 正弦波叠加在电源电压上，DAC 处于中标度。		85		dB
	代码变化干扰脉冲	中间码 ±1 LSB（包括馈通）		4.5		nV-s
	代码变化干扰幅度	中间码 ±1 LSB（包括馈通），PVDD = 5V		1.5		mV
	数字馈通	SCLK = 1MHz，DAC 输出处于中标度		1		nV-s

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
VOUT DAC 输出特性						
	输出电压		0		2.5	V
	VOUT 警报输出高电平		2.35	2.5	2.65	V
	VOUT 警报输出低电平		0.285	0.3	0.315	V
R_{LOAD}	阻性负载(2)		10			kΩ
C_{LOAD}	容性负载(2)				100	pF
	负载调整率	DAC 处于中标度，-1mA ≤ I_{OUT} ≤ +1mA		10		μV/mA
	短路电流	满量程输出短接至 GND		5		mA
		零输出短接至 VDD		5		
	输出电压余量（至 PVDD）	DAC 处于完整代码，I_{OUT} = 1mA（拉电流）	200			mV
Z_O	大信号输出直流阻抗	至 GND，DAC 处于代码 0		60		Ω
		DAC 处于中标度		10		mΩ
		DAC 处于代码 65535		10		
		输出高阻态		500		kΩ
	电源抑制比（直流）	DAC 处于中标度		0.1		mV/V
	输出电压漂移与时间间的关系，理想 VREF	T_A = 35°C，VOUT = 中标度，1000 小时		±5		ppmFSR
诊断 ADC						
	输入电压		0		2.5	V
	分辨率			12		位
DNL	微分非线性	指定的 12 位单调	-1	±0.2	1	LSB
INL	积分非线性		-4	±1	4	LSB
	偏移误差	校准后	-10	±1.6	10	LSB
	增益误差		-0.8	±0.13	0.8	%FSR
	噪声			±4		LSB
	输入电容			6		pF
	输入偏置电流	ADC 未在转换	-50		50	nA
	采集时间			52		μs
	转换时间			210		μs
	转换速率				3.84	kSPS
	温度传感器精度			5		°C
内部振荡器						
	频率	T_A = -40°C 至 +125°C	1.2165	1.2288	1.2411	MHz

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电压基准输入						
Z_{VREFIO}	基准输入阻抗 (VREFIO)			125		kΩ
C_{VREFIO}	基准输入电容 (VREFIO)			100		pF
电压基准输出						
	输出（初始精度）(3)	T_A = 25°C	1.248	1.25	1.252	V
	输出漂移(3)	T_A = -40°C 至 +125°C			10	ppm/℃
	输出阻抗(3)			0.1		Ω
	输出噪声(3)	0.1Hz 至 10Hz		7.5		μV_{PP}
	输出噪声密度(3)	在 10kHz 下测得，基准负载 = 100nF		200		nV/√Hz
	负载电流(3)	拉电流，VREF 与标称值相差 0.1%		2.5		mA
		灌电流，VREF 与标称值相差 0.1%			0.3	
	负载调整率(3)	拉电流，0mA 至 2.5mA		4		μV/mA
C_{OUT}	稳定输出电容	T_A = -40°C 至 +125°C，ESR 为 10mΩ 至 400mΩ	70	100	130	nF
	线性调整率(3)			100		μV/V
	输出电压漂移与时间间的关系(3)	T_A = 35°C，1000 小时		±100		ppm
	热滞后(3)	第一个周期		500		μV
		附加周期		25		μV
VDD 稳压器输出						
	输出电压		1.71	1.8	1.89	V
	输出阻抗(3)	拉电流，0.5mA 至 2.5mA		3		Ω
	负载电流(3)	拉电流，VDD 与标称值相差 1%		4		mA
过热警报						
	警报跳变点			130		°C
	警告跳变点			85		°C
	迟滞			12		°C
	跳变点绝对精度			5		°C
	跳变点相对精度			2		°C
数字输入特性						
V_{IH}	高电平输入电压		0.7			V/IOVDD
V_{IL}	低电平输入电压				0.3	V/IOVDD
	迟滞电压		0.05			V/IOVDD
	输入电流		-1.56		1.56	μA
	引脚电容	每引脚		10		pF
数字输出特性						
V_{OH}	高电平输出电压	I_{SOURCE} = 1mA	0.8			V/IOVDD
V_{OL}	低电平输出电压	I_{SINK} = 1mA			0.2	V/IOVDD
V_{OL}	开漏低电平输出电压	I_{SINK} = 2mA			0.3	V
	输出引脚电容			10		pF

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源要求						
I_{PVDD}	流入 PVDD 的电流	DAC 处于零标度，SPI 静态		170	210	μA
I_{REFIO}	内部基准流耗			52	70	μA
I_{ADC}	ADC 电流消耗	ADC 转换速度为 3.84kSPS		10		μA
C_{VDD}	建议的 VDD 去耦电容		1		10	μF
I_{IOVDD}	流入 IOVDD 的电流	SPI 静态		10	25	μA
I_{VREFIO}	流入 VREFIO 的电流	DAC 处于中标度代码		10		μA

(1) 端点适合 16 位的代码 512 至代码 65,535 或 14 位的代码 128 至代码 16,383，DAC 输出空载，阻性和容性负载条件下的性能由设计和特性确定。
(2) 未经生产测试。设计目标。
(3) 未经生产测试。源自特性数据。

5.6 时序要求

所有输入信号都在 $t_R = t_F$ = 1ns/V 时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始，2.7V ≤ PVDD ≤ 5.5V，V_{IH} = 1.62V，V_{IL} = 0.15V，VREFIO = 1.25V，且 T_A = -40°C 至 +125°C（除非另有说明）

参数		最小值	标称值	最大值	单位
串行接口 - 写入和读取操作					
f_{SCL}	串行时钟频率			12.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	36			ns
t_{SCLLOW}	SCLK 低电平时间	36			ns
t_{CSHIGH}	$\overline{CS}$ 高电平时间	80			ns
t_{CSS}	$\overline{CS}$ 到 SCLK 下降沿建立时间	30			ns
t_{CSH}	SCLK 下降沿到 $\overline{CS}$ 上升沿	30			ns
t_{CSRI}	$\overline{CS}$ 下降沿至 SCLK 下降沿忽略	30			ns
t_{CSFI}	SCLK 下降沿忽略至 $\overline{CS}$ 下降沿	5			ns
t_{SDIS}	SDI 建立时间	5			ns
t_{SDIH}	SDI 保持时间	5			ns
t_{SDOZD}	$\overline{CS}$ 下降沿至 SDO 三态条件至被驱动			40	ns
t_{SDODZ}	$\overline{CS}$ 上升沿至 SDO 被驱动至三态条件			40	ns
t_{SDODLY}	SCLK 至 SDO 输出延迟			40	ns
UART					
$t_{BAUDUART}$	波特率 = 9600 ±1%		104		µs
数字逻辑					
$t_{DACWAIT}$	顺序 DAC 更新等待时间	2.1			µs
t_{POR}	POR 复位延迟			100	µs
t_{RESET}	$\overline{RESET}$ 脉冲持续时间	100			ns
$t_{RESETWAIT}$	$\overline{RESET}$ 脉冲后的等待时间	10			µs
t_{PULSE_GPIO}	GPIO 输入脉冲持续时间	10			ns

Copyright © 2024 Texas Instruments Incorporated

5.7 时序图

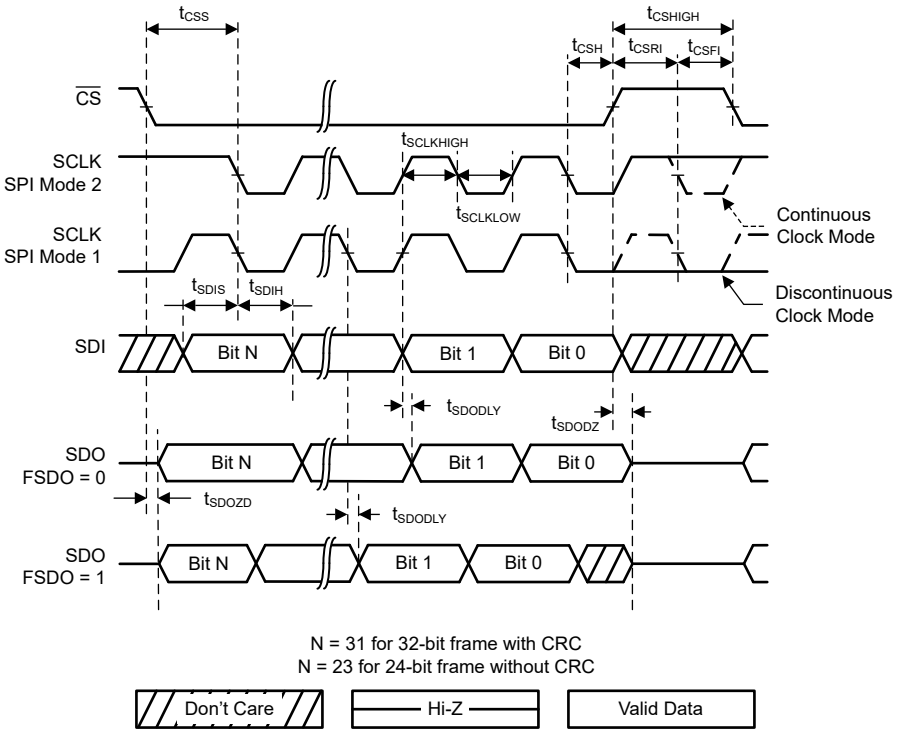


图 5-1. SPI 时序

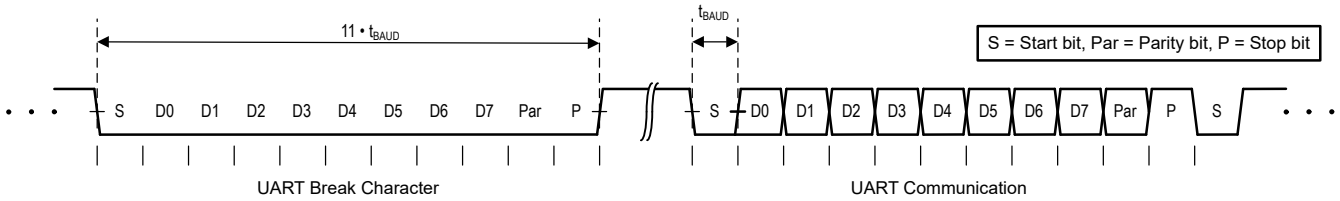


图 5-2. UBM 时序

5.8 典型特性：VOUT DAC

T_A = 25°C，PVDD = 2.7V，IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

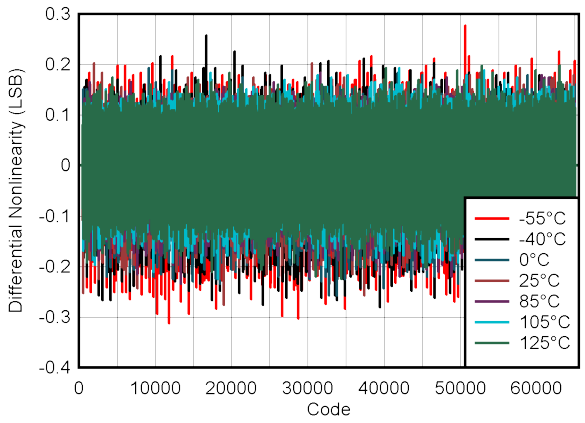


图 5-3. DAC DNL 与数字输入代码间的关系

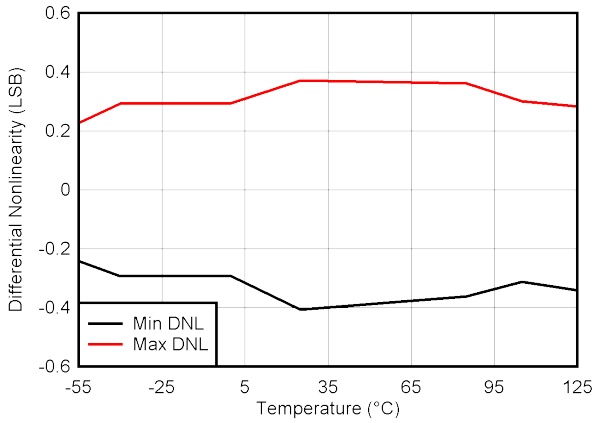


图 5-4. 最小和最大 DAC DNL 范围与温度间的关系

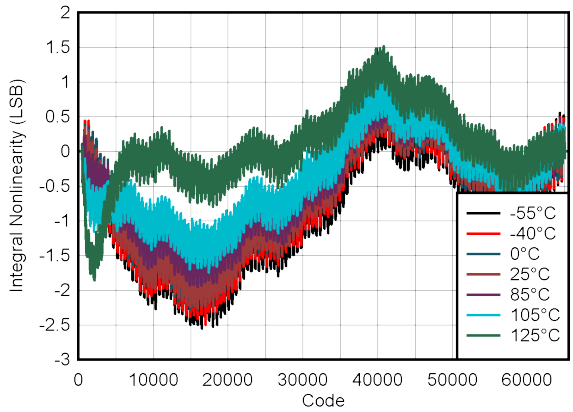


图 5-5. DAC INL 与数字输入代码间的关系

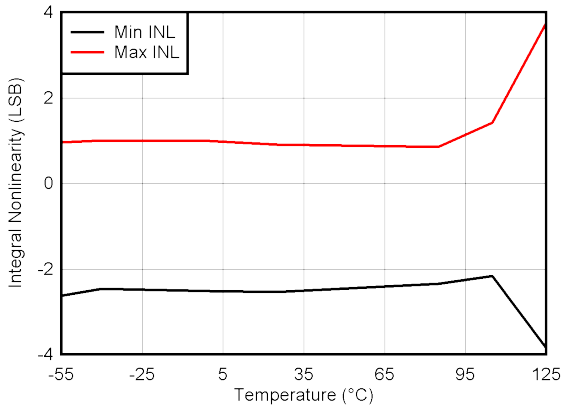


图 5-6. 最小和最大 DAC INL 范围与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性：VOUT DAC （续）

T_A = 25°C，PVDD = 2.7V，IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

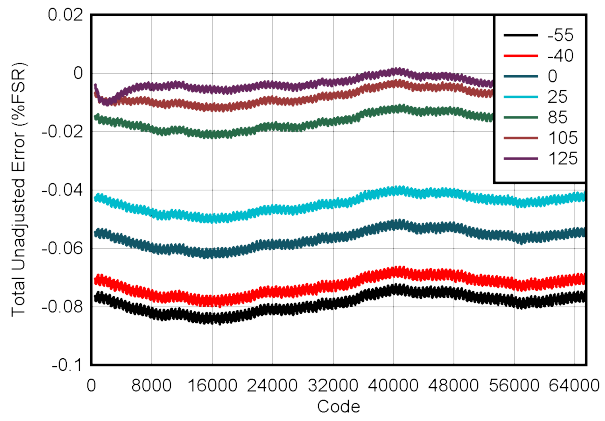


图 5-7. DAC TUE 与数字输入代码间的关系

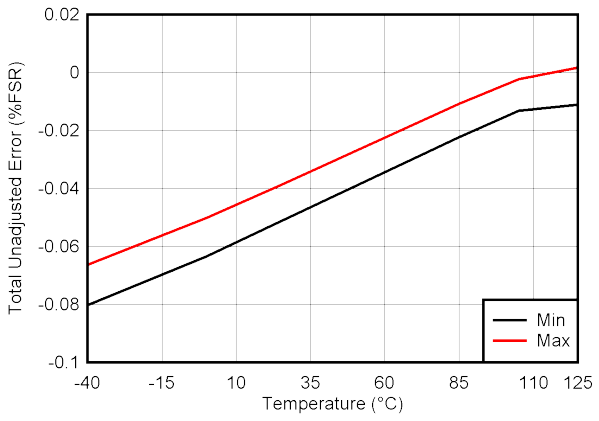


图 5-8. 最小和最大 DAC TUE 与温度间的关系

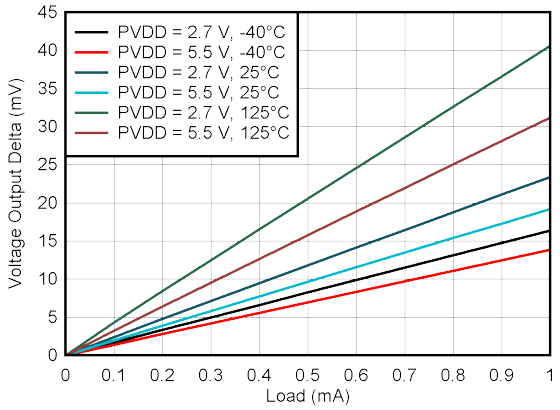


图 5-9. 零代码阻抗

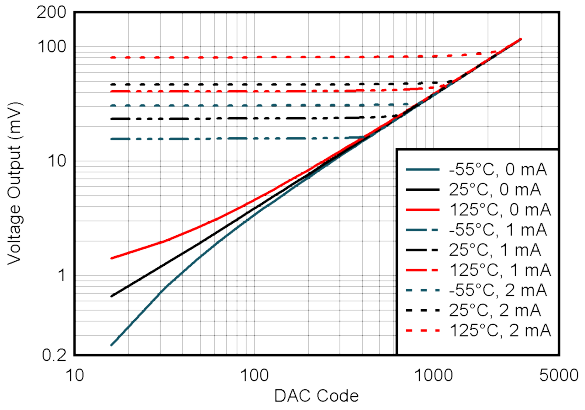
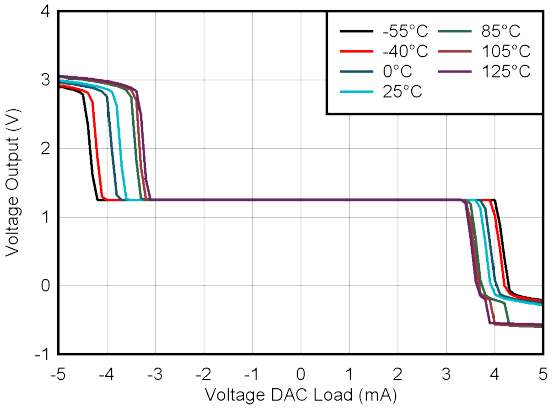
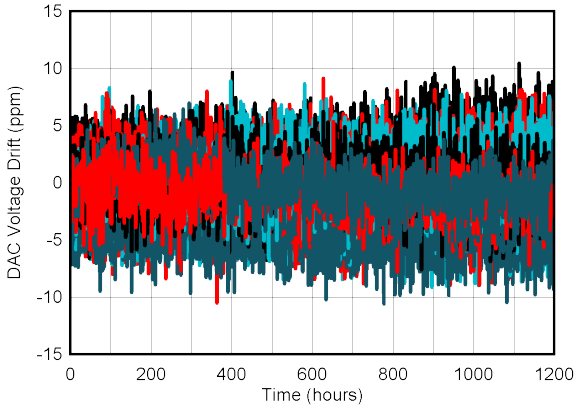


图 5-10. DAC 下余量与温度和负载间的关系



DAC 处于中间码

图 5-11. DAC 拉电流和灌电流能力

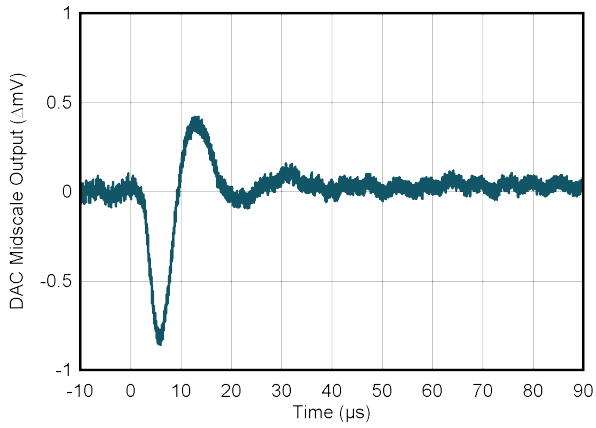


理想基准

图 5-12. DAC 输出电压长期稳定性

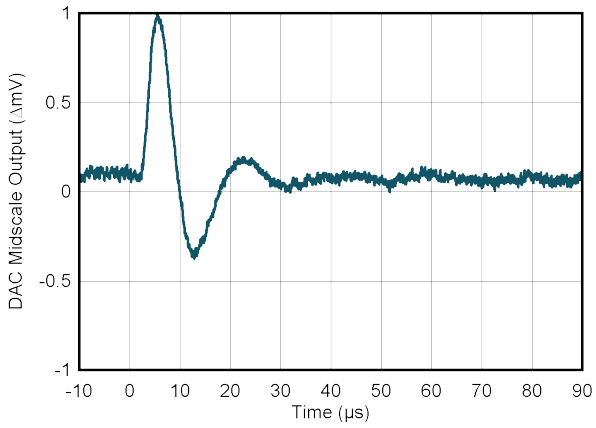
5.8 典型特性：VOUT DAC （续）

T_A = 25°C，PVDD = 2.7V，IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



PVDD = 5.5V

图 5-13. DAC 干扰脉冲上升沿



PVDD = 5.5V

图 5-14. DAC 干扰脉冲下降沿

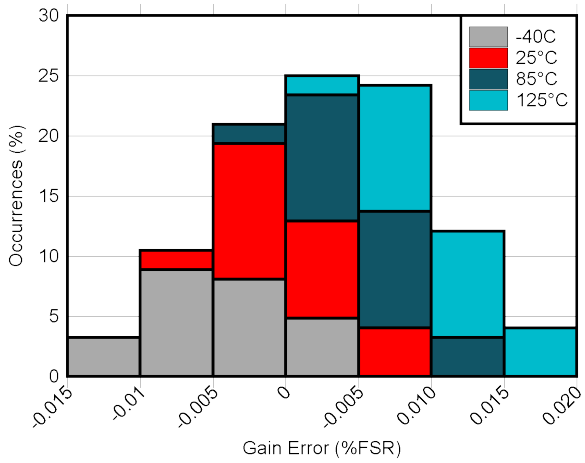


图 5-15. DAC 增益误差与温度间的关系

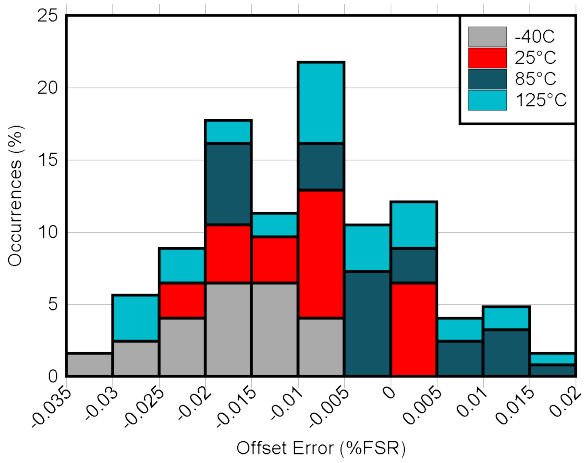


图 5-16. DAC 偏移误差与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性：VOUT DAC （续）

T_A = 25°C，PVDD = 2.7V，IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

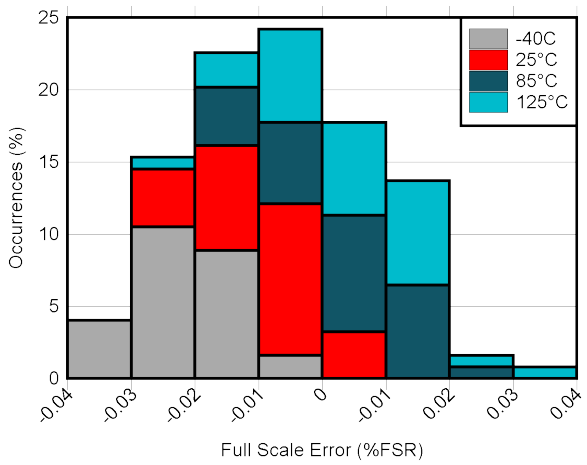


图 5-17. DAC 满量程误差与温度间的关系

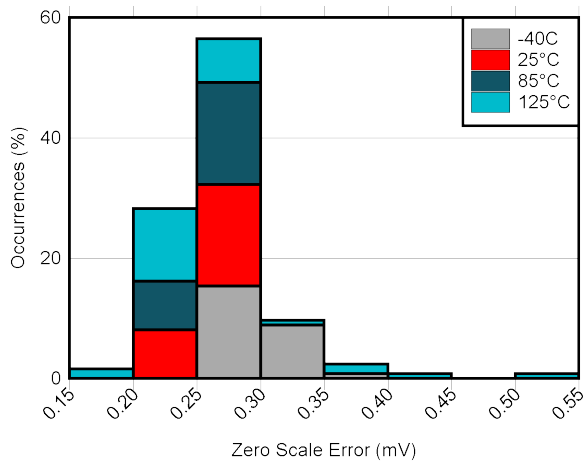
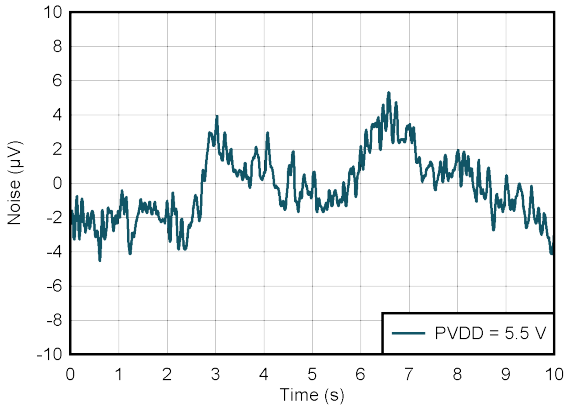
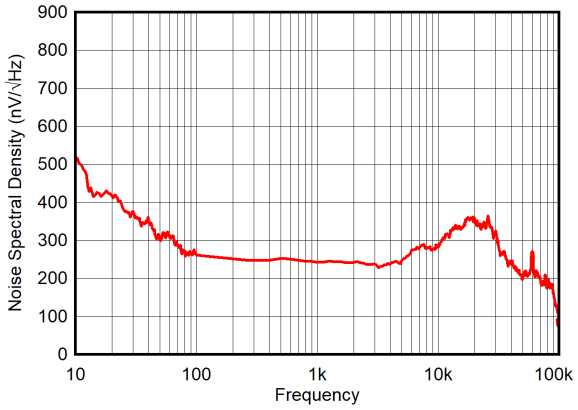


图 5-18. DAC 零标度误差与温度间的关系



DAC 处于中间码　　PVDD = 5.5V

图 5-19. DAC 输出噪声，0.1Hz 至 10Hz



DAC 处于中间码　　PVDD = 5.5V

图 5-20. DAC 输出噪声密度与频率间的关系

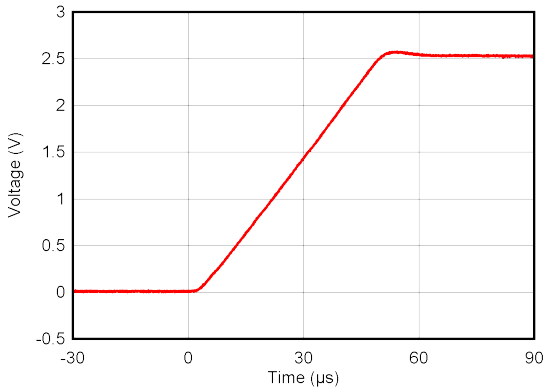


图 5-21. DAC 上升建立时间

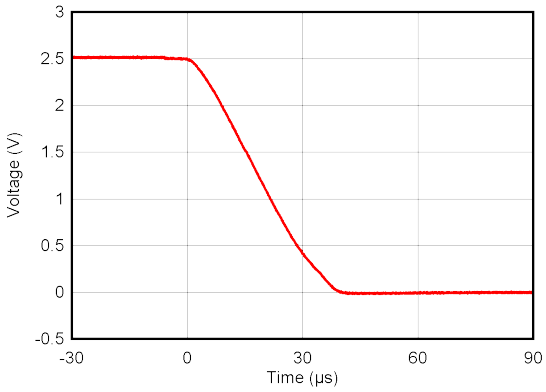


图 5-22. DAC 下降建立时间

5.8 典型特性：VOUT DAC （续）

T_A = 25°C，PVDD = 2.7V，IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

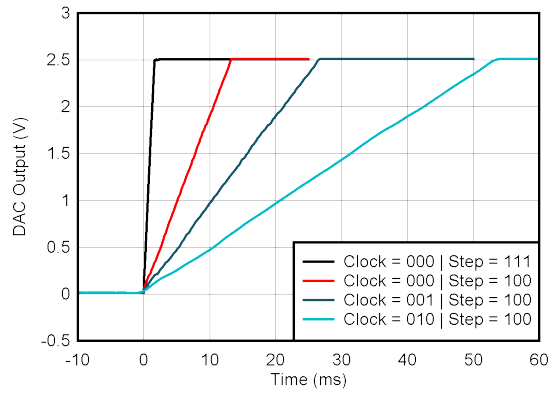


图 5-23. 采用线性压摆率控制功能的 DAC 建立时间

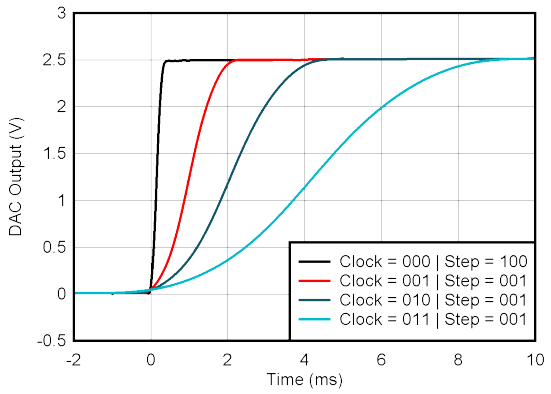


图 5-24. 采用正弦压摆率控制功能的 DAC 建立时间

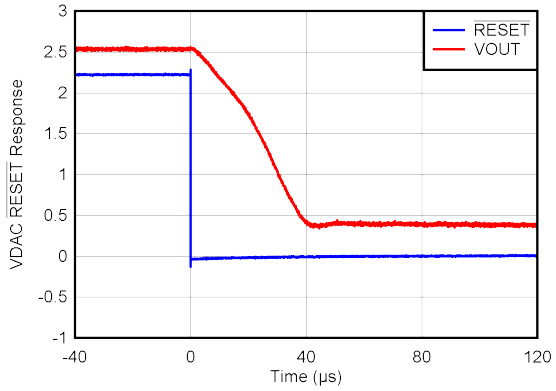


图 5-25. DAC $\overline{\text{RESET}}$ 响应

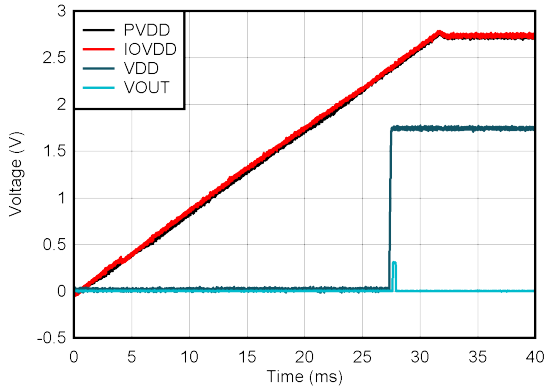
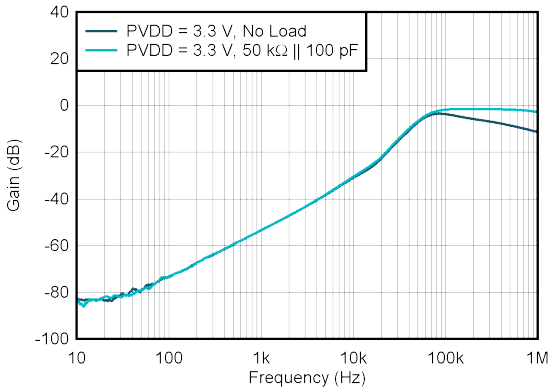


图 5-26. DAC 电源上电，PVDD = 2.7V



内部基准

图 5-27. DAC 交流 PSRR 与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性：ADC

T_A = 25°C，PVDD = 3.3V，IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

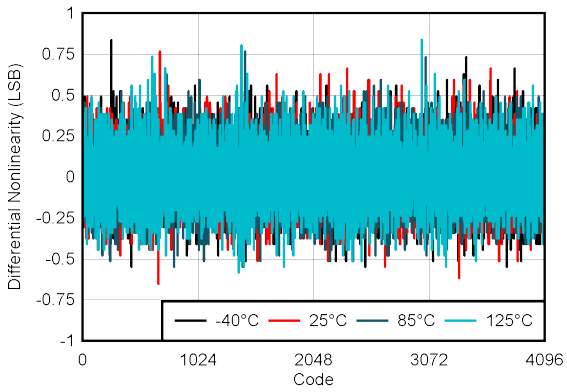


图 5-28. ADC DNL 与数字输入代码间的关系

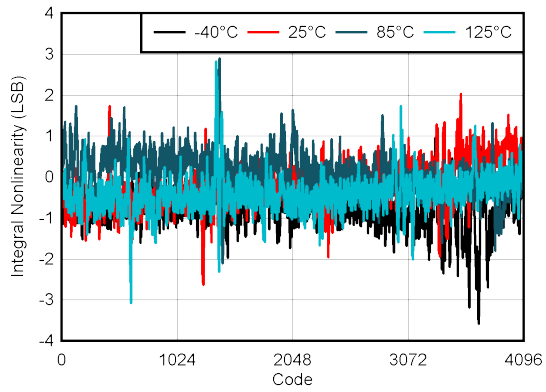


图 5-29. ADC INL 与数字输入代码间的关系

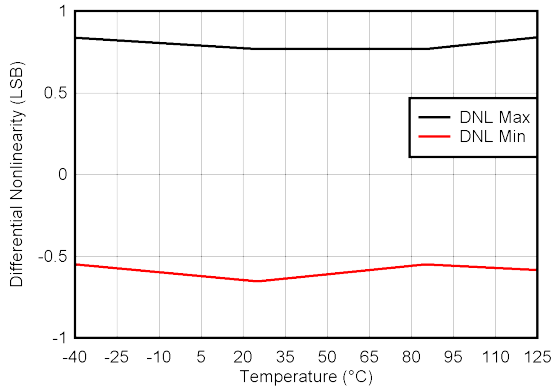


图 5-30. ADC DNL 范围与温度间的关系

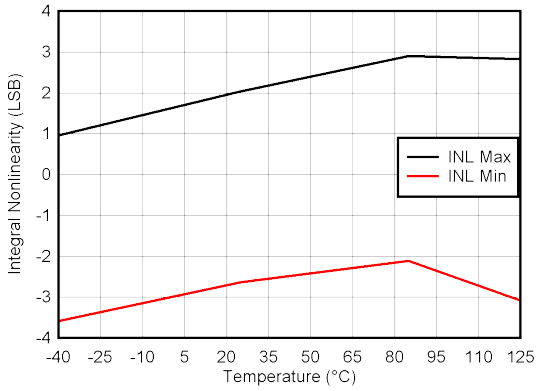


图 5-31. ADC INL 范围与温度间的关系

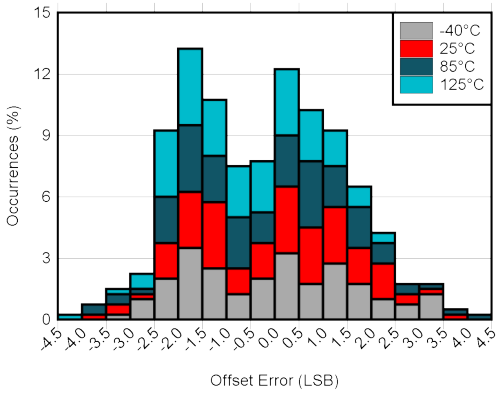


图 5-32. ADC 偏移误差与温度间的关系

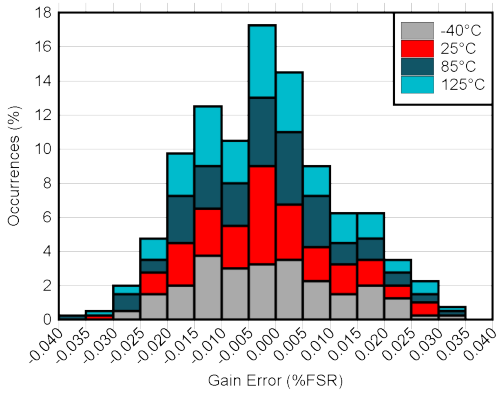
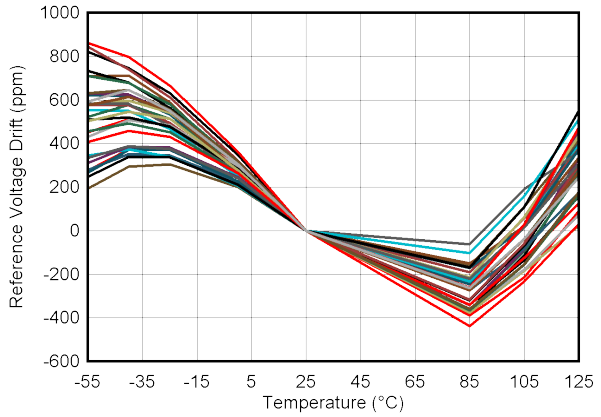


图 5-33. ADC 增益误差与温度间的关系

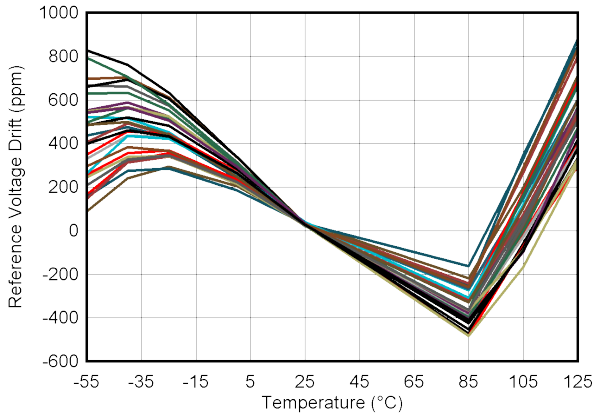
5.10 典型特性：参考文献

T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



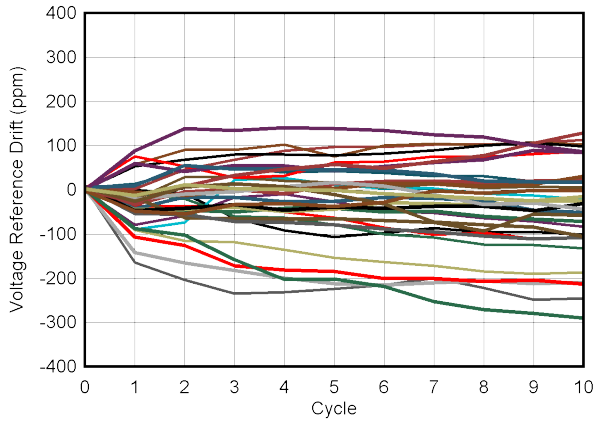
预焊　　30 个单元

图 5-34. 基准电压温漂



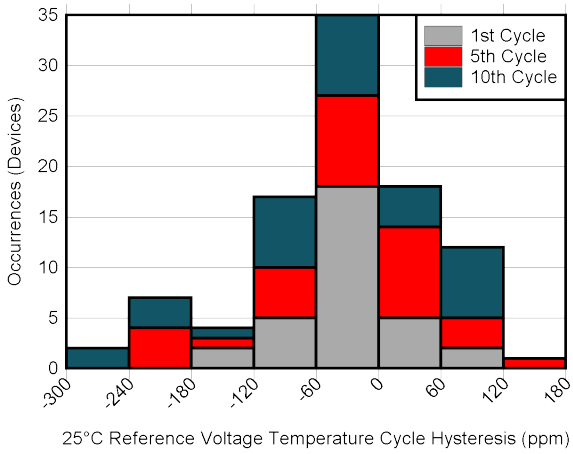
后焊　　30 个单元

图 5-35. 基准电压温漂



-40°C 至 +85°C 循环，每个循环 60 分钟，30 个单位

图 5-36. 多温度循环迟滞



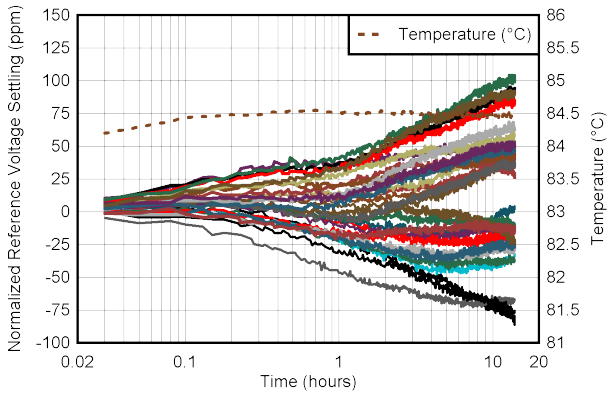
-40°C 至 +85°C 循环，每个循环 60 分钟

图 5-37. 多温度循环迟滞

Copyright © 2024 Texas Instruments Incorporated

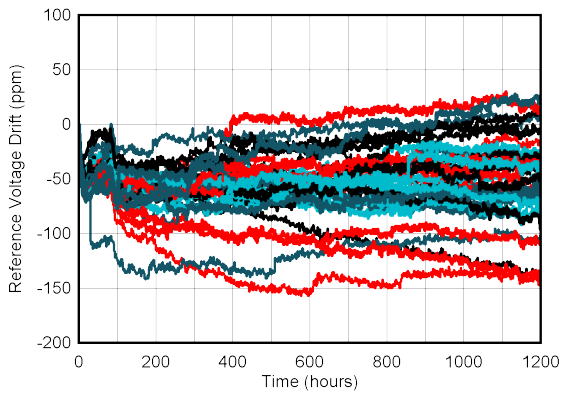
5.10 典型特性：参考文献（续）

T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



25°C 至 85°C 温度阶跃后两分钟，30 个单位

图 5-38. 环境温度变化稳定



30 个单元

图 5-39. 基准电压长期稳定性

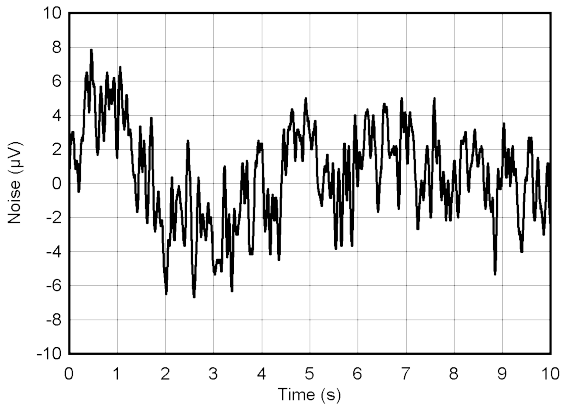


图 5-40. 基准输出噪声，0.1Hz 至 10Hz

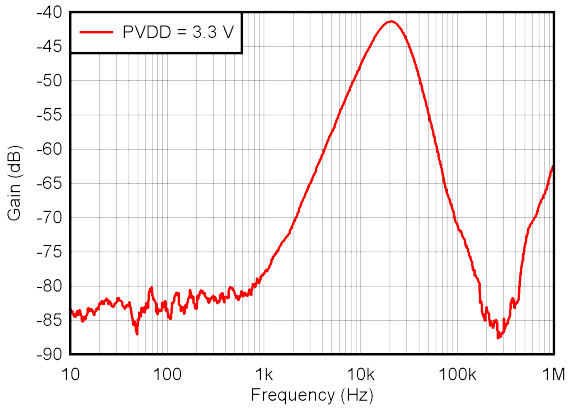


图 5-41. 基准交流 PSRR 与频率间的关系

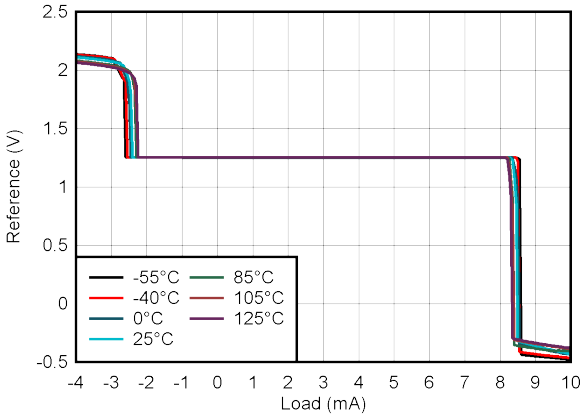


图 5-42. 基准拉电流和灌电流能力

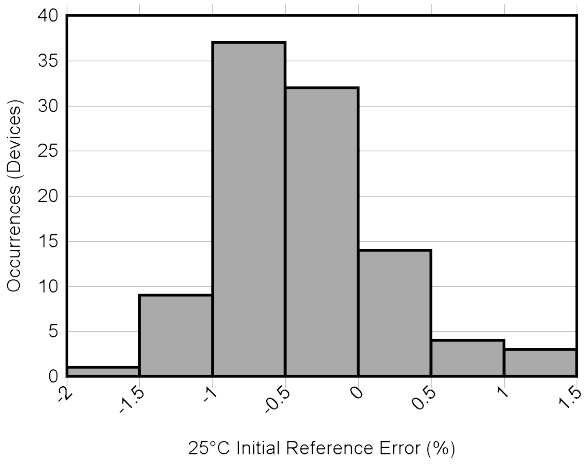


图 5-43. 初始精度分布

5.11 典型特性：电源

T_A = 25°C，PVDD = IOVDD = 3.3V，内部 VREFIO，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

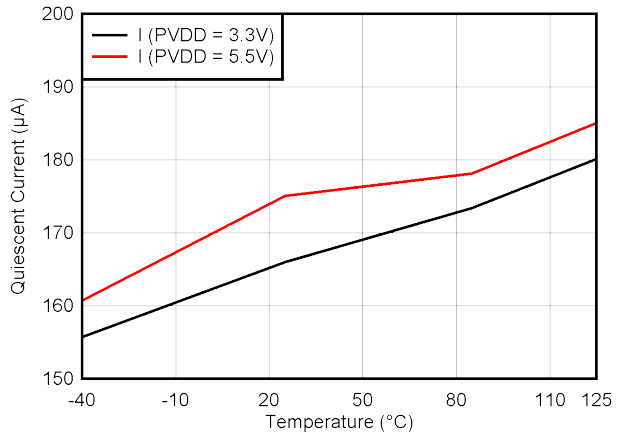


图 5-44. PVDD 电源电流与温度间的关系

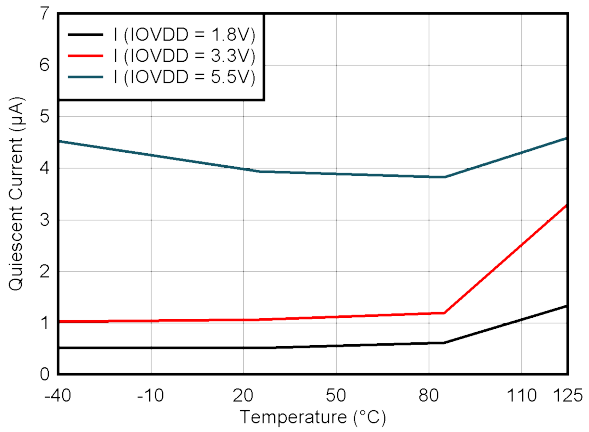


图 5-45. IOVDD 电源电流与温度间的关系

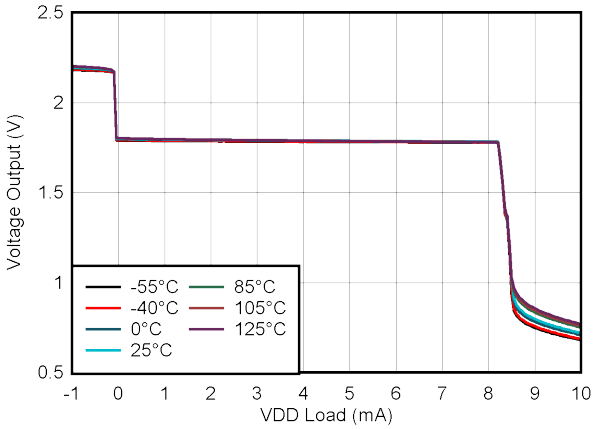


图 5-46. VDD 电压与负载电流间的关系

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

AFEx8201 具备带有电压输出缓冲器的 16 位 (AFE88201) 或 14 位 (AFE78201) 串式 DAC。这两款器件均具有缓冲电压输出，旨在用于三线或四线制传感器变送器或模拟输出模块。该 DAC 具有校准寄存器，用于设置增益和偏移值以调整 DAC 输出。该 DAC 还具有不同的输出转换模式，这些模式支持可编程线性转换和正弦形输出转换。

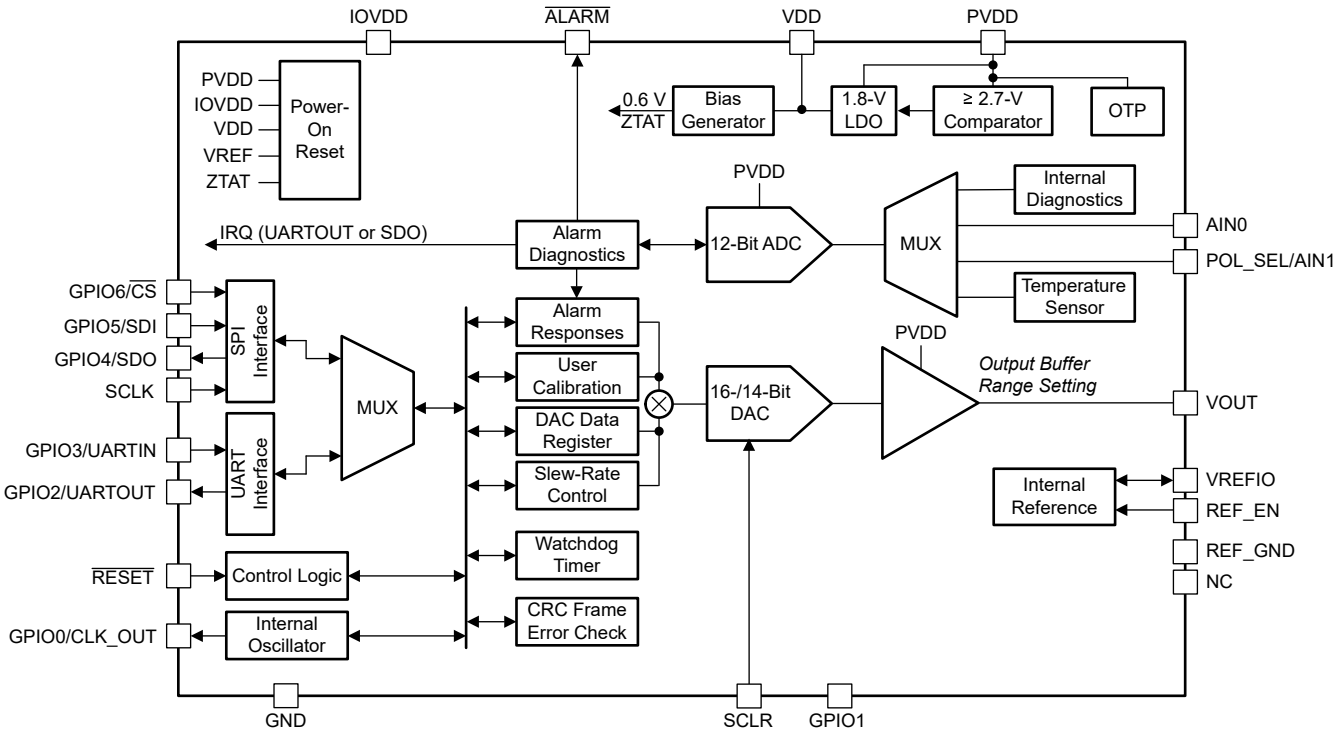
AFEx8201 还有一个 12 位 SAR ADC 可进行多路复用以测量不同输入，包括用于对器件进行诊断测量的外部节点和内部节点。该 ADC 能够通过按需转换进行直接模式测量，或通过使用通道序列发生器和多路复用器进行连续转换来进行自动模式测量。这些器件具有支持故障检测和警报操作的可选警报配置。

器件通过 SPI 或通过 UART 中断模式 (UBM) 进行通信和编程。使用 SPI 时，默认会实施循环冗余校验 (CRC)，但可以禁用该校验。此外，还可以通过看门狗计时器 (WDT) 来监控通信。WDT 会在器件对定期通信没有响应时提醒用户。

AFEx8201 具有 1.25V 板载精密电压基准和集成精密振荡器。

在本数据表中，寄存器和位名称与一个句点组合在一起形成以下格式：<register_name>.<bit_name>。例如，DAC_CFG 寄存器中的 CLR 位标记为 DAC_CFG.CLR。

6.2 功能方框图



6.3 特性说明

6.3.1 数模转换器 (DAC) 概述

AFEx8201 包含 16 位 (AFE88201) 或 14 位 (AFE78201) 串式 DAC 和随后的输出电压缓冲器。通过使用外部电路，该器件的输出电压可以转换为不同的输出电压和输出电流，以便用于 3 线或 4 线制传感器变送器或模拟输出模块。DAC 配置为支持 0V 至 2.5V 的工作电压范围。当 PVDD 超过 2.7V 至 5.5V 的有效配置范围时，将触发警报功能；另请参阅表 6-5。

6.3.1.1 DAC 电阻串

如图 6-1 所示，电阻串结构包含一系列电阻，每个电阻的阻值为 R。载入 DAC 的代码确定了在电阻串上的哪个节点将电压分接至输出放大器。分接电压的方法是闭合其中一个将电阻串连接到放大器的开关。电阻串架构具有固有的单调性、电压输出和低干扰。

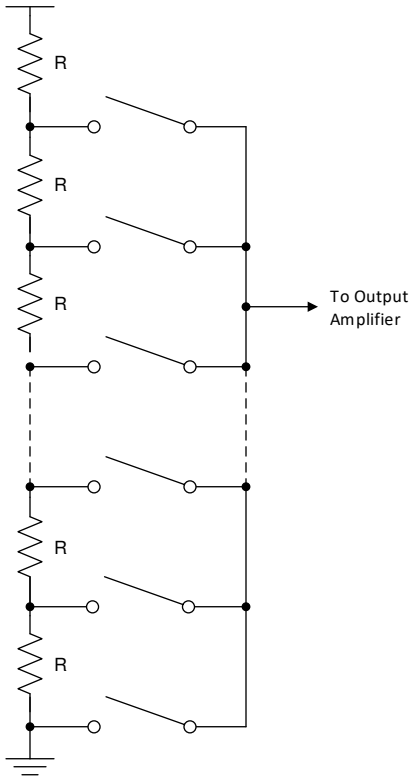


图 6-1. DAC 电阻串

6.3.1.2 DAC 缓冲器放大器

VOUT 输出引脚由 DAC 输出缓冲器放大器驱动。输出放大器的默认设置可以驱动高达 100pF 的容性负载而不出现振荡。输出缓冲器支持 1mA 的拉电流和灌电流。该器件针对瞬时输出接地短路和对 VDD 电源短路提供了短路保护。拉电流和灌电流短路电流阈值设置为 5mA。

Copyright © 2024 Texas Instruments Incorporated

6.3.1.3 DAC 传递函数

以下公式描述了 DAC 传递函数，即内部信号 DAC_CODE 与输出电压 VOUT 之间的关系：

$$\mathrm{VOUT} = \frac{\mathrm{DAC_CODE}}{2^{\mathrm{N}}} \times \mathrm{FSR} \tag{1}$$

其中

- DAC_CODE 是一个内部信号，是加载到 DAC_DATA 寄存器中的增益和偏移校准二进制代码的十进制等效值。DAC_CODE 范围 = 0 至 2^N – 1。
- N = DAC_CODE 分辨率，以位数表示（AFE88201 为 16 位，AFE78201 为 14 位）。
- FSR = VOUT 满标量程 = 2.5V。

6.3.1.4 DAC 增益和偏移校准

AFEx8201 提供 DAC 增益和偏移校准功能，可以校正系统中出现的端点误差。需使用两个寄存器 DAC_GAIN.GAIN 和 DAC_OFFSET.OFFSET 来实现增益和偏移校准。在更改增益或偏移代码后应更新 DAC_DATA 寄存器以使新值生效。可以使用方程式 2 将 DAC_GAIN 编程为 0.5 至 1.499985 之间的值。

$$\mathrm{DAC_GAIN} = \frac{1}{2} + \frac{\mathrm{GAIN}}{2^{\mathrm{N}}} \tag{2}$$

其中

- N = DAC_GAIN 分辨率，以位数表示：AFE88201 为 16 位，AFE78201 为 14 位。
- GAIN 是 DAC_GAIN 寄存器设置的十进制值。
- GAIN 数据采用左对齐形式；对于 AFE78201，DAC_GAIN 寄存器中的最后两个 LSB 将被忽略。

AFE88201 的 DAC_GAIN 设置示例如表 6-1 所示。

表 6-1. DAC_GAIN 设置与 GAIN 代码

DAC_GAIN	GAIN（十六进制）
0.5	0x0000
1.0	0x8000
1.499985	0xFFFF

DAC_OFFSET 以二进制补码编码形式存储在 DAC_OFFSET 寄存器中。可以使用方程式 3 将 DAC_OFFSET 值编程为 $-2^{(N-1)}$ 至 $2^{(N-1)}$ – 1 之间的值。

$$\mathrm{DAC_OFFSET} = -\mathrm{OFFSET}_{\mathrm{MSB}} \times 2^{(\mathrm{N}-1)} + \sum_{\mathrm{i}=0}^{(\mathrm{N}-2)} \mathrm{OFFSET}_{\mathrm{i}} \times 2^{\mathrm{i}} \tag{3}$$

其中

- N = DAC_OFFSET 分辨率，以位数表示：AFE88201 为 16 位，AFE78201 为 14 位。
- $\mathrm{OFFSET}_{\mathrm{MSB}}$ = DAC_OFFSET 寄存器的 MSB 位。
- OFFSET_{i} = DAC_OFFSET 寄存器的其余位。
- *i* = 该位在 DAC_OFFSET 寄存器中的位置。
- OFFSET 数据采用左对齐形式；对于该器件，DAC_OFFSET 寄存器中的最后两个 LSB 将被忽略。

最高有效位决定数字的符号，称为符号位。符号位的权重为 $-2^{(N-1)}$，如方程式 3 所示。

AFE88201 的 DAC_OFFSET 设置示例如表 6-2 所示。

表 6-2. DAC_OFFSET 设置与 OFFSET 代码

DAC_OFFSET	OFFSET（十六进制）
32767	0x7FFF
1	0x0001
0	0x0000
-1	0xFFFF
-2	0xFFFE
– 32768	0x8000

以下传递函数基于 DAC_GAIN 和 DAC_OFFSET 值应用于 DAC_DATA.DATA：

$$\text{DAC_CODE} = (\text{DATA}) \times \text{DAC_GAIN}) + \text{DAC_OFFSET} \tag{4}$$

其中

- DAC_CODE 是施加到 DAC 的内部信号。
- DATA 是 DAC_DATA 寄存器的十进制值。
- DAC_GAIN 和 DAC_OFFSET 是用户校准设置。
- DATA 数据采用左对齐形式；对于 AFE78201，DAC_DATA 寄存器中的最后两个 LSB 将被忽略。

将方程式 4 中的 DAC_GAIN 和 DAC_OFFSET 代入方程式 2 和方程式 3 得到：

$$\text{DAC_CODE} = \left(\text{DATA}) \times \left[\frac{1}{2} + \frac{\text{GAIN}}{2^{N}}\right]\right) - \text{OFFSET}_{\text{MSB}} \times 2^{(N-1)} + \sum_{i=0}^{(N-2)} \text{OFFSET}_{i} \times 2^{i} \tag{5}$$

乘数是使用截断而不是舍入来实现的。如果需要舍入，这种截断可能会导致 1 LSB 的差异。图 6-2 显示了 DAC 校准路径。

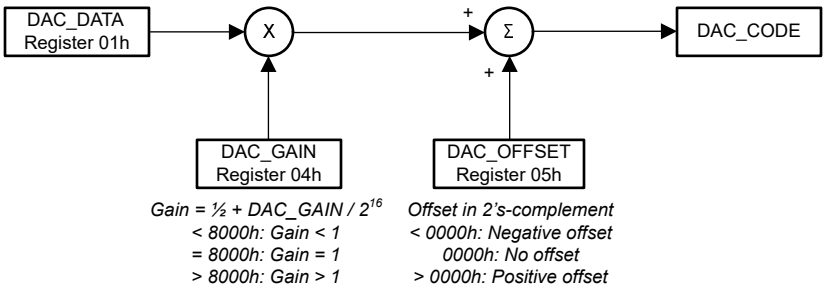


图 6-2. DAC 校准路径

6.3.1.5 可编程压摆率

压摆率功能可控制输出电压或电流的变化速率。默认情况下已禁用该功能，但可以通过向 DAC_CFG.SR_EN 位写入逻辑 1 来启用该功能。在禁用压摆率控制功能的情况下，输出会以受输出驱动电路和所连负载限制的速率发生平滑变化。

启用该功能后，输出不会直接在两个值之间转换。相反，输出会以 DAC_CFG.SR_STEP[2:0] 和 DAC_CFG.SR_CLK[2:0] 定义的速率进行数字步进。SR_CLK 定义数字转换更新的速率。SR_STEP 定义每次更新时输出值的变化量。寄存器说明显示了 SR_STEP 和 SR_CLK 的不同设置。

Copyright © 2024 Texas Instruments Incorporated

输出转换所需的时间表示为方程式 6：

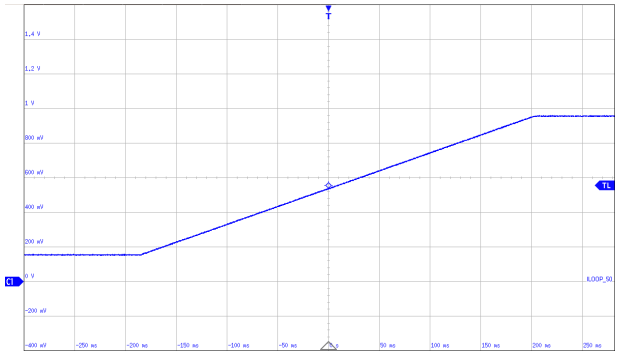
$$\text{SleW Time} = \frac{\text{Delta Code Change}}{\text{SleW Step} \times \text{SleW Clock Rate}} \tag{6}$$

其中

- *Slew Time* 以秒为单位进行表示
- *Slew Step* 由 DAC_CFG.SR_STEP 控制
- *Slew Clock Rate* 由 DAC_CFG.SR_CLK 控制

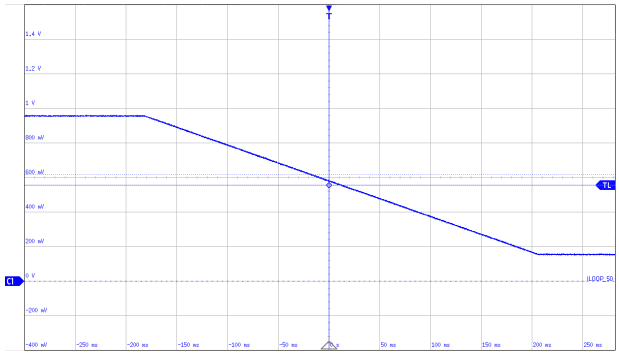
启用压摆率控制功能后，输出会以编程的压摆率发生变化。这种配置会导致输出形成梯形。如果清除代码置为有效（请参阅节 6.3.1.6），则输出将以编程的压摆率转换为 DAC_CLR_CODE 值。当写入新的 DAC 数据后，输出开始以当前 DAC 代码和新 DAC 数据确定的压摆率转换为新值。

有两种压摆率控制模式可供使用：线性（默认）和正弦。图 6-3 和图 6-4 分别显示了典型的上升和下降 DAC 输出波形。



在 40Ω 分流器上测得的 4mA (0x0BA3) 至 24mA (0xF45D) 电流

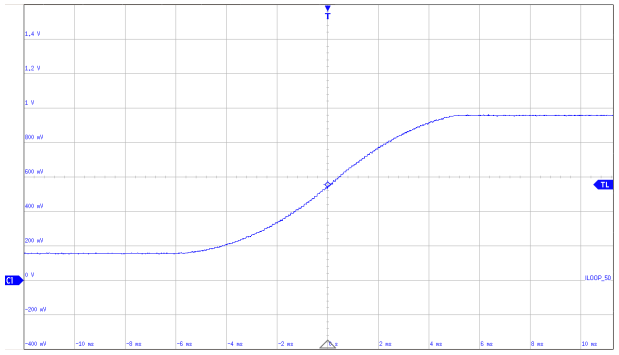
图 6-3. 线性压摆率：上升



在 40Ω 分流器上测得的 24mA (0xF45D) 至 4mA (0x0BA3) 电流

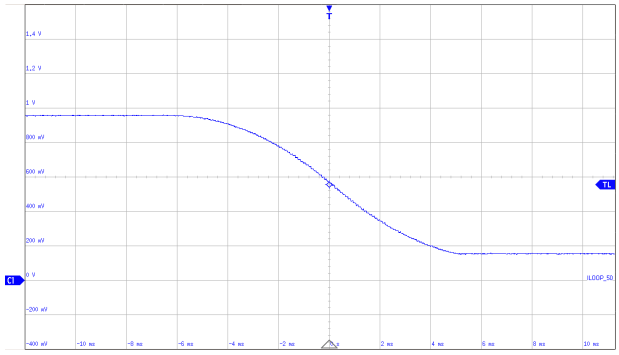
图 6-4. 线性压摆率：下降

正弦模式可实现快速 DAC 稳定，同时改善模拟变化率特性。正弦模式由 DAC_CFG.SR_MODE 位进行选择。图 6-5 和图 6-6 分别显示了具有正弦压摆率控制功能的典型上升和下降 DAC 输出波形。



在 40Ω 分流器上测得的 4mA (0x0BA3) 至 24mA (0xF45D) 电流

图 6-5. 正弦压摆率：上升



在 40Ω 分流器上测得的 24mA (0xF45D) 至 4mA (0x0BA3) 电流

图 6-6. 正弦压摆率：下降

如果在 DAC 执行压摆率命令时禁用了压摆率功能，则会中止压摆率操作，且 DAC 输出将转至目标代码。

6.3.1.6 DAC 寄存器结构和清除状态

AFE88201 DAC 具有 16 位电压输出，而 AFE78201 DAC 具有 14 位电压输出。输出范围为 0V 至 2.5V。

AFEx8201 允许将 DAC 输出快速设置为 DAC_CLR_CODE 寄存器中设置的值，而无需写入 DAC_DATA 寄存器，这称为清除状态。如需了解寄存器详细信息，请参阅表 7-6。

从 DAC_DATA 到 DAC_CLR_CODE 的转换与时钟同步。如果启用了转换模式，则在转换期间输出将会转换。图 6-7 显示了完整的 AFEx8201 DAC_DATA 信号路径。这些器件将 DAC_DATA 代码与内部时钟同步，从而引起相对于 $\overline{CS}$ 上升沿或 UBM 命令结束最多 2.5 个内部时钟周期的延时 (2 µs)。应在 DAC_CFG.SR_EN = 0 时更新 DAC_GAIN 和 DAC_OFFSET 值，以避免 SR_BUSY 生成 IRQ 脉冲。

通过以下任一方式将 DAC 设置为清除状态：

1. 设置 DAC_CFG.CLR。
2. 配置 DAC 转换到清除状态来响应警报条件。
3. 使用 UBM 中的 SDI 引脚或 SPI 模式下的 SCLR 引脚作为清除状态输入引脚。

方法 1 是对 AFEx8201 直接发出将 DAC 设置为清除状态的命令。将 DAC_CFG.CLR 位设置为 1h 即可将 DAC 设置为清除状态。

方法 2 由 ALARM_ACT 寄存器的设置进行控制。如需详细了解使用此方法所需的条件和其他屏蔽，请参阅表 7-15 和节 6.3.3.2。

方法 3 支持在不写入 AFEx8201 的情况下将 DAC 设置为清除状态。这种基于引脚的 DAC 清除状态功能在 SPI 模式下的 SCLR 引脚上或在 UBM 中的 SDI 引脚上可用。在 UBM 中，SCLR 引脚必须连接到 GND。如需详细了解基于通信模式的连接选项以及每种模式下使用的引脚，请参阅节 6.5.1。需将相应引脚设置为高电平才能驱动 DAC 进入清除状态。

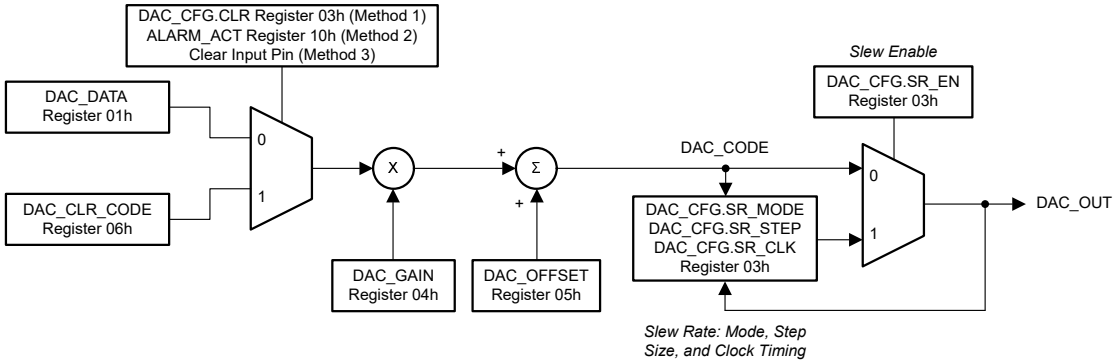


图 6-7. DAC 数据路径

Copyright © 2024 Texas Instruments Incorporated

6.3.2 模数转换器 (ADC) 概述

AFEx8201 具有以 12 位逐次逼近寄存器 (SAR) ADC 和高度灵活型模拟多路复用器为中心的监控系统。该监控系统能够感测最多两个外部输入以及多个内部器件信号。

ADC 使用 VREFIO 引脚电压作为基准。ADC 时序信号来自片上振荡器。通过器件串行接口可以访问转换结果。

6.3.2.1 ADC 操作

该 ADC 器件支持直接模式转换和自动模式转换。两种转换模式都使用自定义通道序列发生器来确定 ADC 转换的输入通道。转换顺序是固定的。用户选择转换序列的启动通道和停止通道。在 ADC 配置寄存器中指定转换方法和通道序列。默认的转换方法为自动模式。图 6-8 显示了 ADC 转换序列。

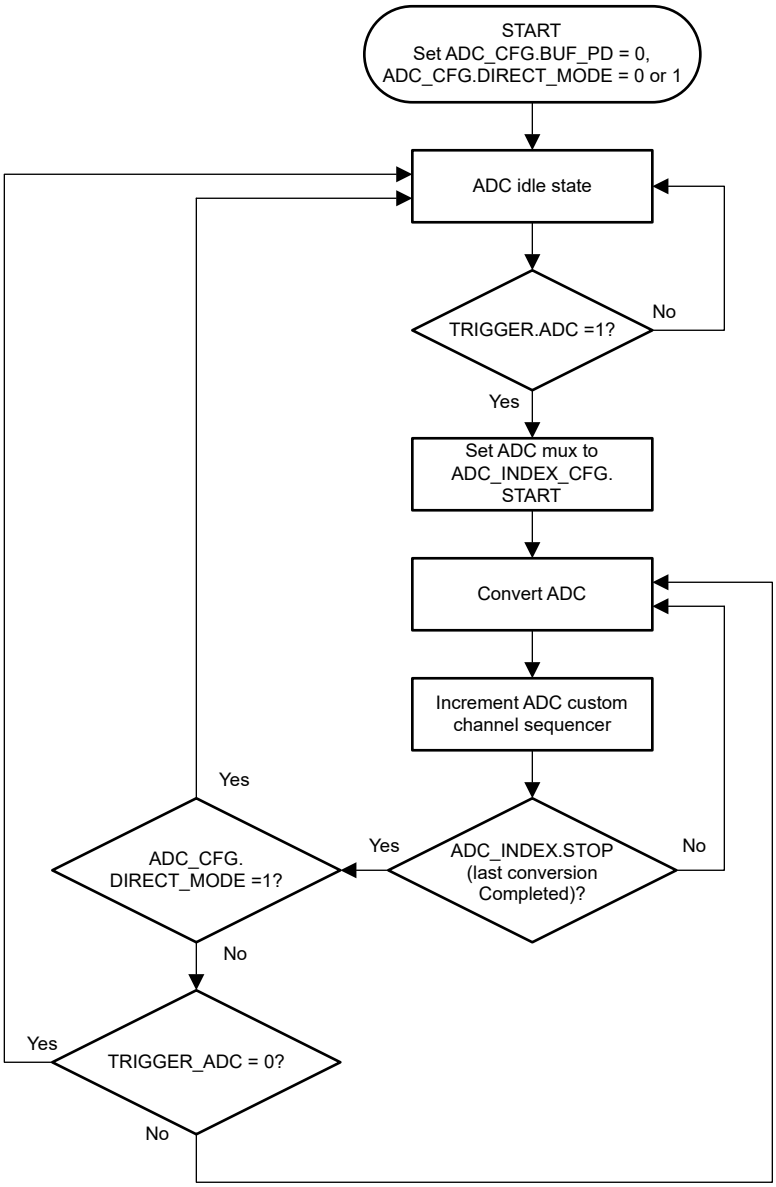


图 6-8. ADC 转换序列

要使用 ADC，首先通过设置 ADC_CFG.BUF_PD = 0 来启用 ADC 缓冲器。然后等待至少 210µs，然后再使用 TRIGGER.ADC 位来设置触发器。如果在计时器到期前发送触发信号，则会强制设置一个内部延迟。在设置 ADC_CFG.BUF_PD = 1 之前，请确保 ADC 不会进行转换。如果在 ADC 仍在转换期间将 ADC_CFG.BUF_PD

设置为 1，则内部计时器会延迟该命令。当计时器到期时，ADC 的使能信号会被清零，当前转换完成，然后将 ADC 和 ADC 缓冲器断电。

必须出现触发信号，ADC 才能退出空闲状态。ADC 触发信号是通过 TRIGGER.ADC 位生成的。ADC 数据寄存器具有最新的可用数据。访问数据寄存器时不会干扰转换过程，因此可确保 ADC 连续运行。

在直接模式转换中，通过发出 ADC 触发信号来按需转换选定的 ADC 输入通道。转换最后一个启用的通道后，ADC 进入空闲状态并等待新的触发信号。可通过寄存器映射来读取 ADC 转换结果。直接模式转换通常用于收集所有数据通道的 ADC 数据。在直接模式下，需使用 ADC_BUSY 位来确定直接模式转换何时完成以及 ADC 何时恢复到空闲状态。要设置直接模式，可写入 ADC_CFG.DIRECT_MODE = 1。

在自动模式转换中，会连续转换选定的 ADC 输入通道。发出 ADC 触发信号可启动转换周期。第一个转换序列完成后，另一个序列将自动启动。所选通道的转换会反复发生，直到通过清除 ADC 触发信号来停止自动模式转换。自动模式转换通常不用于收集 ADC 数据。相反，自动模式转换与 ADC 数据上限和下限结合使用，以检测数据何时超过可编程超限警报阈值。要设置自动模式，可写入 ADC_CFG.DIRECT_MODE = 0。

无论选择何种转换方法，仅当 ADC 处于空闲状态时才更新 ADC 配置寄存器。请勿在 ADC 正在转换通道时更改 ADC 配置位。在更改配置位之前，请禁用 ADC 并确认 GEN_STATUS.ADC_BUSY = 0。

Copyright © 2024 Texas Instruments Incorporated

6.3.2.2 ADC 自定义通道序列发生器

该器件使用自定义通道序列发生器来控制 ADC 的多路复用器。ADC 序列发生器允许用户指定转换哪些通道。该序列发生器包含 16 个已编制索引的时隙，而这些时隙具有可编程的启动和停止索引字段来配置启动和停止转换点。

在直接模式转换中，ADC 将启动索引转换到停止索引一次，然后停止。在自动模式转换中，ADC 反复从启动索引转换到停止索引，直到 ADC 停止。图 6-9 显示了该器件中已编制索引的自定义通道序列时隙。

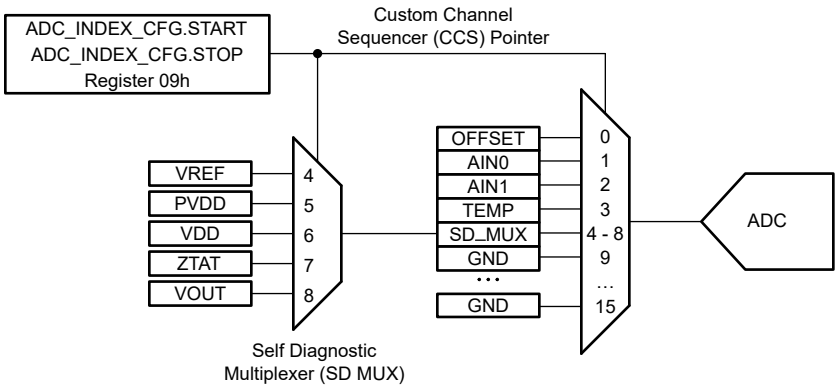


图 6-9. ADC 多路复用器控制

表 6-3 列出了序列发生器的 ADC 输入通道分配情况。

表 6-3. 已编制索引的自定义通道序列

CCS 指针	通道	CONV_RATE	范围
0	OFFSET	2560 Hz	VREF
1	AIN0	可编程	可编程
2	AIN1	可编程	可编程
3	TEMP	2560 Hz	VREF
4	SD0 (VREF)	2560 Hz	VREF
5	SD1 (PVDD)	2560 Hz	VREF
6	SD2 (VDD)	2560 Hz	VREF
7	SD3 (ZTAT)	2560 Hz	VREF
8	SD4 (VOUT)	2560 Hz	2 × VREF
9-15	GND	2560 Hz	VREF

使用 ADC_INDEX_CFG 寄存器选择通道。通道的顺序是固定的，如表 6-3 所示。然后，使用 ADC_INDEX_CFG.START 和 ADC_INDEX_CFG.STOP 选择要转换的索引范围。如果这两个值相同，则 ADC 仅转换单个通道。如果 START 和 STOP 值不同，则 ADC 会循环使用相应的索引。默认情况下，所有通道都配置为转换：START = 0 和 STOP = 8。如果 AIN1 通道未配置为 ADC 输入，则该通道的结果为 0x000。如果通道位于 START 和 STOP 范围内，则转换的最短时间仍分配给 AIN1。如果 START 配置为大于 STOP，该器件会将转换序列解释为 START = STOP。

在直接模式下，每运行一次 TRIGGER.ADC 命令，ADC_INDEX_CFG 寄存器中的每个选定通道都会被转换一次。在自动模式下，ADC_INDEX_CFG 寄存器中选择的每个通道都会被转换一次；只要启用了 ADC，在最后一个通道之后就会重复该循环。在自动模式下，写入 TRIGGER.ADC = 1 会开始转换。写入 TRIGGER.ADC = 0 会在当前通道转换完成后禁用 ADC。在直接模式下，写入 TRIGGER.ADC = 1 将启动序列。当序列结束时，TRIGGER.ADC 将自清零。

执行一次转换至少需要 20 个时钟周期。ADC 时钟来自内部振荡器并经过 16 分频，得到的 ADC 时钟频率为 1.2288MHz / 16 = 76.8kHz，时钟周期 = 13.02 µs。

每个内部节点都具有固定的转换速率。引脚 AIN0 和 AIN1 具有可编程的转换速率（另请参阅 ADC_CFG 寄存器）。引脚 AIN0 和 AIN1 也具有可配置的范围。输入范围可以是 0V 至 1.25V 或 0V 至 2.5V，具体取决于 ADC_CFG.RANGE 位。

如果更改了任何 ADC 配置位，建议使用以下序列：

1. 禁用 ADC
2. 等待 ADC_BUSY 变为低电平
3. 更改配置
4. 重新启动转换

可在 GEN_STATUS 寄存器中监控 ADC_BUSY。

如果 ADC 配置为直接模式 (ADC_CFG.DIRECT_MODE = 1)，则在设置要转换的所需通道后，请将 1 写入 TRIGGER.ADC。当序列完成转换时，该位会自清零。该命令会将所有选定的通道转换一次。要启动另一次通道转换，请发送另一条 TRIGGER.ADC 命令。

6.3.2.3 ADC 同步

必须生成触发信号才能使 ADC 退出空闲状态并开始转换。ADC 触发信号是通过 TRIGGER.ADC 位生成的。ADC 数据寄存器具有最新的可用数据。访问数据寄存器时不会干扰转换过程，因此可确保 ADC 连续运行。

在直接模式下，需使用 GEN_STATUS.ADC_BUSY 位来确定直接模式转换何时完成以及 ADC 何时恢复到空闲状态。同样，通过监控 TRIGGER.ADC 位可以查看 ADC 是否恢复到空闲状态。

6.3.2.4 ADC 偏移校准

CCS 指针的通道 0 名为 OFFSET。OFFSET 通道用于校准和改善 ADC 偏移性能。转换 OFFSET 通道，并将结果用于后续测量中的 ADC 偏移校准。

该 ADC 通道对 VREF/2 进行采样，并将该结果与 7FFh 进行比较以度量 ADC 偏移。测量该通道的 ADC 的数据速率为 2560Hz。从 7FFh 减去 OFFSET 通道的 ADC 转换结果后得到的值存储在 ADC_OFFSET (28h) 中。偏移可以是正值，也可以是负值；因此，该值以二进制补码表示法存储。

从 7FFh 减去后的 ADC_OFFSET 是偏移的负值。默认情况下会从 ADC 的转换结果减去该值。要直接测量 ADC，请将 ADC_BYP.OFST_BYP_EN 设置为 1 以启用偏移旁路；请参阅节 6.3.2.8。

Copyright © 2024 Texas Instruments Incorporated

6.3.2.5 外部监控输入

AFEx8201 具有两个用于外部电压检测的模拟输入。CCS 指针的通道 1 和 2 用于外部监控输入，可分别通过引脚 AIN0 和 AIN1 进行测量。模拟输入的输入范围可配置为 0V 至 1.25V 或 0V 至 2.5V。模拟输入转换值以直接二进制格式存储在 ADC 寄存器中。ADC 分辨率可以通过方程式 7 计算得出：

$$1\ LSB = \frac{V_{RANGE}}{2^{12}} \tag{7}$$

其中

- 对于 0V 至 2.5V 输入范围，V_{RANGE} = 2.5V，而对于 0V 至 1.25V 输入范围，该值为 1.25V。

图 6-10 和表 6-4 详细说明了传递特性。

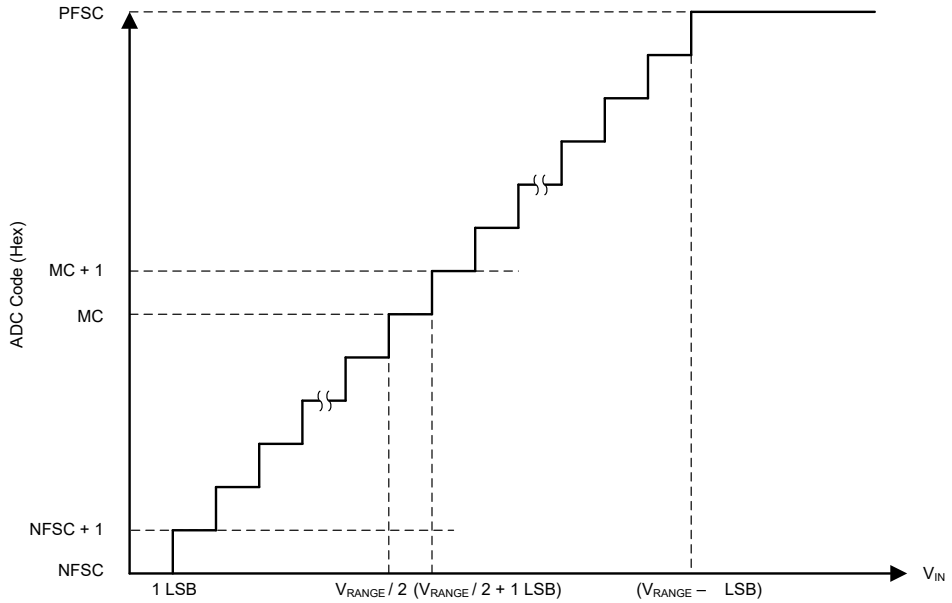


图 6-10. ADC 传递特性

表 6-4. 传输特性

输入电压	代码	说明	理想输出代码
≤1 LSB	NFSC	负满量程代码	000
1 LSB 至 2 LSB	NFSC + 1	负满量程代码加 1	001
(V_{RANGE} / 2) 至 (V_{RANGE} / 2) + 1 LSB	MC	中间码	800
(V_{RANGE} / 2) + 1 LSB 至 (V_{RANGE} / 2) + 2 LSB	MC + 1	中间码加 1	801
≥ V_{RANGE} – 1 LSB	PFSC	正满量程代码	FFF

对于这些外部监控输入，可为 ADC 配置数据速率和电压范围。使用 ADC_CFG.CONV_RATE 位将数据速率设置为 640Hz、1280Hz、2560Hz 或 3840Hz。ADC 测量范围通过 ADC_CFG.AIN_RANGE 位进行设置。当该位 = 0 时，ADC 范围为 2 × VREF；当该位 = 1 时，ADC 范围为 VREF。

当 AIN0 和 AIN1 的 ADC 转换完成时，生成的 ADC 数据将存储到寄存器映射的 ADC_AIN0.DATA 和 ADC_AIN1.DATA 位（24h 和 25h 处）。

如果不使用外部监控输入，请通过 1kΩ 电阻将 AIN0 和 AIN1 引脚连接到 GND。

6.3.2.6 温度传感器

CCS 的通道 3 用于测量器件的内核温度。ADC 有一个内部温度传感器可以测量与绝对温度 (CTAT) 互补的电压。该 CTAT 电压具有负温度系数。ADC 以 2560Hz 的数据速率转换该电压。当 ADC 转换完成时，可以在 ADC_TEMP.DATA 位（地址 26h）中找到相应数据。

环境温度与 ADC 代码之间的关系如方程式 8 所示：

$$\text{ADC Code} = 2681 - 11 \times T_A(°C) \tag{8}$$

6.3.2.7 自诊断多路复用器

除了 ADC 偏移、两个外部监控输入和温度传感器之外，AFEx8201 的 ADC 还具有五个其他内部输入可用于监控基准电压、电源、静态电压和 DAC 输出。这五个电压测量值是 ADC 自诊断多路复用器（SD0 至 SD4）测量值的一部分，并会在 27h 的 ADC_SD_MUX 寄存器中报告；另请参阅节 7。

通道 4 (SD0) 测量该器件的基准电压。ADC 通过电阻分压器（除以 2）测量基准电压。请注意，所有 ADC 测量值都是基准的函数；使用 SD0 来测量基准不会显示为诊断测量。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 5 (SD1) 测量该器件的 PVDD 电源。ADC 通过电阻分压器（除以 6）测量 PVDD 电压。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 6 (SD2) 测量该器件的 VDD 电源。选择通道 6 后，ADC 通过电阻分压器（除以 2）测量 VDD 电压。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 7 (SD3) 是 ZTAT（零温度系数）电压。该内部电压的标称值为 0.6V，具有较低温漂，且不依赖于基准电压。ADC 对 ZTAT 电压的测量值可用于确定基准电压的状态。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 8 (SD4) 测量 DAC 的 VOUT。ADC 通过电阻分压器（除以 2）测量 VOUT 电压。该转换的数据速率为 2560Hz，ADC 的范围设置为 2 × VREF。

Copyright © 2024 Texas Instruments Incorporated

6.3.2.8 ADC 旁路

要测试偏移，请通过对旁路数据寄存器 ADC_BYP.DATA (2Eh) 进行编程来修改 ADC 数据路径。该读取/写入寄存器有两种不同的使用方式。

首先，通过将 ADC_BYP.OFST_BYP_EN 设置为 1，该旁路数据寄存器用于替代 ADC_OFFSET。但是，如果 ADC_BYP.DATA 数据必须存储在 ADC_OFFSET 寄存器中，请使用第二种方法。

其次，ADC_BYP.DATA 用于在要转换的通道的 ADC 回读寄存器中设置一个已知值。将所需数据写入 ADC_BYP.DATA，设置 ADC_BYP.DATA_BYP_EN 位，并转换所选通道。当 ADC_BYP.DATA_BYP_EN 位设置为 1 时，ADC 转换将被旁路掉，并会将 ADC_BYP.DATA 的值写入所选的 ADC 通道回读寄存器。该设置用于测试 ADC 的警报设置。

未使用 ADC 旁路时，请将 ADC_BYP.DATA 设置为 000h。

图 6-11 显示了 ADC 旁路数据流。

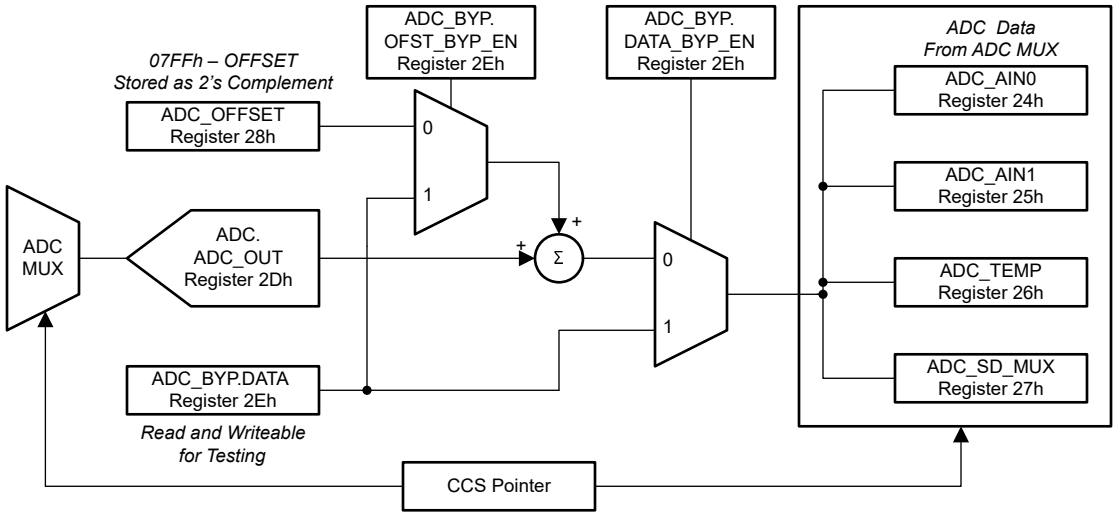


图 6-11. ADC 旁路数据流

6.3.3 可编程超限警报

AFEx8201 能够持续分析电源、外部 ADC 输入、DAC 输出电压、基准、内部温度和其他内部信号，以确保正常运行。

通过下限和上限阈值寄存器可以确保获得正确的转换结果。当任何被监控的输入超出指定的范围时，会设置警报状态寄存器中的相应警报位。

警报状态寄存器中的警报位会被锁存。之所以将警报位视为锁存，是因为警报位在由软件读取前一直保持置位状态。如果软件会定期轮询器件，这种设计可确保不会丢失超限事件。读取警报状态寄存器时会清除所有位，如果超限情况在下一个监控周期中仍然存在，则会将所有位重新置为有效。清除警报事件后，DAC 将重新加载 DAC 有效寄存器中的内容，这样 DAC 输出就可以直接恢复到先前的运行点，无需执行任何额外的命令。

所有警报都可用于在 $\overline{\text{ALARM}}$ 引脚上生成硬件中断信号；另请参阅节 6.3.3.1。此外，节 6.3.3.2 还介绍了如何为每个警报单独配置警报操作。

6.3.3.1 基于警报的中断

可设置一个或多个可用警报来激活 $\overline{\text{ALARM}}$ 引脚。将 $\overline{\text{ALARM}}$ 引脚作为可选硬件中断连接到主机。主机可以在中断置为有效时查询警报状态寄存器以确定警报源。任何警报事件都会激活该引脚，只要未在 ALARM_STATUS_MASK 寄存器中屏蔽警报即可。如果屏蔽了某个警报事件，发生该事件会在警报状态寄存器中设置相应的状态位，但不会激活 $\overline{\text{ALARM}}$ 引脚。

备注

$\overline{\text{ALARM}}$ 引脚输出取决于 ALARM_STATUS 和 ALARM_STATUS_MASK 寄存器设置，与 ALARM_ACT 寄存器设置无关。

6.3.3.2 警报操作配置寄存器

AFEx8201 提供一个警报操作配置寄存器：ALARM_ACT（表 7-15）。写入该寄存器可以选择在特定警报条件下自动发生的器件操作。ALARM_ACT 寄存器决定主 DAC 如何响应来自于自诊断通道（AIN0、AIN1 和 TEMP）上的 ADC 转换或来自 CRC、WDT、VREF、TEMP_HI 或 TEMP_LO 故障的警报事件。只有这些故障才会引起 DAC 的响应。任何其他警报状态事件都会触发 $\overline{\text{ALARM}}$ 引脚。警报操作有四个选项。如果为不同的警报条件选择了不同的设置，则在采取操作时会考虑以下从低到高的优先级：

- 0.→ 无操作
- 1.→ DAC 清除状态
- 2.→ VOUT 警报电压
- 3.→ VOUT 高阻态

如果在发生警报事件时选择了选项 1，则 DAC 被强制进入清除代码。该操作是通过控制 DAC 的输入代码来完成的。

如果在发生警报事件时选择了选项 2，则 VOUT 被强制为警报电压。警报电压由引脚或寄存器位进行控制。如果 SPECIAL_CFG.AIN1_ENB = 0，则 AIN1 引脚控制警报极性。此外，还可以使用寄存器位 SPECIAL_CFG.ALMV_POL。如果这些信号中的任何一个 = 1，则警报电压较高；否则，警报电压较低。SPECIAL_CFG 寄存器只能在 POR 后复位，因此用户设置在硬件或软件复位后保持不变。

如果在发生警报事件时选择了选项 3，则 VOUT 缓冲器将置于高阻态。如果发生多个事件，则优先采用最高设置。选项 3 具有最高优先级。

要禁用对警报的操作响应，请将 ALARM_ACT 中的相应位设置为 0h。在触发条件位复位（行为取决于 ALARM_STATUS 中的故障位是否粘滞）或将操作配置更改为 0h 时，警报操作响应将被清除。

备注

在发生警报时，根据 ALARM_STATUS 和 ALARM_ACT 寄存器执行配置的警报操作。操作响应与 ALARM_STATUS_MASK 设置无关。

Copyright © 2024 Texas Instruments Incorporated

6.3.3.3 警报电压发生器

图 6-12 显示了警报电压是独立于 DAC 输出电压生成的。警报极性控制逻辑可以选择警报电压发生器的输出电平。警报操作控制逻辑可以在 DAC 输出电压和警报电压发生器输出电压之间进行选择。警报操作控制逻辑还可以控制输出缓冲器高阻态开关。

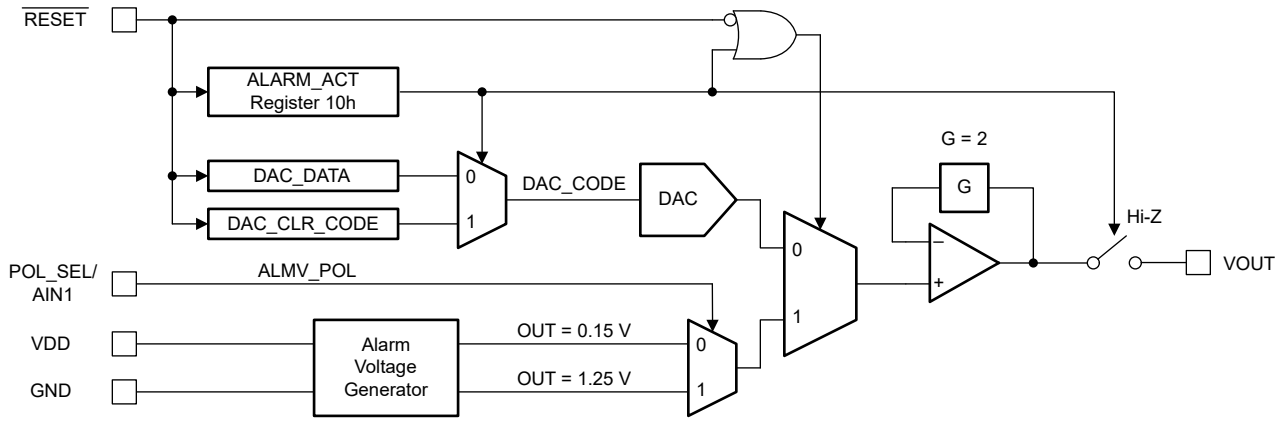


图 6-12. 警报电压发生器架构

在正常运行期间，预期的 VOUT 电压取决于 DAC_CODE。SD4 (VOUT) 诊断通道的 ADC 阈值是围绕已编程的 DAC_CODE 进行设置的。在警报条件下，如果警报操作将 VOUT 电压更改为警报电压或将 VOUT 缓冲器切换到高阻态模式，则 VOUT 电压不再取决于 DAC_CODE。在这种情况下，SD4 (VOUT) 诊断通道也会报告警报。要清除该警报，只要所有其他警报条件都已清除，即可将警报操作设置为无操作或 DAC 清除代码。应用任一警报操作都会将 VOUT 电压设置在预期的 ADC 阈值范围内，并在 SD4 (VOUT) 通道的下一次 ADC 测量后清除警报。

应特别注意瞬态事件期间的警报逻辑。当新的 DAC_CODE 超过 SD4 (VOUT) 警报阈值且 ADC 在自动模式下监控 SD4 (VOUT) 输入时，可能会在 VOUT 稳定到一个新值的同时发生 ADC 转换。这种转换可能会触发误报。有两种方法可以防止这种误报：

1. 使用直接模式并让 VOUT 在触发下一次 ADC 转换之前稳定下来。
2. 设置 ADC_CFG.FLT_CNT > 0。在该配置下，SD4 或任何其他测量中的单个错误不会导致将警报条件置为有效。

6.3.3.4 温度传感器警报功能

AFEx8201 持续监控内核温度。除了 ADC 测量之外，温度传感器还会触发比较器以显示热警告和热错误。当温度超过 85°C 时，便会设置热警告警报。此外，当内核温度超过 130°C 时，则会设置热错误警报。

可以配置热警告和热错误警报来设置 $\overline{\text{ALARM}}$ 引脚，并在 ALARM_STATUS 寄存器中指示这些警报。这些警报可以由 ALARM_MASK 寄存器进行屏蔽，也可以配置为由 ALARM_ACT 寄存器控制 DAC 输出。

6.3.3.5 内部基准警报功能

这些器件提供针对基准电压的超限检测。当基准电压超过标称值的 ±5% 时，便会设置基准警报标志（VREF_FLT 位）。在为 DAC 输出上电之前，确保器件未发出基准警报条件。

6.3.3.6 ADC 警报功能

AFEx8201 为每个 ADC 输入提供独立的超限检测。图 6-13 显示了超限检测块。当测量值超出范围时，会设置相应的警报位来标记超出范围的情况。

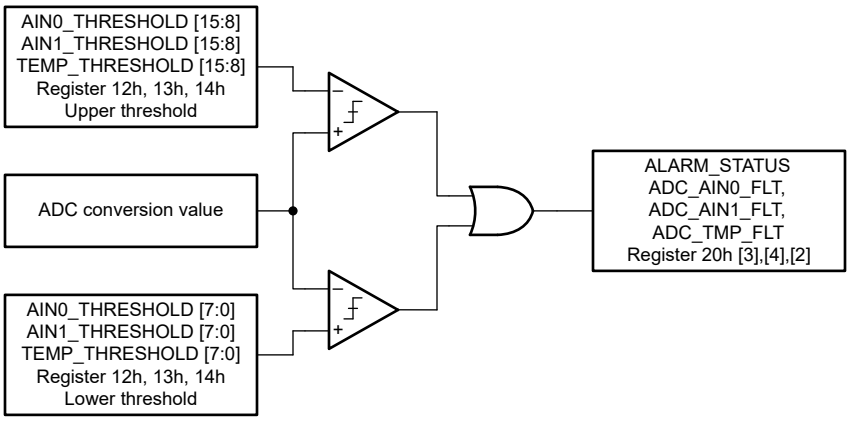


图 6-13. ADC 超限警报

仅当监控的信号超出范围达到 *N* 次连续转换时，才会记录警报事件，其中的 *N* 在 ADC_CFG.FLT_CNT 误报寄存器设置中进行配置。如果监控的信号在 *N* 次连续转换之前恢复到了正常范围，则不会发出警报事件。

如果 ADC 输入信号超出范围且警报已启用，则相应的警报位将设置为 1。但是，仅当转换结果恢复到小于上限寄存器设置值且大于下限寄存器设置值，并达到由迟滞设置指定的代码数量时，才会清除警报状态（请参阅图 6-14）。该迟滞是 ADC_CFG.HYST 寄存器中 0 LSB 至 127 LSB 之间的可编程值。

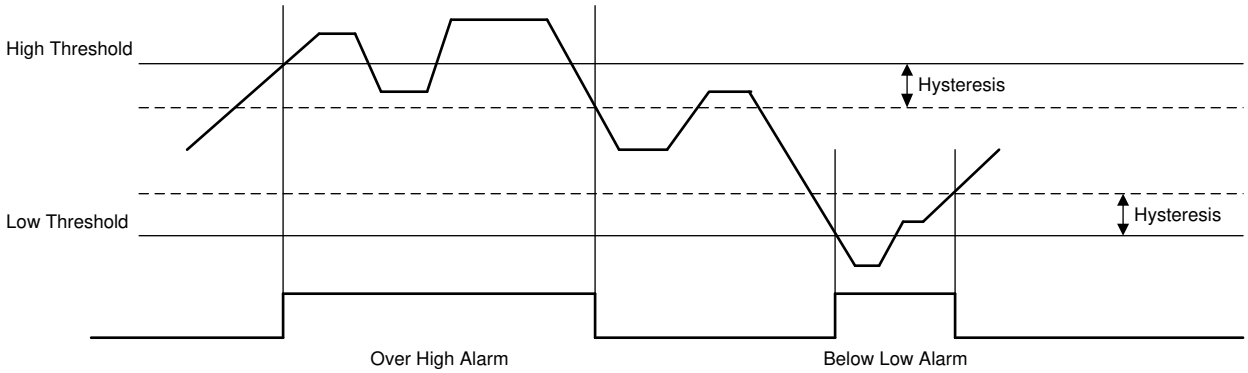


图 6-14. ADC 警报迟滞

Copyright © 2024 Texas Instruments Incorporated

6.3.3.7 故障检测

ADC_CFG 寄存器中有两个字段：FLT_CNT 和 HYST。这些字段用于让所有 ADC 通道的警报条件生效和失效。

ADC_CFG.FLT_CNT 确定在报告警报条件之前可接受的最大连续故障数。例如，如果 ADC_CFG.FLT_CNT 设置为两次计数，则三次连续转换必定超出阈值以触发警报。即使故障在高阈值和低阈值之间交替，每个故障也会计入 FLT_CNT 限制。

ADC_CFG.HYST 设置供警报检测电路使用的迟滞。触发警报后，在警报条件解除之前会应用迟滞。如果是高阈值，则会从阈值减去迟滞。如果是阈值下限，则会将迟滞加到阈值上。

通道 AIN0、AIN1 和 TEMP 具有与其相关的高阈值和低阈值。如果转换值超出这些限值（即，如果 TEMP < 低阈值或 TEMP > 高阈值），则会设置该通道的警报条件。通过分别为低阈值设置 0x000 并为高阈值设置 0xFFF 即可禁用警报。默认情况下，这些警报处于禁用状态。由于阈值的配置字段只有八位宽，因此每个阈值的四个 LSB 均采用硬编码。高阈值的四个 LSB 硬编码为 0xF，低阈值的四个 LSB 硬编码为 0x0。

所有自诊断 (SD) 通道都具有固定的阈值，但 SD4 除外，SD4 用于测量主 DAC 的 VOUT。SD4 的阈值可跟踪与 DAC 代码相关的 VOUT。表 6-5 展示了如何计算每个 SD 通道的高 ADC 阈值和低 ADC 阈值。最右边两列中的限值由左侧的阈值列决定并给予一定的余量。四个 LSB 的分配如前所述。

表 6-5. 自诊断 (SD) 警报 ADC 阈值

SD	ADC 输入	接受的低值	接受的高值	低阈值	高阈值	ADC 低值（十六进制）	ADC 高值（十六进制）
SD0	VREF/2	VREF/2 – 9% – 25mV	VREF/2 + 9% + 25mV	0.54375 V	0.70625 V	0x6D0	0x92F
SD1	PVDD/6	1.65/6 – 25mV	6/6 + 25mV	0.25V	1.025 V	0x310	0xD3F
SD2	VDD/2	1.6/2 – 25mV	2/2 + 25mV	0.775 V	1.025 V	0x9C0	0xD3F
SD3	0.6V	0.6V – 9% – 25mV	0.6V + 9% + 25mV	0.521 V	0.679 V	0x690	0x8CF
SD4	VOUT/2	VOUT/2 – 6mV	VOUT/2 + 6mV	VOUT – 12mV	VOUT + 12mV	预期值 – 0x040	预期值 + 0x040

SD4 输入的警报阈值取决于基于 DAC 代码的预期 ADC 测量值。方程式 9 显示了 SD4 的预期 ADC 代码。

$$\text{ADC Expected Code} = \text{DAC_CODE[MSB:MSB-11]} \tag{9}$$

6.3.4 IRQ

这些器件有一个中断请求 (IRQ) 可以将发生的各种事件告知主机控制器。IRQ 块启动的中断在内部通过状态寄存器进行报告，在外部通过 IRQ 引脚进行报告（如果已启用该功能），或在 $\overline{\text{ALARM}}$ 引脚上进行报告（如果条件来自 ALARM_STATUS 寄存器）。图 6-15 显示了 IRQ 方框图。

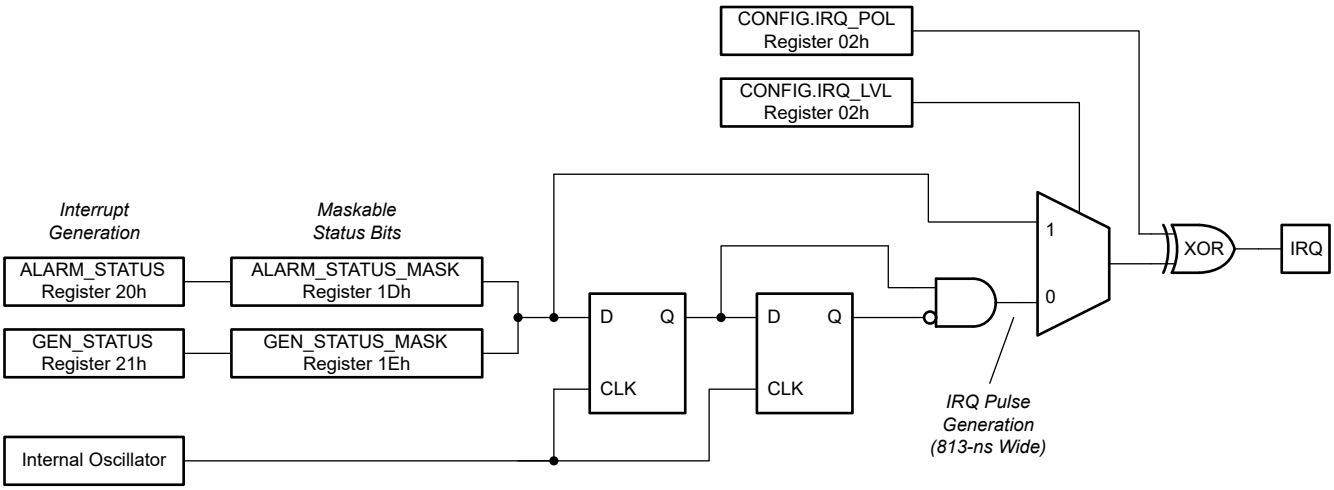


图 6-15. IRQ 方框图

有两个寄存器可以生成中断：GEN_STATUS 和 ALARM_STATUS。这些寄存器各有一个相应的 STATUS_MASK 寄存器。该屏蔽寄存器可以控制哪些事件会触发中断。在屏蔽寄存器中写入 1 会屏蔽或禁止事件触发中断。在屏蔽寄存器中写入 0 允许事件触发 IRQ。默认情况下会屏蔽所有位。某些状态位是粘滞位。除非条件仍然存在，否则读取相应的寄存器会清除粘滞位。

IRQ 通过 CONFIG.IRQ_LVL 配置为边沿敏感或电平敏感。将该位设置为逻辑 1 可启用电平敏感功能（默认）。在边沿敏感模式下，IRQ 信号是同步脉冲，宽度为一个内部时钟周期 (813ns)。在电平敏感模式下，IRQ 被置位，并且只要条件存在就保持置位状态。IRQ 条件消失后，通过读取相应的状态寄存器来清除该条件。如果是粘滞位，则在条件仍然存在时试图清除该位将无法清除该位。

CONFIG.IRQ_POL 决定了 IRQ 的有效电平。逻辑 1 会将 IRQ 配置为高电平有效。

使用边沿敏感的 IRQ 信号时，同步和边沿检测存在一个时钟周期延迟。在 307.2kHz 时钟条件下，该延迟最高可达 3.26 μs。对于电平敏感模式，延迟约为 10ns 至 20ns。

大多数状态位在设计中具有两个版本。第一个版本是在状态置为有效时创建的边沿事件。该信号用于生成边沿敏感的 IRQ。这种边沿检测可以防止多个状态事件相互阻塞。第二个版本是状态位的粘滞版本。该信号在状态位被置为有效时被置位，并在读取相应的状态寄存器时被清除（只要状态条件不再存在）。信号 GEN_IRQ 和 ALARM_IRQ 由相应寄存器中状态位的逻辑“或”结果驱动。

如果取消屏蔽某个状态位且该位的粘滞版本已置为有效，并且 IRQ 为电平敏感，则一旦取消屏蔽该位，就会触发中断。如果 IRQ 为边沿敏感，则必须在取消屏蔽该位后发生状态事件才能将中断置为有效。

6.3.5 内部基准

AFEx8201 系列器件包含 1.25V 精密带隙基准。该内部基准在 VREFIO 引脚上可供外部使用，并可提供高达 2.5mA 的电流。为了进行噪声滤波，请在基准输出与 GND 之间使用一个 100nF 电容器。

内部基准电路由 REF_EN 引脚启用或禁用。该引脚上的逻辑高电平将启用内部基准，且 VREFIO 引脚会输出 1.25V 电压。该引脚上的逻辑低电平将禁用内部基准，因此该器件应该会通过 VREFIO 引脚上的外部 VREF 获得 1.25V 电压。

无效的基准电压会触发警报条件。DAC 响应取决于 ALARM_ACT 寄存器 (10h) 中的 VREF_FLT 设置。

Copyright © 2024 Texas Instruments Incorporated

6.3.6 集成精密振荡器

器件的内部时基由一个内部振荡器提供，该振荡器在室温下修整至低于 0.5% 的容差。该精密振荡器是 ADC 转换的时序源。上电时，内部振荡器和 ADC 大约需要 300µs 才能达到 < 1% 的误差稳定性。在时钟稳定后，ADC 数据输出将精确到节 5 中提供的电气规格。

6.3.7 精密振荡器诊断

AFEx8201 有两种方法可以持续检测内部精密振荡器的功能状态。

第一种方法需要从 AFEx8201 连接到系统控制器。要使用第一种方法，请对 AFEx8201 进行编程，以便在 CLK_OUT 引脚上输出细分的内部振荡器时钟信号。写入 CONFIG.CLKO 寄存器字段（请参阅表 7-5）可以使用所选分频器启用输出或者禁用输出。输出数字信号符合节 5.5 中的要求。CLK_OUT 引脚也是共享的 GPIO 引脚。如需详细了解如何连接 CLK_OUT 以及作为 GPIO 引脚的 CLK_OUT 互操作性，请参阅节 6.5.1。

第二种方法不需要从 AFEx8201 进行连接，这是一种基于轮询通信的方法，可通过 SPI 通信来确定内部振荡器的功能。请分别参阅节 6.5.3.1 和节 6.5.5，了解 SPI 通信的详细信息和 SDO 状态位的详细信息。OSC_DIV_2 位会报告在 $\overline{CS}$ 下降沿采样的一个细分内部振荡器信号（2 分频）的逻辑值。作为一种验证时钟是否持续正常运行的方法，请在 SPI 帧之间使用适当的 SCLK 频率和间隔来捕获不同帧之间的位变化。同样，在 UBM 中，通过 OSC_DIV_1024 位可以获取一个细分内部振荡器信号（1024 分频）的逻辑值的状态报告。如需了解 UBM 帧和时序的详细信息，请参阅节 6.5.4.1。

6.3.8 一次性可编程 (OTP) 存储器

该器件中的一次性可编程 (OTP) 存储器用于存储器件修整设置，无法供用户访问。加电时，OTP 存储器数据会加载到存储器中（OTP 影子加载）。为了验证加载的数据是否正确，会执行 OTP 存储器 CRC。如果检测到 CRC 错误，TRIGGER.SHADOWLOAD 位可用于启动 OTP 存储器数据的重新加载。SPECIAL_CFG.OTP_LOAD_SW_RST 位可以控制是否通过软件复位来重新加载 OTP 存储器数据。

6.3.9 GPIO

AFEx8201 具有多个 GPIO 引脚，每个引脚均可通过 GPIO_CFG 和 GPIO 寄存器独立配置为仅输入、仅输出或输入/输出模式。选择 GPIO 处于输出模式时支持的推挽式或伪开漏式子模式。不存在专用 GPIO 引脚，因为相同的引脚也可配置用于通信接口。根据接口协议的选择以及用于通信的引脚数量，AFEx8201 具有多达四个可用的 GPIO。请参阅节 6.5.1，了解每种通信模式下可用 GPIO 的详细示意图。如果未使用或未驱动某个 GPIO 引脚，则必须根据节 6.5.1 中的连接图，以电阻方式将该引脚连接到 IOVDD 或 GND。对于 AFEx8201，未连接的悬空输入引脚会导致通信接口的未知状态和不断变化的电源电流。当用作输出时，每个 GPIO 引脚都支持拉电流和灌电流，而用作输入时，寄存器地址 0x1C 反映 GPIO 引脚的数字状态（如需拉电流和灌电流能力以及输入阈值的详细信息，请参阅节 5.5）。转换检测的最小脉冲宽度为 t_{PULSE_GPIO}。当 GPIO 输入端发生状态转换时，新状态必须保持至少 t_{PULSE_GPIO} 以便由 AFEx8201 检测到。

6.3.10 计时器

AFEx8201 有一个集成计时器可以生成精确的延时时间、脉宽调制或振荡。这些器件可以具有从微秒到小时范围内的时序参数。通过设置 CONFIG.CLKO = Fh 可以在 CLK_OUT 引脚上启动计时器。计时器由三个寄存器控制：TIMER_CFG_0、TIMER_CFG_1 和 TIMER_CFG_2。

在三个寄存器的第一个寄存器中，TIMER_CFG_0.ENABLE 用于开启和关闭计时器功能。如果计时器关闭，则输出默认为 0。TIMER_CFG_0.INVERT 会对计时器的输出进行取反。如果设置了 INVERT 位，则输出默认为 1。TIMER_CFG_0.CLK_SEL 根据表 6-6 选择时钟频率。如果选择了 2'b00 且没有应用时钟，则先前已经启用并开始计数的计时器会暂停。

表 6-6. 计时器选择范围

CLK_SEL	时钟频率	分辨率	范围
00	无时钟	-	-
01	1.2288 MHz	814ns	53.3ms
10	1.200 kHz	833 µs	54.6s

表 6-6. 计时器选择范围（续）

CLK_SEL	时钟频率	分辨率	范围
11	1.171 Hz	853ms	55,923s

第二个计时器寄存器 TIMER_CFG_1.PERIOD 可以设置计时器的周期。该计时器的周期为 PERIOD + 1 个时钟周期。

最后一个计时器寄存器 TIMER_CFG_2.SET_TIME 用于确定计时器输出何时变为 1 (INVERT = 0)。这实际上定义了该计时器的占空比。占空比的计算公式为 (PERIOD – SET_TIME) × 时钟周期。

6.3.11 唯一芯片标识符 (ID)

AFEx8201 包括两个只读寄存器：CHIP_ID_MSB (1Ah) 和 CHIP_ID_LSB (19h)，其中存储了唯一芯片 ID。16 位的 CHIP_ID_MSB 寄存器存储了编码的批次标识号，而 CHIP_ID_LSB 寄存器存储了每个批次内的唯一器件型号。

6.3.12 暂存区寄存器

AFEx8201 有一个 16 位暂存区寄存器可以在不影响器件功能的情况下实现接口调试和验证。该寄存器位于地址 18h。暂存区寄存器的回读值是该寄存器中存储的值的取反码（例如，写入 0xAAAA 会在回读时获得 0x5555）。

6.4 器件功能模式

6.4.1 寄存器内置自检 (RBIST)

AFEx8201 具有寄存器内置自检 (RBIST) 功能。该功能按照表 6-7 列出的寄存器顺序通过计算 CRC 在表 6-7 列出的所有寄存器上运行。如果某个寄存器是保留寄存器，则在计算 RBIST 时会使用复位值。如果最终的 CRC 值为零，则表示寄存器的配置中不存在错误。如果计算结束时出现非零值，则表示存在配置错误。对于高达 2048 位的数据包，使用的多项式的汉明距离 (HD) 为 4。当 HD = 4 时，CRC 会在所存储的数据中检测 4 位错误的任意组合。应单独计算预期的 CRC 多项式，并将输出存储在地址 3Fh 的 RBIST_CRC 寄存器中。

CRC 的最终值在地址 3Eh 的 CRC_RD 寄存器中读取。在 RBIST 或影子加载运行时，会更新该值。RBIST 和 OTP 存储器两者使用相同的 CRC 计算引擎和多项式。CRC_RD 寄存器中的值保持不变，直到触发 TRIGGER 寄存器 (0Ah) 中的另一个 RBIST 或 SHADOWLOAD。

将 TRIGGER.RBIST 设置为 1 可以启动 RBIST。只要 RBIST 正在运行，TRIGGER.RBIST 位就会保持高电平，并在自检完成后清除。在 RBIST 运行时，无法对寄存器进行写入或读取。应发送 NOP 命令并监控 RBIST SDO 状态位来确定 RBIST 是否已完成。

在 UBM 下，RBIST 不会干扰寄存器通信。UBM 通信非常慢，让 RBIST 在任何后续读取或写入命令之前完成即可。

将 GEN_STATUS.RBIST_MODE 位设置为 1 可以启用 RBIST。该位在读取 GEN_STATUS 寄存器之前一直保持不变。

用于生成 RBIST 的 16 位 CRC 符合 openSAFETY (0x755B) 标准，采用以下多项式：

$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^{8} + x^{6} + x^{4} + x^{3} + x^{1} + 1$。

表 6-7 中列出了 RBIST 所涵盖的寄存器列表。并非所有寄存器都具有 RBIST。

表 6-7. RBIST 所涵盖的寄存器列表

地址（十六进制）	寄存器	复位（十六进制）
01h	DAC_DATA	0000h
02h	CONFIG	0036h
03h	DAC_CFG	0B00h
04h	DAC_GAIN	8000h

Copyright © 2024 Texas Instruments Incorporated

表 6-7. RBIST 所涵盖的寄存器列表（续）

地址（十六进制）	寄存器	复位（十六进制）
05h	DAC_OFFSET	0000h
06h	DAC_CLR_CODE	0000h
08h	ADC_CFG	8810h
09h	ADC_INDEX_CFG	0080h
0Bh	SPECIAL_CFG	0000h
0Dh	保留	0100h
0Eh	保留	0040h
0Fh	保留	00F0h
10h	ALARM_ACT	8020h
11h	WDT	0018h
12h	AIN0_THRESHOLD	FF00h
13h	AIN1_THRESHOLD	FF00h
14h	TEMP_THRESHOLD	FF00h
1Bh	GPIO_CFG	00FFh
1Dh	ALARM_STATUS_MASK	EFDFh
1Eh	GEN_STATUS_MASK	FFFFh
1Fh	保留	FFFFh
3Fh	RBIST_CRC	0000h

6.4.2 DAC 断电模式

断电模式有助于 DAC 输出端的电压快速关断。DAC 可设置为通过硬件和软件进入和退出断电模式，或者在响应警报事件时自动进入和退出断电模式。DAC 输出经过专门设计，可在进入和退出断电模式时实现无干扰性能。

还可以通过将 DAC_CFG.PD 设置为 1 来启用断电模式。在断电模式下，DAC 输出放大器会断电，且 DAC 输出引脚被置于高阻态配置中。在重新启用 DAC 输出之前，DAC 输出会保持在断电模式。

通过将警报事件设置为 DAC 断电源，可以启用断电模式的警报控制。必须在 ALARM_ACT 寄存器中指定触发 DAC 输出断电状态的警报事件。清除警报位后，只要未触发其他控制断电的警报事件，DAC 就会恢复正常运行。

当 DAC 进入断电模式时，DAC 寄存器不发生变化，这使得器件能够在从断电模式返回后恢复到原始工作点。此外，可以在 DAC 处于断电模式时更新 DAC 寄存器，从而允许 DAC 在恢复正常运行时输出新值。

6.4.3 复位

该器件中有三种复位机制：上电复位 (POR)、$\overline{\text{RESET}}$ 引脚和可通过 SPI 或由 UBM 发送的 SW_RST 命令。

首次为该器件加电时，POR 电路会使该器件保持复位状态，直到所有电源达到指定的工作电压。如果发生欠压事件（电源电压降至最低工作电压以下），上电复位机制会使该器件恢复为已知的工作状态。POR 在复位过程中电源稳定时启动所有数字电路，然后并释放这些电路以确保该器件在默认条件下启动并加载 OTP 存储器。加载 OTP 存储器后将释放 $\overline{\text{ALARM}}$ 引脚。此时，与该器件的通信是安全的。这个 t_{POR} 时间短于 100µs。

这些器件还具有一个 $\overline{\text{RESET}}$ 引脚可用于器件的硬件复位。将 $\overline{\text{RESET}}$ 引脚置于低电平至少 100ns (t_{RESET}) 可以复位该器件。由于器件锁存和释放复位，在发送第一条串行接口命令之前需要 10 µ s 的延迟时间 ($t_{RESETWAIT}$)。内部复位状态的释放与内部时钟同步。$\overline{\text{RESET}}$ 引脚可以复位 SPI 和 UART 接口、看门狗计时器、内部振荡器和器件寄存器。$\overline{\text{RESET}}$ 不会重新加载 OTP 存储器。

RESET.SW_RST = 0xAD 命令作为软件复位方式使该器件复位。该命令由 SPI 命令在 $\overline{\text{CS}}$ 的上升沿解码，或在 UBM 帧最后一个字符的停止位期间进行解码。将该器件复位到 UBM 时，再次设置 UBM.REG_MODE 可以将该器件恢复到 UBM 中。发送 RESET 命令后，由于器件锁存和释放复位，在发送第一条串行接口命令之前不需要延

迟时间。复位与内部时钟的下降沿同步，并在下一个上升沿之前完全释放。$\overline{\text{ALARM}}$ 引脚在内部复位宽度内发出低电平脉冲。该脉冲持续时间小于 20ns。该命令可以复位 SPI 和 UART 接口以及看门狗计时器，但不会复位内部振荡器。如果在 SPECIAL_CFG 寄存器中进行了正确配置，软件复位还会重新加载内部出厂修整寄存器。SPECIAL_CFG 寄存器只会在 POR 后复位。

POR 和硬件复位会将内部振荡器置于复位状态，从而将时钟保持在低电平。当这两个信号被释放时，在时钟的第一个上升沿之前会有几微秒的延迟。硬件复位 $\overline{\text{RESET}}$ 脉冲宽度必须至少为 100ns 以便让振荡器正确复位。SW_RST 命令为短脉冲。该脉冲的长度不足以充分复位振荡器。SW_RST 通过时钟的下降沿置为有效。由于振荡器周期较长，设计架构将使所有器件在下一个上升沿之前退出复位。

图 6-16 展示了复位树。

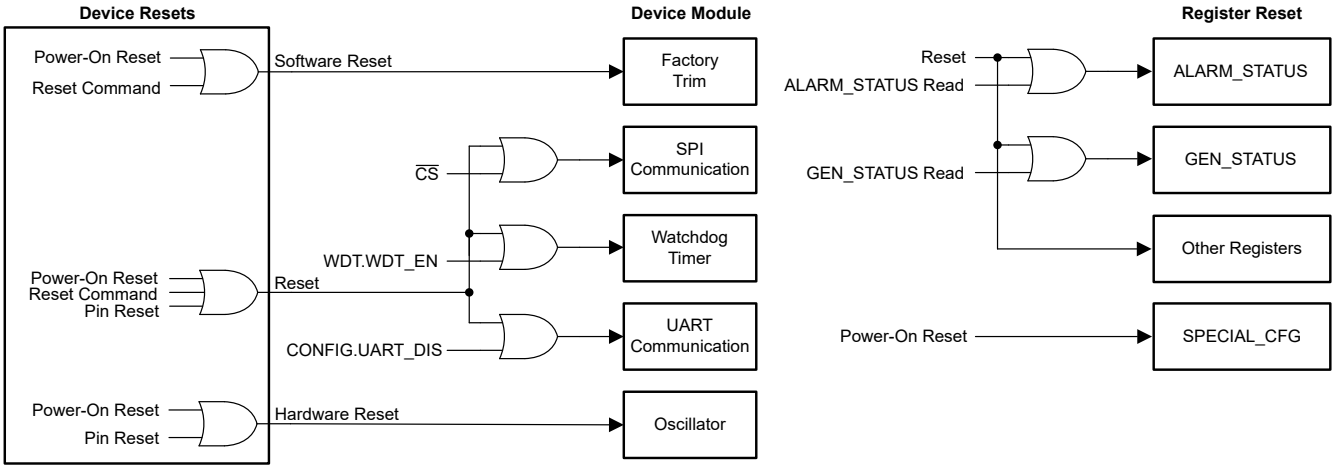


图 6-16. 复位条件

Copyright © 2024 Texas Instruments Incorporated

6.5 编程

AFEx8201 有一个串行接口支持与 UART 兼容的双线制总线或与 SPI 兼容的总线，并通过这个接口与系统控制器进行通信。根据硬件配置，可以启用任一接口。图 6-17 和图 6-18 分别显示了启用 SPI 模式和 UART 中断模式 (UBM) 的配置。SPI 支持一个默认启用但可由用户禁用的 8 位逐帧 CRC。UBM 不支持 CRC，但支持 UART 协议奇偶校验位。

6.5.1 通信设置

在进行任何复位或上电后，AFEx8201 能够唤醒以使用 SPI 或 UART 中断模式 (UBM)。这些器件有一种强大的机制可以配置基于 SPI 兼容协议或 UART 兼容协议的系统之间的接口，从而防止正常运行期间协议发生变化。该选择基于相应硬件配置（请参阅图 6-17 和图 6-18）的初始条件以及任何后续用户配置。

6.5.1.1 SPI 模式

默认情况下，可以通过 SPI 完全访问 AFEx8201（UBM.REG_MODE 除外）。要将器件设置为 SPI 模式，请执行以下操作：

1. 设置 CONFIG.UART_DIS = 1（禁用 UART 通信）。
2. （可选）设置 CONFIG.DSDO、CONFIG.FSDO、CONFIG.CLR_PIN_EN 和 CONFIG.IRQ_PIN_EN。相关详细信息，请参阅表 7-5。

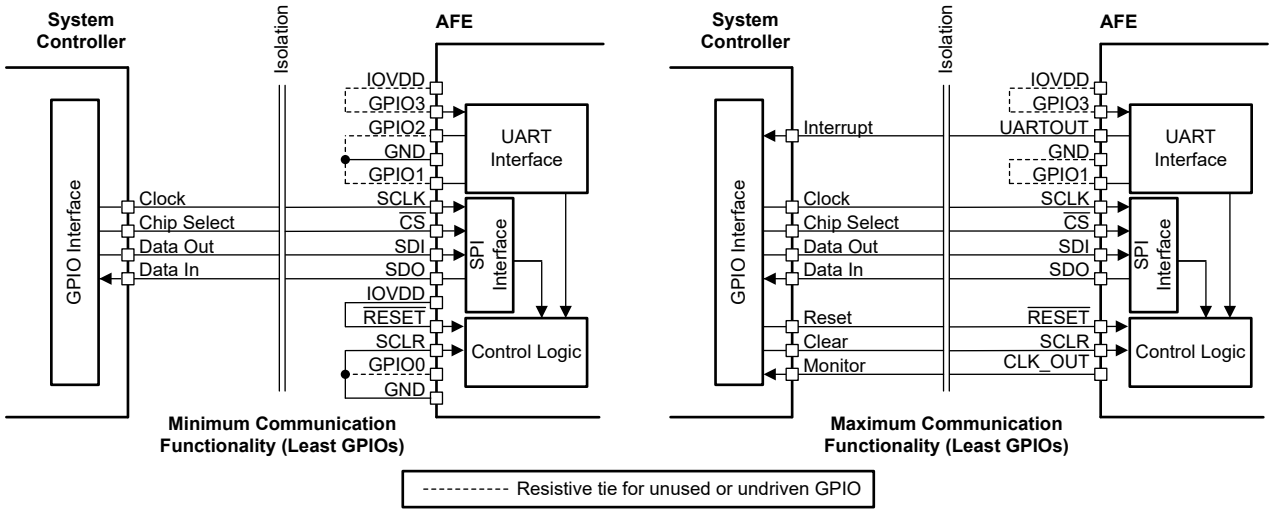


图 6-17. SPI 模式连接

图 6-17 展示了用于实现最小通信功能（所有可选通信引脚已断开连接，显示大多数可用的 GPIO 引脚）和最大通信功能（所有通信引脚已连接，显示最少可用的 GPIO 引脚）的 SPI 模式逻辑连接（通过隔离栅，如果使用）。如果设置了 CONFIG.IRQ_PIN_EN = 1，则 UARTOUT 引脚将用作 IRQ 输出。在 SPI 模式下，设置 CONFIG.SDO_DSDO = 0 可以启用回读功能。为了省电，默认情况下已禁用该功能。如果未启用回读功能，则 SDO 会保持在高阻态模式，即使在读取请求后的后续帧中也是如此。通过正确的寄存器配置来启用每个 GPIO 引脚。如果某个引脚保持未使用状态，则应使用上拉电阻器将该引脚连接到 IOVDD，或使用下拉电阻器将其连接到 GND，以免 I/O 悬空。

6.5.1.2 UART 模式

上电时，UART 接口设置为 9600 波特并会启用 UBM。任何复位都会清除 UBM 寄存器，并且必须再次设置该寄存器才能使用 UBM。要将器件设置为 UBM，请执行以下操作：

1. 使用 UBM，在 9600 波特率下设置 UBM.REG_MODE = 1。该设置会阻止 SPI 访问器件，并允许 UART 接口访问整个寄存器映射。
2. （可选）设置 CONFIG.CLR_PIN_EN 和 CONFIG.IRQ_PIN_EN（请参阅表 7-5 以了解详细信息）。

图 6-18 展示了用于实现最小通信功能（所有可选通信引脚已断开连接，显示大多数可用的 GPIO 引脚）和最大通信功能（所有通信引脚已连接，显示最少可用的 GPIO 引脚）的 UBM 逻辑连接（通过隔离栅，如果使用）。如果设置 CONFIG.IRQ_PIN_EN = 1，则 SDO 引脚将用作 IRQ 输出。如果设置 CONFIG.CLR_PIN_EN = 1，则 SDI 引脚将控制清除引脚功能。通过正确的寄存器配置来启用每个 GPIO 引脚。如果某个 GPIO 引脚保持未使用状态，则应使用上拉电阻器将该引脚连接到 IOVDD，或使用下拉电阻器将其连接到 GND，以免 I/O 悬空。

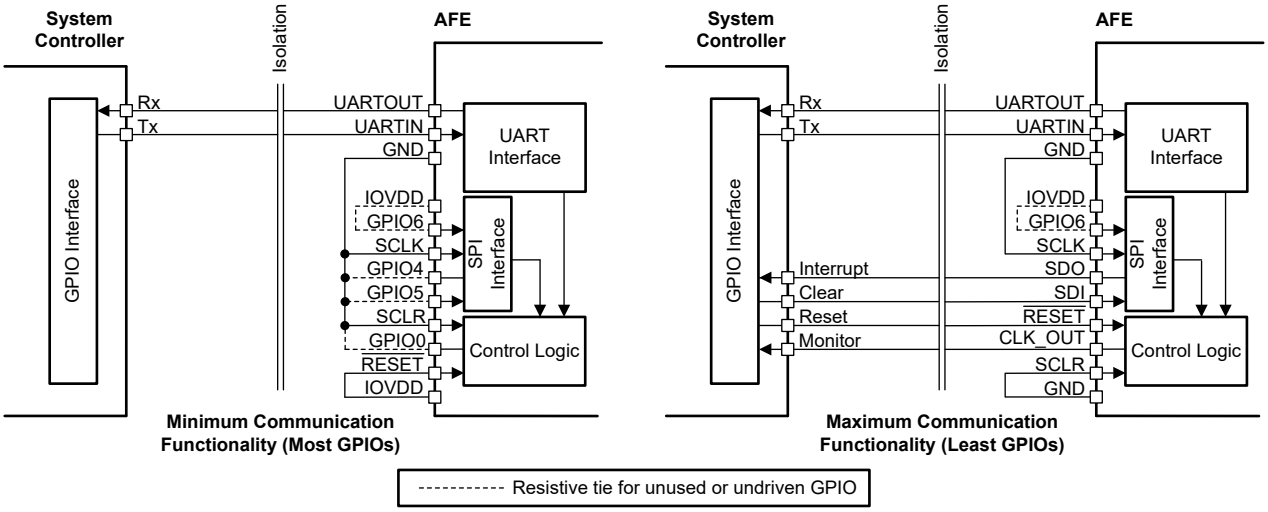


图 6-18. UBM（UART 接口）连接

Copyright © 2024 Texas Instruments Incorporated

6.5.2 GPIO 编程

当不用于通信时，七个物理引脚可作为 AFEx8201 中的 GPIO 进行互操作。这些引脚的状态在通信接口模式确定后设置（请参阅节 6.5.1，了解 AFEx8201 支持的每种通信模式的上电条件和连接图选项）。将任何未使用的通信引脚配置为 GPIO，并通过电阻方式将引脚分别连接到 IOVDD 或 GND，如节 6.5.1 中所述。

表 6-8 显示了 UBM 或 SPI 模式下的引脚和引脚功能，并列出了为每个引脚启用 GPIO 功能的寄存器配置条件。除了这些寄存器配置外，要将可用引脚用作 GPIO，请设置相应的 GPIO_CFG.EN 位。

要将 GPIO 引脚配置为输入，必须满足以下条件：

1. 该引脚的 GPIO_CFG.ODE 必须 = 1
2. 该引脚的 GPIO.DATA 必须 = 1

初始化之后，引脚状态为高阻态。读取 GPIO.DATA 寄存器即可读取到引脚值。

如果不满足前面的条件，则该引脚为输出。在这种情况下，输出驱动类型由 GPIO_CFG.ODE 位决定是推挽式还是伪开漏式。GPIO 输出由 GPIO.DATA 位驱动。GPIO.DATA 的所有读取都会报告引脚的值，无论引脚是否配置为 GPIO。写入 GPIO.DATA 位的数据无法直接读取。如果一个引脚可用作 GPIO，则必须设置相应的 GPIO_CFG.EN 位来启用 GPIO 功能。

表 6-8. 每种接口模式下的引脚配置

引脚	UBM		SPI		用于启用 GPIO 的寄存器配置 (1)
	功能	方向	功能	方向	
GPIO6/$\overline{CS}$	GPIO	输入/输出	$\overline{CS}$	输入	(UBM.REG_MODE = 1)
GPIO5/SDI	CLR/GPIO	输入/输出	SDI	输入	(UBM.REG_MODE = 1) AND (CONFIG.CLR_PIN_EN = 0)
GPIO4/SDO	IRQ/GPIO	输入/输出	SDO	输出	(UBM.REG_MODE = 1) AND (CONFIG.IRQ_PIN_EN = 0)
GPIO3/UARTIN	UARTIN	输入	GPIO	输入/输出	(CONFIG.UART_DIS = 1)
GPIO2/UARTOUT	UARTOUT	输出	IRQ/GPIO	输入/输出	(CONFIG.UART_DIS = 1) AND (CONFIG.IRQ_PIN_EN = 0)
GPIO1	GND	不适用	GPIO	输入/输出	(CONFIG.UART_DIS = 1)
GPIO0/CLK_OUT	CLKO/GPIO	输入/输出	GPIO/CLKO	输入/输出	(CONFIG.CLKO = 0) AND ((UBM.REGMODE = 1) OR (CONFIG.UART_DIS = 1))

(1) 除相应的 GPIO_CFG.EN 位之外，也是引脚的要求。

6.5.3 串行外设接口 (SPI)

AFEx8201 经由一个多功能的四线制串行接口（SDIN、SDO、SCLK 和 $\overline{CS}$）进行控制。这个接口以高达 12.5MHz 的时钟速率运行，并与 SPI、QSPI、Microwire 和数字信号处理 (DSP) 标准兼容。SPI 通信命令包含一个读取或写入地址、一个数据字和一个可选的 CRC 字节。

SPI 可以访问除 UBM 寄存器之外的所有寄存器地址。只读和读写功能由寄存器定义（请参阅表 7-1）。SPI 支持 SPI 模式 1（CPOL = 0、CPHA = 1）和 SPI 模式 2（CPOL = 1、CPHA = 0）。默认 SCLK 值在 SPI 模式 1 下为低电平，在 SPI 模式 2 下为高电平。请参阅节 5.7，了解每种模式下的时序图。串行时钟 SCLK 可以是连续时钟或选通时钟。

6.5.3.1 SPI 帧定义

根据 *时序要求* 中列出的时序要求，紧随 $\overline{CS}$ 下降沿之后的第一个 SCLK 下降沿会捕获第一个帧位。根据同样的要求，$\overline{CS}$ 上升沿之前的最后一个 SCLK 下降沿会捕获最后一个帧位。图 6-19 显示了 SPI 移位寄存器帧为 32 位宽，并包含一个 R/W 位，后跟一个 7 位地址和一个 16 位数据字。8 位 CRC 是可选的（默认启用），并通过设置 CONFIG.CRC_EN = 0 来禁用（另请参阅节 6.5.3.3）。图 6-20 显示，当 CRC 禁用时，帧为 24 位宽。

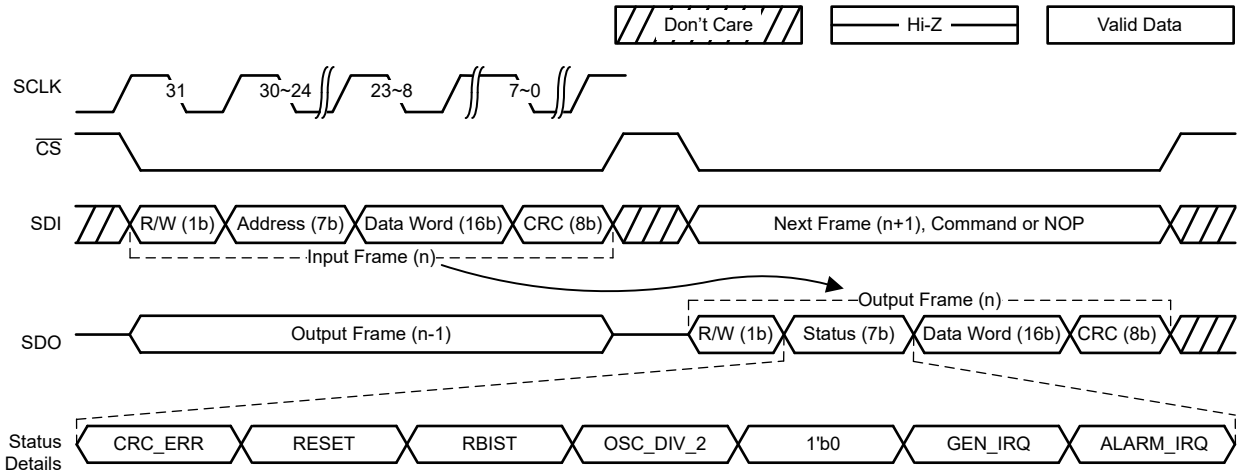


图 6-19. SPI 帧详细信息（默认，启用 CRC）

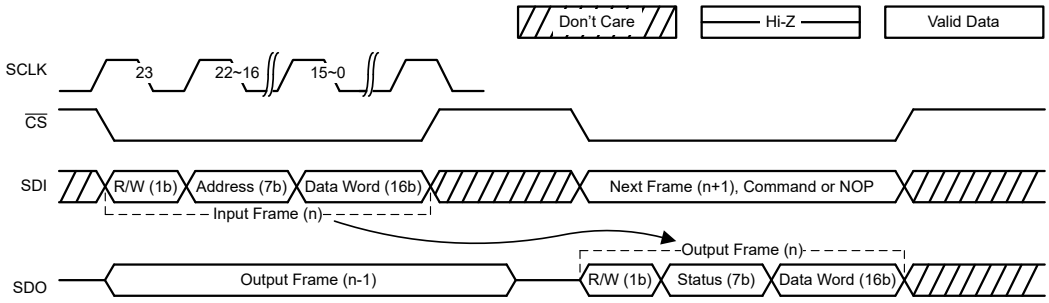


图 6-20. SPI 帧详细信息（禁用 CRC）

对于有效帧，必须在 $\overline{CS}$ 变为高电平之前发送完整帧长度的数据（禁用 CRC 时为 24 位，启用 CRC 时为 32 位）。如果 $\overline{CS}$ 在整个帧的最后一个 SCLK 下降沿之前变为高电平，则数据字不会传输到内部寄存器中。如果在 $\overline{CS}$ 变为高电平之前施加超过整个帧长度的 SCLK 下降沿，则会使用最后一个完整帧长度的位数。换句话说，如果在 $\overline{CS}$ = 0 时，SCLK 下降沿的数量为 34，则会将最后 32 个 SCLK 周期（如果禁用 CRC，则为 24 个周期）视为有效帧。器件内部寄存器在 $\overline{CS}$ 上升沿通过 SPI 移位寄存器进行更新。要启动另一次串行传输，请再次将 $\overline{CS}$ 拉至低电平。当 $\overline{CS}$ 为高电平时，SCLK 和 SDI 信号会被阻断，且 SDO 引脚为高阻抗。

Copyright © 2024 Texas Instruments Incorporated

6.5.3.2 SPI 读取和写入

SDI 输入位在 SCLK 下降沿被锁存。SDI 引脚接收右对齐数据。在 $\overline{CS}$ 的上升沿，最右边（最后）的位作为帧进行评估。帧期间的额外时钟周期（超出帧长度）开始在 SDO 上输出延迟一个帧长度的 SDI 数据。

当 R/W 位为 1 时，便会开始读取操作。在读取命令帧中会忽略 SDI 的数据字输入。向 SDI 中发送后续读取或写入命令帧，即可在时钟沿输出 SDO 上所寻址的寄存器的数据。如果不需要其他读取或写入命令，则发出 NOP 命令来检索请求的数据。读取寄存器值首先在 SCLK 的连续边沿（根据 CONFIG.FSDO 设置，为上升沿或下降沿）在 SDO 上输出最高有效位。

当 R/W 位为 0 时，写入操作开始。一条写入命令的 SDO 输出（在下一帧中传送）包含状态位、表 6-9 中所述的数据，如果启用了 CRC，还包括输出帧的 8 位 CRC。

表 6-9. 命令功能

命令位	SDI 输入数据字	SDO 响应数据字[(1)]
写入 (R/W = 0)	要写入的数据 (16b)	0x0000
读取 (R/W = 1)	忽略[(2)]	寄存器输出数据 (16b)

(1) 下一帧输出中的响应数据部分。
(2) 如果已启用 CRC，输入位将包括在 CRC 的计算中（请参阅节 6.5.3.3）。

仅当 $\overline{CS}$ = 0 且 CONFIG.DSDO = 0 时，才会驱动有效 SDO 输出；否则，SDO 引脚将保持高阻态以省电。SDO 数据位在帧内是左对齐的，这意味着当 $\overline{CS}$ 置为低电平有效时（位由 $\overline{CS}$ 的下降沿驱动）会在线路上产生最高有效位（取决于时序详细信息）。当 CONFIG.FSDO = 0（默认值）时，帧中的后续位由 SCLK 上升沿驱动。要在 SCLK 的下降沿驱动 SDO 数据，请设置 CONFIG.FSDO = 1。该设置实际上为 SDO 数据提供了一个额外的 ½ 时钟周期作为设置时间，但代价是增加保持时间。

SDO 上的帧输出中包含生成该帧（前一个输入帧）的输入的命令位，后跟七个状态位（请参阅图 6-19）。检测到输入帧 CRC 错误时，状态位 CRC_ERR = 1。如果没有输入帧 CRC 错误，则 CRC_ERR = 0。有关详细信息，请参阅表 6-10。

6.5.3.3 帧错误校验

如果在有噪声的环境中使用 AFEx8201，请使用 CRC 检查器件与系统控制器之间 SPI 数据通信的完整性。此功能默认启用，并由 CONFIG.CRC_EN 位控制。如果系统中不需要 CRC，请通过 CRC_EN 位禁用帧错误校验，并从默认的 32 位帧切换到 24 位帧。

帧错误校验基于 CRC-8-ATM (HEC) 多项式：$x^8 + x^2 + x + 1$ (*9'b100000111*)。

对于输出寄存器回读，AFEx8201 会为所提供的 24 位数据提供计算出的 8 位 CRC，作为 32 位帧的一部分。

AFEx8201 会解码 24 位输入帧数据和 8 位 CRC 以计算 CRC 余数。如果帧中不存在错误，则 CRC 余数为零。当余数为非零值（即输入帧具有 single-bit 或 multiple-bit 错误）时，ALARM_STATUS.CRC_ERR_CNT 位会递增。错误的 CRC 值会阻止对器件执行命令。

当 CRC 错误计数器达到 CONFIG.CRC_ERR_CNT 中编程的限制时，ALARM_STATUS 寄存器中的 CRC_FLT 状态位将置位。在下一帧期间，该故障在 SDO 上报告为 ALARM_IRQ（只要未设置相应的屏蔽）。如果通过警报操作配置启用了 $\overline{ALARM}$ 引脚，则该引脚会置为低电平有效（请参阅节 6.3.3.2）。

SDO 帧中的 CRC_ERR 状态位（请参阅图 6-19）不是粘滞位，仅在前一帧进行报告。ALARM_STATUS.CRC_FLT 位是粘滞位，仅在成功读取 ALARM_STATUS 寄存器后才会被清除。读取 GEN_STATUS 或 ALARM_STATUS 寄存器可以清除已设置的任何粘滞位。

粘滞状态位在回读帧开始时被清除，并在回读帧结束时再次被锁存。因此，如果先前在状态寄存器中报告的故障条件在回读帧结束时不再存在，并且微控制器接收到的数据带有 CRC 错误，则故障信息将丢失。如果需要在有噪声的环境中可靠地监控状态位，请在清除状态位之前将 IRQ 引脚与状态屏蔽位结合使用以找出每个故障的状态。

请设置 CONFIG.IRQ_LVL 位来监控 IRQ 引脚上的信号电平，并逐个取消屏蔽每个状态位以便从状态寄存器检索信息。

6.5.3.4 同步

AFEx8201 寄存器映射在内部时钟域上运行。SPI 和 UBM 数据包都会与该域同步。这样的同步会相对于 $\overline{CS}$ 的上升沿或 UBM 数据包最后一个字节的停止位增加 0.4μs 至 1.22μs（1.5 个内部时钟）的延时。

由于 UBM 通信的低速和异步特性，时钟同步对 UBM 通信的影响并不明显。

在 SPI 模式下，如果更改寄存器位 CONFIG.DSDO、CONFIG.FSDO 或 CONFIG.CRC_EN，则应在发出下一个帧之前使 $\overline{CS}$ 保持高电平至少两个时钟周期。如果未使用这两个额外的周期，则可能会发生帧数据损坏。以下是帧损坏的示例：

- 设置 CONFIG.DSDO = 0：SDO 在下一帧的中间开始驱动。
- 更改 CONFIG.FSDO：SDO 的启动沿在下一帧的中间发生变化。
- 设置 CONFIG.CRC_EN = 1：下一帧存在 CRC 错误，因为在帧的中间启用了 CRC。

为防止损坏的帧对通信造成影响，应在设置 DSDO、FSDO 和 CRC_EN 位后发送 NOP 命令 (SDI = 0x00_0000)。在设置 CONFIG.CRC_EN 后发送 NOP 仍会生成 CRC 错误，并会在 SDO 的 STATUS 部分进行报告。为避免误报错误，请在设置 CONFIG.CRC_EN 后等待大约 2μs 时间，然后再发送下一帧。

Copyright © 2024 Texas Instruments Incorporated

6.5.4 UART 接口

在 UART 模式下，该器件需要 1 个开始位、8 个数据位、1 个奇校验位和 1 个停止位，或 8O1 UART 字符格式。

6.5.4.1 UART 中断模式 (UBM)

在 UART 中断模式 (UBM) 下，微控制器发出 UART 中断信号以开始通信。该器件会将 UART 中断信号解释为开始从 UART 接收命令。一个通信 UART 字符包含一个开始位、八个数据位、一个奇校验位和至少一个停止位。一个 UART 中断字符的所有 11 个位（包括开始位、数据位、奇偶校验位和停止位）由 UARTIN 引脚上的微控制器和 UARTOUT 引脚上的 AFEx8201 保持为低电平。当 AFEx8201 在 UARTIN 上检测到一个有效的中断字符时，不会为这个字符标记任何奇偶校验（即使奇偶校验是奇数）或停止位错误。有效 UBM 中断字符和通信字符之间的奇偶校验和停止位差异必须在从 AFEx8201 的 UARTOUT 引脚接收这些字符时由系统微控制器进行管理。请参阅图 5-2，了解 UBM 中断字符、通信时序详细信息和位顺序。

AFEx8201 UART 中断模式通信支持 9600 波特。

设置 UBM.REG_MODE = 1 可以启用通过 UART 访问寄存器映射。默认情况下，该位设置为 0。除 UBM 寄存器外，整个寄存器映射只能通过 SPI 进行访问。UBM 寄存器只能通过 UBM 进行访问。在 UBM.REG_MODE 设置为 1 后，SPI 无法访问寄存器映射，而 UBM 则可以访问完整的寄存器映射。

在两种情况下，UARTOUT 上的 AFEx8201 会发起 UBM 数据输出数据包。请参阅图 6-23，了解数据包结构详细信息。如果 R/IRQn 状态位为 0，则 IRQ 事件启动了中断命令。如果 R/IRQn 状态位为 1，则中断命令是对先前读取请求的响应。

要启用 IRQ 事件，请设置 CONFIG.UBM_IRQ_EN = 1。启用 IRQ 后，AFEx8201 会触发一条中断命令，然后在 UARTOUT 上发送数据（请参阅图 6-23）。

下面按优先级顺序列出了该数据的内容。

1. 如果设置了 ALARM_IRQ 位，则会输出 ALARM_STATUS 寄存器的内容。
2. 如果设置了 GEN_IRQ，则会输出 GEN_STATUS 寄存器的内容。
3. 如果上述位均未设置，则不会生成 IRQ。

一个中断字节后跟三个字节。这三个字节具有与不带 CRC 的 SPI 帧相同的信息（请参阅图 6-20）。无法为 UBM 启用 CRC。UART 总线上的所有通信字符都首先发送最低有效数据位 (D0)。

图 6-21 显示了 UBM 写入命令的数据结构，而图 6-22 显示了 UBM 读取命令的数据结构。

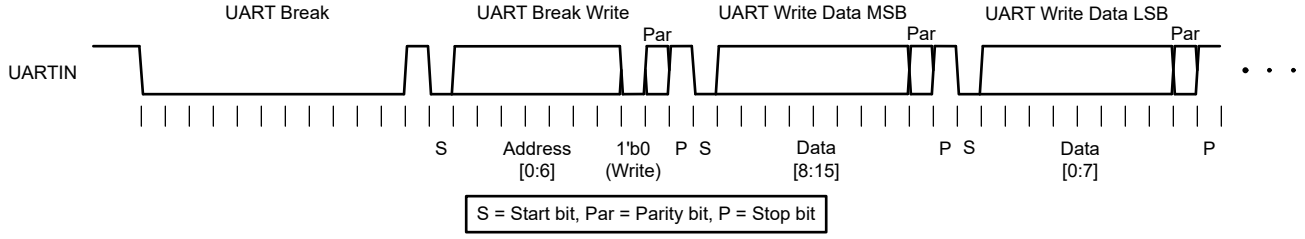


图 6-21. UARTIN 中断写入数据格式

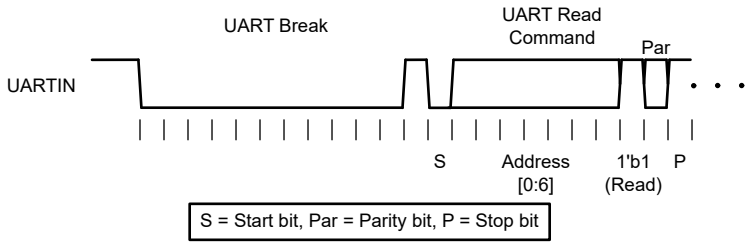


图 6-22. UARTIN 中断读取数据格式

图 6-23 显示了 UARTOUT 数据帧以及 AFEx8201 产生的状态位的详细信息。有关详细信息，请参阅表 6-10。

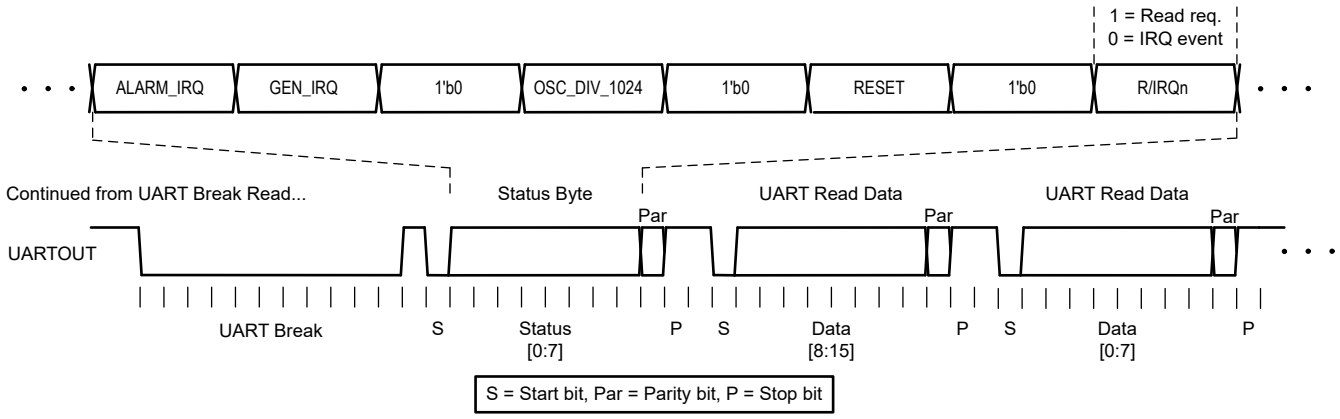


图 6-23. UARTOUT 中断数据格式

Copyright © 2024 Texas Instruments Incorporated

6.5.5 状态位

在 SPI 模式和 UBM 下，AFEx8201 的每个响应都包括一组状态位。如需了解 SPI 模式位顺序，请参阅节 6.5.3.1。如需了解 UBM 位顺序，请参阅节 6.5.4.1。

表 6-10. 状态位

状态位	说明	注释/参考
ALARM_IRQ	1h = ALARM_IRQ 置为有效 0h = 正常运行	来自 GEN_STATUS[(1)] 寄存器（表 7-29）。 另请参阅节 6.3.4。
CRC_ERR （仅限启用 CRC 的 SPI 模式下）	1h = 在输入帧中检测到 CRC 错误 0h = 未检测到 CRC 错误	由 SPI 逐帧生成。 请参阅节 6.5.3.3。
GEN_IRQ	1h = GEN_IRQ 置为有效 0h = 正常运行	来自 ALARM_STATUS[(1)] 寄存器（表 7-28）。 另请参阅节 6.3.4。
OSC_DIV_1024（UBM 模式）	1h = 采样的信号为高电平 0h = 采样的信号为低电平	在状态字节开始位的下降沿采样的细分内部振荡器时钟信号（1024 分频）。另请参阅节 6.3.7。
OSC_DIV_2（SPI 模式）	1h = 采样的信号为高电平 0h = 采样的信号为低电平	在 $\overline{CS}$ 下降沿采样的细分内部振荡器时钟信号（2 分频）。另请参阅节 6.3.7。
R/IRQn（仅 UBM）	1h = 读取请求 0h = IRQ 事件	由 UART 接口逐帧生成。 有关详细信息，请参阅节 6.5.4.1。
RBIST	1h = RBIST 繁忙（寄存器不可读） 0h = RBIST 完成（寄存器可读）	RBIST 运行状态。 有关详细信息，请参阅节 6.4.1。
复位	1h = 复位后首次回读 0h = 所有其他回读	来自 GEN_STATUS 寄存器（表 7-29）。 另请参阅节 6.4.3。

(1) ALARM_STATUS 和 GEN_STATUS 寄存器包含其他寄存器的交叉可读 IRQ 标志。ALARM_STATUS 寄存器具有 GEN_IRQ 位。。GEN_STATUS 具有 ALARM_IRQ 位。该功能使系统微控制器可以始终通过只读取一个寄存器来获取完整的状态信息，从而省电。

6.5.6 看门狗计时器

AFEx8201 有一个看门狗计时器 (WDT) 可确保系统控制器与该器件之间的通信不会丢失。WDT 会检查该器件是否在可编程的时间段内接收到来自系统控制器的通信。要启用该功能，请将 WDT.WDT_EN 设置为 1。WDT 会监控 SPI 通信和 UBM 通信。

WDT 有两个限制字段：WDT.WDT_UP 和 WDT.WDT_LO。WDT_UP 字段用于设置 WDT 的时间上限。WDT_LO 字段用于设置时间下限。如果 WDT_LO 设置为 2’b00 以外的值，则 WDT 将用作窗口比较器。如果写入发生得太快（小于 WDT_LO 时间）或太慢（大于 WDT_UP 时间），则会将一个 WDT 错误置为有效。当用作窗口比较器时，如果发生 WDT 错误，则仅当发生对 WDT 寄存器的写入时，WDT 才会复位。如果 WDT_LO 设置为 2'b00，则对任何寄存器进行写入都会将 WDT 时间计数器复位。在该模式下，当计时器到期时，便会将 WDT 错误置为有效。

如果启用，芯片必须在编程的超时窗口内对器件进行任何 SPI 或 UBM 写入。否则，$\overline{ALARM}$ 引脚置为低电平有效，且 ALARM_STATUS.WD_FLT 位设置为 1。WD_FLT 位是粘滞位。在 WD_FLT 置为有效后，必须将 WDT.WDT_EN 设置为 0 以清除 WDT 条件。然后，可以重新启用 WDT。也可以通过发出软件或硬件复位来清除 WDT 条件。清除 WDT 条件后，需通过读取 ALARM_STATUS 寄存器来清除 WD_FLT。

在菊花链配置中使用多个 AFEx8201 器件时，应将所有器件的开漏 $\overline{ALARM}$ 引脚连接在一起来形成有线“或”网络。虽然可以在菊花链上任意数量的器件中启用看门狗计时器；不过，通常只需在菊花链上的一个器件中启用看门狗计时器即可。为了响应菊花链上的器件中同时存在的不同触发条件，可以将有线“或”$\overline{ALARM}$ 引脚拉至低电平。主机处理器必须读取每个器件的 ALARM_STATUS 寄存器，以了解菊花链中存在的所有故障条件。

看门狗超时周期基于 1200Hz 时钟 (1.2288MHz / 1024)。

7 寄存器映射

表 7-1 列出了 AFEx8201 寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都视为保留的存储单元；请勿修改这些寄存器内容。

表 7-1. 寄存器映射

ADDR（十六进制）	寄存器	位说明															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00h	NOP	NOP [15:0]															
01h	DAC_DATA	DATA [15:0]															
02h	CONFIG	CRC_ERR_CNT [1:0]		CLKO [3:0]				UBM_ IRQ_EN	IRQ_ PIN_EN	CLR_ PIN_EN	UART_DIS	RESERVED	CRC_EN	IRQ_POL	IRQ_LVL	DSDO	FSDO
03h	DAC_CFG	RESERVED			PD	SR_CLK [2:0]			SR_STEP [2:0]			SR_EN	SR_MODE	RESERVED	CLR	RESERVED	
04h	DAC_GAIN	GAIN [15:0]															
05h	DAC_OFFSET	OFFSET [15:0]															
06h	DAC_CLR_ CODE	CODE [15:0]															
07h	RESET	RESERVED								SW_RST [7:0]							
08h	ADC_CFG	BUF_PD	HYST [6:0]							FLT_CNT [2:0]			AIN_ RANGE	EOC_ PER_CH	CONV_RATE [1:0]		DIRECT_ MODE
09h	ADC_INDEX_ CFG	RESERVED								STOP [3:0]				START [3:0]			
0Ah	TRIGGER	RESERVED												RBIST	RESERVED	SHADOW LOAD	ADC
0Bh	SPECIAL_ CFG (1)	RESERVED													OTP_ LOAD_ SW_RST	ALMV_ POL	AIN1_ENB
10h	ALARM_ACT	SD_FLT [1:0]		TEMP_FLT [1:0]		AIN1_FLT [1:0]		AIN0_FLT [1:0]		CRC_WDT_FLT [1:0]		VREF_FLT [1:0]		THERM_ERR_FLT [1:0]		THERM_WARN_FLT [1:0]	
11h	WDT	RESERVED										WDT_UP [2:0]			WDT_LO [1:0]		WDT_EN
12h	AIN0_ THRESHOLD	Hi [7:0]								Lo [7:0]							
13h	AIN1_ THRESHOLD	Hi [7:0]								Lo [7:0]							
14h	TEMP_ THRESHOLD	Hi [7:0]								Lo [7:0]							
16h	UBM (2)	RESERVED															REG_ MODE
18h	SCRATCH	DATA [15:0]															
19h	CHIP_ID_LSB	ID [15:0]															
1Ah	CHIP_ID_MSB	ID [15:0]															
1Bh	GPIO_CFG	RESERVED	EN [6:0]							RESERVED	ODE [6:0]						
1Ch	GPIO	RESERVED									DATA [6:0]						
1Dh	ALARM_ STATUS_MASK	RESERVED		SD_FLT	OSC_FAIL	RESERVED			OTP_ CRC_ERR	CRC_FLT	WD_FLT	VREF_FLT	ADC_ AIN1_FLT	ADC_ AIN0_FLT	ADC_ TEMP_ FLT	THERM_ ERR_FLT	THERM_ WARN_ FLT

Copyright © 2024 Texas Instruments Incorporated

表 7-1. 寄存器映射（续）

ADDR（十六进制）	寄存器	位说明															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1Eh	GEN_STATUS_MASK	RESERVED					RBIST_DONE	RBIST_FAIL	RESERVED	SR_BUSYn	ADC_EOC	RESERVED		BREAK_FRAME_ERR	BREAK_PARITY_ERR	UART_FRAME_ERR	UART_PARITY_ERR
20h	ALARM_STATUS	GEN_IRQ	RESERVED	SD_FLT	OSC_FAIL	CRC_CNT [1:0]		OTP_LOADEDn	OTP_CRC_ERR	CRC_FLT	WD_FLT	VREF_FLT	ADC_AIN1_FLT	ADC_AIN0_FLT	ADC_TEMP_FLT	THERM_ERR_FLT	THERM_WARN_FLT
21h	GEN_STATUS	ALARM_IRQ	RESERVED		OTP_BUSY	RBIST_MODE	RBIST_DONE	RBIST_FAIL	复位	SR_BUSYn	ADC_EOC	ADC_BUSY	PVDD_HI	BREAK_FRAME_ERR	BREAK_PARITY_ERR	UART_FRAME_ERR	UART_PARITY_ERR
23h	ADC_FLAGS	RESERVED							SD4_FAIL	SD3_FAIL	SD2_FAIL	SD1_FAIL	SD0_FAIL	TEMP_FAIL	AIN1_FAIL	AIN0_FAIL	RESERVED
24h	ADC_AIN0	RESERVED				DATA [11:0]											
25h	ADC_AIN1	RESERVED				DATA [11:0]											
26h	ADC_TEMP	RESERVED				DATA [11:0]											
27h	ADC_SD_MUX	RESERVED				DATA [11:0]											
28h	ADC_OFFSET	RESERVED				DATA [11:0]											
2Ch	DAC_OUT	DATA [15:0]															
2Dh	ADC_OUT	RESERVED				DATA [11:0]											
2Eh	ADC_BYP	DATA_BYP_EN	OFST_BYP_EN	DIS_GND_SAMP	RESERVED	DATA [11:0]											
2Fh	FORCE_FAIL	CRC_FLT	VREF_FLT	THERM_ERR_FLT	THERM_WARN_FLT	RESERVED		SD4_HI_FLT	SD4_LO_FLT	SD3_HI_FLT	SD3_LO_FLT	SD2_HI_FLT	SD2_LO_FLT	SD1_HI_FLT	SD1_LO_FLT	SD0_HI_FLT	SD0_LO_FLT
3Bh	TIMER_CFG_0	RESERVED												CLK_SEL [1:0]		INVERT	ENABLE
3Ch	TIMER_CFG_1	PERIOD [15:0]															
3Dh	TIMER_CFG_2	SET_TIME [15:0]															
3Eh	CRC_RD	CRC [15:0]															
3Fh	RBIST_CRC	CRC [15:0]															

(1) SPECIAL_CFG 寄存器只能使用 POR 进行复位，不会对 $\overline{\text{RESET}}$ 引脚或 SW_RST 命令做出响应。
(2) UBM 寄存器只能由 UBM 命令进行访问。

7.1 AFEx8201 寄存器

复杂的位访问类型经过编码可适应小型表单元。下表显示了用于此部分中的访问类型的代码。

表 7-2. AFEx8201 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W	WO	只写入
W	WSC	写入自清除
复位或默认值		
-n		复位后的值或默认值
寄存器数组变量		
i、j、k、l、m、n		当这些变量用于寄存器名称、偏移或地址时，它们指的是寄存器数组的值，其中寄存器是一组重复寄存器的一部分。寄存器组构成分层结构，数组用公式表示。
y		当该变量用于寄存器名称、偏移或地址时，它指的是寄存器数组的值。

7.1.1 NOP 寄存器（偏移 = 0h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-3. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	WO	0h	无操作。 写入该字段的数据无效。始终读为零。

7.1.2 DAC_DATA 寄存器（偏移 = 1h）[复位 = 0000h]

返回到 寄存器映射 。

VOUT 的 DAC 代码。

表 7-4. DAC_DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	DATA	R/W	0h	数据。 VOUT 的 DAC 代码。

Copyright © 2024 Texas Instruments Incorporated

7.1.3 CONFIG 寄存器（偏移 = 2h）[复位 = 0036h]

返回到 寄存器映射 。

表 7-5. CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-14	CRC_ERR_CNT	R/W	0h	CRC 错误计数限制 设置在设置状态位之前必须有错误的连续 SPI CRC 帧的数量。 0h = 1（默认值）；1h = 2；2h = 4；3h = 8
13-10	CLKO	R/W	0h	CLKO 使能 启用 CLK_OUT 引脚并设置分频器值。 0h = 禁用 CLKO（默认值）； 1h = 1.2288MHz； 2h = 1.2288/2MHz； 3h = 1.2288/4MHz； 4h = 1.2288/8MHz； 5h = 1.2288/16MHz； 6h = 1.2288/32MHz； 7h = 1.2288/64MHz； 8h = 1.2288/128MHz； 9h = 1.2288/256MHz； Ah = 1.2288/512MHz； Bh = 1.2288/1024MHz； Ch = 1'b0；Dh = 1'b0；Eh = 1'b0； Fh = 计时器
9	UBM_IRQ_EN	R/W	0h	UBM IRQ 使能 允许通过 UBM 在 UARTOUT 上发送 IRQ。 0h = 禁用（默认值）；1h = 启用
8	IRQ_PIN_EN	R/W	0h	IRQ 引脚使能 启用 IRQ 引脚功能。 0h = 禁用（默认值）；1h = 启用
7	CLR_PIN_EN	R/W	0h	清除输入引脚使能 在 UBM 和 SPI 中启用基于引脚的清除状态转换。 0h = 禁用（默认值）；1h = 在 SPI 模式下启用 SCLR 引脚或在 UBM 模式下将 SDI 引脚配置为清除输入引脚
6	UART_DIS	R/W	0h	UART 失能 禁用 UART 功能。 0h = 启用 UART（默认值）；1h = 禁用 UART
5	保留	R	1h	保留。务必将该位设置为 1h 以实现正常功能。
4	CRC_EN	R/W	1h	CRC 使能 启用 SPI 的 CRC。 0h = 禁用；1h = 启用（默认值）
3	IRQ_POL	R/W	0h	IRQ 极性 0h = 低电平有效（默认值）；1h = 高电平有效
2	IRQ_LVL	R/W	1h	IRQ 电平 0h = 边沿敏感；1h = 电平敏感（默认值）
1	DSDO	R/W	1h	SDO 高阻态 0h = 在 $\overline{CS}$ = 0 期间驱动 SDO；1h = SDO 始终为高阻态（默认值）
0	FSDO	R/W	0h	快速 SDO 在 SCLK 的负边沿上驱动 SDO。 0h = 在 SCLK 的上升沿（启动沿）驱动 SDO（默认值） 1h = 在 SCLK 的下降沿（提前捕获边沿 1/2 时钟）驱动 SDO

Copyright © 2024 Texas Instruments Incorporated

7.1.4 DAC_CFG 寄存器（偏移 = 3h）[复位 = 0B00h]

返回到 寄存器映射 。

表 7-6. DAC_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-13	保留	R/W	0h	
12	PD	R/W	0h	DAC 输出缓冲器断电 在断电模式下，DAC 输出设置为高阻态。 0h = 启用 DAC 输出缓冲器（默认值） 1h = 禁用 DAC 输出缓冲器
11-9	SR_CLK	R/W	5h	转换时钟速率 0h = 307.2kHz 1h = 153.6kHz 2h = 76.8kHz 3h = 38.4kHz 4h = 19.2kHz 5h = 9600Hz（默认值） 6h = 4800Hz 7h = 2400Hz
8-6	SR_STEP	R/W	4h	转换步长 0h = 1 个代码 1h = 2 个代码 2h = 4 个代码 3h = 8 个代码 4h = 16 个代码（默认值） 5h = 32 个代码 6h = 64 个代码 7h = 128 个代码
5	SR_EN	R/W	0h	转换使能 启用输出电压转换。 0h = 禁用（默认值） 1h = 启用
4	SR_MODE	R/W	0h	转换模式 输出压摆率模式选择。 0h = 线性转换（默认值） 1h = 正弦转换
3	保留	R	0h	
2	CLR	R/W	0h	清除状态 0h = 正常运行（默认值） 1h = 强制 DAC 进入清除状态
1-0	保留	R	0h	

Copyright © 2024 Texas Instruments Incorporated

7.1.5 DAC_GAIN 寄存器（偏移 = 4h）[复位 = 8000h]

返回到 寄存器映射 。

表 7-7. DAC_GAIN 寄存器字段说明

位	字段	类型	复位	说明
15-0	GAIN	R/W	8000h	增益 将 DAC 输出的增益设置为 0.5 至 1.499985 之间的值。 例如： 0000h = 0.5 8000h = 1.0（默认值） FFFFh = 1.499985

7.1.6 DAC_OFFSET 寄存器（偏移 = 5h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-8. DAC_OFFSET 寄存器字段说明

位	字段	类型	复位	说明
15-0	OFFSET	R/W	0h	偏移 调整 DAC 输出的偏移，二进制补码数。 例如： 0000h = 0（默认值） FFFFh = -1

7.1.7 DAC_CLR_CODE 寄存器（偏移 = 6h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-9. DAC_CLR_CODE 寄存器字段说明

位	字段	类型	复位	说明
15-0	代码	R/W	0h	清除状态 DAC 代码 在清除状态下应用的 DAC 代码。请参阅节 6.3.1.6。

7.1.8 RESET 寄存器（偏移 = 7h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-10. RESET 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0h	
7-0	SW_RST	WSC	0h	软件复位 写入 ADh 以启动软件复位。

7.1.9 ADC_CFG 寄存器（偏移 = 8h）[复位 = 8810h]

返回到 寄存器映射 。

表 7-11. ADC_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	BUF_PD	R/W	1h	ADC 缓冲器断电 0h = 启用 ADC 缓冲器；1h = ADC 缓冲器断电（默认值）
14-8	HYST	R/W	8h	迟滞 当超过 AIN0/AIN1/TEMP 的 ADC 测量阈值时使用的迟滞代码数。
7-5	FLT_CNT	R/W	0h	故障计数 触发警报的连续故障数。 连续故障数为编程值 + 1（1-8 个故障）。
4	AIN_RANGE	R/W	1h	ADC 模拟输入范围 仅当 PVDD ≥ 2.7V 时，才能将 AIN0 和 AIN1 输入电压范围设置为使用 2.5V 范围。 0h = 2 × VREF；1h = 1 × VREF（默认值）
3	EOC_PER_CH	R/W	0h	每个通道的 ADC 转换结束 在每个通道结束而不是在所有通道结束时发送 EOC 脉冲。 0h = 最后一个通道之后的 EOC（默认值）；1h = 每个通道的 EOC
2-1	CONV_RATE	R/W	0h	ADC 转换速率 该设置仅影响通道 AIN0 和 AIN1 的转换速率。速率基于 76.8kHz ADC 时钟。所有其他通道均使用 2560Hz。 0h = 3840Hz（默认值） 1h = 2560Hz 2h = 1280Hz 3h = 640Hz
0	DIRECT_MODE	R/W	0h	直接模式使能 0h = 自动模式（默认值）；1h = 直接模式

7.1.10 ADC_INDEX_CFG 寄存器（偏移 = 9h）[复位 = 0080h]

返回到 寄存器映射 。

ADC 自定义通道时序配置如表 7-12 所示。

表 7-12. ADC_INDEX_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-8	保留	R	0h	
7-4	STOP	R/W	8h	自定义通道序列发生器停止索引 用于停止 ADC 序列的 CCS 索引。必须为 ≥ START。否则，会强制 STOP = START。 0h = OFFSET 1h = AIN0 2h = AIN1 3h = TEMP 4h = SD0 (VREF) 5h = SD1 (PVDD) 6h = SD2 (VDD) 7h = SD3 (ZTAT) 8h = SD4 (VOUT)（默认值） 9h 至 Fh = GND
3-0	START	R/W	0h	自定义通道序列发生器启动索引 用于启动 ADC 序列的 CCS 索引。 0h 至 Fh = 与 STOP 字段相同（默认为 0h）

Copyright © 2024 Texas Instruments Incorporated

7.1.11 TRIGGER 寄存器（偏移 = Ah）[复位 = 0000h]

返回到 寄存器映射 。

表 7-13. TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-4	保留	R	0h	
3	RBIST	WSC	0h	RBIST 触发器 该触发器启动寄存器 BIST。该 BIST 通过配置寄存器（表 6-7）运行 CRC 计算，并将结果与 RBIST_CRC 寄存器中存储的 CRC 值进行比较。
2	保留	R	0h	
1	SHADOWLOAD	WSC	0h	影子加载触发器 该触发器启动将 OTP 阵列加载到并行锁存器中的操作。如果检测到 OTP CRC 错误，请将该触发器置为有效以尝试将 OTP 重新加载到存储器位置。
0	ADC	WSC	0h	ADC 触发 在自动模式下，该位可以启用或禁用转换。手动设置为 1（启用）或 0（禁用）。在直接模式下，设置该位以启动转换序列。在序列结束时将该位清零。要提前停止序列，请手动将该位清零。

7.1.12 SPECIAL_CFG 寄存器（偏移 = Bh）[复位 = 0000h]

返回到 寄存器映射 。

表 7-14. SPECIAL_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-3	保留	R	0h	
2	OTP_LOAD_SW_RST	R/W	0h	使用软件复位进行 OTP（一次性可编程出厂修整寄存器）加载 将软件复位 (SW_RST) 置为有效以进行 OTP 重新加载。 0h = 不使用 SW_RST 重新加载 1h = 使用 SW_RST 重新加载
1	ALMV_POL	R/W	0h	警报电压极性 该寄存器位与 POL_SEL/AIN1 引脚进行“或”运算（如果 AIN1_ENB 位为低电平）以便在硬件复位条件下控制 VOUT，或在警报处于活动状态并已适当设置警报操作的情况下进行此控制。为设置 VOUT 电压的内部信号 ALMV_POL_o 实现了以下布尔函数： ALMV_POL_o = ALMV_POL OR (POL_SEL/AIN1 AND NOT AIN1_ENB) 0h = 低电平 (0V) 1h = 高电平 (2.5V)
0	AIN1_ENB	R/W	0h	AIN1 引脚使能 该位决定 POL_SEL/AIN1 引脚是用作警报电压极性控制位还是 ADC 的输入通道。 0h = AIN1 引脚用作警报电压极性位且 ADC 转换 GND 1h = AIN1 引脚是 ADC 的活动通道

7.1.13 ALARM_ACT 寄存器（偏移 = 10h）[复位 = 8020h]

返回到 寄存器映射 。

表 7-15. ALARM_ACT 寄存器字段说明

位	字段	类型	复位	说明
15-14	SD_FLT	R/W	2h	自诊断故障操作 这些位设置自诊断故障后的器件操作。 0h = 无操作 1h = 将 DAC 设置为清除状态 2h = 切换到由 ALMV_POL 确定的警报电压（默认值） 3h = 将 DAC 置于高阻态（断电）
13-12	TEMP_FLT	R/W	0h	TEMP 故障操作 这些位设置 ADC 温度超出 TEMP_THRESHOLD Hi 或 Lo 阈值时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
11-10	AIN1_FLT	R/W	0h	AIN1 故障操作 这些位设置 ADC AIN1 通道超出 AIN1_THRESHOLD Hi 或 Lo 阈值时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
9-8	AIN0_FLT	R/W	0h	AIN0 故障操作 这些位设置 ADC AIN0 通道超出 AIN0_THRESHOLD Hi 或 Lo 阈值时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
7-6	CRC_WDT_FLT	R/W	0h	CRC 和 WDT 故障操作 这些位设置发生 SPI CRC 或 SPI 看门狗超时错误时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
5-4	VREF_FLT	R/W	2h	VREF 故障操作 这些位设置在 VREF 上检测到故障时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同
3-2	THERM_ERR_FLT	R/W	0h	热错误故障操作 这些位设置发生高温错误 (>130°C) 时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
1-0	THERM_WARN_FLT	R/W	0h	热警告故障操作 这些位设置发生高温警告 (>85°C) 时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）

Copyright © 2024 Texas Instruments Incorporated

7.1.14 WDT 寄存器（偏移 = 11h）[复位 = 0018h]

返回到 寄存器映射 。

表 7-16. WDT 寄存器字段说明

位	字段	类型	复位	说明
15-6	保留	R	0h	
5-3	WDT_UP	R/W	3h	看门狗计时器 (WDT) 上限 如果启用了 WDT 且计时器超过编程值，则会确认 WDT 错误。所有时间均基于 1200Hz 时钟 (1.2288MHz/1024)。 0h = 53ms（64 个时钟） 1h = 106 ms（128 个时钟） 2h = 427 ms（512 个时钟） 3h = 853ms（1024 个时钟，默认） 4h = 1.7s（2048 个时钟） 5h = 2.56s（3072 个时钟） 6h = 3.41s（4096 个时钟） 7h = 5.12s（6144 个时钟）
2-1	WDT_LO	R/W	0h	WDT 下限 如果启用了 WDT 且启用了 WDT 下限，则只需对该寄存器执行写入操作就会将 WDT 计时器复位。如果写入发生在 WDT 下限时间之前或 WDT 上限时间之后，则会确认 WDT 错误。如果禁用了 WDT 下限，则对任何寄存器的写入都会将计时器复位。对于 SPI 和 UART 中断模式都是如此。所有时间均基于 1200Hz 时钟 (1.2288MHz/1024)。 0h = 禁用（默认值） 1h = 53ms（64 个时钟） 2h = 106 ms（128 个时钟） 3h = 427 ms（512 个时钟）
0	WDT_EN	R/W	0h	WDT 启用 0h = 禁用（默认值）；1h = 启用

7.1.15 AIN0_THRESHOLD 寄存器（偏移 = 12h）[复位 = FF00h]

返回到 寄存器映射 。

表 7-17. AIN0_THRESHOLD 寄存器字段说明

位	字段	类型	复位	说明
15-8	您好，	R/W	FFh	通道 AIN0 的高阈值 {[11:4],4b1111} 该值与 AIN0 数据位 [11:0] 进行比较 (>)。
7-0	Lo	R/W	0h	通道 AIN0 的低阈值 {[11:4],4b0000} 该值与 AIN0 数据位 [11:0] 进行比较 (<)。

7.1.16 AIN1_THRESHOLD 寄存器（偏移 = 13h）[复位 = FF00h]

返回到 寄存器映射 。

表 7-18. AIN1_THRESHOLD 寄存器字段说明

位	字段	类型	复位	说明
15-8	您好，	R/W	FFh	通道 AIN1 的高阈值 {[11:4],4b1111} 该值与 AIN1 数据位 [11:0] 进行比较 (>)。
7-0	Lo	R/W	0h	通道 AIN1 的低阈值 {[11:4],4b0000} 该值与 AIN1 数据位 [11:0] 进行比较 (<)。

Copyright © 2024 Texas Instruments Incorporated

7.1.17 TEMP_THRESHOLD 寄存器（偏移 = 14h）[复位 = FF00h]

返回到 寄存器映射 。

表 7-19. TEMP_THRESHOLD 寄存器字段说明

位	字段	类型	复位	说明
15-8	您好，	R/W	FFh	通道 TEMP 的高阈值 {[11:4],4b1111} 该值与 TEMP 数据位 [11:0] 进行比较 (>)。
7-0	Lo	R/W	0h	通道 TEMP 的低阈值 {[11:4],4b0000} 该值与 TEMP 数据位 [11:0] 进行比较 (<)。

7.1.18 UBM 寄存器（偏移 = 16h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-20. UBM 寄存器字段说明

位	字段	类型	复位	说明
15-1	保留	R	0h	
0	REG_MODE	R/W	0h	寄存器模式 配置寄存器映射的其余部分以供 UART 中断模式 (UBM) 或 SPI 访问。该寄存器只能通过 UART 中断通信来写入。 0h = SPI 模式（默认值） 1h = UART 中断模式

7.1.19 SCRATCH 寄存器（偏移 = 18h）[复位 = FFFFh]

返回到 寄存器映射 。

表 7-21. SCRATCH 寄存器字段说明

位	字段	类型	复位	说明
15-0	DATA	R/W	FFFFh	暂存数据 写入的数据作为取反值读回。 例如，写入 0xAAAA 读回为 0x5555。

7.1.20 CHIP_ID_LSB 寄存器（偏移 = 19h）

返回到 寄存器映射 。

表 7-22. CHIP ID LSB 寄存器字段说明

位	字段	类型	复位	说明
15-0	ID	R		每批次内的唯一器件型号

7.1.21 CHIP_ID_MSB 寄存器（偏移 = 1Ah）

返回到 寄存器映射 。

表 7-23. CHIP ID MSB 寄存器字段说明

位	字段	类型	复位	说明
15-0	ID	R		编码批次识别号

Copyright © 2024 Texas Instruments Incorporated

7.1.22 GPIO_CFG 寄存器（偏移 = 1Bh）[复位 = 00FFh]

返回到 寄存器映射 。

表 7-24. GPIO CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0h	
14-8	EN	R/W	00h	每引脚 GPIO 使能。（请参阅表 6-8 以了解每个引脚和通信模式所需的其他特定配置） [14] = GPIO6 [13] = GPIO5 [12] = GPIO4 [11] = GPIO3 [10] = GPIO2 [9] = GPIO1 [8] = GPIO0 0h = 禁用 GPIO 功能 1h = 启用 GPIO 功能 对于用于通信功能或不用作活动 GPIO 的任何引脚，请将该位设置为 0h。
7	保留	R	0h	
6-0	ODE	R/W	FFh	伪开漏使能 GPIO 引脚上的 GPIO 输出使能和伪开漏功能。（请参阅表 6-8 以了解每个引脚和通信模式所需的其他特定配置） [6] = GPIO6 [5] = GPIO5 [4] = GPIO4 [3] = GPIO3 [2] = GPIO2 [1] = GPIO1 [0] = GPIO0 0h = 启用推挽输出 1h = 启用伪开漏输出

7.1.23 GPIO 寄存器（偏移 = 1Ch）[复位 = 007Fh]

返回到 寄存器映射 。

表 7-25. GPIO 寄存器字段说明

位	字段	类型	复位	说明
15-7	保留	R	0h	
6-0	DATA	R/W	7Fh	GPIO 引脚数据。 对于 GPIO 输入，该位必须写为 1 且 GPIO_CFG.ODE = 1 和 GPIO_CFG.EN = 1。当引脚已正确启用时，读取该寄存器将读取引脚值。（请参阅表 6-8 以了解每个引脚和通信模式所需的其他特定配置） 对于 GPIO 输出，该位设置引脚值。 [6] = GPIO6 [5] = GPIO5 [4] = GPIO4 [3] = GPIO3 [2] = GPIO2 [1] = GPIO1 [0] = GPIO0

Copyright © 2024 Texas Instruments Incorporated

7.1.24 ALARM_STATUS_MASK 寄存器（偏移 = 1Dh）[复位 = EFDFh]

返回到 寄存器映射 。

表 7-26. ALARM_STATUS_MASK 寄存器字段说明

位	字段	类型	复位	说明
15-14	保留	R	3h	
13	SD_FLT	R/W	1h	SD 故障屏蔽 0h = 故障使 IRQ 置为有效 1h = 该屏蔽会阻止触发 IRQ 或警报（默认值）。 如果条件存在，则始终设置为该状态。
12	OSC_FAIL	R/W	0h	OSC_FAIL 故障屏蔽 与 SD 故障屏蔽相同（默认为 0h）。
11-9	保留	R	7h	
8	OTP_CRC_ERR	R/W	1h	OTP CRC 错误屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
7	CRC_FLT	R/W	1h	SPI CRC 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
6	WD_FLT	R/W	1h	看门狗故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
5	VREF_FLT	R/W	0h	VREF 故障屏蔽 与 SD 故障屏蔽相同（默认为 0h）。
4	ADC_AIN1_FLT	R/W	1h	ADC AIN1 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
3	ADC_AIN0_FLT	R/W	1h	ADC AIN0 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
2	ADC_TEMP_FLT	R/W	1h	ADC TEMP 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
1	THERM_ERR_FLT	R/W	1h	温度 > 130°C 错误屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
0	THERM_WARN_FLT	R/W	1h	温度 > 85°C 警告屏蔽 与 SD 故障屏蔽相同（默认为 1h）。

Copyright © 2024 Texas Instruments Incorporated

7.1.25 GEN_STATUS_MASK 寄存器（偏移 = 1Eh）[复位 = FFFFh]

返回到 寄存器映射 。

表 7-27. GEN_STATUS_MASK 寄存器字段说明

位	字段	类型	复位	说明
15-11	保留	R	1Fh	
10	RBIST_DONE	R/W	1h	RBIST 完成屏蔽 0h = 故障使 IRQ 置为有效 1h = 该屏蔽会阻止触发 IRQ 或警报（默认值）。 如果条件存在，则始终设置为该状态。
9	RBIST_FAIL	R/W	1h	RBIST 失败故障屏蔽 与 RBIST 完成屏蔽相同（默认为 1h）。
8	保留	R	1h	
7	SR_BUSYn	R/W	1h	压摆率不忙屏蔽 与 RBIST 完成屏蔽相同（默认为 1h）。
6	ADC_EOC	R/W	1h	ADC 转换结束屏蔽 与 RBIST 完成屏蔽相同（默认为 1h）。
5-4	保留	R	3h	
3	BREAK_FRAME_ERR	R/W	1h	中断帧错误故障屏蔽 与 RBIST 完成屏蔽相同（默认为 1h）。
2	BREAK_PARITY_ERR	R/W	1h	中断奇偶校验错误故障屏蔽 与 RBIST 完成屏蔽相同（默认为 1h）。
1	UART_FRAME_ERR	R/W	1h	UART 帧错误故障屏蔽 与 RBIST 完成屏蔽相同（默认为 1h）。
0	UART_PARITY_ERR	R/W	1h	UART 奇偶校验错误故障屏蔽 与 RBIST 完成屏蔽相同（默认为 1h）。

Copyright © 2024 Texas Instruments Incorporated

7.1.26 ALARM_STATUS 寄存器（偏移 = 20h）[复位 = 0200h]

返回到 寄存器映射 。

表 7-28. ALARM_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	GEN_IRQ	R	0h	通用 IRQ GEN_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = GEN_STATUS 寄存器的所有未屏蔽位均为低电平 1h = GEN_STATUS 寄存器中至少有一个未屏蔽位为高电平
14	保留	R	0h	
13	SD_FLT	R	0h	自诊断 (SD) 故障 0h = 所有自诊断通道都处于阈值限制范围内 1h = 至少一个自诊断通道发生故障
12	OSC_FAIL	R	0h	振荡器故障振荡器无法启动。该位保持 $\overline{\text{ALARM}}$ 低电平且不馈送 IRQ。 0h = 振荡器已启动；1h = 振荡器启动失败
11-10	CRC_CNT	R	0h	CRC 故障计数器 如果计数器限制 ≤ 4，则此处显示计数器的位 [1:0]。 如果计数器限制 = 8，则显示计数器的位 [2:1]。
9	OTP_LOADEDn	R	1h	OTP 未加载当 OTP 已加载至少一次时清除。 在 OTP 完成加载之前保持 $\overline{\text{ALARM}}$ 置为有效。不馈送 IRQ。 0h = OTP 至少已加载一次；1h = OTP 尚未完成加载
8	OTP_CRC_ERR	R	0h	OTP CRC 错误可屏蔽故障。OTP CRC 计算出错。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 OTP CRC 故障；1h = OTP CRC 故障
7	CRC_FLT	R	0h	CRC 故障可屏蔽故障。在 SPI 帧期间发送无效的 CRC 值。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 CRC 故障；1h = CRC 故障
6	WD_FLT	R	0h	看门狗计时器故障 可屏蔽故障。粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无看门狗故障；1h = 看门狗故障
5	VREF_FLT	R	0h	无效基准电压可屏蔽故障。与 FORCE_FAIL.VREF_FLT 位进行“或”运算。 有效信号，只要条件成立就会设置。从模拟电路直接输入。 0h = 有效 VREF 电压；1h = 无效 VREF 电压
4	ADC_AIN1_FLT	R	0h	ADC AIN1 故障。可屏蔽故障。 0h = AIN1 ADC 测量值处于阈值限制范围内 1h = AIN1 ADC 测量值超出阈值限制范围
3	ADC_AIN0_FLT	R	0h	ADC AIN0 故障。可屏蔽故障。 0h = AIN0 ADC 测量值处于阈值限制范围内 1h = AIN0 ADC 测量值超出阈值限制范围
2	ADC_TEMP_FLT	R	0h	ADC Temp 故障。可屏蔽故障。 0h = TEMP ADC 测量值处于阈值限制范围内 1h = TEMP ADC 测量值超出阈值限制范围
1	THERM_ERR_FLT	R	0h	温度 > 130°C 错误。可屏蔽故障。 与 FORCE_FAIL.THERM_ERR_FLT 位进行“或”运算。 有效信号，只要条件成立就会设置。从模拟电路直接输入。 0h = 温度 ≤ 130°C；1h = 温度 > 130°C
0	THERM_WARN_FLT	R	0h	温度 > 85°C 警告。可屏蔽故障。 与 FORCE_FAIL.THERM_WARN_FLT 位进行“或”运算。 有效信号，只要条件成立就会设置。从模拟电路直接输入。 0h = 温度 ≤ 85°C；1h = 温度 > 85°C

Copyright © 2024 Texas Instruments Incorporated

7.1.27 GEN_STATUS 寄存器（偏移 = 21h）[复位 = 1180h]

返回到 寄存器映射 。

表 7-29. GEN_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	ALARM_IRQ	R	0h	警报 IRQ ALARM_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = ALARM_STATUS 寄存器的所有未屏蔽位均为低电平 1h = ALARM_STATUS 寄存器中至少有一个未屏蔽位为高电平
14-13	保留	R	0h	
12	OTP_BUSY	R	1h	上电时，OTP 繁忙状态 = 1h，此时 OTP 正在加载到修整锁存器中。 0h = OTP 已完成加载到器件中 1h = OTP 正在加载到器件中
11	RBIST_MODE	R	0h	启用 RBIST 以运行。 0h = 禁用 RBIST；1h = 启用 RBIST
10	RBIST_DONE	R	0h	RBIST 已完成。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = RBIST 尚未完成；1h = RBIST 已完成
9	RBIST_FAIL	R	0h	RBIST 已失败。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = RBIST 已通过；1h = RBIST 已失败
8	RESET	R	1h	发生器件复位。仅限状态。不馈送 IRQ。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 自上次读取寄存器以来器件尚未复位 1h = 自上次读取寄存器以来器件已复位
7	SR_BUSYn	R	1h	压摆率不忙。可屏蔽故障。 0h = DAC 正在转换到目标代码 1h = DAC_OUT 已达到 DAC_DATA。 如果禁用了压摆率，则该信号会在 3 个内部时钟周期内产生上升沿。如果启用了压摆率，则当 DAC_OUT 达到 DAC_DATA 时，该信号会创建 IRQ 事件。此时可以安全地禁用压摆率。如果在 DAC_OUT = DAC_DATA 之前禁用了压摆率，则会发生 DAC_OUT 跳转。这种情况可能会导致 VOUT 上出现不必要的快速转换。
6	ADC_EOC	R	0h	ADC 转换结束 (EOC)。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 自上次读取寄存器以来无 EOC；1h = ADC 转换结束
5	ADC_BUSY	R	0h	ADC 繁忙。仅限状态。不馈送 IRQ。有效信号，只要条件成立就会设置。 0h = 无 ADC 活动；1h = ADC 正在主动转换
4	PVDD_HI	R	0h	PVDD 高电平。仅限状态。不馈送 IRQ。只要条件成立就会设置。 0h = PVDD < 2.7V；1h = PVDD ⩾ 2.7V
3	BREAK_ FRAME_ERR	R	0h	中断字符期间的停止位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无中断帧错误；1h = 中断帧错误
2	BREAK_ PARITY_ERR	R	0h	中断字符期间的奇偶校验（奇数）位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无中断奇偶校验错误；1h = 中断奇偶校验错误
1	UART_ FRAME_ERR	R	0h	UART 字符期间的停止位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 UART 帧错误；1h = UART 帧错误
0	UART_ PARITY_ERR	R	0h	UART 字符期间的奇偶校验（奇数）位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 UART 奇偶校验错误；1h = UART 奇偶校验错误

Copyright © 2024 Texas Instruments Incorporated

7.1.28 ADC_FLAGS 寄存器（偏移 = 23h）[复位 = 0000h]

返回到 寄存器映射 。

自诊断 (SD) 警报 ADC 阈值的限值如表 6-5 所示。

表 7-30. ADC_FLAGS 寄存器字段说明

位	字段	类型	复位	说明
15-9	保留	R	0h	
8	SD4_FAIL	R	0h	SD4 (VOUT) 限制失败
7	SD3_FAIL	R	0h	SD3 (ZTAT) 限制失败
6	SD2_FAIL	R	0h	SD2 (VDD) 限制失败
5	SD1_FAIL	R	0h	SD1 (PVDD) 限制失败
4	SD0_FAIL	R	0h	SD0 (VREF) 限制失败
3	TEMP_FAIL	R	0h	TEMP 限制失败
2	AIN1_FAIL	R	0h	AIN1 限制失败
1	AIN0_FAIL	R	0h	AIN0 限制失败
0	保留	R	0h	

7.1.29 ADC_AIN0 寄存器（偏移 = 24h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-31. ADC_AIN0 寄存器字段说明

位	字段	类型	复位	说明
15-12	保留	R	0h	
11-0	DATA	R	0h	引脚 AIN0 上的电压的转换值

7.1.30 ADC_AIN1 寄存器（偏移 = 25h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-32. ADC_AIN1 寄存器字段说明

位	字段	类型	复位	说明
15-12	保留	R	0h	
11-0	DATA	R	0h	引脚 AIN1 上的电压的转换值

7.1.31 ADC_TEMP 寄存器（偏移 = 26h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-33. ADC_TEMP 寄存器字段说明

位	字段	类型	复位	说明
15-12	保留	R	0h	
11-0	DATA	R	0h	温度的转换值

7.1.32 ADC_SD_MUX 寄存器（偏移 = 27h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-34. ADC_SD_MUX 寄存器字段说明

位	字段	类型	复位	说明
15-12	保留	R	0h	
11-0	DATA	R	0h	自诊断 (SD) 多路复用器输入端的电压的转换值

7.1.33 ADC_OFFSET 寄存器（偏移 = 28h）[复位 = 0000h]

返回到 寄存器映射 。

表 7-35. ADC_OFFSET 寄存器字段说明

位	字段	类型	复位	说明
15-12	保留	R	0h	
11-0	DATA	R	0h	ADC 比较器偏移 该值报告器件中测量的偏移，可用于调整每个转换值。如果设置了 ADC_BYP.OFST_BYP_EN，则使用 ADC_BYP.DATA 中的值作为偏移。该值不受 ADC_BYP 影响。

7.1.34 DAC_OUT 寄存器（偏移 = 2Ch）[复位 = 0000h]

返回到 寄存器映射 。

表 7-36. DAC_OUT 寄存器字段说明

位	字段	类型	复位	说明
15-0	DATA	R	0h	应用于模拟电路的 DAC 代码

Copyright © 2024 Texas Instruments Incorporated

7.1.35 ADC_OUT 寄存器（偏移 = 2Dh）[复位 = 0000h]

返回到 寄存器映射 。

表 7-37. ADC_OUT 寄存器字段说明

位	字段	类型	复位	说明
15-12	保留	R	0h	
11-0	DATA	R	0h	每次转换的 ADC 数据 不包括 ADC_OFFSET.DATA 调整。不受 ADC_BYP.DATA 影响。

7.1.36 ADC_BYP 寄存器（偏移 = 2Eh）[复位 = 0000h]

返回到 寄存器映射 。

ADC_BYP 寄存器字段说明 中显示了 ADC_BYP。

表 7-38. ADC_BYP 寄存器字段说明

位	字段	类型	复位	说明
15	DATA_BYP_EN	R/W	0h	数据旁路使能 将 ADC_BYP.DATA 应用于要转换的 ADC 通道。ADC_OFFSET 被忽略。请勿同时设置 OFST_BYP_EN 和 DATA_BYP_EN。如果还设置了 OFST_BYP_EN，则 DATA_BYP_EN 优先于 OFST_BYP_EN。转换通道后，ADC_BYP.DATA 值出现在转换的通道的回读寄存器中，用于计算故障。 0h = 禁用数据旁路（默认值） 1h = 启用数据旁路
14	OFST_BYP_EN	R/W	0h	偏移旁路使能 使用 ADC_BYP.DATA 值覆盖偏移寄存器。使用该位时，ADC_BYP.DATA 字段作为二进制补码处理。请勿同时设置 OFST_BYP_EN 和 DATA_BYP_EN。 0h = 禁用偏移旁路（默认值） 1h = 启用偏移旁路
13	DIS_GND_SAMP	R/W	0h	禁用 GND 采样 该位在 SAR 活动期间禁用 GND 采样。GND 采样用于对采样电容器进行完全放电以减少通道串扰。 0h = 启用 GND 采样（默认值） 1h = 禁用 GND 采样
12	保留	R	0h	
11-0	DATA	R/W	0h	旁路数据

7.1.37 FORCE_FAIL 寄存器（偏移 = 2Fh）[复位 = 0000h]

返回到 寄存器映射 。

强制失败以进行故障检测。

表 7-39. FORCE_FAIL 寄存器字段说明

位	字段	类型	复位	说明
15	CRC_FLT	R/W	0h	通过反转 CRC 字节在 SDO 上强制 CRC 失败 0h = 不强制 CRC 失败（默认值） 1h = 强制 CRC 失败
14	VREF_FLT	R/W	0h	强制基准电压失败。模拟信号。 0h = 不强制 VREF 失败（默认值） 1h = 强制 VREF 失败
13	THERM_ERR_FLT	R/W	0h	强制温度 > 130°C 热错误。模拟信号。 0h = 不强制温度 > 130°C 错误（默认值） 1h = 强制温度 > 130°C 错误
12	THERM_WARN_FLT	R/W	0h	强制温度 > 85°C 热警告。模拟信号。 0h = 不强制温度 > 85°C 警告（默认值） 1h = 强制温度 > 85°C 警告
11-10	保留	R/W	0h	
9	SD4_HI_FLT	R/W	0h	SD4 (VOUT) 上限失败。ADC 测量。 0h = 不强制 SD4 (VOUT) 失败（默认值） 1h = 强制 SD4 (VOUT) 失败
8	SD4_LO_FLT	R/W	0h	SD4 (VOUT) 下限失败。ADC 测量。 0h = 不强制 SD4 (VOUT) 失败（默认值） 1h = 强制 SD4 (VOUT) 失败
7	SD3_HI_FLT	R/W	0h	SD3 (ZTAT) 上限失败。ADC 测量。 0h = 不强制 SD3 (ZTAT) 失败（默认值） 1h = 强制 SD3 (ZTAT) 失败
6	SD3_LO_FLT	R/W	0h	SD3 (ZTAT) 下限失败。ADC 测量。 0h = 不强制 SD3 (ZTAT) 失败（默认值） 1h = 强制 SD3 (ZTAT) 失败
5	SD2_HI_FLT	R/W	0h	SD2 (VDD) 上限失败。ADC 测量。 0h = 不强制 SD2 (VDD) 失败（默认值） 1h = 强制 SD2 (VDD) 失败
4	SD2_LO_FLT	R/W	0h	SD2 (VDD) 下限失败。ADC 测量。 0h = 不强制 SD2 (VDD) 失败（默认值） 1h = 强制 SD2 (VDD) 失败
3	SD1_HI_FLT	R/W	0h	SD1 (PVDD) 上限失败。ADC 测量。 0h = 不强制 SD1 (PVDD) 失败（默认值） 1h = 强制 SD1 (PVDD) 失败
2	SD1_LO_FLT	R/W	0h	SD1 (PVDD) 下限失败。ADC 测量。 0h = 不强制 SD1 (PVDD) 失败（默认值） 1h = 强制 SD1 (PVDD) 失败
1	SD0_HI_FLT	R/W	0h	SD0 (VREF) 上限失败。ADC 测量。 0h = 不强制 SD0 (VREF) 失败（默认值） 1h = 强制 SD0 (VREF) 失败

Copyright © 2024 Texas Instruments Incorporated

表 7-39. FORCE_FAIL 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SD0_LO_FLT	R/W	0h	SD0 (VREF) 下限失败。ADC 测量。 0h = 不强制 SD0 (VREF) 失败（默认值） 1h = 强制 SD0 (VREF) 失败

7.1.38 TIMER_CFG_0 寄存器（偏移 = 3Bh）[复位 = 0000h]

返回到 寄存器映射 。

TIMER 配置 0。

表 7-40. TIMER CONFIG 0 寄存器字段说明

位	字段	类型	复位	说明
15-4	保留	至	0h	
3-2	CLK_SEL	R/W	0h	时钟选择 选择计时器时钟频率。 0h = 无（默认值） 1h = 1.2288MHz 2h = 1.200kHz 3h = 1.171Hz
1	INVERT	R/W	0h	反转输出 反转计时器输出。默认情况下，当计数器 ≥ SET_TIME (3Dh) 时，输出设置为 1。
0	ENABLE	R/W	0h	计时器使能 还必须配置 CLK_OUT 引脚以输出计时器。

7.1.39 TIMER_CFG_1 寄存器（偏移 = 3Ch）[复位 = 0000h]

返回到 寄存器映射 。

TIMER 配置 1。

表 7-41. TIMER CONFIG 1 寄存器字段说明

位	字段	类型	复位	说明
15-0	PERIOD	R/W	0h	该字段定义计时器的周期。该周期是 (PERIOD + 1) 与 CLK_SEL 时钟周期的乘积。例如，CLK_SEL = 2h (1200Hz)，该周期为 (PERIOD + 1) × 853ms。

7.1.40 TIMER_CFG_2 寄存器（偏移 = 3Dh）[复位 = 0000h]

返回到 寄存器映射 。

TIMER 配置 2。

表 7-42. TIMER CONFIG 2 寄存器字段说明

位	字段	类型	复位	说明
15-0	SET_TIME	R/W	0h	SET_TIME 决定了计时器的输出何时变为高电平。这些位定义计时器的占空比 (PERIOD – SET_TIME)。计时器从 0 开始，并在满足 SET_TIME 条件时转换为 1。可以使用 TIMER_CFG_0.INVERT 位反转计时器的极性。

7.1.41 CRC_RD 寄存器（偏移 = 3Eh）[复位 = 0000h]

返回到 寄存器映射 。

CRC 读取。

表 7-43. CRC 读取寄存器字段说明

位	字段	类型	复位	说明
15-0	CRC	R/O	0h	RBIST 或 SHADOWLOAD 的 CRC 计算值。最终值在内部计算。当 RBIST 或影子加载正在运行时，该值会发生变化。

7.1.42 RBIST_CRC 寄存器（偏移 = 3Fh）[复位 = 0000h]

返回到 寄存器映射 。

RBIST CRC。

表 7-44. RBIST CRC 寄存器字段说明

位	字段	类型	复位	说明
15-0	RBIST CRC	R/W	0h	寄存器 RBIST 的 CRC 计算值

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

AFEx8201 是具有极低功耗的 16 位和 14 位电压输出 DAC。该系列 DAC 支持 0V 至 2.5V 的输出范围。这些器件具有板载振荡器和可选的精密内部基准。该系列 DAC 专为模拟电压或电流输出模块而设计。这些器件还具有 SAR ADC，用于测量内部和外部节点，以便通过故障检测和警报操作进行诊断测量。这些诊断测量与 CRC 和看门狗计时器监控功能结合使用，即可实现器件和系统的功能安全监控。

PVDD 电源的工作电压范围为 2.7V 至 5.5V。VDD 由板载 LDO 供电。数字接口电源 IOVDD 的运行范围为 1.71V 至 5.5V。

8.1.1 多通道配置

由于通信需要 $\overline{CS}$ 低电平，且 SDO 可以设置为三态条件，因此系统中的所有 AFEx8201 器件只需要来自微控制器的单独 $\overline{CS}$ 信号。SDI、SDO 和 SCLK 信号可以组合。所有单独的 $\overline{ALARM}$ 引脚均可通过有线“或”逻辑连接在一起。这样做可以最大限度减少通信所需的微控制器 GPIO 信号数量以及隔离式系统的隔离通道数量。图 8-1 中显示了多通道配置方框图。

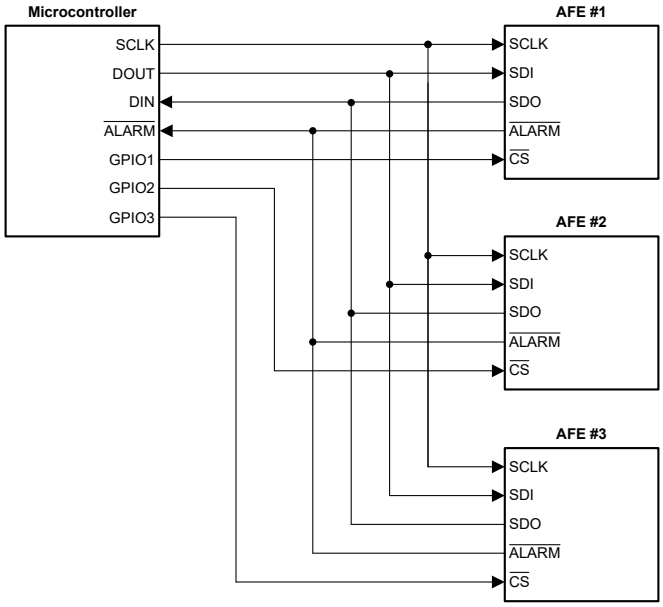


图 8-1. 多通道配置

8.2 典型应用

8.2.1 模拟输出模块

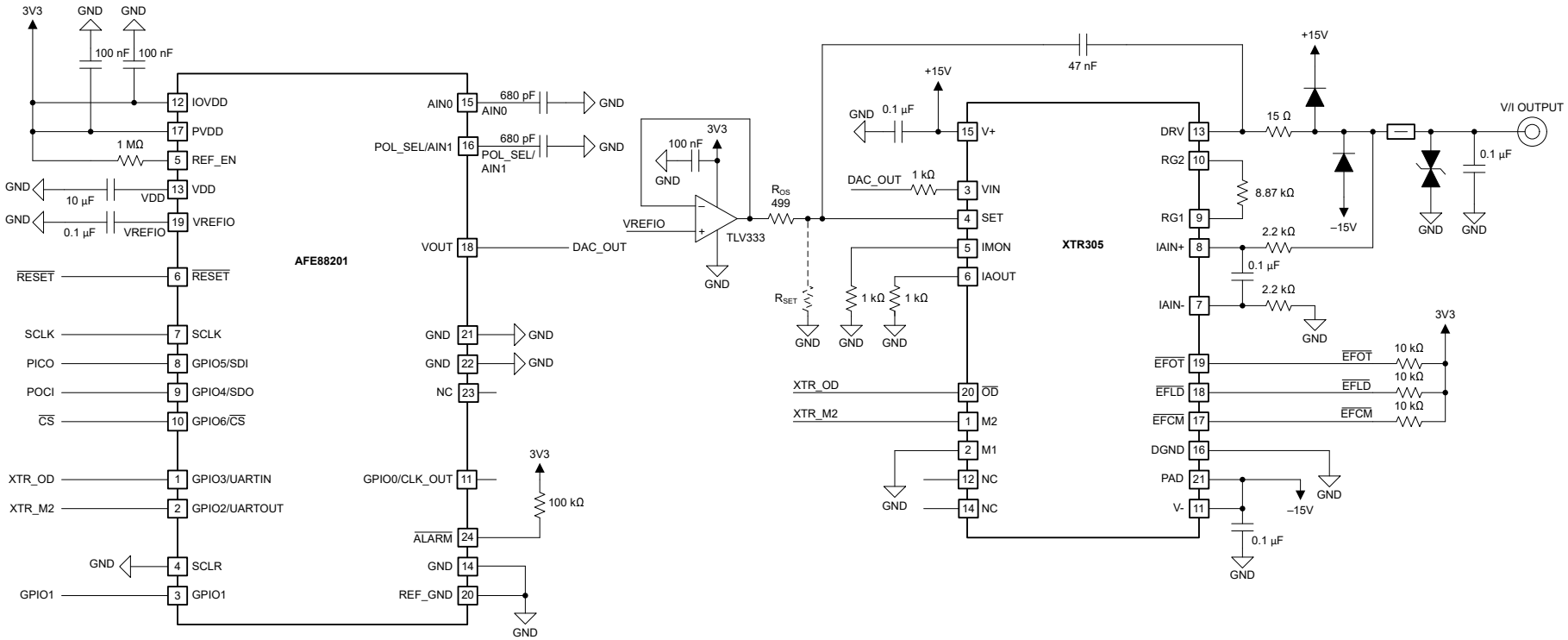


图 8-2. 模拟输出模块中的 AFE88201 以及 XTR305

该设计示例展示了一个模拟输出模块的结构，该模块能够为可编程逻辑控制器 (PLC) 提供电流和电压输出。该示例将多个电路元件组合在一起，创建了一个可支持大多数模拟输出应用的子系统。该应用需要 3.3V 和 ±15V 的电源。电路输出可设置精密的电压或电流，校准后在室温下总误差精度小于满标量程 (FSR) 的 0.1%。系统的高集成度可实现紧凑的电路，从而使该器件非常适合空间受限的交流逆变器和伺服驱动器的模拟输出。错误标志和输出负载监控功能使其成为一款稳健的设计。图 8-2 展示了模拟输出模块的原理图。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.1 设计要求

设计要求包括：

- 双极模拟输出电压范围：±11V
- 双极模拟输出电流范围：–25mA 至 25mA
- 在 3.3V 和 ±15V 的标准工业自动化电源电压下运行
- 电流和电压输出在校准后 25°C 时的 TUE 小于 0.5%

8.2.1.2 详细设计过程

图 8-3 展示了使用 AFEx8201 和 XTR305 的模拟输出模块方框图。

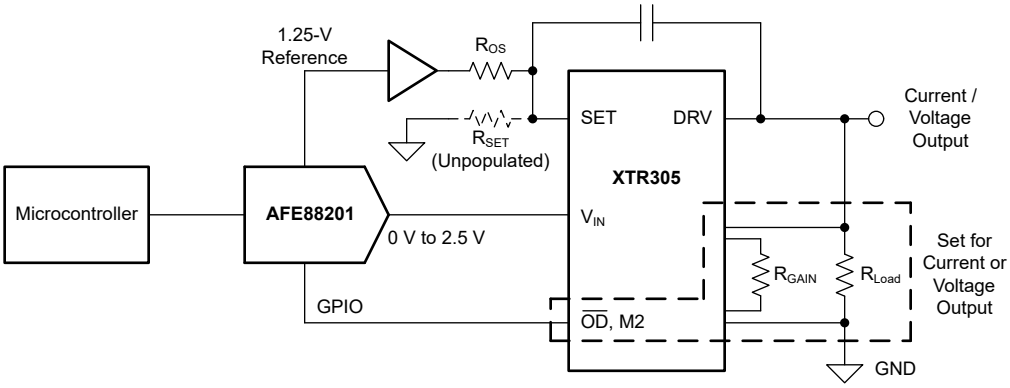


图 8-3. 使用 AFEx8201 和 XTR305 的模拟输出模块方框图

AFE88201 使用 16 位代码设置 0V 至 2.5V 的输出电压。如果需要 14 位性能，请在同一应用中使用 AFE78201。该 DAC 电压由 XTR305 转换为输出电压或输出电流。XTR305 提供两个基本功能模块：仪表放大器 (IA) 和用于输出驱动器的运算放大器 (OPA)。

该应用是可配置的电流或电压模拟输出。图 8-2 展示了电路的原理图。AFE88201 DAC 控制 XTR305，这是一款工业模拟电流或电压输出驱动器。XTR305 接受模拟输入控制信号并驱动成比例的模拟输出。如果 M2 为高电平且 M1 为低电平，则输出被配置为电流输出；如果 M2 和 M1 均为低电平，则输出被配置为电压输出。

XTR305 的输入至输出增益由 R_{SET} 和 R_{GAIN} 进行设置。该设计中选用的增益元件可实现 ±11V 或 0mA 至 25mA 输出。

在电流输出模式期间，精密电流镜生成输出电流的 1/10 副本，该电流会路由至 OPA 的求和点，以使反馈环路闭合。在电压输出模式下，IA 检测到输出电压并将等于 $2 \times V_{OUT}/R_{Gain}$ 的电流反馈至 OPA 的求和点，以使反馈环路闭合。

以下列表介绍了使用 XTR305 作为输出级的基本设计过程。

- 使 R_{SET} 保持开路以实现双极输出
- 为电流输出传递函数选择 R_{OS}
- 为电压输出传递函数选择 R_{GAIN}
- 选择 EMC 保护元件

8.2.1.2.1 XTR305

XTR305 是一款完整的输出驱动器，适用于成本敏感型工业和过程控制应用。使用 M2 引脚配置应用以实现电流或电压输出。无需外部分流电阻器。只需要外部增益设置电阻器和环路补偿电容器。

独立的驱动器和接收器通道可提供灵活性。仪表放大器可用于远程电压检测或用作高电压、高阻抗测量通道。在电压输出模式下，提供输出电流的副本，允许计算负载电阻。利用数字输出选择功能、错误标志以及监测器引脚，可进行远程配置和故障排除。输出和 IA 输入的故障情况以及过热情况由错误标志指示。监控引脚提供有关负载功率或阻抗的持续反馈。

8.2.1.2.1.1 电流输出模式

在电流输出模式下，0V 至 2.5V 控制输入被转换为 ±25mA 电流输出。由于输入为单极且输出为双极，因此 XTR305 输入级需要基准偏置电压 (VREF)。1.25V 的偏置电压来自 AFE88201 的缓冲 VREFIO 输出。图 8-4 展示了电流输出模式下 XTR305 的配置。

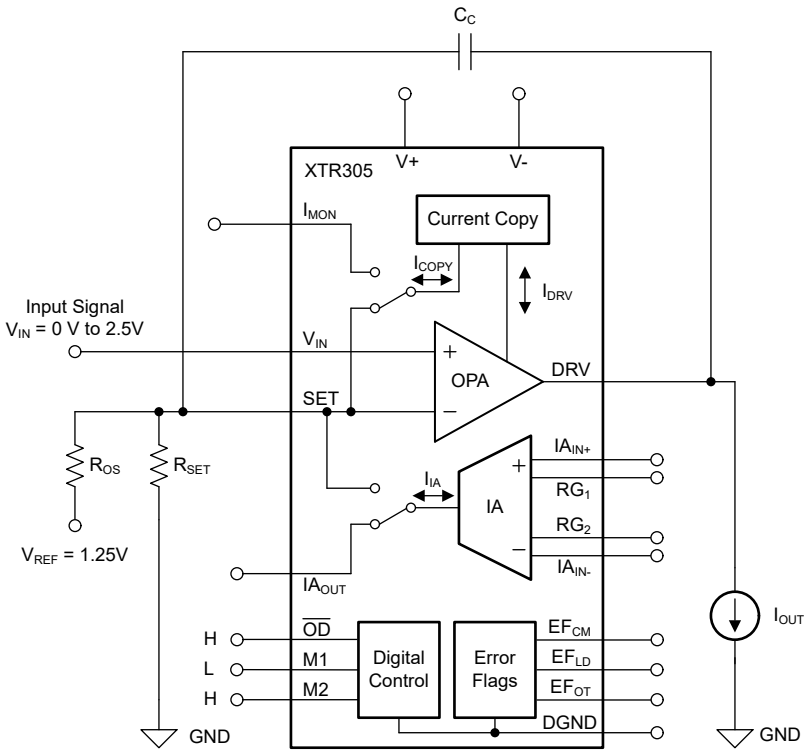


图 8-4. XTR305 电流输出标准电路

对于电流输出模式，$\overline{OD}$ 被设置为高电平，M1 被设置为低电平，M2 被设置为高电平。方程式 10 给出了该电路的正常传递函数。

$$I_{OUT} = 10 \times \left(\frac{V_{IN}}{R_{SET}} + \frac{V_{IN} - V_{REF}}{R_{OS}}\right) \tag{10}$$

但是，当 R_{SET} 电阻器开路时，奇异 V_{IN} 项会消失。使用方程式 10，R_{OS} 项可设置输出。跨导增益由 R_{OS} 根据方程式 11 进行设置。

$$R_{OS} = \frac{10}{I_{outFSR}} \times V_{inFSR} = \frac{10}{50\ mA} \times 2.5\ V = 500\ \Omega \tag{11}$$

选择 R_{OS} = 499 Ω 作为标准电阻器阻值。这样可得出 I_{outFSR} 为 50.1mA，输出范围为 ±25.05mA。传递函数由方程式 12 确定。

Copyright © 2024 Texas Instruments Incorporated

$$I_{OUT} = \frac{10}{R_{OS}} \times (V_{in} - V_{REF}) \quad (12)$$

使用 AFE88201，从代码到输出电流的传递函数如方程式 13 所示。

$$I_{OUT} = \frac{10}{R_{OS}} \times \left(\frac{DAC_CODE \times 2.5\,V}{2^{16}} - 1.25V\right) \quad (13)$$

在使用电流输出模式时，可以通过 XTR305 中的模拟输出监测器来监测输出负载电压。另请参阅节 8.2.1.2.1.3。

8.2.1.2.1.2 电压输出模式

对于电压输出模式，0V 至 2.5V 控制输入转换为 ±11V 电压输出。与电流输出模式类似，使用单极输入来创建双极输出。图 8-5 展示了电压输出模式下 XTR305 的配置。

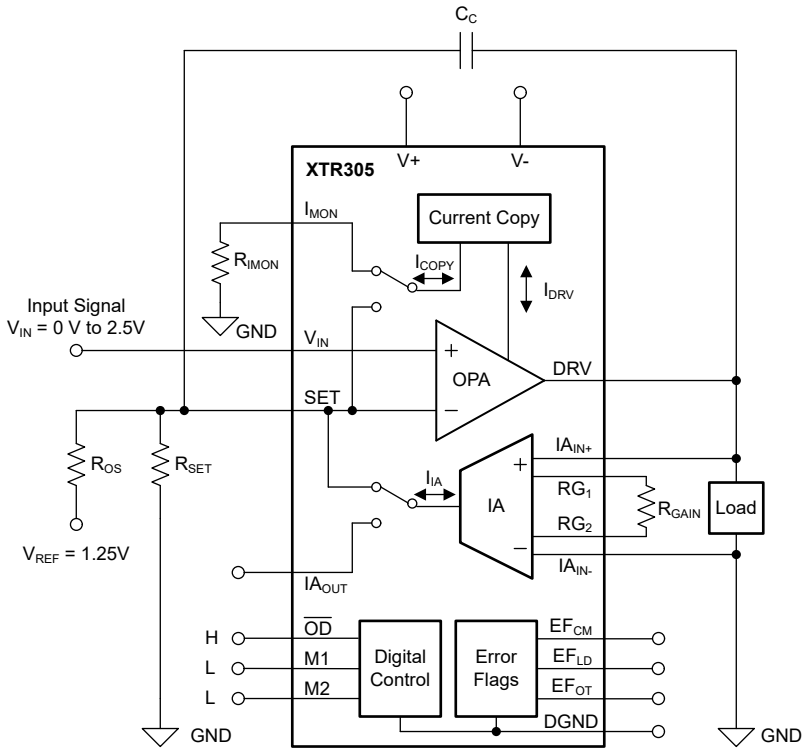


图 8-5. XTR305 电压输出标准电路

对于电压输出模式，$\overline{OD}$ 被设置为高电平，而 M1 和 M2 被设置为低电平。方程式 14 给出了该电路的正常传递函数。

$$V_{OUT} = \frac{R_{GAIN}}{2} \times \left(\frac{V_{IN}}{R_{SET}} + \frac{V_{IN} - V_{REF}}{R_{OS}}\right) \quad (14)$$

同样，当 R_{SET} 开路时，奇异 V_{IN} 项会消失。增益由 R_{OS} 和 R_{GAIN} 根据方程式 15 进行设置。

$$R_{GAIN} = \frac{2 \times V_{outFSR} \times R_{OS}}{V_{inFSR}} = \frac{2 \times 22 \times 499}{2.5} = 8782\ \Omega \quad (15)$$

选择 R_{GAIN} = 8870 Ω，得到 V_{outFSR} 为 22.22V，输出范围为 ±11.11V。传递函数由方程式 16 给出。

$$V_{OUT} = \frac{R_{GAIN}}{2} \times \left(\frac{V_{IN} - V_{REF}}{R_{OS}}\right) \quad (16)$$

使用 AFE88201，从代码到输出电压的传递函数如方程式 17 所示。

$$V_{OUT} = \frac{R_{GAIN}}{2 \times R_{OS}} \times \left(\frac{DAC_CODE \times 2.5\,V}{2^{16}} - 1.25V \right) \tag{17}$$

在使用电压输出模式时，可以通过 XTR305 中的模拟输出监测器来监测输出负载电流。另请参阅节 8.2.1.2.1.3。

8.2.1.2.1.3 诊断功能

除了节 6.3.2 和节 6.3.3.6 中介绍的 AFEx8201 的诊断 ADC 和警报，XTR305 还具有其他几项诊断功能。

IA 共模过压范围 (EF_{CM})：一旦 IA 的输入达到输入电压线性运行的限值，该标志就会变为低电平。

过热标志 (EF_{OT})：如果芯片温度达到 140°C，则该标志变为低电平，并在温度降至低于 125°C 时立即复位。

负载错误 (EF_{LD})：指示在将电压或电流驱动到负载中时发生故障情况。在电压输出模式下，该器件监测由短路或低负载电阻引起的输出摆幅电压限制和电流限制情况。在电流输出模式下，该警报指示高负载电阻或开路负载导致电源轨饱和。该故障标志有助于检测模拟输出线是否断开或短路。该功能提高了模拟输出功能的可靠性。对于负载短路情况，在电压输出模式下输出电流被限制为 ±20mA，在电流输出模式下输出电流被限制为 ±32mA。

全部三个故障标志都是集电极开路标志，因此需要使用上拉电阻器。

模拟输出监测器：在电流输出模式下，IA 输出通过 IAOUT 引脚连接至电阻器，且 IMON 引脚在内部断开。IAOUT 与输出电压成正比，如方程式 18 所示。该电流转换为 500Ω 电阻器上的电压，可被 AFEx8201 上的 ADC 检测到。通过该电流测量，可以监测为负载提供的输出功率。如果负载电阻已知，则可以计算输出电流并将其与命令值进行比较。

$$IA_{OUT} = \frac{2 \times V_{OUT}}{R_{GAIN}} \tag{18}$$

在电压输出模式期间，1/10 的输出驱动电流会被镜像到 IMON 引脚，IAOUT 在内部断开。IMON 引脚连接到 1kΩ 电阻器。AFE88201 上的 ADC 可以检测该电阻器上的电压。如果输出负载已知，则可以计算输出电压并将其与命令值进行比较。还可以计算为负载提供的输出功率。输出监测功能有助于检测负载变化，从而实现预测性维护，进而提高模拟输出功能的可靠性。

8.2.1.3 应用曲线

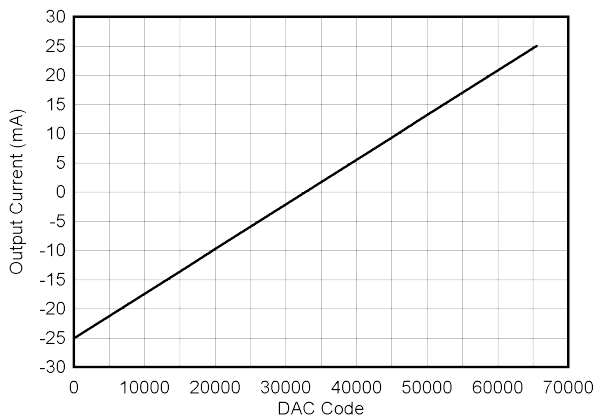


图 8-6. DAC 代码至 XTR 输出电流

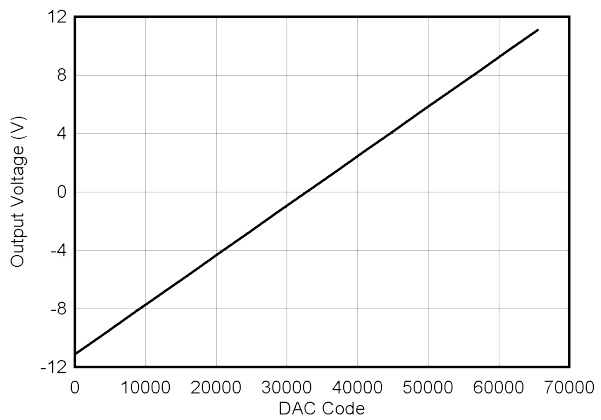


图 8-7. DAC 代码至 XTR 输出电压

Copyright © 2024 Texas Instruments Incorporated

8.3 初始化设置

本节将介绍关于设置 AFEx8201 的几项建议。

AFEx8201 在启用 CRC 的情况下上电。如果器件需要在没有 CRC 的情况下运行，必须通过将 CONFIG 寄存器中的 CRC_EN 位设置为 0h 来禁用 CRC。请注意，写入该寄存器的命令首先在启用 CRC 的情况下完成。为了让器件正确解释命令，必须将 CRC 字节附加到命令。要在启动后禁用 CRC，请将 0x02 0x00 0x26 0x24 写入器件。前三个字节写入命令，最后一个字节是 CRC 字节。更多有关 CRC 的信息，请参阅节 6.5.3.3 中的通信说明。

AFEx8201 也会在禁用 SDO 引脚的情况下上电。从任何器件寄存器进行读取以及在 SPI 模式下从 ADC 读取任何数据时，都需要 SDO 引脚。启用 SDO 引脚的方法是将 0h 写入 CONFIG 寄存器中的 DSDO 位。另请参阅节 6.5.3.1 和节 6.5.3.2。

要启用 ADC，首先通过将 0h 写入 ADC_CFG 寄存器中的 BUF_PD 位来启用 ADC 缓冲器。如需了解如何在不同工作模式下使用 ADC，请参阅节 6.3.2。

8.4 电源相关建议

AFEx8201 可以在施加到 PVDD 引脚的 2.7V 至 5.5V 单电源电压范围内运行。向 PVDD 提供 2.7V 至 5.5V 电压时，将启用一个内部 LDO 以在内部驱动 VDD。VDD 引脚必须具有 1 μF 至 10 μF 的电容才能运行。

数字接口电源 IOVDD 可在 1.71V 至 5.5V 的电源电压范围内运行。

开关电源和直流/直流转换器通常会在输出电压上产生高频毛刺脉冲或尖峰电压。此外，数字元件可能会产生类似的高频尖峰。这种噪声很容易通过电源连接和模拟输出之间的不同路径耦合进入 DAC 输出电压或电流。为进一步降低噪声，可使用大容量和局部去耦电容器。 *电气特性* 中列出了 PVDD 和 IOVDD 引脚的电流消耗、电压输出的短路电流限制以及电流输出的电流范围。电源必须符合 *建议运行条件* 中列出的要求。

8.5 布局

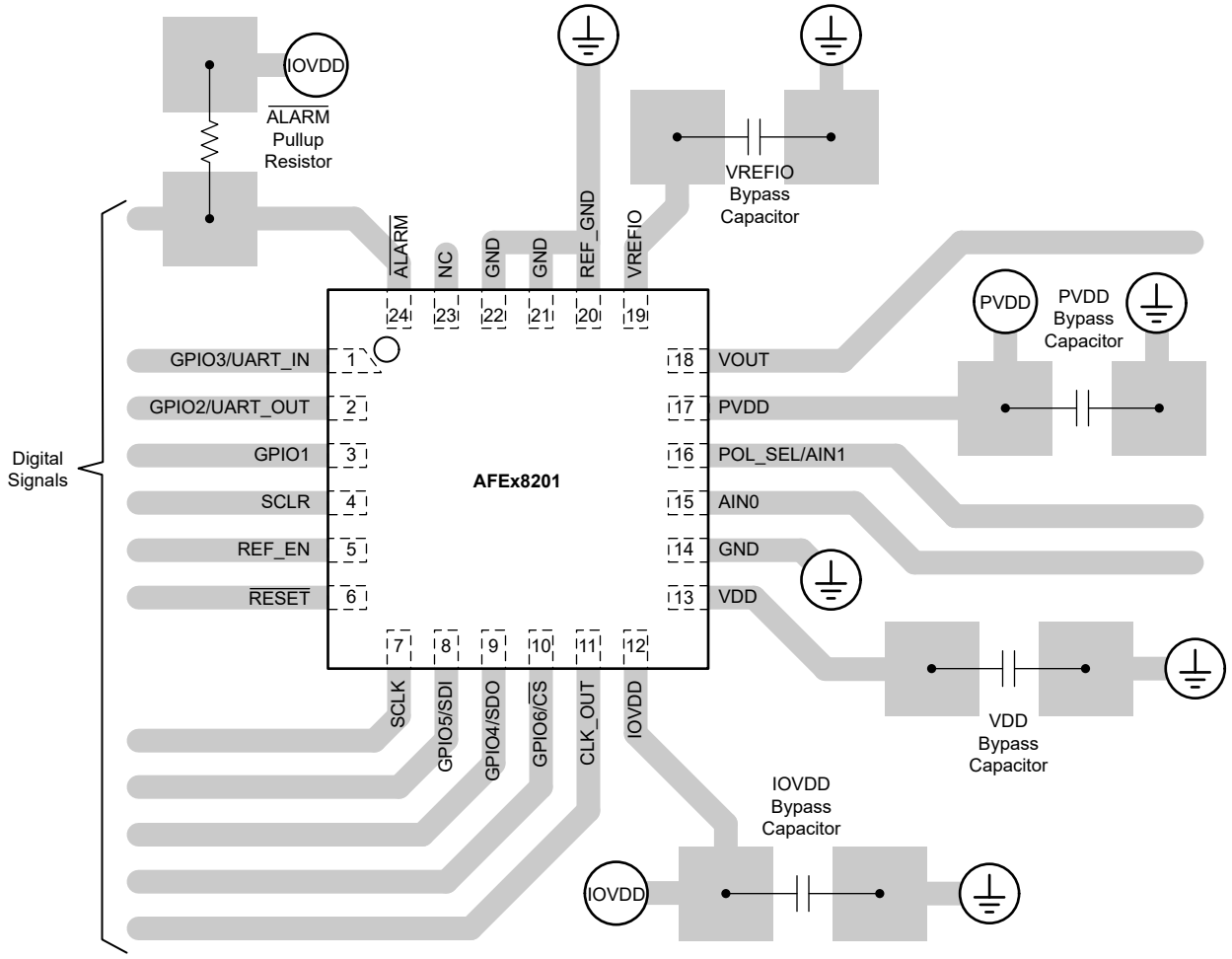
8.5.1 布局指南

为了最大限度提高 AFEx8201 在任何应用中的性能，请遵循良好的布局规范和正确的电路设计。以下是特定于该器件的建议：

- 为了获得最佳性能，请将一个完整的 PCB 层专用于接地平面，在该层上不要进行任何其他信号布线。但是，根据特定终端设备施加的限制，专用接地平面并不总是可行。如果需要进行接地平面分离，请在 DAC 处直接连接平面。请勿在多个位置连接单个接地平面，因为这种配置会产生接地环路。
- IOVDD 和 PVDD 必须在各自引脚本地具有 100nF 去耦电容器。VDD 必须至少有一个用于内部 LDO 的 1 μF 去耦电容器。使用高质量陶瓷型 NP0 或 X7R 电容器可在整个温度范围内实现出色的性能，并可以获得超低的损耗因数。
- 将一个 100nF 基准电容器靠近 VREFIO 引脚放置。
- 避免在基准输入附近传送开关信号。
- 保持数字和模拟部分相对于数字和模拟元件正确放置。将模拟和数字电路分开，以便减少与相邻块的耦合，并尽可能降低模拟和数字返回电流之间的相互影响。
- 对于包含保护电路的设计：
  - 将 TVS 二极管或电容器等分流元件放置在靠近非板载连接器的位置，从而确保高能瞬态的返回电流不会损坏敏感器件。
  - 使用大而宽的布线来提供一条低阻抗路径，从而使高能瞬态从 I/O 引脚转移出去。

Copyright © 2024 Texas Instruments Incorporated

8.5.2 布局示例



All pins with GPIO should have an external pullup or pulldown resistor (not shown)

图 8-8. 布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，AFE882H1 评估模块用户指南
- 德州仪器 (TI)，REF35 超低功耗高精度电压基准数据表
- 德州仪器 (TI)，XTR305 工业模拟电流或电压输出驱动器数据表
- 德州仪器 (TI)，ADS1220 具有集成 PGA 和基准的 4 通道 2kSPS 低功耗 24 位 ADC 数据表
- 德州仪器 (TI)，TPS7A16 具有使能和电源正常指示功能的 60V、5 μ A IQ、100mA 低压降稳压器数据表
- 德州仪器 (TI)，TPS7A02 具有快速瞬态响应的毫微功耗 IQ、25nA、200mA 低压降稳压器数据表
- 德州仪器 (TI)，ISO7021 超低功耗双通道数字隔离器数据表
- 德州仪器 (TI)，用于 4mA 至 20mA 环路供电变送器的隔离式超低功耗设计设计指南
- 德州仪器 (TI)，隔离式环路供电热电偶变送器设计指南
- 德州仪器 (TI)，小外形尺寸、两线制、4-20mA 电流环路、RTD 温度变送器设计指南
- 德州仪器 (TI)，适用于低功耗应用的隔离式电源和数据接口参考设计
- 德州仪器 (TI)，适用于超低功耗和低功耗应用的独特高效隔离式直流/直流转换器设计指南

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (May 2023) to Revision A (June 2024)	Page
• 更新了 GPIO 引脚说明，使之更加清晰	3
• 更新了表 6-7 *RBIST 所涵盖的寄存器列表* 中的复位值	40

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE78201RRUR	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 78201
AFE78201RRUR.A	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 78201
AFE78201RRUT	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 78201
AFE78201RRUT.A	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 78201
AFE88201RRUR	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 88201
AFE88201RRUR.A	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 88201
AFE88201RRUT	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 88201
AFE88201RRUT.A	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 88201

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

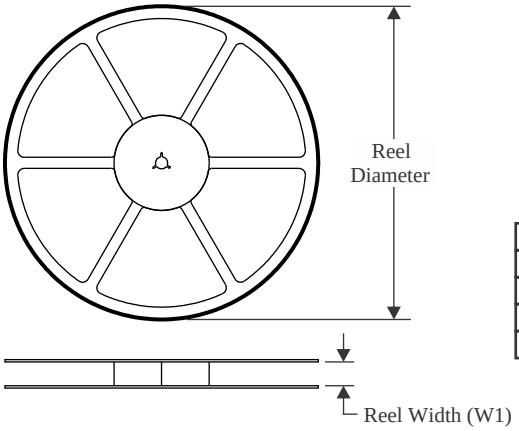
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

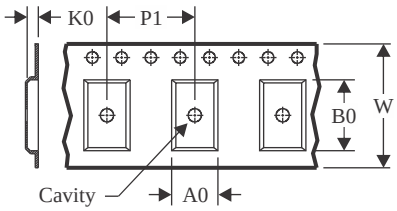
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

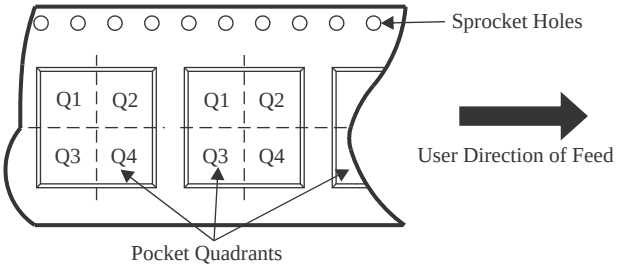


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

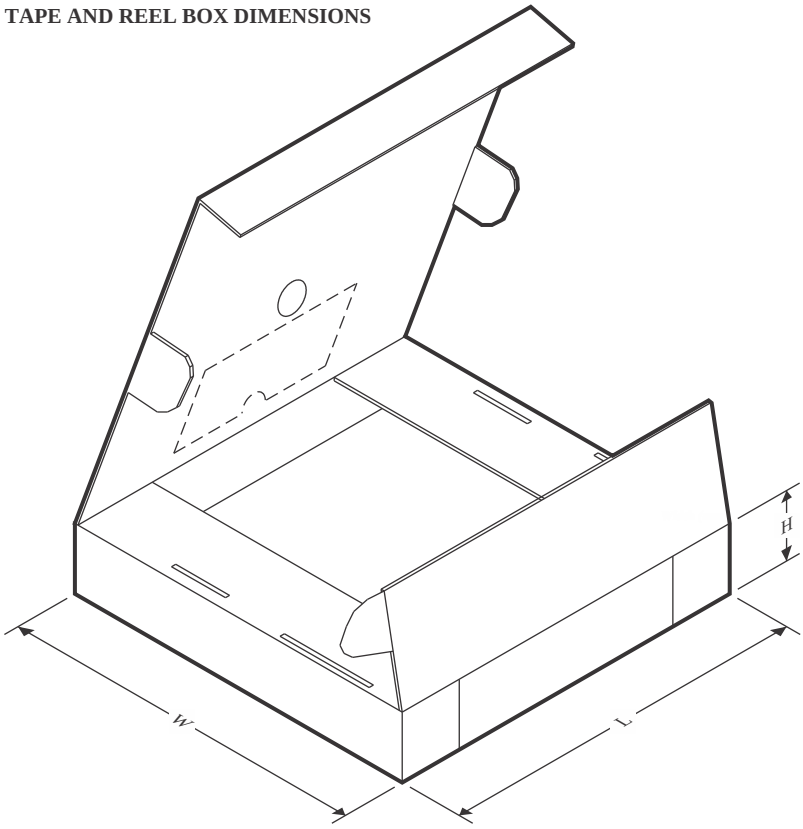
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

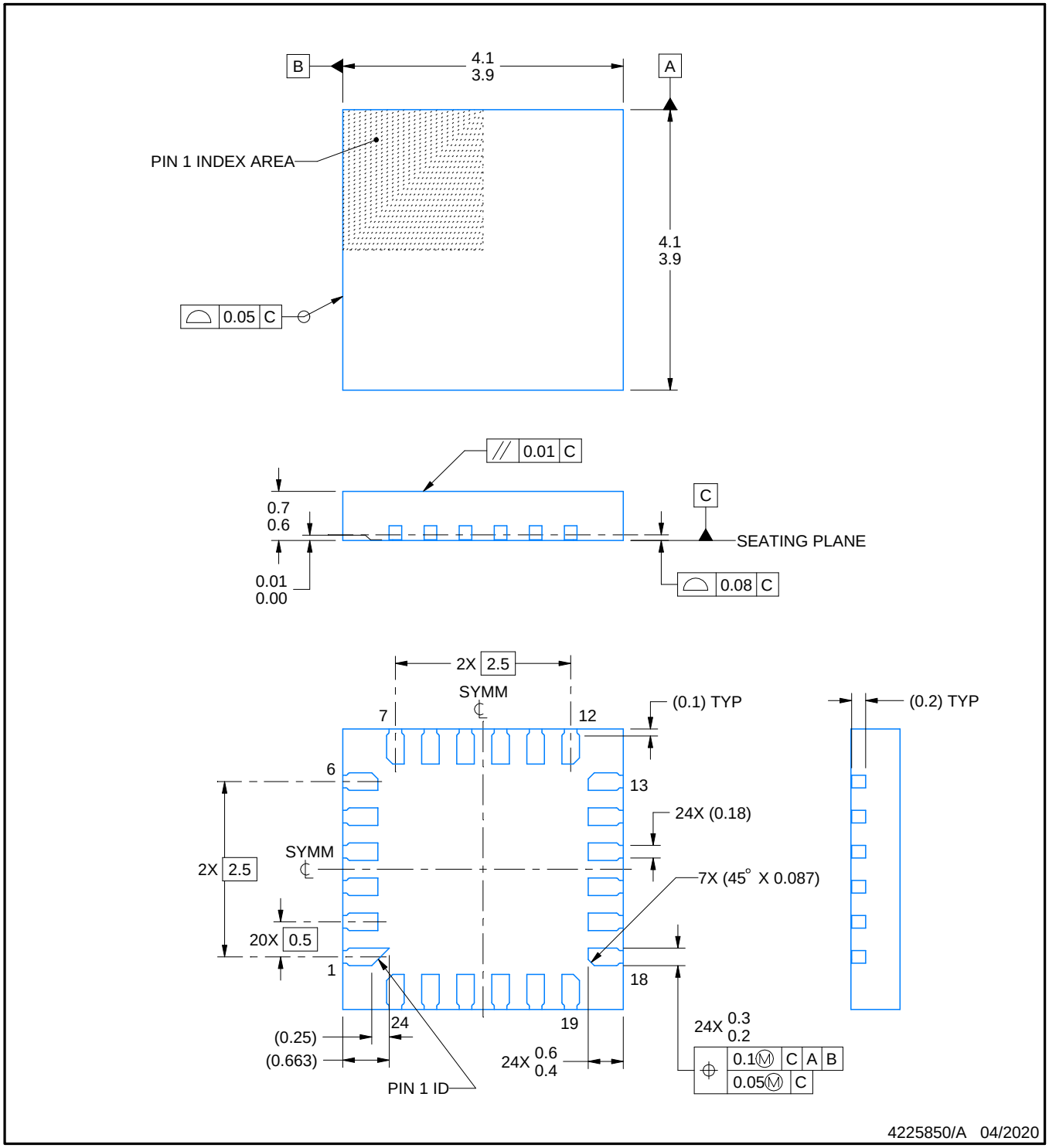
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AFE78201RRUR	UQFN	RRU	24	3000	330.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2
AFE78201RRUT	UQFN	RRU	24	250	180.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2
AFE88201RRUR	UQFN	RRU	24	3000	330.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2
AFE88201RRUT	UQFN	RRU	24	250	180.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



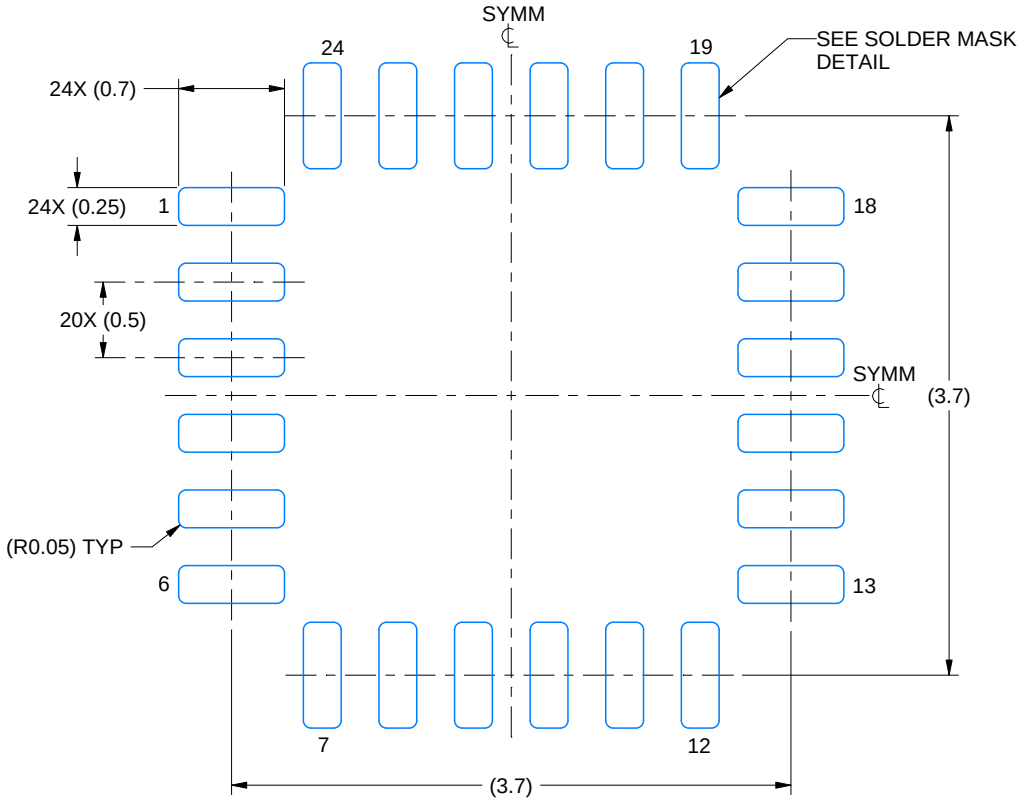
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AFE78201RRUR	UQFN	RRU	24	3000	360.0	360.0	36.0
AFE78201RRUT	UQFN	RRU	24	250	210.0	185.0	35.0
AFE88201RRUR	UQFN	RRU	24	3000	367.0	367.0	35.0
AFE88201RRUT	UQFN	RRU	24	250	210.0	185.0	35.0

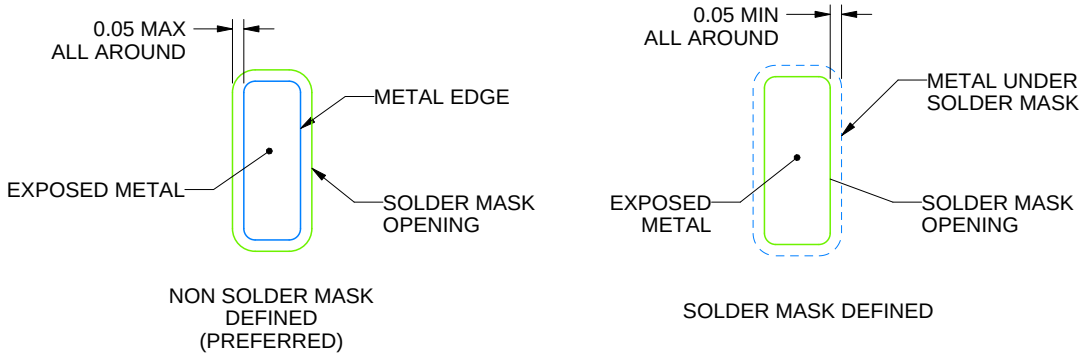


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

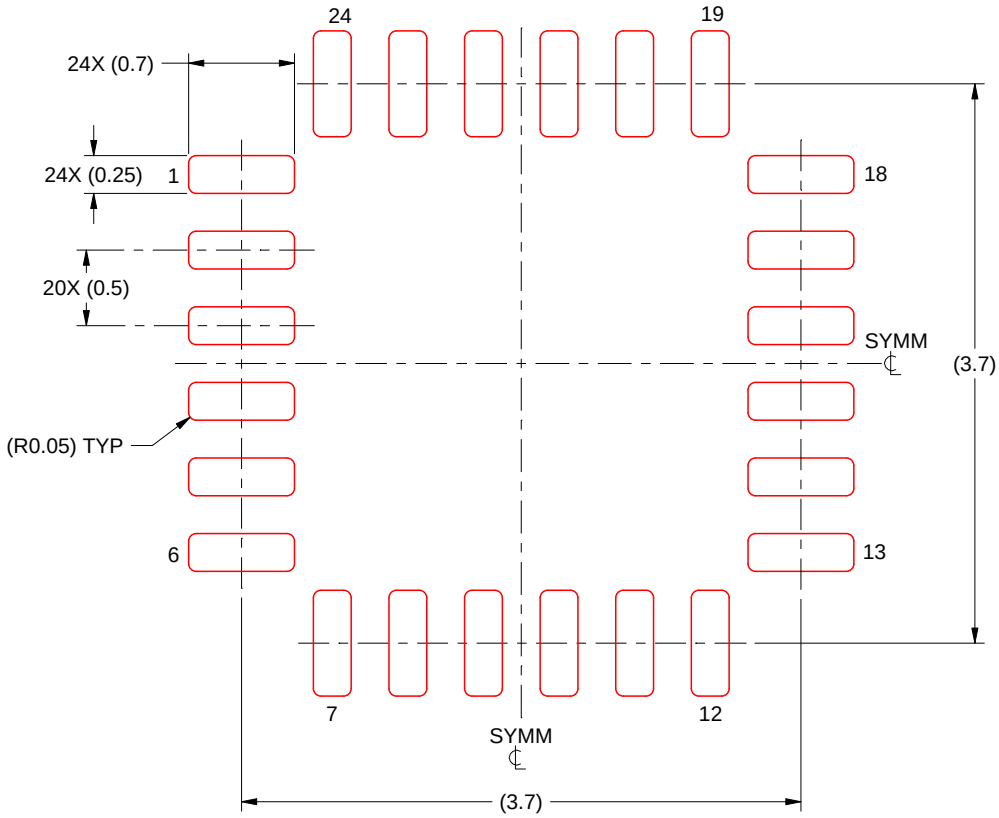


SOLDER MASK DETAILS

4225850/A 04/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4225850/A 04/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月