AFEx81H1 适用于 4mA 至 20mA 环路供电应用且具有内部 HART® 调制解调器、电压基准和诊断 ADC 的 16 位和 14 位低功耗 DAC

1 特性

- 功能安全型
  - 可提供用于功能安全系统设计的文档：AFE881H1, AFE781H1
- 低静态电流：180µA（典型值）
- 符合 HART® 标准的物理层调制解调器
- 16 位或 14 位单调高性能 DAC
  - 1.8V 电源：0.15V 至 1.25V，0.2V 至 1.0V
  - 5V 电源：0.3V 至 2.5V，0.4V 至 2.0V
  - 16 位时为 4LSB INL
  - –40°C 至 +125°C 范围内的 TUE 为 0.07% FSR（最大值）
- 可实现高级诊断的 12 位 3.84kSPS ADC
- 集成 1.25V 基准，温漂为 10ppm/°C（最大值）
- 具有时钟输出的内部 1.2288MHz 振荡器
- 数字接口
  - 串行外设接口 (SPI)：DAC 与 HART 的共享总线
  - 通用异步接收器/发送器 (UART)：DAC 和 HART 共用总线
  - 二者：DAC 使用 SPI，HART 使用 UART
- 可通过 CRC 位错误校验、窗口化看门狗计时器和诊断 ADC 进行故障检测
- 数字 DAC 压摆率控制
- –55°C 至 +125°C 的宽工作温度范围

2 应用

- 2 线 4mA 至 20mA 环路供电式变送器
- 过程控制和工业自动化
- 智能发送器

3 说明

16 位 AFE881H1 和 14 位 AFE781H1 (AFEx81H1) 是具有电压输出的高度集成、高精度、极低功耗的数模转换器 (DAC)，专为支持 HART 的传感器变送器应用而设计。

AFEx81H1 器件包含设计 4mA 至 20mA、2 线（环路供电）传感器变送器所需的大多数元件。除了高精度 DAC 之外，这些器件还包括一个经 HART 认证的 FSK 调制解调器、10ppm/°C 电压基准和一个诊断模数转换器 (ADC)。为满足内在和功能安全方面的要求，需要进行外部电压至电流转换和功率调节。

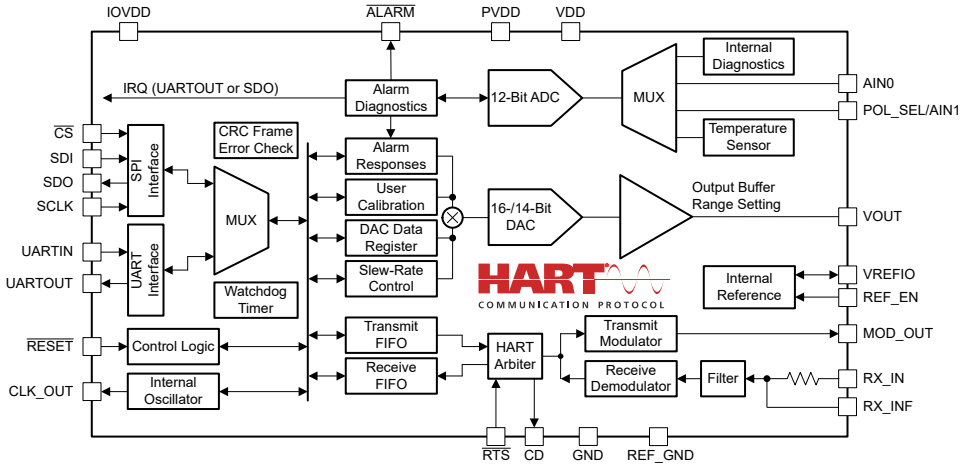
内部诊断 ADC 多路复用为多个内部节点，可实现自动自我运行状况检查。如果从诊断 ADC、CRC 帧错误校验或窗口化看门狗计时器检测到任何故障，这些器件可以选择发出中断，进入与标准 NAMUR 输出值和/或用户指定的自定义值相对应的失效防护状态。

这些器件采用低至 1.71V 的电源供电，最大静态电流为 220µA。这些器件的额定工作温度范围为 –40°C 至 +125°C，但工作温度范围为 –55°C 至 +125°C。

器件信息

器件型号	分辨率	封装(1)
AFE781H1	14 位	RRU (UQFN, 24) 4.00mm × 4.00mm
AFE881H1	16 位	

(1) 要了解所有可用封装，请见数据表末尾的封装选项附录。



功能方框图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 6
5.5 电气特性 7
5.6 时序要求 12
5.7 时序图 13
5.8 典型特性：VOUT DAC 14
5.9 典型特性：ADC 20
5.10 典型特性：参考 21
5.11 典型特性：HART 调制解调器 23
5.12 典型特性：电源 24
6 详细说明 25
6.1 概述 25
6.2 功能方框图 25
6.3 特性说明 26
6.4 器件功能模式 56
6.5 编程 58
6.6 寄存器映射 70
7 应用和实施 98
7.1 应用信息 98
7.2 典型应用 99
7.3 初始化设置 107
7.4 电源相关建议 107
7.5 布局 108
8 器件和文档支持 110
8.1 文档支持 110
8.2 接收文档更新通知 110
8.3 支持资源 110
8.4 商标 110
8.5 静电放电警告 110
8.6 术语表 110
9 修订历史记录 110
10 机械、封装和可订购信息 111

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

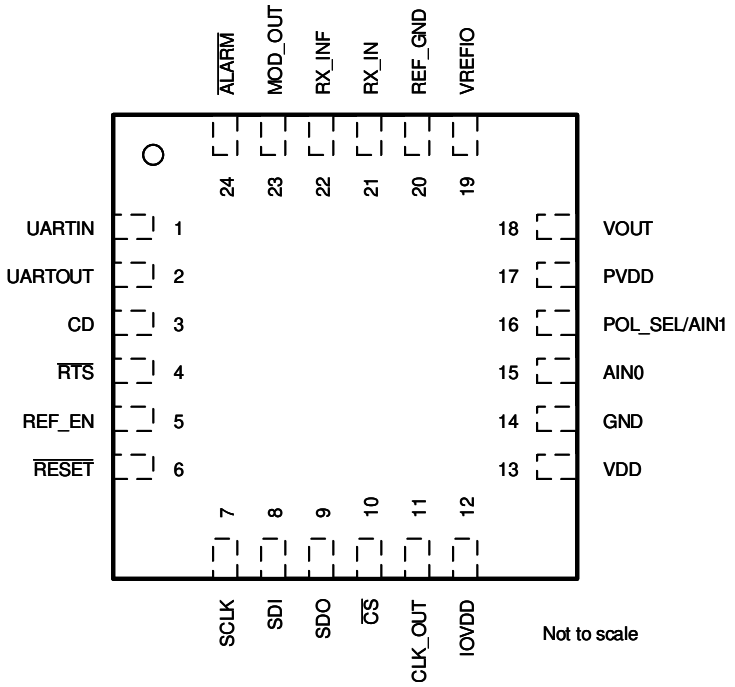


图 4-1. RRU（24 引脚 UQFN）封装，顶视图

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
AIN0	15	AI	ADC 输入电压。如果 PVDD=VDD，则输入范围为 0V 至 VREF，如果 PVDD>2.7V，则为 0V 至 2 × VREF。
ALARM	24	DO	报警通知。开漏。当警报条件被置为有效时，该引脚将保持逻辑低电平；否则，该引脚将处于高阻态 (Hi-Z)。
CD	3	DO	载波检测。此引脚上的逻辑高电平表示存在有效的载波。
CLK_OUT	11	DO	时钟输出。此引脚可配置为 1.2288MHz 内部时钟的时钟输出。
CS	10	DI	SPI 芯片选择。当 CS 为逻辑低电平时，数据位会在时钟控制下进入串行移位寄存器。当 CS 为逻辑高电平时，SDO 处于高阻态，SDI 上的数据将被忽略。请勿将任何数字输入引脚悬空。
GND	14	P	数字和模拟地。此器件上用于所有电路的接地参考点。
IOVDD	12	P	接口电源。数字输入和输出电路的电源电压。该电压可设置数字接口的逻辑阈值。
MOD_OUT	23	AO	FSK 输出正弦波。支持的最大并联负载电容为 2nF。
POL_SEL/AIN1	16	DI/AI	如果 SPECIAL_CFG.AIN1_ENB 位设置为 1，则为 ADC 输入电压。如果 PVDD=VDD，则输入范围为 0V 至 VREF，如果 PVDD>2.7V，则为 0V 至 2 × VREF。否则，该引脚充当 ALMV_POL，用于设置 VOUT 警报电压的极性。
PVDD	17	P	内部低压降稳压器 (LDO)、ADC 输入和 VOUT DAC 输出的电源。提供 2.7V 至 5.5V 电压时，将启用一个内部 LDO 以在内部驱动 VDD。提供 1.71V 至 1.89V 电压时，内部 LDO 将禁用。
REF_EN	5	DI	内部 VREF 使能输入。该引脚上的逻辑高电平会启用内部 VREF 和 VREFIO 引脚输出 1.25V。该引脚上的逻辑低电平会禁用内部 VREF，并且 VREFIO 引脚上需要 1.25V 外部基准。
REF_GND	20	P	VREFIO 引脚的 GND 基准。
RESET	6	DI	复位。该引脚上的逻辑低电平会关闭内部振荡器并使器件复位。逻辑高电平将使器件恢复正常运行。请勿将任何数字输入引脚悬空。
RTS	4	DI	请求发送。此引脚上的逻辑高电平将启用解调器并禁用调制器。此引脚上的逻辑低电平将启用调制器并禁用解调器。请勿将任何数字输入引脚悬空。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
RX_IN	21	AI	如果未使用外部滤波器，则为 HART FSK 输入；否则，请勿将任何信号连接到该引脚。
RX_INF	22	AI	如果使用外部带通滤波器，则为 HART FSK 输入。如果通过将 HART FSK 连接到 RX_IN 来使用内部带通滤波器，则应将 680pF 电容器连接到该引脚。
SCLK	7	DI	SPI 串行时钟。数据的传输速率可高达 12.5MHz。SCLK 是施密特触发逻辑输入。连接到 GND，如果未使用，则为逻辑低电平。请勿将任何数字输入引脚悬空。
SDI	8	DI	SPI 数据输入。数据在串行时钟输入的下降沿传入 24 位输入移位寄存器。SDI 是施密特触发逻辑输入。请勿将任何数字输入引脚悬空。
SDO	9	DO	SPI 数据输出。当 $\overline{CS}$ 处于逻辑低电平时，数据在 SCLK 的上升沿输出。UART 中断模式 (UBM) 下的中断请求 (IRQ) 引脚。上电时输出处于高阻态，必须在 CONFIG 寄存器中启用。
UARTIN	1	DI	UART 数据输入。连接到 IOVDD，如果未使用，则为逻辑高电平。请勿将任何数字输入引脚悬空。
UARTOUT	2	DO	UART 数据输出。该引脚可配置为在仅 SPI 模式下用作 IRQ 引脚。
VDD	13	P/AO	电源。当 PVDD 引脚上提供 2.7V 至 5.5V 时，内部 LDO 在内部驱动 VDD。在该引脚上连接一个 1 µ F 至 10 µ F 电容器。向 PVDD 引脚上提供 1.71V 至 1.89V 电压时，必须在此引脚上提供外部电源。
VOUT	18	AO	DAC 输出电压。
VREFIO	19	AI/AO	当内部 VREF 由 REF_EN 引脚启用后，该引脚会输出内部 VREF 电压。在这种情况下，需要 70nF 至 130nF 的负载电容才能实现稳定性。禁用后，该引脚作为外部 1.25V 基准输入。

(1) AI = 模拟输入，AO = 模拟输出，DI = 数字输入，DO = 数字输出，P = 电源。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
	电压	PVDD、IOVDD 至 GND	–0.3	5.5	V
		VDD 至 GND	–0.3	1.98	V
		AIN0、POL_SEL/AIN1、VOUT 至 GND	-0.3	PVDD + 0.3	V
		数字输入/输出至 GND	–0.3	IOVDD + 0.3	V
		VREFIO 至 GND	–0.3	VDD + 0.3	V
		REF_GND 至 GND	–0.3	0.3	V
	HART 电压	RX_IN、RX_INF、MOD_OUT 至 GND	–0.3	VDD + 0.3	V
	输入电流	任何引脚的输入电流	-10	10	mA
T_J	结温		-55	150	°C
T_{stg}	贮存温度		–65	150	

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件之外*但又在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
	PVDD 至 GND	PVDD > 2.7V，VDD 在内部生成	2.7		5.5	V
		PVDD = VDD	1.71		1.89	V
	VDD 至 GND		1.71		1.89	V
	IOVDD 至 GND		1.71		5.5	V
	VREFIO 至 GND	外部 VREF	1.2	1.25	1.3	V
T_A	环境温度	额定值	-40		125	°C
		工作	-55		125	

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标 [1]		AFEx81H1 RRU (UQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	103.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	84.4	°C/W
$R_{\theta JC(bottom)}$	结至外壳（底部）热阻	不适用	°C/W
$R_{\theta JB}$	结至电路板热阻	69.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	68.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
VOUT DAC 静态性能						
	分辨率	AFE881H1	16			位
		AFE781H1	14			
INL	积分非线性(1)	AFE881H1	-4		4	LSB
		AFE781H1	-2		2	
DNL	微分非线性(1)		-1		1	LSB
TUE	总体未调整误差(1)	T_A = -40°C 至 +125°C	-0.07		0.07	%FSR
		T_A = -40°C 至 +85°C	-0.05		0.05	
		T_A = 25°C	-0.04		0.04	
ZCE	零代码误差	T_A = -40°C 至 +125°C	-0.07		0.07	%FSR
		T_A = -40°C 至 +85°C	-0.05		0.05	
		T_A = 25°C	-0.03		0.03	
ZCE-TC	零代码误差温度系数			±3		ppm/°C
OE	偏移误差(1)	T_A = -40°C 至 +125°C	-0.07		0.07	%FSR
		T_A = -40°C 至 +85°C	-0.05		0.05	
		T_A = 25°C	-0.03		0.03	
OE-TC	偏移误差温度系数 (1)			±3		ppm/°C
GE	增益误差(1)	T_A = -40°C 至 +125°C	-0.04		0.04	%FSR
		T_A = -40°C 至 +85°C	-0.04		0.04	
		T_A = 25°C	-0.03		0.03	
GE-TC	增益误差温度系数(1)			±3		ppm FSR/°C
FSE	满量程误差	T_A = -40°C 至 +125°C	-0.07		0.07	%FSR
		T_A = -40°C 至 +85°C	-0.06		0.06	
		T_A = 25°C	-0.04		0.04	
FSE-TC	满量程误差温度系数			±3		ppm FSR/°C
VOUT DAC 动态性能						
t_s	输出电压建立时间(4)	¼ 至 ¾ 标度和 ¾ 至 ¼ 标度趋稳至 ±2LSB，PVDD = VDD = 1.8V，VREFIO = 1.25V		65		μs
		10mV 阶跃趋稳至 ±2LSB，PVDD = VDD = 1.8V，VREFIO = 1.25V		30		
SR	压摆率(4)	10% 至 90% 范围测量的满量程转换		30		mV/μs
V_n	输出噪声(4)	0.1Hz 至 10Hz，DAC 处于中标度，PVDD = VDD = 1.8V，VREFIO = 1.25V		0.25		LSB_{PP}
		100kHz 带宽，DAC 处于中标度，PVDD = VDD = 1.8V，VREFIO = 1.25V		32		μVrms
V_n	输出噪声密度	1kHz 下测得，DAC 处于中标度，PVDD = VDD = 1.8V，VREFIO = 1.25V		180		nV/ $\sqrt{Hz}$
		1kHz 下测得，DAC 处于中标度，PVDD = 5V，VREFIO = 1.25V		260		
	电源抑制比 (AC)	200mV 50Hz 或 60Hz 正弦波叠加在电源电压上，DAC 处于中标度。		85		dB
	代码变化干扰脉冲	中间码 ±1LSB（包括馈通）PVDD = VDD = 1.8V，VREFIO = 1.25V		4.5		nV-s
	代码变化干扰幅度	中间码 ±1LSB（包括馈通）PVDD = 5V，VREFIO = 1.25V		1.5		mV
	数字馈通	SCLK = 1MHz，DAC 输出处于中标度		1		nV-s

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
VOUT DAC 输出特性						
	输出电压范围	RANGE = 0，PVDD = VDD	0.15		1.25	V
		RANGE = 1，PVDD = VDD	0.2		1.0	
		RANGE = 0，PVDD > 2.7V，生成 VDD	0.3		2.5	
		RANGE = 1，PVDD > 2.7V，生成 VDD	0.4		2.0	
	VOUT 警报输出高电平	PVDD > 2.7V，VDD 在内部生成	-6%	2.5	+6%	V
		PVDD = VDD	-6%	1.25	+6%	
	VOUT 警报输出低电平	PVDD > 2.7V，VDD 在内部生成	-5%	0.3	+5%	V
		PVDD = VDD	-5%	0.15	+5%	
R_{LOAD}	阻性负载(2)		10			kΩ
C_{LOAD}	容性负载(2)				100	pF
	负载调整率	DAC 处于中标度，-1mA ≤ I_{OUT} ≤ +1mA		10		μV/mA
	短路电流	满量程输出短接至地		5		mA
		零输出短接至 VDD		5		
	输出电压余量（至 PVDD）	DAC 处于完整代码，I_{OUT} = 1mA（拉电流）	200			mV
	输出电压下余量（至 GND）	DAC 处于零代码，I_{OUT} = 1mA（灌电流）	200			mV
Z_O	直流小信号输出阻抗	DAC 处于中标度		10		mΩ
		输出高阻态		500		kΩ
	电源抑制比（直流）	DAC 处于中标度；PVDD = 1.8V ± 10%		0.1		mV/V
	输出电压漂移与时间间的关系，1000 小时	T_A = 35°C，VOUT = 中标度，理想 VREF		±5		ppm FSR
诊断 ADC						
	输入电压范围	PVDD = VDD	0		1.25	V
		PVDD > 2.7V	0		2.5	
	分辨率			12		位
DNL	微分非线性	指定的 12 位单调	-1	±0.2	1	LSB
INL	积分非线性		-4	±1	4	LSB
OE	偏移误差	校准后	-10	±1.6	10	LSB
GE	增益误差		-0.8	±0.13	0.8	%FSR
	噪声			±4		LSB
	输入电容			6		pF
	输入偏置电流	ADC 未在转换	-50		50	nA
	采集时间			52		μs
	转换时间			210		μs
	转换速率				3.84	kSPS
	温度传感器精度			5		°C
内部振荡器						
	频率	T_A = -40°C 至 +125°C	1.2165	1.2288	1.2411	MHz

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
HART 调制解调器						
RX_IN 输入（HART 模式）						
	输入电压范围	外部或内部基准源、设计架构。信号施加到直流阻断电容器的输入端。	0		1.5	V_{PP}
	接收器灵敏度	成功进行载波检测和解调的阈值，假定理想正弦输入 FSK 信号具有有效前导码并使用内部滤波器。	80	100	120	mV_{PP}
	载波检测时间	在 CD 置为有效之前在输入端存在 1200Hz 载波频率	3			波特
MOD_OUT 输出（HART 模式）						
	输出电压	在 MOD_OUT 引脚上测得，具有 160Ω 负载，交流耦合 (2.2µF)	400	500	800	mV_{PP}
	标记频率			1200		Hz
	空间频率			2200		Hz
	频率误差	T_A = -40°C 至 +125°C	-1		1	%
	相位连续性误差	设计架构			0	度
	最小阻性负载	与 2.2µF 交流耦合	160			Ω
	发射阻抗	$\overline{RTS}$ 低电平，在 MOD_OUT 引脚上测得，1mA 测量电流		25		mΩ
	发射阻抗	$\overline{RTS}$ 高电平，在 MOD_OUT 引脚上测得，±200nA 测量电流		50		kΩ

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电压基准输入						
Z_{VREFIO}	基准输入阻抗 (VREFIO)	RANGE = 0		125		kΩ
		RANGE = 1		180		
C_{VREFIO}	基准输入电容 (VREFIO)			100		pF
电压基准输出						
	输出（初始精度）(3)	T_A = 25°C	1.248	1.25	1.252	V
	输出漂移(3)	T_A = -40°C 至 +125°C			10	ppm/℃
	输出阻抗(3)			0.1		Ω
	输出噪声(3)	0.1Hz 至 10Hz		7.5		μV_{PP}
	输出噪声密度(3)	在 10kHz 下测得，基准负载 = 100nF		200		nV/√Hz
	负载电流(3)	拉电流，VREF 与标称值相差 0.1%		2.5		mA
		灌电流，VREF 与标称值相差 0.1%			0.3	
	负载调整率(3)	拉电流，0mA 至 2.5mA		4		μV/mA
C_{OUT}	稳定输出电容	T_A = -40°C 至 +125°C，ESR 为 10mΩ 至 400mΩ	70	100	130	nF
	线性调整率(3)			80		μV/V
	输出电压漂移与时间间的关系(3)	T_A = 35°C，1000 小时		±100		ppm
	热滞后(3)	第一个周期		500		μV
		附加周期		25		μV
VDD 稳压器输出						
	输出电压		1.71	1.8	1.89	V
	输出阻抗(3)	PVDD = 3.3V，拉电流，0.5mA 至 2.5mA		3		Ω
	负载电流(3)	PVDD = 3.3V，拉电流，VDD 与标称值相差 1%		4		mA
过热警报						
	警报跳变点			130		°C
	警告跳变点			85		°C
	迟滞			12		°C
	跳变点绝对精度			5		°C
	跳变点相对精度			2		°C
数字输入特性						
V_{IH}	高电平输入电压		0.7			V/IOVDD
V_{IL}	低电平输入电压				0.3	V/IOVDD
	迟滞电压		0.05			V/IOVDD
	输入电流		-400		400	nA
	引脚电容	每引脚		10		pF
数字输出特性						
V_{OH}	高电平输出电压	I_{SOURCE} = 1mA	0.8			V/IOVDD
V_{OL}	低电平输出电压	I_{SINK} = 1mA			0.2	V/IOVDD
V_{OL}	开漏低电平输出电压	I_{SINK} = 2mA			0.3	V
	输出引脚电容			10		pF

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = -40°C 至 +125°C，所有典型值的条件为 T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源要求						
I_{PVDD}	流入 PVDD 的电流	仅 PVDD，VDD 在内部生成，DAC 处于零标度，ADC 和 SPI 静态		180	220	μA
		共享 PVDD 和 VDD 连接，DAC 处于零标度，ADC 和 SPI 静态		32	45	
I_{LDO}	VDD LDO 静态电流	来自 PVDD		8		μA
I_{VDD}	流入 VDD 的电流	共享 PVDD 和 VDD 连接，DAC 处于零标度，ADC 和 SPI 静态，内部基准		140	170	μA
I_{REFIO}	内部基准流耗	来自外部或内部生成的 VDD		52	70	μA
I_{HART}	HART Tx 调制解调器电流消耗	来自外部或内部生成的 VDD		10		μA
I_{ADC}	ADC 电流消耗	来自 PVDD，ADC 转换速度为 3.84kSPS		10		μA
C_{VDD}	建议的 VDD 去耦电容		1		10	μF
I_{IOVDD}	流入 IOVDD 的电流	SPI 静态		5	20	μA
I_{VREFIO}	流入 VREFIO 的电流	0.15V 至 1.25V 范围，中标度代码		10		μA

(1) 端点适合 16 位的代码 0 至代码 65,535 或 14 位的代码 0 至代码 16,383，DAC 输出空载，阻性和容性负载条件下的性能由设计和特性确定。
(2) 未经生产测试。
(3) 源自特性数据。
(4) 输出缓冲器增益 (G) = 2，PVDD > 2.7V。

Copyright © 2026 Texas Instruments Incorporated

5.6 时序要求

所有输入信号都在 $t_R = t_F$ = 1ns/V 时指定，而且从 (V_{IL} + V_{IH}) / 2 的电压电平开始，2.7V ≤ PVDD ≤ 5.5V，V_{IH} = 1.62V，V_{IL} = 0.15V，VREFIO = 1.25V，且 T_A = -40°C 至 +125°C（除非另有说明）

参数		最小值	标称值	最大值	单位
串行接口 - 写入和读取操作					
f_{SCLK}	串行时钟频率			12.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	36			ns
t_{SCLLOW}	SCLK 低电平时间	36			ns
t_{CSHIGH}	$\overline{CS}$ 高电平时间	80			ns
t_{CSS}	$\overline{CS}$ 到 SCLK 下降沿建立时间	30			ns
t_{CSH}	SCLK 下降沿到 $\overline{CS}$ 上升沿	30			ns
t_{CSRI}	$\overline{CS}$ 下降沿至 SCLK 下降沿忽略	30			ns
t_{CSFI}	SCLK 下降沿忽略至 $\overline{CS}$ 下降沿	5			ns
t_{SDIS}	SDI 设置时间	5			ns
t_{SDIH}	SDI 保持时间	5			ns
t_{SDOZD}	$\overline{CS}$ 下降沿至 SDO 三态条件至被驱动			40	ns
t_{SDODZ}	$\overline{CS}$ 上升沿至 SDO 被驱动至三态条件			40	ns
t_{SDODLY}	SCLK 至 SDO 输出延迟			40	ns
UART					
$t_{BAUDUART}$	波特率 = 9600 ± 1%		104		µs
$t_{BAUDUART}$	波特率 = 1200 ± 1%		833		µs
HART					
$t_{BAUDHART}$	波特率 = 1200 ± 1%		833		µs
数字逻辑					
$t_{DACWAIT}$	顺序 DAC 更新等待时间	2.1			µs
t_{POR}	POR 复位延迟			100	µs
t_{RESET}	$\overline{RESET}$ 脉冲持续时间	100			ns
$t_{RESETWAIT}$	$\overline{RESET}$ 脉冲后的等待时间	10			µs

Copyright © 2026 Texas Instruments Incorporated

5.7 时序图

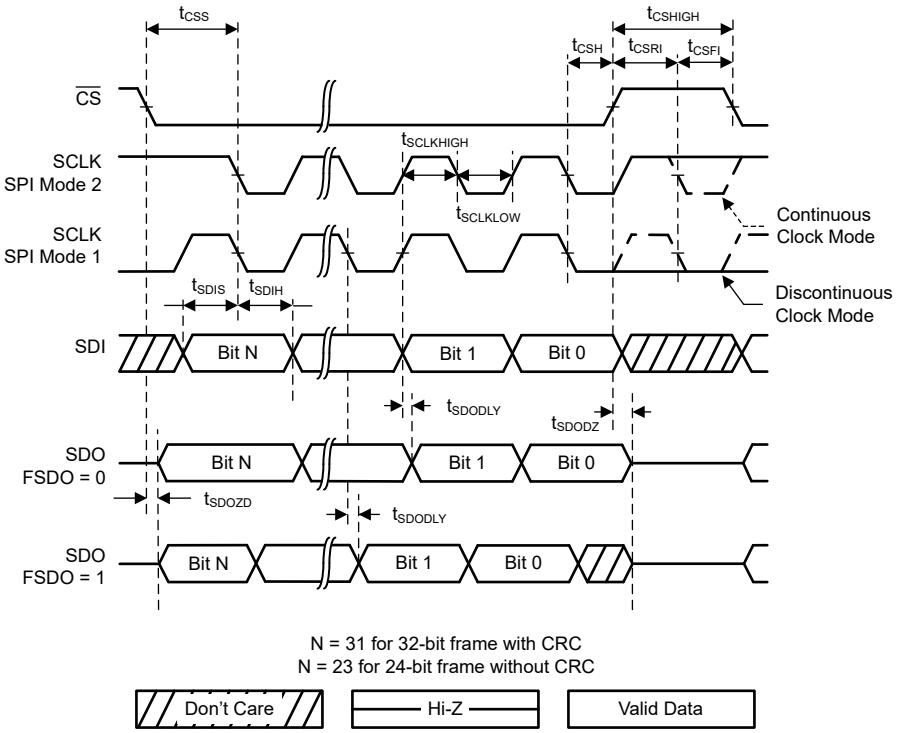


图 5-1. SPI 时序

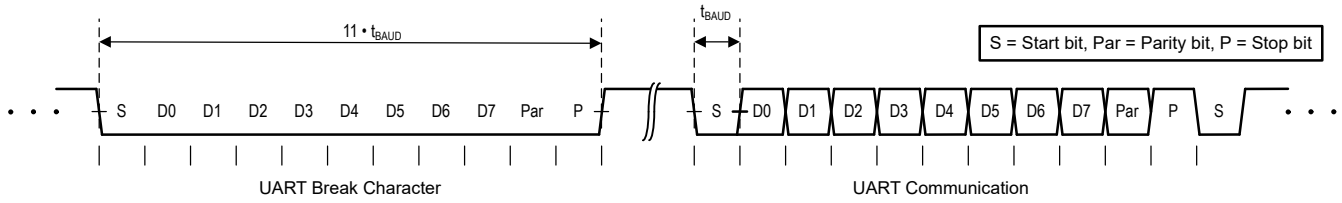


图 5-2. UBM 时序

5.8 典型特性：VOUT DAC

T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

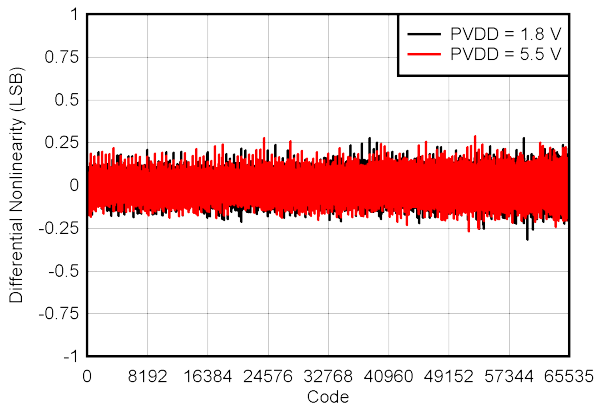


图 5-3. DAC DNL 与数字输入代码间的关系

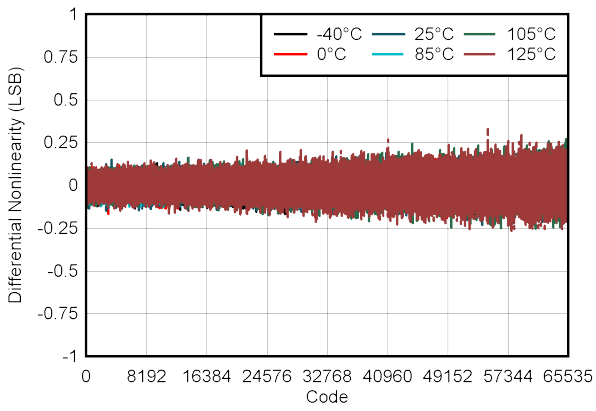


图 5-4. DAC DNL 与数字输入代码间的关系

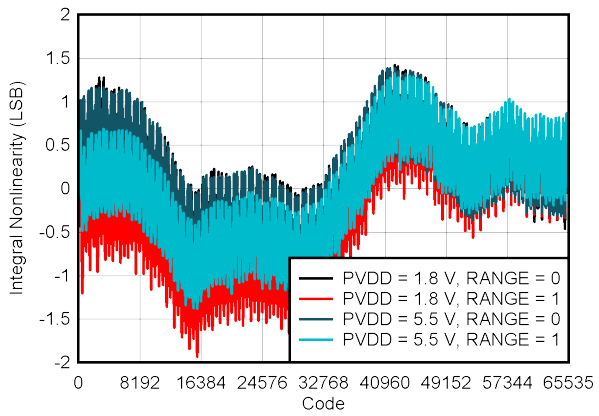


图 5-5. DAC INL 与数字输入代码间的关系

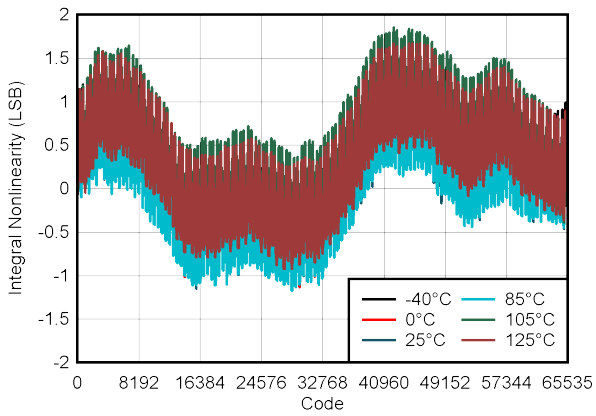


图 5-6. DAC INL 与数字输入代码间的关系

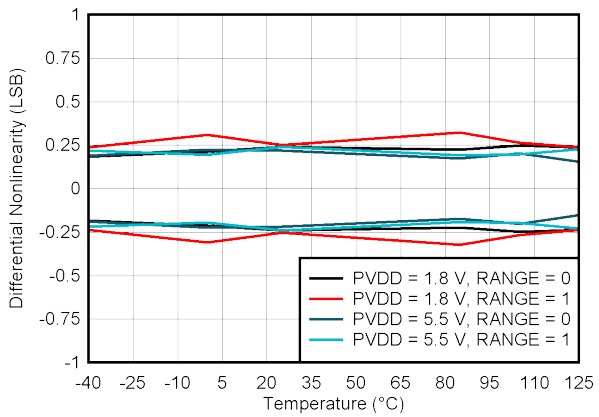


图 5-7. 最小和最大 DAC DNL 范围与温度间的关系

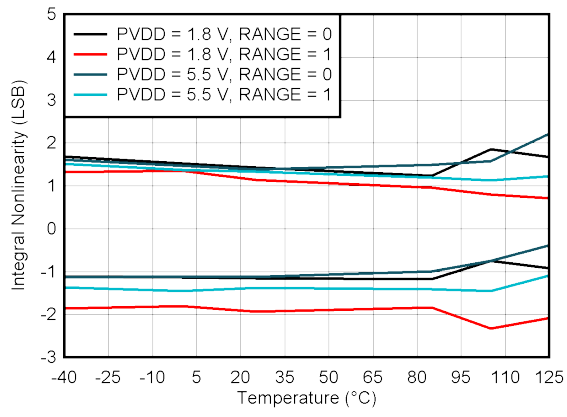


图 5-8. 最小和最大 DAC INL 范围与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性：VOUT DAC (续)

T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

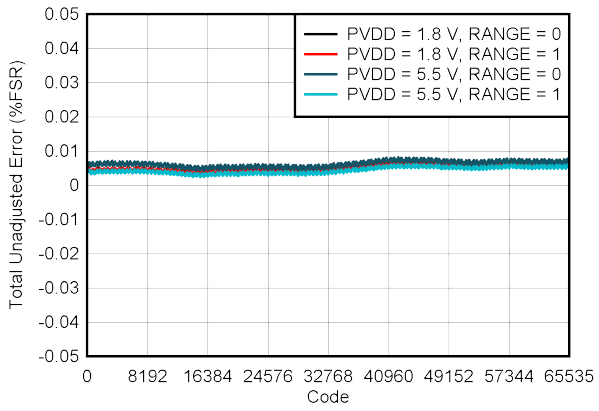


图 5-9. DAC TUE 与数字输入代码间的关系

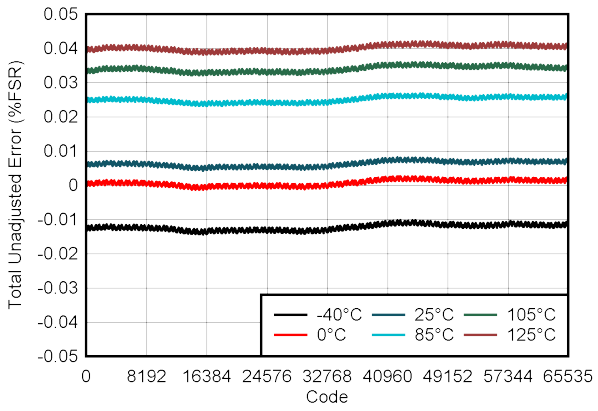


图 5-10. DAC TUE 与数字输入代码间的关系

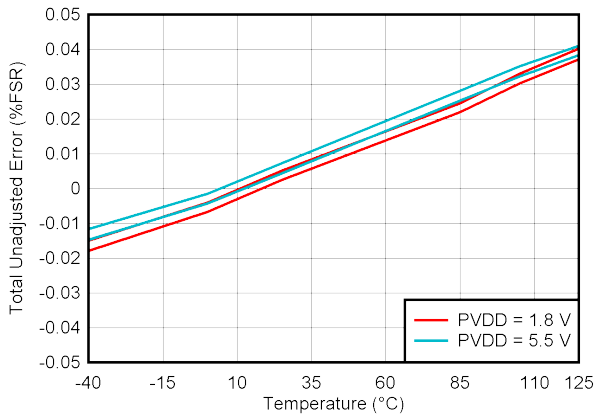


图 5-11. 最小和最大 DAC TUE 与温度间的关系

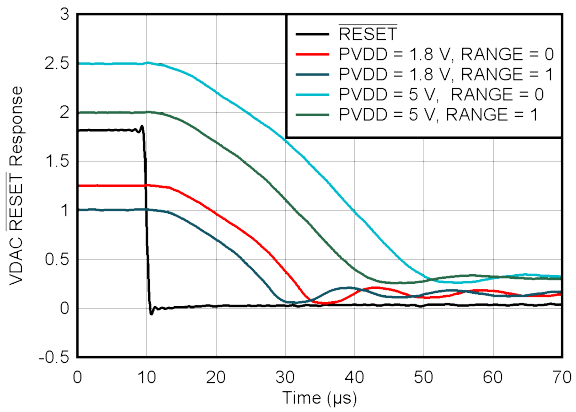
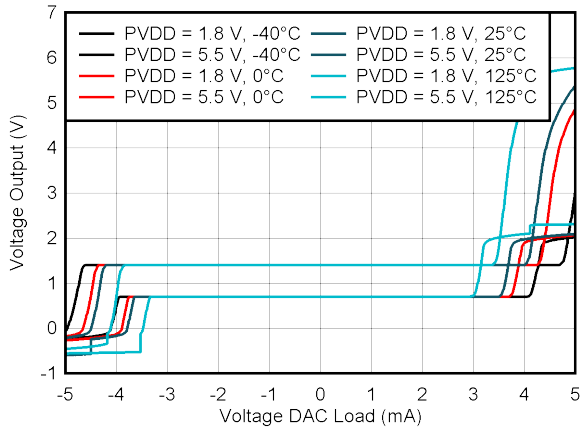
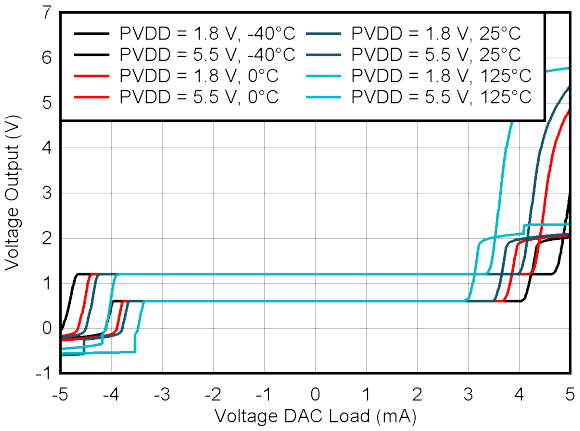


图 5-12. DAC $\overline{\text{RESET}}$ 响应



RANGE = 0

图 5-13. DAC 拉电流和灌电流能力



RANGE = 1

图 5-14. DAC 拉电流和灌电流能力

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性：VOUT DAC (续)

T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

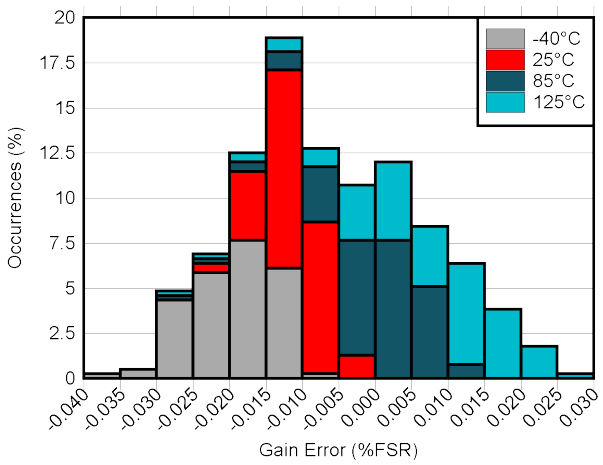


图 5-15. DAC 增益误差与温度间的关系

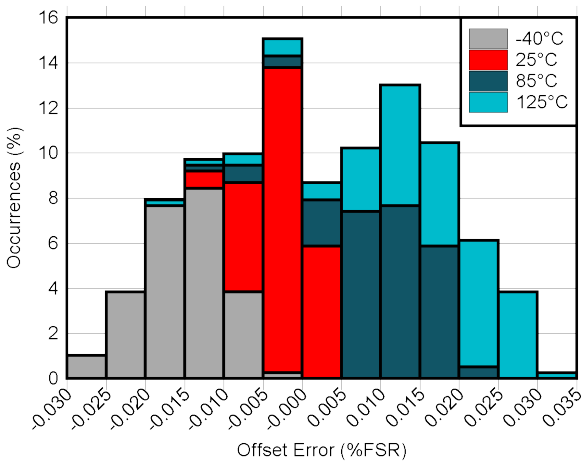


图 5-16. DAC 偏移误差与温度间的关系

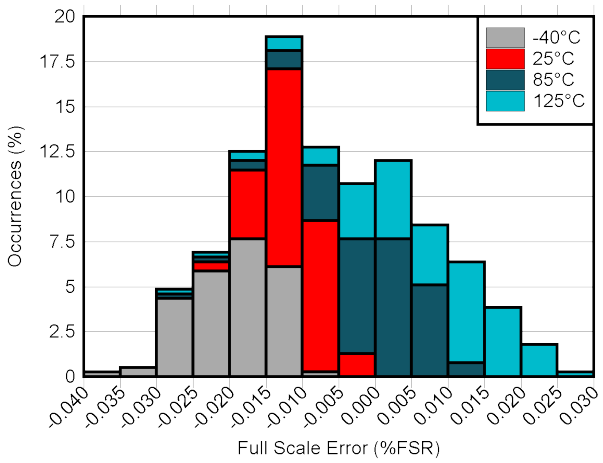


图 5-17. DAC 满量程误差与温度间的关系

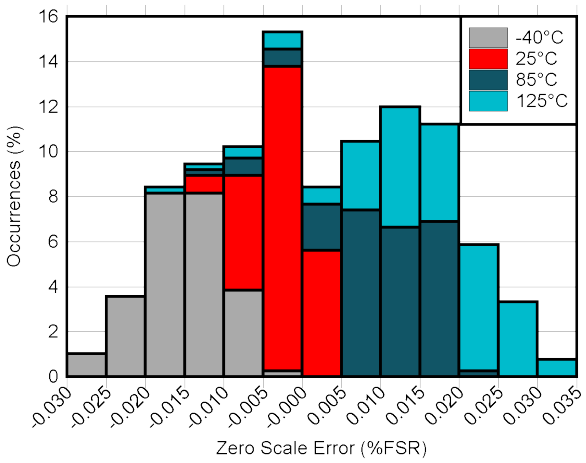
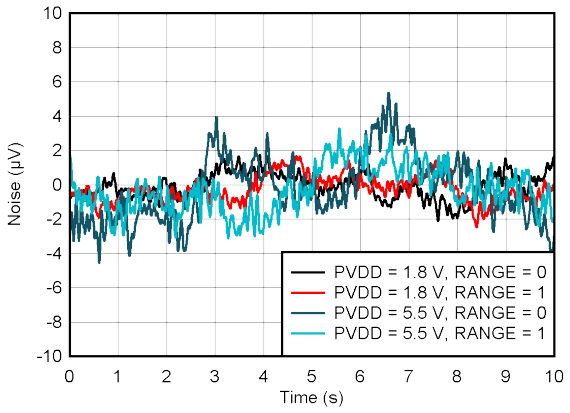


图 5-18. DAC 零标度误差与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

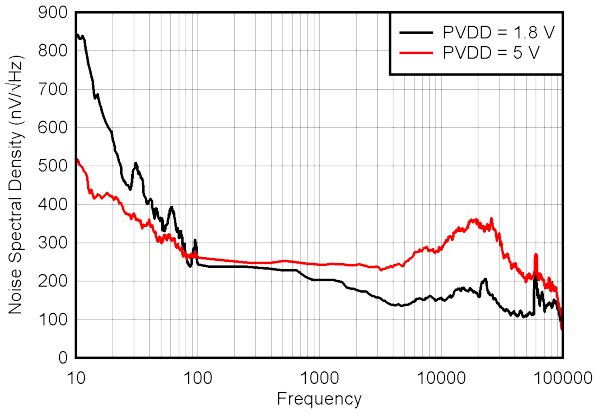
5.8 典型特性：VOUT DAC (续)

T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



DAC 处于中间码

图 5-19. DAC 输出噪声，0.1Hz 至 10Hz



DAC 处于中间码

图 5-20. DAC 输出噪声密度与频率间的关系

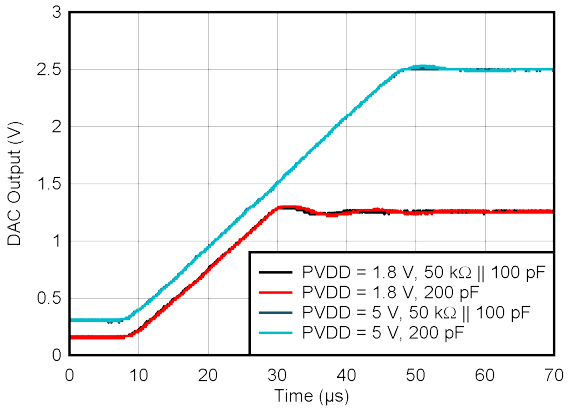


图 5-21. DAC 稳定时间与负载间的关系（上升电压阶跃）

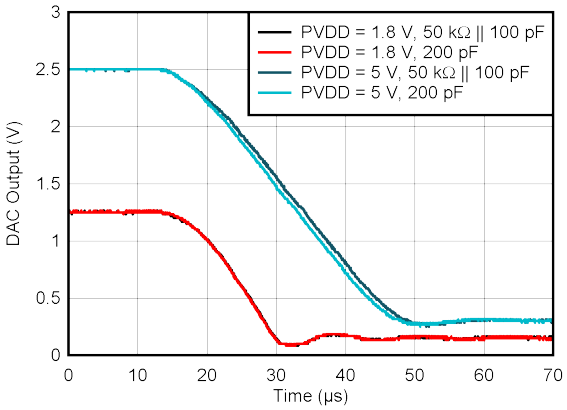


图 5-22. DAC 建立时间与负载间的关系（下降电压阶跃）

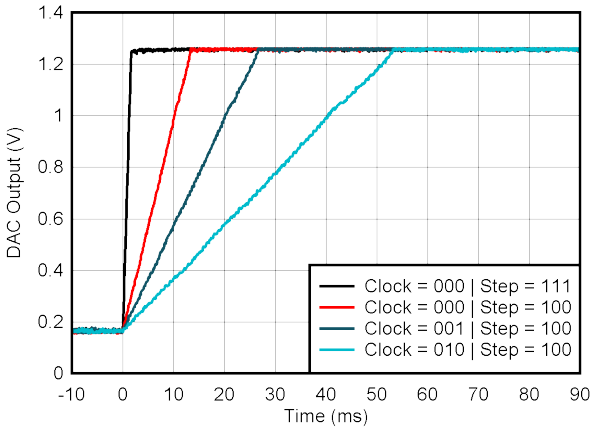


图 5-23. 采用线性压摆率控制功能的 DAC 建立时间

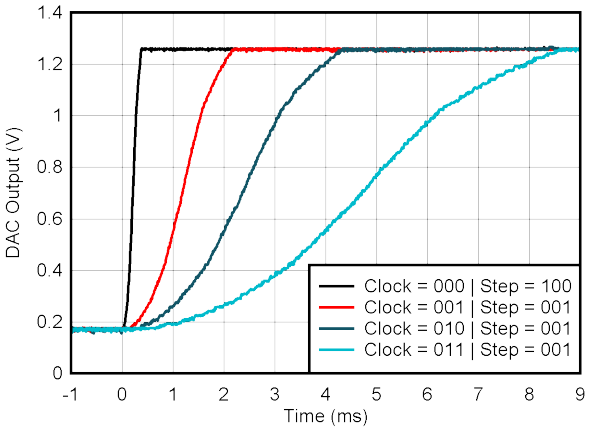


图 5-24. 采用正弦压摆率控制功能的 DAC 建立时间

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性：VOUT DAC (续)

T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

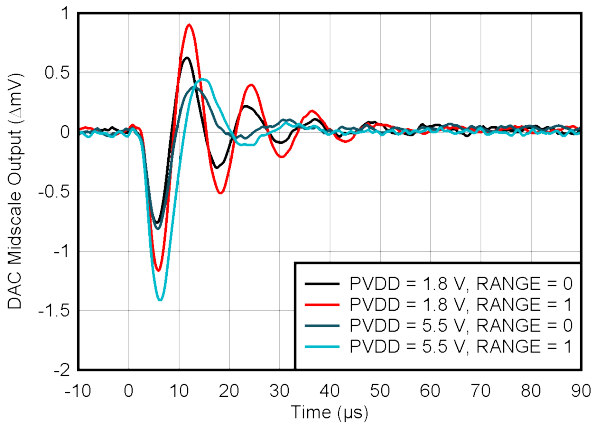


图 5-25. DAC 干扰脉冲上升沿

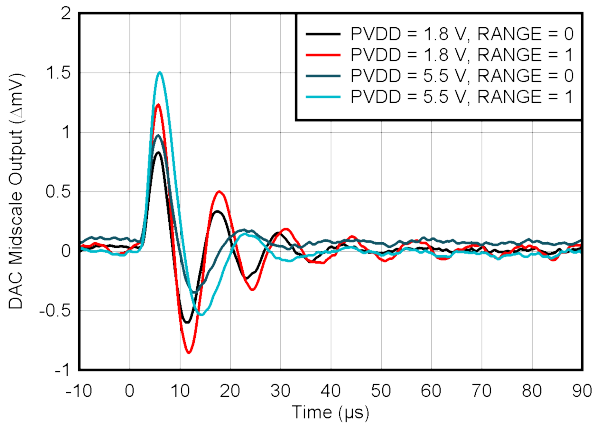


图 5-26. DAC 干扰脉冲下降沿

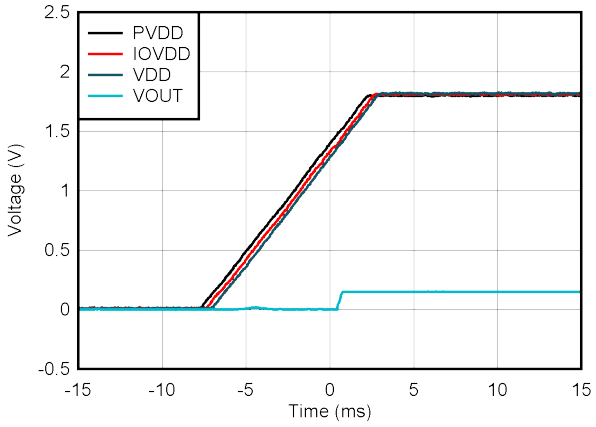


图 5-27. DAC 电源上电，PVDD = 1.8V

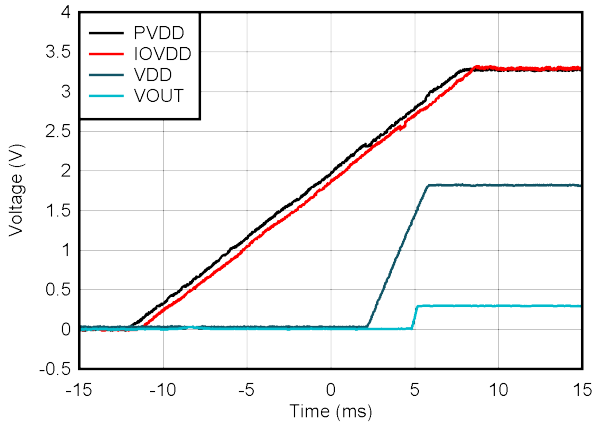
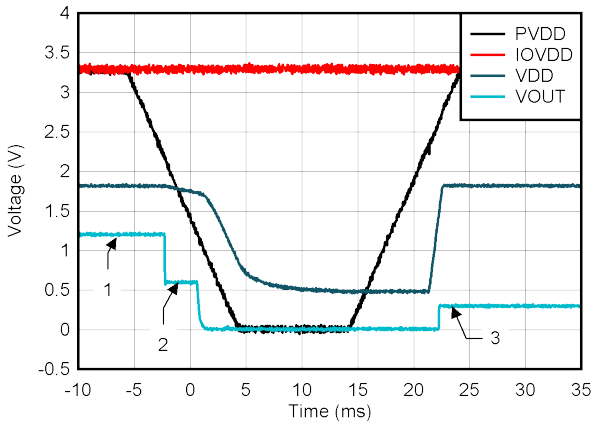
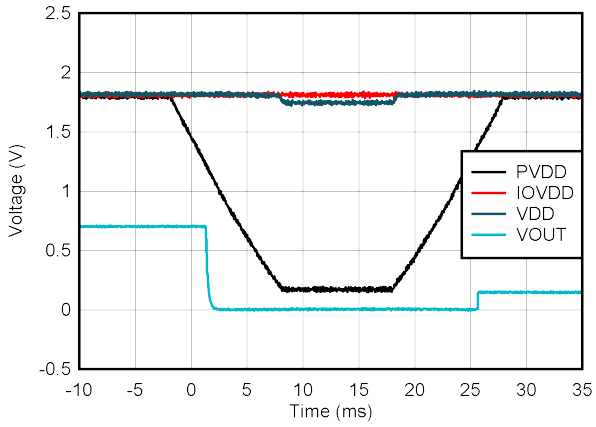


图 5-28. DAC 电源上电，PVDD = 3.3V



1：0.4V 至 2V 范围，中间码
2：0.2V 至 1V 范围，中间码
3：0.3V 至 2.2V 范围，零代码

图 5-29. DAC PVDD 电源崩溃响应，范围 = 1



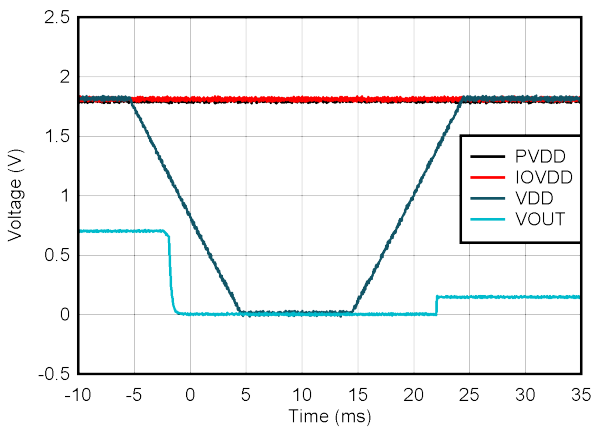
0.15V 至 1.25V 范围，中间码

图 5-30. DAC PVDD 电源崩溃响应，范围 = 0

Copyright © 2026 Texas Instruments Incorporated

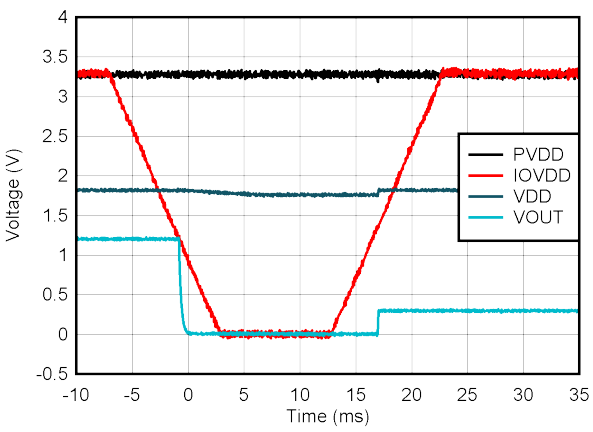
5.8 典型特性：VOUT DAC (续)

T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



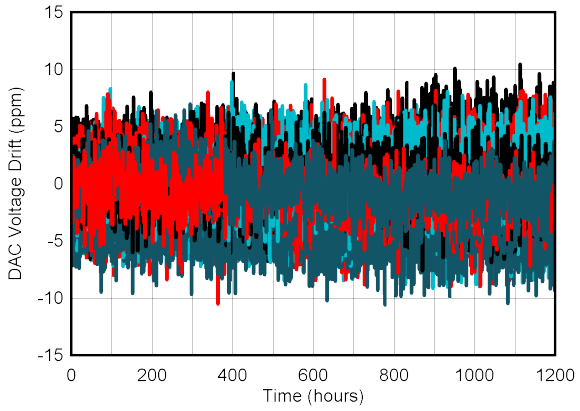
0.15V 至 1.25V 范围，中间码

图 5-31. DAC VDD 电源崩溃响应，范围 = 0



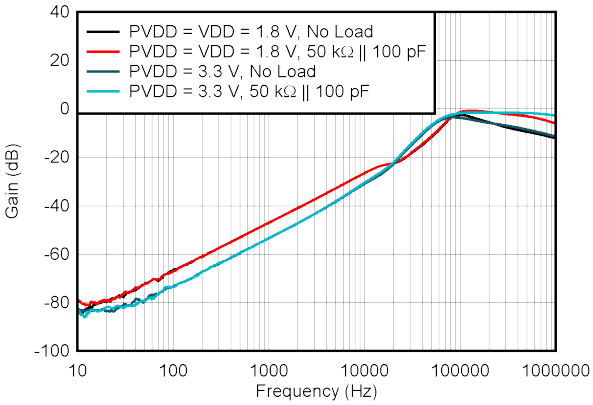
0.4V 至 2V 范围，中间码

图 5-32. DAC IOVDD 电源崩溃响应，范围 = 1



理想基准

图 5-33. DAC 输出电压长期稳定性



内部基准

图 5-34. DAC 交流 PSRR 与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性：ADC

T_A = 25°C，PVDD = VDD = IOVDD = 1.8V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

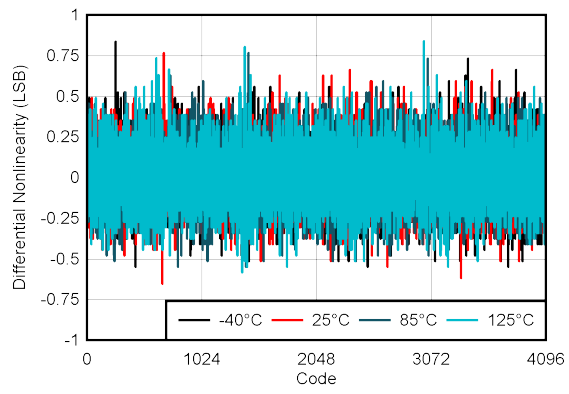


图 5-35. ADC DNL 与数字输入代码间的关系

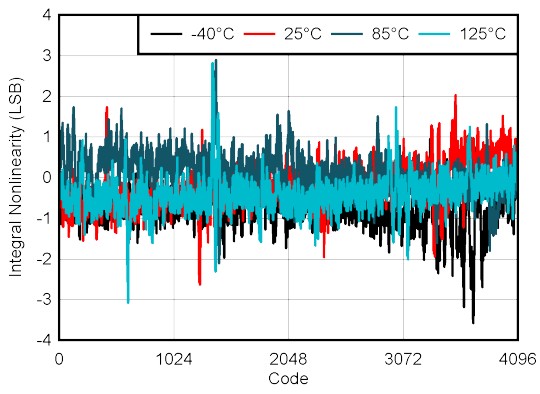


图 5-36. ADC INL 与数字输入代码间的关系

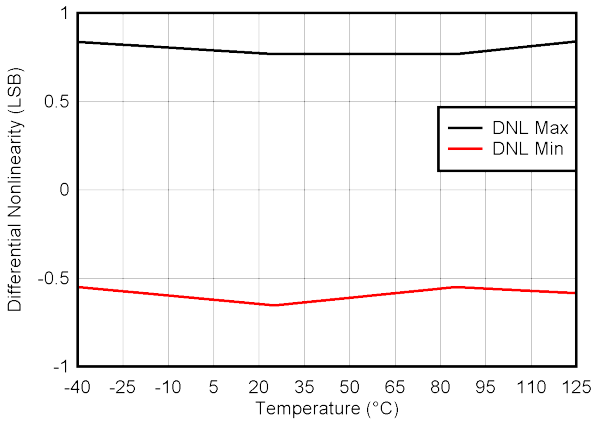


图 5-37. ADC DNL 范围与温度间的关系

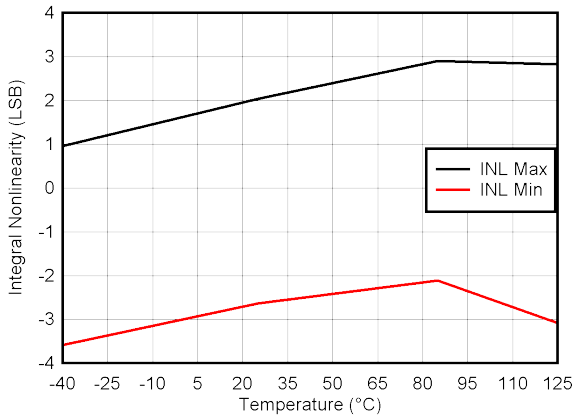


图 5-38. ADC INL 范围与温度间的关系

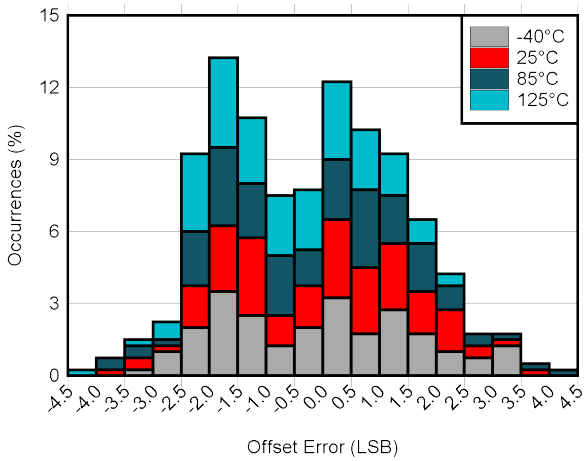


图 5-39. ADC 偏移误差与温度间的关系

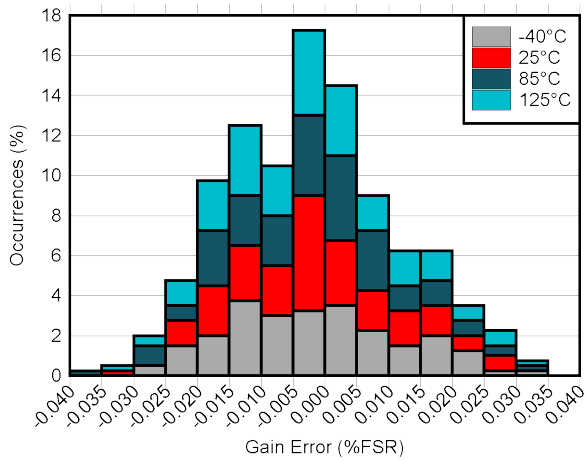
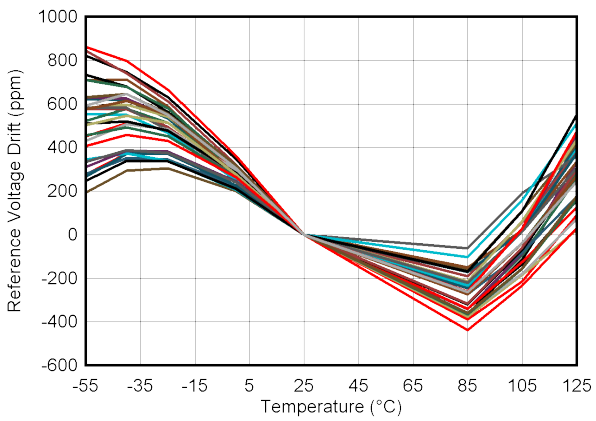


图 5-40. ADC 增益误差与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

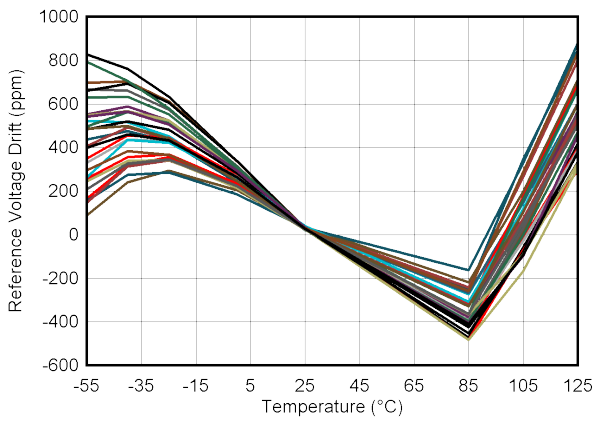
5.10 典型特性：参考

T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



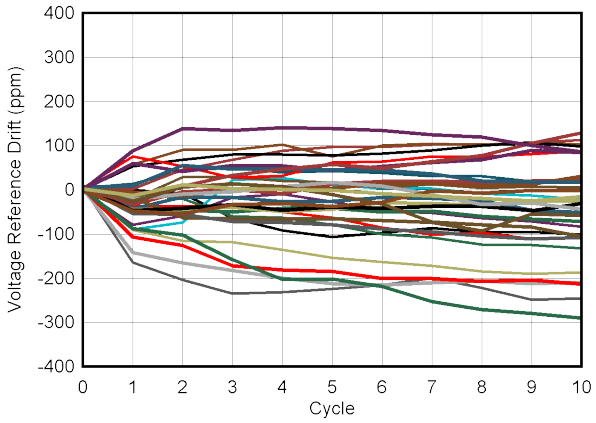
预焊

图 5-41. 基准电压温漂



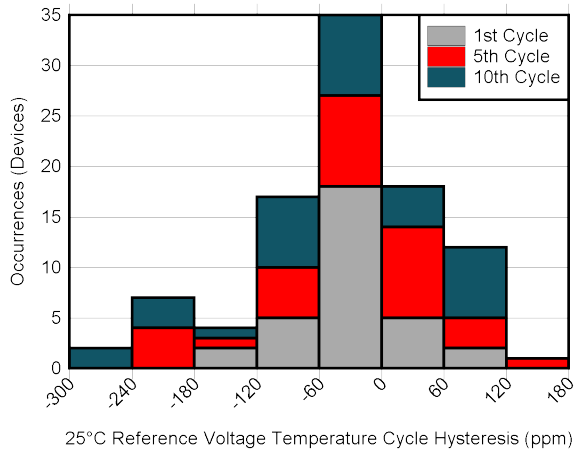
后焊

图 5-42. 基准电压温漂



-40°C 至 +85°C 循环，每个循环 60 分钟

图 5-43. 多温度循环迟滞

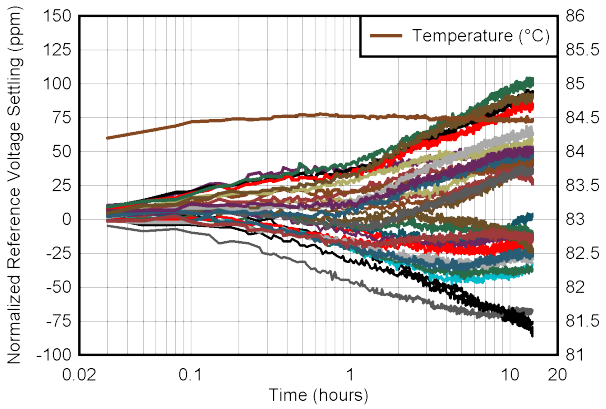


-40°C 至 +85°C 循环，每个循环 60 分钟

图 5-44. 多温度循环迟滞

5.10 典型特性：参考 (续)

T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



25°C 至 85°C 温度阶跃后两分钟

图 5-45. 环境温度变化稳定

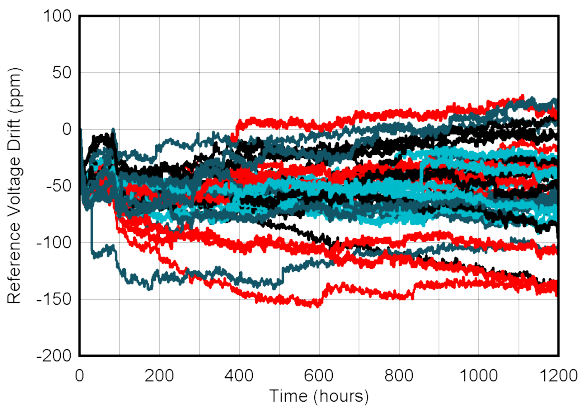


图 5-46. 基准电压长期稳定性

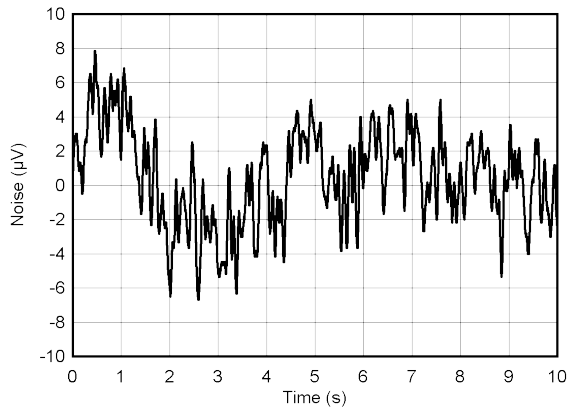


图 5-47. 基准输出噪声，0.1Hz 至 10Hz

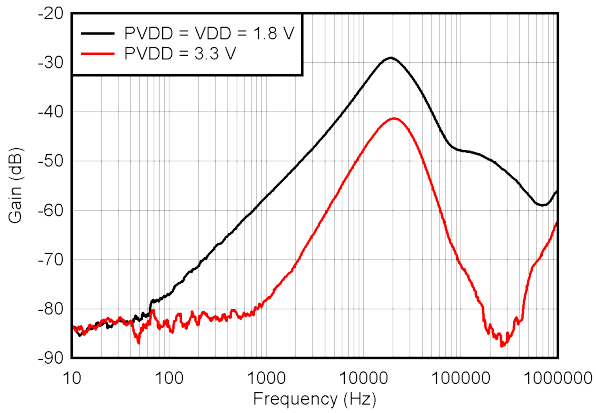


图 5-48. 基准交流 PSRR 与频率间的关系

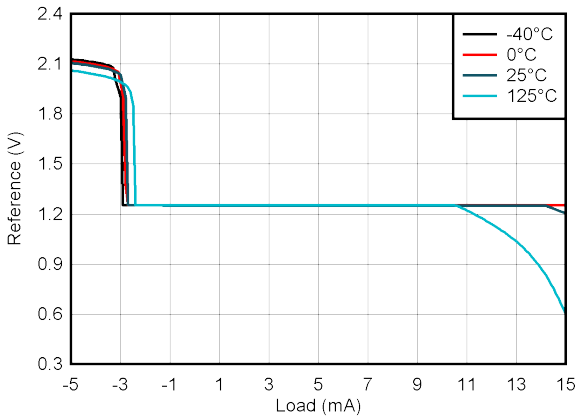


图 5-49. 基准拉电流和灌电流能力

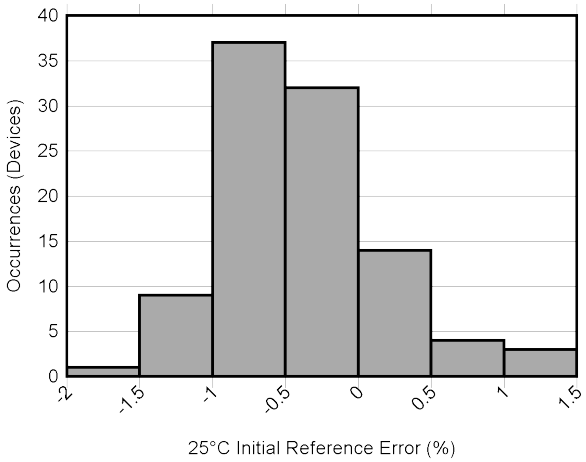
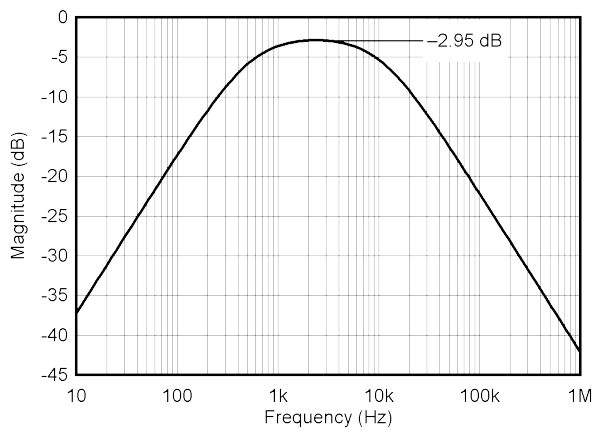


图 5-50. 初始精度分布

Copyright © 2026 Texas Instruments Incorporated

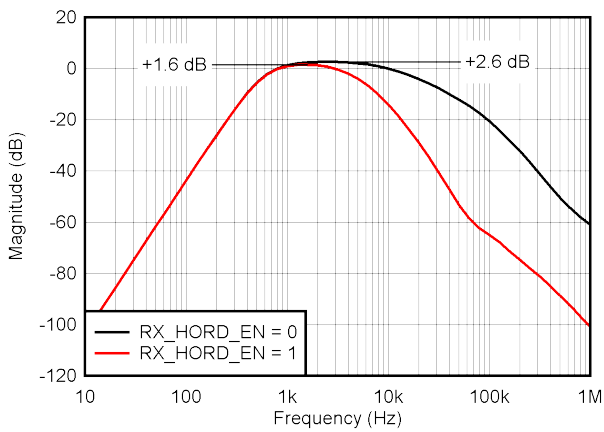
5.11 典型特性：HART 调制解调器

T_A = 25°C，PVDD = IOVDD = 3.3V，外部或内部 VREFIO = 1.25V，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）



2.2nF HART_RX 输入电容器　　680pF RX_INF 电容器接地

图 5-51. HART 内部模式第一级带通滤波器响应（从 HART_RX 信号到 RX_INF 引脚）



2.2nF HART_RX 输入电容器　　680pF RX_INF 电容器接地

图 5-52. HART 内部模式完整带通滤波器响应（从 HART_RX 信号到内部解调器）

5.12 典型特性：电源

T_A = 25°C，PVDD = IOVDD = 3.3V，内部 VREFIO，R_{LOAD} = 50kΩ 至 GND，C_{LOAD} = 100pF 至 GND，且数字输入处于 IOVDD 或 GND（除非另有说明）

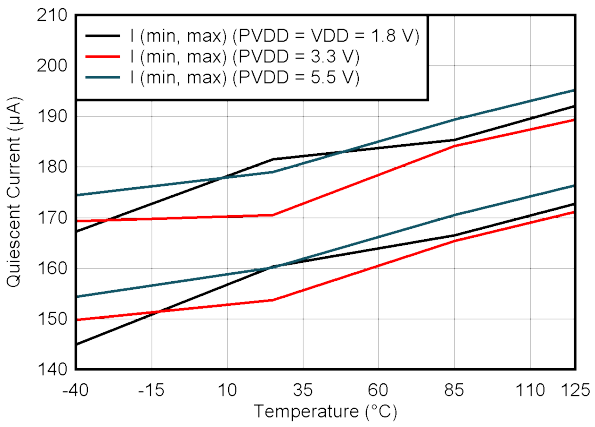


图 5-53. PVDD 电源电流与温度间的关系

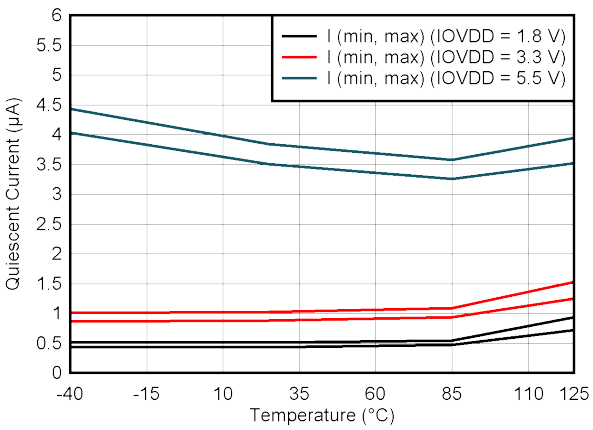


图 5-54. IOVDD 电源电流与温度间的关系

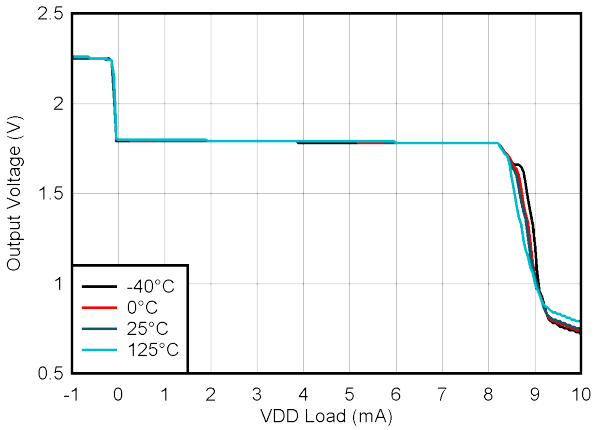


图 5-55. VDD 电压与负载电流间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

AFEx81H1 具备带有电压输出缓冲器的 16 位 (AFE881H1) 或 14 位 (AFE781H1) 串式 DAC。这两款器件都能够以超低功耗在低至 1.71V 的电源电压下运行，专为环路供电的 4mA 到 20mA 应用而设计。AFEx81H1 根据电源电压，有两个不同的 DAC 输出电压范围；根据配置，还有其他两种范围。该 DAC 具有校准寄存器，用于设置增益和偏移值以调整 DAC 输出。该 DAC 还具有不同的输出转换模式，这些模式支持可编程线性转换和正弦形输出转换。

AFEx81H1 还有一个 12 位 SAR ADC 可进行多路复用以测量不同输入，包括用于对器件进行诊断测量的外部节点和内部节点。该 ADC 能够通过按需转换进行直接模式测量，或通过使用通道序列发生器和多路复用器进行连续转换来进行自动模式测量。这些器件具有支持故障检测和警报操作的可选警报配置。

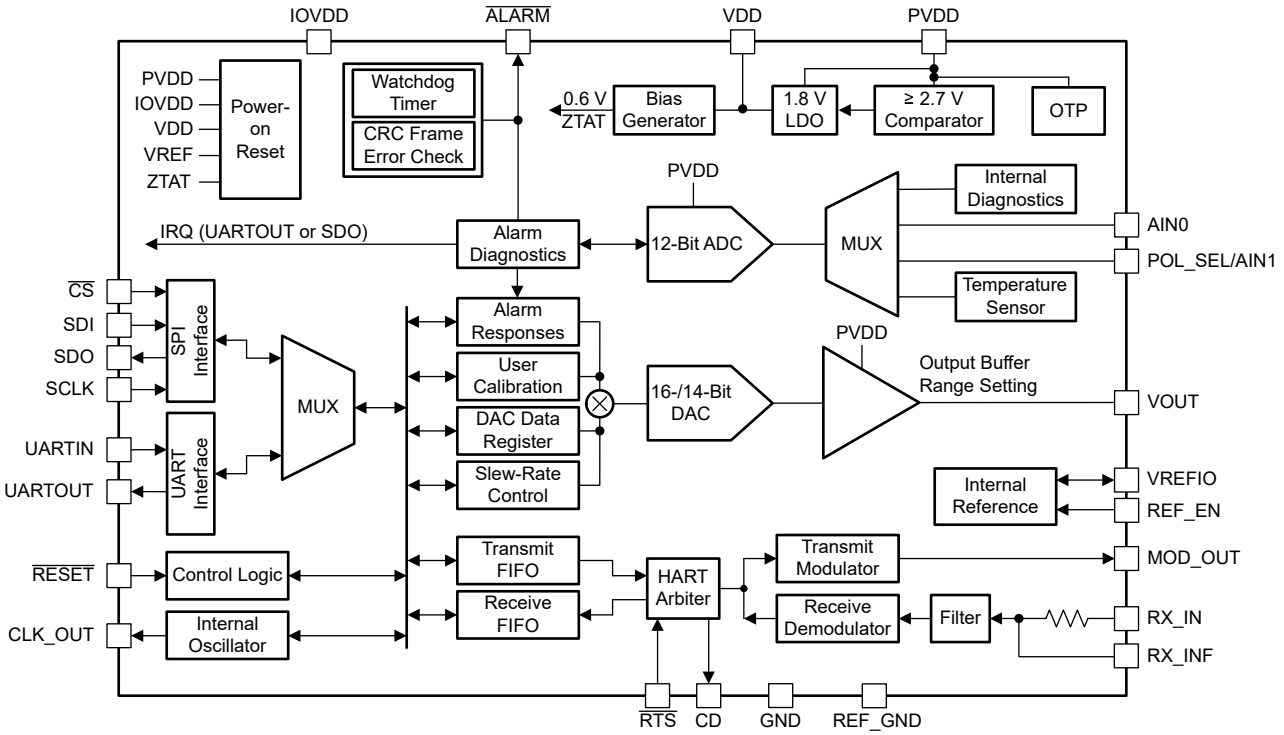
器件通过 SPI、SPI + UART 接口或通过 UART 中断模式 (UBM) 进行通信和编程。使用 SPI 时，默认会实施循环冗余校验 (CRC)，但可以禁用该校验。此外，还可以通过看门狗计时器 (WDT) 来监控通信。WDT 会在器件对定期通信没有响应时提醒用户。

现场变送器会使用 SPI 或 UART 通过调制和解调来创建 HART 接口。输入信号的解调是借助外部和内部带通滤波组合来实现的。

AFEx81H1 具有 1.25V 板载精密电压基准和集成精密振荡器。

本数据表中，寄存器和位名称与一个句点组合在一起形成以下格式：<register_name>.<bit_name>。例如，DAC_CFG 寄存器中的 CLR 位标记为 DAC_CFG.CLR。

6.2 功能方框图



6.3 特性说明

6.3.1 数模转换器 (DAC) 概述

AFEx81H1 包含 16 位 (AFE881H1) 或 14 位 (AFE781H1) 串式 DAC 和随后的输出电压缓冲器。DAC 可配置为支持两个低 PVDD (0.15V 至 1.25V 和 0.2V 至 1V) 或高 PVDD (0.3V 至 2.5V 和 0.4V 至 2V) 输出电压范围，具体取决于 PVDD 电源电压以及器件配置寄存器中的 DAC_CFG.RANGE 位。通过使用电压-电流转换器级，这些输出电压可用于控制 4mA 至 20mA 的环路。窄范围对应于 4mA 至 20mA 范围。整个范围支持低于或高于 4mA 至 20mA 范围的电流。

这些器件持续监控 PVDD 电源以根据 DAC 范围设置确保正常运行。表 6-1 显示了 AFEx81H1 的有效电源电压范围和相应的 VOUT DAC 电压范围。

表 6-1. VOUT DAC 电压范围

DAC 配置	电源		DAC_CFG.RANGE	名称	VOUT DAC 电压范围
	PVDD	VDD			
无效配置	0V ≤ PVDD < 1.71V	0V ≤ VDD < 1.71V	不适用	警报条件 [1]	0.15V 或 1.25V[2]
低 PVDD DAC 范围	1.71V ≤ PVDD ≤ 1.89V	1.71V ≤ VDD ≤ 1.89V	0	完整范围	0.15V 至 1.25V
			1	窄范围	0.2V 至 1V
无效配置	1.89V < PVDD < 2.7V	VDD > 1.89V	不适用	警报条件 [1]	0.15V 或 1.25V[2]
高 PVDD DAC 范围	2.7V ≤ PVDD ≤ 5.5V	VDD 在内部生成	0	完整范围	0.3V 至 2.5V
			1	窄范围	0.4V 至 2V
无效配置	PVDD > 5.5V	VDD > 1.89V	不适用	警报条件 [1]	0.3V 或 2.5V[2]

(1) 有关详细信息，请参阅表 6-7。
(2) 有关详细信息，请参阅图 6-12。

在运行期间，如果 PVDD 或 VDD 超出与电源配置相关的指定阈值范围，则会触发警报，并会根据 ALARM_ACT 寄存器设置来设置 DAC 输出。

6.3.1.1 DAC 电阻串

如图 6-1 所示，电阻串结构包含一系列电阻，每个电阻的阻值为 R。载入 DAC 的代码确定了在电阻串上的哪个节点将电压分接至输出放大器。分接电压的方法是闭合其中一个将电阻串连接到放大器的开关。电阻串架构具有固有的单调性、电压输出和低干扰。

Copyright © 2026 Texas Instruments Incorporated

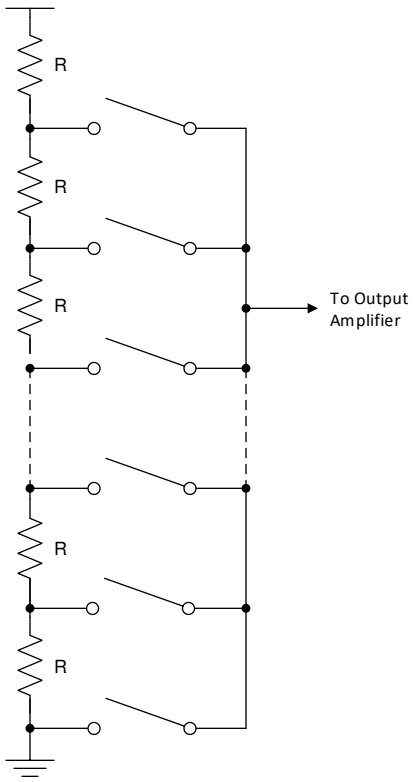


图 6-1. DAC 电阻串

6.3.1.2 DAC 缓冲器放大器

VOUT 输出引脚由 DAC 输出缓冲器放大器驱动。输出放大器的默认设置可以驱动高达 100pF 的容性负载而不出现振荡。输出缓冲器支持 1mA 的拉电流和灌电流。该器件针对瞬时输出接地短路和对 VDD 电源短路提供了短路保护。拉电流和灌电流短路电流阈值设置为 5mA。

Copyright © 2026 Texas Instruments Incorporated

6.3.1.3 DAC 传递函数

以下公式描述了 DAC 传递函数，即内部信号 DAC_CODE 与输出电压 VOUT 之间的关系：

$$VOUT = \frac{DAC_CODE}{2^N} \times FSR + V_{MIN} \quad (1)$$

其中

- DAC_CODE 是一个内部信号，是加载到 DAC_DATA 寄存器中的增益和偏移校准二进制代码的十进制等效值。DAC_CODE 范围 = 0 至 2^N – 1。
- N = DAC_CODE 分辨率，以位数表示（AFE881H1 为 16 位，AFE781H1 为 14 位）。
- FSR = 表 6-2 中所选输出范围的 VOUT 满标量程。
- V_{MIN} = 所选 DAC 输出范围的最低电压。

表 6-2. 所有 VOUT 范围的 FSR 和 V_{MIN}

PVDD	DAC_CFG.RANGE	VOUT 范围	FSR	V_{MIN}
1.8V	0	0.15V 至 1.25V	1.1V	0.15V
1.8V	1	0.2V 至 1.0V	0.8V	0.2V
⩾ 2.7V	0	0.3V 至 2.5V	2.2V	0.3V
⩾ 2.7V	1	0.4V 至 2.0V	1.6V	0.4V

当不处于清除状态时，DAC 的 VOUT 范围由 DAC_CFG.RANGE 位确定。在清除状态下，范围由 DAC_CFG.CLR_RANGE 位确定。

6.3.1.4 DAC 增益和偏移校准

AFEx81H1 提供 DAC 增益和偏移校准功能，可以校正系统中出现的端点误差。需使用两个寄存器 DAC_GAIN.GAIN 和 DAC_OFFSET.OFFSET 来实现增益和偏移校准。在更改增益或偏移代码后应更新 DAC_DATA 寄存器以使新值生效。可以使用方程式 2 将 DAC_GAIN 编程为 0.5 至 1.499985 之间的值。

$$DAC_GAIN = \frac{1}{2} + \frac{GAIN}{2^N} \quad (2)$$

其中

- N = DAC_GAIN 分辨率，以位数表示：AFE881H1 为 16 位，AFE781H1 为 14 位。
- GAIN 是 DAC_GAIN 寄存器设置的十进制值。
- GAIN 数据采用左对齐形式；对于 AFE781H1，DAC_GAIN 寄存器中的最后两个 LSB 将被忽略。

AFE881H1 的 DAC_GAIN 设置示例如表 6-3 所示。

表 6-3. DAC_GAIN 设置与 GAIN 代码

DAC_GAIN	GAIN（十六进制）
0.5	0x0000
1.0	0x8000
1.499985	0xFFFF

DAC_OFFSET 以二进制补码编码形式存储在 DAC_OFFSET 寄存器中。可以使用方程式 3 将 DAC_OFFSET 值编程为 $-2^{(N-1)}$ 至 $2^{(N-1)}$ – 1 之间的值。

$$DAC_OFFSET = -OFFSET_{MSB} \times 2^{(N-1)} + \sum_{i=0}^{(N-2)} OFFSET_i \times 2^i \quad (3)$$

其中

Copyright © 2026 Texas Instruments Incorporated

- N = DAC_OFFSET 分辨率，以位数表示：AFE881H1 为 16 位，AFE781H1 为 14 位。
- $OFFSET_{MSB}$ = DAC_OFFSET 寄存器的 MSB 位。
- $OFFSET_i$ = DAC_OFFSET 寄存器的其余位。
- *i* = 该位在 DAC_OFFSET 寄存器中的位置。
- OFFSET 数据采用左对齐形式；对于该器件，DAC_OFFSET 寄存器中的最后两个 LSB 将被忽略。

最高有效位决定数字的符号，称为符号位。符号位的权重为 $-2^{(N-1)}$，如方程式 3 所示。

AFE881H1 的 DAC_OFFSET 设置示例如表 6-4 所示。

表 6-4. DAC_OFFSET 设置与 OFFSET 代码

DAC_OFFSET	OFFSET（十六进制）
32767	0x7FFF
1	0x0001
0	0x0000
-1	0xFFFF
-2	0xFFFE
-32768	0x8000

以下传递函数基于 DAC_GAIN 和 DAC_OFFSET 值应用于 DAC_DATA.DATA：

$$DAC_CODE = (DATA \times DAC_GAIN) + DAC_OFFSET \quad (4)$$

其中

- DAC_CODE 是施加到 DAC 的内部信号。
- DATA 是 DAC_DATA 寄存器的十进制值。
- DAC_GAIN 和 DAC_OFFSET 是用户校准设置。
- DATA 数据采用左对齐形式；对于 AFE781H1，DAC_DATA 寄存器中的最后两个 LSB 将被忽略。

将方程式 4 中的 DAC_GAIN 和 DAC_OFFSET 代入方程式 2 和方程式 3 得到：

$$DAC_CODE = \left(DATA \times \left[\frac{1}{2} + \frac{GAIN}{2^N}\right]\right) - OFFSET_{MSB} \times 2^{(N-1)} + \sum_{i=0}^{(N-2)} OFFSET_i \times 2^i \quad (5)$$

乘数是使用截断而不是舍入来实现的。如果需要舍入，这种截断可能会导致 1 LSB 的差异。图 6-2 显示了 DAC 校准路径。

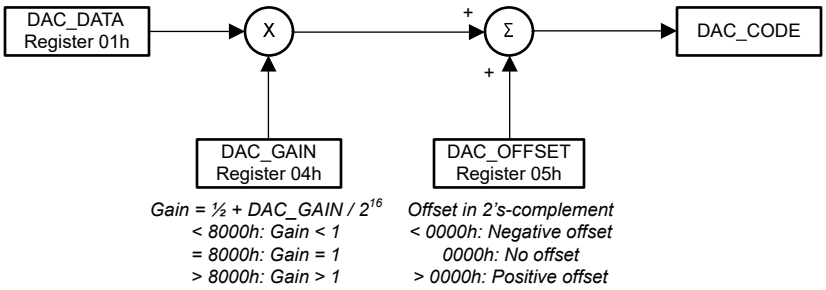


图 6-2. DAC 校准路径

6.3.1.5 可编程压摆率

压摆率功能可控制输出电压或电流的变化速率。默认情况下已禁用该功能，但可以通过向 DAC_CFG.SR_EN 位写入逻辑 1 来启用该功能。在禁用压摆率控制功能的情况下，输出会以受输出驱动电路和所连负载限制的速率发生平滑变化。

Copyright © 2026 Texas Instruments Incorporated

启用该功能后，输出不会直接在两个值之间转换。相反，输出会以 DAC_CFG.SR_STEP[2:0] 和 DAC_CFG.SR_CLK[2:0] 定义的速率进行数字步进。SR_CLK 定义数字转换更新的速率。SR_STEP 定义每次更新时输出值的变化量。寄存器说明显示了 SR_STEP 和 SR_CLK 的不同设置。

Copyright © 2026 Texas Instruments Incorporated

输出转换所需的时间表示为方程式 6：

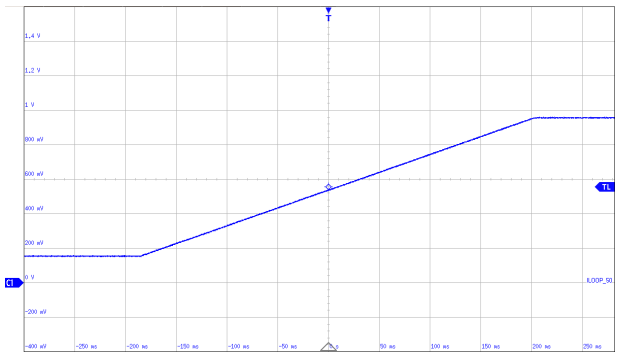
$$\text{Slew Time} = \frac{\text{Delta Code Change}}{\text{Slew Step} \times \text{Slew Clock Rate}} \quad (6)$$

其中

- *Slew Time* 以秒为单位进行表示
- *Slew Step* 由 DAC_CFG.SR_STEP 控制
- *Slew Clock Rate* 由 DAC_CFG.SR_CLK 控制

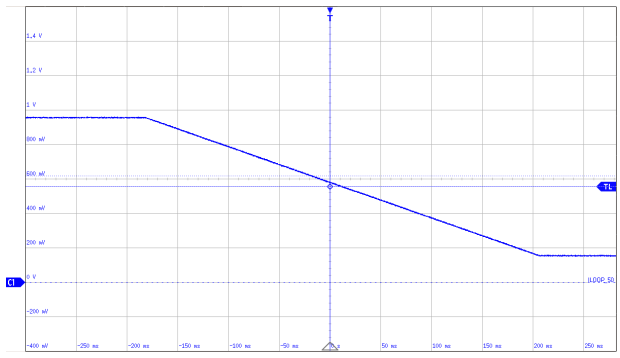
启用压摆率控制功能后，输出会以编程的压摆率发生变化。这种配置会导致输出形成梯形。如果清除代码置为有效（请参阅 *DAC 寄存器结构和清除状态*），则输出将以编程的压摆率转换为 DAC_CLR_CODE 值。当写入新的 DAC 数据后，输出开始以当前 DAC 代码和新 DAC 数据确定的压摆率转换为新值。任何给定值的更新时钟频率在所有输出范围内都相同。但是，对于给定的步长值，步长会因输出范围而异，因为每个输出范围的 LSB 大小都不同。

有两种压摆率控制模式可供使用：线性（默认）和正弦。图 6-3 和图 6-4 分别显示了典型的上升和下降 DAC 输出波形。



在 40Ω 分流器上测得的 4mA (0x0BA3) 至 24mA (0xF45D) 电流

图 6-3. 线性压摆率：上升

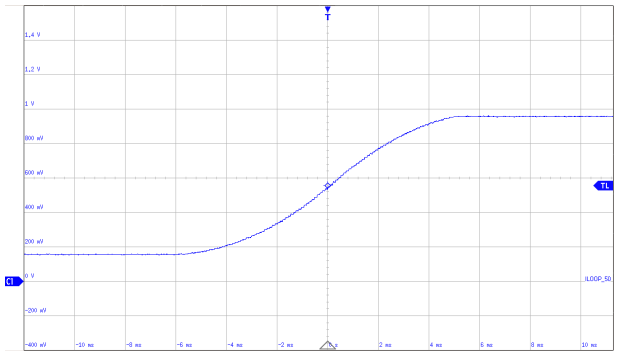


在 40Ω 分流器上测得的 24mA (0xF45D) 至 4mA (0x0BA3) 电流

图 6-4. 线性压摆率：下降

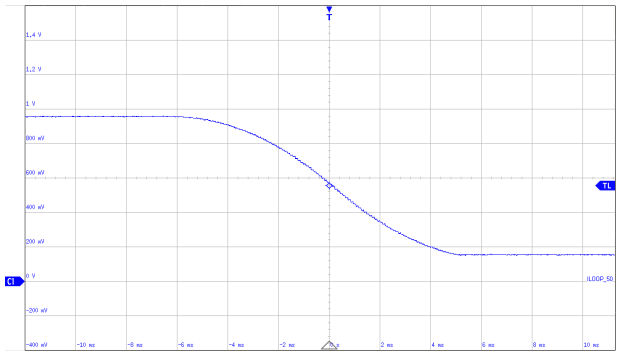
正弦模式可实现快速 DAC 稳定，同时改善模拟变化率特性。正弦模式由 DAC_CFG.SR_MODE 位进行选择。图 6-5 和图 6-6 分别显示了具有正弦压摆率控制功能的典型上升和下降 DAC 输出波形。

Copyright © 2026 Texas Instruments Incorporated



在 40Ω 分流器上测得的 4mA (0x0BA3) 至 24mA (0xF45D) 电流

图 6-5. 正弦压摆率：上升



在 40Ω 分流器上测得的 24mA (0xF45D) 至 4mA (0x0BA3) 电流

图 6-6. 正弦压摆率：下降

如果在 DAC 执行压摆率命令时禁用了压摆率功能，则会中止压摆率操作，且 DAC 输出将转至目标代码。

Copyright © 2026 Texas Instruments Incorporated

6.3.1.6 DAC 寄存器结构和清除状态

AFE881H1 DAC 具有 16 位电压输出，而 AFE781H1 DAC 具有 14 位电压输出。表 6-1 显示了四个可能的 VOUT DAC 输出范围。对于电压-电流转换器级，窄范围对应于 4mA 至 20mA 范围。整个范围允许 3mA 至 25mA 的欠流和过流，由 DAC_CFG.RANGE 进行控制。

AFEx81H1 允许将 DAC 输出快速设置为 DAC_CLR_CODE 寄存器中设置的值，而无需写入 DAC_DATA 寄存器，该状态称为清除状态。将 DAC 设置为清除状态也会根据 DAC_CFG.CLR_RANGE 设置 DAC 输出范围。如需了解寄存器详细信息，请参阅表 6-18。

从 DAC_DATA 到 DAC_CLR_CODE 的转换与时钟同步。如果启用了转换模式，则在转换期间输出将会转换。图 6-7 显示了完整的 AFEx81H1 DAC_DATA 信号路径。这些器件将 DAC_DATA 代码与内部时钟同步，从而引起相对于 $\overline{CS}$ 上升沿或 UBM 命令结束最多 2.5 个内部时钟周期的延时 (2 µ s)。应在 DAC_CFG.SR_EN = 0 时更新 DAC_GAIN 和 DAC_OFFSET 值，以避免 SR_BUSY 生成 IRQ 脉冲。

通过以下任一方式将 DAC 设置为清除状态：

1. 设置 DAC_CFG.CLR。
2. 配置 DAC 转换到清除状态来响应警报条件。
3. 使用 UBM 中的 SDI 引脚作为清除状态输入引脚。

方法 1 是对 AFEx81H1 直接发出将 DAC 设置为清除状态的命令。将 DAC_CFG.CLR 位设置为 1h 即可将 DAC 设置为清除状态。

方法 2 由 ALARM_ACT 寄存器的设置进行控制。如需详细了解使用此方法所需的条件和其他屏蔽，请参阅表 6-29 和节 6.3.3.2。

方法 3 支持在不写入 AFEx81H1 的情况下将 DAC 设置为清除状态。这种基于引脚的 DAC 清除状态功能仅在 UBM 中的 SDI 引脚上如需详细了解基于通信模式的连接选项以及每种模式下使用的引脚，请参阅节 6.5.1。需将相应引脚设置为高电平才能驱动 DAC 进入清除状态。

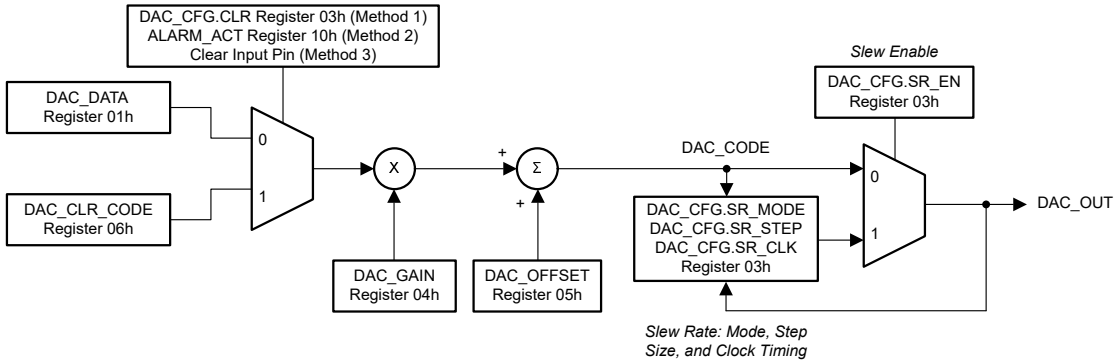


图 6-7. DAC 数据路径

6.3.2 模数转换器 (ADC) 概述

AFEx81H1 具有以 12 位逐次逼近寄存器 (SAR) ADC 和高度灵活型模拟多路复用器为中心的监控系统。该监控系统能够感测最多两个外部输入以及多个内部器件信号。

ADC 使用 VREFIO 引脚电压作为基准。ADC 时序信号来自片上振荡器。通过器件串行接口可以访问转换结果。

6.3.2.1 ADC 操作

该 ADC 器件支持直接模式转换和自动模式转换。两种转换模式都使用自定义通道序列发生器来确定 ADC 转换的输入通道。转换顺序是固定的。用户选择转换序列的启动通道和停止通道。在 ADC 配置寄存器中指定转换方法和通道序列。默认的转换方法为自动模式。图 6-8 显示了 ADC 转换序列。

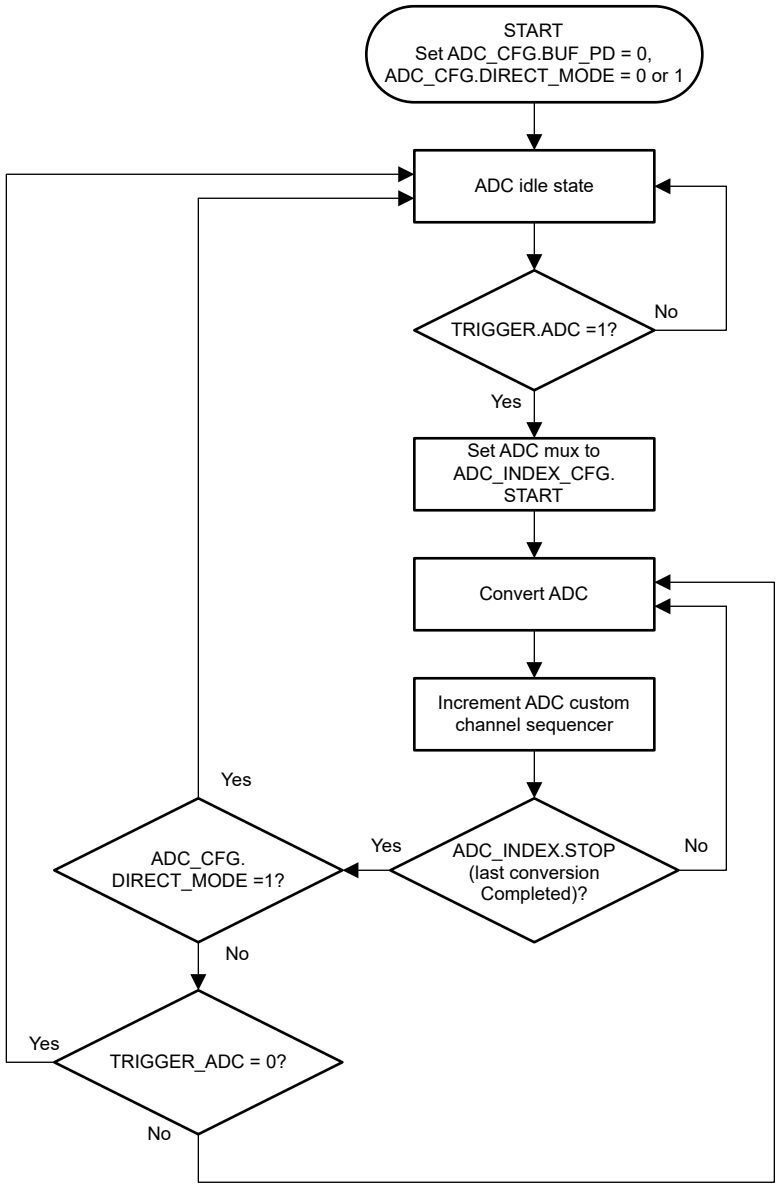


图 6-8. ADC 转换序列

要使用 ADC，首先通过设置 ADC_CFG.BUF_PD = 0 来启用 ADC 缓冲器。然后等待至少 210µs，然后再使用 TRIGGER.ADC 位来设置触发器。如果在计时器到期前发送触发信号，则会强制设置一个内部延迟。在设置 ADC_CFG.BUF_PD = 1 之前，请确保 ADC 不会进行转换。如果在 ADC 仍在转换期间将 ADC_CFG.BUF_PD

Copyright © 2026 Texas Instruments Incorporated

设置为 1，则内部计时器会延迟该命令。当计时器到期时，ADC 的使能信号会被清零，当前转换完成，然后将 ADC 和 ADC 缓冲器断电。

必须出现触发信号，ADC 才能退出空闲状态。ADC 触发信号是通过 TRIGGER.ADC 位生成的。ADC 数据寄存器具有最新的可用数据。访问数据寄存器时不会干扰转换过程，因此可确保 ADC 连续运行。

在直接模式转换中，通过发出 ADC 触发信号来按需转换选定的 ADC 输入通道。转换最后一个启用的通道后，ADC 进入空闲状态并等待新的触发信号。可通过寄存器映射来读取 ADC 转换结果。直接模式转换通常用于收集所有数据通道的 ADC 数据。在直接模式下，需使用 ADC_BUSY 位来确定直接模式转换何时完成以及 ADC 何时恢复到空闲状态。要设置直接模式，可写入 ADC_CFG.DIRECT_MODE = 1。

在自动模式转换中，会连续转换选定的 ADC 输入通道。发出 ADC 触发信号可启动转换周期。第一个转换序列完成后，另一个序列将自动启动。所选通道的转换会反复发生，直到通过清除 ADC 触发信号来停止自动模式转换。自动模式转换通常不用于收集 ADC 数据。相反，自动模式转换与 ADC 数据上限和下限结合使用，以检测数据何时超过可编程超限警报阈值。要设置自动模式，可写入 ADC_CFG.DIRECT_MODE = 0。

无论选择何种转换方法，仅当 ADC 处于空闲状态时才更新 ADC 配置寄存器。请勿在 ADC 正在转换通道时更改 ADC 配置位。在更改配置位之前，请禁用 ADC 并确认 GEN_STATUS.ADC_BUSY = 0。

Copyright © 2026 Texas Instruments Incorporated

6.3.2.2 ADC 自定义通道序列发生器

该器件使用自定义通道序列发生器来控制 ADC 的多路复用器。ADC 序列发生器允许用户指定转换哪些通道。该序列发生器包含 16 个已编制索引的时隙，而这些时隙具有可编程的启动和停止索引字段来配置启动和停止转换点。

在直接模式转换中，ADC 将启动索引转换到停止索引一次，然后停止。在自动模式转换中，ADC 反复从启动索引转换到停止索引，直到 ADC 停止。图 6-9 显示了该器件中已编制索引的自定义通道序列时隙。

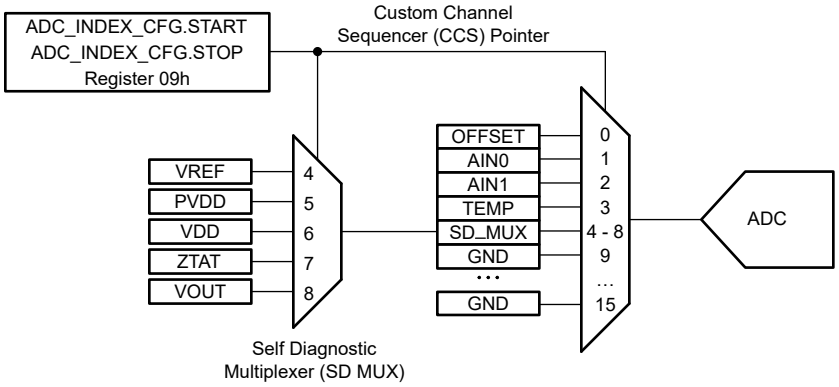


图 6-9. ADC 多路复用器控制

表 6-5 列出了序列发生器的 ADC 输入通道分配情况。

表 6-5. 已编制索引的自定义通道序列

CCS 指针	通道	CONV_RATE	范围
0	偏移	2560Hz	VREF
1	AIN0	可编程	可编程
2	AIN1	可编程	可编程
3	TEMP	2560Hz	VREF
4	SD0 (VREF)	2560Hz	VREF
5	SD1 (PVDD)	2560Hz	VREF
6	SD2 (VDD)	2560Hz	VREF
7	SD3 (ZTAT)	2560Hz	VREF
8	SD4 (VOUT)	2560Hz	PVDD = 1.8V 时为 VREF PVDD ≥ 2.7V 时为 2 × VREF
9-15	GND	2560Hz	VREF

使用 ADC_INDEX_CFG 寄存器选择通道。通道的顺序是固定的，如表 6-5 所示。然后，使用 ADC_INDEX_CFG.START 和 ADC_INDEX_CFG.STOP 选择要转换的索引范围。如果这两个值相同，则 ADC 仅转换单个通道。如果 START 和 STOP 值不同，则 ADC 会循环使用相应的索引。默认情况下，所有通道都配置为转换：START = 0 和 STOP = 8。如果 AIN1 通道未配置为 ADC 输入，则该通道的结果为 0x000。如果通道位于 START 和 STOP 范围内，则转换的最短时间仍分配给 AIN1。如果 START 配置为大于 STOP，该器件会将转换序列解释为 START = STOP。

在直接模式下，每运行一次 TRIGGER.ADC 命令，ADC_INDEX_CFG 寄存器中的每个选定通道都会被转换一次。在自动模式下，ADC_INDEX_CFG 寄存器中选择的每个通道都会被转换一次；只要启用了 ADC，在最后一个通道之后就会重复该循环。在自动模式下，写入 TRIGGER.ADC = 1 会开始转换。写入 TRIGGER.ADC = 0 会在当前通道转换完成后禁用 ADC。在直接模式下，写入 TRIGGER.ADC = 1 将启动序列。当序列结束时，TRIGGER.ADC 将自清零。

Copyright © 2026 Texas Instruments Incorporated

执行一次转换至少需要 20 个时钟周期。ADC 时钟来自内部振荡器并经过 16 分频，得到的 ADC 时钟频率为 1.2288MHz / 16 = 76.8kHz，时钟周期 = 13.02 µs。

每个内部节点都具有固定的转换速率。引脚 AIN0 和 AIN1 具有可编程的转换速率（另请参阅 ADC_CFG 寄存器）。引脚 AIN0 和 AIN1 也具有可配置的范围。如果 PVDD ≥ 2.7V，则输入范围可以是 0V 至 1.25V 或 0V 至 2.5V，具体取决于 ADC_CFG.AIN_RANGE 位。如果 PVDD = 1.8V，则仅允许 0V 至 1.25V 范围。在这种情况下会阻止设置 ADC_CFG.AIN_RANGE 位。

如果更改了任何 ADC 配置位，建议使用以下序列：

1. 禁用 ADC
2. 等待 ADC_BUSY 变为低电平
3. 更改配置
4. 重新启动转换

可在 GEN_STATUS 寄存器中监控 ADC_BUSY。

如果 ADC 配置为直接模式 (ADC_CFG.DIRECT_MODE = 1)，则在设置要转换的所需通道后，请将 1 写入 TRIGGER.ADC。当序列完成转换时，该位会自清零。该命令会将所有选定的通道转换一次。要启动另一次通道转换，请发送另一条 TRIGGER.ADC 命令。

6.3.2.3 ADC 同步

必须生成触发信号才能使 ADC 退出空闲状态并开始转换。ADC 触发信号是通过 TRIGGER.ADC 位生成的。ADC 数据寄存器具有最新的可用数据。访问数据寄存器时不会干扰转换过程，因此可确保 ADC 连续运行。

在直接模式下，需使用 GEN_STATUS.ADC_BUSY 位来确定直接模式转换何时完成以及 ADC 何时恢复到空闲状态。同样，通过监控 TRIGGER.ADC 位可以查看 ADC 是否恢复到空闲状态。

6.3.2.4 ADC 偏移校准

CCS 指针的通道 0 名为 OFFSET。OFFSET 通道用于校准和改善 ADC 偏移性能。转换 OFFSET 通道，并将结果用于后续测量中的 ADC 偏移校准。

该 ADC 通道对 VREF/2 进行采样，并将该结果与 7FFh 进行比较以度量 ADC 偏移。测量该通道的 ADC 的数据速率为 2560Hz。从 7FFh 减去 OFFSET 通道的 ADC 转换结果后得到的值存储在 ADC_OFFSET (28h) 中。偏移可以是正值，也可以是负值；因此，该值以二进制补码表示法存储。

从 7FFh 减去后的 ADC_OFFSET 是偏移的负值。默认情况下会从 ADC 的转换结果减去该值。要直接测量 ADC，请将 ADC_BYP.OFST_BYP_EN 设置为 1 以启用偏移旁路；请参阅节 6.3.2.8。

Copyright © 2026 Texas Instruments Incorporated

6.3.2.5 外部监控输入

AFEx81H1 具有两个用于外部电压检测的模拟输入。CCS 指针的通道 1 和 2 用于外部监控输入，可分别通过引脚 AIN0 和 AIN1 进行测量。模拟输入的输入范围可配置为 0V 至 1.25V 或 0V 至 2.5V。模拟输入转换值以直接二进制格式存储在 ADC 寄存器中。ADC 分辨率可以通过方程式 7 计算得出：

$$1\ LSB = \frac{V_{RANGE}}{2^{12}} \tag{7}$$

其中

- 对于 0V 至 2.5V 输入范围，V_{RANGE} = 2.5V，而对于 0V 至 1.25V 输入范围，该值为 1.25V。

图 6-10 和表 6-6 详细说明了传递特性。

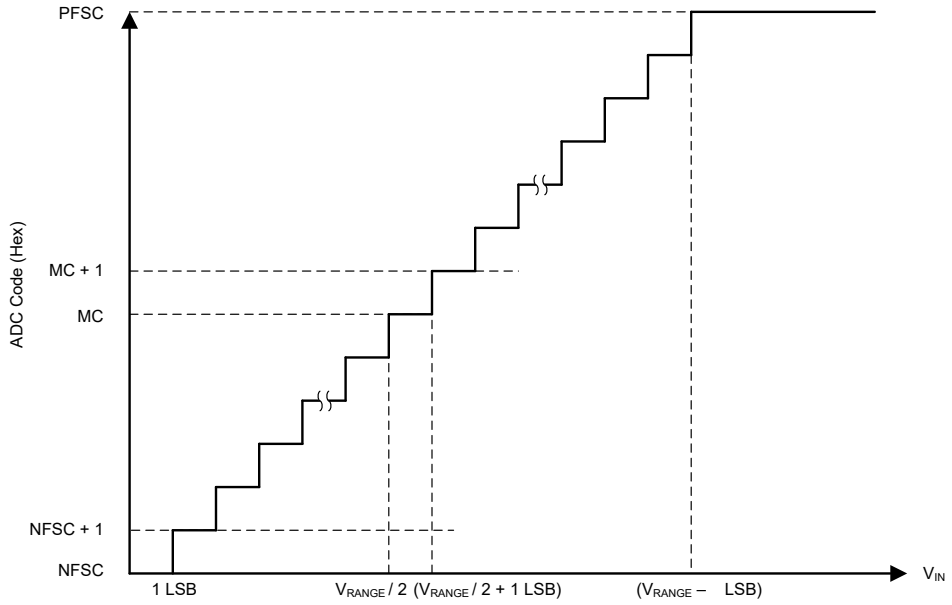


图 6-10. ADC 传递特性

表 6-6. 传输特性

输入电压	代码	说明	理想输出代码
≤1LSB	NFSC	负满量程代码	000
1LSB 至 2LSB	NFSC + 1	负满量程代码加 1	001
(V_{RANGE} / 2) 至 (V_{RANGE} / 2) + 1LSB	MC	中间码	800
(V_{RANGE} / 2) + 1LSB 至 (V_{RANGE} / 2) + 2 LSB	MC + 1	中间码加 1	801
≥ V_{RANGE} – 1LSB	PFSC	正满量程代码	FFF

对于这些外部监控输入，可为 ADC 配置数据速率和电压范围。使用 ADC_CFG.CONV_RATE 位将数据速率设置为 640Hz、1280Hz、2560Hz 或 3840Hz。ADC 测量范围通过 ADC_CFG.AIN_RANGE 位进行设置。当该位 = 0 时，ADC 范围为 2 × VREF；当该位 = 1 时，ADC 范围为 VREF。如果 PVDD > 2.7V，ADC_CFG.AIN_RANGE 仅控制范围。当 PVDD = 1.8V 时，无论设置如何，范围均为 VREF。

当 AIN0 和 AIN1 的 ADC 转换完成时，生成的 ADC 数据将存储到寄存器映射的 ADC_AIN0.DATA 和 ADC_AIN1.DATA 位（24h 和 25h 处）。

如果不使用外部监控输入，请通过 1kΩ 电阻将 AIN0 和 AIN1 引脚连接到 GND。

Copyright © 2026 Texas Instruments Incorporated

6.3.2.6 温度传感器

CCS 的通道 3 用于测量器件的内核温度。ADC 有一个内部温度传感器可以测量与绝对温度 (CTAT) 互补的电压。该 CTAT 电压具有负温度系数。ADC 以 2560Hz 的数据速率转换该电压。当 ADC 转换完成时，可以在 ADC_TEMP.DATA 位（地址 26h）中找到相应数据。

环境温度与 ADC 代码之间的关系如方程式 8 所示：

$$\text{ADC Code} = 2681 - 11 \times T_A(^\circ C) \quad (8)$$

6.3.2.7 自诊断多路复用器

除了 ADC 偏移、两个外部监控输入和温度传感器之外，AFEx81H1 的 ADC 还具有五个其他内部输入可用于监控基准电压、电源、静态电压和 DAC 输出。这五个电压测量值是 ADC 自诊断多路复用器（SD0 至 SD4）测量值的一部分，并会在 27h 的 ADC_SD_MUX 寄存器中报告；另请参阅节 6.6。

通道 4 (SD0) 测量该器件的基准电压。ADC 通过电阻分压器（除以 2）测量基准电压。请注意，所有 ADC 测量值都是基准的函数；使用 SD0 来测量基准不会显示为诊断测量。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 5 (SD1) 测量该器件的 PVDD 电源。ADC 通过电阻分压器（除以 6）测量 PVDD 电压。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 6 (SD2) 测量该器件的 VDD 电源。选择通道 6 后，ADC 通过电阻分压器（除以 2）测量 VDD 电压。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 7 (SD3) 是 ZTAT（零温度系数）电压。该内部电压的标称值为 0.6V，具有较低温漂，且不依赖于基准电压。ADC 对 ZTAT 电压的测量值可用于确定基准电压的状态。该转换的数据速率为 2560Hz，ADC 的范围设置为 VREF。

通道 8 (SD4) 测量 DAC 的 VOUT。ADC 通过电阻分压器（除以 2）测量 VOUT 电压。该转换的数据速率为 2560Hz。

DAC 电压监控输入的输入范围在 0V 至 2.5V 或 0V 至 1.25V 之间，具体范围取决于 PVDD 电压。一旦 PVDD 电压超过 2.7V，DAC 电压监控的输入范围便会自动切换至 0V 至 2.5V 范围。DAC 电压转换值以直接二进制格式存储在 ADC 寄存器中。这些通道的 ADC 分辨率通过方程式 7 计算得出。

Copyright © 2026 Texas Instruments Incorporated

6.3.2.8 ADC 旁路

要测试偏移，请通过对旁路数据寄存器 ADC_BYP.DATA (2Eh) 进行编程来修改 ADC 数据路径。该读取/写入寄存器有两种不同的使用方式。

首先，通过将 ADC_BYP.OFST_BYP_EN 设置为 1，该旁路数据寄存器用于替代 ADC_OFFSET。但是，如果 ADC_BYP.DATA 数据必须存储在 ADC_OFFSET 寄存器中，请使用第二种方法。

其次，ADC_BYP.DATA 用于在要转换的通道的 ADC 回读寄存器中设置一个已知值。将所需数据写入 ADC_BYP.DATA，设置 ADC_BYP.DATA_BYP_EN 位，并转换所选通道。当 ADC_BYP.DATA_BYP_EN 位设置为 1 时，ADC 转换将被旁路掉，并会将 ADC_BYP.DATA 的值写入所选的 ADC 通道回读寄存器。该设置用于测试 ADC 的警报设置。

未使用 ADC 旁路时，请将 ADC_BYP.DATA 设置为 000h。

图 6-11 显示了 ADC 旁路数据流。

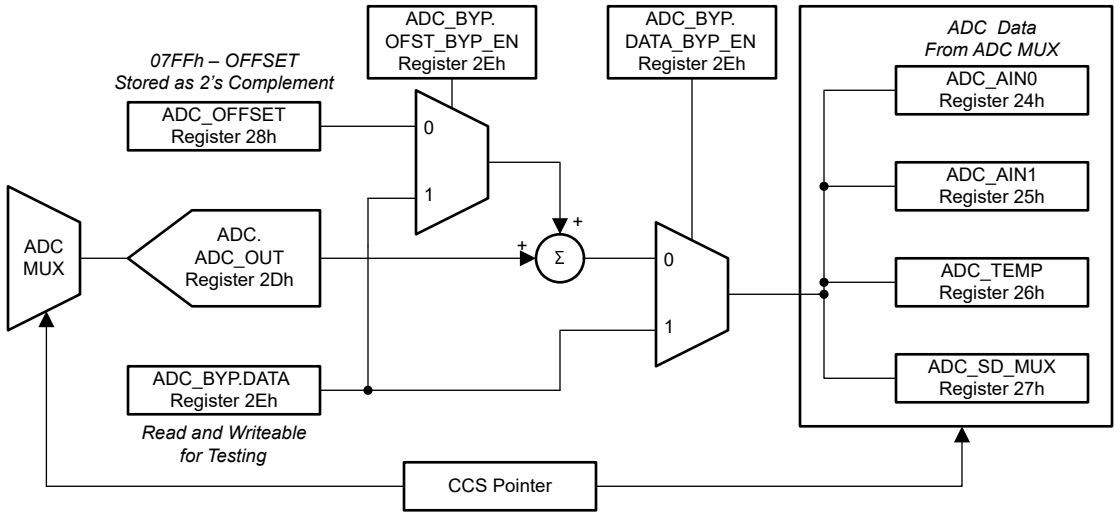


图 6-11. ADC 旁路数据流

6.3.3 可编程超限警报

AFEx81H1 能够持续分析电源、外部 ADC 输入、DAC 输出电压、基准、内部温度和其他内部信号，以确保正常运行。

通过下限和上限阈值寄存器可以确保获得正确的转换结果。当任何被监控的输入超出指定的范围时，会设置警报状态寄存器中的相应警报位。

警报状态寄存器中的警报位会被锁存。之所以将警报位视为锁存，是因为警报位在由软件读取前一直保持置位状态。因为该软件会定期轮询器件，因此不会遗漏超限事件。读取警报状态寄存器时会清除所有位，如果超限情况在下一个监控周期中仍然存在，则会将所有位重新置为有效。清除警报事件后，DAC 将重新加载 DAC 有效寄存器中的内容，这样 DAC 输出就可以直接恢复到先前的运行点，无需执行任何额外的命令。

所有警报都可用于在 $\overline{\text{ALARM}}$ 引脚上生成硬件中断信号；另请参阅节 6.3.3.1。此外，节 6.3.3.2 还介绍了如何为每个警报单独配置警报操作。

Copyright © 2026 Texas Instruments Incorporated

6.3.3.1 基于警报的中断

可设置一个或多个可用警报来激活 $\overline{\text{ALARM}}$ 引脚。将 $\overline{\text{ALARM}}$ 引脚作为可选硬件中断连接到主机。主机可以在中断置为有效时查询警报状态寄存器以确定警报源。任何警报事件都会激活该引脚，只要未在 ALARM_STATUS_MASK 寄存器中屏蔽警报即可。如果屏蔽了某个警报事件，发生该事件会在警报状态寄存器中设置相应的状态位，但不会激活 $\overline{\text{ALARM}}$ 引脚。

备注

$\overline{\text{ALARM}}$ 引脚输出取决于 ALARM_STATUS 和 ALARM_STATUS_MASK 寄存器设置，与 ALARM_ACT 寄存器设置无关。

6.3.3.2 警报操作配置寄存器

AFEx81H1 提供一个警报操作配置寄存器：ALARM_ACT。写入该寄存器可以选择在特定警报条件下自动发生的器件操作。ALARM_ACT 寄存器决定主 DAC 如何响应来自于自诊断通道（AIN0、AIN1 和 TEMP）上的 ADC 转换或来自 CRC、WDT、VREF、TEMP_HI 或 TEMP_LO 故障的警报事件。只有这些故障才会引起 DAC 的响应。任何其他警报状态事件都会触发 $\overline{\text{ALARM}}$ 引脚。警报操作有四个选项。如果为不同的警报条件选择了不同的设置，则在采取操作时会考虑以下从低到高的优先级：

- 0.→ 无操作
- 1.→ DAC 清除状态
- 2.→ VOUT 警报电压
- 3.→ VOUT 高阻态

如果在发生警报事件时选择了选项 1，则 DAC 被强制进入清除代码和清除范围。该操作是通过控制 DAC 的输入代码和 DAC 的范围来完成的。

如果在发生警报事件时选择了选项 2，则 VOUT 被强制为警报电压。警报电压由引脚或寄存器位进行控制。如果 SPECIAL_CFG.AIN1_ENB = 0，则 AIN1 引脚控制警报极性。此外，还可以使用寄存器位 SPECIAL_CFG.ALMV_POL。如果这些信号中的任何一个 = 1，则警报电压较高；否则，警报电压较低。SPECIAL_CFG 寄存器只能在 POR 后复位，因此用户设置在硬件或软件复位后保持不变。

如果在发生警报事件时选择了选项 3，则 VOUT 缓冲器将置于高阻态。如果发生多个事件，则优先采用最高设置。选项 3 具有最高优先级。

要禁用对警报的操作响应，请将 ALARM_ACT 中的相应位设置为 0h。在触发条件位复位（行为取决于 ALARM_STATUS 中的故障位是否粘滞）或将操作配置更改为 0h 时，警报操作响应将被清除。

备注

在发生警报时，根据 ALARM_STATUS 和 ALARM_ACT 寄存器执行配置的警报操作。操作响应与 ALARM_STATUS_MASK 设置无关。

Copyright © 2026 Texas Instruments Incorporated

6.3.3.3 警报电压发生器

图 6-12 显示了警报电压是独立于 DAC 输出电压生成的。警报极性控制逻辑可以选择警报电压发生器的输出电平。警报操作控制逻辑可以在 DAC 输出电压和警报电压发生器输出电压之间进行选择。警报操作控制逻辑还可以控制输出缓冲器高阻态开关。

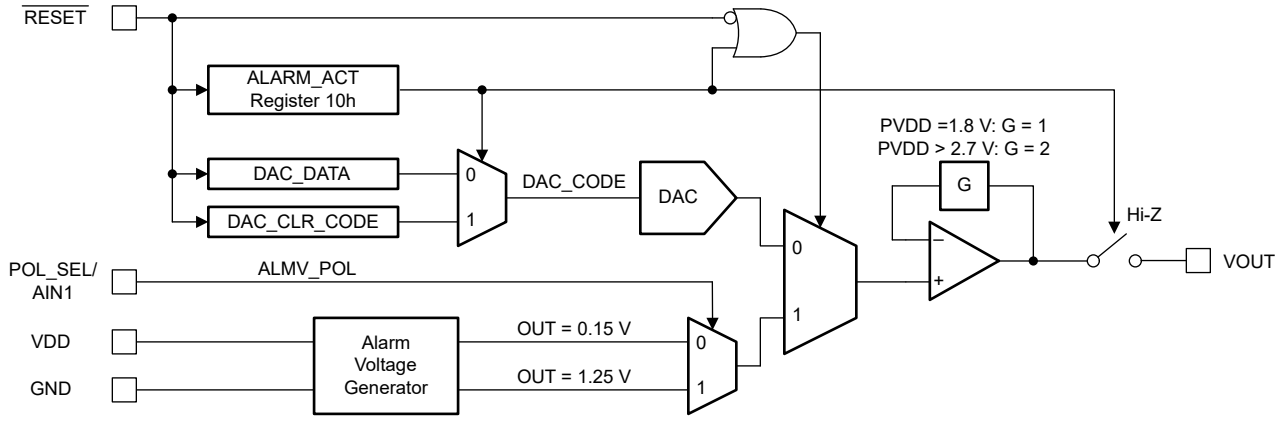


图 6-12. 警报电压发生器架构

在正常运行期间，预期的 VOUT 电压取决于 DAC_CODE。SD4 (VOUT) 诊断通道的 ADC 阈值是围绕已编程的 DAC_CODE 进行设置的。在警报条件下，如果警报操作将 VOUT 电压更改为警报电压或将 VOUT 缓冲器切换到高阻态模式，则 VOUT 电压不再取决于 DAC_CODE。在这种情况下，SD4 (VOUT) 诊断通道也会报告警报。要清除该警报，只要所有其他警报条件都已清除，即可将警报操作设置为无操作或 DAC 清除代码。应用任一警报操作都会将 VOUT 电压设置在预期的 ADC 阈值范围内，并在 SD4 (VOUT) 通道的下一次 ADC 测量后清除警报。

应特别注意瞬态事件期间的警报逻辑。当新的 DAC_CODE 超过 SD4 (VOUT) 警报阈值且 ADC 在自动模式下监控 SD4 (VOUT) 输入时，可能会在 VOUT 稳定到一个新值的同时发生 ADC 转换。这种转换可能会触发误报。有两种方法可以防止这种误报：

1. 使用直接模式并让 VOUT 在触发下一次 ADC 转换之前稳定下来。
2. 设置 ADC_CFG.FLT_CNT > 0。在该配置下，SD4 或任何其他测量中的单个错误不会导致将警报条件置为有效。

6.3.3.4 温度传感器警报功能

AFEx81H1 持续监控内核温度。除了 ADC 测量之外，温度传感器还会触发比较器以显示热警告和热错误。当温度超过 85°C 时，便会设置热警告警报。此外，当内核温度超过 130°C 时，则会设置热错误警报。

可以配置热警告和热错误警报来设置 $\overline{\text{ALARM}}$ 引脚，并在 ALARM_STATUS 寄存器中指示这些警报。这些警报可以由 ALARM_MASK 寄存器进行屏蔽，也可以配置为由 ALARM_ACT 寄存器控制 DAC 输出。

6.3.3.5 内部基准警报功能

这些器件提供针对基准电压的超限检测。当基准电压超过标称值的 ±5% 时，便会设置基准警报标志（VREF_FLT 位）。在为 DAC 输出上电之前，确保器件未发出基准警报条件。

Copyright © 2026 Texas Instruments Incorporated

6.3.3.6 ADC 警报功能

AFEx81H1 为每个 ADC 输入提供独立的超限检测。图 6-13 显示了超限检测块。当测量值超出范围时，会设置相应的警报位来标记超出范围的情况。

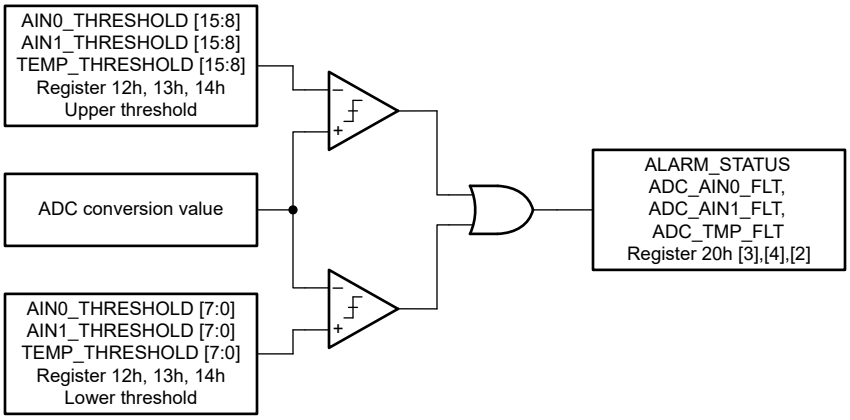


图 6-13. ADC 超限警报

仅当监控的信号超出范围达到 *N* 次连续转换时，才会记录警报事件，其中的 *N* 在 ADC_CFG.FLT_CNT 误报寄存器设置中进行配置。如果监控的信号在 *N* 次连续转换之前恢复到了正常范围，则不会发出警报事件。

如果 ADC 输入信号超出范围且警报已启用，则相应的警报位将设置为 1。但是，仅当转换结果恢复到小于上限寄存器设置值且大于下限寄存器设置值，并达到由迟滞设置指定的代码数量时，才会清除警报状态（请参阅图 6-14）。该迟滞是 ADC_CFG.HYST 寄存器中 0 LSB 至 127 LSB 之间的可编程值。

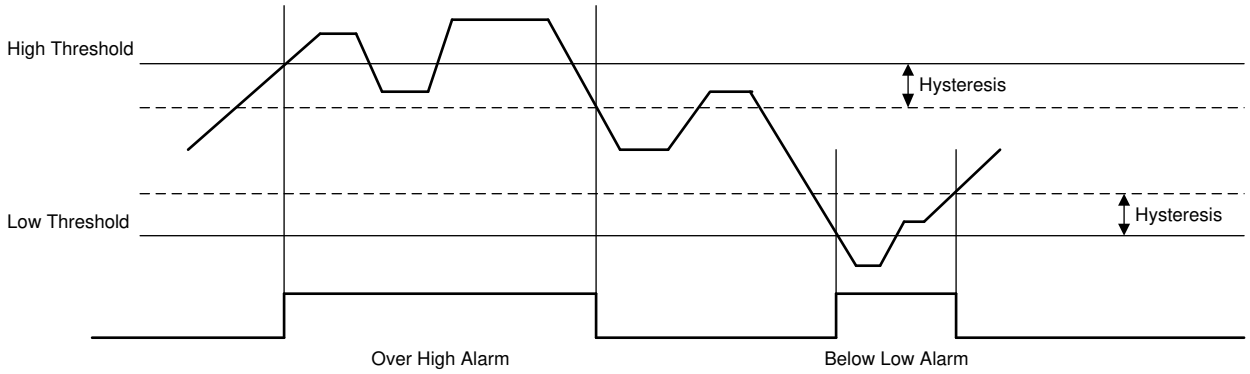


图 6-14. ADC 警报迟滞

6.3.3.7 故障检测

ADC_CFG 寄存器中有两个字段：FLT_CNT 和 HYST。这些字段用于让所有 ADC 通道的警报条件生效和失效。

ADC_CFG.FLT_CNT 确定在报告警报条件之前可接受的最大连续故障数。例如，如果 ADC_CFG.FLT_CNT 设置为两次计数，则三次连续转换必定超出阈值以触发警报。即使故障在高阈值和低阈值之间交替，每个故障也会计入 FLT_CNT 限制。

ADC_CFG.HYST 设置供警报检测电路使用的迟滞。触发警报后，在警报条件解除之前会应用迟滞。如果是高阈值，则会从阈值减去迟滞。如果是阈值下限，则会将迟滞加到阈值上。

通道 AIN0、AIN1 和 TEMP 具有与其相关的高阈值和低阈值。如果转换值超出这些限值（即，如果 TEMP < 低阈值或 TEMP > 高阈值），则会设置该通道的警报条件。通过分别为低阈值设置 0x000 并为高阈值设置 0xFFF 即可禁用警报。默认情况下，这些警报处于禁用状态。由于阈值的配置字段只有八位宽，因此每个阈值的四个 LSB 均采用硬编码。高阈值的四个 LSB 硬编码为 0xF，低阈值的四个 LSB 硬编码为 0x0。

所有自诊断 (SD) 通道都具有固定的阈值，但 SD4 除外，SD4 用于测量主 DAC 的 VOUT。SD4 的阈值可跟踪与 DAC 代码相关的 VOUT。表 6-7 展示了如何计算每个 SD 通道的高 ADC 阈值和低 ADC 阈值。最右边两列中的限值由左侧的阈值列决定并给予一定的余量。四个 LSB 的分配如前所述。

表 6-7. 自诊断 (SD) 警报 ADC 阈值

SD	ADC 输入	接受的低值	接受的高值	低阈值	高阈值	ADC 低值（十六进制）	ADC 高值（十六进制）
SD0	VREF/2	VREF/2 – 9% – 25mV	VREF/2 + 9% + 25mV	0.54375V	0.70625V	0x6D0	0x92F
SD1	PVDD/6	1.65/6 – 25mV	6/6 + 25mV	0.25V	1.025V	0x310	0xD3F
SD2	VDD/2	1.6/2 – 25mV	2/2 + 25mV	0.775V	1.025V	0x9C0	0xD3F
SD3	0.6V	0.6V – 9% – 25mV	0.6V + 9% + 25mV	0.521V	0.679V	0x690	0x8CF
SD4	VOUT/2	VOUT/2 – 6mV	VOUT/2 + 6mV	VOUT – 12mV	VOUT + 12mV	预期值 – 0x040	预期值 + 0x040

SD4 输入的警报阈值取决于基于 DAC 代码的预期 ADC 测量值。该阈值对于每个 DAC 范围都是不同的，并会进行相应的调整。方程式 9 显示了 RANGE = 0 时的预期 ADC 代码，方程式 10 显示了 RANGE = 1 时的预期 ADC 代码。

$$\text{ADC Expected Code: RANGE 0} = \frac{(\text{DAC_CODE}[\text{MSB}:\text{MSB}-11] \times 113 \div 128) + 492}{2} \tag{9}$$

$$\text{ADC Expected Code: RANGE 1} = \frac{(\text{DAC_CODE}[\text{MSB}:\text{MSB}-11] \times 82 \div 128) + 655}{2} \tag{10}$$

Copyright © 2026 Texas Instruments Incorporated

6.3.4 IRQ

这些器件有一个中断请求 (IRQ) 可以将发生的各种事件告知主机控制器。IRQ 块启动的中断在内部通过状态寄存器进行报告，在外部通过 IRQ 引脚进行报告（如果已启用该功能），或在 $\overline{\text{ALARM}}$ 引脚上进行报告（如果条件来自 ALARM_STATUS 寄存器）。图 6-15 显示了 IRQ 方框图。

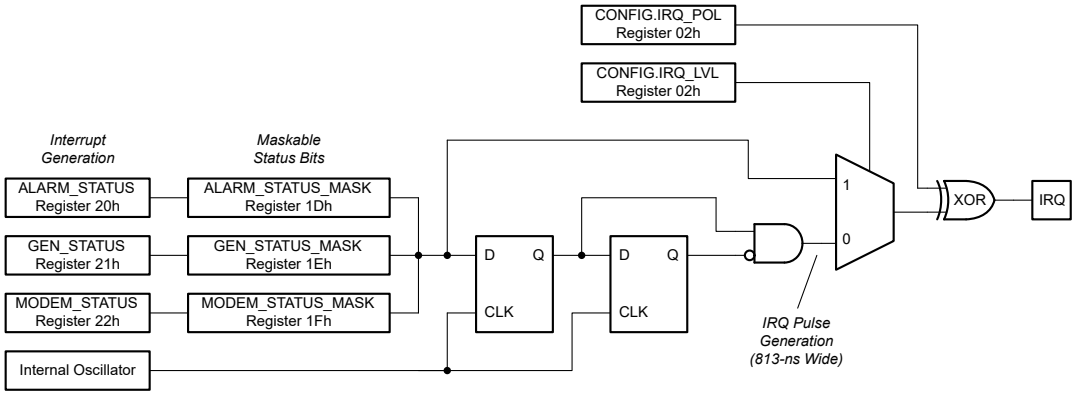


图 6-15. IRQ 方框图

有三个寄存器可以生成中断：GEN_STATUS、MODEM_STATUS 和 ALARM_STATUS。这些寄存器各有一个相应的 STATUS_MASK 寄存器。该屏蔽寄存器可以控制哪些事件会触发中断。在屏蔽寄存器中写入 1 会屏蔽或禁止事件触发中断。在屏蔽寄存器中写入 0 允许事件触发 IRQ。默认情况下会屏蔽所有位。某些状态位是粘滞位。除非条件仍然存在，否则读取相应的寄存器会清除粘滞位。

IRQ 通过 CONFIG.IRQ_LVL 配置为边沿敏感或电平敏感。将该位设置为逻辑 1 可启用电平敏感功能（默认）。在边沿敏感模式下，IRQ 信号是同步脉冲，宽度为一个内部时钟周期 (813ns)。在电平敏感模式下，IRQ 被置位，并且只要条件存在就保持置位状态。IRQ 条件消失后，通过读取相应的状态寄存器来清除该条件。如果是粘滞位，则在条件仍然存在时试图清除该位将无法清除该位。

CONFIG.IRQ_POL 决定了 IRQ 的有效电平。逻辑 1 会将 IRQ 配置为高电平有效。

使用边沿敏感的 IRQ 信号时，同步和边沿检测存在一个时钟周期延迟。在 307.2kHz 时钟条件下，该延迟最高可达 3.26 µs。对于电平敏感模式，延迟约为 10ns 至 20ns。

大多数状态位在设计中具有两个版本。第一个版本是在状态置为有效时创建的边沿事件。该信号用于生成边沿敏感的 IRQ。这种边沿检测可以防止多个状态事件相互阻塞。第二个版本是状态位的粘滞版本。该信号在状态位被置为有效时被置位，并在读取相应的状态寄存器时被清除（只要状态条件不再存在）。信号 GEN_IRQ、MODEM_IRQ 和 ALARM_IRQ 由相应寄存器中状态位的逻辑“或”结果驱动。

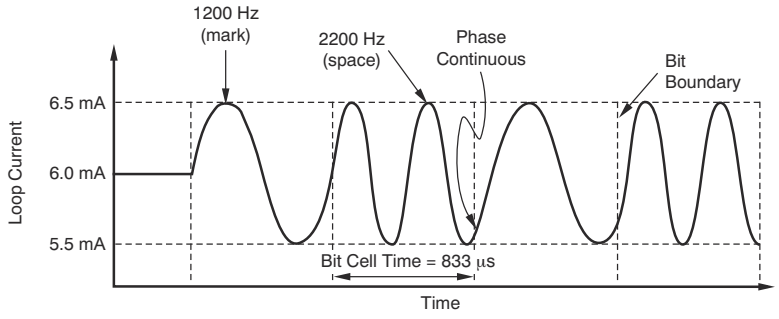
如果取消屏蔽某个状态位且该位的粘滞版本已置为有效，并且 IRQ 为电平敏感，则一旦取消屏蔽该位，就会触发中断。如果 IRQ 为边沿敏感，则必须在取消屏蔽该位后发生状态事件才能将中断置为有效。

FIFO 标志不具有粘滞性；因此，可以触发 IRQ，但在输出端发送状态信息时可以将状态标志置为无效。例如，如果 FIFO_U2H_LEVEL_FLAG 被取消屏蔽并且 FIFO_U2H 级别降至设置的阈值以下，则 IRQ 将触发。如果器件配置为输出 UBM IRQ 消息，并在 IRQ 之后但 UBM 捕获 IRQ 状态之前在 UARTIN 上接收到一个 HART 数据字节，则 IRQ 状态和数据信息将回读为全零。如果使用 UBM IRQ 模式，请等到 IRQ 消息在 UARTOUT 上完全发送后再将数据置于 UARTIN 上。

6.3.5 HART 接口

在 AFEx81H1 上，可以将 HART 频移键控 (FSK) 信号调制到 MOD_OUT 引脚上。图 6-16 显示了典型 HART 接口的输出电流与时间之间的关系。

Copyright © 2026 Texas Instruments Incorporated



直流电流 = 6mA

图 6-16. 输出电流与时间间的关系

要启用 HART 接口，请设置 MODEM_CFG 寄存器中的 HART_EN 位。需要一个在 RX_IN 引脚和 HART FSK 源之间串联的外部电容器将 HART FSK 信号交流耦合到 RX_IN 引脚。外部电容器的建议电容为 2.2nF。

如果需要额外的滤波，AFEx81H1 也支持外部带通滤波器。对于该配置，请使用 RX_INF 引脚而非 RX_IN 引脚。

6.3.5.1 FIFO 缓冲器

先入先出 (FIFO) 缓冲器用于通过 SPI 和 UART 发送和接收 HART 数据。发送 FIFO (FIFO_U2H) 和接收 FIFO (FIFO_H2U) 缓冲器均为 32 行 9 位宽。9 位宽度允许将奇偶校验位与数据字节存储在一起。位 [8] 是 UART 或 HART 解调器接收到的奇偶校验位，具体取决于数据流的方向。在这种情况下，该器件不会计算奇偶校验位，并且如果接收到错误的奇偶校验位，则会发送带有错误奇偶校验位的数据。位 [7:0] 是数据。

AFEx81H1 HART 的实现如图 6-17 所示。

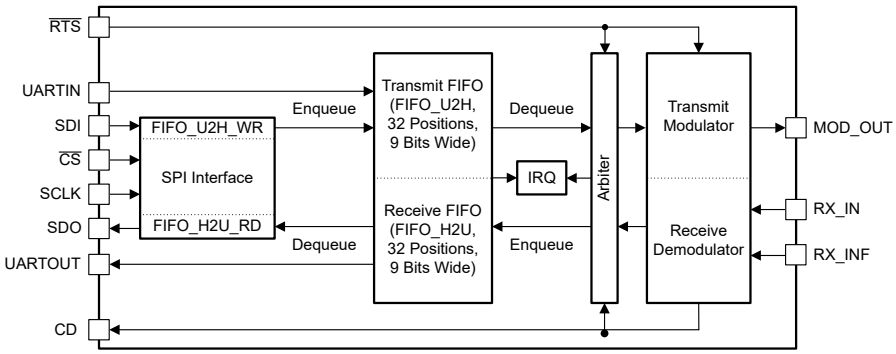


图 6-17. HART 架构

HART 数据字节通过 SPI 或 UART 进入发送 FIFO_U2H 缓冲器的队列中。输入数据位由内部 HART 发送调制器转换成用于 HART 通信的*标记* (1200Hz) 和*空间* (2200Hz) FSK 模拟信号（请参阅图 6-16）。接收解调器使 HART 数据进入接收 FIFO_H2U 缓冲器的队列。为了管理 MOD_OUT 以及 RX_IN 或 RX_INF 引脚上的 HART 物理连接，通过发送至 CD 引脚的信号和从 $\overline{\text{RTS}}$ 引脚接收的信号实现了仲裁器。为了实现高效且无差错的通信，仲裁器与两个 FIFO 缓冲器协同工作以便为系统控制器生成 IRQ。

HART 接收字符中的停止位不正确会导致 HART 帧错误。该器件会在状态寄存器中报告帧错误并丢弃相应字符。丢弃字符后，HART 数据不会进入 FIFO_H2U 的队列。如果未屏蔽帧错误校验，还会触发 IRQ 事件。

同样，UARTIN 字符中的停止位不正确也会导致 UART 帧错误。该器件会在状态寄存器中报告帧错误并丢弃相应字符。丢弃字符后，UART 数据不会进入 FIFO_U2H 的队列。如果未屏蔽帧错误校验，还会触发 IRQ 事件。

Copyright © 2026 Texas Instruments Incorporated

6.3.5.1.1 FIFO 缓冲器访问

在仅 SPI 模式下，两个 FIFO 缓冲器均通过寄存器地址进行访问。HART 总线通信活动通过 IRQ 引脚和 MODEM_STATUS 寄存器报告给主机控制器。请参阅节 6.3.5.8，了解使用 AFEx81H1 在 SPI 和 HART 之间进行转换时建议采用的基于 IRQ 的通信技术。

写入 FIFO_U2H_WR 寄存器时会使 HART 发送数据进入 FIFO_U2H 的队列中。计算正确的奇偶校验位并将奇偶校验位包含在数据中。请勿尝试从 FIFO_U2H 读取数据，因为不支持来自 FIFO_U2H_WR 寄存器的读取请求。从 FIFO_U2H_WR 寄存器进行的读取会返回 FIFO_U2H 的出队指针位置中的数据，但不会使数据出队。

读取 FIFO_H2U_RD 寄存器时会使 HART 接收数据从 FIFO_H2U 出队。如果启用了 CRC 并且在读取请求期间发生 CRC 错误，则不会有数据从 FIFO_H2U 缓冲器出队，且回读帧中的数据无效。对 FIFO_H2U_RD 寄存器的写入将被忽略。

在 SPI + UART 模式下通过 UART 接口与 HART 调制解调器进行通信时，UARTIN 引脚上接收到的任何字符都会直接进入 FIFO_U2H 的队列中。然后，当允许发送 (CTS) 响应生效时，该字符会自动从 FIFO_U2H 出队，并在 MOD_OUT 引脚上发送。同样，在 RX_IN 或 RX_INF 引脚上接收到的任何字符都会直接进入 FIFO_H2U 的队列中。然后，该字符会自动从 FIFO_H2U 出队，并作为普通 UART 字符在 UARTOUT 上发送。

FIFO 缓冲器由 UART 直接访问；因此，请勿将 FIFO_U2H_WR 和 FIFO_H2U_RD 寄存器与 SPI 一起使用。由于在数据路径中使用 FIFO_U2H，因此从 UARTIN 引脚到 MOD_OUT 引脚存在延时；另请参阅节 6.3.5.6。同样，由于使用 FIFO_H2U，从 RX_IN 或 RX_INF 引脚到 UARTOUT 引脚存在延时；另请参阅节 6.3.5.7。

HART 总线通信活动通过 CD 和 $\overline{\text{RTS}}$ 引脚连接到主机控制器。如果未使用 CD 和 $\overline{\text{RTS}}$ 引脚，请定期轮询 MODEM_STATUS 寄存器以监控调制解调器的状态。

在 UBM 模式下，UARTIN 引脚上接收到的任何不属于中断命令的字符都会直接进入 FIFO_U2H 的队列中。然后，当 CTS 响应生效时，该字符会自动从 FIFO_U2H 出队，并在 MOD_OUT 引脚上发送。尽管 UBM 数据包可以访问所有寄存器，但不要使用中断命令向 FIFO_U2H_WR 寄存器写入 HART 发送数据。应使用标准 8O1 UART 字符格式使数据进入 FIFO_U2H 缓冲器的队列中，从而进入 HART 调制器。

同样，请勿使用中断命令从 FIFO_H2U_RD 寄存器读取 HART 接收数据。在 UBM 模式下，HART 接收数据会自动从 FIFO_H2U 出队，并作为普通 UART 字符在 UARTOUT 上发送。

6.3.5.1.2 FIFO 缓冲器标志

MODEM_STATUS、FIFO_STATUS 和 FIFO_H2U_RD 寄存器中存在发送和接收 FIFO 缓冲器的状态位，其中包括满标志、空标志和级别标志。缓冲器级别标志用于触发 HART 通信的 IRQ；另请参阅节 6.3.5.8。FIFO_H2U_RD 寄存器中的状态字段表示在执行读取并使数据字节出队之前的 FIFO_H2U 状态。这种实现方式意味着如果设置了 EMPTY_ FLAG，则该帧中接收到的数据字节无效。同样，LEVEL 字段表示在出队之前 FIFO_H2U 级别的 4 个 MSB。LSB 不在报告之列，只有五个内部位用于表示 32 个级别；因此，当实际级别为 0、1 或 32 时，报告的 LEVEL = 0。当 LEVEL = 0 时，需使用 FULL_FLAG 和 EMPTY_FLAG 来区分这三种情况。

FIFO_H2U 和 FIFO_U2H 缓冲器有 32 个级别；但是，用于生成 IRQ 事件的级别设置仅使用四个位。对于接收 FIFO_H2U 缓冲器，FIFO 级别阈值比较中的 LSB 始终为 1 (FIFO_CFG.H2U_LEVEL_SET[3:0], 1)。该配置的目的是在 FIFO_H2U 几乎满容时提醒用户，以便及时启用数据出队，并防止由于 FIFO 过载而丢失传入的 HART 数据。因此，FIFO_H2U_LEVEL_FLAG 也是与 FIFO_CFG.H2U_LEVEL_SET 的大于 (>) 比较。例如，如果 FIFO_CFG.H2U_LEVEL_SET = 4’b1000，则当 FIFO_H2U 的级别 > 5’b10001 时，便会设置 FIFO_H2U_LEVEL_FLAG。设置 FIFO_CFG.H2U_LEVEL_SET = 4’b1111 (默认值) 即可有效禁用该标志。使用 FIFO_H2U_FULL_FLAG 可以检测 FIFO_H2U 满事件。当 FIFO_H2U 已满时，新传入的数据将被阻止进入 FIFO 的队列并被忽略，从而保留现有数据。

同样，对于发送 FIFO_U2H 缓冲器，FIFO 级别阈值比较中的 LSB 始终为 0 (FIFO_CFG.U2H_LEVEL_SET[3:0], 0)。该配置的目的是在 FIFO_U2H 接近清空时提醒用户，以便及时启用数据排队，并防止 FIFO_U2H 过早变空而导致 HART 总线上出现间隙错误。因此，FIFO_U2H_LEVEL_FLAG 也是与 FIFO_CFG.U2H_LEVEL_SET 的小

Copyright © 2026 Texas Instruments Incorporated

于 (<) 比较。例如，如果 FIFO_CFG.U2H_LEVEL_SET = 4’b1000，则当 FIFO_U2H 的级别 < 5’b10000 时，便会设置 FIFO_U2H_LEVEL_FLAG。设置 FIFO_CFG.U2H_LEVEL_SET = 4’b0000（默认值）即可有效禁用该标志。使用 FIFO_U2H_EMPTY_FLAG 可以检测 FIFO_U2H 空事件。

为了避免缓冲器溢出，请通过观察缓冲器满容或缓冲器阈值事件来监控 FIFO_U2H 的级别。如果 MODEM_STATUS_MASK 寄存器中的 FIFO_U2H_LEVEL_FLAG 位设置为 0，则会在超过阈值时切换 IRQ 引脚。同样，可以根据 MODEM_STATUS 寄存器中的 FIFO_U2H_FULL_FLAG 位触发警报。当 FIFO_U2H 已满时，新传入的数据将被阻止进入 FIFO 的队列并被忽略，从而保留现有数据。

6.3.5.2 HART 调制器

HART 调制器有一个查询表 (LUT) 包含 128 个 8 位有符号值，这些值代表一个单相连续正弦周期。还实施了一个计数器，按照由输入数据的二进制值确定的时钟频率，以递增的方式将表值加载到 DAC 中。DAC 时钟频率由所发送的数据位的逻辑值决定。逻辑 1 表示以 32（默认值）步乘以 1200Hz 的内部时钟频率进行发送。逻辑 0 表示以 32（默认值）步乘以 2200Hz 的内部时钟频率进行发送。所有频率均源自 1.2288MHz。该过程会创建用于表示 HART 数据的*标记*和*空间*模拟输出信号。默认模式下，每个周期使用来自 LUT 的 32 个正弦代码来节省功耗。要生成每周期 128 步的正弦信号，请设置 MODEM_CFG.TxRES = 1。图 6-18 显示了 HART 调制器架构。

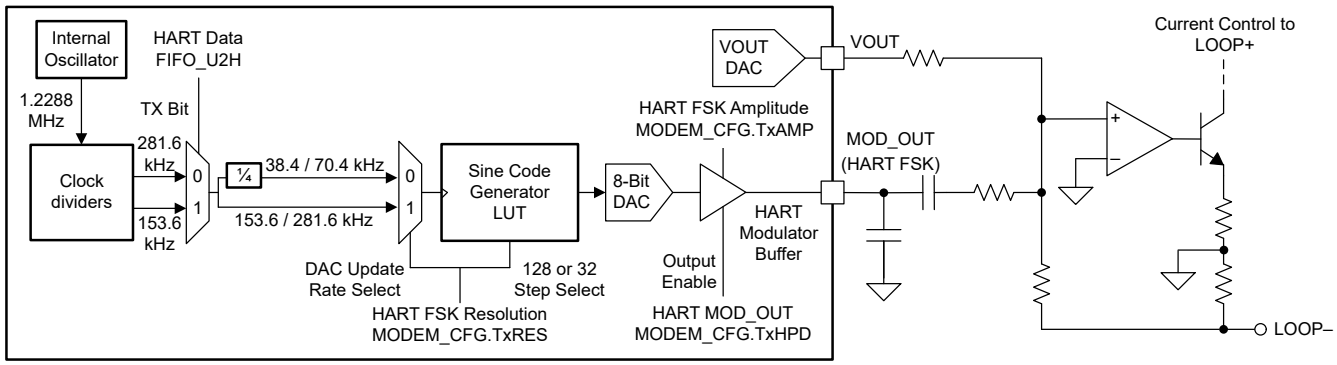


图 6-18. HART 调制器架构

Copyright © 2026 Texas Instruments Incorporated

6.3.5.3 HART 解调器

HART 解调器会将应用于 HART 输入引脚（RX_IN 和 RX_INF）的 HART FSK 输入信号转换为进入接收 FIFO (FIFO_H2U) 队列的二进制数据。然后，主机控制器可使用 SPI 使来自 FIFO_H2U 的数据进入队列，或在 UARTOUT 上输出。图 6-19 显示了 HART 解调器架构。AFEx81H1 支持两种不同的输入带通滤波器模式：内部和外部。

在内部滤波器模式下，HART 输入信号通过高通滤波电容器连接到 RX_IN 引脚。在该模式下，低通滤波电容器连接到 RX_INF 引脚。

在外部滤波器模式下，通过外部元件实现带通滤波器来提高灵活性，并会将生成的带通滤波信号连接至 RX_INF 引脚。在该模式下，应将 RX_IN 引脚悬空。

应根据外部带通滤波器实现和 HART 输入信号连接，使用 MODEM_CFG.RX_EXFILT_EN 位在这两种模式之间进行选择。

输入带通滤波器（完全外部或部分内部：使用外部电容器和内部电阻器）后跟内部二阶高通滤波器和内部二阶低通滤波器。要启用二阶低通滤波器，请使用 MODEM_CFG.RX_HORD_EN 位。

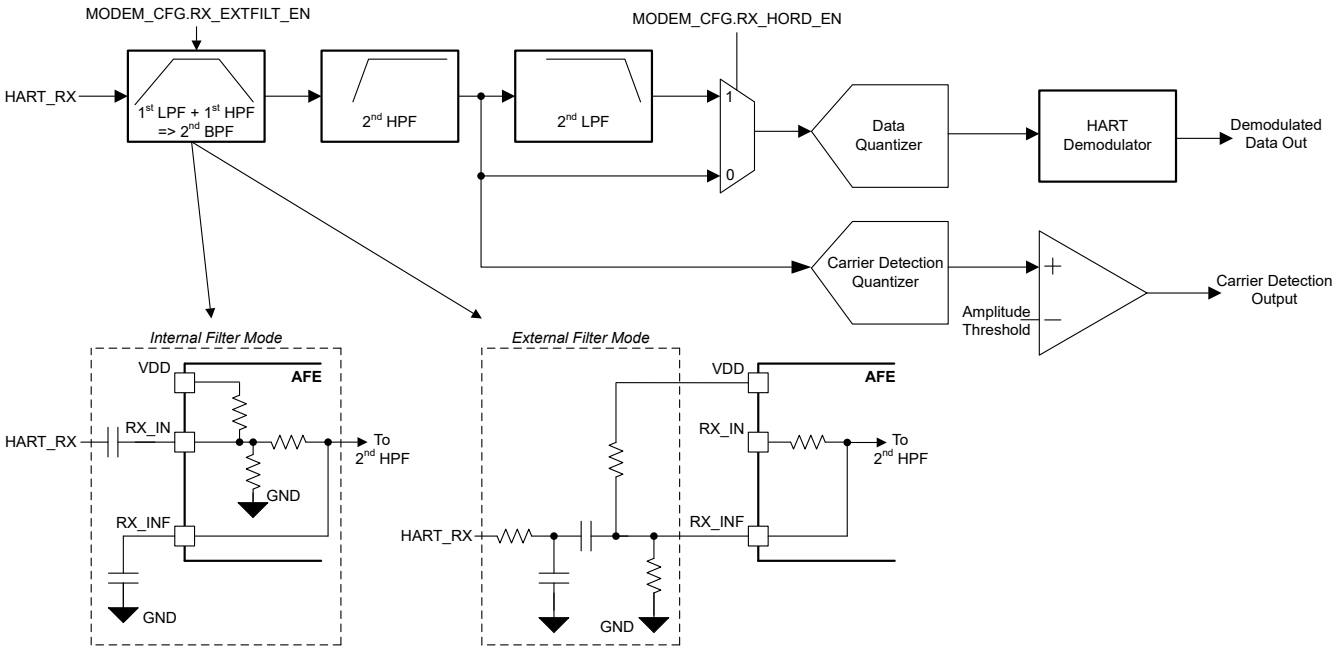


图 6-19. HART 解调器架构

当检测到“载波高于阈值”电平时，HART 解调器会将一个载波检测 (CD) 信号置为有效。为了防止错误的载波检测信号，载波检测特性实现了迟滞功能。无干扰 CD 信号从内部提供给仲裁器，并从外部提供给 CD 引脚上的系统控制器。

6.3.5.4 HART 调制解调器模式

HART 调制器/解调器以半双工或全双工模式运行。

6.3.5.4.1 半双工模式

半双工模式是 AFEx81H1 主要的功能运行模式，与半双工 HART 协议结合使用。在半双工模式下，任何给定的时刻只有调制器或解调器处于活动状态，不会同时启用两者。默认情况下，解调器处于活动状态，调制器处于非活动状态。当使用半双工模式时，调制解调器将仲裁调制器和解调器何时处于活动状态。如需了解更多详情，请参阅节 6.3.5.5。

6.3.5.4.2 全双工模式

在全双工模式下，调制器和解调器同时启用。该配置允许自检功能验证发送和接收信号链的功能，以改进系统诊断。有内部和外部全双工模式。

在内部全双工模式下，MOD_OUT 引脚在内部短接至 RX_INF 引脚。设置 MODEM_CFG.DUPLEX = 1 可以启用 HART 发送器和接收器之间的内部连接，从而验证通信。

在外部全双工模式下，HART 调制器和解调器均启用，但 MOD_OUT 引脚不会在内部短接至 RX_IN 或 RX_INF 引脚。要启用外部全双工模式，请在外部将 MOD_OUT 短接至 RX_IN 或 RX_INF 引脚，并设置 MODEM_CFG.DUPLEX_EXT = 1。

6.3.5.5 HART 调制和解调仲裁

在半双工 HART 协议模式下，该器件会根据 HART 总线上的活动来仲裁调制器和解调器何时处于活动状态。系统控制器采用多种方式监控 AFEx81H1 并与之交互。如需了解 SPI 模式中使用的方法，请参阅节 6.3.5.9。如需了解 UART 模式下使用的报告方法，请参阅节 6.3.5.10。

在默认空闲状态下，$\overline{\text{RTS}}$ 引脚为高电平（非活动状态），CD 引脚为低电平。解调器处于活动状态，调制器处于非活动状态。

6.3.5.5.1 HART 接收模式

检测到载波时，CD 引脚切换为高电平，且调制解调器接收的数据字节将自动进入 FIFO_H2U 队列中。该模式具有最高优先级，只要存在有效载波，器件就会继续保持该模式。只要 CD 保持高电平并且解调器使新数据进入 FIFO_H2U 队列，系统控制器就必须及时地使数据从 FIFO_H2U 出队。当传入载波的电平降至 HART 规格以下时，CD 将置为无效。如需了解接收操作时序的详细信息，请参阅节 6.3.5.7。

6.3.5.5.2 HART 发送模式

要发送 HART 数据，请根据所选通信设置，通过将 $\overline{\text{RTS}}$ 引脚切换为低电平或将 MODEM_CFG.RTS 置为有效来发出“请求发送”(RTS)。当 HART 总线可用于发送且未检测到载波时，该器件会将 CD 引脚置为无效，禁用解调器，通过设置 MODEM_STATUS.CTS_ASSERT = 1 使 CTS 响应有效，并开始调制载波。如果使用了 CD 引脚，请等待 CD 引脚被置为无效。否则，应取消屏蔽 CTS_ASSERT 并为 FIFO_U2H 级别和 CTS 标志设置相应的 IRQ，以使系统控制器能够在 CTS 被置为有效时接收 IRQ。另请参阅节 6.3.5.8。当未使用 CD 引脚和 IRQ 时，应定期轮询 MODEM_STATUS 寄存器，以检测 CTS 响应何时生效。

只要 CD 引脚被置为有效，解调器就会保持活动状态，且 RTS 请求会被仲裁器保持挂起。AFEx81H1 接收到的所有 HART 发送数据字节都会进入 FIFO_U2H 队列，但不会立即发送。系统控制器必须监控 FIFO_U2H 级别，以免在这种情况下发生缓冲器溢出。

当 CTS 响应生效时，进入 FIFO_U2H 队列的数据会出队并发送到 MOD_OUT 引脚上。如果没有数据进入 FIFO_U2H 队列，调制器将开始发送*标记*信号。为确保有足够的时间在接收端成功检测到*标记*到*空间*转换，位流的开头必须满足最小位时间要求；另请参阅节 6.3.5.6。

然后，系统控制器需要保持足够的 FIFO_U2H 缓冲器级别以避免间隙错误，并在位流结尾以正确的时序延迟使 RTS 置为无效；另请参阅节 6.3.5.6。

Copyright © 2026 Texas Instruments Incorporated

6.3.5.6 HART 调制器时序和前导码要求

一旦 CTS 响应生效，HART 调制器就会开始调制载波。如果数据在 CTS 置为有效之前进入 FIFO_U2H 队列，请确保根据表 6-8 在数据包的开头使所需的前导码字节入队。HART 接收器使用第一个字节来识别载波并正确检测第二个字符中开始位的*标记*到*空间*转换。或者，等待 CTS_ASSERT，并在调制器发送*标记*信号期间提供适当的延迟。然后，使前导码字节和随后的数据字节进入 FIFO_U2H 队列中。监控 FIFO_U2H 的级别，并及时让新数据入队以免出现发送间隙错误。

表 6-8. 载波检测和前导码

HART 要求	FIFO_U2H 状态	AFEx81H1 行为	推荐用例
发送至少 6 位时间的指定幅度的 HART 信号，以便接收器检测到载波。	FIFO_U2H 为空。	一旦 CTS 置为有效，HART 调制器就会开始发送*标记* FSK 信号。	在发送第一个前导码字节之前，从 CTS 置为有效起等待至少 6 位时间。应根据使用的接口模式，计算使数据进入 FIFO_U2H 队列的时间。
	FIFO_U2H 预加载有一些数据。	一旦 CTS 置为有效，HART 调制器就会开始发送 FIFO_U2H 数据。	向 FIFO_U2H 预加载一个额外的前导码字节。

根据接口模式，由于在数据路径中使用 FIFO_U2H，从 UARTIN 或 $\overline{CS}$ 引脚到 MOD_OUT 引脚之间存在延时。

在 SPI + UART 和 UBM 模式下，从 UARTIN 引脚上的停止位开始会出现约 1.5 位时间 (1.5 × $t_{BAUDUART}$) 的延迟，直到数据因数据解码和同步而进入 FIFO_U2H 队列。图 6-20 展示了该时序。

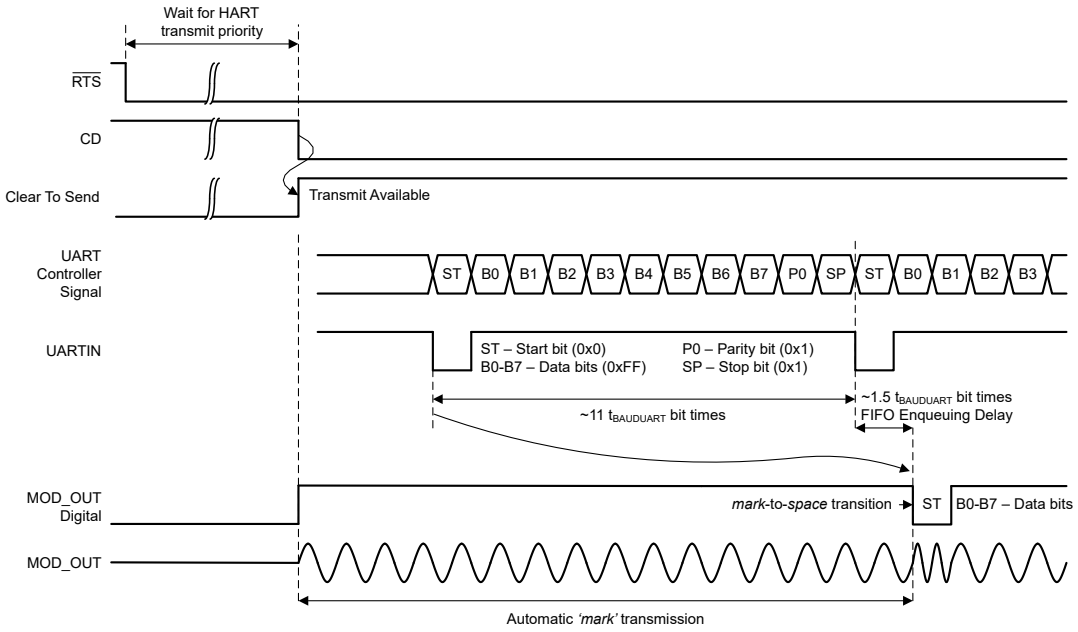


图 6-20. HART 发送开始时序图（UART 模式）

在仅 SPI 模式下，HART 发送数据通过 FIFO_U2H_WR 寄存器进入 FIFO_U2H 队列。因此，在该模式下，计算从 $\overline{CS}$ 引脚到 MOD_OUT 引脚的 HART 发送数据延时时，应考虑标准 SPI 时序。图 6-21 显示了 SPI 模式下的 HART 发送开始时序。

Copyright © 2026 Texas Instruments Incorporated

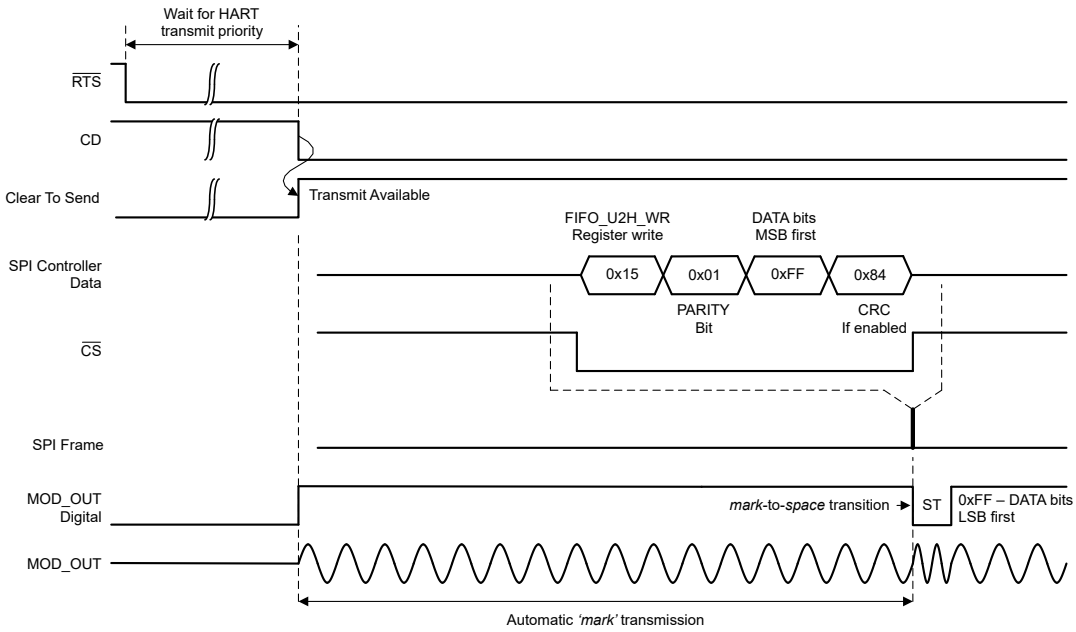


图 6-21. HART 发送开始时序图（SPI 模式）

HART 字符包含 11 位；因此，自数据从 FIFO_U2H 出队的那一刻起，大约会出现 11 位时间 (11 × $t_{BAUDHART}$) 的延迟，直到数据在 MOD_OUT 引脚上完全发送（请参阅图 6-22）。

当传入的 UART_IN 数据与在 MOD_OUT 上发送的 HART 数据之间存在频率不匹配时，还会累积额外的延迟。如果 UART_IN 数据频率比 MOD_OUT 数据频率高 2%，则每五个 HART 字符便会累积大约 1 位时间的延迟。为解决此延时问题，每五个 HART 字符之间应增加至少 1 位时间的间隙。应让请求发送 (RTS) 保持有效状态，直到在 MOD_OUT 上完成数据发送。

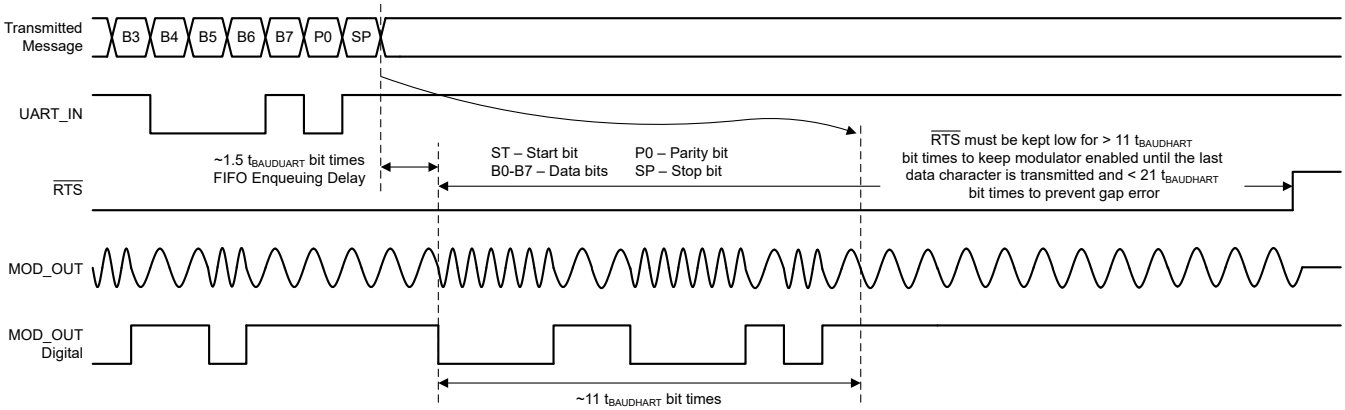


图 6-22. HART 发送结束时序图（UBM、UART + SPI 模式）

Copyright © 2026 Texas Instruments Incorporated

6.3.5.7 HART 解调器时序和前导码要求

在不发送数据时，RX_IN 和 RX_INF 引脚由 HART 解调器持续监控。AFEx81H1 需要至少 3 个 1200Hz 的*标记*位 (3 × $t_{BAUDHART}$) 以进行载波检测。

对于基于 UART 的通信设置，HART 数据会自动从 FIFO_H2U 出队，并作为 UART 字符在 UARTOUT 引脚上发送。由于从 RX_IN 或 RX_INF 引脚上的字符结束到数据进入 FIFO_H2U 队列之间的数据解码和同步过程，大约会出现 1.5 位时间 (1.5 × $t_{BAUDHART}$) 的延迟。因此，当 CD 置为无效时，通常仍有一个 UART 字符等待传输到 UARTOUT 上的系统控制器（请参阅图 6-24）。

使用 SPI 通过读取 FIFO_H2U_RD 寄存器使数据从 FIFO_H2U 出队时，FIFO 延时低至几微秒。图 6-23 和图 6-24 分别显示了 HART 接收字符的开始和结束时序图。

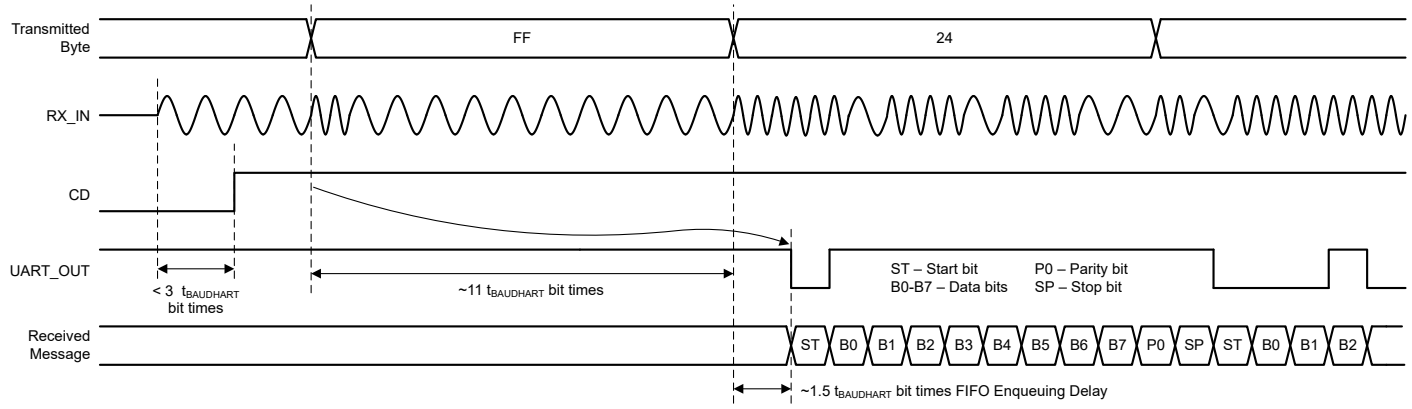


图 6-23. HART 接收开始时序图（SPI 和 UART 模式）

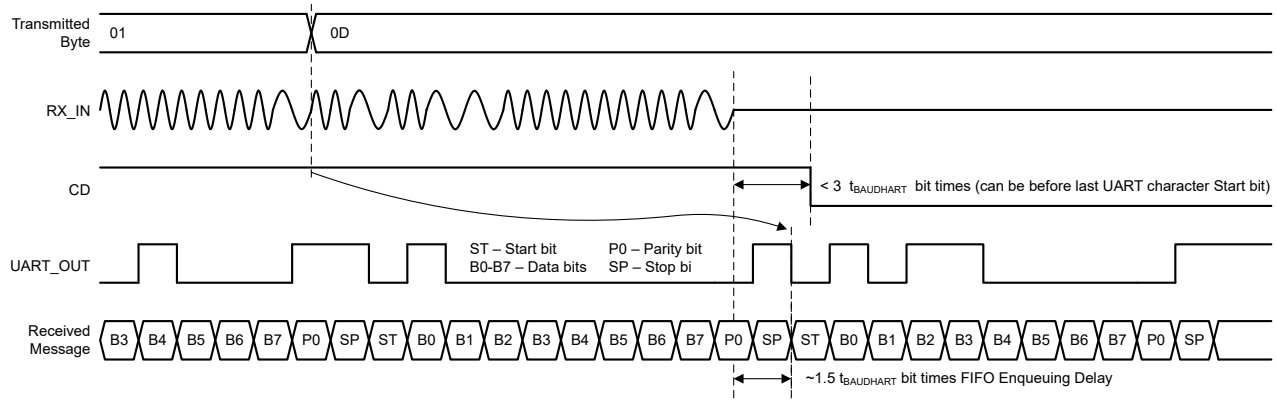


图 6-24. HART 接收结束时序图（UART 模式）

Copyright © 2026 Texas Instruments Incorporated

6.3.5.8 HART 通信的 IRQ 配置

为了在 HART 总线上实现无错误的可靠通信，系统控制器必须及时从 AFEx81H1 检测到表 6-9 中列出的事件。如果 IRQ 信号未直接连接到系统控制器，请轮询相应的状态标志。在 UART 模式下，FIFO_H2U 自动出队功能可显著简化事件管理，并非所有事件都必须转换为 IRQ。

将 HART 调制解调器与 IRQ 配合使用时，IRQ 功能可帮助控制两个方向的通信。请通过以下步骤启用 IRQ 功能：

1. 使用 CONFIG.IRQ_LVL 将 IRQ 配置为边沿敏感或电平敏感。另请参阅节 6.3.4。
2. 根据相应系统的需要，通过 CONFIG.IRQ_POL 配置 IRQ 极性。另请参阅节 6.3.4。
3. 对于仅 SPI 模式，请设置 CONFIG.IRQ_PIN_EN = 1 以在 UARTOUT 引脚上启用 IRQ 功能。此外，设置 CONFIG.UART_DIS = 1 以禁用所有 UART 功能。
4. 对于 UBM，请使用以下两种方法之一：
   a. 设置 CONFIG.IRQ_PIN_EN = 1 以在 SDO 引脚上启用 IRQ 功能，或
   b. 设置 CONFIG.UBM_IRQ_EN = 1 以允许使用 UBM 在 UARTOUT 上发送中断。
5. 启用 IRQ 功能后，取消屏蔽 MODEM_STATUS_MASK 寄存器中所有需要的中断信号（设置每个位 = 0）。

表 6-9. IRQ 来源和用途

AFEx81H1 HART 状态	事件	MODEM_STATUS 标志	生效方法(1)	操作
接收	RTS 置为无效	CTS_DEASSERT	将 $\overline{\text{RTS}}$ 引脚切换为高电平或设置 MODEM_CFG.RTS = 0。	解调器已启用并准备好接收 HART 数据。
	载波检测置为有效	CD_ASSERT	解调器检测到有效幅度的 HART 载波信号。	期望接收 HART 数据。设置所需的 FIFO_H2U 级别触发阈值。
	FIFO_H2U 级别阈值触发器	FIFO_H2U_LEVEL_FLAG	HART 解调器使数据自动进入 FIFO_H2U 队列。	当级别超过设置的阈值时，使数据从 FIFO_H2U 出队。防止 FIFO_H2U 满容，以免丢失传入数据。
	FIFO_H2U 已满	FIFO_H2U_FULL_FLAG	HART 解调器使数据自动进入 FIFO_H2U 队列。系统控制器尚未使数据从 FIFO_H2U 出队。	关键标志。 立即使数据从 FIFO_H2U 出队以免丢失传入数据。
	载波检测置为无效	CD_DEASSERT	解调器停止检测有效幅度的 HART 载波信号。	使剩余数据从 FIFO_H2U 出列。 监控空标志以确保已接收到所有数据。
	FIFO_H2U 为空	FIFO_H2U_EMPTY_FLAG	系统控制器使数据从 FIFO_H2U 出队。	如果使用 UART，请等待以确保在 UARTOUT 上接收到最后一个字符。
发送	RTS 置为有效	不适用	将 $\overline{\text{RTS}}$ 引脚切换为低电平或写入设置 MODEM_CFG.RTS = 1。	等待“允许发送”确认标志。
	允许发送 (CTS)	CTS_ASSERT	RTS 置为有效且 CD 置为无效。	调制器已启用。器件开始调制 MOD_OUT 上的载波。设置所需的 FIFO_U2H 级别触发阈值。使数据进入 FIFO_U2H 队列。调制器自动使数据从 FIFO_U2H 出队并发送 HART 数据。
	FIFO_U2H 级别阈值触发器	FIFO_U2H_LEVEL_FLAG	HART 调制器自动使数据从 FIFO_U2H 出队。	当级别降至低于设置的阈值时，使新数据进入 FIFO_U2H 队列。 防止 FIFO_U2H 清空以避免发送中出现间隙。
	FIFO_U2H 已满	FIFO_U2H_FULL_FLAG	系统控制器使新数据进入 FIFO_U2H 队列。	关键标志。 立即停止使数据进入 FIFO_U2H 队列以免丢失 HART 数据。
	FIFO_U2H 为空	FIFO_U2H_EMPTY_FLAG	HART 调制器自动使数据从 FIFO_U2H 出队。系统控制器尚未使新数据进入 FIFO_U2H 队列。	位于数据包中间的关键标志。 立即使新数据进入 FIFO_U2H 队列以免发送中出现间隙。 当最后一个字符从 FIFO_U2H 出队时，请等待该字符在 MOD_OUT 上完全发送，然后再将 RTS 置为无效。

(1) 如需了解 CD、$\overline{\text{RTS}}$、$\overline{\text{ALARM}}$ 和 IRQ 连接选项，请参阅节 6.5.1。

Copyright © 2026 Texas Instruments Incorporated

6.3.5.9 使用 SPI 进行 HART 通信

HART 总线通信活动将通过路由到 UARTOUT 引脚和 MODEM_STATUS 寄存器的 IRQ 信号报告给主机控制器。当接收到 IRQ 时，通过读取 MODEM_STATUS 寄存器来确定 IRQ 的来源。如果未连接 UARTOUT 引脚，请通过 SPI 定期轮询状态寄存器。

要发送数据，请使用 FIFO_CFG.U2H_LEVEL_SET 设置所需的 FIFO_U2H 级别阈值。将 RTS 置为有效。设置了 CTS_ASSERT 后，开始填充 FIFO_U2H。使足够的数据进入 FIFO_U2H 的队列中，将 FIFO 填充到高于设置的阈值级别。HART 调制器会自动使数据从 FIFO_U2H 出队，并在 MOD_OUT 上发送该数据。当 FIFO_U2H 级别降至低于设置的阈值时，便会触发 IRQ，指示新数据字节可以入队而不会丢失任何数据。在最后一组数据进入 FIFO_U2H 的队列后，可以忽略由级别标志触发的 IRQ 事件。等待由 FIFO_U2H_EMPTY_FLAG 触发的 IRQ 事件。在所需的延迟后将 RTS 置为无效；另请参阅节 6.3.5.6。当 RTS 置为无效后，设置 CTS_DEASSERT 位。CTS_DEASSERT 是一个信息位。

要接收数据，请根据 CD_ASSERT 来设置 IRQ 事件，以了解何时检测到载波并需要新的数据字节。此外，应设置额外的 IRQ 事件在每次设置 FIFO_H2U_LEVEL_FLAG 时触发。选择所需的 FIFO_H2U 级别。每次级别超过设置的阈值时，都会使数据从 FIFO_H2U 出队。此外，根据 CD_DEASSERT 设置 IRQ 事件触发，以了解何时接收到所有数据。此时，在每个字符出队时监控 FIFO_H2U.EMPTY_FLAG，以了解何时 FIFO_H2U 清空以及所有数据字节已出队并发送到微控制器。

或者，CD 引脚可以直接连接到微控制器来监控 HART 总线的状态。在此配置中，应通过设置 MODEM_STATUS_MASK.CD_ASSERT 位 = 1 来屏蔽 CD_ASSERT 标志，以防止 CD_ASSERT 生成 IRQ 事件。

6.3.5.10 使用 UART 进行 HART 通信

在 SPI + UART 模式下，以 1200 波特的速率发送和接收 UART 数据，这与 HART FSK 输入和输出信号相匹配。SDO 和 UARTOUT 引脚均会使用；因此，IRQ 功能在 SPI + UART 模式下不可用。不需要 FIFO_H2U 级别监控，因为由解调器接收并进入 FIFO_H2U 队列的任何 HART 数据都会自动出队并在 UARTOUT 上发送。如果 HART 总线通信活动通过 CD 和 $\overline{\text{RTS}}$ 引脚连接到主机控制器，也不需要 FIFO_U2H 级别监控。在总线上未检测到载波时，主机控制器可以对 $\overline{\text{RTS}}$ 引脚进行正确计时以发送 HART 数据。如果在 SPI + UART 模式下未使用 CD 和 $\overline{\text{RTS}}$ 引脚，主机控制器可以通过 SPI 定期轮询 MODEM_STATUS 寄存器，检测 HART 总线上何时不存在载波，并通过设置 MODEM_CFG.RTS 位 = 1 来使请求发送生效。

在 UBM 中，UART 数据以 9600 波特发送和接收。HART 数据字符与中断命令交错，用于寄存器映射访问或中断报告；另请参阅节 6.5.3.1.1。与 SPI + UART 模式类似，不需要监控 FIFO_H2U 和 FIFO_U2H 级别。CD 和 $\overline{\text{RTS}}$ 引脚可通过连接微控制器来控制 HART 总线活动。SDO 引脚也提供 IRQ 功能。如果 SDO 引脚连接到微控制器，则可以设置在检测到载波时报告基于 CD_ASSERT 的 IRQ 事件。在这种情况下，无需将 CD 引脚连接到微控制器。同样，如果使用 MODEM_CFG.RTS 发出“请求发送”，则不需要 $\overline{\text{RTS}}$ 引脚连接。如果微控制器可以使用中断命令定期轮询 MODEM_STATUS 寄存器并监控所有必需的标志，也不需要将 SDO 引脚连接到微控制器。

Copyright © 2026 Texas Instruments Incorporated

6.3.5.11 存储器内置自检 (MBIST)

存储器内置自检 (MBIST) 可以验证用于 FIFO 缓冲器的静态随机存取存储器 (SRAM) 的有效性。MBIST 在启动后可以控制 SRAM 模块，直到完成。

在 MBIST 运行时应禁用 HART 通信。在 MBIST 期间与 FIFO 缓冲器的通信会导致结果不可靠。GEN_STATUS.MBIST_DONE 和 GEN_STATUS.MBIST_FAIL 这两个状态位可用于监控自检成功完成还是失败，或用于创建 IRQ 事件。

请勿尝试在 MBIST 运行时读回 GEN_STATUS 寄存器。MBIST 控制逻辑会为 MBIST_DONE 和 MBIST_FAIL 状态标志生成窄脉冲。如果这些脉冲在 GEN_STATUS 寄存器回读期间出现，则可能会丢失这些状态标志。为避免丢失 MBIST_DONE 标志，请屏蔽除 GEN_STATUS_MASK.MBIST_DONE 之外的所有状态位，然后执行以下任一操作：

1. 监控是否有 IRQ 事件，或
2. 定期发送一个 NOP 并检查 GEN_IRQ 状态位。

等待直到报告 MBIST_DONE，验证 MBIST_FAIL 标志的状态，然后恢复正常运行。

6.3.6 内部基准

AFEx81H1 系列器件包含 1.25V 精密带隙基准。该内部基准在 VREFIO 引脚上可供外部使用，并可提供高达 2.5mA 的电流。为了进行噪声滤波，请在基准输出与 GND 之间使用一个 100nF 电容器。

内部基准电路由 REF_EN 引脚启用或禁用。该引脚上的逻辑高电平将启用内部基准和 VREFIO 引脚输出 1.25V。该引脚上的逻辑低电平将禁用内部基准、并且该器件应该从 VREFIO 引脚上的外部 VREF 获得 1.25V 电压。

无效的基准电压会触发警报条件。DAC 响应取决于 ALARM_ACT 寄存器 (10h) 中的 VREF_FLT 设置。

6.3.7 集成精密振荡器

器件的内部时基由一个内部振荡器提供，该振荡器在室温下修整至低于 0.5% 的容差。该精密振荡器是 ADC 转换的时序源。上电时，内部振荡器和 ADC 大约需要 300µs 才能达到 < 1% 的误差稳定性。在时钟稳定后，ADC 数据输出将精确到节 5 中提供的电气规格。

6.3.8 一次性可编程 (OTP) 存储器

该器件中的一次性可编程 (OTP) 存储器用于存储器件修整设置，无法供用户访问。加电时，OTP 存储器数据会加载到存储器中（OTP 影子加载）。为了验证加载的数据是否正确，会执行 OTP 存储器 CRC。如果检测到 CRC 错误，TRIGGER.SHADOWLOAD 位可用于启动 OTP 存储器数据的重新加载。SPECIAL_CFG.OTP_LOAD_SW_RST 位可以控制是否通过软件复位来重新加载 OTP 存储器数据。

6.4 器件功能模式

6.4.1 DAC 断电模式

断电模式有助于 DAC 输出端的电压快速关断。DAC 可设置为通过硬件和软件进入和退出断电模式，或者在响应警报事件时自动进入和退出断电模式。DAC 输出经过专门设计，可在进入和退出断电模式时实现无干扰性能。

还可以通过将 DAC_CFG.PD 设置为 1 来启用断电模式。在断电模式下，DAC 输出放大器会断电，且 DAC 输出引脚被置于高阻态配置中。在重新启用 DAC 输出之前，DAC 输出会保持在断电模式。

通过将警报事件设置为 DAC 断电源，可以启用断电模式的警报控制。必须在 ALARM_ACT 寄存器中指定触发 DAC 输出断电状态的警报事件。清除警报位后，只要未触发其他控制断电的警报事件，DAC 就会恢复正常运行。

当 DAC 进入断电模式时，DAC 寄存器不发生变化，这使得器件能够在从断电模式返回后恢复到原始工作点。此外，可以在 DAC 处于断电模式时更新 DAC 寄存器，从而允许 DAC 在恢复正常运行时输出新值。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 复位

该器件中有三种复位机制：上电复位 (POR)、$\overline{\text{RESET}}$ 引脚和可通过 SPI 或由 UBM 发送的 SW_RST 命令。

首次为该器件加电时，POR 电路会使该器件保持复位状态，直到所有电源达到指定的工作电压。如果发生欠压事件（电源电压降至最低工作电压以下），上电复位机制会使该器件恢复为已知的工作状态。POR 在复位过程中电源稳定时启动所有数字电路，然后并释放这些电路以确保该器件在默认条件下启动并加载 OTP 存储器。加载 OTP 存储器后将释放 $\overline{\text{ALARM}}$ 引脚。此时，与该器件的通信是安全的。这个 t_{POR} 时间短于 100µs。

这些器件还具有一个 $\overline{\text{RESET}}$ 引脚可用于器件的硬件复位。将 $\overline{\text{RESET}}$ 引脚置于低电平至少 100ns (t_{RESET}) 可以复位该器件。由于器件锁存和释放复位，在发送第一条串行接口命令之前需要 10 µ s 的延迟时间 ($t_{RESETWAIT}$)。内部复位状态的释放与内部时钟同步。$\overline{\text{RESET}}$ 引脚可以复位 SPI 和 UART 接口、HART FIFO 缓冲器、看门狗计时器、内部振荡器和器件寄存器。$\overline{\text{RESET}}$ 不会重新加载 OTP 存储器。

RESET.SW_RST = 0xAD 命令作为软件复位方式使该器件复位。该命令由 SPI 命令在 $\overline{\text{CS}}$ 的上升沿解码，或在 UBM 帧最后一个字符的停止位期间进行解码。将该器件复位到 UBM 时，再次设置 UBM.REG_MODE 可以将该器件恢复到 UBM 中。发送 RESET 命令后，由于器件锁存和释放复位，在发送第一条串行接口命令之前不需要延迟时间。复位与内部时钟的下降沿同步，并在下一个上升沿之前完全释放。$\overline{\text{ALARM}}$ 引脚在内部复位宽度内发出低电平脉冲。该脉冲持续时间小于 20ns。该命令可以复位 SPI 和 UART 接口、HART FIFO 以及看门狗计时器，但不会复位内部振荡器。如果在 SPECIAL_CFG 寄存器中进行了正确配置，软件复位还会重新加载内部出厂修整寄存器。SPECIAL_CFG 寄存器只会在 POR 后复位。

POR 和硬件复位会将内部振荡器置于复位状态，从而将时钟保持在低电平。当这两个信号被释放时，在时钟的第一个上升沿之前会有几微秒的延迟。硬件复位 $\overline{\text{RESET}}$ 脉冲宽度必须至少为 100ns 以便让振荡器正确复位。SW_RST 命令为短脉冲。该脉冲的长度不足以充分复位振荡器。SW_RST 通过时钟的下降沿置为有效。由于振荡器周期较长，设计架构将使所有器件在下一个上升沿之前退出复位。

图 6-25 展示了复位树。

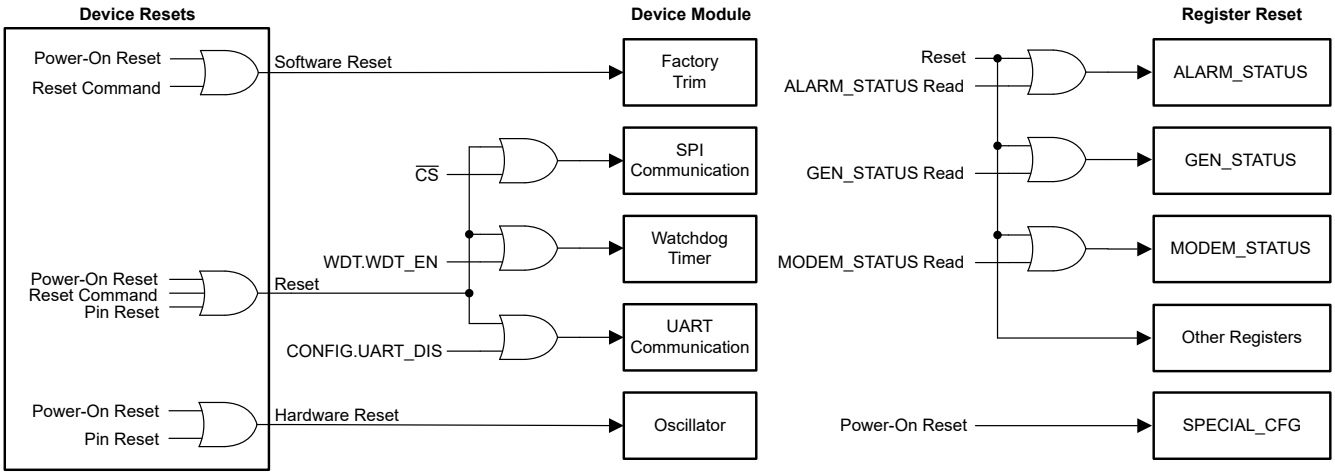


图 6-25. 复位条件

6.5 编程

AFEx81H1 有一个串行接口支持与 UART 兼容的双线制总线或与 SPI 兼容的总线，并通过这个接口与系统控制器进行通信。根据硬件配置，可以启用任一接口。图 6-26 和图 6-27 分别显示了启用 SPI 模式和 UART 中断模式 (UBM) 的配置。SPI 支持一个默认启用但可由用户禁用的 8 位逐帧 CRC。UBM 不支持 CRC，但支持 UART 协议奇偶校验位。

AFEx81H1 旨在利用现有固件与 DAC 或 HART 调制解调器进行通信。图 6-28 中显示了一种支持 SPI 和 UART 的特殊双通信模式，该模式可用于从分立式 HART 架构重复使用固件。更多详细信息，请参阅节 6.5.1.3。

6.5.1 通信设置

在进行任何复位或上电后，AFEx81H1 能够唤醒以使用 SPI 或 UART 中断模式 (UBM)。这些器件有一种强大的机制可以配置基于 SPI 兼容协议或 UART 兼容协议的系统之间的接口，从而防止正常运行期间协议发生变化。该选择基于相应硬件配置（请参阅图 6-26 和图 6-27）的初始条件以及任何后续用户配置。

在 SPI + UART 模式中，系统微控制器上的所有通信引脚都连接到 AFEx81H1，如图 6-28 所示。

6.5.1.1 SPI 模式

默认情况下，可以通过 SPI 完全访问 AFEx81H1（UBM.REG_MODE 除外）。要将器件设置为 SPI 模式，请执行以下操作：

1. 设置 CONFIG.UART_DIS = 1（禁用 UART 通信）。
2. （可选）设置 CONFIG.DSDO、CONFIG.FSDO 和 CONFIG.IRQ_PIN_EN。

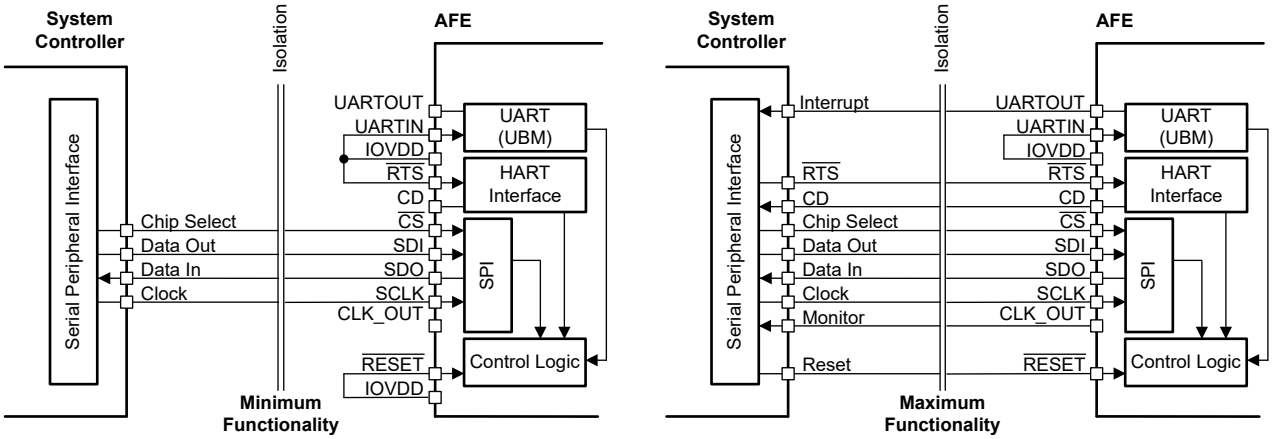


图 6-26. SPI 模式连接

图 6-26 展示了用于实现最小功能（所有可选引脚已断开连接）和最大功能（所有引脚已连接）的 SPI 模式逻辑连接（通过隔离栅，如果使用）。如果设置了 CONFIG.IRQ_PIN_EN = 1，则 UARTOUT 引脚将用作 IRQ 输出。在 SPI 模式下，设置 CONFIG.SDO_DSDO = 0 可以启用回读功能。为了省电，默认情况下已禁用该功能。如果未启用回读功能，则 SDO 会保持在高阻态模式，即使在读取请求后的后续帧中也是如此。

Copyright © 2026 Texas Instruments Incorporated

6.5.1.2 UART 模式

上电时，UART 接口设置为 9600 波特并会启用 UBM。任何复位都会清除 UBM 寄存器，并且必须再次设置该寄存器才能使用 UBM。要将器件设置为 UBM，请执行以下操作：

1. 使用 UBM，在 9600 波特率下设置 UBM.REG_MODE = 1。该设置会阻止 SPI 访问器件，并允许 UART 接口访问整个寄存器映射。
2. （可选）设置 CONFIG.CLR_PIN_EN 和 CONFIG.IRQ_PIN_EN。

图 6-27 展示了用于实现最小功能（所有可选引脚已断开连接）和最大功能（所有引脚已连接）的 UBM 逻辑连接（通过隔离栅，如果使用）。如果设置 CONFIG.IRQ_PIN_EN = 1，则 SDO 引脚将用作 IRQ 输出。如果设置 CONFIG.CLR_PIN_EN = 1，则 SDI 引脚将控制清除引脚功能。

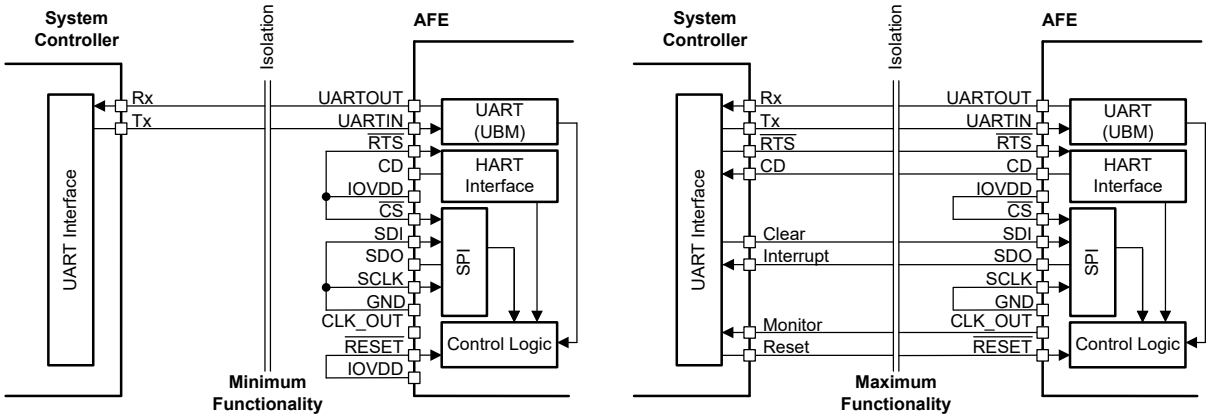


图 6-27. UBM（UART 接口）连接

6.5.1.3 SPI + UART 模式

在该模式下会使用 UART 与集成 HART 调制解调器进行通信，而使用 SPI 与 DAC 进行通信。许多分立式 DAC 使用 SPI 通信，而 HART 调制解调器使用 UART 通信，但这种特殊的通信接口可实现从分立式到集成式 HART 架构的轻松过渡。图 6-28 显示了用于实现最小功能（所有可选引脚已断开连接）和最大功能（所有引脚已连接）的 UBM 逻辑连接（通过隔离栅，如果使用）。

要使用 SPI 将器件设置为 SPI + UART 模式，请设置 CONFIG.UART_BAUD = 0，以便将 UART 的波特率设置为 1200，并跟踪 HART 的 1200 波特率。UART 也能以 9600 波特率运行，但必须考虑 HART 的 1200 波特率，并必须通过 SPI 监控 FIFO 状态。

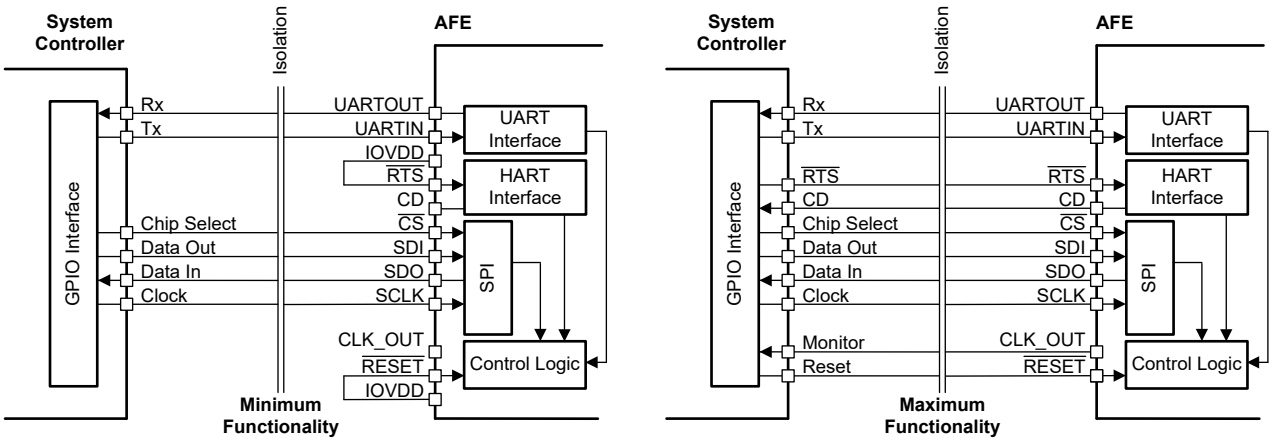


图 6-28. SPI + UART 模式连接

Copyright © 2026 Texas Instruments Incorporated

6.5.1.4 HART 功能设置选项

表 6-10 显示了由连接的引脚根据通信选项设置 HART 功能的各种选项。

表 6-10. 根据使用的通信引脚设置的 HART 功能设置选项

功能	接口模式 [1]	引脚名称	硬件方法（连接引脚）	替代方法（未连接引脚）
请求发送 (RTS)	不限	$\overline{\text{RTS}}$（输入）	L：RTS 置为有效。 H：RTS 置为无效。	写入 MODEM_CFG.RTS 位 1：RTS 置为有效。 0：RTS 置为无效。
载波检测 (CD)	不限	CD（输出）	L：CD 置为无效。 H：CD 置为有效。	连接和设置中断请求 或 轮询 CD_ASSERT/CD_DEASSERT
允许发送 (CTS)	不限	无	不可用	连接和设置中断请求 或 轮询 CTS_ASSERT
Alarm	不限	$\overline{\text{ALARM}}$（输出）	系统控制器有多个基于报警的中断源；另请参阅节 6.3.3。	连接和设置中断请求 或 轮询 ALARM_STATUS 寄存器
中断请求 (IRQ)[2]	UART	SDO（输出）	可配置电平和极性的中断引脚（请参阅节 6.3.4）。 系统控制器有多个中断源；另请参阅节 6.3.5.8。	设置 CONFIG.UBM_IRQ_EN = 1 可以生成软 IRQ 作为中断命令，后跟 UARTOUT 上的数据。有关详细信息，请参阅节 6.5.3.1。
	仅 SPI	UARTOUT（输出）		轮询状态寄存器
	SPI + UART	无	不可用	轮询状态寄存器

1. 如需选项详细信息，请参阅节 6.5.1。
2. 如需 IRQ 配置详细信息，请参阅表 6-9。

Copyright © 2026 Texas Instruments Incorporated

6.5.2 串行外设接口 (SPI)

AFEx81H1 经由一个多功能的四线制串行接口（SDIN、SDO、SCLK 和 $\overline{CS}$）进行控制。这个接口以高达 12.5MHz 的时钟速率运行，并与 SPI、QSPI、Microwire 和数字信号处理 (DSP) 标准兼容。SPI 通信命令包含一个读取或写入地址、一个数据字和一个可选的 CRC 字节。

SPI 可以访问除 UBM 寄存器之外的所有寄存器地址。只读和读写功能由寄存器定义（请参阅表 6-13）。SPI 支持 SPI 模式 1（CPOL = 0、CPHA = 1）和 SPI 模式 2（CPOL = 1、CPHA = 0）。默认 SCLK 值在 SPI 模式 1 下为低电平，在 SPI 模式 2 下为高电平。请参阅节 5.7，了解每种模式下的时序图。串行时钟 SCLK 可以是连续时钟或选通时钟。

6.5.2.1 SPI 帧定义

根据*时序要求*时序要求中列出的时序要求，紧随 $\overline{CS}$ 下降沿之后的第一个 SCLK 下降沿会捕获第一个帧位。根据同样的要求，$\overline{CS}$ 上升沿之前的最后一个 SCLK 下降沿会捕获最后一个帧位。图 6-29 显示了 SPI 移位寄存器帧为 32 位宽，并包含一个 R/W 位，后跟一个 7 位地址和一个 16 位数据字。8 位 CRC 是可选的（默认启用），并通过设置 CONFIG.CRC_EN = 0 来禁用（另请参阅节 6.5.2.3）。图 6-30 显示，当 CRC 禁用时，帧为 24 位宽。

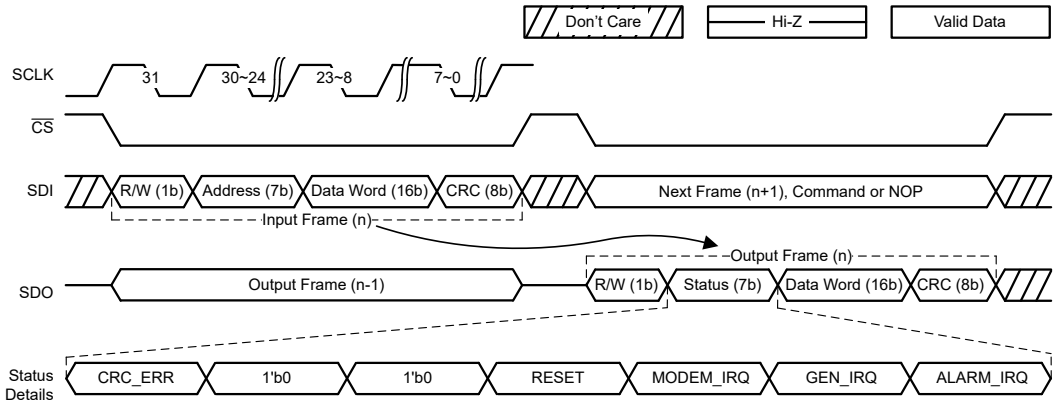


图 6-29. SPI 帧详细信息（默认，启用 CRC）

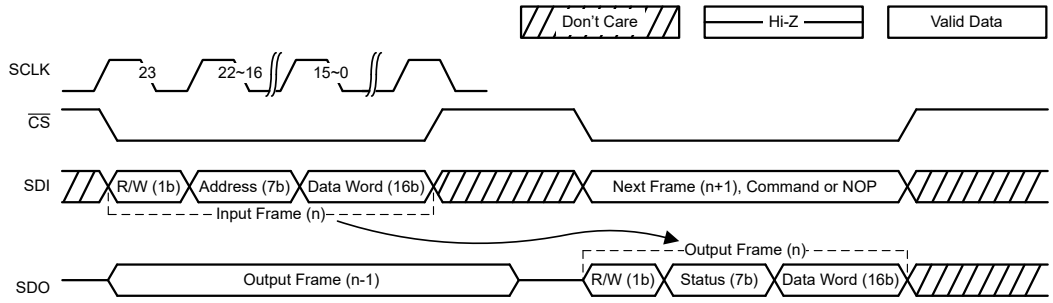


图 6-30. SPI 帧详细信息（禁用 CRC）

对于有效帧，必须在 $\overline{CS}$ 变为高电平之前发送完整帧长度的数据（禁用 CRC 时为 24 位，启用 CRC 时为 32 位）。如果 $\overline{CS}$ 在整个帧的最后一个 SCLK 下降沿之前变为高电平，则数据字不会传输到内部寄存器中。如果在 $\overline{CS}$ 变为高电平之前施加超过整个帧长度的 SCLK 下降沿，则会使用最后一个完整帧长度的位数。换句话说，如果在 $\overline{CS}$ = 0 时，SCLK 下降沿的数量为 34，则会将最后 32 个 SCLK 周期（如果禁用 CRC，则为 24 个周期）视为有效帧。器件内部寄存器在 $\overline{CS}$ 上升沿通过 SPI 移位寄存器进行更新。要启动另一次串行传输，请再次将 $\overline{CS}$ 拉至低电平。当 $\overline{CS}$ 为高电平时，SCLK 和 SDI 信号会被阻断，且 SDO 引脚为高阻抗。

6.5.2.2 SPI 读取和写入

SDI 输入位在 SCLK 下降沿被锁存。SDI 引脚接收右对齐数据。在 $\overline{CS}$ 的上升沿，最右边（最后）的位作为帧进行评估。帧期间的额外时钟周期（超出帧长度）开始在 SDO 上输出延迟一个帧长度的 SDI 数据。

Copyright © 2026 Texas Instruments Incorporated

当 R/W 位为 1 时，便会开始读取操作。在读取命令帧中会忽略 SDI 的数据字输入。向 SDI 中发送后续读取或写入命令帧，即可在时钟沿输出 SDO 上所寻址的寄存器的数据。如果不需要其他读取或写入命令，则发出 NOP 命令来检索请求的数据。读取寄存器值首先在 SCLK 的连续边沿（根据 CONFIG.FSDO 设置，为上升沿或下降沿）在 SDO 上输出最高有效位。

当 R/W 位为 0 时，写入操作开始。一条写入命令的 SDO 输出（在下一帧中传送）包含状态位、表 6-11 中所述的数据，如果启用了 CRC，还包括输出帧的 8 位 CRC。

表 6-11. 命令功能

命令位	SDI 输入数据字	SDO 响应数据字(1)
写入 (R/W = 0)	要写入的数据 (16b)	0x0000
读取 (R/W = 1)	忽略(2)	寄存器输出数据 (16b)

(1) 下一帧输出中的响应数据部分。
(2) 如果已启用 CRC，输入位将包括在 CRC 的计算中（请参阅节 6.5.2.3）。

仅当 $\overline{CS}$ = 0 且 CONFIG.DSDO = 0 时，才会驱动有效 SDO 输出；否则，SDO 引脚将保持高阻态以省电。SDO 数据位在帧内是左对齐的，这意味着当 $\overline{CS}$ 置为低电平有效时（位由 $\overline{CS}$ 的下降沿驱动）会在线路上产生最高有效位（取决于时序详细信息）。当 CONFIG.FSDO = 0（默认值）时，帧中的后续位由 SCLK 上升沿驱动。要在 SCLK 的下降沿驱动 SDO 数据，请设置 CONFIG.FSDO = 1。该设置实际上为 SDO 数据提供了一个额外的 ½ 时钟周期作为设置时间，但代价是增加保持时间。

SDO 上的帧输出中包含生成该帧（前一个输入帧）的输入的命令位，后跟七个状态位（请参阅图 6-29）。检测到输入帧 CRC 错误时，状态位 CRC_ERR = 1。如果没有输入帧 CRC 错误，则 CRC_ERR = 0。有关详细信息，请参阅表 6-12。

6.5.2.3 帧错误校验

如果在有噪声的环境中使用 AFEx81H1，请使用 CRC 检查器件与系统控制器之间 SPI 数据通信的完整性。此功能默认启用，并由 CONFIG.CRC_EN 位控制。如果系统中不需要 CRC，请通过 CRC_EN 位禁用帧错误校验，并从默认的 32 位帧切换到 24 位帧。

帧错误校验基于 CRC-8-ATM (HEC) 多项式：$x^8 + x^2 + x + 1$ (*9'b100000111*)。

对于输出寄存器回读，AFEx81H1 会为所提供的 24 位数据提供计算出的 8 位 CRC，作为 32 位帧的一部分。

AFEx81H1 会解码 24 位输入帧数据和 8 位 CRC 以计算 CRC 余数。如果帧中不存在错误，则 CRC 余数为零。当余数为非零值（即输入帧具有 single-bit 或 multiple-bit 错误）时，ALARM_STATUS.CRC_ERR_CNT 位会递增。错误的 CRC 值会阻止对器件执行命令，从而防止 FIFO 数据因无效的读取命令而丢失。

当 CRC 错误计数器达到 CONFIG.CRC_ERR_CNT 中编程的限制时，ALARM_STATUS 寄存器中的 CRC_FLT 状态位将置位。在下一帧期间，该故障在 SDO 上报告为 ALARM_IRQ（只要未设置相应的屏蔽）。如果通过警报操作配置启用了 $\overline{ALARM}$ 引脚，则该引脚会置为低电平有效（请参阅节 6.3.3.2）。

SDO 帧中的 CRC_ERR 状态位（请参阅图 6-29）不是粘滞位，仅在前一帧进行报告。ALARM_STATUS.CRC_FLT 位是粘滞位，仅在成功读取 ALARM_STATUS 寄存器后才会被清除。读取 GEN_STATUS、MODEM_STATUS 或 ALARM_STATUS 寄存器可以清除已设置的任何粘滞位。

粘滞状态位在回读帧开始时被清除，并在回读帧结束时再次被锁存。因此，如果先前在状态寄存器中报告的故障条件在回读帧结束时不再存在，并且微控制器接收到的数据带有 CRC 错误，则故障信息将丢失。如果需要在有噪声的环境中可靠地监控状态位，请在清除状态位之前将 IRQ 引脚与状态屏蔽位结合使用以找出每个故障的状态。请设置 CONFIG.IRQ_LVL 位来监控 IRQ 引脚上的信号电平，并逐个取消屏蔽每个状态位以便从状态寄存器检索信息。

Copyright © 2026 Texas Instruments Incorporated

6.5.2.4 同步

AFEx81H1 寄存器映射在内部时钟域上运行。SPI 和 UBM 数据包都会与该域同步。这样的同步会相对于 $\overline{CS}$ 的上升沿或 UBM 数据包最后一个字节的停止位增加 0.4µs 至 1.22µs（1.5 个内部时钟）的延时。

由于 UBM 通信的低速和异步特性，时钟同步对 UBM 通信的影响并不明显。

在 SPI 模式下，如果更改寄存器位 CONFIG.DSDO、CONFIG.FSDO 或 CONFIG.CRC_EN，则应在发出下一个帧之前使 $\overline{CS}$ 保持高电平至少两个时钟周期。如果未使用这两个额外的周期，则可能会发生帧数据损坏。以下是帧损坏的示例：

- 设置 CONFIG.DSDO = 0：SDO 在下一帧的中间开始驱动。
- 更改 CONFIG.FSDO：SDO 的启动沿在下一帧的中间发生变化。
- 设置 CONFIG.CRC_EN = 1：下一帧存在 CRC 错误，因为在帧的中间启用了 CRC。

为防止损坏的帧对通信造成影响，应在设置 DSDO、FSDO 和 CRC_EN 位后发送 NOP 命令 (SDI = 0x00_0000)。在设置 CONFIG.CRC_EN 后发送 NOP 仍会生成 CRC 错误，并会在 SDO 的 STATUS 部分进行报告。为避免误报错误，请在设置 CONFIG.CRC_EN 后等待大约 2µs 时间，然后再发送下一帧。

Copyright © 2026 Texas Instruments Incorporated

6.5.3 UART 接口

在 UART 模式下，该器件需要 1 个开始位、8 个数据位、1 个奇校验位和 1 个停止位，或 8O1 UART 字符格式。

当使用 SPI 与寄存器进行通信并且仅将 UART 用于 HART 通信时，应使用 1200 波特。该波特率必须具有 ±1% 的精度。

6.5.3.1 UART 中断模式 (UBM)

在 UART 中断模式 (UBM) 下，微控制器发出 UART 中断信号以开始通信。该器件会将 UART 中断信号解释为开始从 UART 接收命令。一个通信 UART 字符包含一个开始位、八个数据位、一个奇校验位和至少一个停止位。一个 UART 中断字符的所有 11 个位（包括开始位、数据位、奇偶校验位和停止位）由 UARTIN 引脚上的微控制器和 UARTOUT 引脚上的 AFEx81H1 保持为低电平。当 AFEx81H1 在 UARTIN 上检测到一个有效的中断字符时，不会为这个字符标记任何奇偶校验（即使奇偶校验是奇数）或停止位错误。有效 UBM 中断字符和通信字符之间的奇偶校验和停止位差异必须在从 AFEx81H1 的 UARTOUT 引脚接收这些字符时由系统微控制器进行管理。请参阅图 5-2，了解 UBM 中断字符、通信时序详细信息和位顺序。

UART 通信支持两个波特率：9600 和 1200。UBM 的默认波特率为 9600。为了保持向后兼容性，因此 1200 波特率也受支持，并需要使用 SPI 与寄存器映射进行通信；而 UART 引脚仅用于 HART 通信。波特率由寄存器位 CONFIG.UART_BAUD 进行选择。当 CONFIG.UART_BAUD = 1（默认值）时，UART 以 9600 波特运行。当 CONFIG.UART_BAUD = 0 时，UART 以 1200 波特运行。仅当波特率为 9600 时才会启用 UART 协议的中断功能。这种配置允许 HART 数据与寄存器通信进行交错，并且当配置正确时能够访问器件的所有寄存器。

设置 UBM.REG_MODE = 1 可以启用通过 UART 访问寄存器映射。默认情况下，该位设置为 0。除 UBM 寄存器外，整个寄存器映射只能通过 SPI 进行访问。UBM 寄存器只能通过 UBM 进行访问。在 UBM.REG_MODE 设置为 1 后，SPI 无法访问寄存器映射，而 UBM 则可以访问完整的寄存器映射。

在两种情况下，UARTOUT 上的 AFEx81H1 会发起 UBM 数据输出数据包。请参阅图 6-33，了解数据包结构详细信息。如果 R/IRQn 状态位为 0，则 IRQ 事件启动了中断命令。如果 R/IRQn 状态位为 1，则中断命令是对先前读取请求的响应。如需有关 HART 数据的详细信息，请参阅节 6.5.3.1.1。

要启用 IRQ 事件，请设置 CONFIG.UBM_IRQ_EN = 1。启用 IRQ 后，AFEx81H1 会触发一条中断命令，然后在 UARTOUT 上发送数据（请参阅图 6-33）。

下面按优先级顺序列出了该数据的内容。

1. 如果设置了 ALARM_IRQ 位，则会输出 ALARM_STATUS 寄存器的内容。
2. 如果设置了 GEN_IRQ，则会输出 GEN_STATUS 寄存器的内容。
3. 如果设置了 MODEM_IRQ 位，则会输出 MODEM_STATUS 寄存器的内容。
4. 如果上述位均未设置，则不会生成 IRQ。

一个中断字节后跟三个字节。这三个字节具有与不带 CRC 的 SPI 帧相同的信息（请参阅图 6-30）。无法为 UBM 启用 CRC。UART 总线上的所有通信字符都首先发送最低有效数据位 (D0)。

图 6-31 显示了 UBM 写入命令的数据结构，而图 6-32 显示了 UBM 读取命令的数据结构。

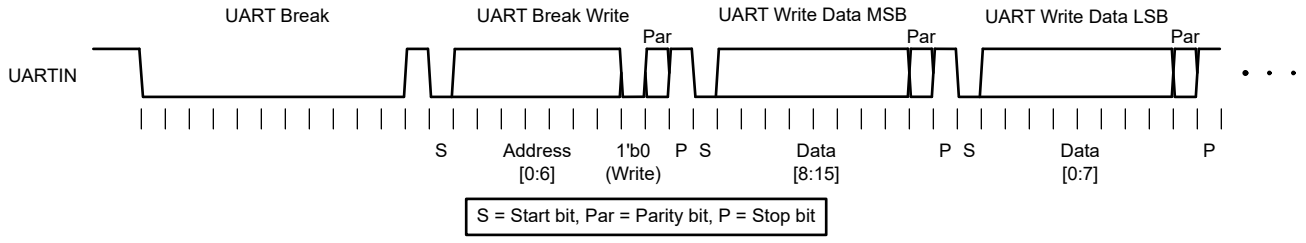


图 6-31. UARTIN 中断写入数据格式

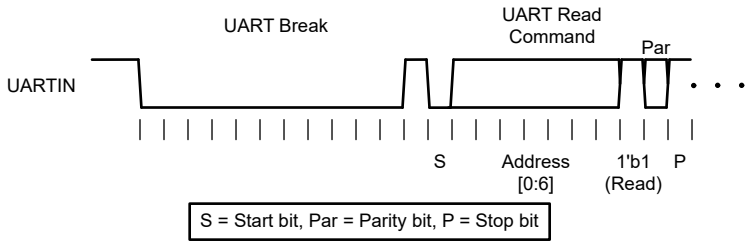


图 6-32. UARTIN 中断读取数据格式

图 6-33 显示了 UARTOUT 数据帧以及 AFEx81H1 产生的状态位的详细信息。有关详细信息，请参阅表 6-12。

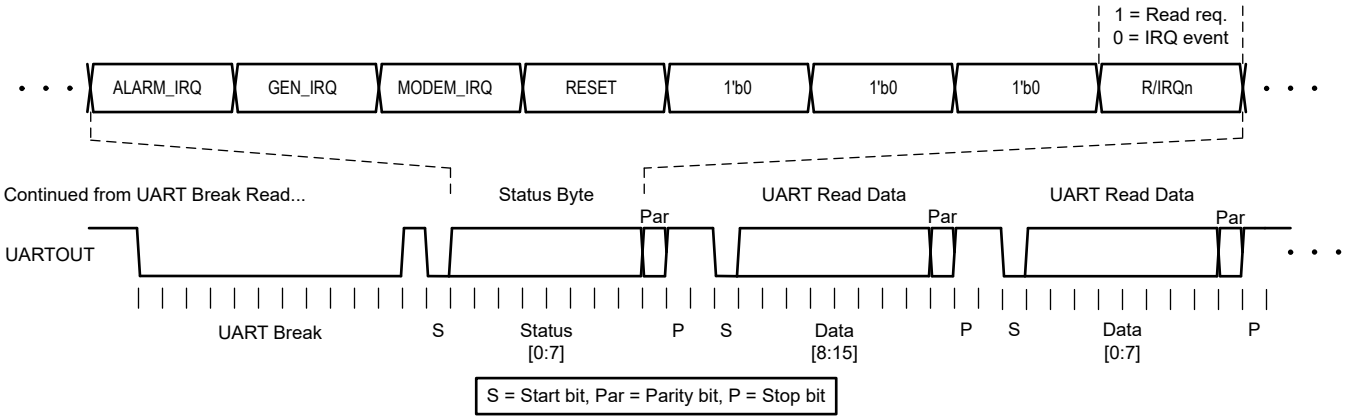


图 6-33. UARTOUT 中断数据格式

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.1 连接 FIFO 缓冲器和寄存器映射

在 UBM 中，HART 数据字符与中断命令交错以用于寄存器映射访问或中断报告。

该器件会报告 UARTIN 上接收到的奇偶校验错误和帧错误。这些状态位可在 GEN_STATUS 寄存器中找到，并可被屏蔽以创建 IRQ 事件。

应避免 HART 字节之间的较大间隙。HART 标准的间隙规格为 11 位时间 (11 × $t_{BAUDHART}$ ms)；因此，如果间隙超过 10.5 HART 位时间 (10.5 × $t_{BAUDHART}$ ms)，可能会导致 HART 调制解调器中出现间隙错误。

下面的时序图举例说明了微控制器与器件寄存器的通信，以及 HART 发送和接收数据传输。

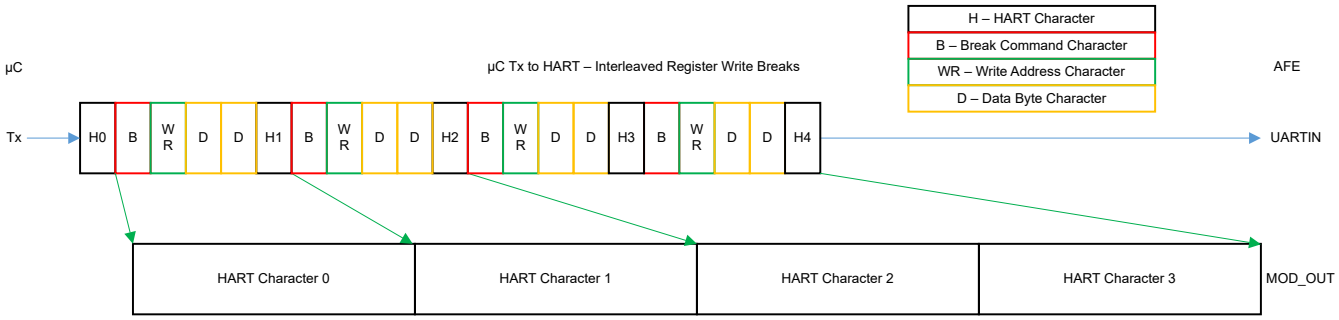


图 6-34. 使用 UBM 寄存器写操作进行交错式 HART 发送

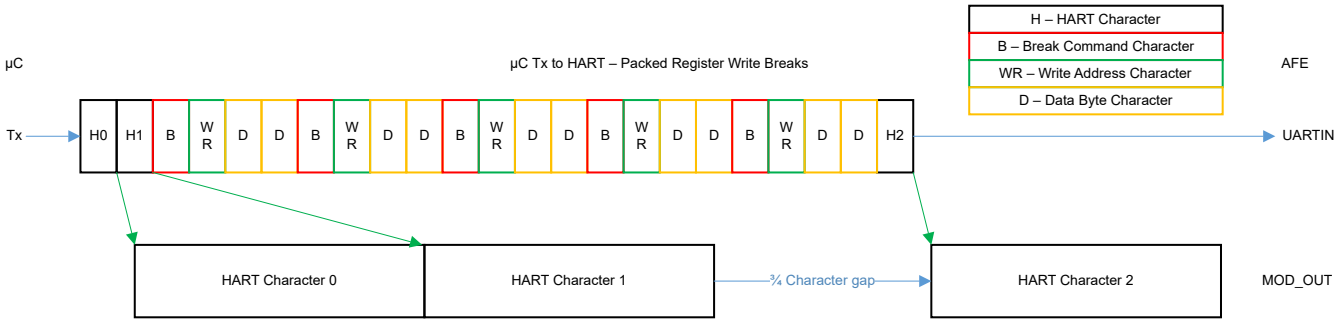


图 6-35. 使用 UBM 寄存器写操作进行打包的 HART 发送

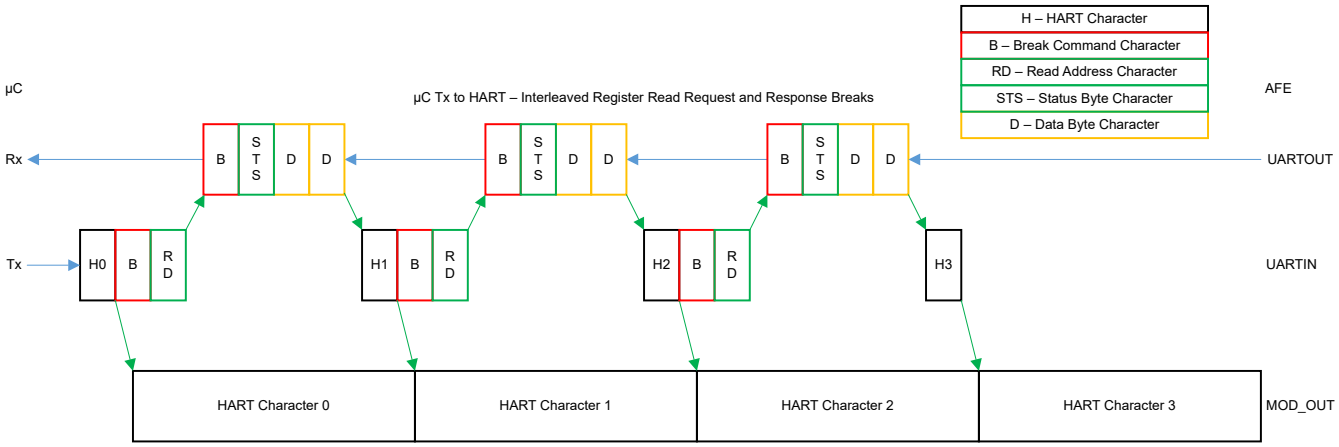


图 6-36. 使用 UBM 寄存器读取请求和响应进行交错式 HART 发送

Copyright © 2026 Texas Instruments Incorporated

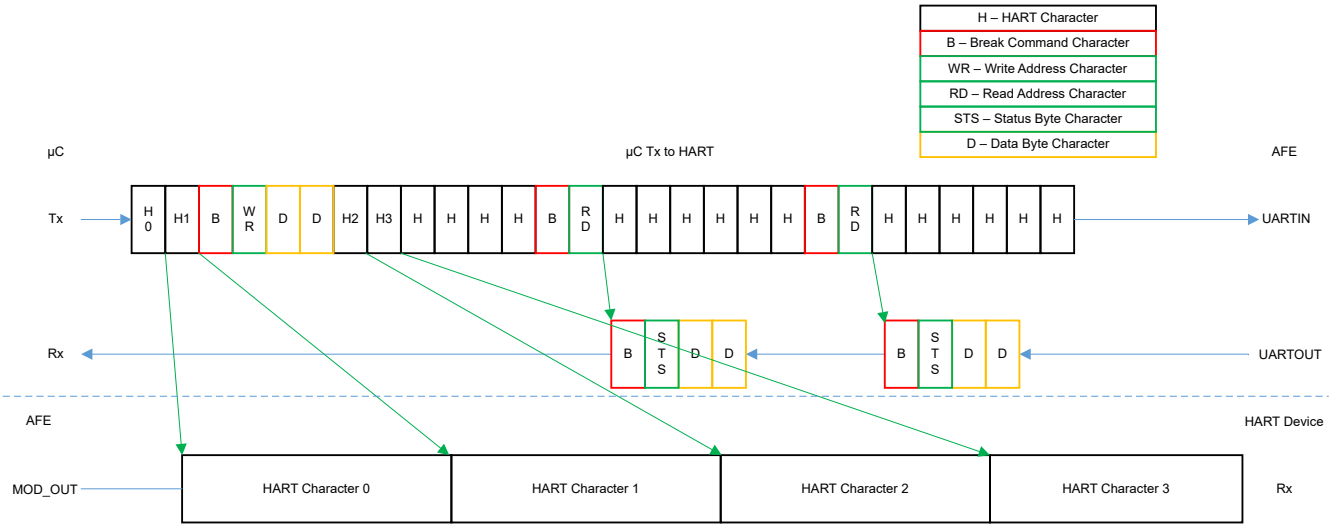


图 6-37. 使用 UBM 寄存器写入/读取请求和响应进行打包的 HART 发送

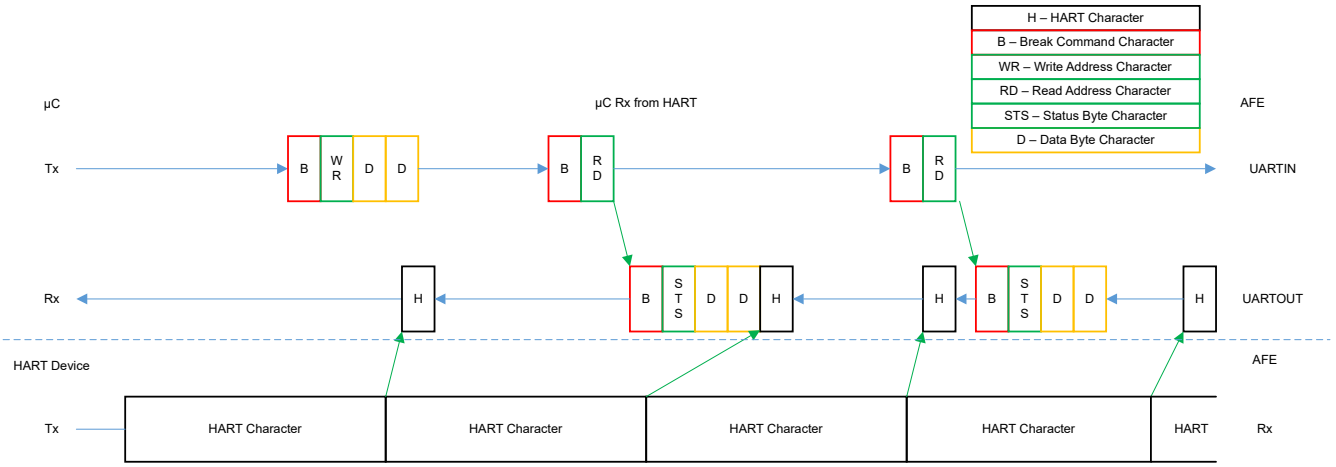


图 6-38. 使用 UBM 寄存器写入/读取请求和响应进行交错式 HART 接收

Copyright © 2026 Texas Instruments Incorporated

6.5.4 状态位

在 SPI 模式和 UBM 下，AFEx81H1 的每个响应都包括一组状态位。如需了解 SPI 模式位顺序，请参阅节 6.5.2.1。如需了解 UBM 位顺序，请参阅节 6.5.3.1。

表 6-12. 状态位

状态位	说明	注释/参考
ALARM_IRQ	1h = ALARM_IRQ 置为有效 0h = 正常运行	来自 GEN_STATUS(1) 寄存器。 另请参阅节 6.3.4。
CRC_ERR （仅限启用 CRC 的 SPI 模式下）	1h = 在输入帧中检测到 CRC 错误 0h = 未检测到 CRC 错误	由 SPI 逐帧生成。 请参阅节 6.5.2.3。
GEN_IRQ	1h = GEN_IRQ 置为有效 0h = 正常运行	来自 ALARM_STATUS(1) 寄存器。 另请参阅节 6.3.4。
MODEM_IRQ	1h = MODEM_IRQ 置为有效 0h = 正常运行	来自 GEN_STATUS(1) 寄存器。 另请参阅节 6.3.4。
R/IRQn（仅 UBM）	1h = 读取请求 0h = IRQ 事件	由 UART 接口逐帧生成。 有关详细信息，请参阅节 6.5.3.1。
RESET	1h = 复位后首次回读 0h = 所有其他回读	来自 GEN_STATUS 寄存器。 另请参阅节 6.4.2。

(1) ALARM_STATUS、MODEM_STATUS 和 GEN_STATUS 寄存器包含其他的交叉可读 IRQ 标志。ALARM_STATUS 寄存器具有 GEN_IRQ 和 MODEM_IRQ 位。MODEM_STATUS 具有 GEN_IRQ 和 ALARM_IRQ 位。GEN_STATUS 具有 ALARM_IRQ 和 MODEM_IRQ 。该功能使系统微控制器可以始终通过只读取一个寄存器来获取完整的状态信息，从而省电。

6.5.5 看门狗计时器

AFEx81H1 有一个看门狗计时器 (WDT) 可确保系统控制器与该器件之间的通信不会丢失。WDT 会检查该器件是否在可编程的时间段内接收到来自系统控制器的通信。要启用该功能，请将 WDT.WDT_EN 设置为 1。WDT 会监控 SPI 通信和 UBM 通信。

WDT 有两个限制字段：WDT.WDT_UP 及 WDT.WDT_LO。WDT_UP 字段用于设置 WDT 的时间上限。WDT_LO 字段用于设置时间下限。如果 WDT_LO 设置为 2’b00 以外的值，则 WDT 将用作窗口比较器。如果写入发生得太快（小于 WDT_LO 时间）或太慢（大于 WDT_UP 时间），则会将一个 WDT 错误置为有效。当用作窗口比较器时，如果发生 WDT 错误，则仅当发生对 WDT 寄存器的写入时，WDT 才会复位。如果 WDT_LO 设置为 2'b00，则对任何寄存器进行写入都会将 WDT 时间计数器复位。在该模式下，当计时器到期时，便会将 WDT 错误置为有效。

如果启用，芯片必须在编程的超时窗口内对器件进行任何 SPI 或 UBM 写入。否则，$\overline{\text{ALARM}}$ 引脚置为低电平有效，且 ALARM_STATUS.WD_FLT 位设置为 1。WD_FLT 位是粘滞位。在 WD_FLT 置为有效后，必须将 WDT.WDT_EN 设置为 0 以清除 WDT 条件。然后，可以重新启用 WDT。也可以通过发出软件或硬件复位来清除 WDT 条件。清除 WDT 条件后，需通过读取 ALARM_STATUS 寄存器来清除 WD_FLT。

看门狗超时周期基于 1200Hz 时钟 (1.2288MHz / 1024)。

Copyright © 2026 Texas Instruments Incorporated

6.6 寄存器映射

表 6-13 列出了 AFEx81H1 寄存器的存储器映射寄存器。表 6-13 中未列出的所有寄存器偏移地址都视为保留的存储单元；请勿修改这些寄存器内容。

表 6-13. 寄存器映射

ADDR（十六进制）	寄存器	位说明															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00h	NOP	NOP [15:0]															
01h	DAC_DATA	DATA [15:0]															
02h	CONFIG	RESERVED	CRC_ERR_CNT [1:0]		CLKO_DIV	CLKO_EN	RESERVED	UBM_IRQ_EN	IRQ_PIN_EN	CLR_PIN_EN	UART_DIS	UART_BAUD	CRC_EN	IRQ_POL	IRQ_LVL	DSDO	FSDO
03h	DAC_CFG	RESERVED			PD	SR_CLK [2:0]			SR_STEP [2:0]			SR_EN	SR_MODE	RESERVED	CLR	CLR_RANGE	范围
04h	DAC_GAIN	GAIN [15:0]															
05h	DAC_OFFSET	OFFSET [15:0]															
06h	DAC_CLR_CODE	CODE [15:0]															
07h	RESET	RESERVED								SW_RST [7:0]							
08h	ADC_CFG	BUF_PD	HYST [6:0]							FLT_CNT [2:0]			AIN_RANGE	EOC_PER_CH	CONV_RATE [1:0]		DIRECT_MODE
09h	ADC_INDEX_CFG	RESERVED								STOP [3:0]				START [3:0]			
0Ah	触发	RESERVED													MBIST	SHADOW LOAD	ADC
0Bh	SPECIAL_CFG(1)	RESERVED													OTP_LOAD_SW_RST	ALMV_POL	AIN1_ENB
0Eh	MODEM_CFG	Tx2200Hz	RESERVED		DUPLEX_EXT	RX_HORD_EN	RX_EXT FILT_EN	TxRES	TxAMP [4:0]					HART_EN	双工	TxHPD	RTS
0Fh	FIFO_CFG	RESERVED						FIFO_H2U_FLUSH	FIFO_U2H_FLUSH	H2U_LEVEL_SET [3:0]				U2H_LEVEL_SET [3:0]			
10h	ALARM_ACT	SD_FLT [1:0]		TEMP_FLT [1:0]		AIN1_FLT [1:0]		AIN0_FLT [1:0]		CRC_WDT_FLT [1:0]		VREF_FLT [1:0]		THERM_ERR_FLT [1:0]		THERM_WARN_FLT [1:0]	
11h	WDT	RESERVED										WDT_UP [2:0]			WDT_LO [1:0]		WDT_EN
12h	AIN0_THRESHOLD	Hi [7:0]								Lo [7:0]							
13h	AIN1_THRESHOLD	Hi [7:0]								Lo [7:0]							
14h	TEMP_THRESHOLD	Hi [7:0]								Lo [7:0]							
15h	FIFO_U2H_WR	RESERVED							奇偶校验	DATA [7:0]							
16h	UBM(2)	RESERVED															REG_MODE
1Dh	ALARM_STATUS_MASK	RESERVED		SD_FLT	OSC_FAIL	RESERVED			OTP_CRC_ERR	CRC_FLT	WD_FLT	VREF_FLT	ADC_AIN1_FLT	ADC_AIN0_FLT	ADC_TEMP_FLT	THERM_ERR_FLT	THERM_WARN_FLT

Copyright © 2026 Texas Instruments Incorporated

表 6-13. 寄存器映射（续）

ADDR（十六进制）	寄存器	位说明															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1Eh	GEN_STATUS_MASK	RESERVED					MBIST_DONE	MBIST_FAIL	RESERVED	SR_BUSYn	ADC_EOC	RESERVED		BREAK_FRAME_ERR	BREAK_PARITY_ERR	UART_FRAME_ERR	UART_PARITY_ERR
1Fh	MODEM_STATUS_MASK	RESERVED			GAP_ERR	FRAME_ERR	PARITY_ERR	FIFO_H2U_LEVEL_FLAG	FIFO_H2U_FULL_FLAG	FIFO_H2U_EMPTY_FLAG	FIFO_U2H_LEVEL_FLAG	FIFO_U2H_FULL_FLAG	FIFO_U2H_EMPTY_FLAG	CD_DE ASSERT	CD_ ASSERT	CTS_DE ASSERT	CTS_ ASSERT
20h	ALARM_STATUS	GEN_IRQ	MODEM_IRQ	SD_FLT	OSC_FAIL	CRC_CNT [1:0]		OTP_LOADEDn	OTP_CRC_ERR	CRC_FLT	WD_FLT	VREF_FLT	ADC_AIN1_FLT	ADC_AIN0_FLT	ADC_TEMP_FLT	THERM_ERR_FLT	THERM_WARN_FLT
21h	GEN_STATUS	ALARM_IRQ	MODEM_IRQ	RESERVED	OTP_BUSY	RESERVED	MBIST_DONE	MBIST_FAIL	RESET	SR_BUSYn	ADC_EOC	ADC_BUSY	PVDD_HI	BREAK_FRAME_ERR	BREAK_PARITY_ERR	UART_FRAME_ERR	UART_PARITY_ERR
22h	MODEM_STATUS	ALARM_IRQ	GEN_IRQ	RESERVED	GAP_ERR	FRAME_ERR	PARITY_ERR	FIFO_H2U_LEVEL_FLAG	FIFO_H2U_FULL_FLAG	FIFO_H2U_EMPTY_FLAG	FIFO_U2H_LEVEL_FLAG	FIFO_U2H_FULL_FLAG	FIFO_U2H_EMPTY_FLAG	CD_DE ASSERT	CD_ ASSERT	CTS_DE ASSERT	CTS_ ASSERT
23h	ADC_FLAGS	RESERVED							SD4_FAIL	SD3_FAIL	SD2_FAIL	SD1_FAIL	SD0_FAIL	TEMP_FAIL	AIN1_FAIL	AIN0_FAIL	RESERVED
24h	ADC_AIN0	RESERVED				DATA [11:0]											
25h	ADC_AIN1	RESERVED				DATA [11:0]											
26h	ADC_TEMP	RESERVED				DATA [11:0]											
27h	ADC_SD_MUX	RESERVED				DATA [11:0]											
28h	ADC_OFFSET	RESERVED				DATA [11:0]											
2Ah	FIFO_H2U_RD	LEVEL [3:0]				LEVEL_FLAG	FULL_FLAG	EMPTY_FLAG	奇偶校验	DATA [7:0]							
2Bh	FIFO_STATUS	H2U_LEVEL [3:0]				H2U_LEVEL_FLAG	H2U_FULL_FLAG	H2U_EMPTY_FLAG	RESERVED	U2H_LEVEL [3:0]				U2H_LEVEL_FLAG	U2H_FULL_FLAG	U2H_EMPTY_FLAG	RESERVED
2Ch	DAC_OUT	DATA [15:0]															
2Dh	ADC_OUT	RESERVED				DATA [11:0]											
2Eh	ADC_BYP	DATA_BYP_EN	OFST_BYP_EN	DIS_GND_SAMP	RESERVED	DATA [11:0]											
2Fh	FORCE_FAIL	CRC_FLT	VREF_FLT	THERM_ERR_FLT	THERM_WARN_FLT	RESERVED		SD4_HI_FLT	SD4_LO_FLT	SD3_HI_FLT	SD3_LO_FLT	SD2_HI_FLT	SD2_LO_FLT	SD1_HI_FLT	SD1_LO_FLT	SD0_HI_FLT	SD0_LO_FLT

(1) SPECIAL_CFG 寄存器只能使用 POR 进行复位，不会对 $\overline{\text{RESET}}$ 引脚或 SW_RST 命令做出响应。
(2) UBM 寄存器只能由 UBM 命令进行访问。

Copyright © 2026 Texas Instruments Incorporated

6.6.1 AFEx81H1 寄存器

复杂的位访问类型经过编码可适应小型表单元。下表显示了用于此部分中的访问类型的代码。

表 6-14. AFEx81H1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W	WO	只写入
W	WSC	写入自清除
复位或默认值		
-n		复位后的值或默认值
寄存器数组变量		
i、j、k、l、m、n		当这些变量用于寄存器名称、偏移或地址时，它们指的是寄存器数组的值，其中寄存器是一组重复寄存器的一部分。寄存器组构成分层结构，数组用公式表示。
y		当该变量用于寄存器名称、偏移或地址时，它指的是寄存器数组的值。

6.6.1.1 NOP 寄存器（偏移 = 0h）[复位 = 0000h]

返回到寄存器映射。

表 6-15. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	WO	0h	无操作。 写入该字段的数据无效。始终读为零。

6.6.1.2 DAC_DATA 寄存器（偏移 = 1h）[复位 = 0000h]

返回到寄存器映射。

VOUT 的 DAC 代码。

表 6-16. DAC_DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	DATA	R/W	0h	数据。 VOUT 的 DAC 代码。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.3 CONFIG 寄存器（偏移 = 2h）[复位 = 0036h]

返回到寄存器映射。

表 6-17. CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14-13	CRC_ERR_CNT	R/W	0h	CRC 错误计数限制 设置在设置状态位之前必须有错误的连续 SPI CRC 帧的数量。 0h = 1（默认值）；1h = 2；2h = 4；3h = 8
12	CLKO_DIV	R/W	0h	CLKO 分频器 将时钟除以 128 以输出到 CLKO。 0h = 禁用分频器，输出 1.2288MHz（默认值） 1h = 启用分频器，输出 9600Hz
11	CLKO_EN	R/W	0h	CLKO 使能 允许在 CLKO 引脚上驱动内部振荡器。 0h = 禁用（默认值）；1h = 启用
10	RESERVED	R	0h	
9	UBM_IRQ_EN	R/W	0h	UBM IRQ 使能 允许通过 UBM 在 UARTOUT 上发送 IRQ。 0h = 禁用（默认值）；1h = 启用
8	IRQ_PIN_EN	R/W	0h	IRQ 引脚使能 启用 IRQ 引脚功能。 0h = 禁用（默认值）；1h = 启用
7	CLR_PIN_EN	R/W	0h	清除输入引脚使能 在 UBM 中启用基于引脚的清除状态转换。 0h = 禁用（默认值）；1h = SDI 引脚配置为清除输入引脚
6	UART_DIS	R/W	0h	UART 失能 禁用 UART 功能。 0h = 启用 UART（默认值）；1h = 禁用 UART
5	UART_BAUD	R/W	1h	UART 波特率 配置 UART 的波特率。 0h = 1200 波特（无中断）；1h = 9600 波特（中断模式）（默认值）
4	CRC_EN	R/W	1h	CRC 使能 启用 SPI 的 CRC。 0h = 禁用；1h = 启用（默认值）
3	IRQ_POL	R/W	0h	IRQ 极性 0h = 低电平有效（默认值）；1h = 高电平有效
2	IRQ_LVL	R/W	1h	IRQ 电平 0h = 边沿敏感；1h = 电平敏感（默认值）
1	DSDO	R/W	1h	SDO 高阻态 0h = 在 $\overline{CS}$ = 0 期间驱动 SDO；1h = SDO 始终为高阻态（默认值）
0	FSDO	R/W	0h	快速 SDO 在 SCLK 的负边沿上驱动 SDO。 0h = 在 SCLK 的上升沿（启动沿）驱动 SDO（默认值） 1h = 在 SCLK 的下降沿（提前捕获边沿 1/2 时钟）驱动 SDO

Copyright © 2026 Texas Instruments Incorporated

6.6.1.4 DAC_CFG 寄存器（偏移 = 3h）[复位 = 0B00h]

返回到寄存器映射。

表 6-18. DAC_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R/W	0h	
12	PD	R/W	0h	DAC 输出缓冲器断电 在断电模式下，DAC 输出设置为高阻态。 0h = 启用 DAC 输出缓冲器（默认值） 1h = 禁用 DAC 输出缓冲器
11-9	SR_CLK	R/W	5h	转换时钟速率 0h = 307.2kHz 1h = 153.6kHz 2h = 76.8kHz 3h = 38.4kHz 4h = 19.2kHz 5h = 9600Hz（默认值） 6h = 4800Hz 7h = 2400Hz
8-6	SR_STEP	R/W	4h	转换步长 0h = 1 个代码 1h = 2 个代码 2h = 4 个代码 3h = 8 个代码 4h = 16 个代码（默认值） 5h = 32 个代码 6h = 64 个代码 7h = 128 个代码
5	SR_EN	R/W	0h	转换使能 启用输出电压转换。 0h = 禁用（默认值） 1h = 启用
4	SR_MODE	R/W	0h	转换模式 输出压摆率模式选择。 0h = 线性转换（默认值） 1h = 正弦转换
3	RESERVED	R	0h	
2	CLR	R/W	0h	清除状态 0h = 正常运行（默认值） 1h = 强制 DAC 进入清除状态
1	CLR_RANGE	R/W	0h	清除范围 设置 DAC 清除状态输出范围。 0h = 0.15V 至 1.25V（默认值） 1h = 0.2V 至 1.0V
0	范围	R/W	0h	范围 设置正常运行期间的 DAC 输出范围。 0h = 0.15V 至 1.25V（默认值） 1h = 0.2V 至 1.0V

Copyright © 2026 Texas Instruments Incorporated

6.6.1.5 DAC_增益寄存器（偏移 = 4h）[复位 = 8000h]

返回到寄存器映射。

表 6-19. DAC_GAIN 寄存器字段说明

位	字段	类型	复位	说明
15-0	增益	R/W	8000h	增益 将 DAC 输出的增益设置为 0.5 至 1.499985 之间的值。 例如： 0000h = 0.5 8000h = 1.0（默认值） FFFFh = 1.499985

6.6.1.6 DAC_OFFSET 寄存器（偏移 = 5h）[复位 = 0000h]

返回到寄存器映射。

表 6-20. DAC_OFFSET 寄存器字段说明

位	字段	类型	复位	说明
15-0	偏移	R/W	0h	偏移 调整 DAC 输出的偏移，二进制补码数。 例如： 0000h = 0（默认值） FFFFh = -1

6.6.1.7 DAC_CLR_CODE 寄存器（偏移 = 6h）[复位 = 0000h]

返回到寄存器映射。

表 6-21. DAC_CLR_CODE 寄存器字段说明

位	字段	类型	复位	说明
15-0	代码	R/W	0h	清除状态 DAC 代码 在清除状态下应用的 DAC 代码。请参阅 *DAC 寄存器结构和清除状态*。

6.6.1.8 RESET 寄存器（偏移 = 7h）[复位 = 0000h]

返回到寄存器映射。

表 6-22. RESET 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	
7-0	SW_RST	WSC	0h	软件复位 写入 ADh 以启动软件复位。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.9 ADC_CFG 寄存器（偏移 = 8h）[复位 = 8810h]

返回到寄存器映射。

表 6-23. ADC_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	BUF_PD	R/W	1h	ADC 缓冲器断电 0h = 启用 ADC 缓冲器；1h = ADC 缓冲器断电（默认值）
14-8	HYST	R/W	8h	迟滞 当超过 AIN0/AIN1/TEMP 的 ADC 测量阈值时使用的迟滞代码数。
7-5	FLT_CNT	R/W	0h	故障计数 触发警报的连续故障数。 连续故障数为编程值 + 1（1-8 个故障）。
4	AIN_RANGE	R/W	1h	ADC 模拟输入范围 仅当 PVDD ≥ 2.7V 时，才能将 AIN0 和 AIN1 输入电压范围设置为使用 2.5V 范围。 0h = 2 × VREF；1h = 1 × VREF（默认值）
3	EOC_PER_CH	R/W	0h	每个通道的 ADC 转换结束 在每个通道结束而不是在所有通道结束时发送 EOC 脉冲。 0h = 最后一个通道之后的 EOC（默认值）；1h = 每个通道的 EOC
2-1	CONV_RATE	R/W	0h	ADC 转换速率 该设置仅影响通道 AIN0 和 AIN1 的转换速率。速率基于 76.8kHz ADC 时钟。所有其他通道均使用 2560Hz。 0h = 3840Hz（默认值） 1h = 2560Hz 2h = 1280Hz 3h = 640Hz
0	DIRECT_MODE	R/W	0h	直接模式使能 0h = 自动模式（默认值）；1h = 直接模式

6.6.1.10 ADC_INDEX_CFG 寄存器（偏移 = 9h）[复位 = 0080h]

返回到寄存器映射。

ADC 自定义通道时序配置如表 6-24 所示。

表 6-24. ADC_INDEX_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	
7-4	STOP	R/W	8h	自定义通道序列发生器停止索引 用于停止 ADC 序列的 CCS 索引。必须为 ≥ START。否则，会强制 STOP = START。 0h = OFFSET 1h = AIN0 2h = AIN1 3h = TEMP 4h = SD0 (VREF) 5h = SD1 (PVDD) 6h = SD2 (VDD) 7h = SD3 (ZTAT) 8h = SD4 (VOUT)（默认值） 9h 至 Fh = GND
3-0	启动	R/W	0h	自定义通道序列发生器启动索引 用于启动 ADC 序列的 CCS 索引。 0h 至 Fh = 与 STOP 字段相同（默认为 0h）

Copyright © 2026 Texas Instruments Incorporated

6.6.1.11 TRIGGER 寄存器（偏移 = Ah）[复位 = 0000h]

返回到寄存器映射。

表 6-25. TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	
2	MBIST	WSC	0h	存储器内置自检触发器 该触发器在用于 FIFO 的 SRAM 上启动 MBIST。在此期间，由于 MBIST 接管了 SRAM 的控制，因此与 HART 之间的通信不起作用。
1	SHADOWLOAD	WSC	0h	影子加载触发器 该触发器启动将 OTP 阵列加载到并行锁存器中的操作。如果检测到 OTP CRC 错误，请将该触发器置为有效以尝试将 OTP 重新加载到存储器位置。
0	ADC	WSC	0h	ADC 触发 在自动模式下，该位可以启用或禁用转换。手动设置为 1（启用）或 0（禁用）。在直接模式下，设置该位以启动转换序列。在序列结束时将该位清零。要提前停止序列，请手动将该位清零。

6.6.1.12 SPECIAL_CFG 寄存器（偏移 = Bh）[复位 = 0000h]

返回到寄存器映射。

表 6-26. SPECIAL_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	
2	OTP_LOAD_SW_RST	R/W	0h	使用软件复位进行 OTP（一次性可编程出厂修整寄存器）加载 将软件复位 (SW_RST) 置为有效以进行 OTP 重新加载。 0h = 不使用 SW_RST 重新加载 1h = 使用 SW_RST 重新加载
1	ALMV_POL	R/W	0h	警报电压极性 该寄存器位与 POL_SEL/AIN1 引脚进行“或”运算（如果 AIN1_ENB 位为低电平）以便在硬件复位条件下控制 VOUT，或在警报处于活动状态并已适当设置警报操作的情况下进行此控制。为设置 VOUT 电压的内部信号 ALMV_POL_o 实现了以下布尔函数： ALMV_POL_o = ALMV_POL OR (POL_SEL/AIN1 AND NOT AIN1_ENB) 0h = 低电平 (0V) 1h = 高电平 (2.5V)
0	AIN1_ENB	R/W	0h	AIN1 引脚使能 该位决定 POL_SEL/AIN1 引脚是用作警报电压极性控制位还是 ADC 的输入通道。 0h = AIN1 引脚用作警报电压极性位且 ADC 转换 GND 1h = AIN1 引脚是 ADC 的活动通道

Copyright © 2026 Texas Instruments Incorporated

6.6.1.13 MODEM_CFG 寄存器（偏移 = Eh）[复位 = 0040h]

返回到寄存器映射。

表 6-27. MODEM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	Tx2200Hz	R/W	0h	仅发送 2200Hz 通过不向 FIFO 缓冲器发送数据并将 RTS 置为有效，只要 RTS 置为有效，用户就可以发送 1200Hz 的倍数。通过设置该位，用户可以发送 2200Hz 的倍数。设置该位会阻止 FIFO 缓冲器中的数据被正确发送。如果使用该位，则无需使用 FIFO 缓冲器。 0h = 发送 1200Hz 和 2200Hz（默认值） 1h = 仅发送 2200Hz
14-13	RESERVED	R	0h	
12	DUPLEX_EXT	R/W	0h	双工外部模式 允许全双工模式，但期望在外部将 MOD_OUT 连接到 RX_IN。 0h = 内部双工连接（默认值） 1h = 外部双工连接
11	RX_HORD_EN	R/W	0h	高阶滤波器使能 在 HART_RX 上启用更高阶滤波器。 0h = 禁用（默认值）；1h = 启用
10	RX_EXTFILT_EN	R/W	0h	外部滤波器使能 为 HART_RX 启用外部滤波器。如果启用，则将 HART 信号连接到 RX_INF。 0h = 使用内部滤波器（默认值）；1h = 使用外部滤波器
9	TxRES	R/W	0h	HART 发送分辨率 0h = 每周期 32 步（默认值），更新速率 38.4kHz，1200 波特 1h = 每周期 128 步，更新速率 153.6kHz，1200 波特 每周期 128 步的波形会消耗更多功率。
8-4	TxAMP	R/W	4h	发送幅度 HART Tx 幅度。 00h = 400mV$_{PP}$；01h = 425mV$_{PP}$ 02h = 450mV$_{PP}$；03h = 475mV$_{PP}$ 04h = 500mV$_{PP}$（默认值）；05h = 525mV$_{PP}$ 06h = 550mV$_{PP}$；07h = 575mV$_{PP}$ 08h = 600mV$_{PP}$；09h = 625mV$_{PP}$ 0Ah = 650mV$_{PP}$；0Bh = 675mV$_{PP}$ 0Ch = 700mV$_{PP}$；0Dh = 725mV$_{PP}$ 0Eh = 750mV$_{PP}$；0Fh = 775mV$_{PP}$ 10h 至 1Fh = 800mV$_{PP}$
3	HART_EN	R/W	0h	HART 使能 启用 HART Tx 和 Rx。 0h = 禁用（默认值）；1h = 启用
2	双工	R/W	0h	双工模式 启用 Tx 到 Rx 的内部连接以进行调试和测试。 0h = 正常运行（默认值）；1h = 启用双工
1	TxHPD	R/W	0h	Rx 模式下或禁用时的 HART Tx DAC 输出缓冲器为高阻态 0h = HART Tx DAC 输出设置为中间码，输出阻抗为 50kΩ（默认值） 1h = Rx 模式下或禁用时，HART Tx DAC 为高阻态。用户可以通过外部电路设置默认电压电平。
0	RTS	R/W	0h	请求发送 开始在 MOD_OUT 引脚上发送载波。 0h = 无操作（默认） 1h = 请求发送。如果 CD = 0，器件开始调制 MOD_OUT 引脚。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.14 FIFO_CFG 寄存器（偏移 = Fh）[复位 = 00F0h]

返回到寄存器映射。

表 6-28. FIFO_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	
9	FIFO_H2U_FLUSH	WSC	0h	清空 HART-to-µC FIFO (FIFO_H2U) 清除 FIFO_H2U 的指针。
8	FIFO_U2H_FLUSH	WSC	0h	清空 µC-to-HART FIFO (FIFO_U2H) 清除 FIFO_U2H 的指针。
7-4	H2U_LEVEL_SET	R/W	Fh	FIFO_H2U FIFO 级别标志触发设置 为 FIFO_H2U 设置“级别标志”触发的级别。这是 (>) 比较。由于 FIFO 大小为 5 位宽，因此在该 4 位设置中不使用 LSB。仅当 MODEM_CFG.HART_EN = 0 时更改该字段。
3-0	U2H_LEVEL_SET	R/W	0h	FIFO_U2H FIFO 级别标志触发设置 为 FIFO_U2H 设置“级别标志”触发的级别。这是 (<) 比较。由于 FIFO 大小为 5 位宽，因此在该 4 位设置中不使用 LSB。仅当 MODEM_CFG.HART_EN = 0 时更改该字段。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.15 ALARM_ACT 寄存器（偏移 = 10h）[复位 = 8020h]

返回到寄存器映射。

表 6-29. ALARM_ACT 寄存器字段说明

位	字段	类型	复位	说明
15-14	SD_FLT	R/W	2h	自诊断故障操作 这些位设置自诊断故障后的器件操作。 0h = 无操作 1h = 将 DAC 设置为清除状态 2h = 切换到由 ALMV_POL 确定的警报电压（默认值） 3h = 将 DAC 置于高阻态（断电）
13-12	TEMP_FLT	R/W	0h	TEMP 故障操作 这些位设置 ADC 温度超出 TEMP_THRESHOLD Hi 或 Lo 阈值时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
11-10	AIN1_FLT	R/W	0h	AIN1 故障操作 这些位设置 ADC AIN1 通道超出 AIN1_THRESHOLD Hi 或 Lo 阈值时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
9-8	AIN0_FLT	R/W	0h	AIN0 故障操作 这些位设置 ADC AIN0 通道超出 AIN0_THRESHOLD Hi 或 Lo 阈值时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
7-6	CRC_WDT_FLT	R/W	0h	CRC 和 WDT 故障操作 这些位设置发生 SPI CRC 或 SPI 看门狗超时错误时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
5-4	VREF_FLT	R/W	2h	VREF 故障操作 这些位设置在 VREF 上检测到故障时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同
3-2	THERM_ERR_FLT	R/W	0h	热错误故障操作 这些位设置发生高温错误 (>130°C) 时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）
1-0	THERM_WARN_FLT	R/W	0h	热警告故障操作 这些位设置发生高温警告 (>85°C) 时的器件操作。 0h 至 3h = 与 SD_FLT 字段相同（默认为 0h）

Copyright © 2026 Texas Instruments Incorporated

6.6.1.16 WDT 寄存器（偏移 = 11h）[复位 = 0018h]

返回到寄存器映射。

表 6-30. WDT 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	
5-3	WDT_UP	R/W	3h	看门狗计时器 (WDT) 上限 如果启用了 WDT 且计时器超过编程值，则会确认 WDT 错误。所有时间均基于 1200Hz 时钟 (1.2288MHz/1024)。 0h = 53ms（64 个时钟） 1h = 106ms（128 个时钟） 2h = 427ms（512 个时钟） 3h = 853ms（1024 个时钟，默认） 4h = 1.7s（2048 个时钟） 5h = 2.56s（3072 个时钟） 6h = 3.41s（4096 个时钟） 7h = 5.12s（6144 个时钟）
2-1	WDT_LO	R/W	0h	WDT 下限 如果启用了 WDT 且启用了 WDT 下限，则只需对该寄存器执行写入操作就会将 WDT 计时器复位。如果写入发生在 WDT 下限时间之前或 WDT 上限时间之后，则会确认 WDT 错误。如果禁用了 WDT 下限，则对任何寄存器的写入都会将计时器复位。对于 SPI 和 UART 中断模式都是如此。所有时间均基于 1200Hz 时钟 (1.2288MHz/1024)。 0h = 禁用（默认值） 1h = 53ms（64 个时钟） 2h = 106ms（128 个时钟） 3h = 427ms（512 个时钟）
0	WDT_EN	R/W	0h	WDT 启用 0h = 禁用（默认值）；1h = 启用

6.6.1.17 AIN0_THRESHOLD 寄存器（偏移 = 12h）[复位 = FF00h]

返回到寄存器映射。

表 6-31. AIN0_THRESHOLD 寄存器字段说明

位	字段	类型	复位	说明
15-8	您好，	R/W	FFh	通道 AIN0 的高阈值 {[11:4],4b1111} 该值与 AIN0 数据位 [11:0] 进行比较 (>)。
7-0	Lo	R/W	0h	通道 AIN0 的低阈值 {[11:4],4b0000} 该值与 AIN0 数据位 [11:0] 进行比较 (<)。

6.6.1.18 AIN1_THRESHOLD 寄存器（偏移 = 13h）[复位 = FF00h]

返回到寄存器映射。

表 6-32. AIN1_THRESHOLD 寄存器字段说明

位	字段	类型	复位	说明
15-8	您好，	R/W	FFh	通道 AIN1 的高阈值 {[11:4],4b1111} 该值与 AIN1 数据位 [11:0] 进行比较 (>)。
7-0	Lo	R/W	0h	通道 AIN1 的低阈值 {[11:4],4b0000} 该值与 AIN1 数据位 [11:0] 进行比较 (<)。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.19 TEMP_THRESHOLD 寄存器（偏移 = 14h）[复位 = FF00h]

返回到寄存器映射。

表 6-33. TEMP_THRESHOLD 寄存器字段说明

位	字段	类型	复位	说明
15-8	您好，	R/W	FFh	通道 TEMP 的高阈值 {[11:4],4b1111} 该值与 TEMP 数据位 [11:0] 进行比较 (>)。
7-0	Lo	R/W	0h	通道 TEMP 的低阈值 {[11:4],4b0000} 该值与 TEMP 数据位 [11:0] 进行比较 (<)。

6.6.1.20 FIFO_U2H_WR 寄存器（偏移 = 15h）[复位 = 0000h]

返回到寄存器映射。

该寄存器控制 HART 到微控制器 FIFO 缓冲器。

表 6-34. FIFO_U2H_WR 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	
8	奇偶校验	WO	0h	奇偶校验 要与数据一起发送的奇校验位。仅当 CONFIG.UART_DIS = 1 时，该字段才能由 SPI 写入并影响 FIFO。否则，对此寄存器的写入将被忽略。
7-0	DATA	WO	0h	数据字节 仅当 CONFIG.UART_DIS = 1 时，该字段才能由 SPI 写入并影响 FIFO。否则，对此寄存器的写入将被忽略。

6.6.1.21 UBM 寄存器（偏移 = 16h）[复位 = 0000h]

返回到寄存器映射。

表 6-35. UBM 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R	0h	
0	REG_MODE	R/W	0h	寄存器模式 配置寄存器映射的其余部分以供 UART 中断模式 (UBM) 或 SPI 访问。该寄存器只能通过 UART 中断通信来写入。 0h = SPI 模式（默认值） 1h = UART 中断模式

Copyright © 2026 Texas Instruments Incorporated

6.6.1.22 ALARM_STATUS_MASK 寄存器（偏移 = 1Dh）[复位 = EFDFh]

返回到寄存器映射。

表 6-36. ALARM_STATUS_MASK 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	3h	
13	SD_FLT	R/W	1h	SD 故障屏蔽 0h = 故障使 IRQ 置为有效 1h = 该屏蔽会阻止触发 IRQ 或警报（默认值）。 如果条件存在，则始终设置为该状态。
12	OSC_FAIL	R/W	0h	OSC_FAIL 故障屏蔽 与 SD 故障屏蔽相同（默认为 0h）。
11-9	RESERVED	R	7h	
8	OTP_CRC_ERR	R/W	1h	OTP CRC 错误屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
7	CRC_FLT	R/W	1h	SPI CRC 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
6	WD_FLT	R/W	1h	看门狗故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
5	VREF_FLT	R/W	0h	VREF 故障屏蔽 与 SD 故障屏蔽相同（默认为 0h）。
4	ADC_AIN1_FLT	R/W	1h	ADC AIN1 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
3	ADC_AIN0_FLT	R/W	1h	ADC AIN0 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
2	ADC_TEMP_FLT	R/W	1h	ADC TEMP 故障屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
1	THERM_ERR_FLT	R/W	1h	温度 > 130°C 错误屏蔽 与 SD 故障屏蔽相同（默认为 1h）。
0	THERM_WARN_FLT	R/W	1h	温度 > 85°C 警告屏蔽 与 SD 故障屏蔽相同（默认为 1h）。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.23 GEN_STATUS_MASK 寄存器（偏移 = 1Eh）[复位 = FFFFh]

返回到寄存器映射。

表 6-37. GEN_STATUS_MASK 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	1Fh	
10	MBIST_DONE	R/W	1h	MBIST 完成屏蔽 0h = 故障使 IRQ 置为有效 1h = 该屏蔽会阻止触发 IRQ 或警报（默认值）。 如果条件存在，则始终设置为该状态。
9	MBIST_FAIL	R/W	1h	MBIST 失败故障屏蔽 与 MBIST 完成屏蔽相同（默认为 1h）。
8	RESERVED	R	1h	
7	SR_BUSYn	R/W	1h	压摆率不忙屏蔽 与 MBIST 完成屏蔽相同（默认为 1h）。
6	ADC_EOC	R/W	1h	ADC 转换结束屏蔽 与 MBIST 完成屏蔽相同（默认为 1h）。
5-4	RESERVED	R	3h	
3	BREAK_FRAME_ERR	R/W	1h	中断帧错误故障屏蔽 与 MBIST 完成屏蔽相同（默认为 1h）。
2	BREAK_PARITY_ERR	R/W	1h	中断奇偶校验错误故障屏蔽 与 MBIST 完成屏蔽相同（默认为 1h）。
1	UART_FRAME_ERR	R/W	1h	UART 帧错误故障屏蔽 与 MBIST 完成屏蔽相同（默认为 1h）。
0	UART_PARITY_ERR	R/W	1h	UART 奇偶校验错误故障屏蔽 与 MBIST 完成屏蔽相同（默认为 1h）。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.24 MODEM_STATUS_MASK 寄存器（偏移 = 1Fh）[复位 = FFFFh]

返回到寄存器映射。

表 6-38. MODEM_STATUS_MASK 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	7h	
12	GAP_ERR	R/W	1h	HART 间隙错误故障屏蔽 0h = 故障使 IRQ 置为有效 1h = 该屏蔽会阻止触发 IRQ 或警报（默认值）。 如果条件存在，则始终设置为该状态。
11	FRAME_ERR	R/W	1h	HART 帧错误故障屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
10	PARITY_ERR	R/W	1h	HART 奇偶校验（奇数）错误故障屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
9	FIFO_H2U_LEVEL_FLAG	R/W	1h	FIFO_H2U 级别标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
8	FIFO_H2U_FULL_FLAG	R/W	1h	FIFO_H2U 满标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
7	FIFO_H2U_EMPTY_FLAG	R/W	1h	FIFO_H2U 空标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
6	FIFO_U2H_LEVEL_FLAG	R/W	1h	FIFO_U2H 级别标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
5	FIFO_U2H_FULL_FLAG	R/W	1h	FIFO_U2H 满标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
4	FIFO_U2H_EMPTY_FLAG	R/W	1h	FIFO_U2H 空标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
3	CD_DEASSERT	R/W	1h	CD 置为无效标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
2	CD_ASSERT	R/W	1h	CD 置为有效标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
1	CTS_DEASSERT	R/W	1h	CTS 置为无效标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。
0	CTS_ASSERT	R/W	1h	CTS 置为有效标志屏蔽 与 HART 间隙错误故障屏蔽相同（默认为 1h）。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.25 ALARM_STATUS 寄存器（偏移 = 20h）[复位 = 0200h]

返回到寄存器映射。

表 6-39. ALARM_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	GEN_IRQ	R	0h	通用 IRQ GEN_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = GEN_STATUS 寄存器的所有未屏蔽位均为低电平 1h = GEN_STATUS 寄存器中至少有一个未屏蔽位为高电平
14	MODEM_IRQ	R	0h	调制解调器 IRQ MODEM_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = MODEM_STATUS 寄存器的所有未屏蔽位均为低电平 1h = MODEM_STATUS 寄存器中至少有一个未屏蔽位为高电平
13	SD_FLT	R	0h	自诊断 (SD) 故障 0h = 所有自诊断通道都处于阈值限制范围内 1h = 至少一个自诊断通道发生故障
12	OSC_FAIL	R	0h	振荡器故障 该位保持 $\overline{\text{ALARM}}$ 低电平且不馈送 IRQ。VOUT 遵循警报电压设置。 0h = 振荡器正在切换；1h = 振荡器未切换
11-10	CRC_CNT	R	0h	CRC 故障计数器 如果计数器限制 ≤ 4，则此处显示计数器的位 [1:0]。 如果计数器限制 = 8，则显示计数器的位 [2:1]。
9	OTP_LOADEDn	R	1h	OTP 未加载当 OTP 已加载至少一次时清除。 在 OTP 完成加载之前保持 $\overline{\text{ALARM}}$ 置为有效。不馈送 IRQ。 0h = OTP 至少已加载一次；1h = OTP 尚未完成加载
8	OTP_CRC_ERR	R	0h	OTP CRC 错误可屏蔽故障。OTP CRC 计算出错。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 OTP CRC 故障；1h = OTP CRC 故障
7	CRC_FLT	R	0h	CRC 故障可屏蔽故障。在 SPI 帧期间发送无效的 CRC 值。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 CRC 故障；1h = CRC 故障
6	WD_FLT	R	0h	看门狗计时器故障 可屏蔽故障。粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无看门狗故障；1h = 看门狗故障
5	VREF_FLT	R	0h	无效基准电压可屏蔽故障。与 FORCE_FAIL.VREF_FLT 位进行“或”运算。 有效信号，只要条件成立就会设置。从模拟电路直接输入。 0h = 有效 VREF 电压；1h = 无效 VREF 电压
4	ADC_AIN1_FLT	R	0h	ADC AIN1 故障。可屏蔽故障。 0h = AIN1 ADC 测量值处于阈值限制范围内 1h = AIN1 ADC 测量值超出阈值限制范围
3	ADC_AIN0_FLT	R	0h	ADC AIN0 故障。可屏蔽故障。 0h = AIN0 ADC 测量值处于阈值限制范围内 1h = AIN0 ADC 测量值超出阈值限制范围
2	ADC_TEMP_FLT	R	0h	ADC Temp 故障。可屏蔽故障。 0h = TEMP ADC 测量值处于阈值限制范围内 1h = TEMP ADC 测量值超出阈值限制范围
1	THERM_ERR_FLT	R	0h	温度 > 130°C 错误。可屏蔽故障。 与 FORCE_FAIL.THERM_ERR_FLT 位进行“或”运算。 有效信号，只要条件成立就会设置。从模拟电路直接输入。 0h = 温度 ≤ 130°C；1h = 温度 > 130°C

Copyright © 2026 Texas Instruments Incorporated

表 6-39. ALARM_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
0	THERM_WARN_FLT	R	0h	温度 > 85°C 警告。可屏蔽故障。 与 FORCE_FAIL.THERM_WARN_FLT 位进行“或”运算。 有效信号，只要条件成立就会设置。从模拟电路直接输入。 0h = 温度 ≤ 85°C；1h = 温度 > 85°C

Copyright © 2026 Texas Instruments Incorporated

6.6.1.26 GEN_STATUS 寄存器（偏移 = 21h）[复位 = 1180h]

返回到寄存器映射。

表 6-40. GEN_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	ALARM_IRQ	R	0h	警报 IRQ ALARM_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = ALARM_STATUS 寄存器的所有未屏蔽位均为低电平 1h = ALARM_STATUS 寄存器中至少有一个未屏蔽位为高电平
14	MODEM_IRQ	R	0h	调制解调器 IRQ MODEM_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = MODEM_STATUS 寄存器的所有未屏蔽位均为低电平 1h = MODEM_STATUS 寄存器中至少有一个未屏蔽位为高电平
13	RESERVED	R	0h	
12	OTP_BUSY	R	1h	上电时，OTP 繁忙状态 = 1h，此时 OTP 正在加载到修整锁存器中。 0h = OTP 已完成加载到器件中 1h = OTP 正在加载到器件中
11	RESERVED	R	0h	
10	MBIST_DONE	R	0h	MBIST 已完成。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = MBIST 尚未完成；1h = MBIST 已完成
9	MBIST_FAIL	R	0h	MBIST 已失败。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = MBIST 已通过；1h = MBIST 已失败
8	RESET	R	1h	发生器件复位。仅限状态。不馈送 IRQ。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 自上次读取寄存器以来器件尚未复位 1h = 自上次读取寄存器以来器件已复位
7	SR_BUSYn	R	1h	压摆率不忙。可屏蔽故障。 0h = DAC 正在转换到目标代码 1h = DAC_OUT 已达到 DAC_DATA。 如果禁用了压摆率，则该信号会在 3 个内部时钟周期内产生上升沿。如果启用了压摆率，则当 DAC_OUT 达到 DAC_DATA 时，该信号会创建 IRQ 事件。此时可以安全地禁用压摆率。如果在 DAC_OUT = DAC_DATA 之前禁用了压摆率，则会发生 DAC_OUT 跳转。这种情况可能会导致 VOUT 上出现不必要的快速转换。
6	ADC_EOC	R	0h	ADC 转换结束 (EOC)。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 自上次读取寄存器以来无 EOC；1h = ADC 转换结束
5	ADC_BUSY	R	0h	ADC 繁忙。仅限状态。不馈送 IRQ。有效信号，只要条件成立就会设置。 0h = 无 ADC 活动；1h = ADC 正在主动转换
4	PVDD_HI	R	0h	PVDD 高电平。仅限状态。不馈送 IRQ。只要条件成立就会设置。 0h = PVDD < 2.7V；1h = PVDD ≥ 2.7V
3	BREAK_ FRAME_ERR	R	0h	中断字符期间的停止位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无中断帧错误；1h = 中断帧错误
2	BREAK_ PARITY_ERR	R	0h	中断字符期间的奇偶校验（奇数）位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无中断奇偶校验错误；1h = 中断奇偶校验错误
1	UART_ FRAME_ERR	R	0h	UART 字符期间的停止位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 UART 帧错误；1h = UART 帧错误

Copyright © 2026 Texas Instruments Incorporated

表 6-40. GEN_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
0	UART_ PARITY_ERR	R	0h	UART 字符期间的奇偶校验（奇数）位不正确。可屏蔽故障。适用于 UARTIN。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 UART 奇偶校验错误；1h = UART 奇偶校验错误

6.6.1.27 MODEM_STATUS 寄存器（偏移 = 22h）[复位 = 009Ah]

返回到寄存器映射。

表 6-41. MODEM_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	ALARM_IRQ	R	0h	警报 IRQ ALARM_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = ALARM_STATUS 寄存器的所有未屏蔽位均为低电平 1h = ALARM_STATUS 寄存器中至少有一个未屏蔽位为高电平
14	GEN_IRQ	R	0h	通用 IRQ GEN_STATUS 寄存器中所有未屏蔽位的“或”运算。 0h = GEN_STATUS 寄存器的所有未屏蔽位均为低电平 1h = GEN_STATUS 寄存器中至少有一个未屏蔽位为高电平
13	RESERVED	R	0h	
12	GAP_ERR	R	0h	HART 间隙错误。可屏蔽故障。适用于 RX_IN/RX_INF。 HART 字符之间的时间过长（11 位时间）。 粘滞，通过读取寄存器清除，除非情况仍然存在。致命故障。 0h = 无 HART 间隙错误；1h = HART 间隙错误
11	FRAME_ERR	R	0h	HART 字符中的停止位不正确。可屏蔽故障。适用于 RX_IN/RX_INF。 粘滞，通过读取寄存器清除，除非情况仍然存在。致命故障。 0h = 无 HART 帧错误；1h = HART 帧错误
10	PARITY_ERR	R	0h	HART 字符中的奇偶校验（奇数）位不正确。可屏蔽故障。适用于 RX_IN/RX_INF。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 无 HART 奇偶校验错误；1h = HART 奇偶校验错误
9	FIFO_H2U_ LEVEL_FLAG	R	0h	FIFO HART-to-µC 级别标志。可屏蔽故障。 如果 FIFO_H2U 的级别已满，则级别标志不会置为有效，但满标志会置为有效，因此不会丢失任何信息。 0h = FIFO_H2U 级别 ≤ {FIFO_CFG.H2U_LEVEL_SET[3:0], 1b1} 1h = FIFO_H2U 级别 > {FIFO_CFG.H2U_LEVEL_SET[3:0], 1b1}
8	FIFO_H2U_ FULL_FLAG	R	0h	FIFO HART-to-µC 满标志。可屏蔽故障。 0h = FIFO_H2U 未满；1h = FIFO_H2U 已满
7	FIFO_H2U_ EMPTY_FLAG	R	1h	FIFO HART-to-µC 空标志。可屏蔽故障。 0h = FIFO_H2U 不为空；1h = FIFO_H2U 为空
6	FIFO_U2H_ LEVEL_FLAG	R	0h	FIFO µC-to-HART 级别标志。可屏蔽故障。 FIFO_U2H < {FIFO_CFG.U2H_LEVEL_SET[3:0], 1b0}。当 FIFO_U2H 为空时，除非 FIFO_CFG.U2H_LEVEL_SET = 0，否则会设置该标志。该标志和空标志可以同时设置。 0h = FIFO_U2H 级别 ≥ {FIFO_CFG.U2H_LEVEL_SET[3:0], 1b0} 1h = FIFO_U2H 级别 < {FIFO_CFG.U2H_LEVEL_SET[3:0], 1b0}
5	FIFO_U2H_ FULL_FLAG	R	0h	FIFO µC-to-HART 满标志。可屏蔽故障。 0h = FIFO_U2H 未满；1h = FIFO_U2H 已满
4	FIFO_U2H_ EMPTY_FLAG	R	1h	FIFO µC-to-HART 空标志。可屏蔽故障。 0h = FIFO_U2H 不为空；1h = FIFO_U2H 为空
3	CD_DEASSERT	R	1h	载波检测置为无效。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 载波检测置为有效；1h =载波检测置为无效
2	CD_ASSERT	R	0h	载波检测置为有效。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 载波检测置为无效；1h =载波检测置为有效
1	CTS_DEASSERT	R	1h	允许发送置为无效。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 允许发送置为有效；1h = 允许发送置为无效

Copyright © 2026 Texas Instruments Incorporated

表 6-41. MODEM_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
0	CTS_ASSERT	R	0h	允许发送置为有效。可屏蔽故障。 粘滞，通过读取寄存器清除，除非情况仍然存在。 0h = 允许发送置为无效；1h = 允许发送置为有效

Copyright © 2026 Texas Instruments Incorporated

6.6.1.28 ADC_FLAGS 寄存器（偏移 = 23h）[复位 = 0000h]

返回到寄存器映射。

自诊断 (SD) 警报 ADC 阈值的限值如表 6-7 所示。

表 6-42. ADC_FLAGS 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	
8	SD4_FAIL	R	0h	SD4 (VOUT) 限制失败
7	SD3_FAIL	R	0h	SD3 (ZTAT) 限制失败
6	SD2_FAIL	R	0h	SD2 (VDD) 限制失败
5	SD1_FAIL	R	0h	SD1 (PVDD) 限制失败
4	SD0_FAIL	R	0h	SD0 (VREF) 限制失败
3	TEMP_FAIL	R	0h	TEMP 限制失败
2	AIN1_FAIL	R	0h	AIN1 限制失败
1	AIN0_FAIL	R	0h	AIN0 限制失败
0	RESERVED	R	0h	

6.6.1.29 ADC_AIN0 寄存器（偏移 = 24h）[复位 = 0000h]

返回到寄存器映射。

表 6-43. ADC_AIN0 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	
11-0	DATA	R	0h	引脚 AIN0 上的电压的转换值

6.6.1.30 ADC_AIN1 寄存器（偏移 = 25h）[复位 = 0000h]

返回到寄存器映射。

表 6-44. ADC_AIN1 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	
11-0	DATA	R	0h	引脚 AIN1 上的电压的转换值

6.6.1.31 ADC_TEMP 寄存器（偏移 = 26h）[复位 = 0000h]

返回到寄存器映射。

表 6-45. ADC_TEMP 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	
11-0	DATA	R	0h	温度的转换值

Copyright © 2026 Texas Instruments Incorporated

6.6.1.32 ADC_SD_MUX 寄存器（偏移 = 27h）[复位 = 0000h]

返回到寄存器映射。

表 6-46. ADC_SD_MUX 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	
11-0	DATA	R	0h	自诊断 (SD) 多路复用器输入端的电压的转换值

6.6.1.33 ADC_OFFSET 寄存器（偏移 = 28h）[复位 = 0000h]

返回到寄存器映射。

表 6-47. ADC_OFFSET 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	
11-0	DATA	R	0h	ADC 比较器偏移 该值报告器件中测量的偏移，可用于调整每个转换值。如果设置了 ADC_BYP.OFST_BYP_EN，则使用 ADC_BYP.DATA 中的值作为偏移。该值不受 ADC_BYP 影响。

6.6.1.34 FIFO_H2U_RD 寄存器（偏移 = 2Ah）[复位 = 0200h]

返回到寄存器映射。

表 6-48. FIFO_H2U_RD 寄存器字段说明

位	字段	类型	复位	说明
15-12	等级	R	0h	级别 FIFO_H2U 的当前级别，位 [4:1] 表示为 Level[3:0]。预出队。
11	LEVEL_FLAG	R	0h	HART-to-µC FIFO 级别标志 当 FIFO_H2U 级别 > {Level,1b1} 时设置。预出队。 0h = FIFO_H2U 级别 ≤ {Level, 1b1} 1h = FIFO_H2U 级别 > {Level, 1b1}
10	FULL_FLAG	R	0h	HART-to-µC FIFO 满标志。预出队。 0h = FIFO_H2U 未满，预出队 1h = FIFO_H2U 已满，预出队
9	EMPTY_FLAG	R	1h	HART-to-µC FIFO 空标志。预出队。 0h = FIFO_H2U 不为空 1h = FIFO_H2U 为空
8	奇偶校验	R	0h	奇偶校验位（奇数） 在 HART 上随数据一起接收到的奇偶校验位。仅当 CONFIG.UART_DIS = 1 时，该字段才能由 SPI 读取。否则，从该寄存器进行的读取将被忽略，不会使 FIFO 出队。在数据写入 FIFO 之前，默认值是未知的。
7-0	DATA	R	0h	数据 HART 上接收到的 8 位数据。仅当 CONFIG.UART_DIS = 1 时，该字段才能由 SPI 读取。否则，从该寄存器进行的读取将被忽略，不会使 FIFO 出队。在数据写入 FIFO 之前，默认值是未知的。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.35 FIFO_STATUS 寄存器（偏移 = 2Bh）[复位 = 0202h]

返回到寄存器映射。

提供 FIFO_STATUS 寄存器是为了允许用户查看两个 FIFO 的状态，而无需使 FIFO 中的数据入队或出队。此外，还允许在不干扰 MODEM_STATUS 寄存器中其他状态位的情况下查看标志。提供该寄存器是为了让用户能够在不干扰器件内其他功能的情况下检查 FIFO 状态寄存器。

表 6-49. FIFO_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-12	H2U_LEVEL	R	0h	HART-to-µC FIFO 级别 FIFO_H2U 的当前级别，右移 1 位 (>>1)，因此仅表示偶数。
11	H2U_LEVEL_FLAG	R	0h	HART-to-µC FIFO 级别标志 当 FIFO 级别 > {Level,1b1} 时设置。 0h = FIFO_H2U 级别 ≤ {Level, 1b1} 1h = FIFO_H2U 级别 > {Level, 1b1}
10	H2U_FULL_FLAG	R	0h	HART-to-µC FIFO 满标志 当 FIFO 已满时设置。 0h = FIFO_H2U 未满 1h = FIFO_H2U 已满
9	H2U_EMPTY_FLAG	R	1h	HART-to-µC 空标志 当 FIFO 为空时设置。 0h = FIFO_H2U 不为空 1h = FIFO_H2U 为空
8	RESERVED	R	0h	
7-4	U2H_LEVEL	R	0h	µC-to-HART FIFO 级别 FIFO_U2H 的当前级别，右移 1 位 (>>1)，因此仅表示偶数
3	U2H_LEVEL_FLAG	R	0h	µC-to-HART FIFO 级别标志 当 FIFO_U2H 级别 < {Level,1b0} 时设置。 0h = FIFO_U2H 级别 ≥ {Level, 1b0} 1h = FIFO_U2H 级别 < {Level, 1b0}
2	U2H_FULL_FLAG	R	0h	µC-to-HART 满标志 当 FIFO_U2H 已满时设置。 0h = FIFO_U2H 未满 1h = FIFO_U2H 已满
1	U2H_EMPTY_FLAG	R	1h	µC-to-HART 空标志 当 FIFO_U2H 为空时设置。 0h = FIFO_U2H 不为空 1h = FIFO_U2H 为空
0	RESERVED	R	0h	

6.6.1.36 DAC_OUT 寄存器（偏移 = 2Ch）[复位 = 0000h]

返回到寄存器映射。

表 6-50. DAC_OUT 寄存器字段说明

位	字段	类型	复位	说明
15-0	DATA	R	0h	应用于模拟电路的 DAC 代码

Copyright © 2026 Texas Instruments Incorporated

6.6.1.37 ADC_OUT 寄存器（偏移 = 2Dh）[复位 = 0000h]

返回到寄存器映射。

表 6-51. ADC_OUT 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	
11-0	DATA	R	0h	每次转换的 ADC 数据 不包括 ADC_OFFSET.DATA 调整。不受 ADC_BYP.DATA 影响。

6.6.1.38 ADC_BYP 寄存器（偏移 = 2Eh）[复位 = 0000h]

返回到寄存器映射。

ADC_BYP 寄存器字段说明中显示了 ADC_BYP。

表 6-52. ADC_BYP 寄存器字段说明

位	字段	类型	复位	说明
15	DATA_BYP_EN	R/W	0h	数据旁路使能 将 ADC_BYP.DATA 应用于要转换的 ADC 通道。ADC_OFFSET 被忽略。请勿同时设置 OFST_BYP_EN 和 DATA_BYP_EN。如果还设置了 OFST_BYP_EN，则 DATA_BYP_EN 优先于 OFST_BYP_EN。转换通道后，ADC_BYP.DATA 值出现在转换的通道的回读寄存器中，用于计算故障。 0h = 禁用数据旁路（默认值） 1h = 启用数据旁路
14	OFST_BYP_EN	R/W	0h	偏移旁路使能 使用 ADC_BYP.DATA 值覆盖偏移寄存器。使用该位时，ADC_BYP.DATA 字段作为二进制补码处理。请勿同时设置 OFST_BYP_EN 和 DATA_BYP_EN。 0h = 禁用偏移旁路（默认值） 1h = 启用偏移旁路
13	DIS_GND_SAMP	R/W	0h	禁用 GND 采样 该位在 SAR 活动期间禁用 GND 采样。GND 采样用于对采样电容器进行完全放电以减少通道串扰。 0h = 启用 GND 采样（默认值） 1h = 禁用 GND 采样
12	RESERVED	R	0h	
11-0	DATA	R/W	0h	旁路数据

Copyright © 2026 Texas Instruments Incorporated

6.6.1.39 FORCE_FAIL 寄存器（偏移 = 2Fh）[复位 = 0000h]

返回到寄存器映射。

强制失败以进行故障检测。

表 6-53. FORCE_FAIL 寄存器字段说明

位	字段	类型	复位	说明
15	CRC_FLT	R/W	0h	通过反转 CRC 字节在 SDO 上强制 CRC 失败 0h = 不强制 CRC 失败（默认值） 1h = 强制 CRC 失败
14	VREF_FLT	R/W	0h	强制基准电压失败。模拟信号。 0h = 不强制 VREF 失败（默认值） 1h = 强制 VREF 失败
13	THERM_ERR_FLT	R/W	0h	强制温度 > 130°C 热错误。模拟信号。 0h = 不强制温度 > 130°C 错误（默认值） 1h = 强制温度 > 130°C 错误
12	THERM_WARN_FLT	R/W	0h	强制温度 > 85°C 热警告。模拟信号。 0h = 不强制温度 > 85°C 警告（默认值） 1h = 强制温度 > 85°C 警告
11-10	RESERVED	R/W	0h	
9	SD4_HI_FLT	R/W	0h	SD4 (VOUT) 上限失败。ADC 测量。 0h = 不强制 SD4 (VOUT) 失败（默认值） 1h = 强制 SD4 (VOUT) 失败
8	SD4_LO_FLT	R/W	0h	SD4 (VOUT) 下限失败。ADC 测量。 0h = 不强制 SD4 (VOUT) 失败（默认值） 1h = 强制 SD4 (VOUT) 失败
7	SD3_HI_FLT	R/W	0h	SD3 (ZTAT) 上限失败。ADC 测量。 0h = 不强制 SD3 (ZTAT) 失败（默认值） 1h = 强制 SD3 (ZTAT) 失败
6	SD3_LO_FLT	R/W	0h	SD3 (ZTAT) 下限失败。ADC 测量。 0h = 不强制 SD3 (ZTAT) 失败（默认值） 1h = 强制 SD3 (ZTAT) 失败
5	SD2_HI_FLT	R/W	0h	SD2 (VDD) 上限失败。ADC 测量。 0h = 不强制 SD2 (VDD) 失败（默认值） 1h = 强制 SD2 (VDD) 失败
4	SD2_LO_FLT	R/W	0h	SD2 (VDD) 下限失败。ADC 测量。 0h = 不强制 SD2 (VDD) 失败（默认值） 1h = 强制 SD2 (VDD) 失败
3	SD1_HI_FLT	R/W	0h	SD1 (PVDD) 上限失败。ADC 测量。 0h = 不强制 SD1 (PVDD) 失败（默认值） 1h = 强制 SD1 (PVDD) 失败
2	SD1_LO_FLT	R/W	0h	SD1 (PVDD) 下限失败。ADC 测量。 0h = 不强制 SD1 (PVDD) 失败（默认值） 1h = 强制 SD1 (PVDD) 失败
1	SD0_HI_FLT	R/W	0h	SD0 (VREF) 上限失败。ADC 测量。 0h = 不强制 SD0 (VREF) 失败（默认值） 1h = 强制 SD0 (VREF) 失败

Copyright © 2026 Texas Instruments Incorporated

表 6-53. FORCE_FAIL 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SD0_LO_FLT	R/W	0h	SD0 (VREF) 下限失败。ADC 测量。 0h = 不强制 SD0 (VREF) 失败（默认值） 1h = 强制 SD0 (VREF) 失败

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

AFEx81H1 是具有极低功耗的 16 位和 14 位电压输出 DAC。DAC 支持 0.15V 至 1.25V 的低输出范围或 0.3V 至 2.5V 的高输出范围。这些器件具有板载振荡器和可选的精密内部基准。对于环路供电式 4mA 至 20mA 应用，将这些输出值与电压至电流 (V-I) 转换器级搭配使用。这些器件还具有 SAR ADC，用于测量内部和外部节点，以便通过故障检测和警报操作进行诊断测量。这些诊断测量与 CRC 和看门狗计时器监控功能结合使用，即可实现器件和系统的功能安全监控。

AFEx81H1 器件借助高速可寻址远程传感器 (HART) 协议通过 SPI 或 UART 通信支持调制解调器功能。现场变送器会使用 SPI 或 UART 通过调制和解调来创建 HART 接口。通过器件内部或外部的带通滤波可以解调输入。

AFEx81H1 可以在采用 1.8V 电源的情况下使用超低功耗运行。对于低电压运行，请使用具有 1.8V 标称电源和 1.71V 至 1.89V 工作电压范围的 PVDD。数字接口电源 IOVDD 的运行范围为 1.71V 至 5.5V。在低电压运行期间，VDD LDO 会自动禁用，而 VDD 会连接到 PVDD。低电压运行使得现场变送器应用的功耗更低，并且当环路中存在高电阻时，可以更好地实现电压适配性。

在由较高电源供电的情况下，PVDD 的工作电压范围为 2.7V 至 5.5V。在这种工作范围内，VDD 由板载 LDO 供电。

Copyright © 2026 Texas Instruments Incorporated

7.1.1 多通道配置

由于集成了用于 HART 通信的接收和发送 FIFO，因此可以使用“仅 SPI”接口轻松实现多通道配置的可扩展性。由于通信需要 $\overline{CS}$ 低电平，且 SDO 可以设置为三态条件，因此系统中的所有 AFEx81H1 器件只需要来自微控制器的单独 $\overline{CS}$ 信号。SDI、SDO 和 SCLK 信号可以组合。所有单独的 $\overline{ALARM}$ 引脚均可通过有线“或”逻辑连接在一起。这样做可以最大限度减少通信所需的微控制器 GPIO 信号数量以及隔离式系统的隔离通道数量。图 7-1 中显示了多通道配置方框图。

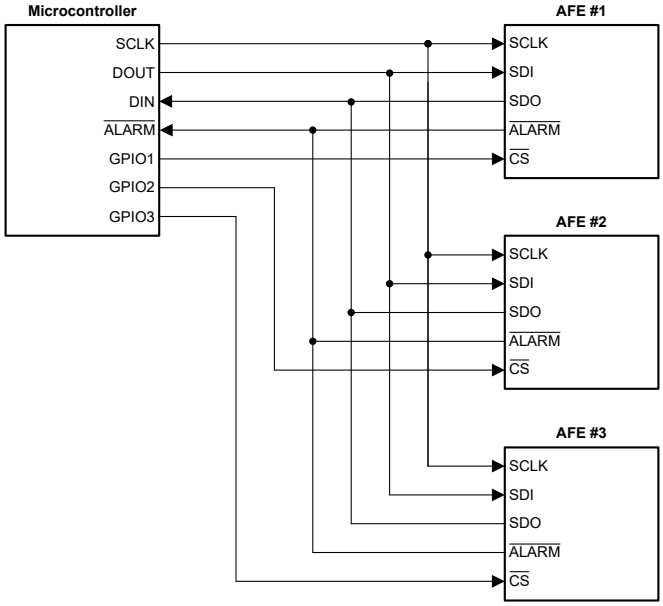


图 7-1. 多通道配置

7.2 典型应用

该设计示例展示了采用 AFE881H1 的环路供电式 4mA 至 20mA 现场变送器。AFE781H1 也可以在该设计中用于低分辨率应用。

该设计示例结合了几个电路元件，以创建一个子系统，该子系统可以支持双线电流环路应用中的大多数现场传感器。该设计可以接受 12V 至 36V 的总线电压，同时可以将传感器的环路电流表示结果调节为室温下总误差小于 0.1% 满标量程 (FSR) 的校准后精度。系统中的高集成度可实现紧凑电路，从而使该器件成为空间受限的现场变送器的理想选择。在现场变送器应用中，电流环路变送器、微控制器、传感器和模拟前端的最小总线电流消耗都需要小于 3mA。在系统中使用集成的直流/直流转换器来扩展当前预算，并为传感器和 AFE 提供更多电流。

图 7-2 显示了环路供电式 4mA 至 20mA 现场变送器的原理图。

Copyright © 2026 Texas Instruments Incorporated

7.2.1 4mA 至 20mA 电流变送器

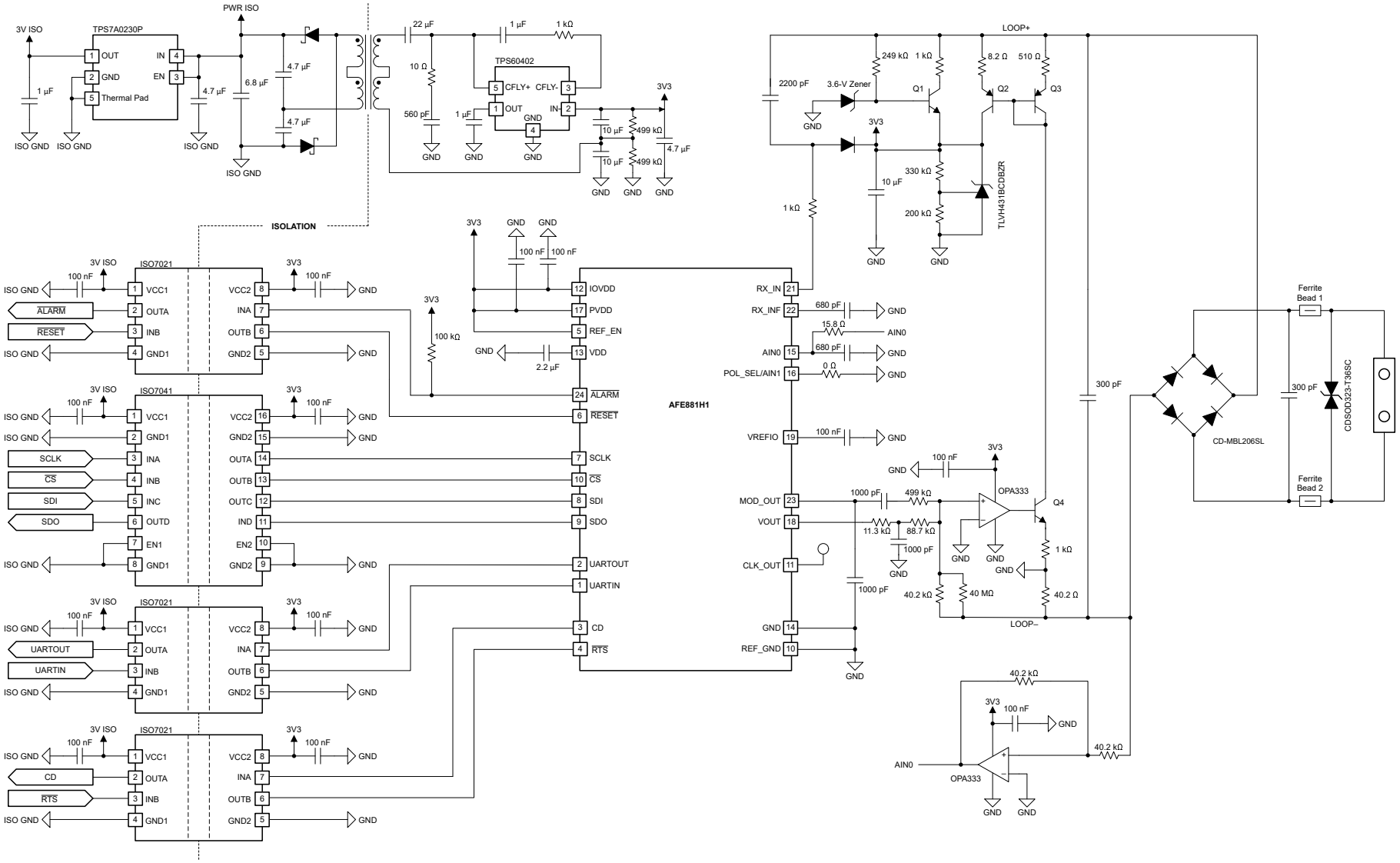


图 7-2. 4mA 至 20mA 电流变送器中的 AFEx81H1

Copyright © 2026 Texas Instruments Incorporated

7.2.1.1 设计要求

设计要求包括：

- 变送器的电流输出范围为 4mA 至 20mA，用于过程变量信号
- 错误或故障信号电平的电流输出能力超出范围 3mA 到 25mA
- 在 12V 至 30V 的标准工业自动化电源电压下运行
- 电流和电压输出在 25°C 时的 TUE 小于 0.5%
- 板载总电流必须小于或者等于 3mA

7.2.1.2 详细设计过程

图 7-3 显示了环路供电式 4mA 至 20mA 电流变送器的方框图。

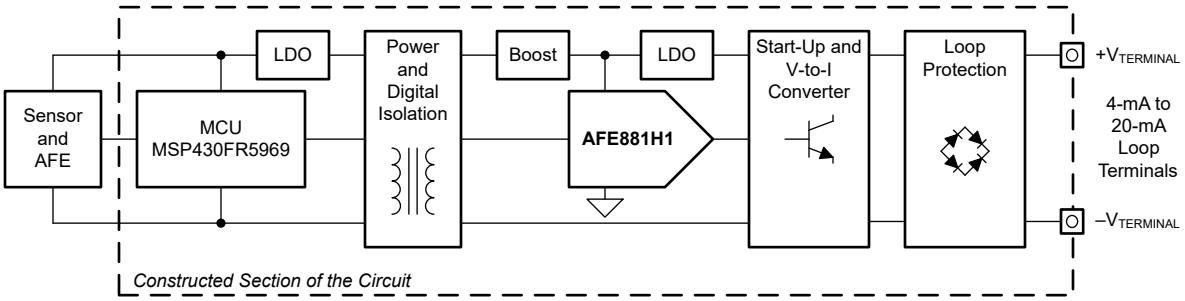


图 7-3. 环路供电式 4mA 至 20mA 电流变送器的方框图

连接到环路的端子显示在方框图的右侧。与环路的连接将为整个变送器供电。输入端的桥式整流器可防止与环路的反向连接。整流后的环路电压为启动电路供电，而启动电路为 LDO 供电，进而为 AFE881H1 供电。LDO 为用作升压转换器的反激式转换器供电并穿过隔离栅供电。在隔离栅的另一侧，另一个 LDO 为 MCU 以及连接到变送器的所有传感器供电。LDO 还为隔离栅每一侧的数字信号隔离供电。

AFE881H1 控制流经电压至电流 (V-I) 转换器块的环路电流。DAC 电压将输出设置为 0.3V 至 2.5V 之间的值。该输出通过使用 OPA333 和 NPN 双极结型晶体管 (BJT) 的 V-I 转换器块进行发送。

Copyright © 2026 Texas Instruments Incorporated

7.2.1.2.1 启动电路

在对端子应用环路时，环路电源启动电路板。来自图 7-2 的晶体管 Q4 从变送器的启动部分和分流稳压器部分拉出电流。该启动电路如图 7-4 所示。

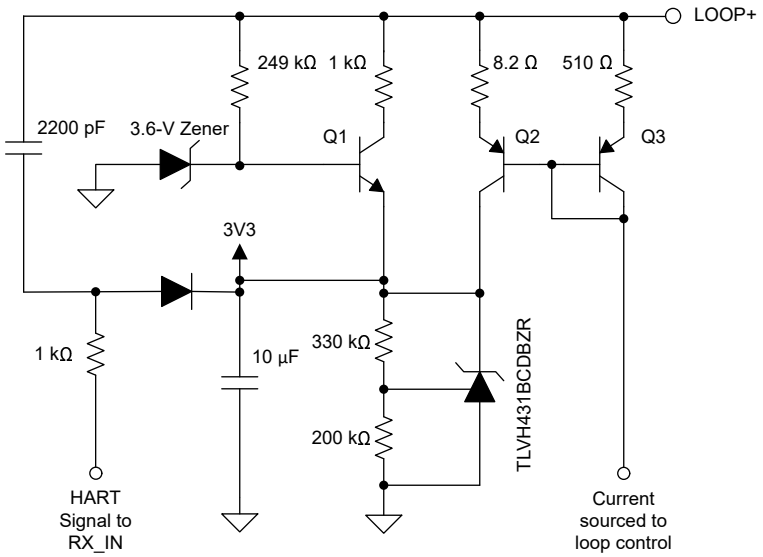


图 7-4. 启动电路

在启动电路中，3.6V 齐纳二极管设置 Q1 的基极电压。如果 TLVH431B 并联稳压器尚未启动，则向 LOOP+ 和 LOOP – 施加电压以导通 Q1 并向并联稳压器提供电流。当并联稳压器开启并接近 3.3V 的设定电压时，Q1 的基极 — 发射极电压 (V_{BE}) 会变小。Q2 的集电极电流驱动并联稳压器的电流，以设置流经电流环路控制电路中 40.2Ω 电阻器的环路电流，如下一节所示。启动电路启动后，Q1 停止提供电流，因为 V_{BE} 受到限制。Q1 关断，留下几微安的电流流过 3.6V 齐纳二极管。

选择齐纳二极管时要小心。齐纳二极管上的电压随环路电压和电路温度的变化而变化。这种变化会改变 Q1 两端的 V_{BE} 并改变流经启动电路的总电流。如果电压过高，则齐纳二极管会将 Q1 设置为在电路启动后继续提供电流。如果电压过低，则齐纳二极管会阻止 TLVH431B 开启。通过在运行期间检查 3.3V 电源是否启动以及 Q1 是否关断，验证是否正确启动。

当电路启动且 3V3 线路达到所需的 3.3V 电源电平时，流经 TLVH431B 的电流主要通过 Q2 提供。Q2 晶体管必须能够耗散足够的功率，以处理环路中的高电流 (20mA) 和高电压 (>30V)。由于偏置晶体管 Q2 负责提供大部分输出电流，因此应在此电流路径中选择具有适当额定功率的元件。在本例中，8.2Ω 电阻器的额定功率为 0.25W。

电流镜经过适当设置，以使 Q3 到 Q2 的电流增益大约为 60 × 的系数。只要流经 Q3 的电流较低，确切的电流增益并不重要。

除启动电路外，RX_IN 的 HART 输入的直流阻断电容器的串联电阻为 1kΩ。一个二极管将该引脚钳制到器件电源，并且电阻将限制输入电流。该配置可以保护 RX_IN 不会在电路启动时因过压事件而损坏。

Copyright © 2026 Texas Instruments Incorporated

7.2.1.2.2 电流环路控制

如果在范围 0 中配置 PVDD > 2.7V，则 AFE881H1 将输出电压设置为 0.3V 至 2.5V。图 7-5 显示了根据 DAC 输出电压设置环路电流的反馈电路。

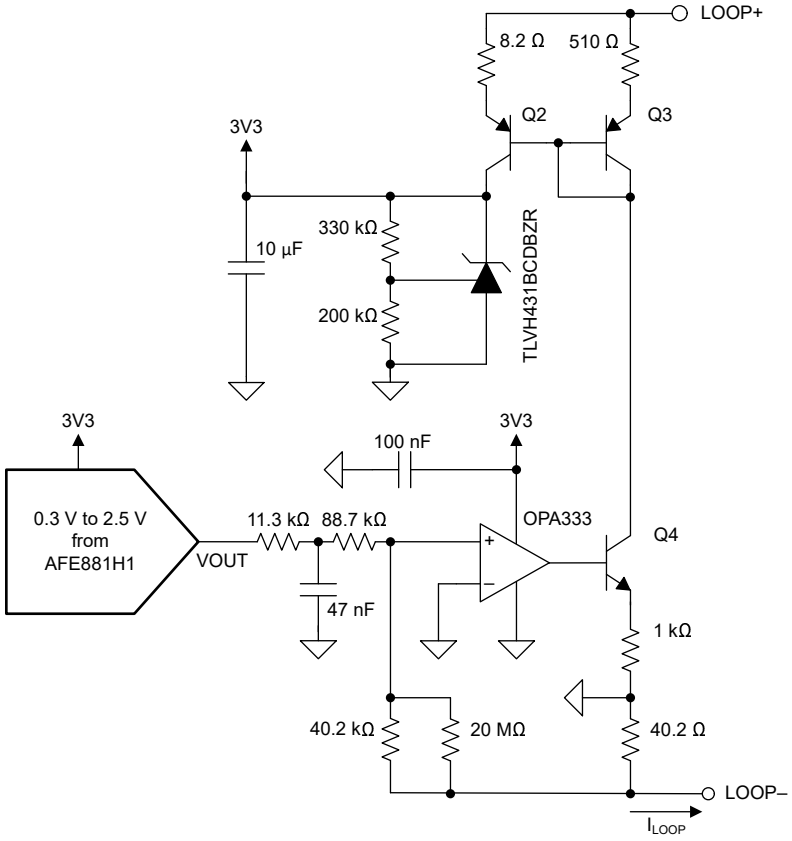


图 7-5. AFE881H1 变送器的电流环路控制

在该电路中，AFE881H1 将 VOUT 电压设置为 100kΩ 的电阻（从 11.3kΩ 加 88.7kΩ 的串联电阻）。100kΩ 电阻的另一端通过 OPA333 的反馈设置为地。100kΩ 电阻上的电流为 VOUT 除以 100kΩ。该电流继续流过 40.2kΩ 电阻器，使 LOOP – 上的电压小于接地。方程式 11 计算 LOOP – 处的电压。

$$V_{LOOP-} = -(VOUT / 100\ k\Omega) \times 40.2\ k\Omega = -VOUT \times 0.402 \quad (11)$$

当 DAC 输出电压设置为 0.3V 时，LOOP – 处的电压比接地端低 0.1206V。当 DAC 输出电压设置为 2.5V 时，LOOP – 处的电压比接地端低 1.005V。LOOP 电压设置了通过 40.2Ω 电阻器从接地端流向 LOOP – 的环路电流。该电流从地拉出，但由启动电路中 Q4 灌入的电流进行控制。方程式 12 用于计算环路电流。

$$I_{LOOP} = -V_{LOOP} / 40.2\ k\Omega \quad (12)$$

将方程式 12 代入方程式 11，得到方程式 13。

$$I_{LOOP} = VOUT \times 0.402 / 40.2\ \Omega = VOUT / 100\ \Omega \quad (13)$$

当 DAC 输出电压设置为 0.3V 时，环路电流为 3mA。当 DAC 输出电压设置为 2.5V 时，环路电流为 25mA。OPA333 驱动晶体管 Q4 的基极来拉取正确的电流量以设置反馈环路。从 LOOP+ 拉取的电流为电路板供电。超过通过 TLVH431B 稳压器为电路板分流所需电流的过大电流。

Copyright © 2026 Texas Instruments Incorporated

AFE881H1 通过输出代码设置 DAC 输出电压。此转换到输出电压通过设置方程式 1；V_{MIN} = 0.3V 和 FSR = 2.2V，结果为方程式 14。

$$VOUT = \frac{DAC_CODE}{2^{16}} \times 2.2\ V + 0.3\ V \tag{14}$$

在 4mA 至 20mA 系统中，标称输出以 4mA 作为低输出，20mA 作为高输出。不过，系统有时使用超出此范围的电流输出来指示不同的错误情况。3.375mA 和 21.75mA 的环路电流可用于指示不同的环路误差。表 7-1 显示了不同的环路输出电流以及使用的 DAC 代码和电压。

表 7-1. 基于 DAC 输出代码的 DAC 电压输出和环路电流

输出条件	DAC 编码	DAC 输出 (V)	环路电流 (mA)
DAC 最小值	0x0000	0.3	3
误差低	0x045D	0.3375	3.375
范围内的最小值	0x0BA2	0.4	4
范围内的中档值	0x68BA	1.2	12
范围内的最大值	0xC5D1	2.0	20
误差高	0xDA2E	2.175	21.75
DAC 最大值	0xFFFF	2.5	25

在设计中包含的无源器件中，选择具有严格公差的增益设置电阻器以实现高精度。这些电阻器主要用于设置电流环路的增益及输出电流的主路径。

与将 VOUT 引脚电压转换为环路电流幅度类似，MOD_OUT 引脚的 HART 输出也从电压转换为电流。一个 1000pF 的直流阻断电容器用于耦合 HART 信号，这样 MOD_OUT 引脚就不会产生直流输出偏移。从 MOD_OUT 来看，HART 正弦波标称输出为 500 mVpp。从方程式 15 可看出，此 V_{MOD} HART 正弦波电压施加在 499kΩ 电阻上，可产生信号电压 V_{LOOPAC} 并叠加在 V_{LOOP-} 上。

$$V_{LOOPAC} = (V_{MOD} / 499\ k\Omega) \times 40.2\ k\Omega = V_{MOD} \times 0.08056 \tag{15}$$

V_{LOOPAC} 电压决定了从地通过 40.2Ω 电阻流向 LOOP– 的 HART 调制环路电流。该电流从地拉出，但由启动电路中 Q4 灌入的电流进行控制。方程式 16 用于计算环路电流。

$$I_{LOOPAC} = V_{LOOPAC} / 40.2\ k\Omega \tag{16}$$

将方程式 15 代入方程式 16，得到方程式 17。

$$I_{LOOPAC} = V_{MOD} \times 0.08056/40.2\ \Omega = 500\ mV_{pp} \times 0.08056/40.2\ \Omega = 1\ mA_{pp} \tag{17}$$

通过使用作为直流阻断电容器的 1000pF 电容器以及 499kΩ 的电阻器，500mVpp MOD_OUT 信号会转换为电流环路上的 1mApp HART 信号。

7.2.1.2.3 输入保护和整流

图 7-6 所示为本设计中实施的简单保护方案，旨在减轻由总线上的电压和电流瞬态引起的问题。这些瞬态主要分为两类：高频瞬态和高能瞬态。为了应对这两类瞬态，可以利用保护电路的衰减和转移策略，从而提供可靠的抗扰性。

Copyright © 2026 Texas Instruments Incorporated

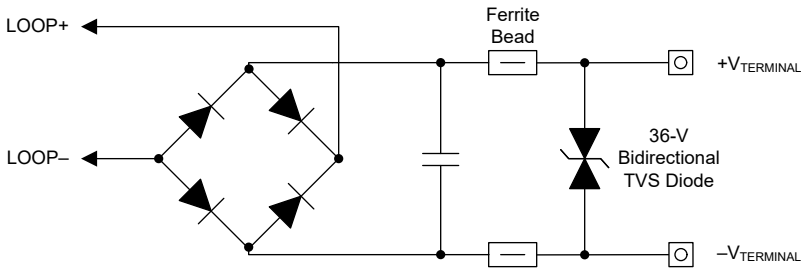


图 7-6. 环路输入保护

“衰减”策略使用无源器件（主要是电阻器和电容器）来衰减高频瞬态并限制串联电流。使用铁氧体磁珠可以保持直流精度，同时仍能够限制高频瞬态中的电流。该电路使用一个跨接输入端子的电容器以及与端子串联的铁氧体磁珠。

“转移”策略充分利用瞬态信号的高压特性，使用二极管来钳制电源电压中的瞬态或将能量从系统中转移出去。瞬态电压抑制器 (TVS) 二极管有助于防止瞬态，因为 TVS 二极管的击穿速度非常快，通常具有高额定功率，这些功率对于承受多种瞬态冲击至关重要。

设计中还采用了一个整流器来实现反极性保护，因此无论引脚方向或极性如何，该设计都可以连接到总线，而不会对设计造成损坏。

7.2.1.2.4 系统电流预算

在设计两线制变送器时，功耗是一项重要的考虑因素。环路供电的电源必须为与变送器和传感器相关的所有电路供电。两线制应用中的最小环路电流通常为 4mA。但是，为了进行误差指示，该电流可低至 3.375mA。因此，所有传感器电路的功率预算均必须小于允许的最大系统功率预算：3mA。表 7-2 列出了所有包含的有源器件的额定最大静态电流（由相应数据表提供）。

表 7-2. 典型器件电流

器件	说明	典型电流 (µA)
TPS7A0230	LDO	0.025
AFE881H1	16 位 DAC	190
OPA333 (2)	运算放大器	17
TLVH431B	并联稳压器	60
MSP430	微控制器	取决于固件
ISO7021D (2)、ISO7041F	数字隔离	取决于通信

Copyright © 2026 Texas Instruments Incorporated

7.2.1.3 应用曲线

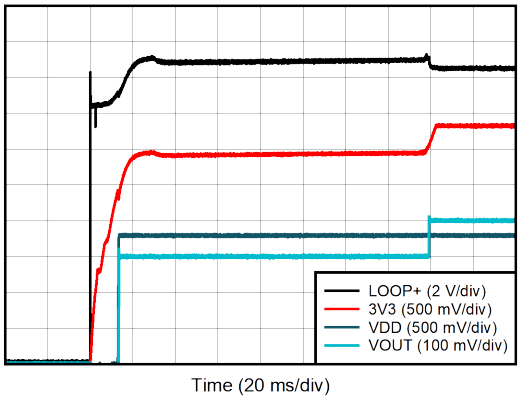


图 7-7. 电路启动

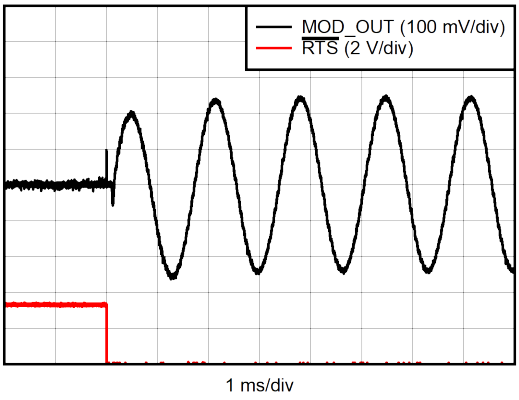


图 7-8. $\overline{\text{RTS}}$ 启动时序

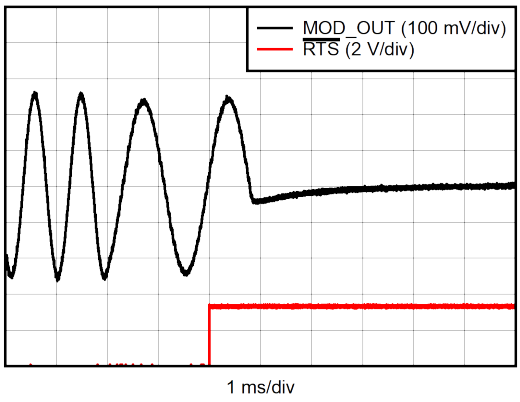


图 7-9. $\overline{\text{RTS}}$ 停止时序

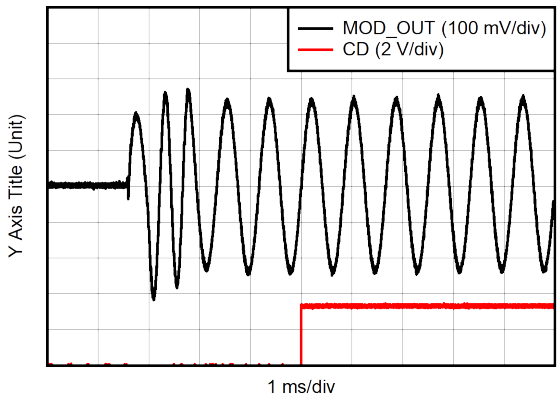


图 7-10. CD 启动时序

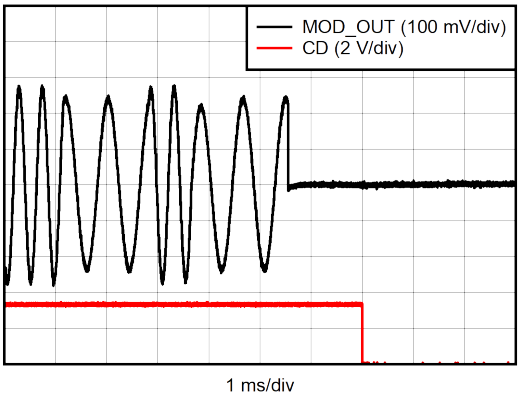


图 7-11. CD 停止时序

Copyright © 2026 Texas Instruments Incorporated

7.3 初始化设置

本节将介绍关于设置 AFEx81H1 的几项建议。

AFEx81H1 在启用 CRC 的情况下上电。如果器件需要在没有 CRC 的情况下运行，必须通过将 CONFIG 寄存器中的 CRC_EN 位设置为 0h 来禁用 CRC。请注意，写入该寄存器的命令首先在启用 CRC 的情况下完成。为了让器件正确解释命令，必须将 CRC 字节附加到命令。要在启动后禁用 CRC，请将 0x02 0x00 0x26 0x24 写入器件。前三个字节写入命令，最后一个字节是 CRC 字节。更多有关 CRC 的信息，请参阅节 6.5.2.3 中的通信说明。

AFEx81H1 也会在禁用 SDO 引脚的情况下上电。从任何器件寄存器进行读取以及在 SPI 模式下从 ADC 读取任何数据时，都需要 SDO。启用 SDO 的方法是将 0h 写入 CONFIG 寄存器中的 DSDO 位。另请参阅节 6.5.2.1 和节 6.5.2.2。

要启用 ADC，首先通过将 0h 写入 ADC_CFG 寄存器中的 BUF_PD 位来启用 ADC 缓冲器。如需了解如何在不同工作模式下使用 ADC，请参阅节 6.3.2。

7.4 电源相关建议

AFEx81H1 可以在施加到 PVDD 引脚的 2.7V 至 5.5V 单电源电压范围内运行。向 PVDD 提供 2.7V 至 5.5V 电压时，将启用一个内部 LDO 以在内部驱动 VDD。VDD 引脚必须具有 1 µ F 至 10 µ F 的电容才能运行。

AFEx81H1 还可以在施加到 PVDD 引脚的 1.71V 至 1.89V 较低电源电压下运行。当电压处于这一较低范围内时，内部 LDO 不工作，PVDD 引脚上的较低外部电源必须连接到 VDD 引脚。

数字接口电源 IOVDD 可在 1.71V 至 5.5V 的电源电压范围内运行。

开关电源和直流/直流转换器通常会在输出电压上产生高频毛刺脉冲或尖峰电压。此外，数字元件可能会产生类似的高频尖峰。这种噪声很容易通过电源连接和模拟输出之间的不同路径耦合进入 DAC 输出电压或电流。为进一步降低噪声，可使用大容量和局部去耦电容器。*电气特性* 中列出了 PVDD 和 IOVDD 引脚的电流消耗、电压输出的短路电流限制以及电流输出的电流范围。电源必须符合*建议运行条件* 中列出的要求。

Copyright © 2026 Texas Instruments Incorporated

7.5 布局

7.5.1 布局指南

为了最大限度提高 AFEx81H1 在任何应用中的性能，请遵循良好的布局规范和正确的电路设计。以下是特定于该器件的建议：

- 为了获得最佳性能，请将一个完整的 PCB 层专用于接地平面，在该层上不要进行任何其他信号布线。但是，根据特定终端设备施加的限制，专用接地平面并不总是可行。如果需要进行接地平面分离，请在 DAC 处直接连接平面。请勿在多个位置连接单个接地平面，因为这种配置会产生接地环路。
- IOVDD 和 PVDD 必须在各自引脚本地具有 100nF 去耦电容器。VDD 必须至少有一个用于内部 LDO 或用于外部 1.8V 电源的 1 µ F 去耦电容器。使用高质量陶瓷型 NP0 或 X7R 电容器可在整个温度范围内实现出色的性能，并可以获得超低的损耗因数。
- 将一个 100nF 基准电容器靠近 VREFIO 引脚放置。
- 避免在基准输入附近传送开关信号。
- 保持数字和模拟部分相对于数字和模拟元件正确放置。将模拟和数字电路分开，以便减少与相邻块的耦合，并尽可能降低模拟和数字返回电流之间的相互影响。
- 对于包含保护电路的设计：
  - 将 TVS 二极管或电容器等分流元件放置在靠近非板载连接器的位置，从而确保高能瞬态的返回电流不会损坏敏感器件。
  - 使用大而宽的布线来提供一条低阻抗路径，从而使高能瞬态从 I/O 引脚转移出去。

Copyright © 2026 Texas Instruments Incorporated

7.5.2 布局示例

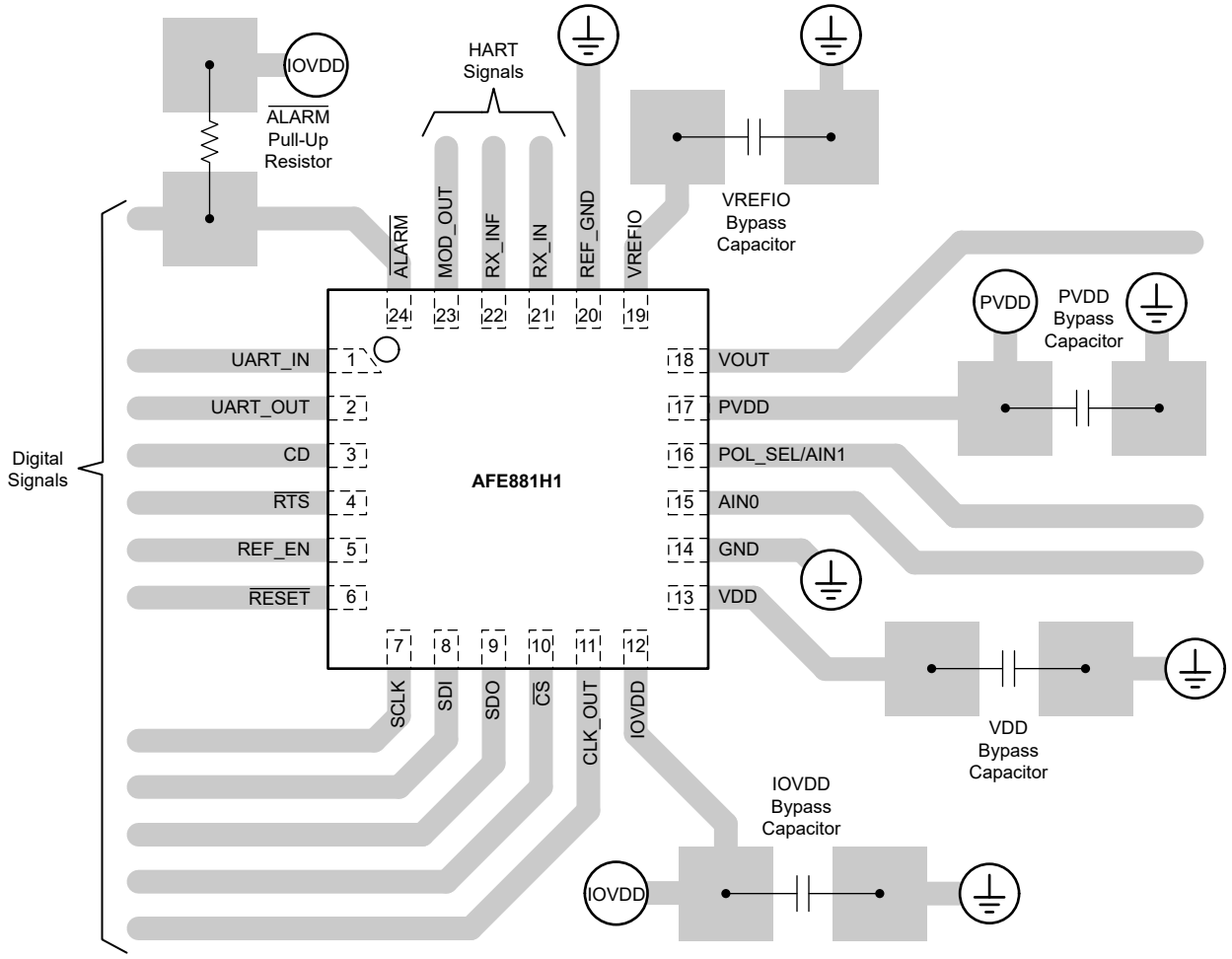


图 7-12. 布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，AFE881H1 评估模块用户指南
- 德州仪器 (TI)，HART 协议基本指南
- 德州仪器 (TI)，适用于 4-20mA 环路且支持 HART 的现场变送器的设计和测试
- 德州仪器 (TI)，基于评估模块设计且支持 HART 的变送器
- 德州仪器 (TI)，REF35 超低功耗高精度电压基准数据表
- 德州仪器 (TI)，OPA391 精密、超低 IQ、低失调电压、e-trim™ 运算放大器数据表
- 德州仪器 (TI)，ADS1220 具有集成 PGA 和基准的 4 通道 2kSPS 低功耗 24 位 ADC 数据表
- 德州仪器 (TI)，TPS7A16 具有使能和电源正常指示功能的 60V、5 μA IQ、100mA 低压降稳压器数据表
- 德州仪器 (TI)，TPS7A02 具有快速瞬态响应的毫微功耗 IQ、25nA、200mA 低压降稳压器数据表
- 德州仪器 (TI)，ISO7021 超低功耗双通道数字隔离器数据表
- 德州仪器 (TI)，用于 4mA 至 20mA 环路供电变送器的隔离式超低功耗设计指南
- 德州仪器 (TI)，隔离式环路供电热电偶变送器设计指南
- 德州仪器 (TI)，小外形尺寸、两线制、4-20mA 电流环路、RTD 温度变送器设计指南
- 德州仪器 (TI)，适用于低功耗应用的隔离式电源和数据接口参考设计
- 德州仪器 (TI)，适用于超低功耗和低功耗应用的独特高效隔离式直流/直流转换器设计指南

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
HART® is a registered trademark of FieldComm Group.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision * (March 2023) to Revision A (October 2026) **Page**

- 更改了将器件置于省电模式的复位说明，以关闭内部振荡器 3
- 添加了关于帧错误的说明 46
- 将图 6-21 中 SPI 控制器数据的 0x8F 更改为 0x84 51
- 向 *HART 调制器时序和前导码要求* 中添加了有关其他累积延迟的文本 51
- 删除了有关 1200 波特设置的文本 59
- 更新了 OSC_FAIL 位说明 72
- 添加了与设备相关的新应用程序注释的引用 110

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE781H1RRUR	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 781H1
AFE781H1RRUR.A	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 781H1
AFE781H1RRUT	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 781H1
AFE781H1RRUT.A	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 781H1
AFE881H1RRUR	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 881H1
AFE881H1RRUR.A	Active	Production	UQFN (RRU) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 881H1
AFE881H1RRUT	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 881H1
AFE881H1RRUT.A	Active	Production	UQFN (RRU) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	AFE 881H1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

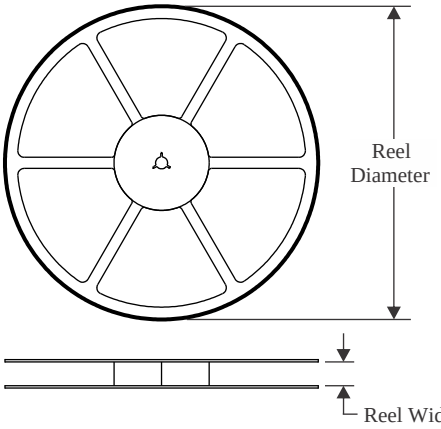
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

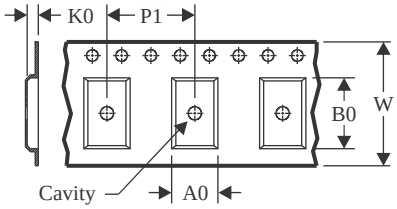
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

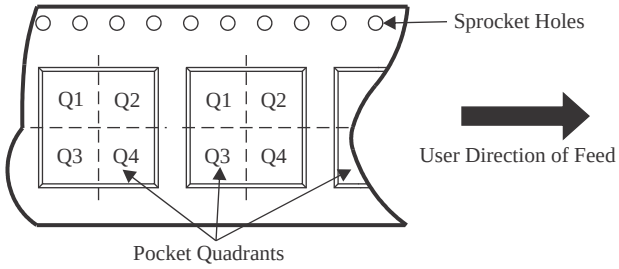


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

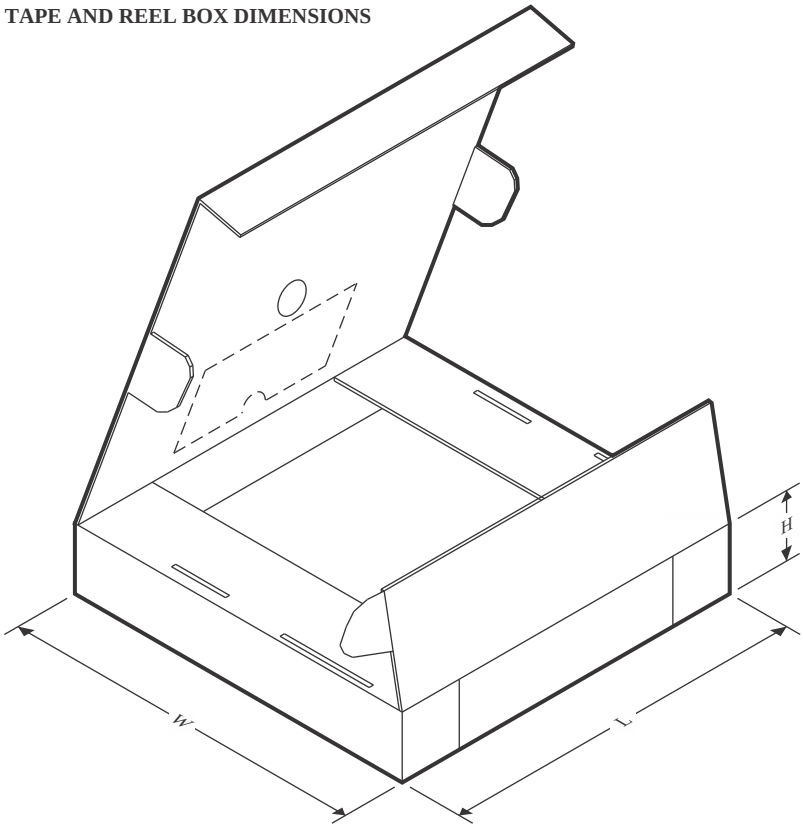
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AFE781H1RRUR	UQFN	RRU	24	3000	330.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2
AFE781H1RRUT	UQFN	RRU	24	250	180.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2
AFE881H1RRUR	UQFN	RRU	24	3000	330.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2
AFE881H1RRUT	UQFN	RRU	24	250	180.0	12.4	4.25	4.25	0.8	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

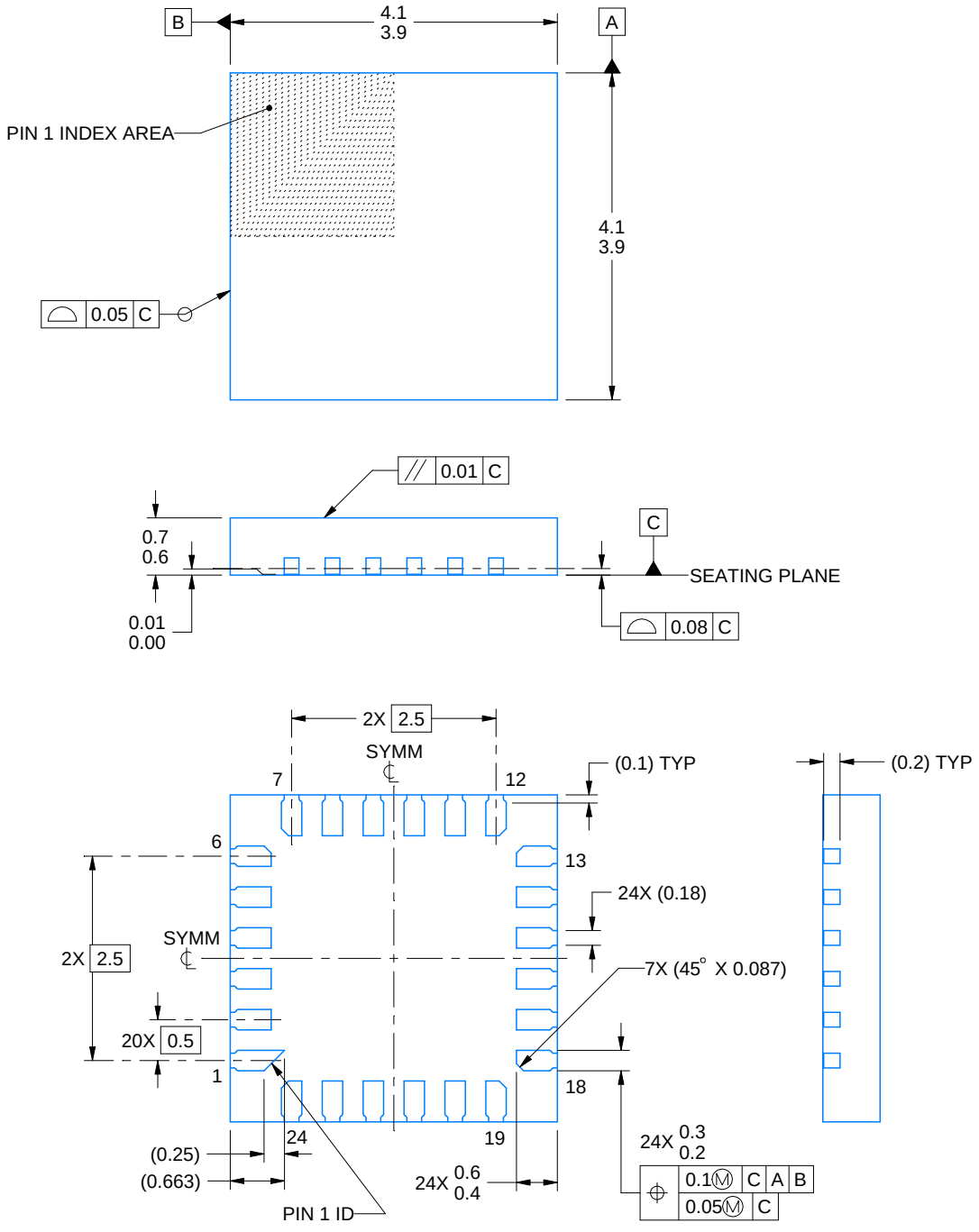
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AFE781H1RRUR	UQFN	RRU	24	3000	367.0	367.0	35.0
AFE781H1RRUT	UQFN	RRU	24	250	210.0	185.0	35.0
AFE881H1RRUR	UQFN	RRU	24	3000	360.0	360.0	36.0
AFE881H1RRUT	UQFN	RRU	24	250	210.0	185.0	35.0

PACKAGE OUTLINE

RRU0024A

UQFN - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

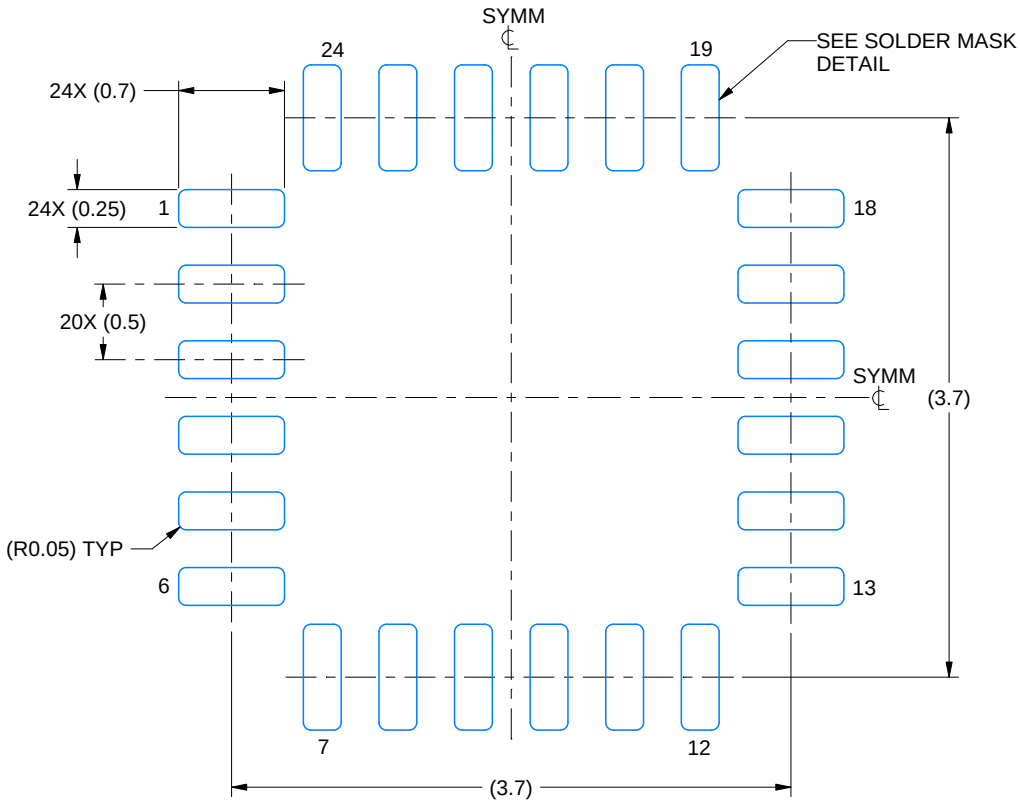
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

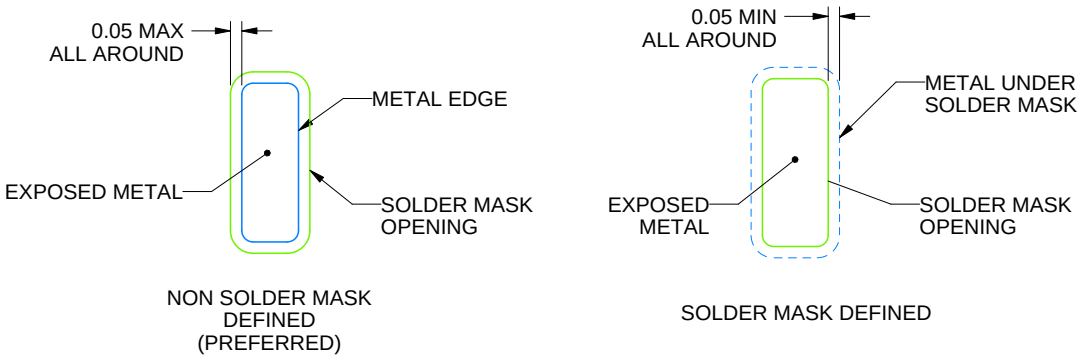
RRU0024A

UQFN - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

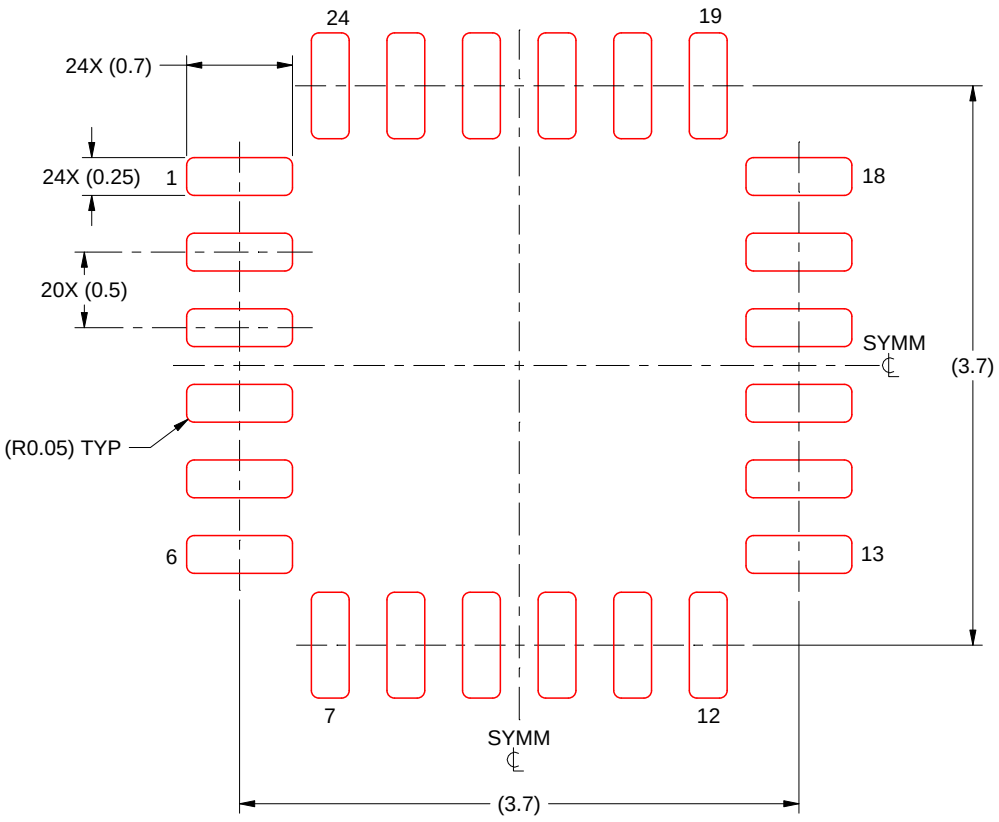


SOLDER MASK DETAILS

4225850/A 04/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4225850/A 04/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月