

ADS932x 双路、同步采样、小尺寸、16 位、5MSPS SAR ADC

1 特性

- 16 位 SAR ADC 系列
 - ADS9327 : 5MSPS/ch
 - ADS9326 : 3MSPS/ch
- 两个差分、同步采样通道
- 支持 5V 和 3.3V 模拟电源运行
- 出色的直流和交流性能：
 - SNR : 5MSPS 时 93.2dB
 - INL : $\pm 0.25\text{LSB}$, DNL : $\pm 0.2\text{LSB}$
- 特性集成：
 - 内部基准
 - 共模电压输出缓冲器
 - 用于外部基准输入的集成缓冲器
 - 简单数据平均多达 128 个样本
 - 移动数据平均多达 8 个样本
- 可配置串行接口：
 - 每个 ADC 通道有 2 个串行输出
 - 每个 ADC 通道有 1 个串行输出
 - 两个 ADC 通道都有 1 个串行输出
 - 支持菊花链功能
- 串行接口上为 8 位 CRC
- 工作温度范围：-40°C 至 +125°C

2 应用

- 绝对光学编码器
- 绝对磁性编码器
- 伺服驱动器位置反馈
- 超声波扫描仪
- 可编程直流电源，电子负载
- 声呐

3 说明

ADS932x 是一款带有集成式基准和基准缓冲器的高速双通道同步采样模数转换器 (ADC)。ADS932x 器件具有出色的交流 (AC) 性能，特别适合带宽数据采集 (DAQ) 系统。

该器件支持与 SPI 兼容的串行接口。这一接口赋予了 ADS932x 极强的适配能力，使其能够与各类微控制器、数字信号处理器 (DSP) 及现场可编程门阵列 (FPGA) 轻松实现协同工作。此器件还支持数据平均功能，可提升高噪声环境中的交流 (AC) 性能。

封装信息

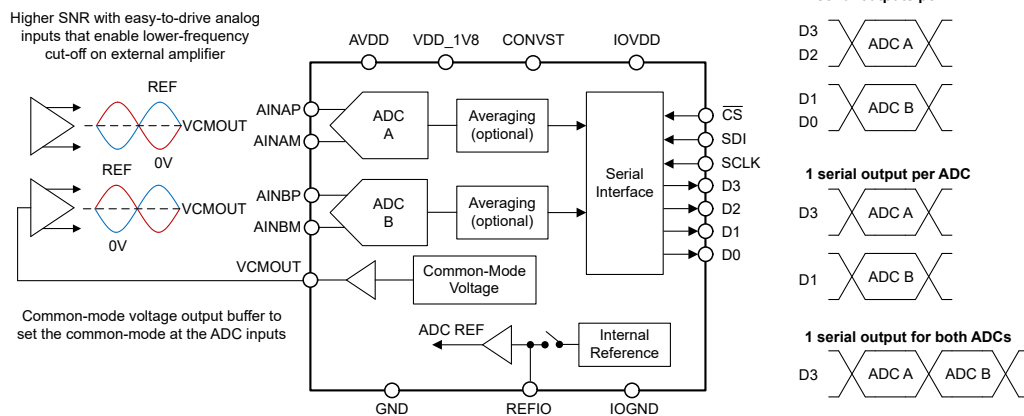
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADS932x	VAE (VQFN、22)	3.5mm × 3.5mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

器件信息

器件型号	分辨率	SNR	INL
ADS932x	16 位	93.2dB	$\pm 0.25\text{LSB}$



器件方框图



内容

1 特性	1	7.4 器件功能模式	33
2 应用	1	7.5 编程	34
3 说明	1	8 寄存器映射	41
4 器件比较	2	8.1 寄存器组 0.....	41
5 引脚配置和功能	3	8.2 寄存器组 1.....	44
6 规格	5	9 应用和实施	59
6.1 绝对最大额定值.....	5	9.1 应用信息.....	59
6.2 ESD 等级.....	5	9.2 典型应用.....	59
6.3 热性能信息.....	5	9.3 电源相关建议.....	61
6.4 建议运行条件.....	6	9.4 布局.....	61
6.5 电气特性.....	7	10 器件和文档支持	62
6.6 电气特性：AVDD = 5V.....	8	10.1 文档支持.....	62
6.7 电气特性：AVDD = 3.3V.....	9	10.2 接收文档更新通知.....	62
6.8 时序要求.....	10	10.3 支持资源.....	62
6.9 开关特性.....	10	10.4 商标.....	62
6.10 时序图.....	11	10.5 静电放电警告.....	62
6.11 典型特性.....	14	10.6 术语表.....	62
7 详细说明	23	11 修订历史记录	62
7.1 概述.....	23	12 机械、封装和可订购信息	63
7.2 功能方框图.....	23	12.1 机械数据.....	64
7.3 特性说明.....	23		

4 器件比较

分辨率 (位)	5MSPS	3MSPS
18	ADS9317	ADS9316
16	ADS9327	ADS9326
14	ADS9337	ADS9336
12	ADS9347	ADS9346

5 引脚配置和功能

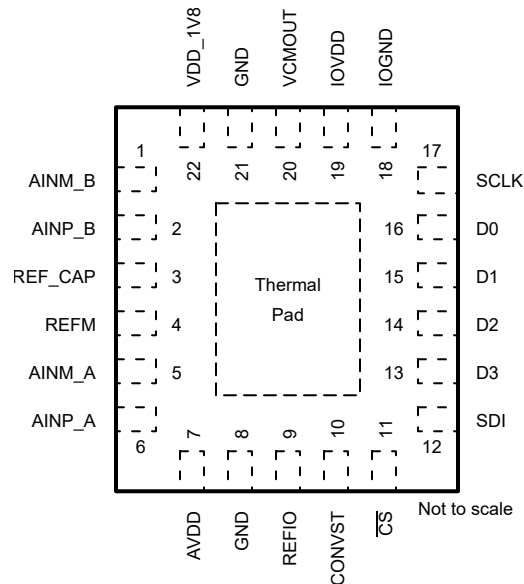


图 5-1. VAE 封装，22 引脚 VQFN (俯视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
AINM_A	5	I	ADC A 的负模拟输入。
AINM_B	1	I	ADC B 的负模拟输入。
AINP_A	6	I	ADC A 的正模拟输入。
AINP_B	2	I	ADC B 的正模拟输入。
AVDD	7	P	5V 或 3.3V 模拟电源引脚。在引脚 7 和 8 之间连接一个 1μF 去耦电容器。
CONVST	10	I	转换启动输入引脚。CONVST 下降沿启动 ADC A 和 ADC B 的转换。
$\overline{\text{CS}}$	11	I	芯片选择输入引脚；低电平处于活动状态。 当 $\overline{\text{CS}}$ 为低电平时，主机和器件进行通信。 当 $\overline{\text{CS}}$ 为高电平时，数据输出引脚进入 Hi-Z 状态。
D0	16	O	串行通信引脚：数据输出 0。
D1	15	O	串行通信引脚：数据输出 1。
D2	14	O	串行通信引脚：数据输出 2。
D3	13	O	串行通信引脚：数据输出 3。
GND	8、21	G	接地。
IOGND	18	G	IOVDD 电源的接地端。外部连接至 GND。
IOVDD	19	P	接口电源引脚。 在引脚 18 和引脚 19 之间连接一个 0.1μF 去耦电容器。
REFIO	9	I/O	内部基准输出。外部基准输入。将 1μF 去耦电容器连接到 GND。
REF_CAP	3	O	内部基准电压输出。在引脚 3 和 4 之间连接一个 1μF 去耦电容器。
REFM	4	G	ADC 的负基准输入。从外部连接到器件 GND。
SCLK	17	I	串行接口的时钟输入引脚。
SDI	12	I	串行数据输入引脚。 该引脚对器件寄存器进行编程。

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
VCMOUT	20	O	共模电压输出。使用 VCMOUT 设置 ADC 输入端的共模电压。将 100nF 去耦电容器接地。
VDD_1V8	22	P	1.8V 模拟电源引脚。在引脚 21 和 22 之间连接一个 1μF 去耦电容器。
散热焊盘	Pad	P	外露散热焊盘连接至 GND。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
AVDD 至 GND	-0.3	5.5	V
VDD_1V8 至 GND	-0.3	2.1	V
IOVDD 至 IOGND	-0.3	3.7	V
AINP_A、AINM_A、AINP_B 和 AINM_B 至 GND	-0.3	AVDD + 0.3	V
REFIO 至 REFM	-0.3	AVDD + 0.3	V
数字输入至 IOGND	-0.3	IOVDD + 0.3	V
REFM 至 GND	-0.3	0.3	V
IOGND 至 GND	-0.3	0.3	V
输入电流到电源引脚外的任意引脚 ⁽²⁾	-10	10	mA
结温, T _J	-40	150	°C
贮存温度, T _{stg}	-60	150	°C

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 将引脚电流限制为 10mA 或更低。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 热性能信息

热指标 ⁽¹⁾		ADS93x7	单位
		VAE (VQFN)	
		22 引脚	
R _{θJA}	结至环境热阻	36.5	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	26.5	°C/W
R _{θJB}	结至电路板热阻	7.9	°C/W
Ψ _{JT}	结至顶部特征参数	0.8	°C/W
Ψ _{JB}	结至电路板特征参数	7.8	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	11.8	°C/W

- (1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标应用手册](#)。

6.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
AVDD	模拟电源	AVDD 至 GND，AVDD = 5V	4.5	5	5.5	V
		AVDD 至 GND，AVDD = 3.3V	3.1	3.3	3.5	
VDD_1V8	电源	VDD_1V8 至 GND	1.75	1.8	1.85	V
IOVDD	接口电源	IOVDD 至 IOGND	1.75		3.5	V
基准电压						
V _{REF}	基准电压至 ADC	外部基准，AVDD = 5V	2.48	4.096	4.116	V
		外部基准，AVDD = 3.3V	2.48	2.5	2.52	
模拟输入						
V _{IN}	绝对输入电压	AINx ⁽¹⁾ 至 GND	0		AVDD	V
FSR	满标量程输入范围	(A _{INP_x} - A _{INM_x})	- V _{REF}		V _{REF}	V
V _{CM}	共模输入范围	(A _{INP_x} + A _{INM_x}) / 2	V _{CMOUT} - 0.04		V _{CMOUT} + 0.04	V
温度范围						
T _A	环境温度		-40	25	125	°C

(1) AINx 指模拟输入 AINP_A、AINP_B、AINM_A 和 AINM_B。

6.5 电气特性

在 AVDD = 3V 至 5.5V，VDD_1V8 = 1.75V 至 1.85V，内部基准，以及最大吞吐量条件下测得（除非另有说明）； $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 时的最小值和最大值； $T_A = 25^{\circ}\text{C}$ 时的典型值

参数		测试条件	最小值	典型值	最大值	单位	
直流性能							
	分辨率	无丢码	16			位	
DNL	微分非线性		-0.75	±0.2	0.75	LSB	
INL	积分非线性		-1	±0.25	1	LSB	
V _(OS)	输入失调电压误差		-2	±0.4	2	LSB	
dV _{OS} /dT	输入偏移误差热漂移		0.6			1.6	μV/°C
	失调误差匹配	V _(OS) (ADC_A - ADC_B)	1			LSB	
G _E	增益误差 ⁽¹⁾		-0.02	±0.002	0.02	%FSR	
dG _E /dT	增益误差热漂移	基准缓冲器打开 ⁽¹⁾	0.8			1.8	ppm/°C
dG _E /dT	增益误差热漂移	基准缓冲器关闭 ⁽²⁾	0.2			0.6	ppm/°C
	增益误差匹配	G _E (ADC_A - ADC_B)	±0.002			%FSR	
CMRR	共模抑制比	f _{IN} = dc 至 1kHz，V _{INCM} = 50mV _{PP}	70			dB	
电源							
PSRR	电源抑制比	AVDD 或 VDD_1V8 上的纹波电压为 100mV _{pp} ，频率 < 100kHz	80			dB	
模拟输入							
CSH	采样电容		18			pF	
BW	模拟输入带宽 (大信号)	- 0.1dB 输入信号	1.5			MHz	
I _B	模拟输入泄漏电流	空闲通道	0.5			1	μA
共模输出缓冲器							
V _{CMOUT}	共模输出电压	V _{REF} = 4.096V，VCMOUT_SEL = 0b	2.21	2.23	2.25	V	
	输出电流驱动		0			15	μA
内部基准							
V _{REF}	REFIO 引脚上的电压 (配置为输出)	REFIO 引脚上的 1 μF 电容器，T _A = 25°C	V _{REF} - 0.005	V _{REF}	V _{REF} + 0.005	V	
	基准温漂		5			15	ppm/°C
数字输入							
V _{IL}	输入低逻辑电平		0.3 IOVDD			V	
V _{IH}	输入高逻辑电平		0.7 IOVDD			V	
数字输出							
V _{OL}	输出低逻辑电平	I _{OL} = 200μA 灌电流	0			0.4	V
V _{OH}	输出高逻辑电平	I _{OH} = 200μA 拉电流	IOVDD - 0.4			IOVDD	V
采样动态							
t _A	孔径延迟		4			ns	
	孔径不匹配		100			ps	
t _{JITTER}	孔径抖动		1			ps	

(1) 这些规格包括整个温度范围变化，但不包括内部基准产生的误差。

(2) 有关详细信息，请参阅[使用外部基准缓冲器的外部基准](#)。

6.6 电气特性：AVDD = 5V

在 AVDD = 4.5V 至 5.5V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.75V 至 3.3V，内部 $V_{REF} = 4.096V$ 以及最大吞吐量条件下测得（除非另有说明）； $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ 条件下的最小值和最大值； $T_A = 25^{\circ}C$ 时的典型值

参数		测试条件	最小值	典型值	最大值	单位
交流性能						
SINAD	信噪比+失真比	$f_{IN} = 2kHz$ (ADS9327)	90.8	93.1		dB
		$f_{IN} = 2kHz$ (ADS9326)	91.1	93.6		
		$f_{IN} = 1MHz$		91.4		
SNR	信噪比	$f_{IN} = 2kHz$ (ADS9327)	91	93.2		dB
		$f_{IN} = 2kHz$ (ADS9326)	91.4	93.7		
		$f_{IN} = 1MHz$		91.5		
THD	总谐波失真	$f_{IN} = 2kHz$		-115		dB
		$f_{IN} = 1MHz$		-100		
SFDR	无杂散动态范围	$f_{IN} = 2kHz$		115		dB
		$f_{IN} = 1MHz$		100		
	通道间隔离	FSR 为 100% 时， $V_{IN_ADCA} = 0V$ ， $f_{IN_ADCB} = 10kHz$		-110		dB
电源						
I_{AVDD}	来自 AVDD 的电源电流	全速 (ADS9327)		4.3	4.7	mA
		全速 (ADS9326)		2.7	3.1	
		无转换 (空闲) (ADS9327)		1.5	1.8	
		无转换 (空闲) (ADS9326)		1.05	1.3	
		断电		0.35	0.7	
I_{VDD_1V8}	来自 VDD_1V8 的电源电流	全速 (ADS9327)		9.8	10.4	mA
		全速 (ADS9326)		7.2	7.7	
		无转换 (空闲) (ADS9327)		6.8	7.3	
		无转换 (空闲) (ADS9326)		5.2	5.7	
		断电		0.8	1	
I_{IOVDD}	来自 IOVDD 的电源电流	全速 (ADS9327)， $C_{LOAD} = 10pF$		2.7	3	mA
		全速 (ADS9326)， $C_{LOAD} = 10pF$		1.6	1.8	
		无转换 (空闲)， $C_{LOAD} = 10pF$		0.25	0.35	
		断电， $C_{LOAD} = 10pF$		0.25	0.35	

6.7 电气特性：AVDD = 3.3V

在 AVDD = 3.1V 至 3.5V，VDD_1V8 = 1.75V 至 1.85V，IOVDD = 1.75V 至 3.3V，内部 $V_{REF} = 2.5V$ 以及最大吞吐量条件下测得（除非另有说明）； $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ 条件下的最小值和最大值； $T_A = 25^{\circ}C$ 时的典型值

参数		测试条件	最小值	典型值	最大值	单位
交流性能						
SINAD	信噪比+失真比	$f_{IN} = 2kHz$ (ADS9327)	87.9	90.4		dB
		$f_{IN} = 2kHz$ (ADS9326)	88.3	90.8		
		$f_{IN} = 1MHz$		88.4		
SNR	信噪比	$f_{IN} = 2kHz$ (ADS9327)	88.1	90.5		dB
		$f_{IN} = 2kHz$ (ADS9326)	88.5	91		
		$f_{IN} = 1MHz$		88.5		
THD	总谐波失真	$f_{IN} = 2kHz$		-112		dB
		$f_{IN} = 1MHz$		-100		
SFDR	无杂散动态范围	$f_{IN} = 2kHz$		112		dB
		$f_{IN} = 1MHz$		100		
	通道间隔离	FSR 为 100% 时， $V_{IN_ADCA} = 0V$ ， $f_{IN_ADCB} = 10kHz$		-110		dB
电源						
I_{AVDD}	来自 AVDD 的电源电流	全速 (ADS9327)		3	3.4	mA
		全速 (ADS9326)		1.9	2.3	
		无转换 (空闲) (ADS9327)		1.4	1.65	
		无转换 (空闲) (ADS9326)		0.94	1.2	
		断电		0.35	0.7	
I_{VDD_1V8}	来自 VDD_1V8 的电源电流	全速 (ADS9327)		9.8	10.4	mA
		全速 (ADS9326)		7.2	7.7	
		无转换 (空闲) (ADS9327)		6.8	7.3	
		无转换 (空闲) (ADS9326)		5.2	5.7	
		断电		0.8	1	
I_{IOVDD}	来自 IOVDD 的电源电流	全速 (ADS9327)， $C_{LOAD} = 10pF$		2.7	3	mA
		全速 (ADS9326)， $C_{LOAD} = 10pF$		1.6	1.8	
		无转换 (空闲)， $C_{LOAD} = 10pF$		0.25	0.35	
		断电， $C_{LOAD} = 10pF$		0.25	0.35	

6.8 时序要求

在 AVDD = 3V 至 5.5V, VDD_1V8 = 1.75V 至 1.85V, IOVDD = 1.75V 至 3.3V, 内部基准以及最大吞吐量条件下测得 (除非另有说明) ; $C_L = 10\text{pF}$; $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 时的最小值和最大值 ; $T_A = 25^\circ\text{C}$ 时的典型值

			最小值	最大值	单位
转换周期					
f_{CYCLE}	采样频率	ADS9327		5	MHz
		ADS9326		3	
t_{CYCLE}	ADC 周期时长		$1/f_{\text{CYCLE}}$		s
f_{CLK}	最大 SCLK 频率			80	MHz
t_{CLK}	最小 SCLK 时间周期		12.5		ns
t_{ACQ}	采集时间	ADS9327	70		ns
		ADS9326	133.33		
$t_{\text{PH_CV}}$	CONVST 高电平时间		10		ns
$t_{\text{PL_CV}}$	CONVST 低电平时间		10		ns
SPI 接口时序					
$t_{\text{hi_CSZ}}$	脉冲持续时间 : $\overline{\text{CS}}$ 高电平		5		ns
$t_{\text{PH_CK}}$	SCLK 高电平时间		0.40	0.60	t_{CLK}
$t_{\text{PL_CK}}$	SCLK 低电平时间		0.40	0.60	t_{CLK}
$t_{\text{d_CSCK}}$	建立时间 : $\overline{\text{CS}}$ 下降至第一个 SCLK 上升沿		10		ns
$t_{\text{su_CKDI}}$	建立时间 : SDI 数据对相应的 SCLK 上升沿有效		3		ns
$t_{\text{ht_CKDI}}$	保持时间 : SCLK 上升沿到 SDI 上的相应数据有效		1		ns
$t_{\text{ht_CVCS}}^{(1)}$	保持时间 : CONVST 下降沿至 $\overline{\text{CS}}$ 下降沿		0		ns
$t_{\text{ht_CKCS}}$	保持时间 : 最后一个 SCLK 下降沿到 $\overline{\text{CS}}$ 上升沿		10		ns
$t_{\text{LOW_LAT}}^{(2)}$	保持时间 : t_{CONV} 后到低延时模式下 $\overline{\text{CS}}$ 下降沿的时间		30		ns

(1) 在内部, 默认情况下, CONVST 下降沿和 $\overline{\text{CS}}$ 下降沿之间启用 5ns 延时。

(2) 有关更多详细信息, 请参阅寄存器组 1 中的 LL_DELAY 寄存器字段说明。

6.9 开关特性

在 AVDD = 3V 至 5.5V, VDD_1V8 = 1.75V 至 1.85V, IOVDD = 1.75V 至 3.3V, 内部基准以及最大吞吐量条件下测得 (除非另有说明) ; $C_L = 10\text{pF}$; $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 时的最小值和最大值 ; $T_A = 25^\circ\text{C}$ 时的典型值

参数		测试条件	最小值	最大值	单位
转换周期					
t _{CONV}	ADC 转换时间	ADS9327		130	ns
		ADS9326		200	
复位					
t _{PU}	器件上电时间			130	ms
SPI 接口时序					
t _{den_CSDO}	延时时间：CS 下降沿至 SDO 上的数据有效			16	ns
t _{dz_CSDO}	延时时间：CS 上升沿至 SDO 进入 Hi-Z			7.5	ns
t _{ht_CKDO}	保持时间：SCLK 启动沿到 SDO 上的前一个数据有效		7.6		ns
t _{d_CKDO}	延时时间：SCLK 启动沿到 SDO 上的相应数据有效			17	ns
t _{ECHO}	延时时间：SCLK 回波模式下 D0 上的 SCLK 启动沿到 SCLK 回波输出			t _{d_CKDO} - 2	ns

6.10 时序图

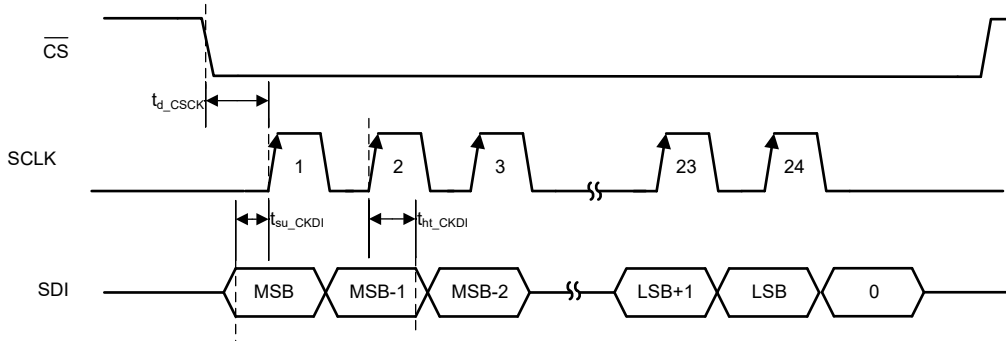


图 6-1. 寄存器操作的 SDI 时序

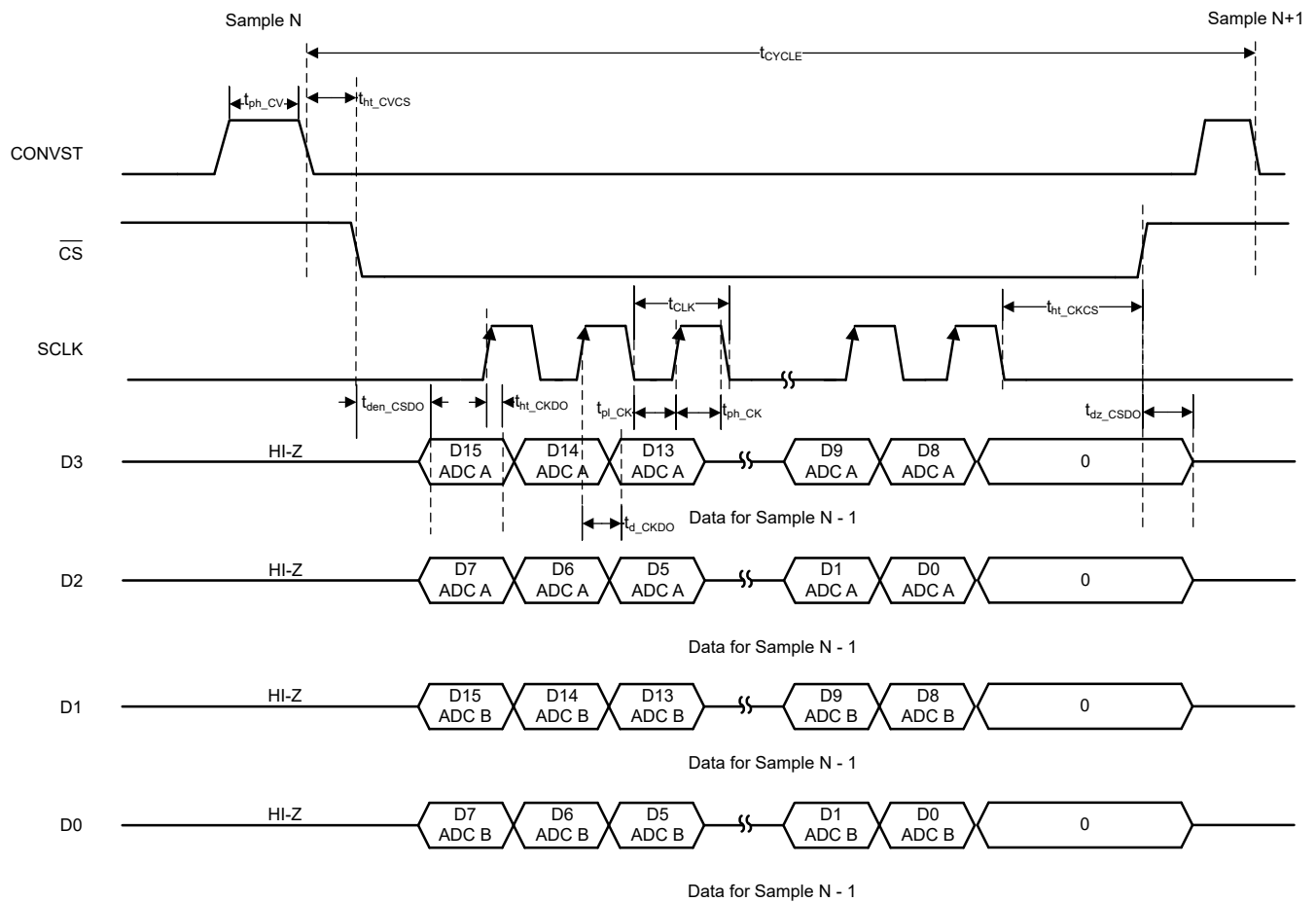


图 6-2. 转换周期时序：四通道默认操作

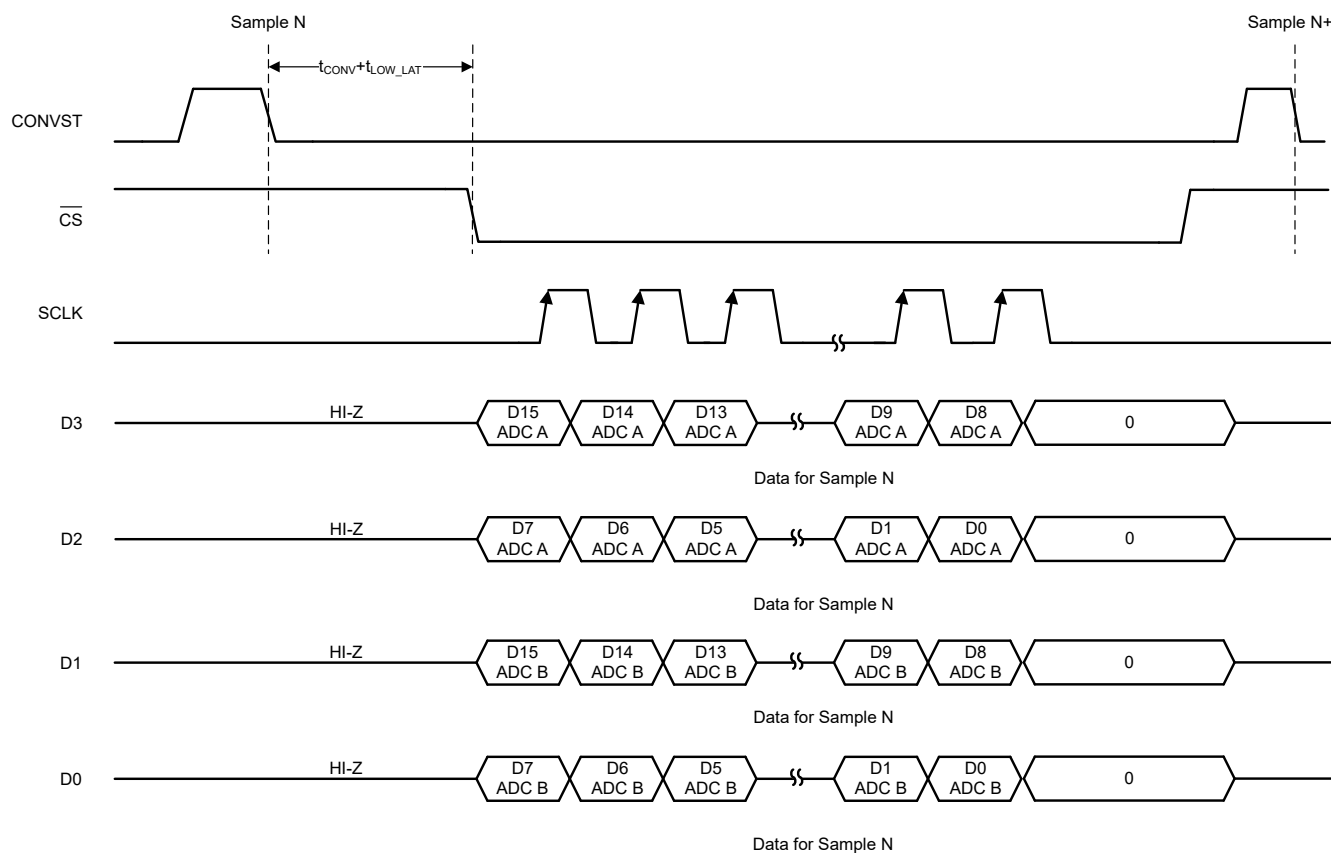


图 6-3. 转换周期时序：四通道低延时模式

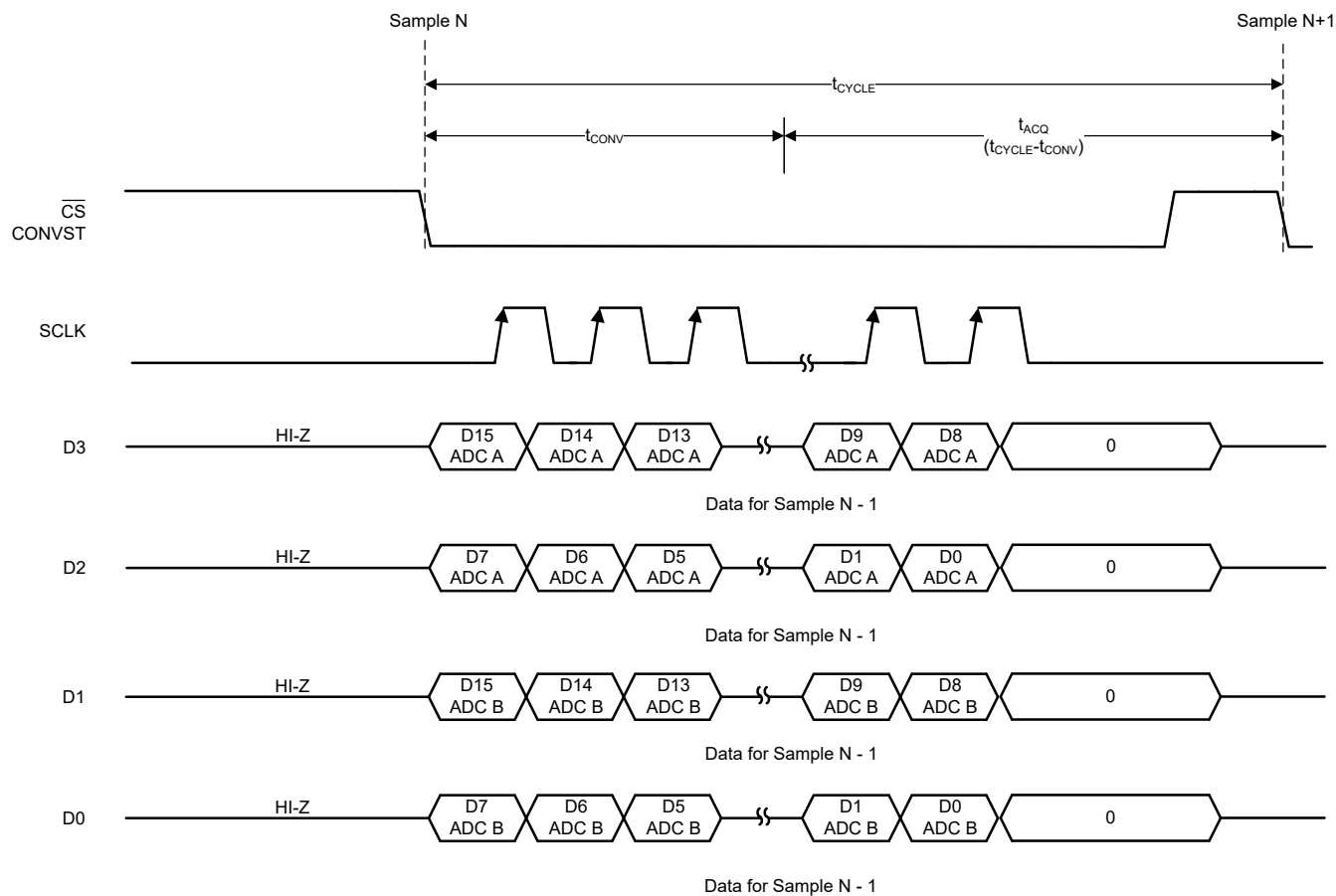


图 6-4. 转换周期时序：带 $\overline{\text{CS}}$ 和 CONVST 短接的 4 通道模式

6.11 典型特性

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_{1V8} = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)

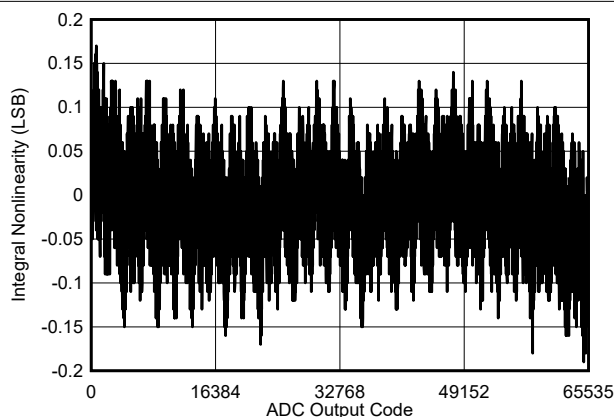


图 6-5. 典型 INL

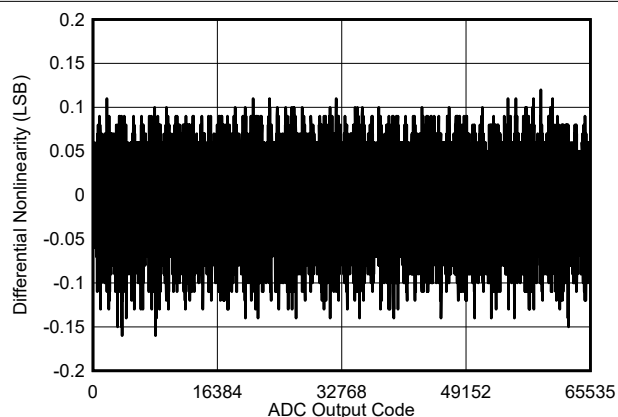


图 6-6. 典型 DNL

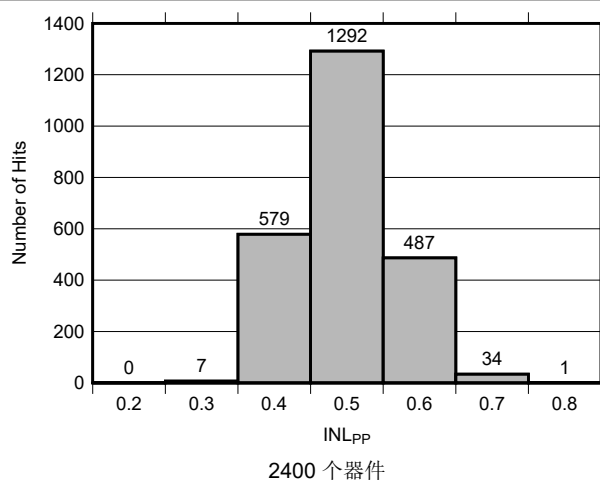


图 6-7. 典型 INL 分布 (LSB)

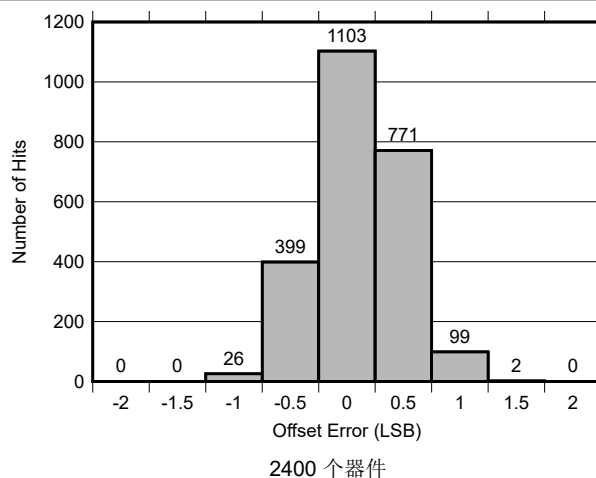


图 6-8. 典型偏移误差分布 (LSB)

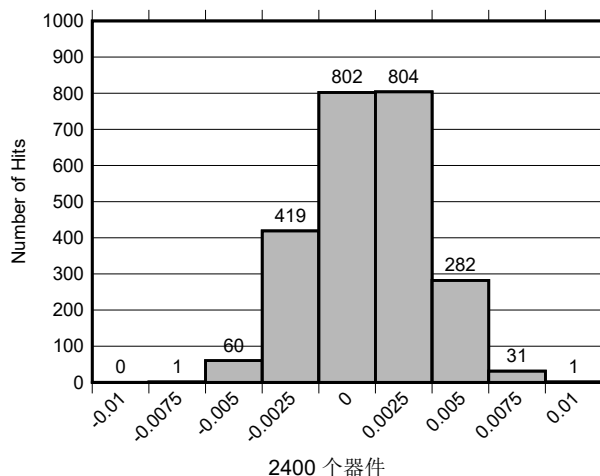
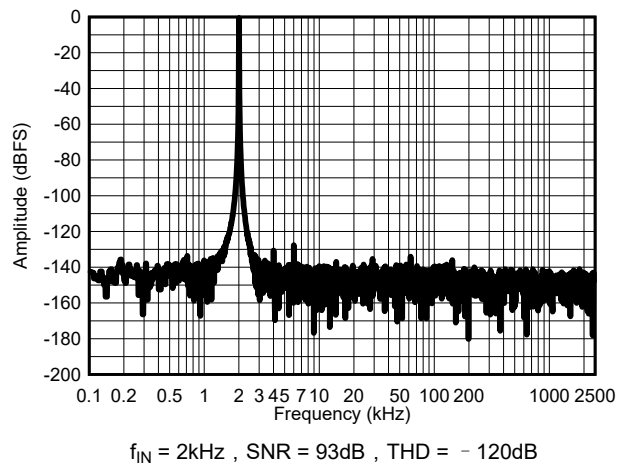


图 6-9. 典型增益误差分布 (% FSR)

图 6-10. $f_{IN} = 2\text{kHz}$ 时的典型 FFT

6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_1V8 = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)

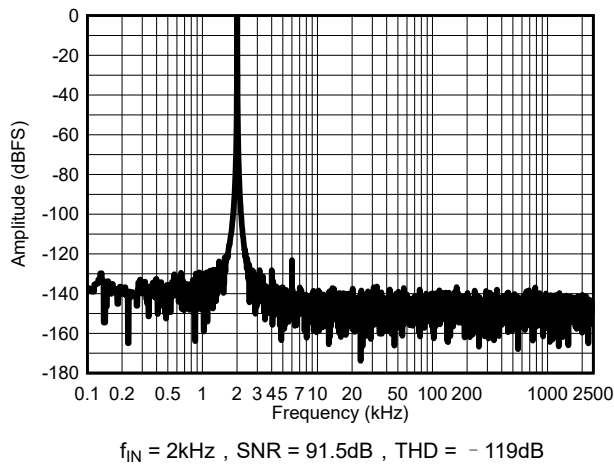


图 6-11. $f_{IN} = 2\text{kHz}$, 外部 $V_{REF} = 3.3\text{V}$ 时的典型 FFT

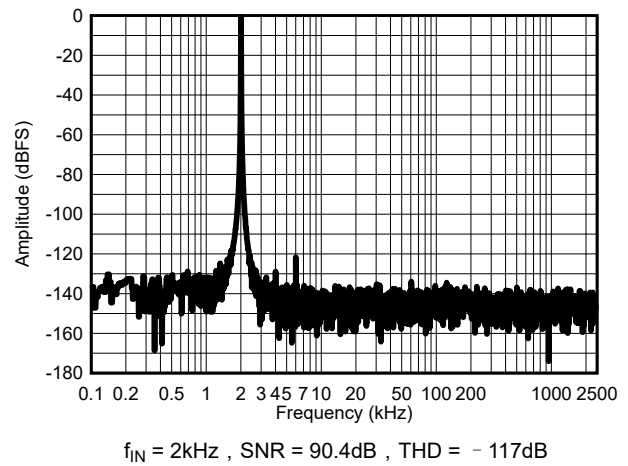


图 6-12. $f_{IN} = 2\text{kHz}$, 外部 $V_{REF} = 2.5\text{V}$ 时的典型 FFT

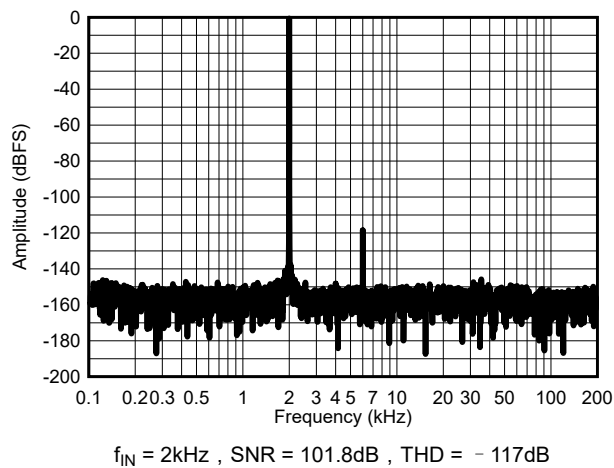


图 6-13. $f_{IN} = 2\text{kHz}$ 、采用简单平均且 OSR = 8 时的典型 FFT

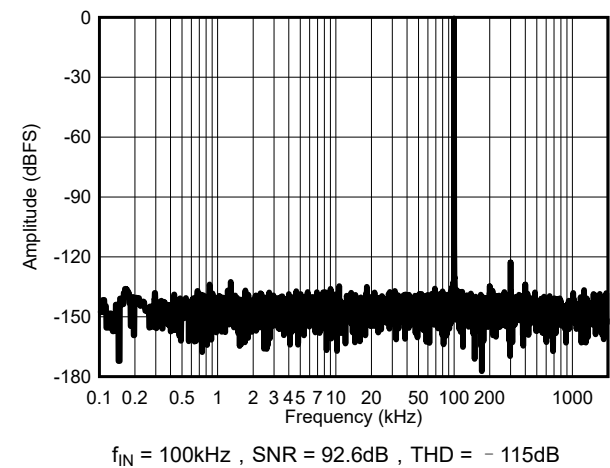


图 6-14. $f_{IN} = 100\text{kHz}$ 时的典型 FFT

6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_1V8 = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)

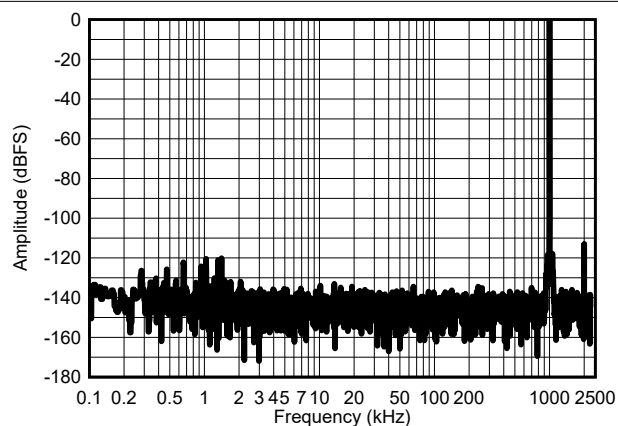


图 6-15. $f_{IN} = 1\text{MHz}$ 时的典型 FFT

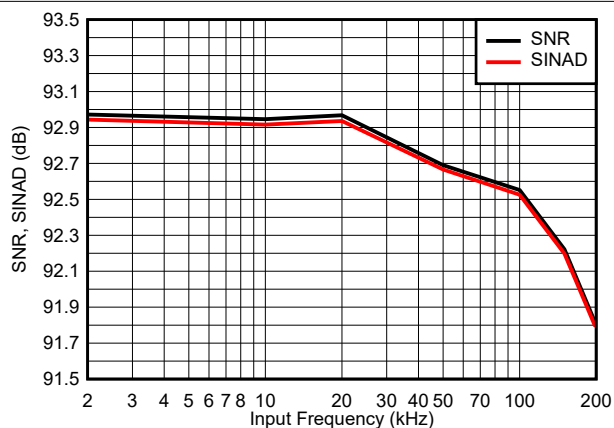


图 6-16. SNR 和 SINAD 与输入信号频率间的关系

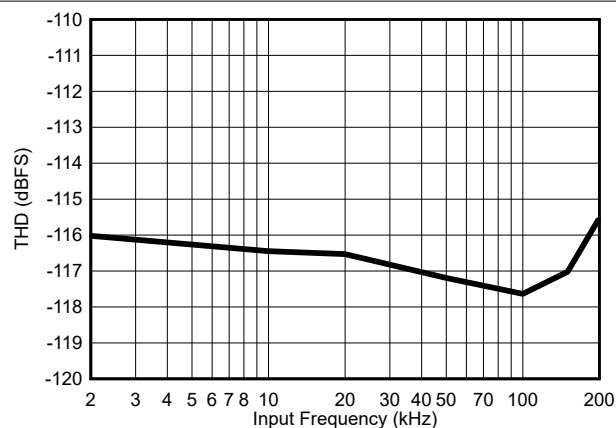


图 6-17. THD 与输入信号频率间的关系

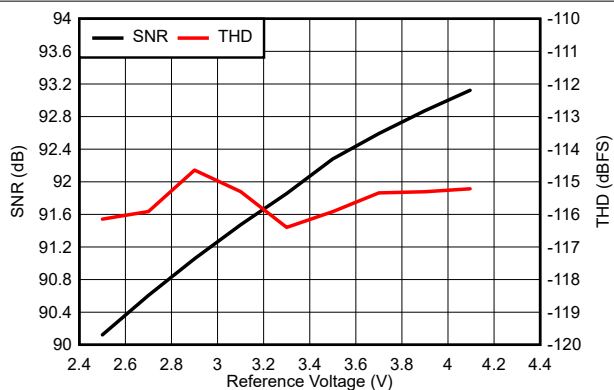


图 6-18. SNR 和 THD 与基准电压间的关系

6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_{1V8} = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)

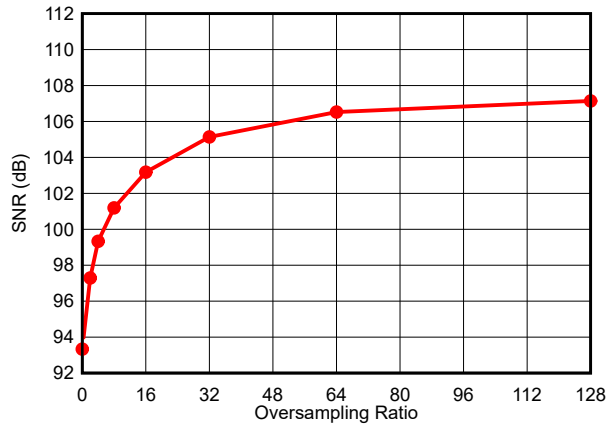


图 6-19. SNR 与简单平均过采样率间的关系

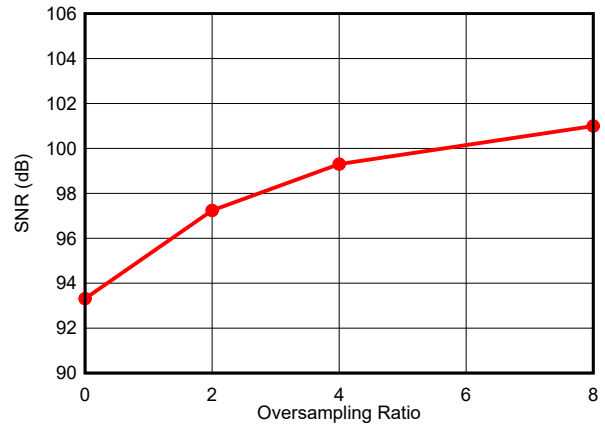


图 6-20. SNR 与移动平均过采样率间的关系

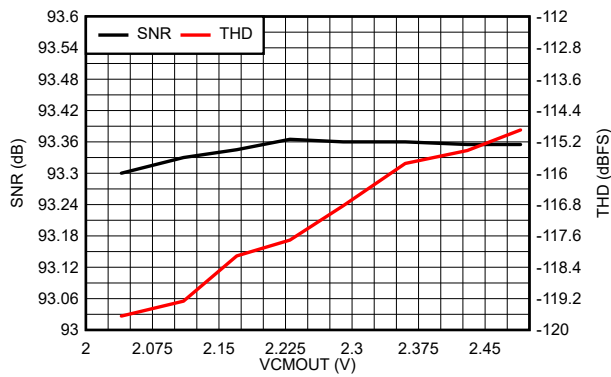
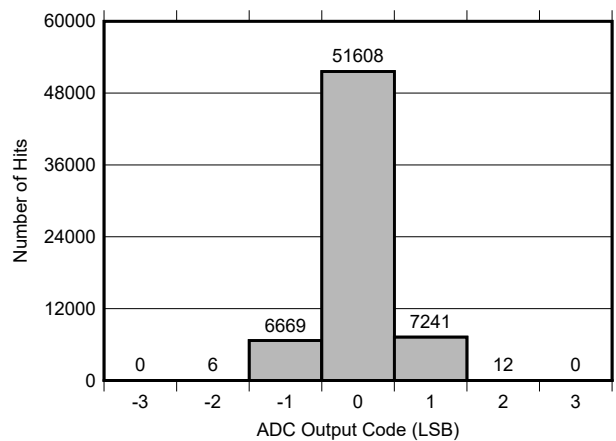


图 6-21. SNR 和 THD 与 VCMOUT 间的关系



标准偏差 = 0.46LSB

图 6-22. 直流输入直方图

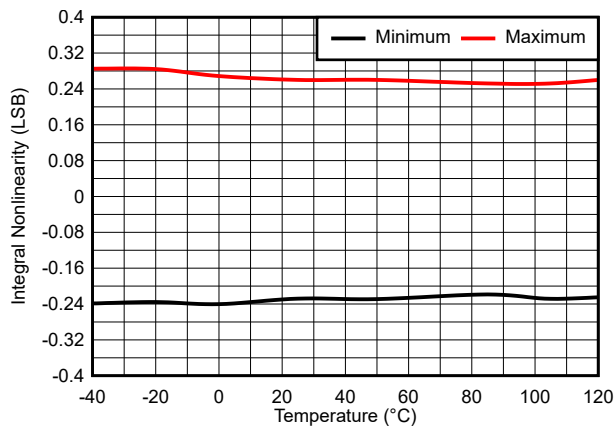


图 6-23. INL 与温度间的关系

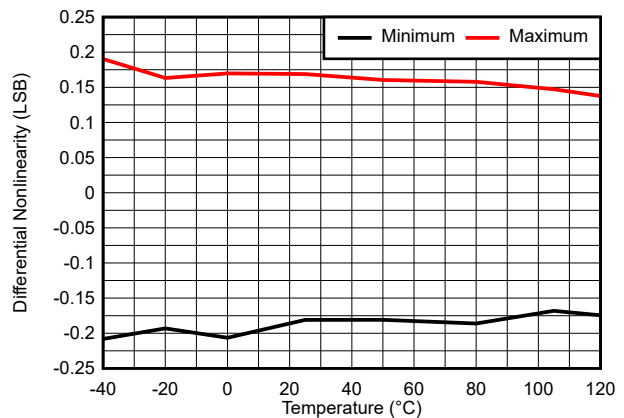


图 6-24. DNL 与温度间的关系

6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AV_{DD} = 5\text{V}$, $V_{DD_1V8} = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)

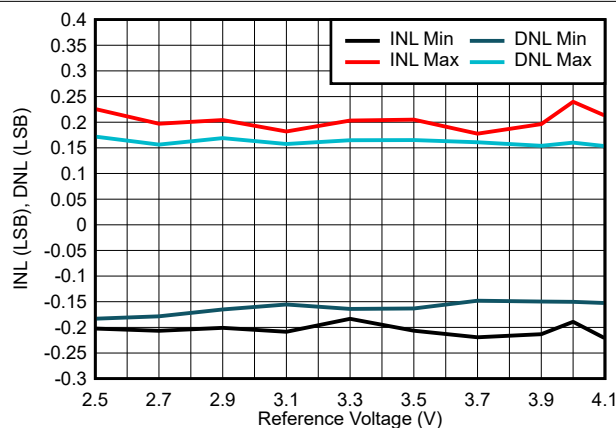


图 6-25. INL、DNL 与基准电压间的关系

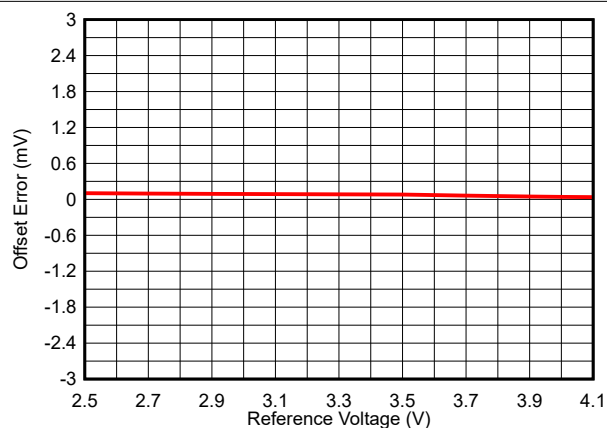


图 6-26. 失调电压误差与基准电压间的关系

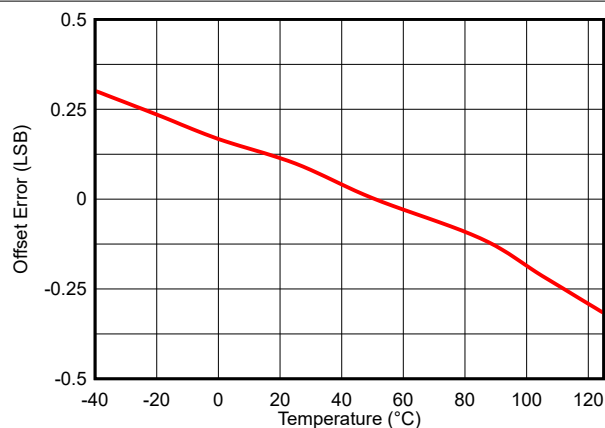


图 6-27. 偏移误差与温度间的关系

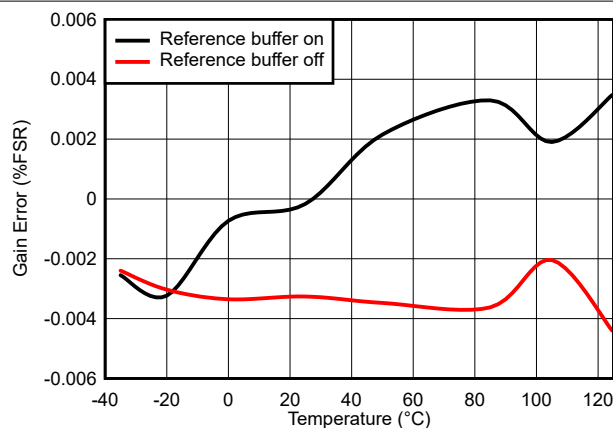


图 6-28. 增益误差与温度间的关系

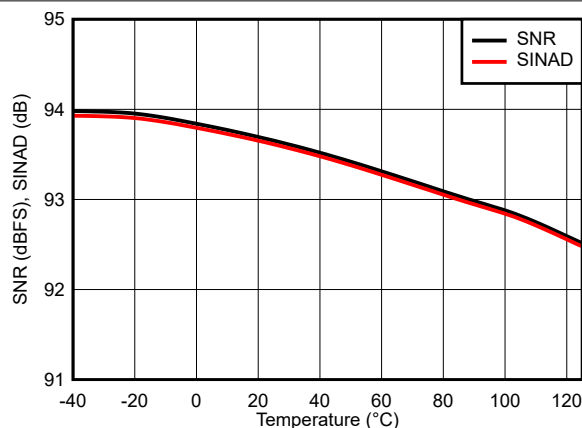


图 6-29. SNR 和 SINAD 与温度间的关系

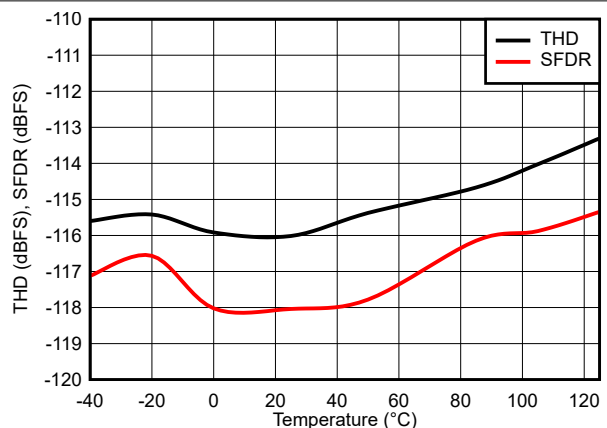
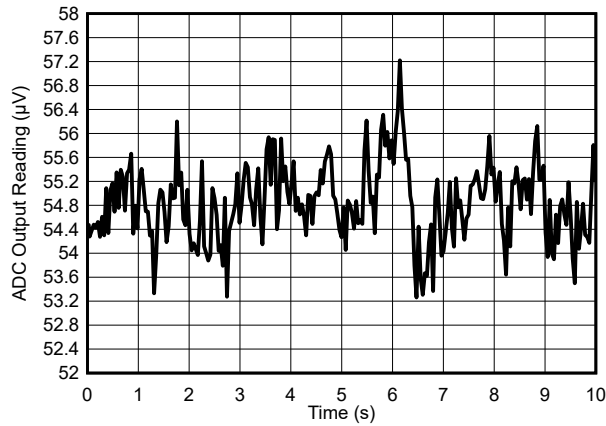


图 6-30. THD 和 SFDR 与温度间的关系

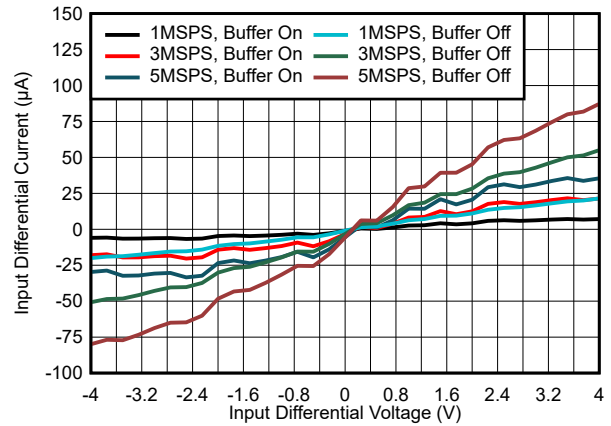
6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_1V8 = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)



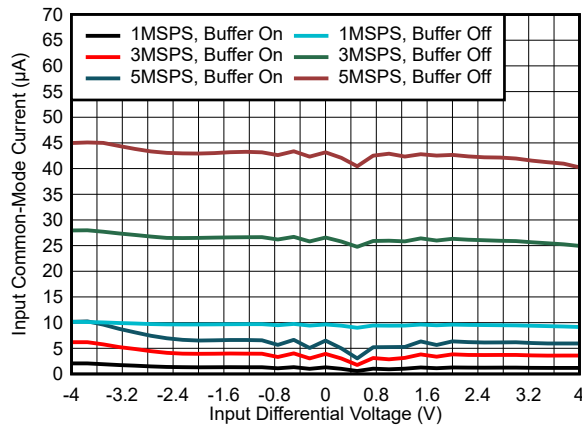
1.6MSPS 数据速率, 每次读取平均 65,536 个样本,
LFN_COMP = 40A1h

图 6-31. 0.1Hz 至 10Hz 带宽的 1/f 噪声



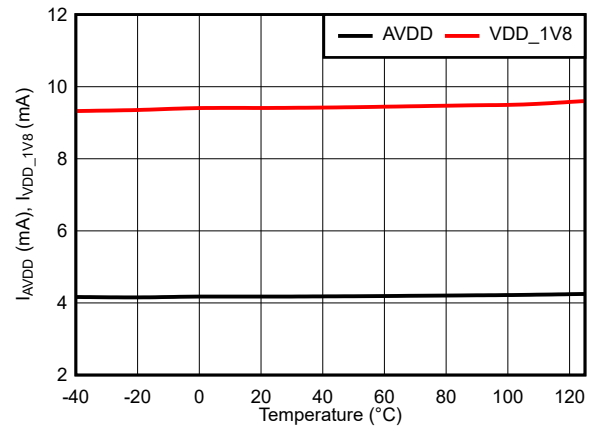
请参阅 INT_BUFFER 寄存器字段说明

图 6-32. 差动模拟输入电流与输入差动电压间的关系



请参阅 INT_BUFFER 寄存器字段说明

图 6-33. 共模模拟输入电流与输入差动电压间的关系



ADS9327

图 6-34. AVDD 和 VDD_1V8 电流与温度间的关系

6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_1V8 = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)

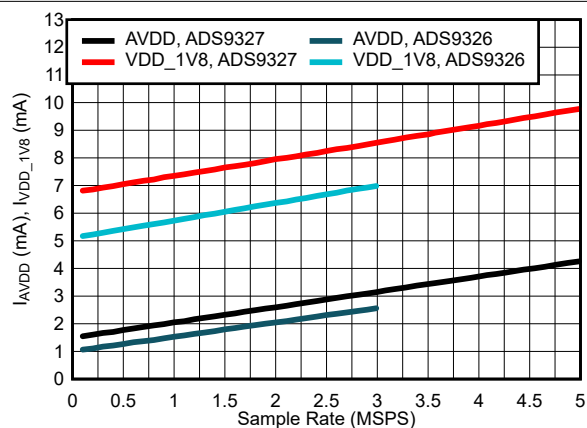


图 6-35. AVDD 和 VDD_1V8 电流与采样率间的关系

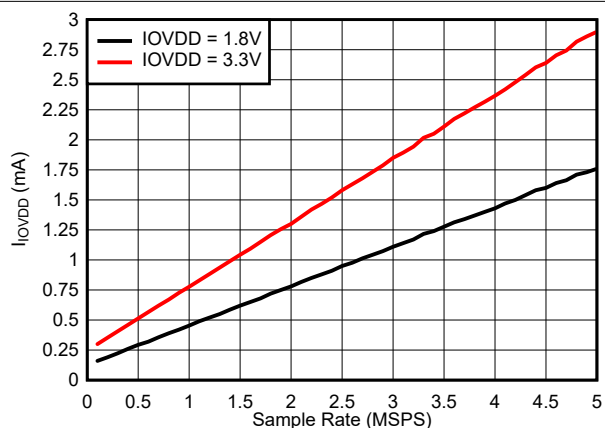


图 6-36. IOVDD 电流与采样率间的关系

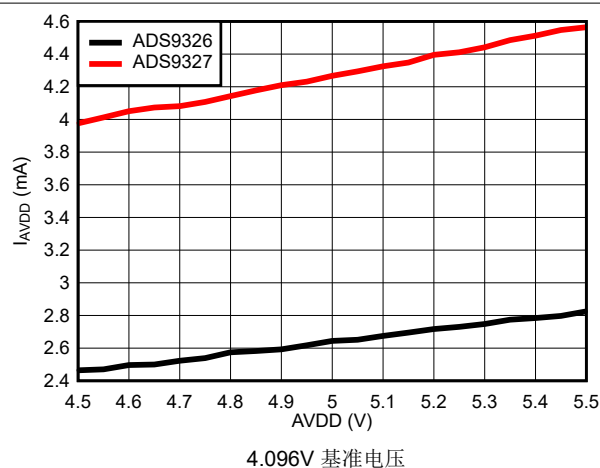


图 6-37. 高 AVDD 时 AVDD 电流与 AVDD 电压间的关系

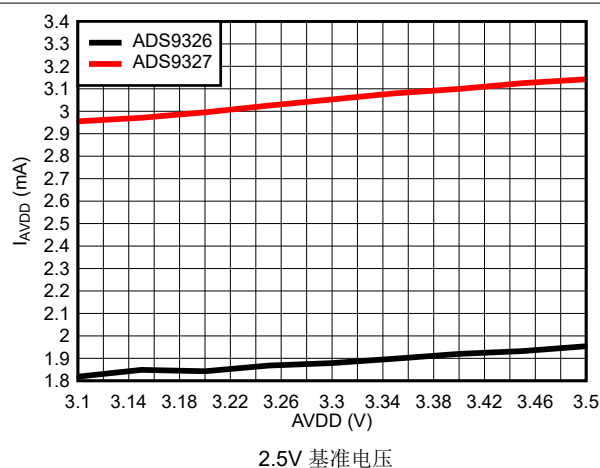


图 6-38. 低 AVDD 时 AVDD 电流与 AVDD 电压间的关系

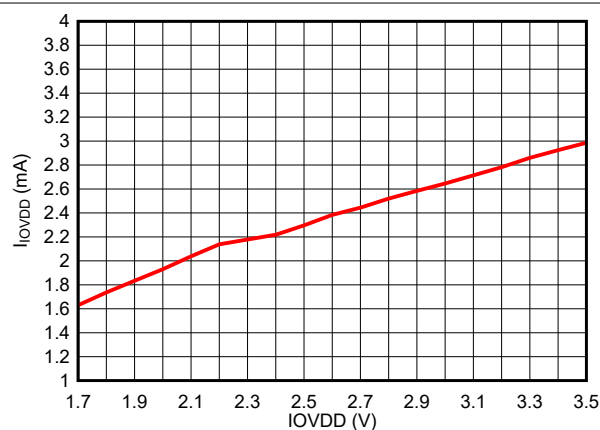


图 6-39. IOVDD 电流与 IOVDD 电压间的关系

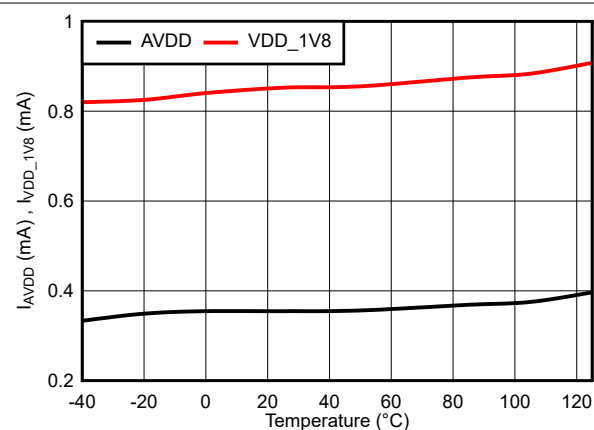


图 6-40. AVDD 和 VDD_1V8 断电电流与温度间的关系

6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_{1V8} = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)

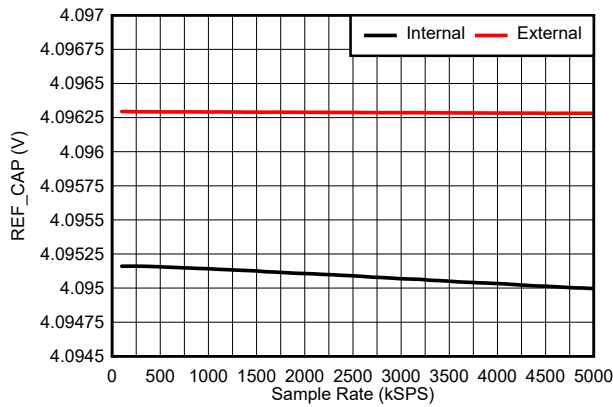


图 6-41. REF_CAP 与采样速率间的关系 (电压基准为 4.096V)

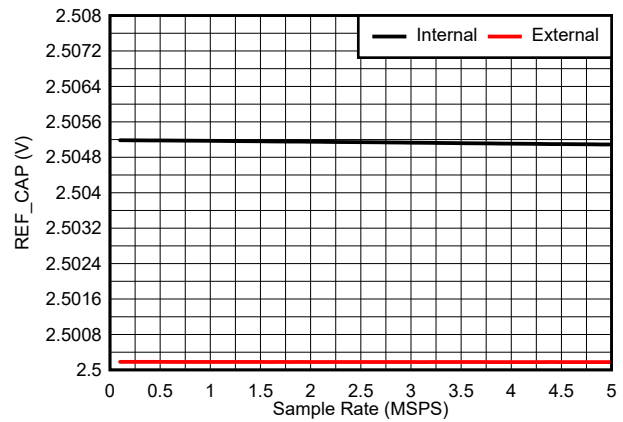


图 6-42. REF_CAP 与采样速率间的关系 (电压基准为 2.5V)

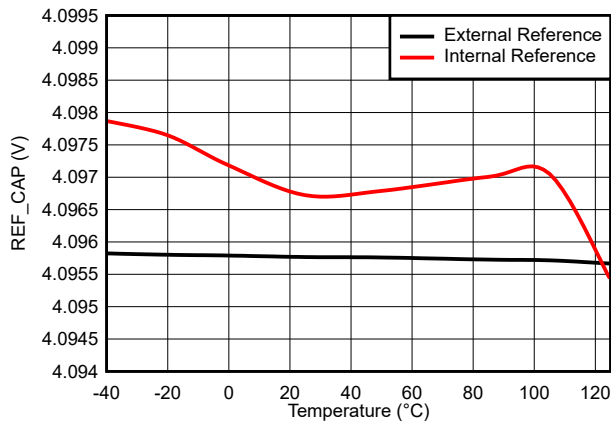


图 6-43. REF_CAP 电压与温度间的关系

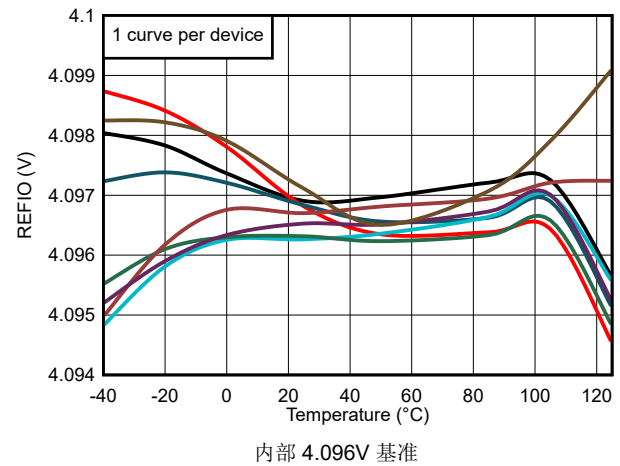


图 6-44. 4.096V 基准下 REFIO 电压与温度间的关系

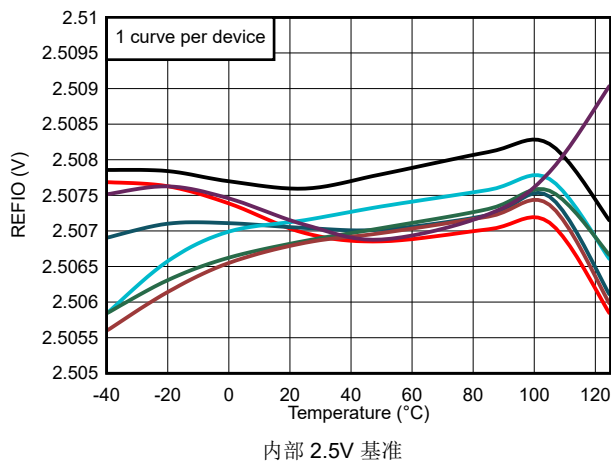


图 6-45. 2.5V 基准下 REFIO 电压与温度间的关系

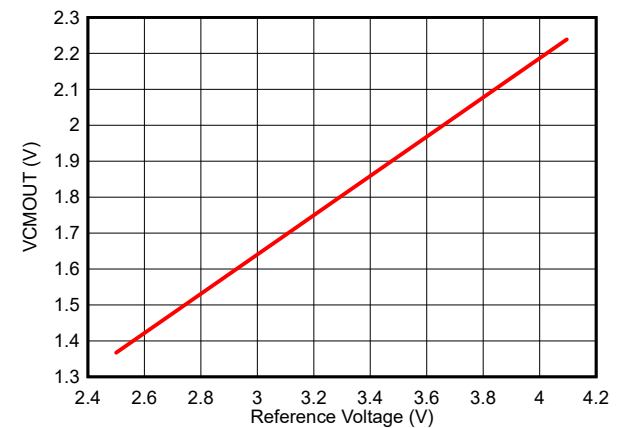
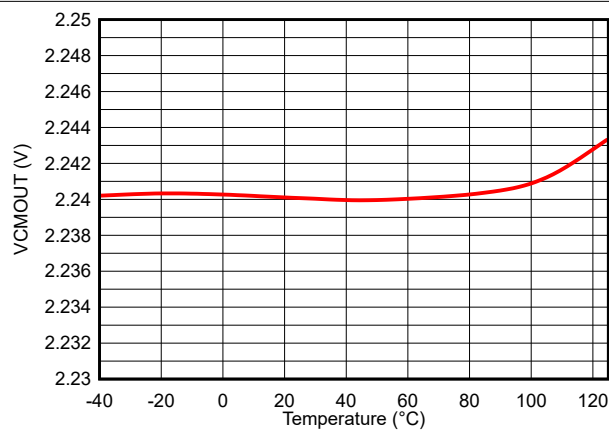


图 6-46. VCMOUT 电压与基准电压间的关系

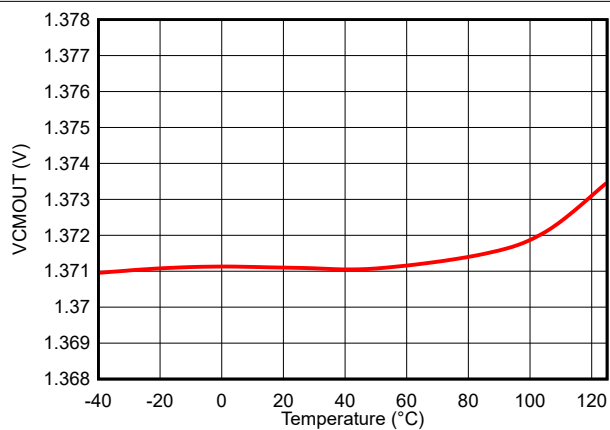
6.11 典型特性 (续)

$T_A = 25^\circ\text{C}$, $AVDD = 5\text{V}$, $VDD_1V8 = 1.8\text{V}$, 外部 $V_{REF} = 4.096\text{V}$, 最大吞吐量 (除非另有说明)



4.096V 基准电压

图 6-47. 4.096V 基准下 VCMOUT 电压与温度间的关系



2.5V 基准电压

图 6-48. 2.5V 基准下 VCMOUT 电压与温度间的关系

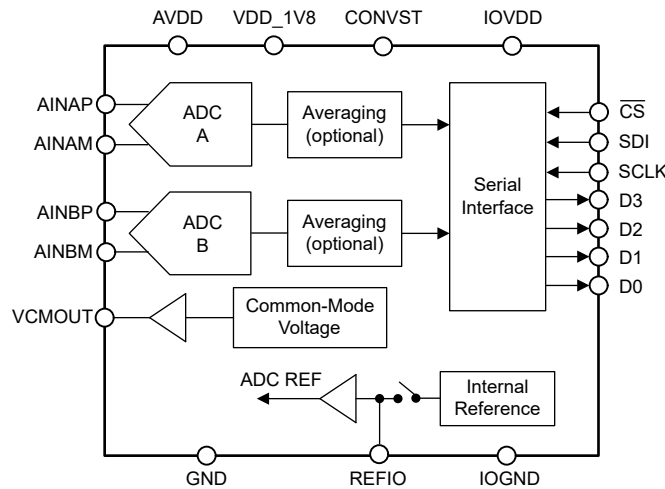
7 详细说明

7.1 概述

ADS932x (ADS9326、ADS9327) 是一款带有集成式基准的 16 位双通道同步采样模数转换器 (ADC)。ADS932x 支持单极、差分模拟输入信号，并且具有内置的数据平均功能。

ADS932x 为主机控制器提供了一个简单的串行接口，并采用各种模拟和数字电源供电。串行接口与传统 SPI 协议兼容并支持菊花链连接。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入

该器件支持单极、差分、模拟输入信号。图 7-1 显示了采样保持电路的小信号等效电路。每个采样开关由一个电阻 (R_{S1} 和 R_{S2} ，通常为 25Ω) 表示，与一个采样开关 (SW_1 和 SW_2) 串联。采样电容器 C_{S1} 和 C_{S2} 通常为 18pF 。

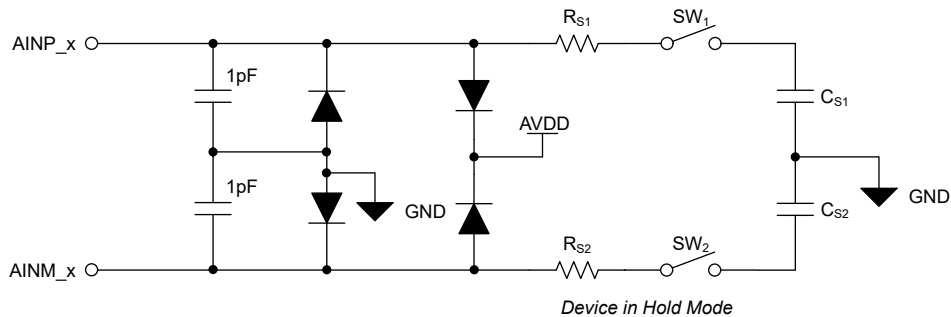


图 7-1. 模拟输入

7.3.2 参考

ADS932x 器件内部具有一个精密的低漂移电压基准。为了获得出色性能，可通过将 $1\mu\text{F}$ 陶瓷旁路电容器连接到 REFIO 引脚来过滤内部基准噪声。如 表 7-1 中所述，上电时内部基准源处于活动状态。

表 7-1. 基准源选择

PD_REF 寄存器值	ADC 基准源
00b (默认值)	内部基准处于活动状态。
01b	保留。
10b	内部基准处于活动状态。
11b	内部基准处于非活动状态。使用 REFIO (引脚 9) 强制使用外部基准。

7.3.2.1 内部基准

ADS932x 的内部基准电压在 $AVDD = 5V$ 时的标称输出电压为 $4.096V$ ，在 $AVDD = 3.3V$ 时的标称输出电压为 $2.5V$ 。内部基准源在上电时处于活动状态。如 图 7-2 和 图 7-3 所示，在 REFIO 引脚和 REFM 引脚之间放置一个最小 $1\mu F$ 的去耦电容器。

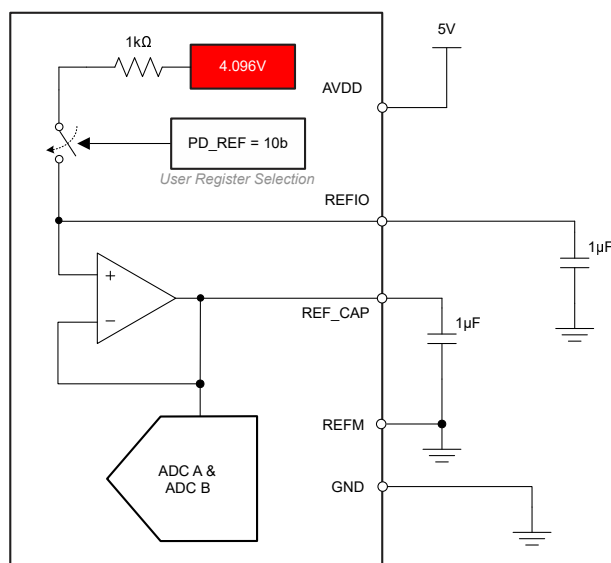


图 7-2. 内部基准: $AVDD = 5V$

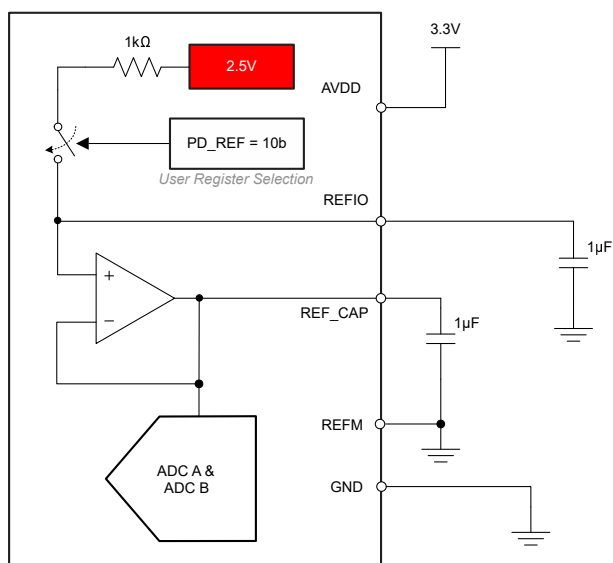


图 7-3. 内部基准: AVDD = 3.3V

7.3.2.1.1 具有 5V AVDD 的可选内部基准

当 AVDD = 5V 时, ADS932x 提供 4.096V、3.3V 或 2.5V 的可选内部基准值。通过写入寄存器组 1 中的 INT REF MODE 来选择内部基准值, 如表 7-2 所示。

表 7-2. AVDD = 5V 时的内部基准选择

内部基准值	INT_REF_MODE
4.096V	0b
3.3V	11b
2.5V	1b

7.3.2.2 外部基准

可在 REFIO 引脚处连接外部基准电压 (如图 7-4 所示), 并在 REFIO 引脚和 REFM 引脚之间放置一个适当的去耦电容器。为了提高热漂移性能, 使用 REF7040。要禁用内部基准, 请在寄存器组 1 的地址 0x0C 中设置 PD_REF = 11b, 如参考部分所述。REFIO 引脚具有连接到 AVDD 引脚和 REFM 引脚的静电放电 (ESD) 保护二极管。

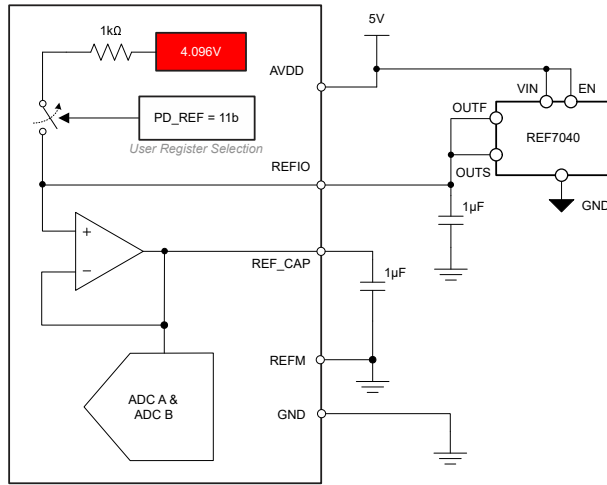


图 7-4. 外部基准 : AVDD = 5V

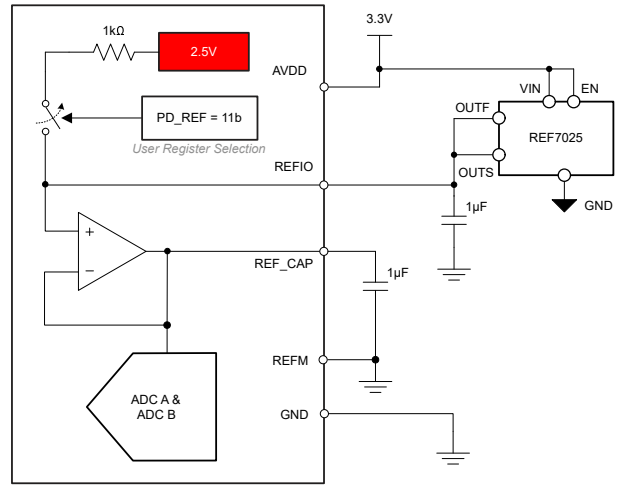


图 7-5. 外部基准 : AVDD = 3.3V

7.3.2.3 采用外部基准缓冲器的外部基准

若要改善系统增益误差热漂移, 请关闭内部器件基准缓冲器的电源, 并将外部低漂移基准缓冲器连接到器件。如图 7-6 所示, 将外部基准缓冲器的输出连接到 REFIO 和 REF_CAP 引脚, 并将内部基准缓冲器断电。确保与 REF_CAP 的连接小于 2Ω。图 7-7 显示了 REF_CAP 引脚上消耗的电流与具有不同采样率时的差动模拟输入电压间的关系。表 7-3 描述了断电内部基准缓冲器的序列。

表 7-3. 断电内部基准缓冲器的序列

帧编号	寄存器		说明
	地址	VALUE[15:0]	
1	0x02	0x0002	选择寄存器组 1
2	0x0C	0x0300	断电内部基准
3	0x13	0x0008	断电内部基准缓冲器
4	0x02	0x0002	选择寄存器组 1

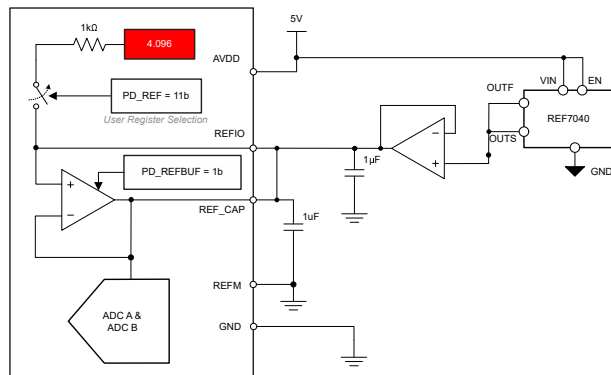


图 7-6. 采用外部基准缓冲器的外部基准

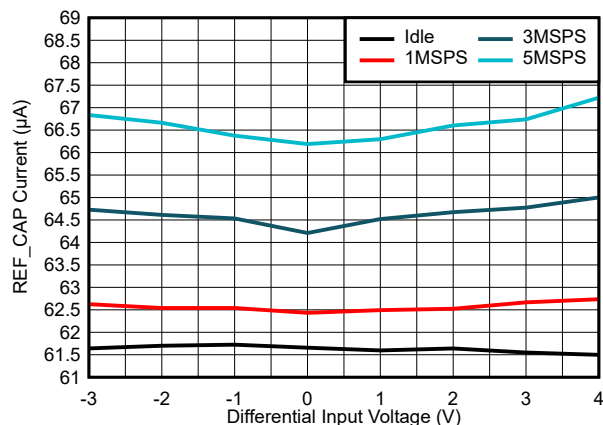


图 7-7. REF_CAP 电流与差动输入电压间的关系

7.3.3 突发采样操作

在突发模式运行中，器件在执行突发转换之前会长时间保持采集状态。图 7-8 显示了突发模式运行期间 ADC 输出代码的偏差。第一个样本小于 1.5LSB，所有后续样本都在最终稳定值的 0.5LSB 范围内。

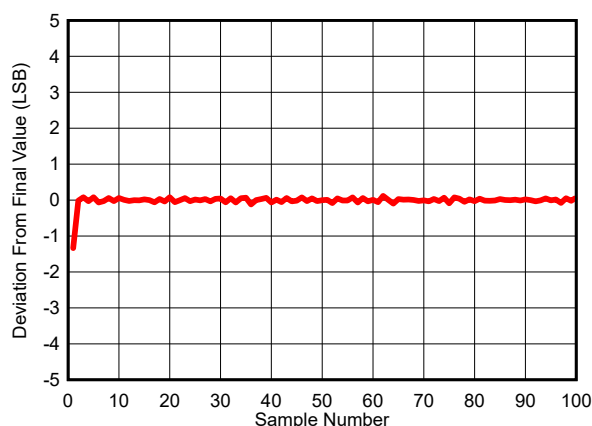


图 7-8. 突发模式运行下的 ADC 输出代码

7.3.4 ADC 传递函数

ADS932x 以标准二进制或二进制补码格式输出 16 位转换数据。默认情况下，转换数据以二进制补码的格式输出。要启用的标准二进制格式，需在地址 0x0D 中的 DATA_FORMAT 中写入 1b。表 7-4 和图 7-9 展示了 ADS932x 的传递特性。方程式 1 给出了 ADC 的最低有效位 (LSB)。

$$1\text{LSB} = (2 \times V_{\text{REFIO}}) / 2^N \quad (1)$$

其中：

- $N =$ 器件分辨率

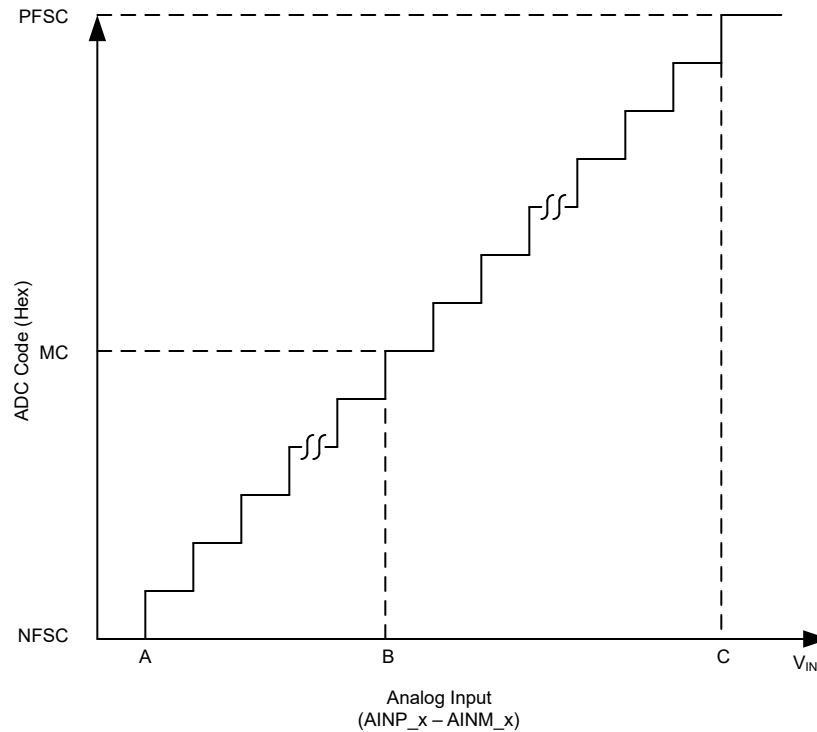


图 7-9. 传输特性

表 7-4. 传输特性

步骤	输入电压 (AINP_x - AINM_x)	代码	说明	16 位输出代码 (二进制补码)	16 位输出代码 (标准二进制)
A	$\leq -(V_{REFIO} + 1\text{LSB})$	NFSC	负满量程代码	0x8000	0x0000
B	$0V + 1\text{LSB}$	MC	中间码	0x0000	0x8000
C	$\geq (V_{REFIO} - 1\text{LSB})$	PFSC	正满量程代码	0x7FFF	0xFFFF

7.3.5 可编程数据平均滤波器

ADS932x 具有两个内置抽取滤波器，可对 ADC 的转换结果进行平均：

- 简单平均：ADC 输出是窗口大小固定时转换结果的平均值，且输出数据速率随着窗口大小的增加而降低。
- 移动平均值日：ADC 输出是在移动窗口大小下转换结果的平均值。输出数据速率随着窗口大小的增加而保持不变。

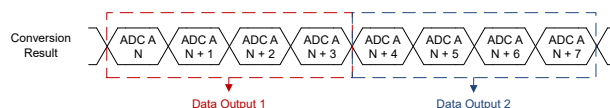


图 7-10. 简单平均数据输出

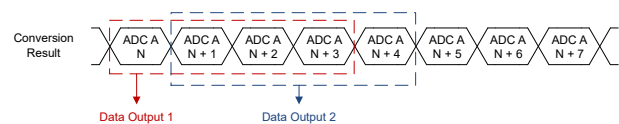


图 7-11. 移动平均数据输出

7.3.5.1 简单平均

如要启用简单数据平均，需将 1b 写入地址 0x0D 中的 SAVG_EN，并在地址 0x0D 中写入 SAVG_MODE 来选择窗口大小。

表 7-5 详细阐述了数据简单平均处理对 SNR 的提升效果，以及对 ADC 输出速率产生的相应影响。图 7-12 展示了对四个样本进行简单平均处理后的 ADC 输出时序。启用均值计算后，输出数据帧宽度会增加四位，如数据帧宽度所示。

表 7-5. 简单平均 - ADC 输出数据速率和 SNR 与数据平均之间的关系

过采样率	SNR - ADS9327 (16-BIT)	最大输出数据速率
未进行平均值计算	93.2dB	5MSPS
2	97.2dB	2.5MSPS
4	99.3dB	1.25MSPS
8	101.1dB	625kSPS
16	103.1dB	312.5kSPS
32	105.1dB	156.25kSPS
64	106.5dB	78.125kSPS
128	107.1dB	39.0625kSPS

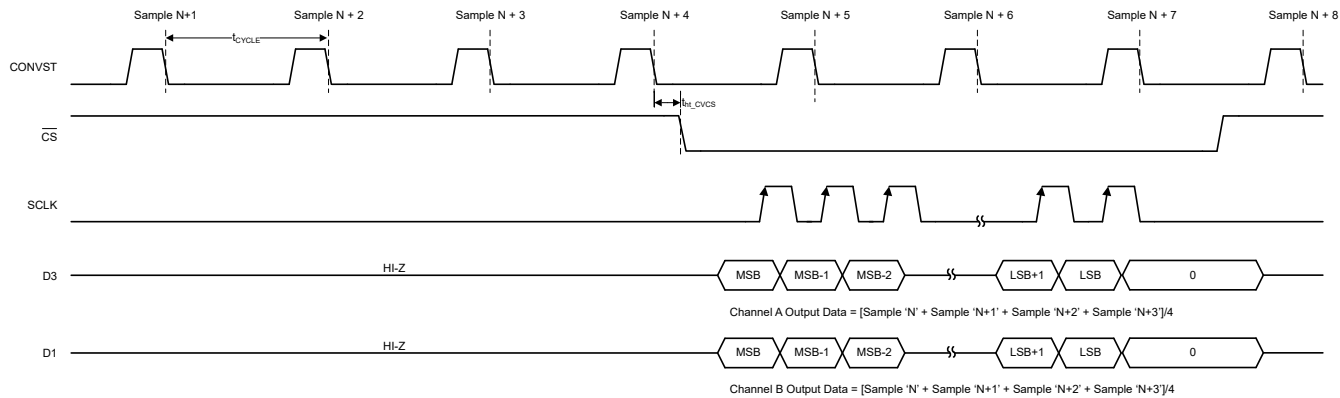


图 7-12. 在双通道数据接口模式下简单平均 4 个样本的 ADC 输出示例

ADS932x 支持通过启用低延时模式实现简单平均。图 7-13 展示了在低延时模式处于活动状态时使用简单平均的时序图。

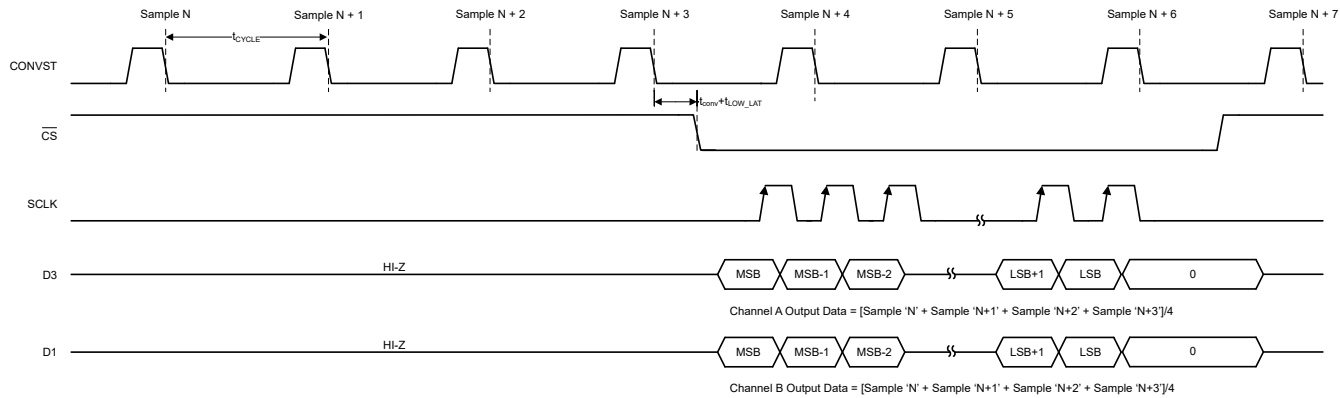


图 7-13. 在 2 通道数据接口模式和低延时模式下简单平均 4 个样本的 ADC 输出示例

7.3.5.1.1 使用非连续 CONVST 的简单平均

要使用非连续 CONVST 启用均值计算，请按照表 7-6 中的顺序操作。

表 7-6. 非连续 CONVST 的简单平均初始化序列

步骤	说明
1	解锁器件寄存器映射。
2	通过向 SAVG_EN 写入 1b，并在 SAVG_MODE 中选择窗口大小，以启用简单平均。
3	将 1b 写入 AVG_SYNC。

表 7-6. 非连续 CONVST 的简单平均初始化序列 (续)

步骤	说明
4	等待 100 μ s。
5	提供 2 个额外的 CONVST 脉冲。

图 7-14 说明了在非连续 CONVST 和默认时序下，对 2 个样本的平均值启用简单平均的时序。

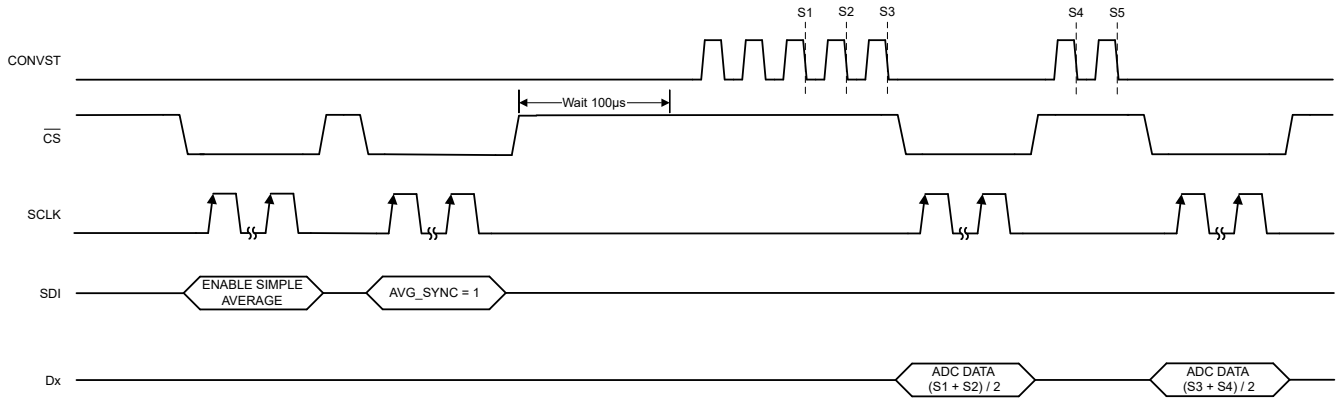


图 7-14. 非连续 CONVST 模式下简单平均启用时序 (2 样本均值)

ADS932x 还支持在低延时模式下通过非连续 CONVST 进行简单平均。图 7-15 说明了在低延时模式下使用非连续 CONVST 信号实现简单平均的时序。

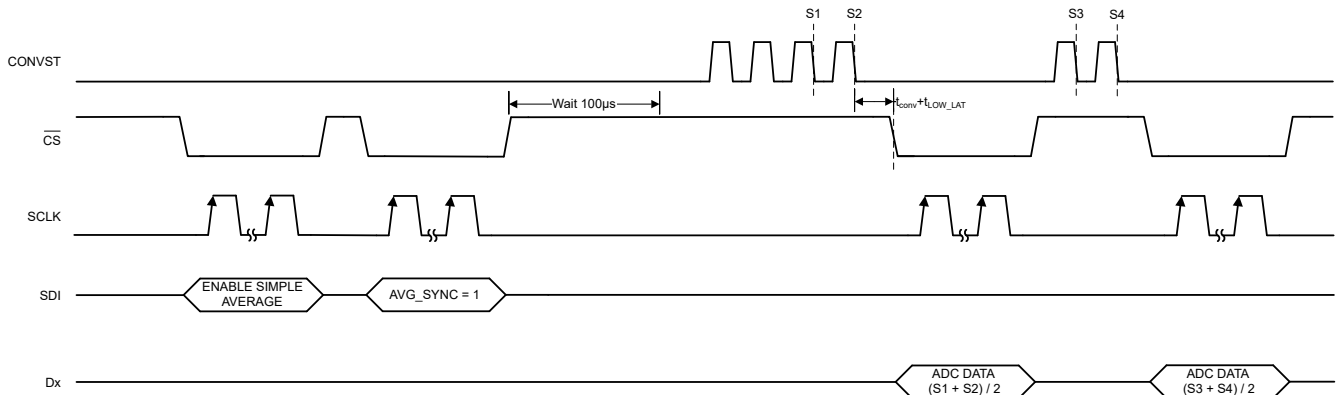


图 7-15. 非连续 CONVST 和低延时模式下简单平均启用时序

7.3.5.2 移动平均值

若要启用移动数据平均，需在寄存器组 1 的地址 0x0D 中写入 MAVG_MODE 来选择平均窗口大小。用户可以自行决定移动平均窗口大小，在 2、4 和 8 个转换结果之间选择。

表 7-7 说明了移动数据平均带来的 SNR 改善效果。图 7-16 展示了对四个样本进行移动平均处理后的 ADC 输出时序。

表 7-7. 移动平均 - ADC 输出数据速率和 SNR 与数据平均之间的关系

过采样率	SNR - ADS9327 (16-BIT)	最大输出数据速率
未进行平均值计算	93.2dB	5MSPS
2	97.2dB	5MSPS
4	99.3dB	5MSPS
8	100.9dB	5MSPS

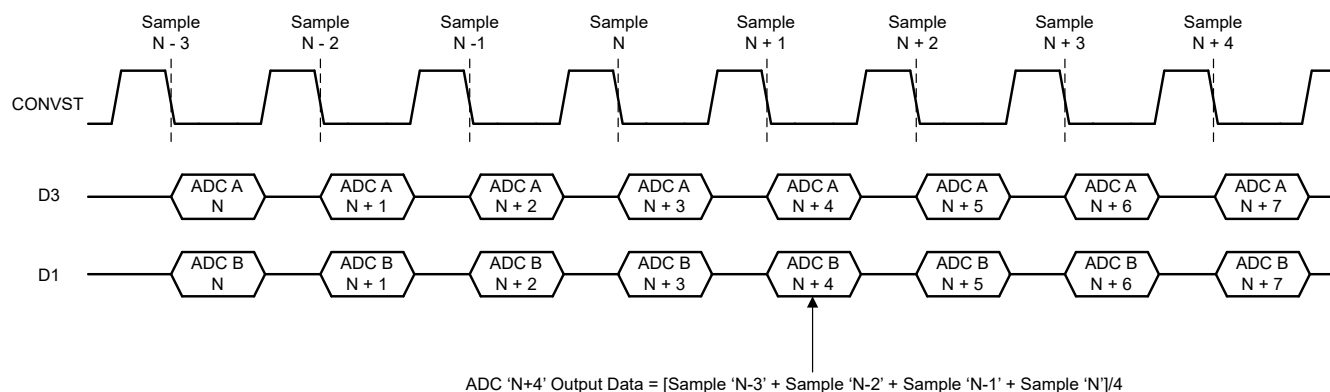


图 7-16. 移动平均 4 个样本的 ADC 输出示例

7.3.6 通道平均

ADS932x 支持使用通道平均算法基于原始通道数据创建更低噪声的输出。启用通道平均后，ADC 数据输出宽度不会改变。在典型使用情况下，信号会并行施加到器件的两个通道上，如 图 7-17 所示。要启用通道平均，请将 1b 写入地址 0x0D 中的 CH_AVERAGE。启用后，数据输出是通道 A 和通道 B 的平均值。数据接口上对应于通道 A 的器件输出与对应于通道 B 的数据相同。通道 A 或通道 B 数据均可用于评估转换结果。

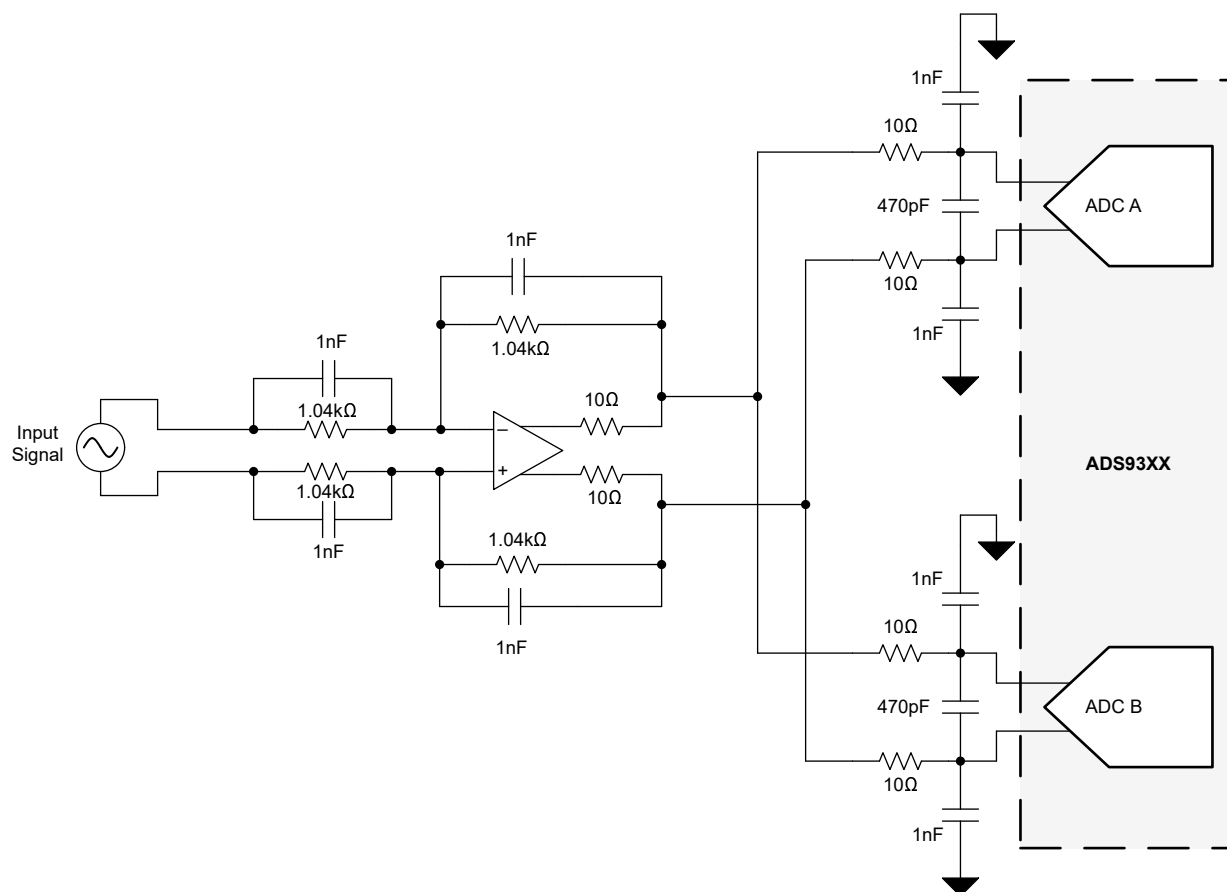


图 7-17. 通道平均硬件连接

7.3.7 共模电压输出

ADS932x 提供共模电压输出，用于设置全差动放大器等外部电路上的电压输出共模。如 [表 7-8](#) 所述，该器件能够通过写入地址 0x39 中的 VCMOUT_SEL 来对共模输出电压进行编程。

[方程式 2](#) 展示了如何根据基准电压和 VCMOUT_SEL 寄存器字段计算 VCMOUT 电压。

$$\text{VCMOUT} = \left(0.546 \times V_{\text{REF}}\right) + \left(0.064 \times \text{VCMOUT_FACTOR} \times \frac{V_{\text{REF}}}{4.096}\right) \quad (2)$$

表 7-8. VCMOUT 可编程性，采用 4.096V 基准

VCMOUT_SEL	VCMOUT_FACTOR	最小值	典型值	最大值
000b	0	2.21V	2.23V	2.25V
001b	-1	2.15V	2.17V	2.19V
010b	-2	2.09V	2.11V	2.13V
011b	-3	2.02V	2.04V	2.06V
100b	4	2.47V	2.49V	2.51V
101b	3	2.41V	2.43V	2.45V
110b	2	2.34V	2.36V	2.38V
111b	1	2.27V	2.29V	2.31V

7.3.8 输出数据接口上的 CRC

循环冗余校验 (CRC) 是一种用于检测与主机通信错误的错误校验码。CRC 是数据有效载荷字节除以固定多项式的余数。CRC 模式是可选的，可通过寄存器组 1 中地址 0x0D 下的 CRC_EN 位启用。ADS932x 中的 CRC 仅在输出数据接口上实现，不用于寄存器读取或写入操作。启用 CRC 后，CRC 数据字节会附加到 ADC 转换结果，请参阅 [数据帧宽度](#) 部分。

CRC 数据字节是由参数与 CRC 多项式进行按位异或 (XOR) 操作后得到的 8 位余数。该 CRC 多项式基于 CRC-8-CCITT : $X^8 + X^2 + X^1 + 1$ 。CRC 计算的预设值为 0b11111111。

7.3.9 ADC 输出数据随机数发生器

ADS932x 具有一个数据输出数据随机数发生器。启用时，ADC 转换结果将使用附加在 ADC 数据输出上的四位伪随机二进制序列 (PRBS) 位进行按位异或 (XOR) 操作。请参阅 [数据帧宽度](#) 部分。XOR 中所涉及的 PRBS 位为 1 或 0 的概率是相等的。由于 XOR 操作，ADS932x 的数据输出是随机的。通过数据接口传输该随机结果所产生的接地反弹与模拟输入电压无关。当 PCB 布局未能更大限度地减少接地反弹时，该不相关传输有助于尽可能地减少数据传输与 ADC 模拟性能之间的相互影响。若要启用输出数据随机数发生器，需向寄存器组 1 中地址为 0x0D 的 XOR_EN 写入二进制数 01111b。[图 7-18](#) 展示了启用数据输出随机数发生器时的数据输出。

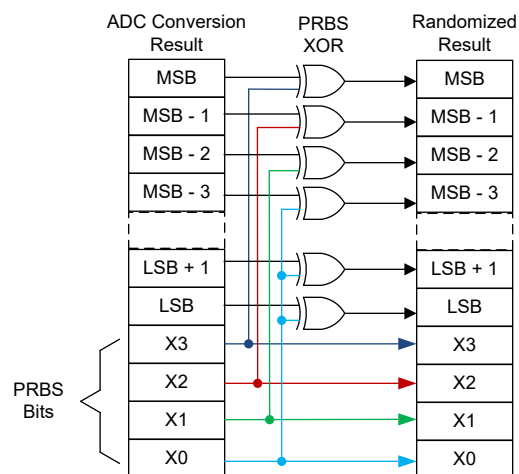


图 7-18. 使用 4 位 PRBS 的 XOR 操作

7.4 器件功能模式

7.4.1 复位

通过向地址 0x01 中的 RESET 字段写入 1b 来复位 ADS932x。复位后器件寄存器将初始化为默认值。

7.4.2 正常运行

在正常工作模式下，ADS932x 上电，并在 CONVST 下降沿对样本 N 进行数字化。在 $\overline{CS}$ 下降沿的数字接口上发出对应于样本 N-1 的数据，如图 6-2 所示。

7.4.3 低延时模式

在低延时模式下，样本 N 的转换在 CONVST 的下降沿开始。在 $\overline{CS}$ 下降沿的数字接口上发出对应于样本 N 的数据。如图 6-3 所示，主机提供 CONVST 与 $\overline{CS}$ 的下降沿之间的 $t_{\text{CONV}} + t_{\text{LOW_LAT}}$ 的最短时间。要进入低延时模式，需在地址 0x09 中将 1b 写入 LATENCY_MODE。

7.4.4 $\overline{CS}$ -CONVST 短接模式

在 $\overline{CS}$ -CONVST 短接模式下，在外部将 $\overline{CS}$ 和 CONVST 连接在一起。如图 6-4 所示，ADS932x 会在 CONVST 的下降沿将样本 N 数字化。在 $\overline{CS}$ 下降沿的数字接口上发出对应于样本 N-1 的数据。默认情况下支持 $\overline{CS}$ -CONVST 短路模式，并在 CONVST 和 $\overline{CS}$ 的下降沿之间产生 5ns 的内部延时。通过在地址 0x13 中向 CSZ_CONVST_DELAY_DIS 写入 1b，禁用 CONVST 和 $\overline{CS}$ 之间的内部延迟。

7.4.5 寄存器读取模式

在寄存器读取模式下，该器件在 D3 上发出请求的器件寄存器数据。如要进入寄存器读取模式，需设置 DATA_SEL = 1b，如寄存器读取部分中所述。

7.4.6 初始化序列

ADS932x 旨在支持各种信号输入共模。为了在外部电路上设置电压输出共模，该器件在 VCMOUT 引脚上提供一个电压输出，与器件的预期输入共模匹配。如果输入信号共模等于默认的 VCMOUT (VCMOUT_SEL = 0b)，则无需初始化序列。

如果输入信号共模设置为默认 VCMOUT 以外的值，则将 VCMOUT_SEL 寄存器字段编程为等效值。将 VCMOUT_SEL 编程到器件后，提供 800 个 CONVST 周期。表 7-9 展示了输入信号共模与 VCMOUT 的默认值不匹配时初始化器件的步骤。

表 7-9. ADS932x 初始化序列

步骤编号	说明
1	解锁寄存器映射。
2	通过写入 VCMOUT_SEL 来选择 VCMOUT 的值。
3	锁定寄存器映射。
4	提供 800 个 CONVST 周期。

7.5 编程

7.5.1 数据接口

ADS932x 具有与 SPI 兼容的串行接口，其数据输出有单通道、双通道和四通道三种选择。表 7-10 展示了用于配置输出数据通道数量的寄存器设置，以及每个串行数据输出引脚上对应的 ADC 转换数据输出情况。

表 7-10. 输出数据接口配置设置

输出数据通道数	NUM_DATA_LANES 寄存器值	串行数据输出引脚	ADC 转换数据输出
4 通道	000b	D3	ADC A[15:8]
		D2	ADC A[7:0]
		D1	ADC B[15:8]
		D0	ADC B[7:0]
2 通道	101b	D3	ADC A[15:0]
		D2	高阻态
		D1	ADC B[15:0]
		D0	高阻态
1 通道	110b	D3	ADC A[15:0], 0x00, ADC B[15:0], 0x00
		D2	高阻态
		D1	高阻态
		D0	高阻态

7.5.2 数据帧宽度

ADS932x 支持 16 位、20 位和 24 位数据帧宽度选项。默认输出数据帧宽度为 16 位。如表 7-11 所示，输出数据帧宽度增加到 20 或 24 位，具体取决于是否使用均值、XOR 和 CRC。

表 7-11. 输出数据帧

CRC_EN	SAVG_EN	XOR_EN	输出宽度 (位)	输出数据帧
CRC 模块禁用	未进行平均值计算	已禁用 XOR	16	{Conversion result [15:0]}
		XOR 启用	20	{Conversion result [15:0], PRBS[3:0]}
	已启用取平均值功能	已禁用 XOR	20	{Conversion result [17:0], 0b00}
		XOR 启用	24	{Conversion result [17:0], PRBS[3:0], 0b00}
已启用 CRC 模块	未进行平均值计算	已禁用 XOR	24	{Conversion result [15:0], CRC[7:0]}
		XOR 启用	不适用	不支持
	已启用取平均值功能	已禁用 XOR	N/A	不受支持
		XOR 启用	不适用	不支持

7.5.3 SPI 模式

该器件支持与 SPI 兼容的协议，具有时钟相位和极性的所有组合。表 7-12 提供了器件支持的 SPI 协议的详细信息。

表 7-12. SPI 协议

协议	SPI_MODE 寄存器字段	SCLK 极性 (在 CS 下降沿)	MSB 启动沿	SCLK 启动沿	SDI 锁存沿	时序图
SPI-00	00b	低	$\overline{\text{CS}}$ 下降	上升	上升	图 7-19
SPI-01	01b	低	第 1 个 SCLK 上升	上升	下降	图 7-20
SPI-10	10b	高	$\overline{\text{CS}}$ 下降	下降	下降	图 7-19

表 7-12. SPI 协议 (续)

协议	SPI_MODE 寄存器字段	SCLK 极性 (在 $\overline{CS}$ 下降沿)	MSB 启动沿	SCLK 启动沿	SDI 锁存沿	时序图
SPI-11	11b	高	第 1 个 SCLK 下降	下降	上升	图 7-20

图 7-19 和 图 7-20 展示了 SPI 协议的时序图。

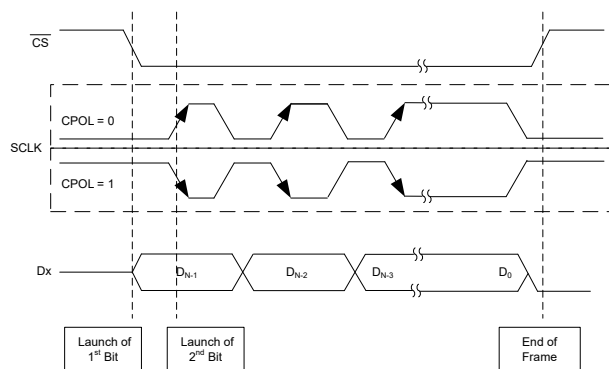


图 7-19. SPI-00 和 SPI-10 协议

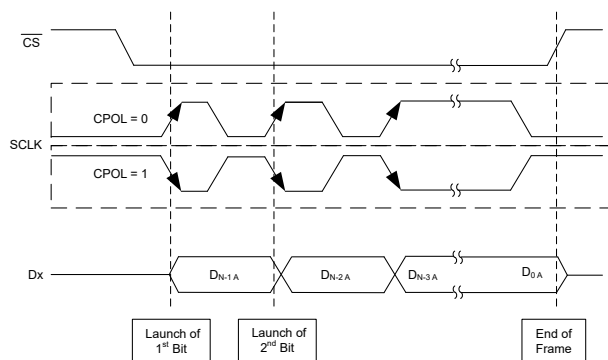


图 7-20. SPI-01 和 SPI-11 协议

7.5.4 CONVST 反相

在默认运行模式下，ADS932x 在 CONVST 的下降沿启动转换。该器件能够对 CONVST 进行反相，以便该器件在 CONVST 的上升沿启动 ADC 转换。要启用该模式，请在地址 0x14 中将 1b 写入 CONVST_INVERT。图 7-21 说明了 CONVST 反相时的时序。如果启用低延时模式，请确认 t_{ph_CV} 大于 $t_{CONV} + t_{LOW_LAT}$ ，以便 ADC 输出来自当前 ADC 样本。

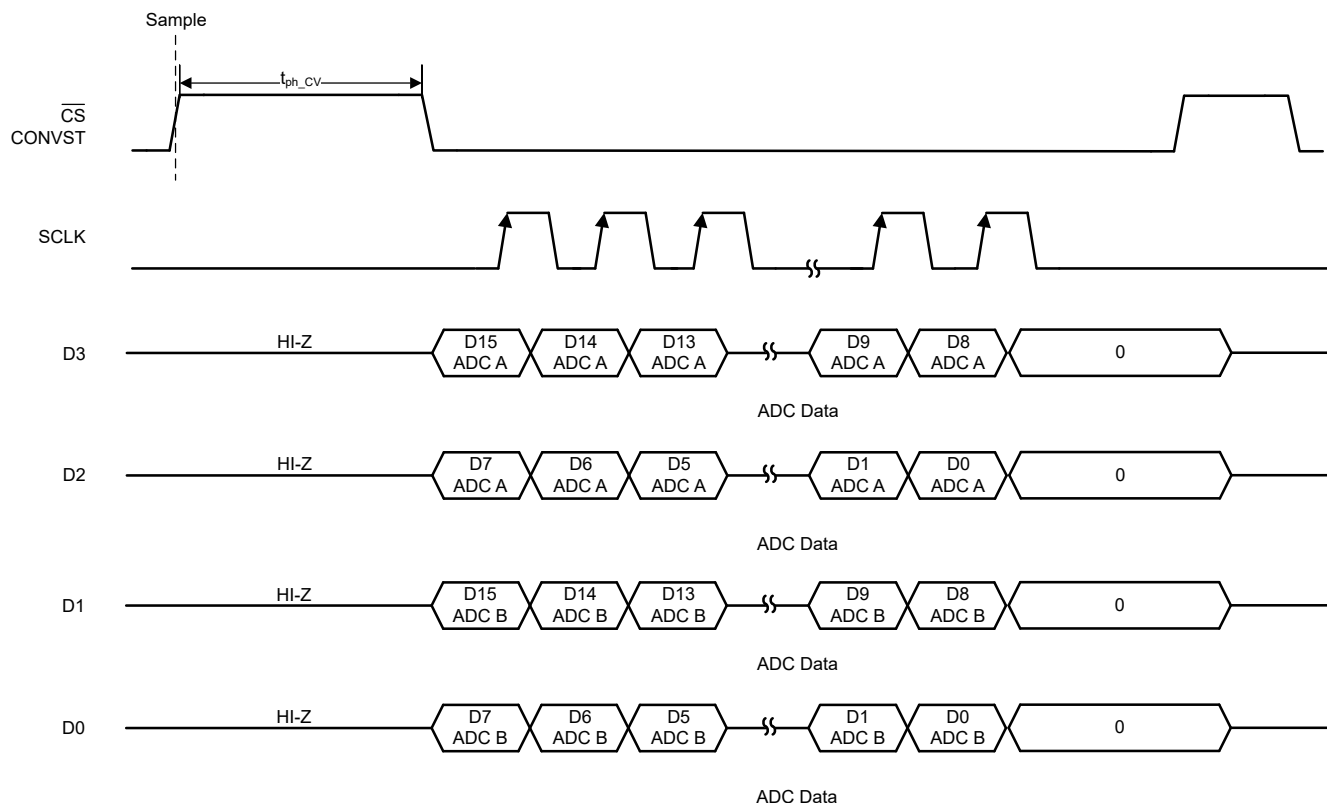


图 7-21. CONVST 反相时序

7.5.5 SCLK 回波模式

考虑到主机和 ADC 之间的延时，ADS932x 具有 SCLK 回波模式。在 SCLK 回波模式下，器件通过引脚 D0 为主机提供返回时钟，可用于锁存数据，如 图 7-22 所示。

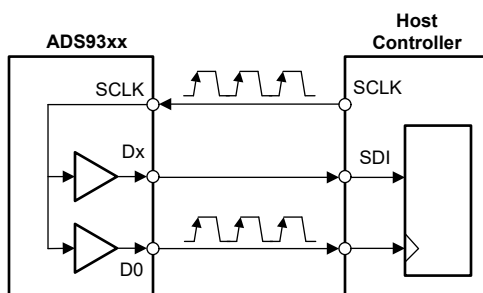


图 7-22. 用于 SCLK 回波模式数据传输的信号

SCLK 回波模式可在 1 通道或 2 通道数据输出模式下启用。要在 D0 上启用 SCLK 回波信号，请将 1b 写入地址 0x9 中的 SCLK_ECHO。如果器件处于 2 通道数据输出模式，请将 1b 写入地址 0xA 中的 SDO_PD_OVERRIDE。SCLK 回波模式与 4 通道数据输出模式不兼容。图 7-23 展示了 SCLK 回波模式的时序。

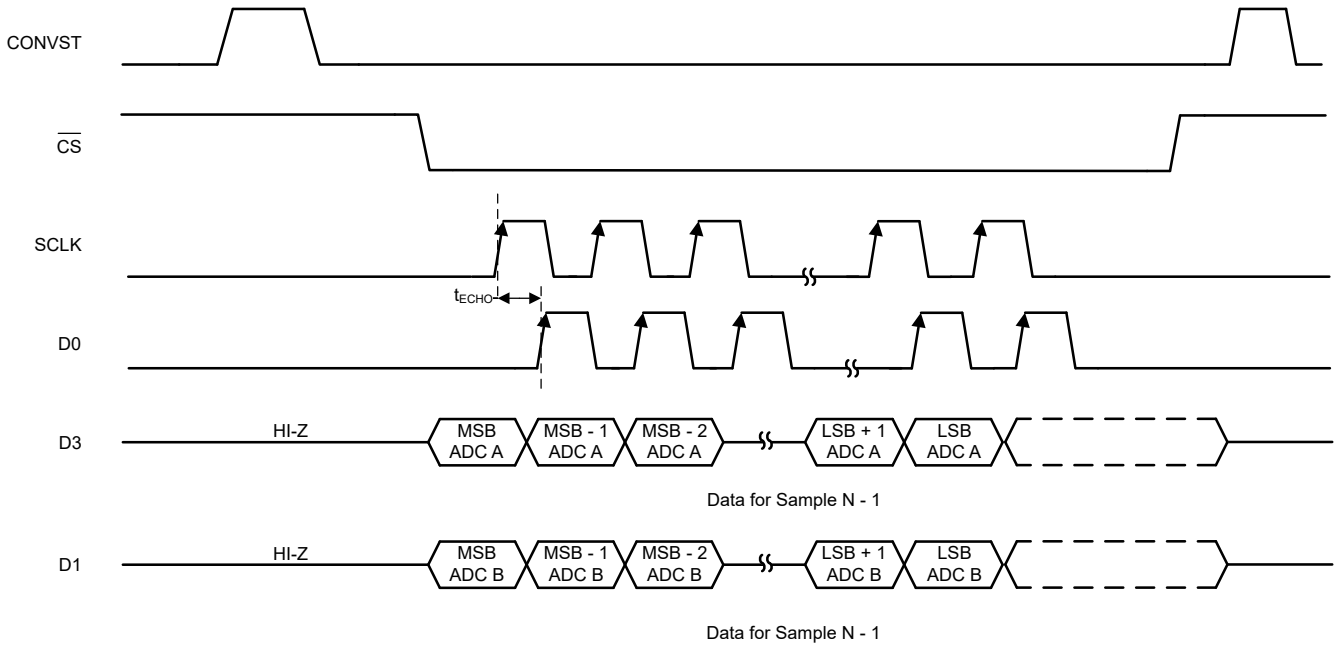


图 7-23. SCLK 回波时序图

7.5.6 菊花链模式

ADS932x 既能够作为独立的单个转换器运行，也可以在包含多个转换器的系统中发挥作用。为充分利用其简洁高速的 SPI 串行接口优势，当使用多个转换器时，可采用菊花链配置的方式将这些转换器进行级联。启用菊花链模式无需寄存器配置。图 7-24 展示了三个转换器在菊花链模式下的典型连接方式。

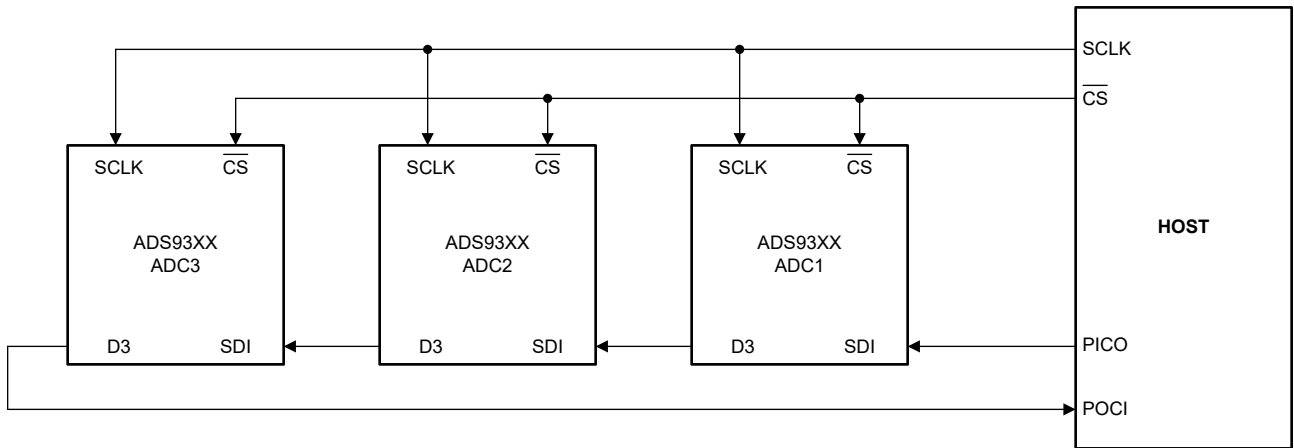


图 7-24. 菊花链连接

当 ADS932x 以菊花链模式连接时，请通过将 110b 写入 NUM_DATA_LANES 来确保器件在单通道接口模式下运行。请参阅 [数据接口](#) 部分。只要 $\overline{CS}$ 处于活动状态，串行输入数据就会以 48 SCLK 延迟通过器件。图 7-25 展示了在各转换器同时进行转换操作的情况下，该模式的详细时序图。

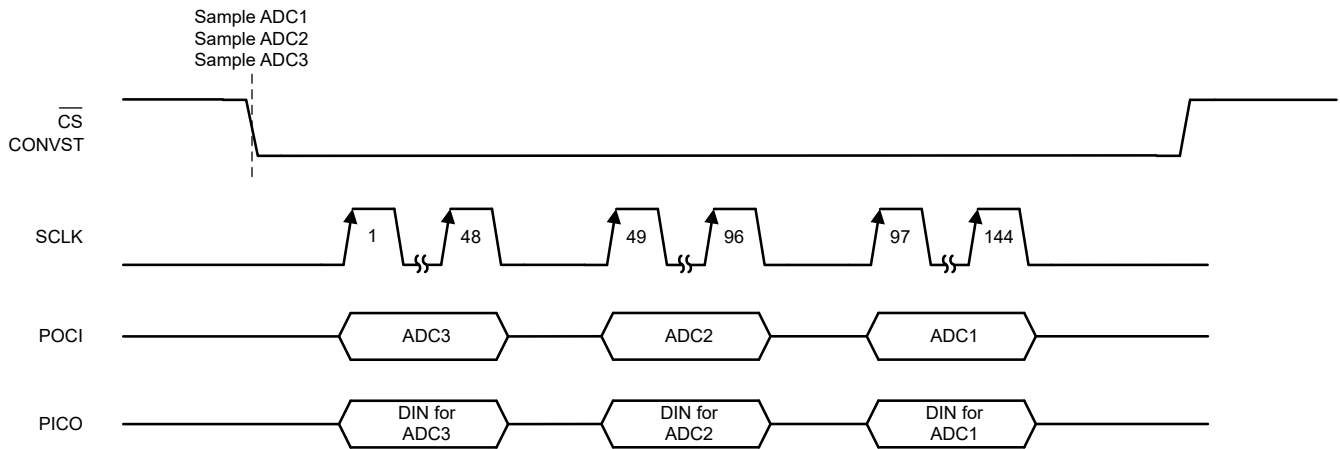


图 7-25. 简化的菊花链时序

7.5.7 寄存器操作的 SPI 帧长度

如表 7-13 中所述，根据使用的输出数据通道数，使用 24 位或 48 位 SPI 进行寄存器读取或写入操作。如果 SPI 帧长度长于或短于所需长度，此差异会导致意外写入用户寄存器。

表 7-13. SPI 帧长度要求

输出数据通道数	所需的 SCLK 数
4	24
2	24
1	24 或 48

7.5.8 寄存器映射锁定

ADS932x 实现了寄存器映射锁定功能，可防止意外或无意中写入器件寄存器。默认情况下，器件寄存器映射处于锁定状态。在写入或读取寄存器之前，按照表 7-14 所示的顺序解锁寄存器映射。

表 7-14. ADS932x 寄存器映射解锁序列

步骤编号	寄存器		
	BANK	地址	VALUE[15:0]
1	0	0xFE	0xB38F
2	0	0xFE	0xABCD

写入或读取寄存器后，锁定寄存器映射以防止意外写入寄存器。除寄存器映射解锁序列以外，向地址 0xFE 写入任何其他值都会锁定寄存器映射。表 7-15 展示了锁定器件寄存器映射的序列示例。

表 7-15. ADS932x 寄存器映射锁定序列示例

步骤编号	寄存器		
	BANK	地址	VALUE[15:0]
1	0	0xFE	0x1234

7.5.9 寄存器写入

按照 [寄存器映射锁定](#) 部分中所述的寄存器映射解锁序列来启用寄存器写入访问。16 位寄存器分为两个寄存器组，可以使用 8 位寄存器地址进行寻址。通过在 0x02 中将 0x02 写入 REG_Bank_SEL，可以选择寄存器组 1 进行读取或写入操作。无论 REG_BANK_SEL 位如何，组 0 中的寄存器始终都是可访问的。组 0 中的这些寄存器地址是唯一的，因此不在寄存器组 1 中使用。SDI 上的 24 位数据包括 8 位地址和 16 位数据。SDI 上的数据在 SCLK 的

上升沿锁存。该器件在 $\overline{\text{CS}}$ 上升沿上解码写入命令，并使用寄存器写入操作中指定的 16 位数据更新指定的寄存器。图 7-26 显示了寄存器写入的 24 位 SPI 帧，表 7-16 描述了写入寄存器所需的步骤。

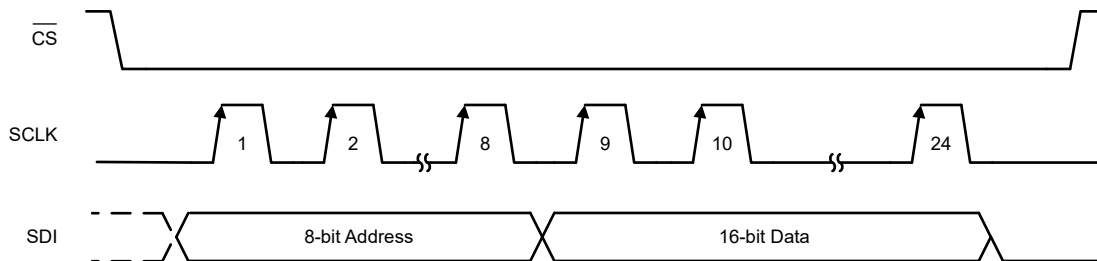


图 7-26. 寄存器写入帧

表 7-16. 寄存器写入序列

帧编号	寄存器		说明
	地址	VALUE[15:0]	
1	0xFE	0xB38F	解锁寄存器映射。
2	0xFE	0xABCD	
3	0x02	0x02	选择寄存器组 1。仅寄存器组 1 需要执行此步骤。
4	REG_ADDR	DATA	将用户数据写入所需的地址。按照需要写入寄存器的次数，重复上述步骤。
5	0xFE	0x1234	寄存器写入完成后锁定寄存器映射。

7.5.10 寄存器读取

按照 [寄存器映射锁定](#) 部分中所述的寄存器映射解锁序列来启用寄存器访问。若要读取组 1 中的寄存器，请将 0x02 写入寄存器地址 0x02。如图 7-27 所示，读取寄存器需要 24 位或 48 位 SPI 帧。表 7-17 描述了读取寄存器所需的序列。在寄存器映射解锁并选择寄存器组后，将要读取的寄存器地址写入 REG_READ_ADDR。在地址 0x01 中设置 DATA_SEL = 1，以在下一帧中在 D3 上发出寄存器数据。在 $\overline{\text{CS}}$ 的上升沿，读取命令进行解码，请求的寄存器数据可用于在下一帧期间读取。在下一帧期间，D3 上的前 16 位对应于请求的寄存器读取。使用 SDI 可启动另一项操作或将 SDI 设置为 0。要在下一帧中在数字接口上开始发出 ADC 转换结果，请设置 DATA_SEL = 0b。寄存器操作完成后，如 [寄存器映射锁定](#) 部分中所述锁定寄存器映射。

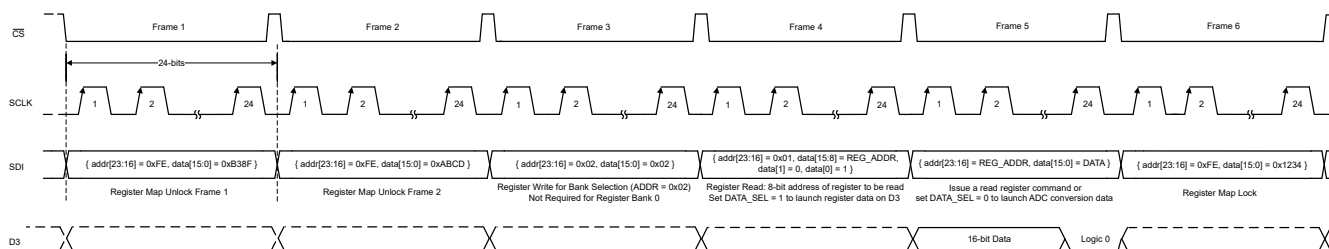


图 7-27. 寄存器读取

表 7-17. 寄存器读取序列

帧编号	寄存器		说明
	地址	VALUE[15:0]	
1	0xFE	0xB38F	解锁寄存器映射。
2	0xFE	0xABCD	
3	0x02	0x02	选择寄存器组 1。仅寄存器组 1 需要执行此步骤。
4	0x01	REG_READ_ADDR[15:8] = REG_ADDR , RESET[1]= 0 , DATA_SEL[0]= 1	REG_READ_ADDR 选择要读取的地址，而 DATA_SEL 在下一帧在 D3 上发出选定的寄存器数据。
5	REG_ADDR	DATA	前一帧中请求的 16 位数据可从 D3 获取。在该帧中，在地址 0x01 中发出另一个读取寄存器命令或写入 DATA_SEL = 0。此设置会开始在下一帧中在数据接口上发出 ADC 转换数据。按照需要读取寄存器的次数，重复上述步骤。
6	0xFE	0x1234	在寄存器操作完成后锁定寄存器映射。

8 寄存器映射

8.1 寄存器组 0

表 8-1 列出了寄存器组 0 寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-1. 寄存器映射组 0

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x01	寄存器 01h	REG_READ_ADDR[7:0]							
		RESERVED						复位	DATA_SEL
0x02	寄存器 02h	RESERVED							
		RESERVED				REG_BANK_SEL[3:0]			

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. 寄存器组 0 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 寄存器 01h (地址 = 0x01) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-1. 寄存器 01h

15	14	13	12	11	10	9	8
REG_READ_ADDR[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED						复位	DATA_SEL
R/W-000000b						R/W-0b	R/W-0b

表 8-3. 寄存器 01h 字段说明

位	字段	类型	复位	说明
15:8	REG_READ_ADDR[7:0]	R/W	00000000b	要读取的寄存器 8 位地址。
7:2	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
1	复位	R/W	0b	ADC 复位控制。 0b = 正常器件操作。 1b = 复位 ADC 和所有寄存器
0	DATA_SEL	R/W	0b	选择要在 ADC 串行接口上发出的数据。 0b = ADC 转换结果为输出。 1b = 寄存器数据为 D3 上的输出。

8.1.2 寄存器 02h (地址 = 0x02) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-2. 寄存器 02h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0000000000000b							
7	6	5	4	3	2	1	0
RESERVED				REG_BANK_SEL[3:0]			
R/W-0000000000000b				R/W-0000b			

表 8-4. 寄存器 02h 字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R/W	0000000000000b	保留。请勿更改默认复位值。
3:0	REG_BANK_SEL[3:0]	R/W	0000b	选择用于读取和写入操作的寄存器组。 0000b = 选择寄存器组 0。 0010b = 选择寄存器组 1。

8.2 寄存器组 1

表 8-5 列出了寄存器组 1 寄存器的存储器映射寄存器。表 8-5 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-5. 寄存器映射组 1

地址	首字母缩写词	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
		位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0x08	寄存器 08h	RESERVED							
		RESERVED				PDN_CH[1:0]		RESERVED	PDN_CTL
0x09	寄存器 09h	RESERVED					LATENCY_M ODE	RESERVED	
		RESERVED	NUM_DATA_LANES[2:0]			RESERVED	SPI_MODE[1:0]		SCLK_ECHO
0x0A	寄存器 0Ah	RESERVED							SDO_PD_OV ERRIDE
		RESERVED				DIG_DELAY_EN	DRIVE_STRENGTH[2:0]		
0x0B	寄存器 0Bh	RESERVED				DIG_DELAY_D3[2:0]			DIG_DELAY_D2[2:0]
		DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]		
0x0C	寄存器 0Ch	RESERVED						PD_REF[1:0]	
		RESERVED	CLK_PWR[2:0]			RESERVED			
0x0D	寄存器 0Dh	XOR_EN[4:0]					CRC_EN	CH_AVERAG E	DATA_FORM AT
		SAVG_MODE[3:0]				MAVG_MODE[1:0]		AVG_SYNC	SAVG_EN
0x0F	寄存器 0Fh	RESERVED	TEST_PATT_2_LSB[3:0]				TEST_PATT_1_LSB[3:0]		
		TEST_PATT_1_LSB[3:0]	TEST_RAMP_RST	RESERVED		TEST_PATT_MODE[1:0]		TEST_PATT_EN_CHB	TEST_PATT_EN_CHA
0x10	寄存器 10h	TEST_PATT_1_MSB[15:0]							
		TEST_PATT_1_MSB[15:0]							
0x11	寄存器 11h	TEST_PATT_2_MSB[15:0]							
		TEST_PATT_2_MSB[15:0]							
0x13	寄存器 13h	CSZ_CONVS T_INTERNAL_SHORT	RESERVED						
		CSZ_CONVS T_DELAY_DI S	RESERVED			PD_REFBUF	RESERVED		
0x14	寄存器 14h	RESERVED							CONVST_IN VERT
		RESERVED					INT_BUFFER	INT_REF_MODE[1:0]	
0x17	寄存器 17h	RESERVED							
		RESERVED			LL_DELAY[2:0]			RESERVED	
0x39	寄存器 39h	RESERVED	DIS_VCMOU T	VCMOUT_SEL[2:0]			RESERVED		
		RESERVED							
0x48	寄存器 48h	LFN_COMP[15:0]							
		LFN_COMP[15:0]							

复杂的位访问类型经过编码可适应小型表单元。表 8-6 展示了适用于此部分中访问类型的代码。

表 8-6. 寄存器组 1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.2.1 寄存器 08h (地址 = 0x08) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-3. 寄存器 08h

15	14	13	12	11	10	9	8
RESERVED							
R/W-000000000000b							
7	6	5	4	3	2	1	0
RESERVED				PDN_CH[1:0]		RESERVED	PDN_CTL
R/W-000000000000b				R/W-00b		R/W-0b	R/W-0b

表 8-7. 寄存器 08h 字段说明

位	字段	类型	复位	说明
15:4	RESERVED	R/W	000000000000b	保留。请勿更改默认复位值。
3:2	PDN_CH[1:0]	R/W	00b	模拟输入通道的断电控制。 00b = 正常器件操作。 01b = 通道 A 断电。 10b = 通道 B 断电。 11b = 两个通道都断电。
1	RESERVED	R/W	0b	保留。请勿更改默认复位值。
0	PDN_CTL	R/W	0b	完全器件断电控制 0b = 正常器件操作。 1b = 完全器件断电控制。

8.2.2 寄存器 09h (地址 = 0x09) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-4. 寄存器 09h

15	14	13	12	11	10	9	8
RESERVED					LATENCY_MODE	RESERVED	
R/W-0000b					R/W-0b	R/W-000b	
7	6	5	4	3	2	1	0
RESERVED	NUM_DATA_LANES[2:0]			RESERVED	SPI_MODE[1:0]		SCLK_ECHO
R/W-000b	R/W-000b			R/W-0b	R/W-00b		R/W-0b

表 8-8. 寄存器 09h 字段说明

位	字段	类型	复位	说明
15:11	RESERVED	R/W	00000b	保留。请勿更改默认复位值。
10	LATENCY_MODE	R/W	0b	用于选择延时模式的控制。 0b = 在采样 N 帧期间，对应于样本 N - 1 的数据在 $\overline{CS}$ 下降沿发出。 1b = 低延时模式处于活动状态。在采样 N 帧期间，对应于样本 N 的数据在 $\overline{CS}$ 下降沿发出。 CS 为高电平，直至 t_{CONV} (最大值) + t_{LOW_LAT} 。
9:7	RESERVED	R/W	000b	保留。请勿更改默认复位值。
6:4	NUM_DATA_LANES[2:0]	R/W	000b	用于选择串行数据接口使用的通道数的控制。 000b = D[3:2] 上的 ADC A 数据输出和 D[1:0] 上的 ADC B 数据输出。 101b = D3 上的 ADC A 数据输出和 D1 上 ADC B 数据输出。D2 和 D0 为 HI-Z。 110b = D3 上的 ADC A 和 ADC B 数据输出。D[2:0] 为 HI-Z。
3	RESERVED	R/W	0b	保留。请勿更改默认复位值。
2:1	SPI_MODE[1:0]	R/W	00b	控制以选择 SPI 模式。 00b = 模式 0。 01b = 模式 1。 10b = 模式 2。 11b = 模式 3。
0	SCLK_ECHO	R/W	0b	通过控制，将 SCLK (引脚 17) 馈通至 D0 (引脚 16)。 0b = D0 根据数据接口配置输出数据。 1b = D0 通过 SCLK 馈送。

8.2.3 寄存器 0Ah (地址 = 0x0A) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-5. 寄存器 0Ah

15	14	13	12	11	10	9	8
RESERVED							SDO_PD_OVERRID E
R/W-0000000b							R/W-0b
7	6	5	4	3	2	1	0
RESERVED				DIG_DELAY_EN	DRIVE_STRENGTH[2:0]		
R/W-0000b				R/W-0b	R/W-000b		

表 8-9. 寄存器 0Ah 字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R/W	0000000b	保留。请勿更改默认复位值。
8	SDO_PD_OVERRIDE	R/W	0b	通过控制，在 1 通道和 2 通道模式下，覆盖串行数据输出线路的断电。 0b = 未使用的数据输出线路在 1 通道和 2 通道模式下断电。 1b = 所有数据输出线路在 1 通道和 2 通道模式下上电，以支持 SCLK 回波模式。
7:4	RESERVED	R/W	0000b	保留。请勿更改默认复位值。
3	DIG_DELAY_EN	R/W	0b	控制输出缓冲器路径上的数字延迟。 0b = 正常器件操作。 1b = 启用输出缓冲器路径上的数字延迟。幅度由地址 0Bh 中的 DIG_DELAY_Dx 字段控制。
2:0	DRIVE_STRENGTH[2:0]	R/W	000b	控制去配置数字输出缓冲器的驱动强度。 000b = 正常器件操作。 101b = 0.5x 驱动强度。 110b = 2x 驱动强度。 111b = 1.5x 驱动强度。

8.2.4 寄存器 0Bh (地址 = 0x0B) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-6. 寄存器 0Bh

15	14	13	12	11	10	9	8
RESERVED				DIG_DELAY_D3[2:0]			DIG_DELAY_D2[2:0]
R/W-0000b				R/W-000b			R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 8-10. 寄存器 0Bh 字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0000b	保留。请勿更改默认复位值。
11:9	DIG_DELAY_D3[2:0]	R/W	000b	D3 上的可编程数字延迟。 000b = 0ns 延迟。 001b = 1ns 延迟。 010b = 2ns 延迟。 011b = 3ns 延迟。 100b = 4ns 延迟。 101b = 5ns 延迟。
8:6	DIG_DELAY_D2[2:0]	R/W	000b	D2 上的可编程数字延迟。 000b = 0ns 延迟。 001b = 1ns 延迟。 010b = 2ns 延迟。 011b = 3ns 延迟。 100b = 4ns 延迟。 101b = 5ns 延迟。
5:3	DIG_DELAY_D1[2:0]	R/W	000b	D1 上的可编程数字延迟。 000b = 0ns 延迟。 001b = 1ns 延迟。 010b = 2ns 延迟。 011b = 3ns 延迟。 100b = 4ns 延迟。 101b = 5ns 延迟。
2:0	DIG_DELAY_D0[2:0]	R/W	000b	D0 上的可编程数字延迟。 000b = 0ns 延迟。 001b = 1ns 延迟。 010b = 2ns 延迟。 011b = 3ns 延迟。 100b = 4ns 延迟。 101b = 5ns 延迟。

8.2.5 寄存器 0Ch (地址 = 0x0C) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-7. 寄存器 0Ch

15	14	13	12	11	10	9	8
RESERVED							PD_REF[1:0]
R/W-000000b							R/W-00b
7	6	5	4	3	2	1	0
RESERVED	CLK_PWR[2:0]			RESERVED			
R/W-0b	R/W-000b			R/W-0000b			

表 8-11. 寄存器 0Ch 字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留。请勿更改默认复位值。
9:8	PD_REF[1:0]	R/W	00b	ADC 基准电压源选择。 00b = 正常器件操作。内部基准处于活动状态。 10b = 内部基准处于活动状态。 11b = 内部基准处于非活动状态。通过使用 REFIO (引脚 9) 强制使用外部基准。
7	RESERVED	R/W	0b	保留。请勿更改默认复位值。
6:4	CLK_PWR[2:0]	R/W	000b	用于选择输入时钟的电源域的控制。 000b = IOVDD 域。 101b = VDD_1V8 域。
3:0	RESERVED	R/W	0000b	保留。请勿更改默认复位值。

8.2.6 寄存器 0Dh (地址 = 0x0D) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-8. 寄存器 0Dh

15	14	13	12	11	10	9	8
XOR_EN[4:0]					CRC_EN	CH_AVERAGE	DATA_FORMAT
R/W-00000b					R/W-0b	R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
SAVG_MODE[3:0]				MAVG_MODE[1:0]		AVG_SYNC	SAVG_EN
R/W-0000b				R/W-00b		R/W-0b	R/W-0b

表 8-12. 寄存器 0Dh 字段说明

位	字段	类型	复位	说明
15:11	XOR_EN[4:0]	R/W	00000b	控制对 ADC 转换结果启用 XOR 操作。 00000b = XOR 操作处于非活动状态。 01111b = 对 ADC 转换结果的按位 XOR 操作处于活动状态。
10	CRC_EN	R/W	0b	控制在数据接口上启用 CRC。 0b = CRC 模块处于非活动状态。 1b = CRC 模块处于活动状态。
9	CH_AVERAGE	R/W	0b	通过控制, 启用两个 ADC 通道的平均值计算。 0b = 正常器件操作。 1b = 数据输出是通道 A 和通道 B 的平均值
8	DATA_FORMAT	R/W	0b	控制去选择 ADC 转换结果的数据格式。 0b = 二进制补码格式。 1b = 标准二进制格式。
7:4	SAVG_MODE[3:0]	R/W	0000b	控制在简单均值计算模式下要取平均值的样本数量。 0000b = 2 个采样均值。 0001b = 4 个采样均值。 0010b = 8 个采样均值。 0011b = 16 个采样均值。 0100b = 32 个采样均值。 0101b = 64 个采样均值。 0110b = 128 个采样均值。
3:2	MAVG_MODE[1:0]	R/W	00b	控制在移动平均模式下要取平均值的样本数量。 00b = 移动平均处于非活动状态。 01b = 2 个移动采样均值。 10b = 4 个移动采样均值。 11b = 8 个移动采样均值。
1	AVG_SYNC	R/W	0b	内部均值滤波器在简单平均模式下的同步控制。 当从下一个周期开始求平均值时, 写入 1b 以触发。这只能在简单平均的初始化过程中使用。
0	SAVG_EN	R/W	0b	控制启用采样平均。在 SAVG_MODE 中选择要平均的样本数。 0b = 简单平均处于非活动状态。 1b = 简单平均处于活动状态。

8.2.7 寄存器 0Fh (地址 = 0x0F) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-9. 寄存器 0Fh

15	14	13	12	11	10	9	8
RESERVED	TEST_PATT_2_LSB[3:0]				TEST_PATT_1_LSB[3:0]		
R/W-0b	R/W-0000b				R/W-0000b		
7	6	5	4	3	2	1	0
TEST_PATT_1_LSB[3:0]	TEST_RAMP_RST	RESERVED		TEST_PATT_MODE[1:0]		TEST_PATT_EN_CHB	TEST_PATT_EN_CHA
R/W-0000b	R/W-0b	R/W-00b		R/W-00b		R/W-0b	R/W-0b

表 8-13. 寄存器 0Fh 字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0b	保留。请勿更改默认复位值。
14:11	TEST_PATT_2_LSB[3:0]	R/W	0000b	对应于 ADC B 的 LSB 4 位测试模式。
10:7	TEST_PATT_1_LSB[3:0]	R/W	0000b	对应于 ADC A 的 LSB 4 位测试模式。
6	TEST_RAMP_RST	R/W	0b	用于将斜坡模式复位为从 0 开始的控制。 当 TEST_PATT_MODE 设置为斜坡模式时，切换此寄存器位以复位斜坡模式。
5:4	RESERVED	R/W	00b	保留。请勿更改默认复位值。
3:2	TEST_PATT_MODE[1:0]	R/W	00b	数据接口处的测试模式类型。 00b = ADC 输出恒定模式，其中 ADC A 的测试模式在地址 0x10 中的 TEST_PATT_1_MSB 和地址 0x0F 中的 TEST_PATT_1_LSB 定义。ADC B 的测试模式在地址 0x11 中的 TEST_PATT_2_MSB 和地址 0x0F 中的 TEST_PATT_2_LSB 定义。 01b = 斜坡模式。 10b = 每次读取时切换 AAAA 和 5555 之间的交替模式。
1	TEST_PATT_EN_CHB	R/W	0b	用于启用 ADC B 的数字测试模式的控制。 0b = 在数据接口上发出 ADC 转换结果。 1b = 在数据接口上发出数字测试模式。
0	TEST_PATT_EN_CHA	R/W	0b	用于启用 ADC A 的数字测试模式的控制。 0b = 在数据接口上发出 ADC 转换结果。 1b = 在数据接口上发出数字测试模式。

8.2.8 寄存器 10h (地址 = 0x10) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-10. 寄存器 10h

15	14	13	12	11	10	9	8
TEST_PATT_1_MSB[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TEST_PATT_1_MSB[15:0]							
R/W-0000000000000000b							

表 8-14. 寄存器 10h 字段说明

位	字段	类型	复位	说明
15:0	TEST_PATT_1_MSB[15:0]	R/W	0000000000000000 000b	对应于 ADC A 的 MSB 16 位测试模式。

8.2.9 寄存器 11h (地址 = 0x11) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-11. 寄存器 11h

15	14	13	12	11	10	9	8
TEST_PATT_2_MSB[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TEST_PATT_2_MSB[15:0]							
R/W-0000000000000000b							

表 8-15. 寄存器 11h 字段说明

位	字段	类型	复位	说明
15:0	TEST_PATT_2_MSB[15:0]	R/W	0000000000000000 000b	对应于 ADC B 的 MSB 16 位测试模式。

8.2.10 寄存器 13h (地址 = 0x13) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-12. 寄存器 13h

15	14	13	12	11	10	9	8
CSZ_CONVST_INTERNAL_SHORT	RESERVED						
R/W-0b				R/W-0000000b			
7	6	5	4	3	2	1	0
CSZ_CONVST_DELAY_DIS	RESERVED			PD_REFBUF	RESERVED		
R/W-0b		R/W-000b		R/W-0b		R/W-000b	

表 8-16. 寄存器 13h 字段说明

位	字段	类型	复位	说明
15	CSZ_CONVST_INTERNAL_SHORT	R/W	0b	通过控制，在内部短接 CONVST 和 $\overline{CS}$ 。 0b = 正常器件操作。 1b = CONVST 和 $\overline{CS}$ 在内部短接。将 CONVST/ $\overline{CS}$ 信号连接至 CONVST 引脚。
14:8	RESERVED	R/W	0000000b	保留。请勿更改默认复位值。
7	CSZ_CONVST_DELAY_DIS	R/W	0b	用于禁用 CONVST 和 $\overline{CS}$ 下降沿之间的内部 5ns 延迟的控制。 0b = 正常器件操作。 1b = 禁用 CONVST 和 $\overline{CS}$ 之间的内部 5ns 延迟。 t_{d_CSCK} 减少至 12ns， t_{ht_CVCS} 增加至 5ns。
6:4	RESERVED	R/W	000b	保留。请勿更改默认复位值。
3	PD_REFBUF	R/W	0b	控制对内部基准缓冲器断电。 0b = 内部基准缓冲器处于活动状态。 1b = 内部基准缓冲器处于非活动状态。使用外部基准缓冲器，并将外部基准连接到 REFIO 和 REF_CAP 引脚。
2:0	RESERVED	R/W	000b	保留。请勿更改默认复位值。

8.2.11 寄存器 14h (地址 = 0x14) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-13. 寄存器 14h

15	14	13	12	11	10	9	8
RESERVED							CONVST_INVERT
R/W-0000000b							R/W-0b
7	6	5	4	3	2	1	0
RESERVED					INT_BUFFER	INT_REF_MODE[1:0]	
R/W-00000b					R/W-0b	R/W-00b	

表 8-17. 寄存器 14h 字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R/W	0000000b	保留。请勿更改默认复位值。
8	CONVST_INVERT	R/W	0b	通过控制，对 CONVST 进行反相，以便在 CONVST 的上升沿执行采样操作。 0b = 正常器件操作。采样发生在 CONVST 的下降沿。 1b = CONVST 反相。采样发生在 CONVST 的上升沿。
7:3	RESERVED	R/W	00000b	保留。请勿更改默认复位值。
2	INT_BUFFER	R/W	0b	通过控制，禁用内部输入缓冲器并降低 AVDD 电流。当使用较弱的驱动网络驱动 ADC 时，输入缓冲器有助于提高采集精度。除非 ADC 驱动器网络足以在禁用输入缓冲器的情况下驱动输入，否则不建议禁用输入缓冲器。在 ADS9326 中，内部缓冲器默认处于非活动状态。对于输入频率大于 500kHz 的信号，应禁用输入缓冲器。 0b = 内部缓冲器处于活动状态 (ADS9327)。内部缓冲器处于非活动状态 (ADS9326)。 1b = 内部缓冲器处于非活动状态 (ADS9327)。内部缓冲器处于活动状态 (ADS9326)。
1:0	INT_REF_MODE[1:0]	R/W	00b	在 AVDD 为 5V 时，用于选择内部基准电压的控制。 00b = 4.096V 内部基准。 01b = 2.5V 内部基准。 11b = 3.3V 内部基准。

8.2.12 寄存器 17h (地址 = 0x17) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-14. 寄存器 17h

15	14	13	12	11	10	9	8
RESERVED							
R/W-00000000000b							
7	6	5	4	3	2	1	0
RESERVED			LL_DELAY[2:0]			RESERVED	
R/W-00000000000b			R/W-000b			R/W-00b	

表 8-18. 寄存器 17h 字段说明

位	字段	类型	复位	说明
15:5	RESERVED	R/W	00000000000b	保留。请勿更改默认复位值。
4:2	LL_DELAY[2:0]	R/W	000b	通过控制，在低延时数据准备好读出时，选择 t_{CONV} 之后的延时。 000b = 正常器件操作。从转换结束到低延时数据准备好读出，两者之间的延时为 30ns。 110b = 从转换结束到低延时数据准备好读出，两者之间的延时为 15ns。
1:0	RESERVED	R/W	00b	保留。请勿更改默认复位值。

8.2.13 寄存器 39h (地址 = 0x39) [复位 = 0x0000]

返回到[汇总表](#)。

图 8-15. 寄存器 39h

15	14	13	12	11	10	9	8
RESERVED	DIS_VCMOUT	VCMOUT_SEL[2:0]			RESERVED		
R/W-0b	R/W-0b	R/W-000b			R/W-00000000000b		
7	6	5	4	3	2	1	0
RESERVED							
R/W-00000000000b							

表 8-19. 寄存器 39h 字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0b	保留。请勿更改默认复位值。
14	DIS_VCMOUT	R/W	0b	用于禁用 VCMOUT 的控制。 0b = VCMOUT 处于活动状态。 1b = VCMOUT 处于非活动状态。
13:11	VCMOUT_SEL[2:0]	R/W	000b	通过控制, 选择 VCMOUT 电压。 000b = 2.23V。 001b = 2.17V。 010b = 2.11V。 011b = 2.04V。 100b = 2.49V。 101b = 2.43V。 110b = 2.36V。 111b = 2.29V。
10:0	RESERVED	R/W	00000000000b	保留。请勿更改默认复位值。

8.2.14 寄存器 48h (地址 = 0x48) [复位 = 0x40E0]

返回到[汇总表](#)。

图 8-16. 寄存器 48h

15	14	13	12	11	10	9	8
LFN_COMP[15:0]							
R/W-0100000011100000b							
7	6	5	4	3	2	1	0
LFN_COMP[15:0]							
R/W-0100000011100000b							

表 8-20. 寄存器 48h 字段说明

位	字段	类型	复位	说明
15:0	LFN_COMP[15:0]	R/W	0100000011100000b	通过控制，实现低频噪声补偿。 0000000000000000b = 正常器件操作。低频噪声补偿处于非活动状态。 0100000010100001b = 低频噪声补偿处于活动状态。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

ADS932x 具备集成式均值滤波器，可实现低延时的精密直流 (DC) 和交流 (AC) 信号测量。以下部分提供了一个使用 ADS932x 测量正弦 - 余弦编码器 $1V_{pp}$ 模拟输出的示例电路及建议。

9.2 典型应用

9.2.1 模拟 $1V_{pp}$ 正弦-余弦编码器接口

图 9-1 中的应用电路展示了一个用于测量模拟 $1V_{pp}$ 正弦-余弦编码器输出的双通道电路。使用 THS4552 作为驱动 ADS932x 全差分放大器。

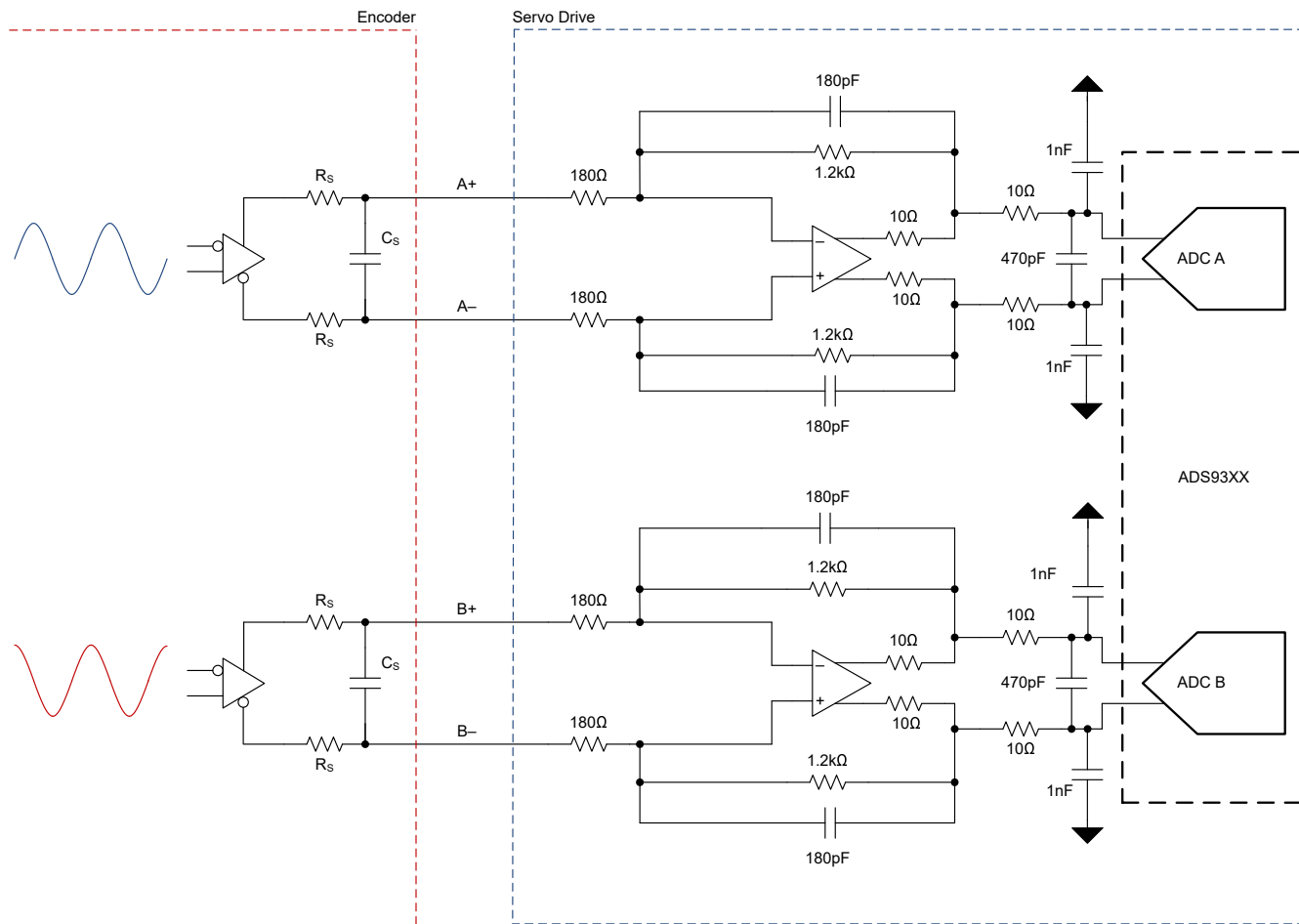


图 9-1. 具有 500kHz 输入信号带宽的正弦-余弦编码器接口电路

9.2.2 设计要求

表 9-1 列出了 $1V_{pp}$ 正弦-余弦编码器接口的参数。

表 9-1. 设计参数

参数	值
ADC 分辨率	16 位
SNR	> 90dB
-3dB 信号带宽	> 500kHz

9.2.3 详细设计过程

具有模拟 $1V_{pp}$ 输出的典型编码器的最大信号频率为 500kHz。全差分放大器 (FDA) 电路的-3dB 截止频率设计值大于 500kHz。因此，该电路能够支持高达编码器输出最大信号频率的信号。在选择 FDA 时，需确保 FDA 在 ADC 采集时间 (t_{Acq}) 内能稳定 ADC 采样电容器的瞬态开关负载。

正弦-余弦编码器输出的典型振幅为 $1V_{pp}$ ，最大振幅为 $1.2V_{pp}$ 。ADS932x 的满标量程为 $\pm V_{REF}$ ，其中 V_{REF} 的典型值为 4.096V。为了使用 ADC 的输入范围，FDA 电路的增益被设定为 6.8V/V。

为了提高信号链的 SNR，ADS932x 提供了集成的均值计算滤波器，如[可编程数据平均滤波器](#)部分中所述。相关结果如表 9-2 所示，其中涵盖了在不同平均窗口大小下电路的典型 SNR。

表 9-2. THS4552 和 ADS932x 数据摘要

平均窗口大小 (简单平均)	输出数据速率 (MSPS)	SNR (dB)	ENOB (位)
0	5	93.2	15.21
2	2.5	97.2	15.86
4	1.25	99.3	16.2
8	0.625	101.1	16.5
16	0.3125	103.1	16.84
32	0.15625	105.1	17.17
64	0.078125	106.5	17.4
128	0.0390625	107.1	17.5

9.3 电源相关建议

ADS932x 具有三个独立电源：AVDD、VDD_1V8 和 IOVDD。不需要特定的上电顺序。数据和配置数字接口由 IOVDD 供电。图 9-2 显示了相应电源的去耦电容器连接。确保每个电源引脚具有单独的去耦电容器。

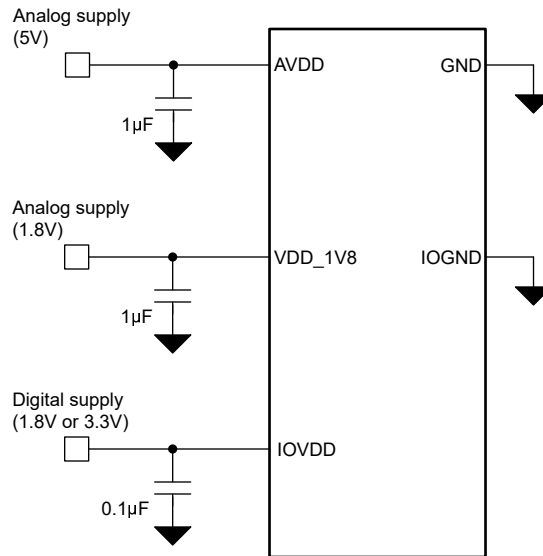


图 9-2. 电源去耦

9.4 布局

9.4.1 布局指南

图 9-3 显示了 ADS932x 的电路板布局布线示例。避免数字线路与模拟信号路径交叉，并使模拟输入信号和基准信号远离噪声源。在靠近模拟电源引脚 (AVDD 和 VDD_1V8) 和数字电源引脚 (IOVDD) 的位置使用 1 μF 陶瓷旁路电容器。避免在电源引脚和旁路电容器之间放置过孔。将基准去耦电容器放置在靠近器件的 REF_CAP 引脚和 REFM 引脚的位置。避免在 REFIO 引脚和旁路电容器之间放置过孔。在 VCMOUT 和 GND 之间放置 VCMOUT 去耦电容器。使用较短的低阻抗路径将 GND 引脚和 REFM 引脚连接到接地层。

9.4.2 布局示例

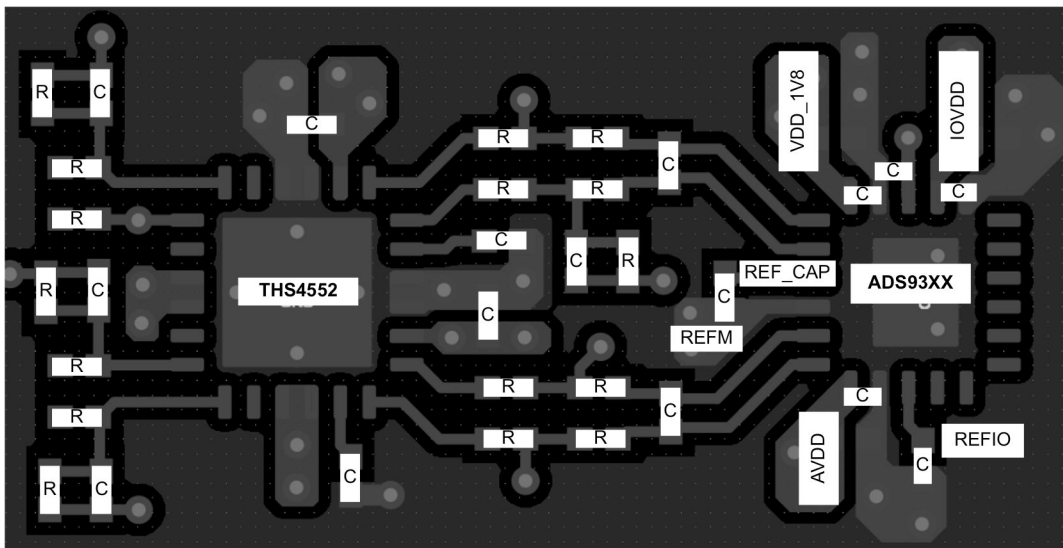


图 9-3. 示例布局

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[REF70 2ppm/°C 最大温漂、0.23ppmp-p 1/f 噪声、精密电压基准数据表](#)
- 德州仪器 (TI)，[THS4552 双通道、低噪声、高精度 150MHz 全差分放大器数据表](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (September 2025) to Revision B (April 2026)	Page
• 为清晰起见，更新了时序图.....	11
• 添加了 $OSR = 8$ 时简单均值计算的典型 FFT、 $f_{IN} = 1\text{MHz}$ 时的典型 FFT、SNR 和 THD 与 VCMOUT 间的关系、DNL 与温度间的关系、INL 和 DNL 与基准电压间的关系、共模模拟输入电流、偏移误差与基准电压间的关系以及 $1/f$ 噪声系数.....	14
• 更改了 SNR 和 THD 与基准电压、SNR 与移动平均过采样率间的关系、SNR 与简单平均过采样率间的关系、差动模拟输入电流以及 AVDD 电流与 AVDD 电压间的关系图.....	14
• 更新了基准源选择表.....	24
• 将内部基准源更改为上电时处于活动状态.....	24
• 添加了 REF_CAP 电流与差动输入电压间的关系图.....	25
• 添加了“突发采样操作”部分.....	26
• 更改了简单平均 SNR 表.....	27

• 更改了初始化序列和时序图.....	28
• 更改了移动平均 SNR 表.....	29
• 添加了“通道平均”部分.....	30
• 添加了“输出共模电压”部分.....	31
• 更改了 CS-CONVST 短模式部分.....	33
• 更改了初始化序列部分.....	33
• 添加了“SPI 模式”部分.....	34
• 添加了 CONVST 反相部分.....	35
• 将章节标题从“菊花时钟模式”更改为“SCLK 回波模式”	36
• 更改了寄存器组 1.....	41
• 更改了数据汇总表.....	60
• 更改了“布局指南”部分.....	61

Changes from Revision * (April 2025) to Revision A (September 2025)	Page
• 将器件状态从“预告信息”更改为“量产数据”	1

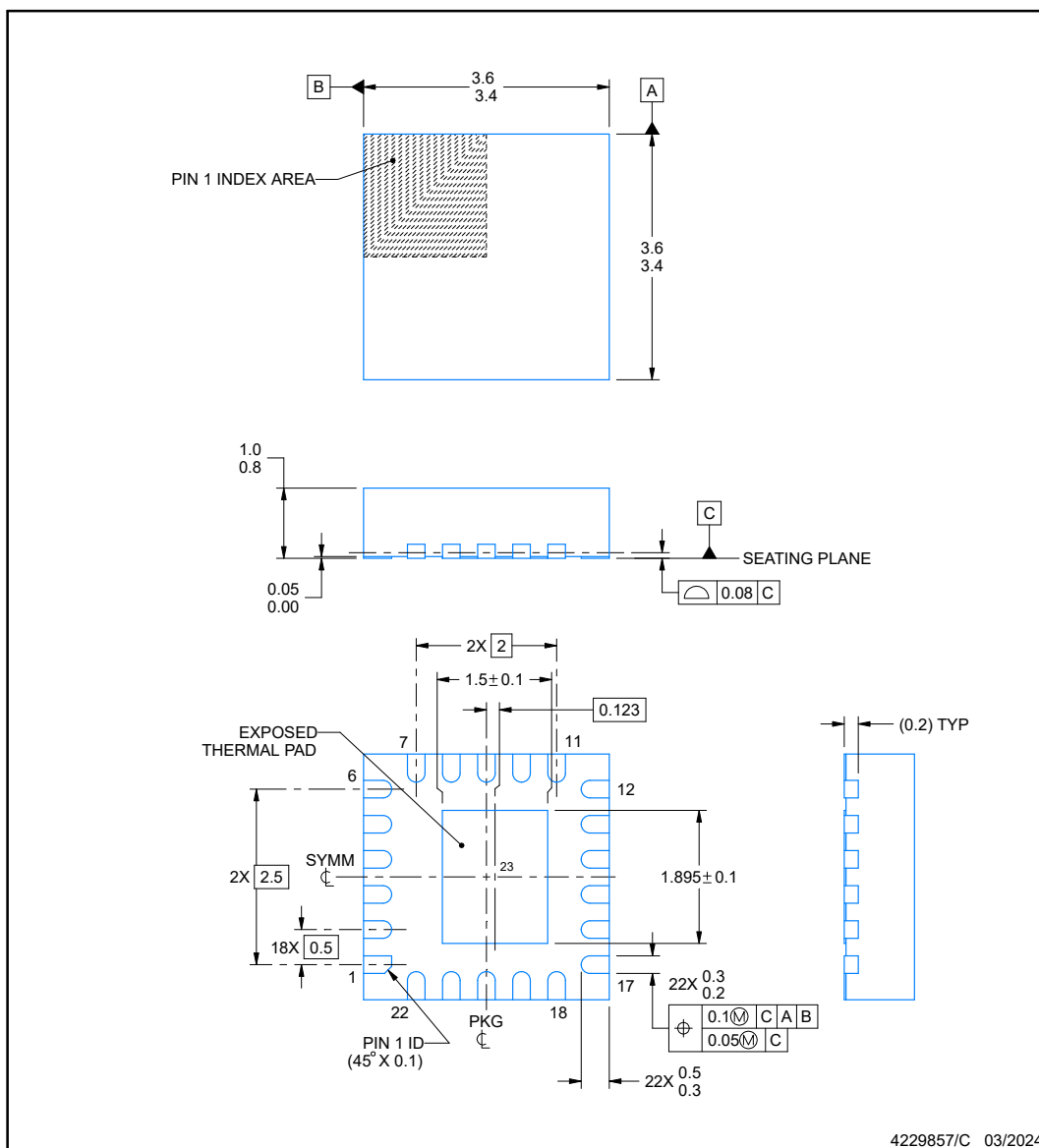
12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 机械数据

VAE0022A

PACKAGE OUTLINE
VQFN-HR - 1 mm max height
 PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

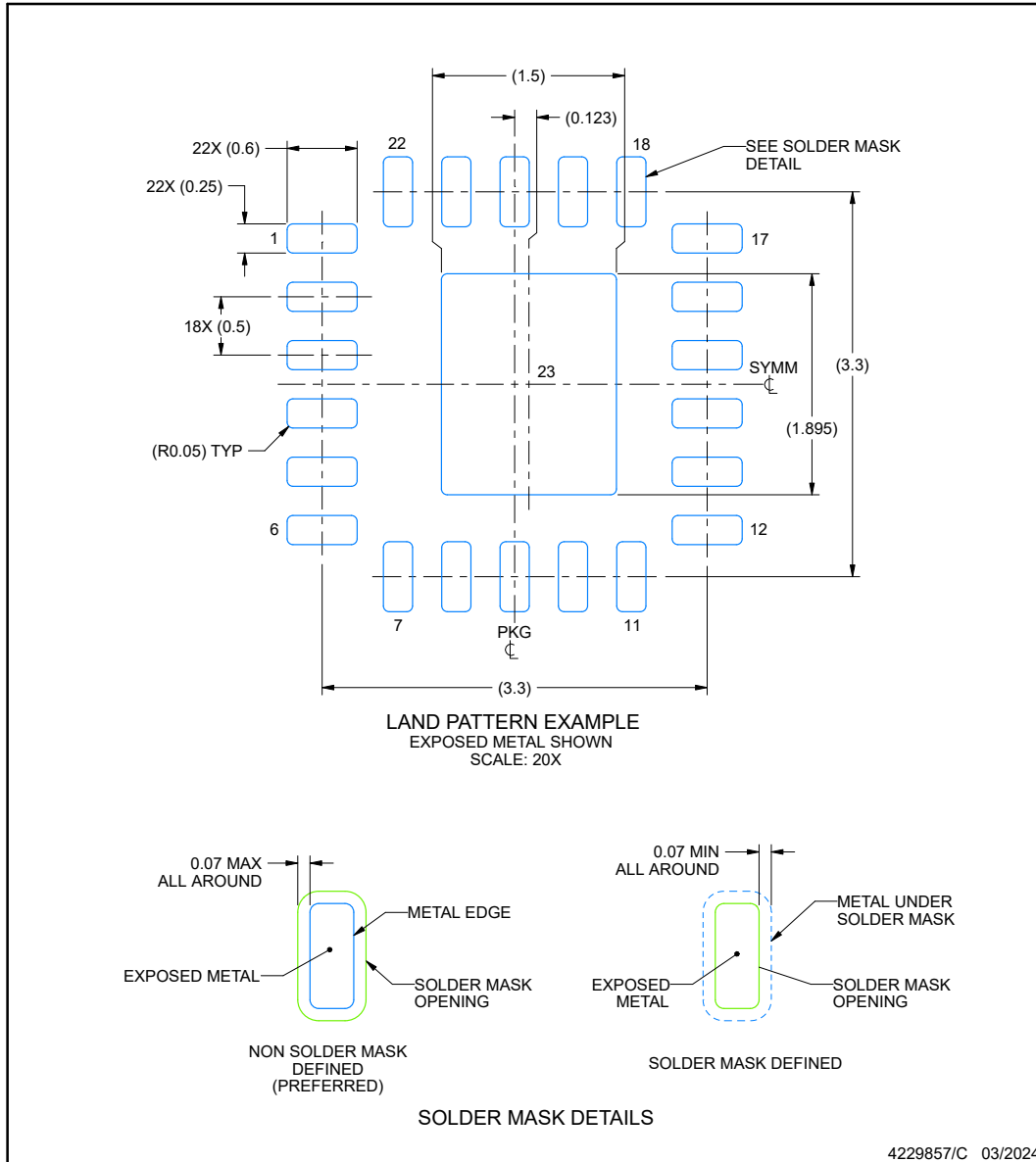
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VAE0022A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

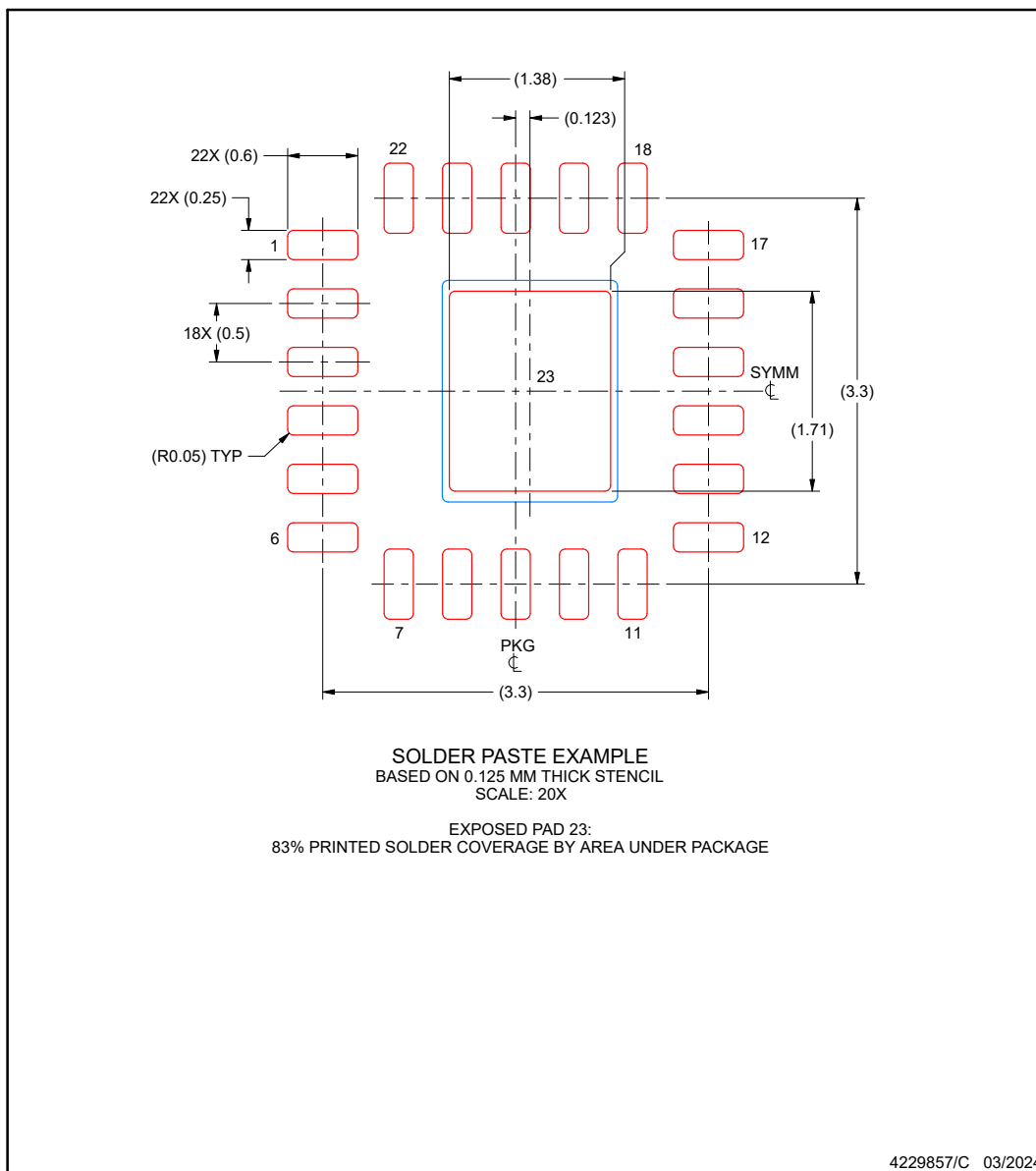


NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN**VAE0022A****VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9326VAER	Active	Production	VQFN-HR (VAE) 22	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	9326
ADS9327VAER	Active	Production	VQFN-HR (VAE) 22	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	9327

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

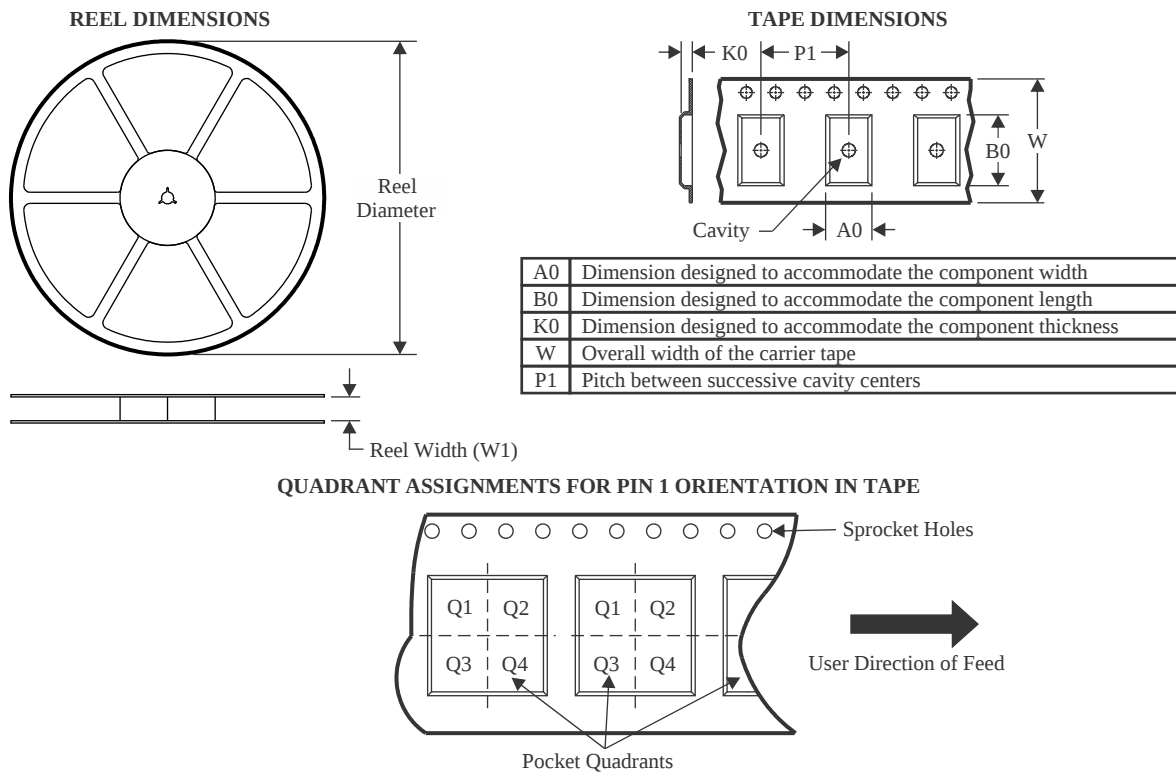
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

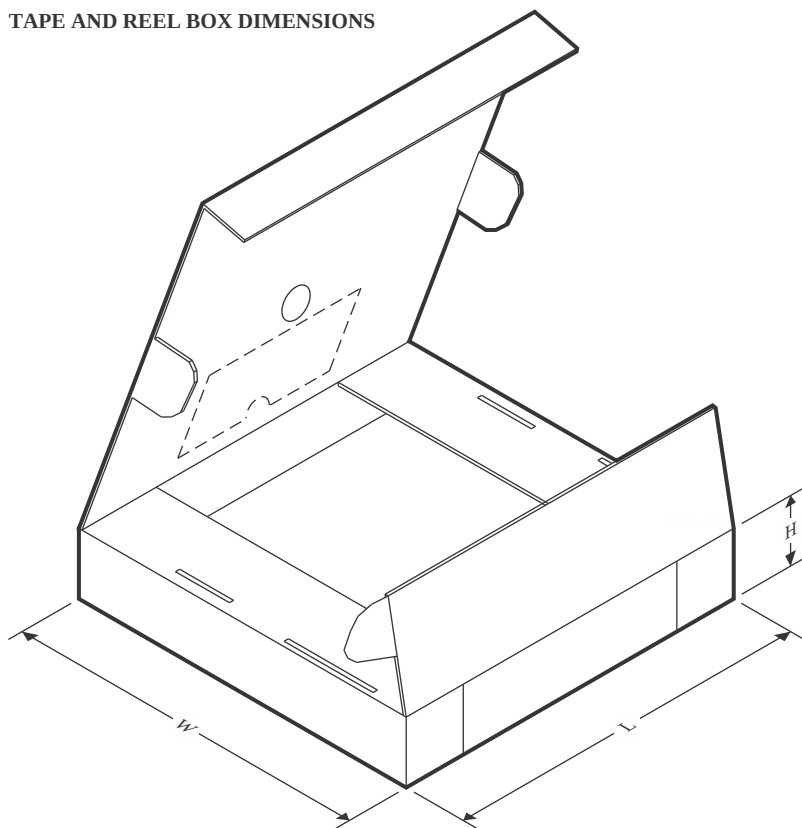
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9326VAER	VQFN-HR	VAE	22	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
ADS9327VAER	VQFN-HR	VAE	22	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9326VAER	VQFN-HR	VAE	22	3000	360.0	360.0	36.0
ADS9327VAER	VQFN-HR	VAE	22	3000	360.0	360.0	36.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月