ADS131B23-Q1 具有 SPI 和 3 个 ADC 通道且用于电压、电流和温度检测的汽车类高压电池包监测器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C 至 +125°C，T_A
- 符合功能安全标准
  - 专为功能安全应用开发
  - 可提供使功能安全系统设计满足 ISO 26262 ASIL D 级要求的文档
  - 系统可满足 ASIL D 级要求
  - 硬件可满足 ASIL D 要求
- 两个用于电流分流测量的同步采样 24 位 ADC（ADC1A、ADC1B）：
  - 可编程满标量程：
    - ±39mV 至 ±312.5mV
    - 支持多种分流电阻器值和电流测量范围
  - 通过以下特性实现高精度电流分流测量：
    - 失调电压误差：±1.5 µV（最大值）
    - 增益漂移：20ppm/°C（最大值）
  - 可编程数据速率：500SPS 至 64kSPS
  - 每个 ADC 具有可编程阈值的数字过流比较器，可实现快速过流检测
- 一个用于电压和温度测量的多路复用 16 位 ADC (ADC2A)
  - 8 路模拟输入
  - 可编程满量程范围：±312.5mV 至 ±1.25V
  - 通道序列发生器
- 监控和诊断功能，用于缓解和检测随机硬件故障
- 电源电压范围：2.9V 至 16V
- 与 SPI 兼容的接口
- 9 个具有 PWM 功能的 GPIO

2 应用

- 汽车电池管理系统 (BMS)：
  - 电流分流测量
  - 使用外部电阻分压器实现电压测量
  - 使用热敏电阻或模拟输出温度传感器实现温度测量

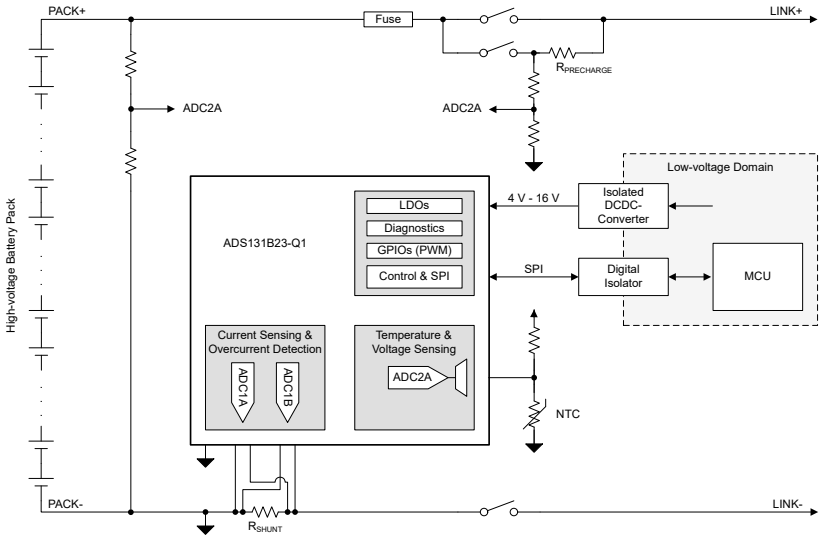
3 说明

ADS131B23-Q1 是一款适用于电动汽车 (EV) 电池管理系统 (BMS) 的完全集成式高压电池包监测器。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADS131B23-Q1	PHP（HTQFP，48）	9mm × 9mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



EV BMS 电流检测模块 (CSM) 系统方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADS131B23-Q1 集成两个同步采样、高精度、24 位 ADC 通道（ADC1A、ADC1B），可使用外部分流电阻器来以高分辨率和高精度测量电池电流。两个独立的数字比较器可与两个 ADC 并联来实现快速过流检测。

另外还提供一个多路复用的 16 位 ADC (ADC2A)，可使用外部高压电阻分压器来测量分流器温度和系统中的其他电压，例如电池包电压。分流器温度通过热敏电阻或模拟输出温度传感器等外部温度传感器进行测量。ADC2A 配备一个通道序列发生器，后者会自动逐步调试配置的多路复用器输入，以减少 SPI 上的通信。

该器件集成了多种监控和诊断功能，可缓解和检测随机硬件故障，从而帮助开发功能安全的 BMS。

输入范围高达 16V 的内部线性稳压器支持使用非稳压直流/直流转换器为器件供电。

ADS131B23-Q1 采用 48 引脚 HTQFP 封装，额定汽车级温度范围为 –40°C 至 +105°C。

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 7
5.4 热性能信息 8
5.5 电气特性 8
5.6 时序要求 15
5.7 开关特性 16
5.8 时序图 16
5.9 典型特性 17
6 参数测量信息 23
6.1 温漂测量 23
6.2 增益漂移测量 23
6.3 噪声性能 24
7 详细说明 25
7.1 概述 25
7.2 功能方框图 26
7.3 特性说明 27
7.4 器件功能模式 53
7.5 编程 61
8 寄存器映射 74
8.1 寄存器 75
9 应用和实施 214
9.1 应用信息 214
9.2 典型应用 214
9.3 电源相关建议 217
9.4 布局 220
10 器件和文档支持 222
10.1 文档支持 222
10.2 接收文档更新通知 222
10.3 支持资源 222
10.4 商标 222
10.5 静电放电警告 222
10.6 术语表 222
11 修订历史记录 222
12 机械、封装和可订购信息 222

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

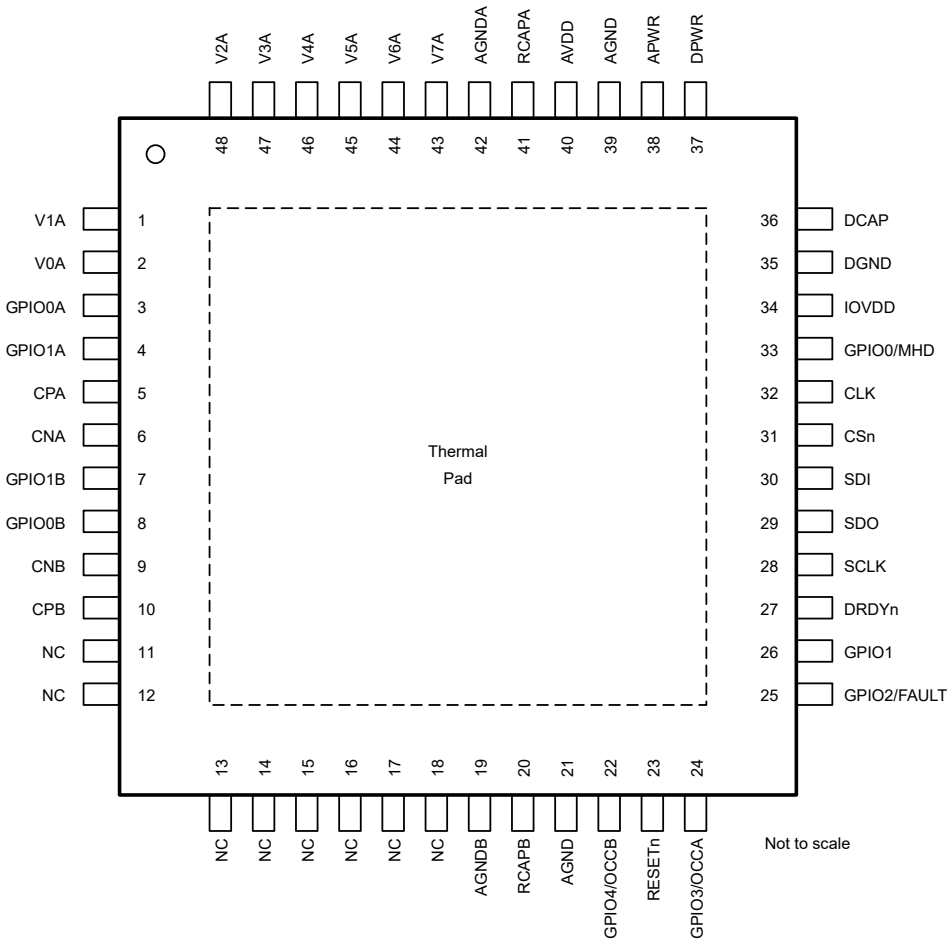


图 4-1. PHP 封装， 48 引脚 HTQFP （顶视图）

表 4-1. 引脚功能

引脚		类型	说明(1)
名称	编号		
AGND	39	模拟电源	模拟地。
AGND	21	模拟电源	模拟地。
AGNDA	42	模拟电源	部分 A 模拟地。连接至 AGND。
AGNDB	19	模拟电源	部分 B 模拟地。连接至 AGND。
APWR	38	模拟电源	模拟电源。将 1µF 电容器连接到 AGND。
AVDD	40	模拟电源	模拟电源。将 1 µ F 电容器连接到 AGND。 设置 GPIO0A、GPIO1A、GPIO0B 和 GPIO1B 的逻辑电平。
CLK	32	数字 I/O	主时钟输入。(4)
CNA	6	模拟输入	ADC1A 负模拟输入。
CNB	9	模拟输入	ADC1B 负模拟输入。
CPA	5	模拟输入	ADC1A 正模拟输入。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明(1)
名称	编号		
CPB	10	模拟输入	ADC1B 正模拟输入。
CSn	31	数字输入	片选输入；低电平有效。连接至 IOVDD 的内部上拉电阻。(4)
DCAP	36	数字电源	DVDD LDO 输出。将 220nF 电容器连接到 DGND。
DGND	35	数字电源	数字地。
DPWR	37	数字电源	数字电源。将 1µF 电容器连接到 DGND。
DRDYn	27	数字输出	数据就绪输出；低电平有效。(2) (4)
GPIO0A	3	数字 I/O	通用数字输入/输出 0A。(2) (3)
GPIO0B	8	数字 I/O	通用数字输入/输出 0B。(2) (3)
GPIO0/MHD	33	数字 I/O	通用数字输入/输出 0。(2) (4) 缺少主机检测输出。(2) (4)
GPIO1	26	数字 I/O	通用数字输入/输出 1。(2) (4)
GPIO1A	4	数字 I/O	通用数字输入/输出 1A。(2) (3)
GPIO1B	7	数字 I/O	通用数字输入/输出 1B。(2) (3)
GPIO2/故障	25	数字 I/O	通用数字输入/输出 2。(2) (4) 故障输出。(2) (4)
GPIO3/OCCA	24	数字 I/O	通用数字输入/输出 3。(2) (4) 过流比较器 A 输出。(2) (4)
GPIO4/OCCB	22	数字 I/O	通用数字输入/输出 4。(2) (4) 过流比较器 B 输出。(2) (4)
IOVDD	34	数字电源	数字 I/O 电源。将 1 µ F 电容器连接到 DGND。 设置数字 I/O 的逻辑电平，GPIO0A、GPIO1A、GPIO0B 和 GPIO1B 除外。
NC	11 至 18	NC	无连接。将这些引脚悬空或连接至 AGNDB。
RCAPA	41	模拟输出	REFA 电压基准输输出。将 1µF 电容器连接到 AGNDA。
RCAPB	20	模拟输出	REFB 电压基准输输出。将 1µF 电容器连接到 AGNDB。
RESETn	23	数字输入	复位输入；低电平有效。连接至 DGND 的内部下拉电阻。
SCLK	28	数字输入	串行数据时钟输入。(4)
SDI	30	数字输入	串行数据输入。(4)
SDO	29	数字输出	串行数据输出。(2) (4)
V0A	2	模拟输入	ADC2A 模拟输入 0A。
V1A	1	模拟输入	ADC2A 模拟输入 1A。
V2A	48	模拟输入	ADC2A 模拟输入 2A。
V3A	47	模拟输入	ADC2A 模拟输入 3A。
V4A	46	模拟输入	ADC2A 模拟输入 4A。
V5A	45	模拟输入	ADC2A 模拟输入 5A。
V6A	44	模拟输入	ADC2A 模拟输入 6A。
V7A	43	模拟输入	ADC2A 模拟输入 7A。
散热焊盘	Pad	—	散热 PowerPAD。连接至 AGND。

(1) 有关如何连接未使用的引脚的详细信息，请参阅*未使用的输入和输出*一节。
(2) 推挽式输出。
(3) 以 AVDD 为基准的逻辑电平。
(4) 以 IOVDD 为基准的逻辑电平。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

请参阅(1)

		最小值	最大值	单位
电源电压	APWR 至 AGND	-0.3	20	V
	DPWR 至 DGND	-0.3	20	
	AGND、AGNDy 至 DGND	-0.3	0.3	
	AVDD 至 AGND	-0.3	4	
	IOVDD 至 DGND	-0.3	7	
	DCAP 至 DGND	-0.3	2.2	
	RCAPy 至 AGND	-0.3	2.2	
模拟输入电压	CPy、CNy、Vxy	AGND – 1.6	AVDD + 0.3	V
数字输入电压	CSn、SCLK、SDI、SDO、RESETn、DRDYn、CLK、GPIO0/MHD、GPIO1、GPIO2/FAULT、GPIO3/OCCA、GPIO4/OCCB	DGND – 0.3	IOVDD + 0.3	V
	GPIO0A、GPIO1A	AGNDA – 0.3	AVDD + 0.3	
	GPIO0B、GPIO1B	AGNDB – 0.3	AVDD + 0.3	
输入电流	连续，除电源引脚外的所有引脚	-10	10	mA
温度	结温，T_J		150	°C
	贮存温度，T_{stg}	-60	150	

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件能够在该等条件下或在任何超出*建议运行条件*的其他条件下正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能不会完全正常运行。这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 AEC Q100-002(1) HBM ESD 分级等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分级等级 C4B	转角引脚	±750	
			所有其他非拐角引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源						
	电源	APWR 至 AGND	4		16	V
		APWR = AVDD 至 AGND（APWR 短接至 AVDD、AVDD LDO 被旁路）	2.9	3.3	3.6	
		DPWR 至 DGND	4		16	
		DPWR = IOVDD 至 DGND（DPWR 短接至 IOVDD、IOVDD LDO 旁路）	2.9	3.3	5.5	
		AGND、AGNDy 至 DGND	-0.2	0	0.2	
模拟输入 ADC1A、ADC1B(1)						
V_{CPy}、V_{CNy}	绝对输入电压	增益 = 4、8、16、32	AGND – 0.3125		AVDD – 2.4	V
V_{IN1y}	差分输入电压	$V_{IN1y} = V_{CPy} – V_{CNy}$	$–V_{REFy}$ / 增益		V_{REFy} / 增益	V
模拟输入 ADC2A(1)						
V_{Vxy}	绝对输入电压	增益 = 1、2	AGND – 0.1		AVDD – 1.2	V
		增益 = 4	AGND – 0.3125		AVDD – 2.4	
V_{IN2y}	差分输入电压	$V_{IN2y} = V_{Vxy} – V_{AGNDy}$ 或 $V_{IN2y} = V_{Vxy} – V_{7y}$	$–V_{REFy}$ / 增益		V_{REFy} / 增益	V
外部时钟源(2)						
f_{CLK}	外部时钟频率		7.8	8.192	8.4	MHz
	占空比		40%	50%	60%	
数字输入						
	输入电压	CSn、SCLK、SDI、SDO、RESETn、DRDYn、CLK、GPIO0/MHD、GPIO1、GPIO2/FAULT、GPIO3/OCCA、GPIO4/OCCB	DGND		IOVDD	V
		GPIO0A、GPIO1A	AGNDA		AVDD	
		GPIO0B、GPIO1B	AGNDB		AVDD	
外部电容器						
	电容器值(3)	APWR、DPWR		1		μF
		AVDD、IOVDD	0.5	1	2	
		RCAPA、RCAPB	0.5	1	1.4	
		DCAP		220		nF
温度范围						
T_A	额定环境温度		-40		105	°C
	工作环境温度		-45		125	

(1) 下标 *y* 指的是 *A* 段或 *B* 段。
下标 *x* 指的是 ADC2y 上的模拟输入通道 *x*。
(2) 使用内部振荡器时，不需要外部时钟。
(3) 在整个温度和寿命范围内需要满足的电容器值。
有关更多信息，请参阅*电源去耦*部分。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TQFP (PHP)	单位
		48 引脚	
$R_{\theta JA}$	结至环境热阻	23.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	15.3	°C/W
$R_{\theta JB}$	结至电路板热阻	7.8	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	7.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

最小和最大规范的适用条件为：T_A = –40°C 至 +105°C；典型规范的适用条件为：T_A = 25°C；所有规范在以下条件下测得：APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部时钟、f_{CLK} = 8.192MHz、全局斩波模式禁用、ADC1y 数据速率 = 1kSPS（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电流测量 ADC（ADC1A、ADC1B）						
	分辨率		24			位
	增益设置			4、8、16、32		V/V
f_{DATA}	输出数据速率	f_{CLK} = 8.192MHz	500		64k	SPS
	绝对输入电流	所有数据速率、所有增益、启用或禁用全局斩波、$V_{CPy} = V_{CNy}$ = 0V		±0.5		nA
	差分输入电流	所有数据速率、所有增益、启用或禁用全局斩波、$V_{CPy} = V_{CNy}$ = 0V	-5	±1	5	nA
	差分输入阻抗	所有数据速率、所有增益、启用或禁用全局斩波		1.8		MΩ
	偏移误差（以输入为基准）	增益 = 4、禁用全局斩波		±1		μV
		增益 = 8 至 32、禁用全局斩波		±15		
		所有增益、启用全局斩波	-1.5	±0.5	1.5	
	温漂	所有增益、禁用全局斩波		20	100	nV/°C
		所有增益、启用全局斩波		1	7	
	增益误差	T_A = 25°C、所有增益、单端操作（CNy 保持在 AGNDy），包括 REFy 的初始精度	-0.15%	±0.05%	0.15%	
	增益漂移	所有增益、单端操作（CNy 保持在 AGNDy）、包括 REFy 漂移		5	20	ppm/°C
	增益长期漂移	85°C 时 1000 小时、所有增益，包括 REFy 的长期漂移		±100		ppm
	增益匹配	增益设置之间	-0.12%	±0.03%	0.12%	
	噪声（以输入为基准）	增益 = 8、f_{DATA} = 1kSPS		0.65		μV_{RMS}
CMRR	共模抑制比	在直流条件下，禁用全局斩波		110		dB
		在直流条件下，启用全局斩波		113		
PSRR	电源抑制比	APWR 为直流时，启用或禁用全局斩波		133		dB
		DPWR 为直流时，启用或禁用全局斩波		133		
		AVDD 为直流时，启用或禁用全局斩波		115		
		IOVDD 为直流时，启用或禁用全局斩波		131		

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小和最大规范的适用条件为：T_A = –40°C 至 +105°C；典型规范的适用条件为：T_A = 25°C；所有规范在以下条件下测得：APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部时钟、f_{CLK} = 8.192MHz、全局斩波模式禁用、ADC1y 数据速率 = 1kSPS（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电压和温度测量 ADC (ADC2A)						
	分辨率		16			位
	增益设置			1、2、4		V/V
	绝对输入电流	OSR2y = 64、所有增益、V_{Vxy} = 0 V		±0.2		nA
	差分输入电流	OSR2y = 64、所有增益、V_{Vxy} = 0 V		±0.4		nA
	差分输入阻抗	OSR2y = 64、所有增益		15		MΩ
		OSR2y = 128、所有增益		30		
		OSR2y = 256、所有增益		60		
		OSR2y = 512、所有增益		120		
	偏移误差（以输入为基准）	增益 = 1	-350	±85	350	µV
		增益 = 2 和 4	-25	±5	25	
	温漂	增益 = 1		60	300	nV/°C
		增益 = 2 和 4		30	150	
	增益误差	T_A = 25°C、所有增益、 包括 REFy 的初始精度	-0.3%	±0.1%	0.3%	
	增益漂移	所有增益，包括 REFy 的漂移		5	20	ppm/°C
	增益长期漂移	85°C 时 1000 小时、 所有增益，包括 REFy 的长期漂移		±100		ppm
	增益匹配	增益设置之间	-0.15%	±0.06%	0.15%	
CMRR	共模抑制比	直流时		95		dB
PSRR	电源抑制比	APWR 为直流		103		dB
		DPWR 为直流		103		
		AVDD 为直流		91		
		IOVDD 为直流		96		
	增益长期漂移	85°C 时 1000 小时、 所有增益，包括 REFy 的长期漂移		±100		ppm
精密电压基准（REFA、REFB）						
V_{REFA}、V_{REFB}	基准电压			1.25		V
	精度	T_A = 25°C	-0.15%	±0.05%	0.15%	
	温度漂移			3	15	ppm/°C
	输出电流	仅限源、 适用于 RCAPy 引脚上的外部加载			250	µA
	短路电流限制	灌电流或源	-10		10	mA
	启动时间	RCAPy 上的 1 µF 电容器、0.01% 趋稳		8		ms
主振荡器（OSCM）						
f_{OSCM}	频率			8.192		MHz
	精度		-2.5%		2.5%	
诊断振荡器（OSCD）						
f_{OSCD}	频率			8.192		MHz
	精度		-2.5%		2.5%	
过流比较器（OCCA、OCCB）						
	偏移误差（以输入为基准）	所有增益	-500	±20	500	µV
	增益误差	所有增益，包括 REFy 的误差	-0.5%	±0.2%	0.5%	
温度传感器 (TSA)						
TS_{Offset}	输出电压	T_A = 25°C		118.4		mV

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小和最大规范的适用条件为：T_A = –40°C 至 +105°C；典型规范的适用条件为：T_A = 25°C；所有规范在以下条件下测得：APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部时钟、f_{CLK} = 8.192MHz、全局斩波模式禁用、ADC1y 数据速率 = 1kSPS（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TS_{TC}	温度系数			410		µV/°C

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小和最大规范的适用条件为：T_A = –40°C 至 +105°C；典型规范的适用条件为：T_A = 25°C；所有规范在以下条件下测得：APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部时钟、f_{CLK} = 8.192MHz、全局斩波模式禁用、ADC1y 数据速率 = 1kSPS（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
共模输出缓冲器（VCMA）						
V_{CMA}	共模输出电压		0.75	0.78	0.81	V
	输出电流	灌电流或源	-1		1	mA
	短路电流限制	灌电流或源	-5		5	mA
	容性负载				100	pF
测试 DAC（TDACA、TDACB）						
	输出电压设置			$1 \times V_{REFy} / 40$ $2 \times V_{REFy} / 40$ $4 \times V_{REFy} / 40$ $9 \times V_{REFy} / 40$ $18 \times V_{REFy} / 40$ $36 \times V_{REFy} / 40$ $-4 \times V_{REFy} / 40$ $-9 \times V_{REFy} / 40$		V
	精度			±0.3%		
	漂移	正输出电压		6	35	ppm/°C
		负输出电压		12	80	
开路检测电流源和阱（OWD1A、OWD1B、OWD2A）						
	电流源设置			4、40、240		µA
	电流阱设置			4、40、240		µA
	电流源精度			±8%		
	电流阱精度			±8%		
数字输入/输出（GPIO0A、GPIO1A、GPIO0B、GPIO1B）						
V_{IL}	逻辑输入电平，低		AGNDy		0.3 AVDD	V
V_{IH}	逻辑输入电平，高		0.7 AVDD		AVDD	V
V_{OL}	逻辑输出电平，低	I_{OL} = -100µA			0.2 AVDD	V
V_{OH}	逻辑输出电平，高	I_{OH} = 100µA	0.8 AVDD			V
I_{IN}	输入电流	AGNDy < $V_{Digital\ Input}$ < AVDD	-1		1	µA
	短路电流限制	灌电流或源	-8		8	mA
数字输入/输出（CSn、SCLK、SDI、SDO、RESETn、DRDYn、CLK、GPIO0/MHD、GPIO1、GPIO2/FAULT、GPIO3/OCCA、GPIO4/OCCB）						
V_{IL}	逻辑输入电平，低		DGND		0.3 IOVDD	V
V_{IH}	逻辑输入电平，高		0.7 IOVDD		IOVDD	V
V_{OL}	逻辑输出电平，低	I_{OL} = -1mA			0.2 IOVDD	V
V_{OH}	逻辑输出电平，高	I_{OH} = 1mA	0.8 IOVDD			V
I_{IN}	输入电流	DGND < $V_{Digital\ Input}$ < IOVDD	-1		1	µA
	短路电流限制	灌电流或源	-80		80	mA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小和最大规范的适用条件为：T_A = –40°C 至 +105°C；典型规范的适用条件为：T_A = 25°C；所有规范在以下条件下测得：APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部时钟、f_{CLK} = 8.192MHz、全局斩波模式禁用、ADC1y 数据速率 = 1kSPS（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
时钟监控器						
$f_{MCLK_WD_TH}$	主时钟 (MCLK) 看门狗频率阈值	当 MCLK 频率降至频率阈值以下时，看门狗指示故障			300	kHz
$f_{OSCD_WD_TH}$	诊断振荡器 (OSCD) 看门狗频率阈值	当 OSCD 频率降至频率阈值以下时，看门狗指示故障			300	kHz
MCLK_FAULT_TH	主时钟故障检测频率阈值	MCLK 和 OSCD 之间的时钟频率差异导致故障		10%		
电源监控器						
AVDD_UV_TH	AVDD 欠压阈值		2.9	2.95	3.0	V
AVDD_OV_TH	AVDD 过压阈值		3.8	3.9	4.0	V
IOVDD_UV_TH	IOVDD 欠压阈值	IOVDD_UV_TH = 1b	2.9	2.95	3.0	V
		IOVDD_UV_TH = 0b	4.2	4.3	4.4	
IOVDD_OV_TH	IOVDD 过压阈值	IOVDD_OV_TH = 1b	3.8	3.9	4.0	V
		IOVDD_OV_TH = 0b	5.6	5.75	5.9	
DVDD_UV_TH	DVDD 欠压阈值		1.55	1.6	1.65	V
DVDD_OV_TH	DVDD 过压阈值		1.90	1.95	2.0	V
AVDD_OSC_MAG	AVDD 振荡检测量级	生成故障所需的振幅	500			mV_{pp}
AVDD_OSC_FREQ	AVDD 振荡检测输入频率	生成故障的振荡频率范围	2		500	kHz
IOVDD_OSC_MAG	IOVDD 振荡检测量级	生成故障所需的振幅	500			mV_{pp}
IOVDD_OSC_FREQ	IOVDD 振荡检测输入频率	生成故障的振荡频率范围	2		500	kHz
DVDD_OSC_MAG	DVDD 振荡检测量级	生成故障所需的振幅	500			mV_{pp}
DVDD_OSC_FREQ	DVDD 振荡检测输入频率	生成故障的振荡频率范围	2		500	kHz
AVDD_OTW_TH	AVDD 过热警告阈值			-60 100 120 140		°C
	AVDD 过热警告阈值精度			±2		°C
IOVDD_OTW_TH	IOVDD 过热警告阈值			-60 100 120 140		°C
	IOVDD 过热警告阈值精度			±2		°C
	ADC2y 电源回读衰减因子	APWR		103		
		DPWR		103		
		AVDD		4		
		IOVDD		4		
		DVDD		2		
	ADC2y 电源回读精度	OSR2y = 128，MUX2y_DELAY ≥ 256 × t_{MCLK}		±1%		
AVDD_POR_TH	AVDD POR 释放阈值		2.6	2.7	2.85	V
IOVDD_POR_TH	IOVDD POR 释放阈值		2.6	2.7	2.85	V
DVDD_POR_TH	DVDD POR 释放阈值		1.4	1.5	1.6	V

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小和最大规范的适用条件为：T_A = –40°C 至 +105°C；典型规范的适用条件为：T_A = 25°C；所有规范在以下条件下测得：APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部时钟、f_{CLK} = 8.192MHz、全局斩波模式禁用、ADC1y 数据速率 = 1kSPS（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
故障监控器响应时间						
$t_{p(AVDD_OV)}$	AVDD 过压检测响应时间	从 AVDD 超过 AVDD 过压阈值到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(IOVDD_OV)}$	IOVDD 过压检测响应时间	从 IOVDD 超过 IOVDD 过压阈值到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(DVDD_OV)}$	DVDD 过压检测响应时间	从 DVDD 超过 DVDD 过压阈值到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(AVDD_UV)}$	AVDD 欠压检测响应时间	从 AVDD 降至 AVDD 欠压阈值以下到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(IOVDD_UV)}$	IOVDD 欠压检测响应时间	从 IOVDD 降至 IOVDD 欠压阈值以下到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(DVDD_UV)}$	DVDD 欠压检测响应时间	从 DVDD 降至 DVDD 欠压阈值以下到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(AVDD_OSC)}$	AVDD 振荡检测响应时间	从 AVDD 振荡超过 AVDD 振荡阈值到 FAULT 引脚有效的延迟时间			30	µs
$t_{p(IOVDD_OSC)}$	IOVDD 振荡检测响应时间	从 IOVDD 振荡超过 IOVDD 振荡阈值到 FAULT 引脚有效的延迟时间			30	µs
$t_{p(DVDD_OSC)}$	DVDD 振荡检测响应时间	从 DVDD 振荡超过 DVDD 振荡阈值到 FAULT 引脚有效的延迟时间			30	µs
$t_{p(AVDD_CL)}$	AVDD 电流限制检测响应时间	从 AVDD 超过 AVDD 电流限制阈值到 FAULT 引脚有效的延迟时间			40	µs
$t_{p(IOVDD_CL)}$	IOVDD 电流限制检测响应时间	从 IOVDD 超过 IOVDD 电流限制阈值到 FAULT 引脚有效的延迟时间			40	µs
$t_{p(AVDD_OTW)}$	AVDD 过热警告响应时间	从 AVDD 超过 AVDD 过热警告阈值到 FAULT 引脚有效的延迟时间			300	µs
$t_{p(IOVDD_OTW)}$	IOVDD 过热警告响应时间	从 IOVDD 超过 IOVDD 过热警告阈值到 FAULT 引脚有效的延迟时间			300	µs
$t_{p(AVDD_POR)}$	AVDD POR 检测响应时间	从 AVDD 降至 AVDD POR 阈值以下到 FAULT 引脚有效的延迟时间			30	µs
$t_{p(IOVDD_POR)}$	IOVDD POR 检测响应时间	从 IOVDD 降至 IOVDD POR 阈值以下到 FAULT 引脚有效的延迟时间			30	µs
$t_{p(DVDD_POR)}$	DVDD POR 检测响应时间	从 DVDD 降至 DVDD POR 阈值以下到 FAULT 引脚有效的延迟时间			30	µs
$t_{p(DGND_OPEN)}$	DGND 开路检测响应时间	从 DGND 引脚断开到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(AGNDy_OPEN)}$	AGNDy 开路检测响应时间	从 AGNDy 引脚断开到 FAULT 引脚有效的延迟时间			4	µs
$t_{p(MEM_MAP_CRC)}$	内存映射 CRC 故障检测响应时间	从内存映射中发生位翻转到 FAULT 引脚有效的延迟时间		69	138	t_{OSCD}
$t_{p(REG_MAP_CRC)}$	寄存器映射 CRC 故障检测响应时间	从寄存器映射中发生位翻转到 FAULT 引脚有效的延迟时间		1024	2048	t_{OSCD}
$t_{p(MCLK_WD)}$	主时钟看门狗响应时间	从主时钟看门狗超时到 FAULT 引脚有效的延迟时间			2	µs
$t_{p(OSCD_WD)}$	诊断振荡器看门狗响应时间	从诊断振荡器看门狗超时到 FAULT 引脚有效的延迟时间			2	µs
$t_{p(MCLK_FAULT)}$	主时钟故障检测响应时间	从主时钟故障检测到 FAULT 引脚有效的延迟时间			4096	t_{MCLK}

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小和最大规范的适用条件为：T_A = –40°C 至 +105°C；典型规范的适用条件为：T_A = 25°C；所有规范在以下条件下测得：APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部时钟、f_{CLK} = 8.192MHz、全局斩波模式禁用、ADC1y 数据速率 = 1kSPS（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
AVDD LDO						
AVDD	输出电压		3.1	3.3	3.5	V
	负载电流	可用于 AVDD 引脚上的外部电路			20	mA
	短路电流限制				60	mA
	负载调整率			1		mV/mA
IOVDD LDO						
IOVDD	输出电压		3.1	3.3	3.5	V
	负载电流	可用于 IOVDD 引脚上的外部电路			20	mA
	短路电流限制				60	mA
	负载调整率			1		mV/mA
电源电流						
I_{APWR}	APWR 电源电流	断电模式		0.01		mA
		待机模式		0.46		
		工作模式、禁用所有 ADC		0.8		
		工作模式、所有 ADC 均已启用并正在转换（所有功能均已启用、AVDD LDO 上无外部负载）		4.8	5.8	
	每个 ADC 的 APWR 电源电流	ADC1y 已启用并正在转换、所有增益、所有数据速率		1.75		
		ADC2A 已启用并正在转换、所有增益、所有数据速率		0.5		
I_{DPWR}	DPWR 电源电流(1)	断电模式		0.01		mA
		待机模式		0.4		
		工作模式、禁用所有 ADC		0.8		
		工作模式、所有 ADC 均已启用并正在转换（所有功能均已启用、IOVDD LDO 上无外部负载）		1.0	1.5	
	每个 ADC 的 DPWR 电源电流(1)	ADC1y 已启用并正在转换、所有数据速率		0.06		
		ADC2A 已启用并正在转换、所有数据速率		0.06		
I_{AVDD}	AVDD 电源电流	APWR 短接至 AVDD，AVDD LDO 被旁路，工作模式、所有 ADC 已启用并正在转换（所有功能已启用）		4.8		mA
I_{IOVDD}	IOVDD 电源电流(1)	DPWR 短接至 IOVDD，IOVDD LDO 被旁路，工作模式、所有 ADC 已启用并正在转换（所有功能已启用）		1.0		mA
P_D	功率耗散	工作模式、所有 ADC 均已启用并正在转换（所有功能均已启用、AVDD LDO 上无外部负载）		29		mW

(1) SPI 空闲时测量的电流。

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求

在工作环境温度范围内，SDO 负载：20pF || 100kΩ（除非另有说明）

		最小值	最大值	单位
3.0V ≤ IOVDD ≤ 3.6V				
$t_{w(CLH)}$	脉冲持续时间，CLK 高电平	49		ns
$t_{w(CLL)}$	脉冲持续时间，CLK 低电平	49		ns
$t_{c(SC)}$	SCLK 周期	64		ns
$t_{w(SCL)}$	脉冲持续时间，SCLK 低电平	32		ns
$t_{w(SCH)}$	脉冲持续时间，SCLK 高电平	32		ns
$t_{d(CSSC)}$	延时时间，CSn 下降沿后的第一个 SCLK 上升沿	16		ns
$t_{d(SCCS)}$	延时时间，最后一个 SCLK 下降沿后的 CSn 上升沿	10		ns
$t_{w(CSH)}$	脉冲持续时间，CSn 高电平	20		ns
$t_{su(DI)}$	建立时间，SCLK 下降沿前的 SDI 有效	5		ns
$t_{h(DI)}$	保持时间，SDI 在 SCLK 下降沿后有效	8		ns
$t_{w(RSL)}$	脉冲持续时间，RESETn 低电平以生成器件复位	500		ns
4.5V ≤ IOVDD ≤ 5.5V				
$t_{w(CLL)}$	脉冲持续时间，CLK 低电平	49		ns
$t_{w(CLH)}$	脉冲持续时间，CLK 高电平	49		ns
$t_{c(SC)}$	SCLK 周期	50		ns
$t_{w(SCL)}$	脉冲持续时间，SCLK 低电平	25		ns
$t_{w(SCH)}$	脉冲持续时间，SCLK 高电平	25		ns
$t_{d(CSSC)}$	延时时间，CSn 下降沿后的第一个 SCLK 上升沿	16		ns
$t_{d(SCCS)}$	延时时间，最后一个 SCLK 下降沿后的 CSn 上升沿	10		ns
$t_{w(CSH)}$	脉冲持续时间，CSn 高电平	15		ns
$t_{su(DI)}$	建立时间，SCLK 下降沿前的 SDI 有效	5		ns
$t_{h(DI)}$	保持时间，SDI 在 SCLK 下降沿后有效	8		ns
$t_{w(RSL)}$	脉冲持续时间，RESETn 低电平以生成器件复位	500		ns

Copyright © 2025 Texas Instruments Incorporated

5.7 开关特性

在工作环境温度范围内，SDO 负载：20pF || 100kΩ（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
3.0V ≤ IOVDD ≤ 3.6V						
$t_{p(CSDO)}$	传播延迟时间，CSn 下降沿至 SDO 驱动				50	ns
$t_{p(CSDOZ)}$	传播延迟时间，CSn 上升沿至 SDO 高阻抗				75	ns
$t_{p(SCDO)}$	传播延迟时间，SCLK 上升沿至新的有效 SDO				32	ns
$t_{w(DRH)}$	脉冲持续时间，DRDYn 高电平			4		t_{MCLK}
$t_{TIMEOUT}$	SPI 超时		16385			t_{OSCD}
t_{POR}	上电复位时间	从电源超过 POR 阈值到 DRDYn 上升沿测得		250		µs
t_{REGACQ}	寄存器默认值采集时间	从 RESETn 上升沿测量到 DRDYn 上升沿		44	114	µs
4.5V ≤ IOVDD ≤ 5.5V						
$t_{p(CSDO)}$	传播延迟时间，CSn 下降沿至 SDO 驱动				50	ns
$t_{p(SCDO)}$	传播延迟时间，SCLK 上升沿至新的有效 SDO				20	ns
$t_{p(CSDOZ)}$	传播延迟时间，CSn 上升沿至 SDO 高阻抗				75	ns
$t_{w(DRH)}$	脉冲持续时间，DRDYn 高电平			4		t_{MCLK}
$t_{TIMEOUT}$	SPI 超时		16385			t_{OSCD}
t_{POR}	上电复位时间	从电源超过 POR 阈值到 DRDYn 上升沿测得		250		µs
t_{REGACQ}	寄存器默认值采集时间	从 RESETn 上升沿测量到 DRDYn 上升沿		44	114	µs

5.8 时序图

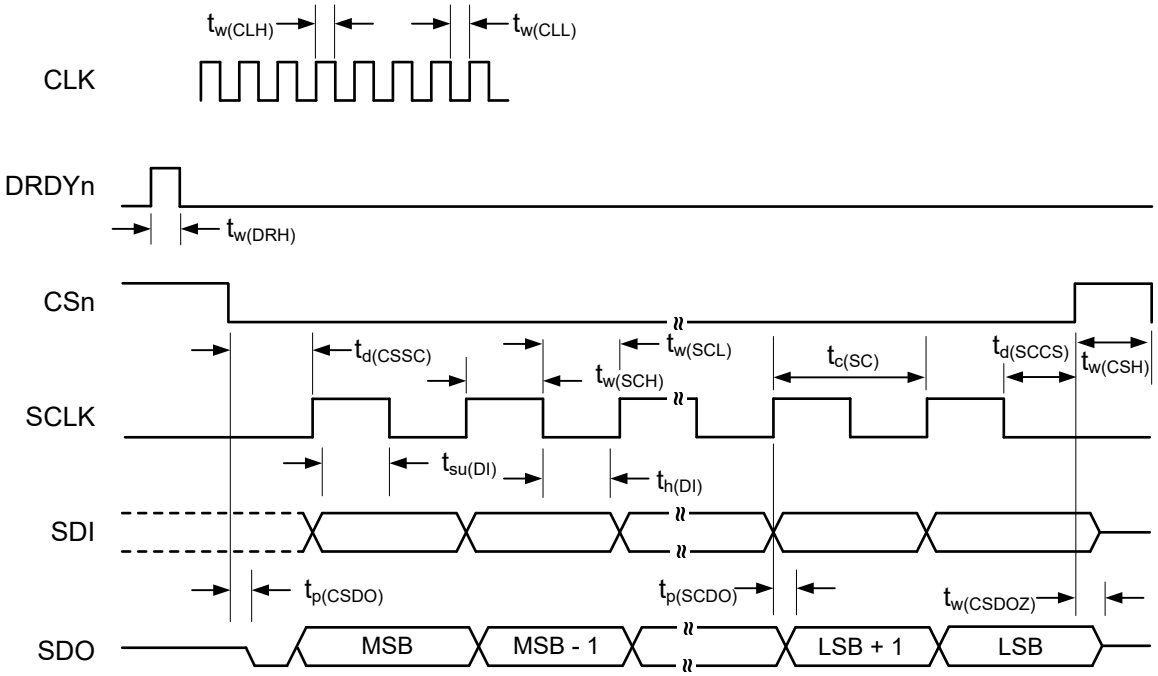
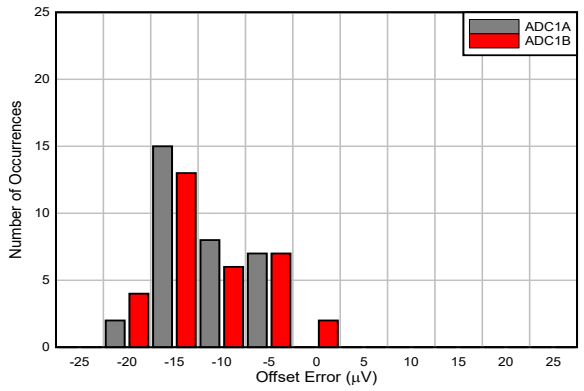


图 5-1. SPI 时序要求和开关特性

Copyright © 2025 Texas Instruments Incorporated

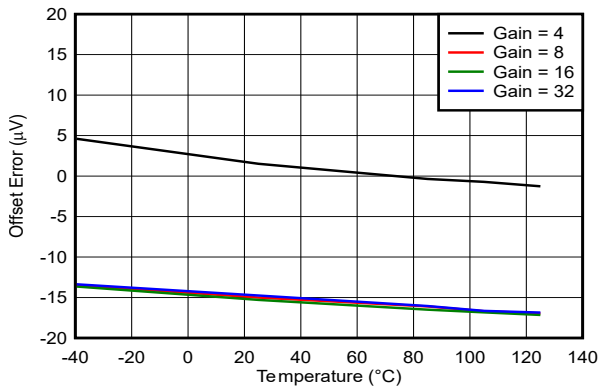
5.9 典型特性

在 T_A = 25°C、APWR = 5V、DPWR = 5V、外部时钟的 f_{CLK} = 8.192MHz 的条件下测得（除非另有说明）



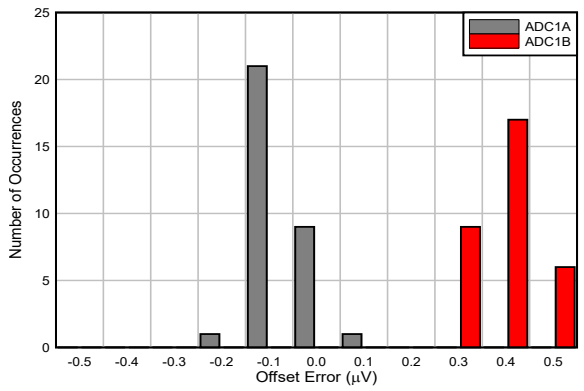
32 个器件，增益 = 8，禁用全局斩波，以输入为基准

图 5-2. ADC1y 失调电压误差直方图



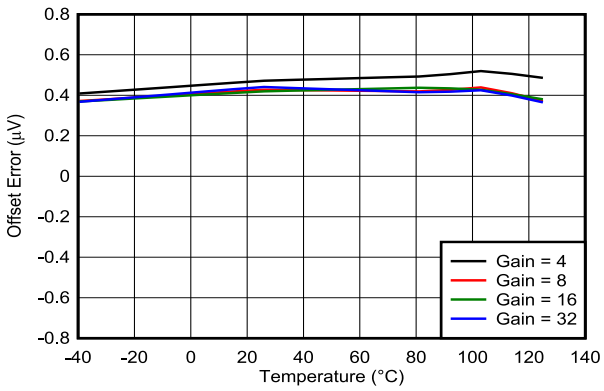
禁用全局斩波，以输入为基准

图 5-3. ADC1y 失调电压误差与温度间的关系



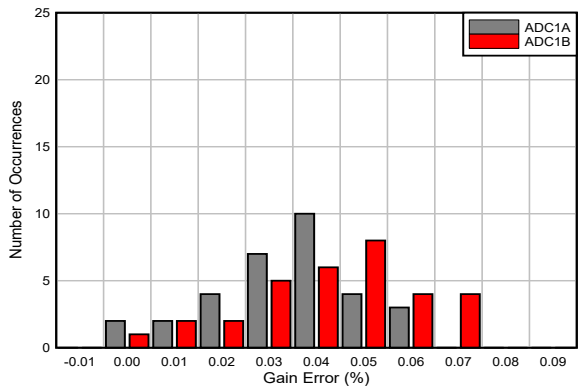
32 个器件，增益 = 8，启用全局斩波，以输入为基准

图 5-4. ADC1y 失调电压误差直方图



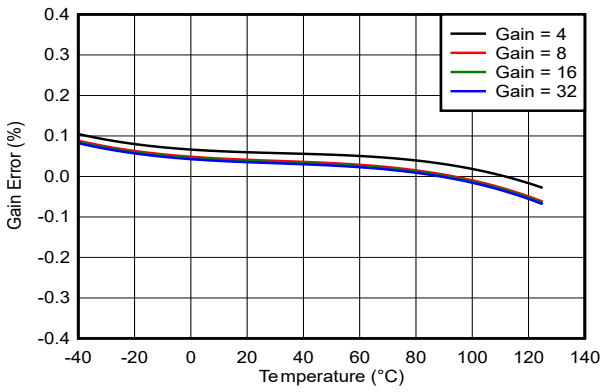
启用全局斩波，以输入为基准

图 5-5. ADC1y 失调电压误差与温度间的关系



32 个器件，增益 = 4，包括 REFy 的误差

图 5-6. ADC1y 增益误差直方图



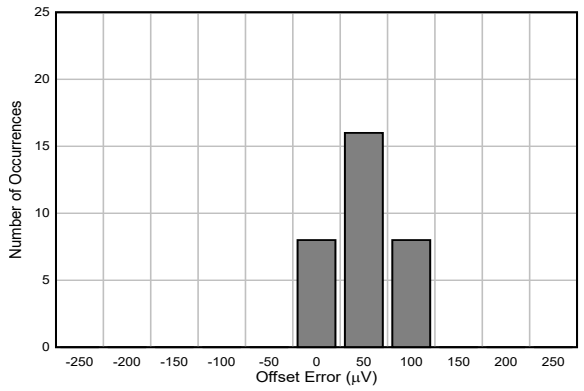
包括 REFy 的误差

图 5-7. ADC1y 放大器增益误差与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

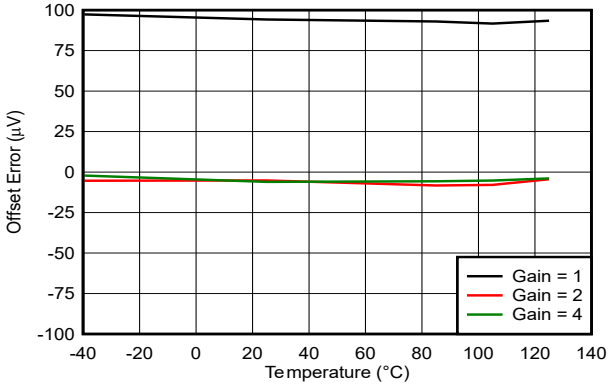
5.9 典型特性（续）

在 T_A = 25°C、APWR = 5V、DPWR = 5V、外部时钟的 f_{CLK} = 8.192MHz 的条件下测得（除非另有说明）



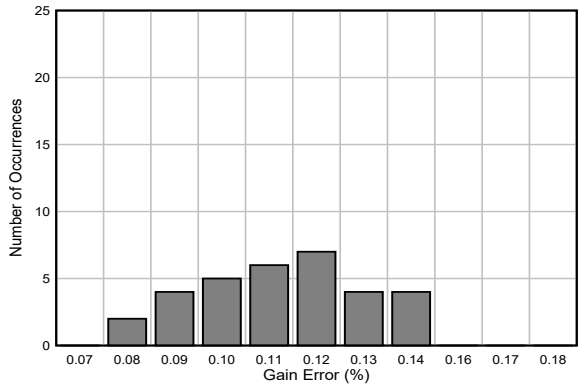
32 个器件，增益= 1，以输入为基准

图 5-8. ADC2A 失调电压误差直方图



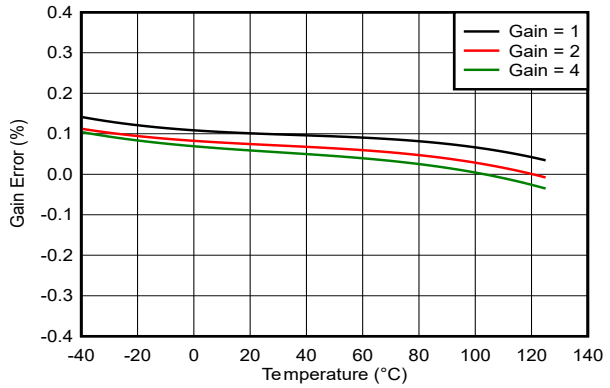
以输入为基准

图 5-9. ADC2A 失调电压误差与温度间的关系



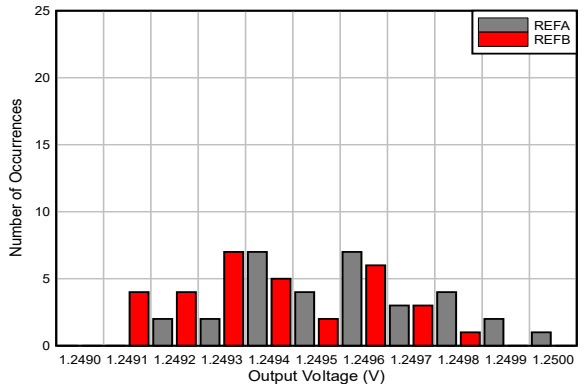
32 个器件，增益 = 1，包括 REFy 的误差

图 5-10. ADC2A 增益误差直方图



包括 REFy 的误差

图 5-11. ADC2A 增益误差与温度间的关系



32 个器件

图 5-12. REFy 输出电压直方图

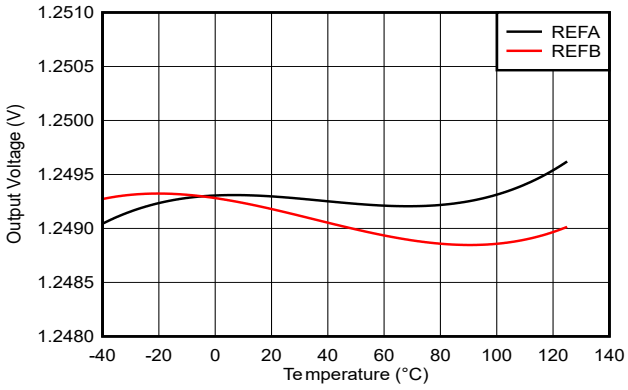
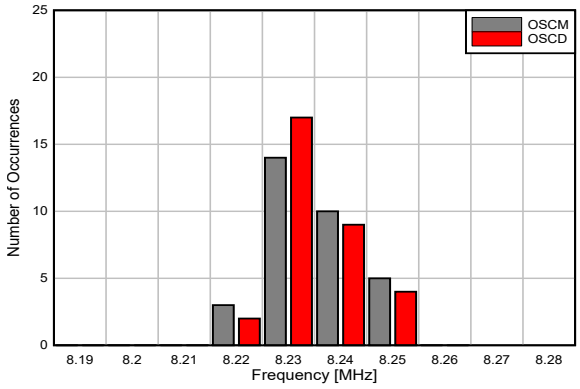


图 5-13. REFy 固定输出电压与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C、APWR = 5V、DPWR = 5V、外部时钟的 f_{CLK} = 8.192MHz 的条件下测得（除非另有说明）



32 个器件

图 5-14. OSCM 和 OSCD 频率直方图

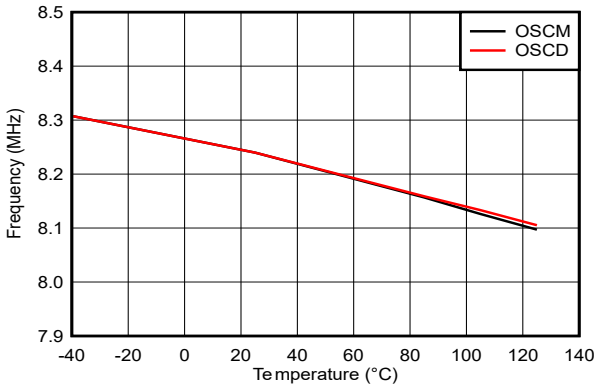
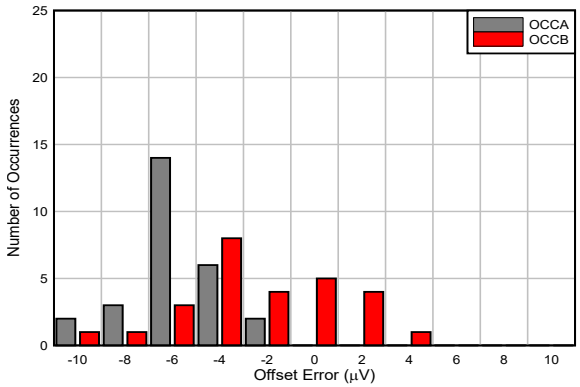
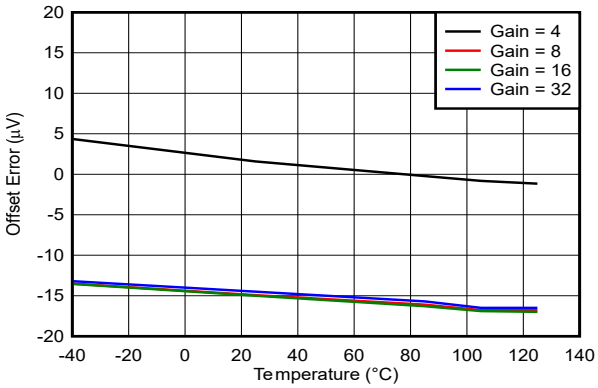


图 5-15. OSCM 和 OSCD 频率与温度间的关系



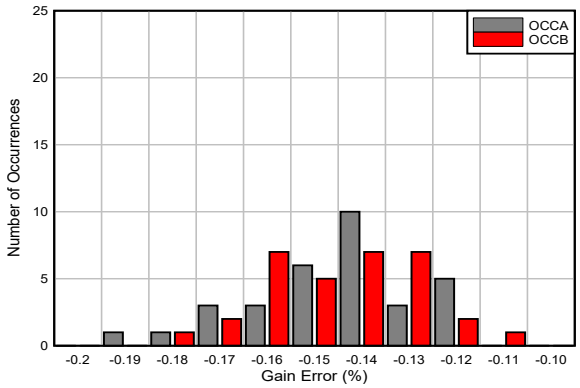
27 个器件，ADC1y 增益 = 4，以输入为基准

图 5-16. OCCy 失调电压误差直方图



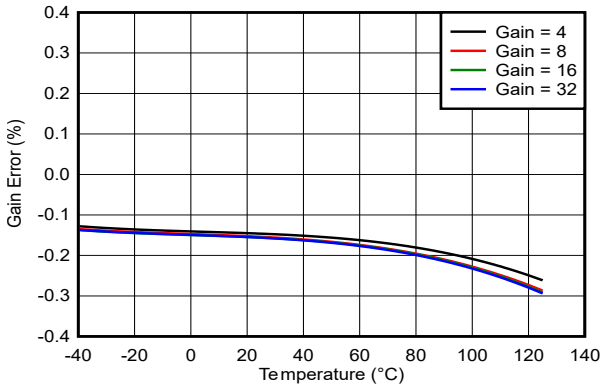
以输入为基准

图 5-17. OCCy 失调电压误差与温度间的关系



32 个器件，ADC1y 增益 = 4，包括 REFy 的误差

图 5-18. OCCy 增益误差直方图



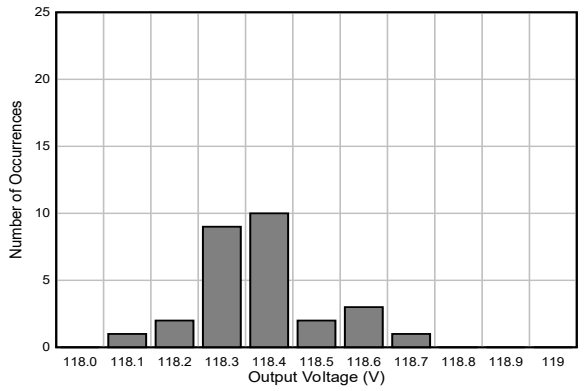
包括 REFy 的误差

图 5-19. OCCy 放大器增益误差与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C、APWR = 5V、DPWR = 5V、外部时钟的 f_{CLK} = 8.192MHz 的条件下测得（除非另有说明）



28 个器件

图 5-20. 温度传感器输出电压直方图

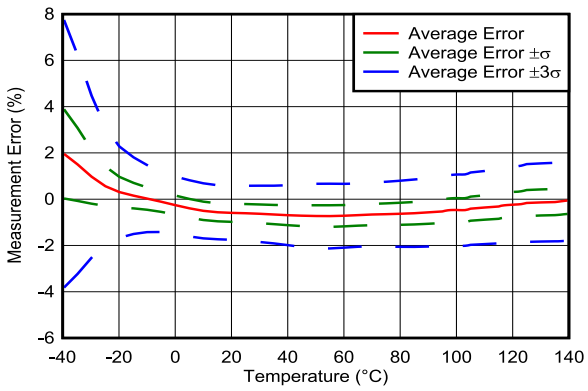
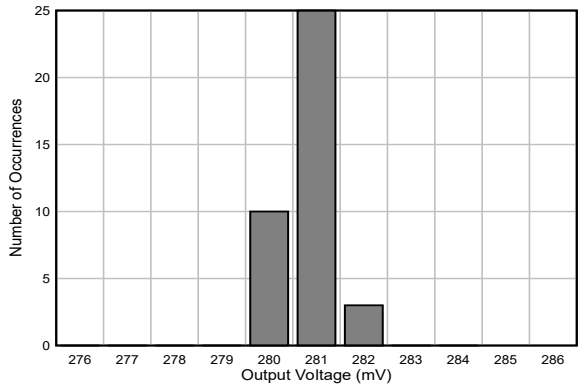
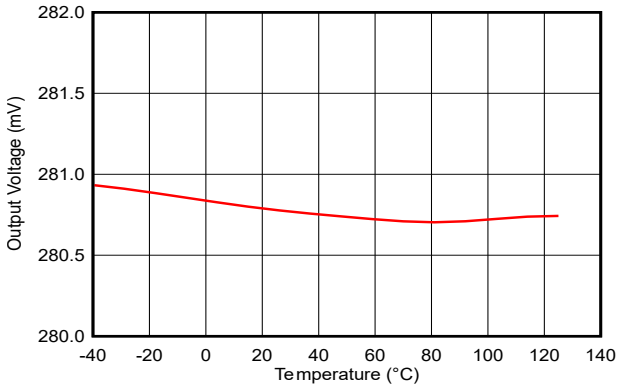


图 5-21. 温度传感器测量误差与环境温度间的关系



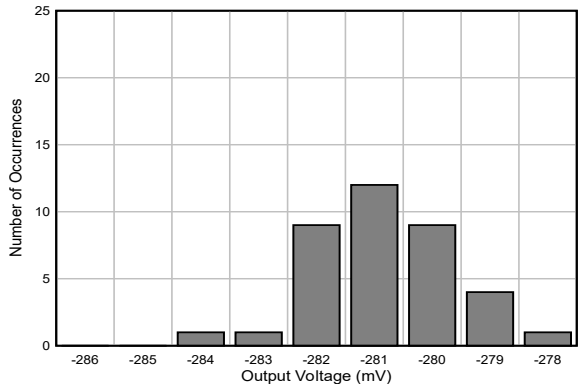
TDACy 输出电压 = 9 × V_{REFy} / 40

图 5-22. 测试 DACy 输出电压直方图



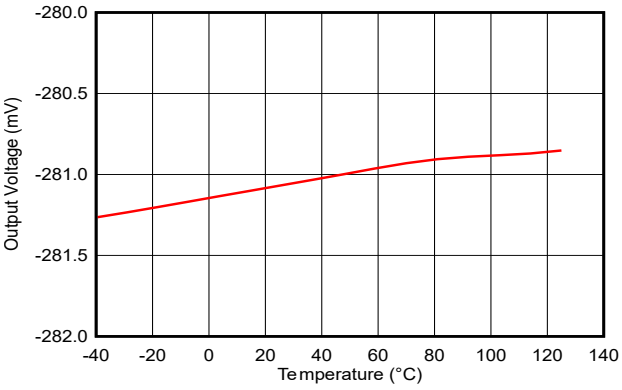
TDACy 输出电压 = 9 × V_{REFy} / 40

图 5-23. 测试 DACy 输出电压与温度间的关系



TDACy 输出电压 = –9 × V_{REFy} / 40

图 5-24. 测试 DACy 输出电压直方图



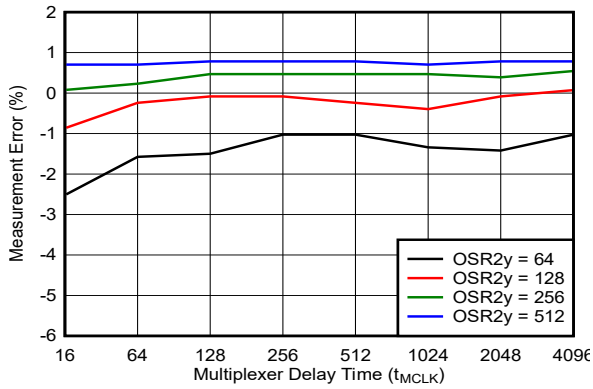
TDACy 输出电压 = –9 × V_{REFy} / 40

图 5-25. 测试 DACy 输出电压与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

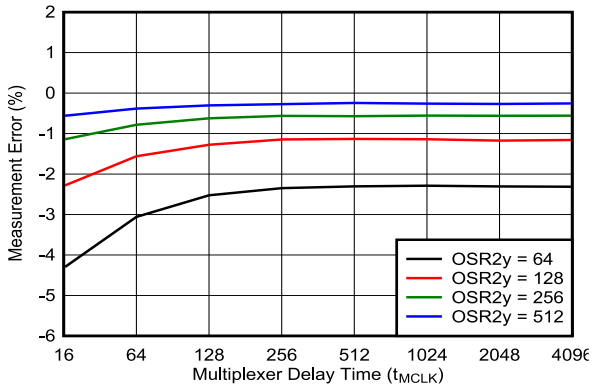
5.9 典型特性（续）

在 T_A = 25°C、APWR = 5V、DPWR = 5V、外部时钟的 f_{CLK} = 8.192MHz 的条件下测得（除非另有说明）



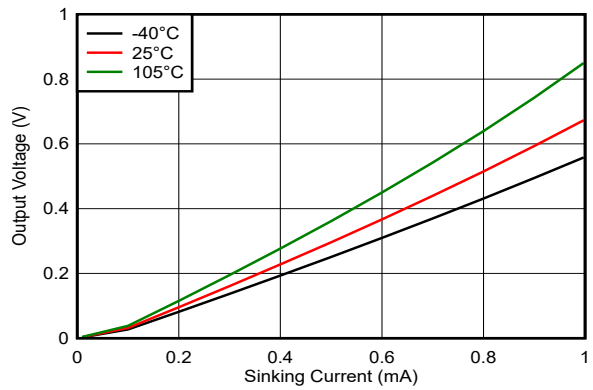
APWR 或 DPWR

图 5-26. ADC2A 电源电压回读测量精度



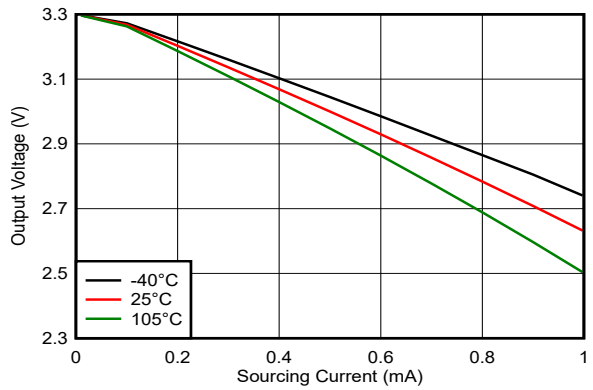
AVDD 或 IOVDD

图 5-27. ADC2A 电源电压回读测量精度



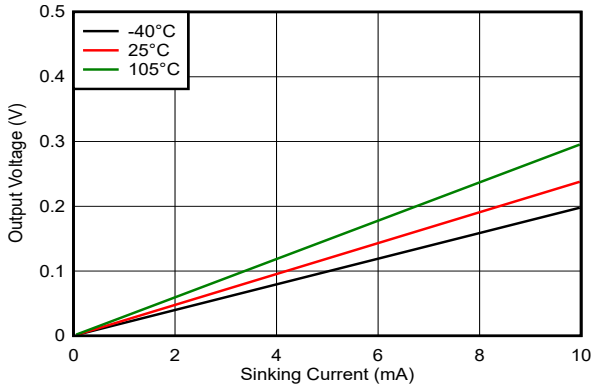
AVDD = 3.3V

图 5-28. 模拟 GPIO 引脚输出电压与灌电流间的关系



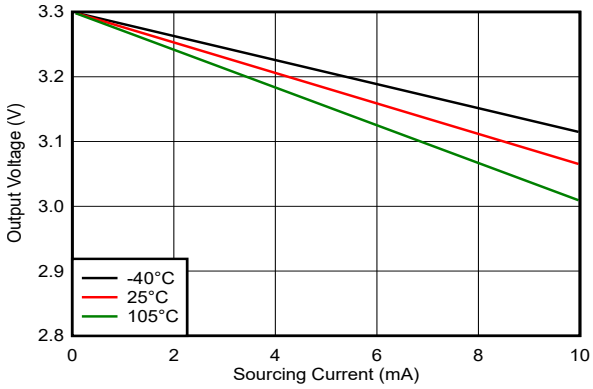
AVDD = 3.3V

图 5-29. 模拟 GPIO 引脚输出电压与源电流间的关系



IOVDD = 3.3V

图 5-30. 数字引脚输出电压与灌电流间的关系



IOVDD = 3.3V

图 5-31. 数字引脚输出电压与源电流间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C、APWR = 5V、DPWR = 5V、外部时钟的 f_{CLK} = 8.192MHz 的条件下测得（除非另有说明）

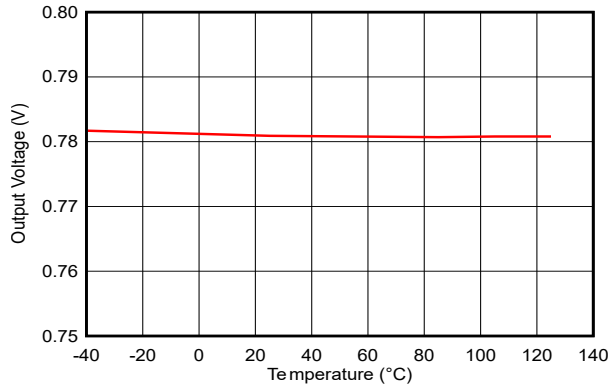
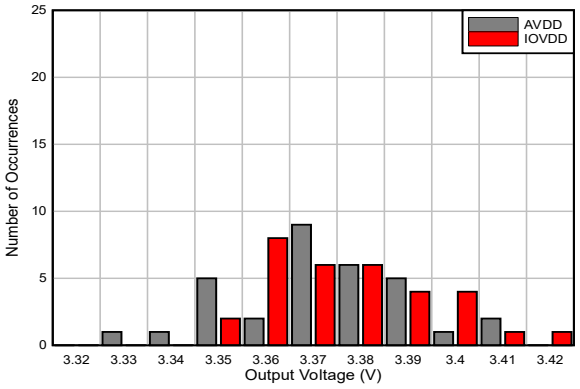


图 5-32. VCMA 输出电压与温度间的关系



32 个器件

图 5-33. AVDD 和 IOVDD LDO 输出电压直方图

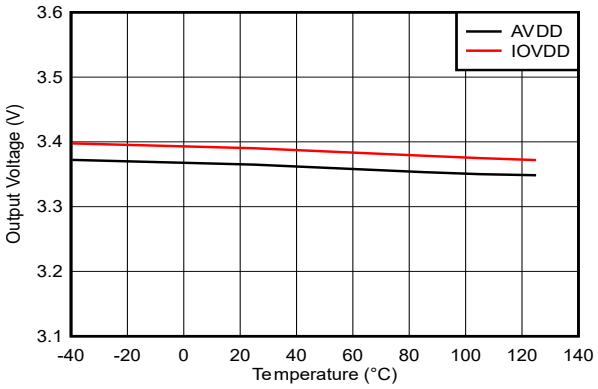
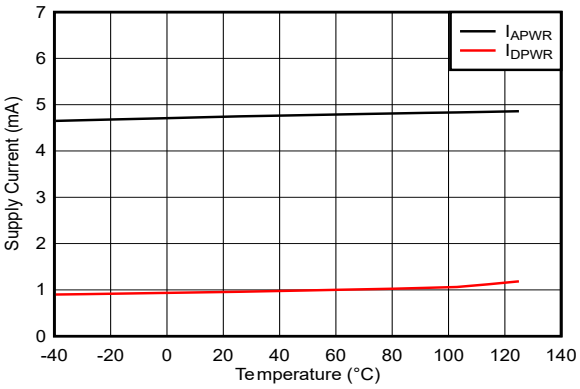
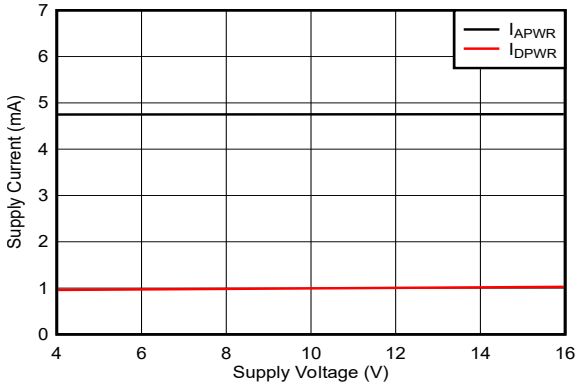


图 5-34. AVDD 和 IOVDD LDO 输出电压与温度间的关系



工作模式，所有 ADC 均已启用并正在转换

图 5-35. 电源电流与温度间的关系



工作模式，所有 ADC 均已启用并正在转换

图 5-36. 电源电流与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 温漂测量

温漂定义为额定温度范围内的失调电压变化。使用*框方法* 计算温漂，即在最大和最小偏移电压以及指定的温度范围内形成一个框。框方法指定温度误差的限值，但不指定受测器件的确切形状和斜率。因此，温漂仅被指定为正数，即使漂移可能为负值也是如此。方程式 1 表示使用框方法的温漂计算：

$$\text{Offset Drift (nV/°C)} = 10^9 \times (V_{OFSMAX} - V_{OFSMIN}) / (T_{MAX} - T_{MIN}) \quad (1)$$

其中：

- V_{OFSMIN} 和 V_{OFSMAX} = 额定温度范围内的最小偏移电压和最大偏移电压
- T_{MIN} 和 T_{MAX} = 最低温度和最高温度

6.2 增益漂移测量

增益漂移是指在指定的温度范围内增益误差的变化。增益漂移使用*框方法* 进行计算，即在最大和最小增益误差以及指定的温度范围内形成一个框。框方法指定温度误差的限值，但不指定受测器件的确切形状和斜率。因此，增益漂移仅被指定为正数，即使漂移可能为负值也是如此。方程式 2 描述了使用框方法的增益漂移计算。

$$\text{Gain Drift (ppm/°C)} = (GE_{MAX} - GE_{MIN}) / (T_{MAX} - T_{MIN}) \quad (2)$$

其中：

- GE_{MIN} 和 GE_{MAX} = 指定的温度范围内的最小和最大增益误差
- T_{MIN} 和 T_{MAX} = 最低温度和最高温度

Copyright © 2025 Texas Instruments Incorporated

6.3 噪声性能

可通过调整数据速率和增益来优化各个 ADC 的噪声性能。当通过增加过采样率 (OSR) 来降低数据速率时，平均值会增加，从而降低噪声。表 6-1 和 表 6-2 总结了 ADC1y 和 ADC2y 的噪声性能。这些数据代表 T_A = 25°C、使用 f_{MCLK} = 8.192MHz 时的典型噪声性能。显示的数据是典型的输入参考噪声结果，单位为 μV_{RMS}，其中模拟输入短接在一起并对 1ms 周期内的数据求平均值。使用 方程式 3 根据提供的 μV_{RMS} 数字计算有效分辨率。

$$\text{Effective Resolution} = \ln[(2 \times V_{REFy} / \text{Gain}) / V_{RMS\text{-}Noise}] / \ln(2) \quad (3)$$

在全局斩波模式下，ADC1y 的噪声性能提高了 $\sqrt{2}$ 倍。

表 6-1. T_A = 25°C 时的 ADC1y 噪声性能 (μV_{RMS})

OSR1y	数据速率，f_{CLKIN} = 8.192MHz	增益			
		4	8	16	32
64	64kSPS	20.7	10.8	10.8	10.8
128	32kSPS	6.19	3.96	3.96	3.96
256	16kSPS	3.70	2.51	2.51	2.51
512	8kSPS	2.61	1.78	1.78	1.78
1024	4kSPS	1.88	1.28	1.28	1.28
2048	2kSPS	1.46	0.91	0.91	0.91
4096	1kSPS	1.15	0.65	0.65	0.65
8192	0.5 kSPS	0.88	0.44	0.44	0.44

表 6-2. T_A = 25°C 时的 ADC2y 噪声性能 (μV_{RMS})

OSR2y	转换时间，f_{MCLK} = 8.192MHz	增益		
		1	2	4
64	46.87 µs	93.4	48.3	48.3
128	62.50 µs	48.4	26.5	26.5
256	93.75 µs	31.9	17.5	17.5
512	156.25 µs	22.4	12.1	12.1

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

ADS131B23-Q1 是一款完全集成式高压电池组监控器，适用于汽车电动汽车 (EV)电池管理系统 (BMS)。它集成了两个同步采样、高精度、24 位 ADC 通道（ADC1A、ADC1B），可使用外部分流电阻器以高分辨率和高精度对电池电流进行冗余测量。两个独立的数字过流检测比较器（OCCA、OCCB）与两个 ADC 并联工作，可实现快速过流检测。

一个额外的多路复用 16 位 ADC (ADC2A) 可借助热敏电阻或模拟输出温度传感器等外部温度传感器测量分流器温度以及系统中的其他电压。ADC2A 配备一个通道序列发生器，后者会自动逐步调试配置的多路复用器输入，选择这些输入进行测量并启动 ADC 转换。

该器件分为 A 和 B 两部分。A 部分中的电路独立于 B 部分中的电路。但是，两部分都由同一电源供电，从同一主时钟源获取各自的时钟，并共享同一数字控制和串行接口。

除了各种 ADC 通道外，每个部分还提供：

- 为每个部分的 ADC 馈电的精密、低漂移、1.25V 电压基准（REFA、REFB）
- 负电荷泵（NCPA、NCPB）可用于为每个 ADC 前端的增益级提供负电源电压，以便进行低于接地电位的信号测量
- 用于生成精密测试电压的测试 DAC（测试 DAC A、测试 DAC B），这些电压可以路由到另一节中的 ADC 进行测量
- 两个基于 AVDD 的逻辑电平的 GPIO（GPIO0A、GPIO1A 和 GPIO0B、GPIO1B）

在许多 BMS 应用程序中，电池包监控器由非稳压隔离式 DC/DC 转换器供电。因此，ADS131B23-Q1 集成了线性稳压器（AVDD 和 IOVDD LDO），这些稳压器可接受 4V 至 16V 之间的电压，并为内部电路提供稳压 3.3V 模拟和数字电源轨。两个低压降稳压器 (LDO) 也可以向外部电路提供有限的电流。一种常见用例是为数字隔离器的初级侧供电，数字隔离器通过 IOVDD LDO 输出隔离与主机微控制器的 SPI 通信；请参阅 *ADS131B26Q1EVM-PDK 评估模块* 用户指南。

ADS131B23-Q1 的主时钟由内部 8.192MHz 振荡器或 CLK 引脚上提供的外部时钟提供。

该器件集成了多种监控和诊断功能，可缓解和检测随机硬件故障，从而帮助开发功能安全的 BMS，例如：

- 电源欠压、过压、过热和振荡监控器
- 通过 ADC2A 实现的电源电压回读能力
- 每个 ADC 具有一组开路检测电流源和灌电流
- 时钟监控器
- 循环冗余校验 (CRC)、超时监控器和 SPI 上的 SCLK 计数器，均可用于实现通信的高数据完整性
- 寄存器和内存映射 CRC
- ADC 转换和序列计数器

该器件提供五个 GPIO（GPIO0 至 GPIO4），这些 GPIO 具有基于 IOVDD 的逻辑电平以及可选的脉宽调制 (PWM) 输入和输出功能。GPIO2 也可配置为故障输出，GPIO3 和 GPIO4 也可配置为过流比较器输出。

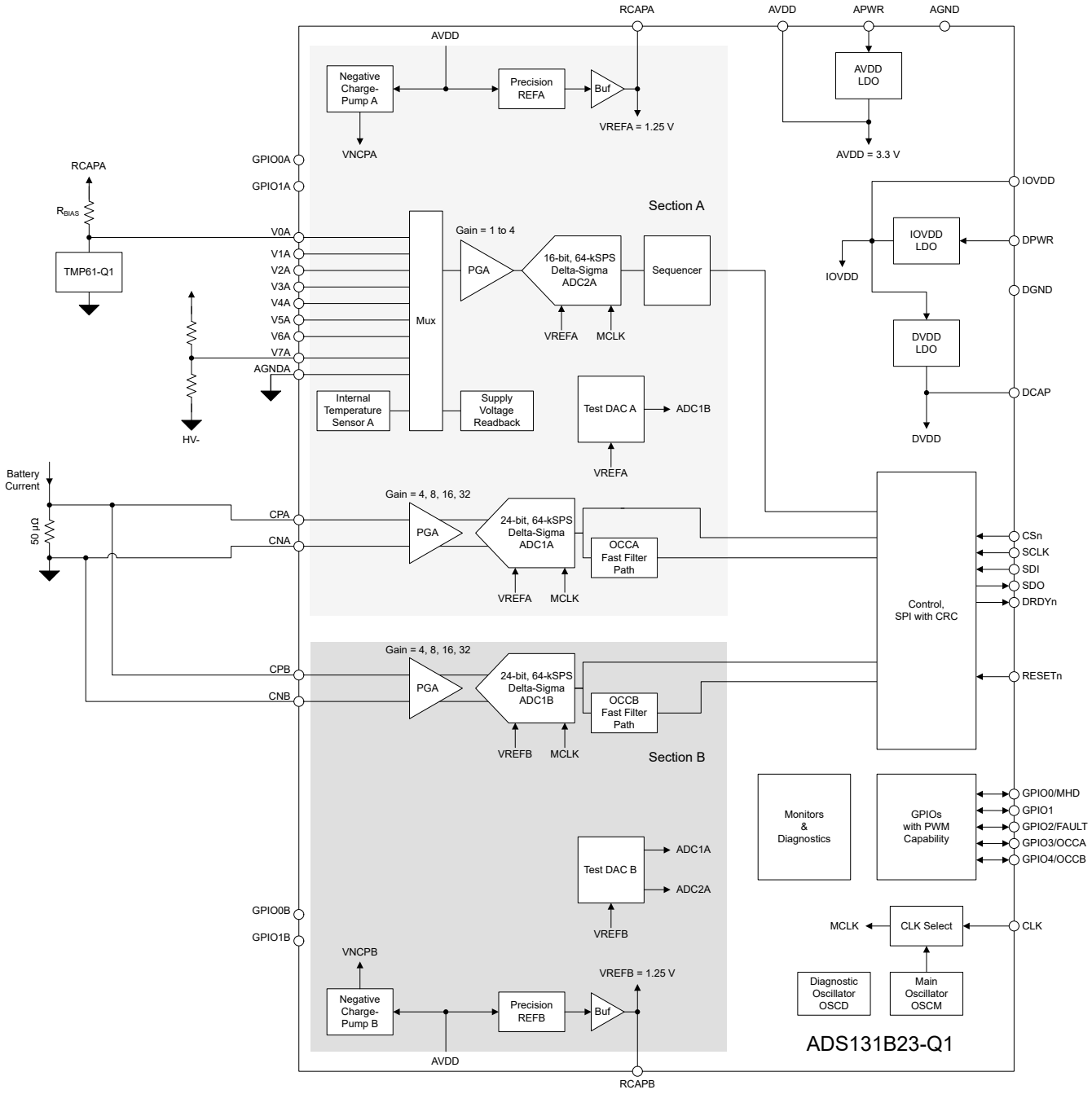
Copyright © 2025 Texas Instruments Incorporated

如 表 7-1 中所示，ADS131B2x-Q1 系列由三个集成 ADC 通道数量不同的器件组成。

表 7-1. 按可用 ADC 通道比较 ADS131B2x-Q1 器件系列

器件	ADC1A、ADC1B	ADC2A	ADC2B	ADC3A、ADC3B
ADS131B23-Q1	是	是	否	否
ADS131B24-Q1	是	是	是	否
ADS131B26-Q1	是	是	是	是

7.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 命名规则

本文档中的 *x* 和 *y* 后缀代表器件的某些元素：

- *y* 后缀表示 *A* 和 *B* 两个段中的元素。
  例如、ADC1y 指 ADC1A 以及 ADC1B。
- *x* 后缀指的是一段中的所有 ADC，或 ADC2y 的所有模拟输入。
  例如，ADCxA 指 ADC1A 和 ADC2A，VxA 指 ADC2A 的模拟输入 V0A 到 V7A。

7.3.2 精密电压基准（REFA、REFB）

ADS131B23-Q1 集成了两个低漂移、带隙精密电压基准（REFA 和 REFB），每个基准位于器件的不同部分。这些基准的额定电压为 1.25V。无法为器件提供外部电压基准。部分 A 中的所有 ADC 都使用 REFA，相应地，部分 B 中的所有 ADC 都使用 REFB。RCAPA 和 RCAPB 引脚是电压基准的输出。使用 1 µ F 电容器将 RCAPA 引脚去耦合至 AGNDA，使用 1 µ F 电容器将 RCAPB 引脚去耦合至 AGNDB。电压基准会进行缓冲，并可以通过 RCAPy 引脚向外部电路提供有限的电流。缓冲器无法灌入任何电流。有关详细信息，请参阅*电气特性*表。

7.3.3 时钟（MCLK、OSCM、OSCD）

ADS131B23-Q1 需要主时钟 (MCLK)才能运行。如图 7-1 中所示，ADS131B23-Q1 的主时钟通过以下两种方式之一提供：

- 通过内部的 8.192MHz 主振荡器 (OSCM) 或
- 通过 CLK 引脚上的外部时钟

CLK_SOURCE 位用于选择器件的相应主时钟源。在器件上电或器件复位后，默认情况下会选择内部主振荡器作为 MCLK 源。

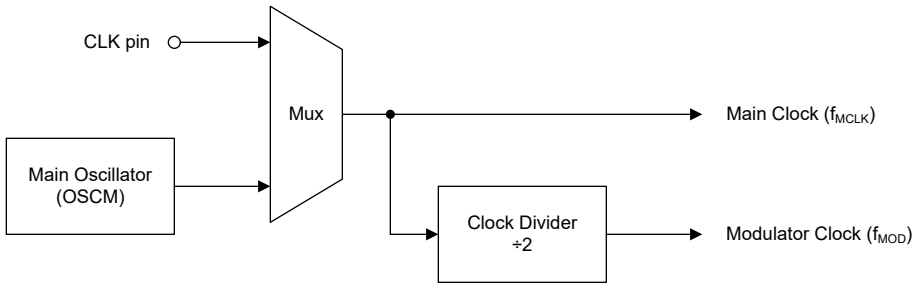


图 7-1. 主时钟选择图

各种 Δ Σ ADC 的调制器时钟源自通用主时钟。时钟分频器将主时钟频率 (f_{MCLK}) 除以系数 2，从而产生调制器频率 ($f_{MOD} = f_{MCLK} / 2$)，并且占空比为 50%。

在使用 CLK_SOURCE 位更改时钟源之前，请使用相应的 ADC 使能位禁用所有 ADC，或将器件设置为待机模式，以防止时钟切换过程中出现时钟故障。从外部时钟源切换到内部主振荡器时，在器件切换到内部主振荡器后，保持外部时钟继续运行。

ADS131B23-Q1 集成了第二个内部振荡器，该振荡器称为*诊断振荡器 (OSCD)*，用于各种监测和诊断功能。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 ADC1y

24 位 ADC1A 和 ADC1B 的主要目的是冗余测量外部低端、接地参考分流电阻器上的电池电流。

ADC1y 通道信号链由两个差动模拟输入（CPy、CNy）、一个输入多路复用器（后跟一个可编程增益放大器 (PGA)）、一个 ΔΣ 调制器和数字滤波器，以及全局斩波和校准逻辑组成。

7.3.4.1 ADC1y Input Multiplexer

The input multiplexer controls which signals are routed to the PGA of the ADC1y channel. Configure the input multiplexer using the MUX1y[1:0] bits. The input multiplexer allows the following inputs to be connected to the PGA:

- The differential analog signal between the CPy and CNy inputs.
- The inverse differential analog signal between the CPy and CNy inputs.
- Internal short to AGNDy. The analog inputs CPy and CNy are disconnected from the PGA in this case. Use this setting for self-offset calibration of the ADC1y channel.
- DC test signal provided by the Test DAC of the other section.

图 7-2 shows a diagram of the ADC1A input multiplexer and 表 7-2 lists the according switch positions depending on the MUX1A[1:0] bit settings.

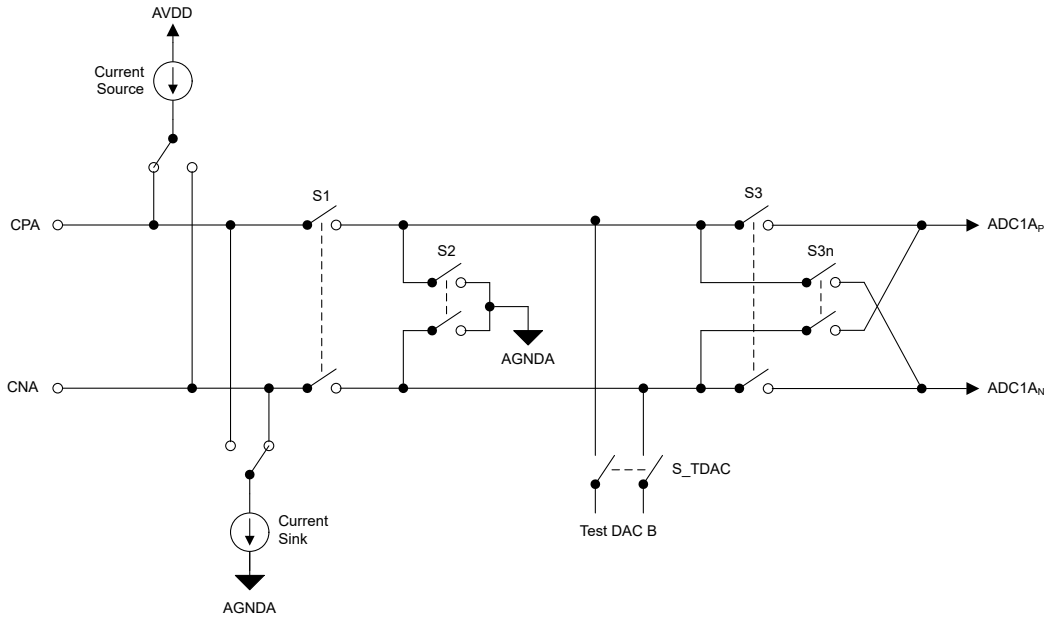


图 7-2. ADC1A Input Multiplexer

表 7-2. ADC1A Multiplexer Switch Positions Based on MUX1A[1:0] Bit Settings

MUX1A[1:0] SETTING	S1	S2	S3	S3n	S_TDAC
00b	Closed	Open	Closed	Open	Open
01b	Closed	Open	Open	Closed	Open
10b	Open	Closed	Closed	Open	Open
11b	Open	Open	Closed	Open	Closed

Copyright © 2025 Texas Instruments Incorporated

7.3.4.2 ADC1y 可编程增益放大器 (PGA)

ADC1y 具有集成式可编程增益放大器 (PGA)，可提供 4、8、16 和 32 的增益。使用 GAIN1y[1:0] 位选择增益设置。

验证 PGA 增益可调节 ADC1y 的差分满标量程输入电压范围 (FSR)。方程式 4 描述了 FSR 和增益之间的关系。方程式 4 使用内部基准电压 1.25V 作为比例因子，未考虑基准电压容差引起的增益误差。

$$FSR = \pm 1.25\ V / Gain \quad (4)$$

表 7-3 展示了每个增益设置对应的满量程范围。

表 7-3. ADC1y 满标量程范围

增益设置	FSR
4	±312.5mV
8	±156.25mV
16	±78.125mV
32	±39.063mV

要测量以 GND 为基准的分流电阻器上的双向电流，PGA 必须接受低于 GND 的电压。因此，PGA 的负电源由内部负电荷泵 (NCPy) 提供。这一配置允许 PGA 接受每个低于 GND 的输入上的绝对输入电压。

ADC1y 通道的输入阻抗与增益、OSR 和全局斩波模式设置无关。然而，输入阻抗的调整比例与 MCLK 频率成间接正比。

7.3.4.3 ADC1y ΔΣ 调制器

ADC1y 使用二阶三角积分 (ΔΣ) 调制器将模拟输入电压转换为 1 密度调制数字位流。ΔΣ 调制器以超过输出数据速率很多倍的频率对输入信号进行过采样。ADC1y 的调制器频率 f_{MOD} 等于主时钟频率的一半（即 $f_{MOD} = f_{MCLK} / 2$）。

7.3.4.4 ADC1y 数字滤波器

ADC1y ΔΣ 调制器位流馈入数字滤波器。数字滤波器是线性相位、有限脉冲响应 (FIR)、低通 sinc3 型滤波器，可衰减 ΔΣ 调制器的带外量化噪声。低分辨率、高速调制器输出由数字滤波器抽取和下采样，以在输出数据速率 f_{DATA} 下生成高分辨率 ADC 数据。根据方程式 5 定义，抽取因子称为*过采样率 (OSR)*。

$$OSR = f_{MOD} / f_{DATA} \quad (5)$$

OSR 决定了数字滤波器中应用于调制器输出的平均量，因此也决定了滤波器带宽和转换噪声。较高的 OSR 可导致较低的滤波器带宽和更佳的噪声性能。

OSR 可通过 OSR1y[2:0] 位在 64 到 8192 的范围内进行编程。表 7-4 列出了 ADC1y 的 OSR 设置，以及相应的输出数据速率和 sinc3 滤波器的 -3dB 频率（标称 MCLK 频率为 8.192MHz）。

Copyright © 2025 Texas Instruments Incorporated

表 7-4. f_{MCLK} = 8.192MHz 时，ADC1y OSR 设置、输出数据速率和 –3dB 频率

OSR	输出数据速率 (f_{DATA})	-3dB 频率
64	64kSPS	16.8kHz
128	32ksps	8.4kHz
256	16kSPS	4.2kHz
512	8ksps	2.1kHz
1024	4kSPS	1.0kHz
2048	2kSPS	524Hz
4096	1kSPS	262Hz
8192	500SPS	131Hz

图 7-3 和 图 7-4 展示了 sinc3 滤波器的滤波器频率响应。sinc3 滤波器在输出数据速率的整数倍上具有无限衰减，但 f_{MOD} 的整数倍除外。与所有数字滤波器一样，该数字滤波器响应以调制器频率 f_{MOD} 的整数倍重复。数据速率和滤波器陷波频率随 f_{MOD} 而变化。

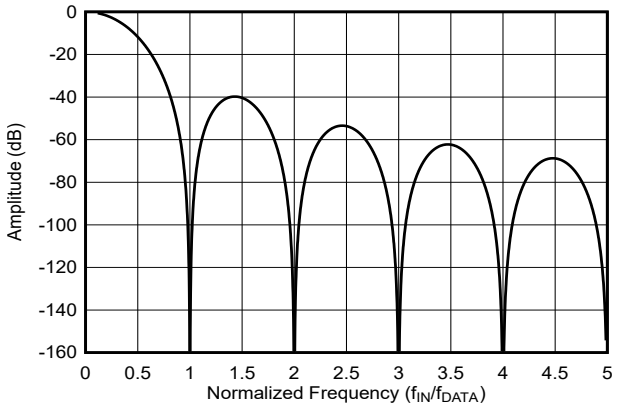


图 7-3. Sinc3 滤波器频率响应

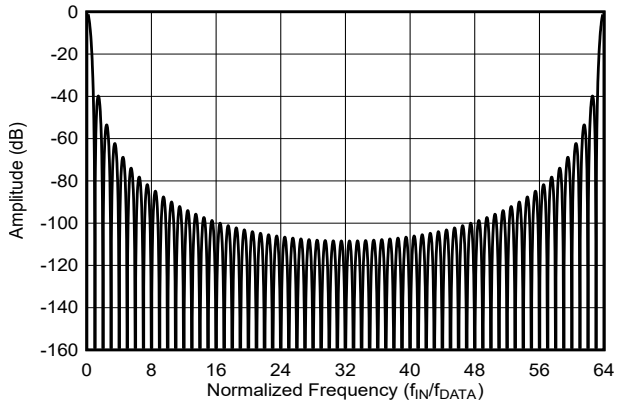


图 7-4. f_{MOD} 的 Sinc3 滤波器频率响应 (OSR = 64)

7.3.4.5 ADC1y 偏移和增益校准

ADC1y 支持使用用户可编程的偏移和增益校正寄存器来校准偏移和增益矫正的转换数据。如 图 7-5 所示，在乘以 16 位增益校正值 (GCAL1y[15:0]) 之前，从转换数据中减去 24 位偏移校正值 (OCAL1y[23:0])。输出数据四舍五入为最终分辨率，并在缩放操作后削波为 +FS 和 –FS 代码值。由于 ADS131B23-Q1 寄存器是易失性的，因此必须将偏移和增益校准系数存储在外部非易失性存储器中，并在每次设备上电或复位时将其编程到偏移和增益校准寄存器中。

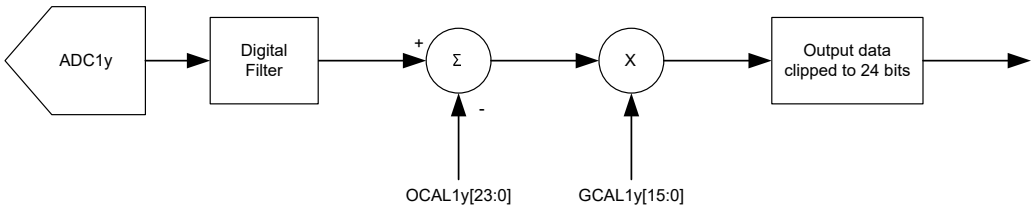


图 7-5. 校准逻辑方框图

Copyright © 2025 Texas Instruments Incorporated

24 位偏移校准值以二进制格式提供，并编程到 OCAL1y[23:0] 位字段，该字段跨越 ADC1y_OCAL_MSB 和 ADC1y_OCAL_LSB 寄存器。表 7-5 展示了示例偏移校准值。使用 方程式 6 计算偏移校准值的 LSB 大小。

$$\text{LSB size} = (2 \times V_{REFy}) / (\text{GAIN1y} \times 2^{24}) \quad (6)$$

表 7-5. 失调电压校准值示例

OCAL1y[23:0] 值	应用的失调电压校准
000010h	-16 LSB
000001h	-1 LSB
FFFFFFh	1 LSB
FFFFF0h	16 LSB

16 位增益校准值以二进制格式提供，并编程到 GCAL1y[15:0] 位字段中。增益校准值的一个 LSB 等于增益校正因子 $1/2^{16} = 0.000015$。表 7-6 展示了增益校准值示例。

表 7-6. 增益校准值示例

GCAL1y[15:0] 值	应用的增益校准
7FFFh	1.499985
0001h	1.000015
0000h	1
FFFFh	0.999985
8000h	0.5

推荐的校准程序如下：

1. 将偏移和增益校准寄存器分别预设为 OCAL1y[23:0] = 000000h 和 GCAL1y[15:0] = 0000h。
2. 利用相应的输入多路复用器设置 (MUX1y[1:0] = 10b) 在内部短路 ADC1y 输入，或在系统级外部短路输入，以包括外部滤波器级的偏移误差，从而执行偏移校准。获取多个转换数据并将数据的平均值写入偏移校准寄存器。对数据求平均值可降低转换噪声，从而提高校准精度。
3. 将精确校准信号应用于 ADC1y 的输入端或在系统级执行增益校准，以包括外部滤波器级的增益误差。请选择小于满量程输入范围的校准电压，以避免输出代码被削波。输出代码被削波会导致校准不准确。例如，当使用增益 = 8 时，使用 150mV 校准信号。获取多个转换数据并对结果求平均值。根据方程式 7 计算增益校准值。

   $$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \quad (7)$$

   使用增益 = 8 时，150mV 校准电压的预期输出代码为：（150mV / LSB 大小）= 7AE148h，其中 LSB 大小= $(2 \times 1.25V) / (8 \times 2^{24})$。例如，如果实际测量的输出代码是 6FB587h，则增益校准系数计算结果为 1.1。写入 GCAL1y[15:0] 位字段的增益校准值为：$(1.1 - 1) / (1 / 2^{16}) = 199Ah$。

Copyright © 2025 Texas Instruments Incorporated

7.3.4.6 ADC1y 转换数据

ADC1A 和 ADC1B 的转换数据为 24 位，并作为 SPI 帧的一部分自动通过 SDO 输出，除非在寄存器读命令后输出寄存器数据。

数据以二进制补码格式提供。可以使用方程式 8 来计算一个代码的大小 (LSB)。

$$1\ LSB = (2 \times V_{REFy} / Gain) / 2^{24} = +FSR / 2^{23} \quad (8)$$

正满量程输入（$V_{IN} \geq +FSR - 1\ LSB = V_{REFy}$ / 增益 – 1 LSB）可产生 7FFFFFh 输出代码，负满量程输入（$V_{IN} \leq -FSR = -V_{REFy}$ / 增益）可产生 800000h 输出代码。对于超出满量程的信号，输出会在这些代码处进行截断。

表 7-7 总结了不同输入信号的理想输出代码。

表 7-7. 理想输出代码与输入信号间的关系（24 位转换数据）

输入信号 ($V_{IN} = V_{AINP} - V_{AINN}$)	理想输出代码
$\geq$ FSR ($2^{23} - 1$)/2^{23}	7FFFFFh
FSR/2^{23}	000001h
0	000000h
–FSR/2^{23}	FFFFFFh
$\leq$ –FSR	800000h

图 7-6 展示了模拟输入信号到输出代码的映射。

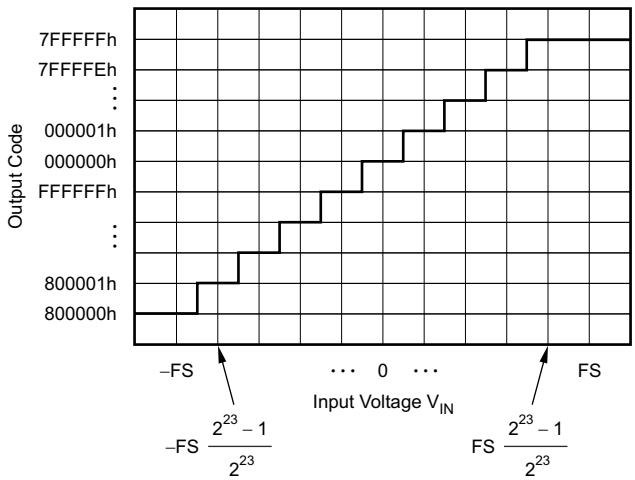


图 7-6. 代码转换图（24 位转换数据）

Copyright © 2025 Texas Instruments Incorporated

7.3.5 ADC2y

多路复用 16 位 ADC2A 旨在使用外部热敏电阻或模拟输出温度传感器测量分流器温度，以及必须在 BMS 中测量的任何其他电压。

ADC2y 通道信号链包含八个模拟输入（V0y 至 V7y）、后跟一个可编程增益放大器 (PGA) 的输入多路复用器、ΔΣ 调制器和数字滤波器、校准逻辑以及通道序列发生器。

7.3.5.1 ADC2y 输入多路复用器

输入多路复用器用于控制在每个序列阶跃中将哪些信号路由到 ADC2y 通道的正负 PGA 输入。可以使用 SEQ2y_STEPn_CH_P[3:0] 和 SEQ2y_STEPn_CH_N 位来配置输入多路复用器。

输入多路复用器允许将以下输入连接到 PGA：

- 当选择 AGNDy 作为负多路复用器通道时，单端测量配置中八个模拟输入（V0y 至 V7y）中的任何一个。
- 当选择 V7y 作为负多路复用器通道并在外部连接到 AGNDy 时，单端测量配置中七个模拟输入（V0y 至 V6y）中的任何一个。
- 当选择 V7y 作为负多路复用器通道时，伪差分测量配置中七个模拟输入（V0y 至 V6y）中的任何一个。在这种情况下，应使用外部偏置电压或 VCMy 缓冲器的内部共模电压将正偏置电压连接到 V7y。
- 内部温度传感器，TSy。
- 内部短接至 AGNDy。使用此设置可以对 ADC2y 通道进行自偏移校准。
- 由另一段的测试 DAC 提供的 DC 测试信号。
- 各种电源电压（APWR、DPWR、AVDD、IOVDD 和 DVDD）的衰减信号。

每当选择除模拟输入之外的信号作为正多路复用器输入时，模拟输入将与 PGA 断开连接，并且会自动选择 AGNDy 作为负多路复用器输入。图 7-7 显示了 ADC2A 输入多路复用器的图表。

Copyright © 2025 Texas Instruments Incorporated

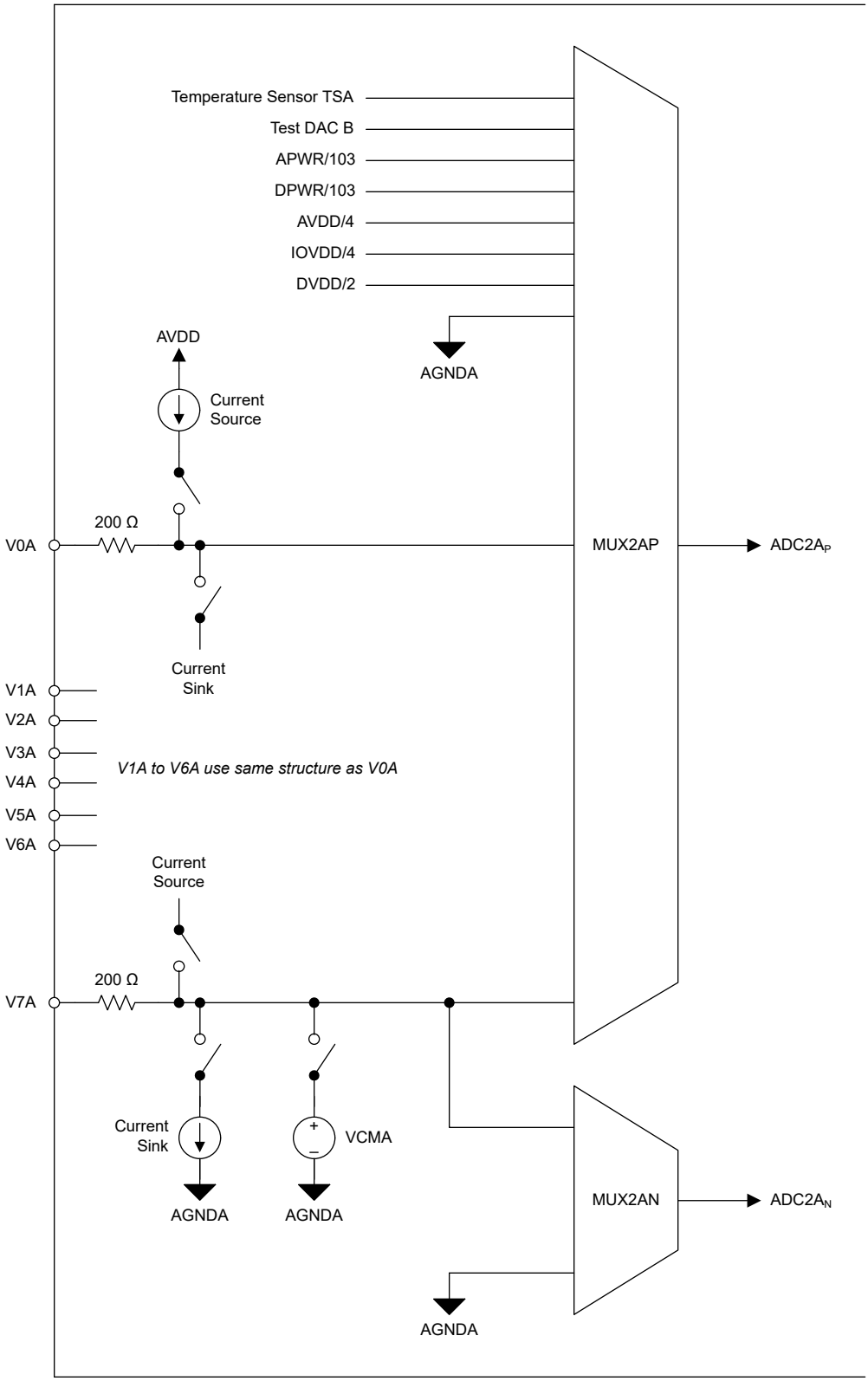


图 7-7. ADC2A 输入多路复用器

Copyright © 2025 Texas Instruments Incorporated

7.3.5.2 ADC2y 可编程增益放大器 (PGA)

ADC2y 还具有集成式可编程增益放大器 (PGA)，可提供 1、2 和 4 的增益。使用 SEQ2y_STEPn_GAIN[1:0] 位选择增益设置。

验证 PGA 增益可调节 ADC2y 的差分满标量程输入电压范围 (FSR)。方程式 9 描述了 FSR 和增益之间的关系。方程式 9 使用内部基准电压 1.25V 作为比例因子，未考虑基准电压容差引起的增益误差。

$$FSR = \pm 1.25\ V / Gain \quad (9)$$

表 7-8 展示了每个增益设置对应的满量程范围。

表 7-8. ADC2y 满标量程范围

增益设置	FSR
1	±1.25V
2	±625mV
4	±312.5mV

在进行单端测量时（即选择 AGNDy 作为 ADC2y 的负多路复用通道），增益设置为 1 和 2 时仅允许进行单极测量，而增益设置为 4 时则可以进行单极和双极输入电压测量。有关详细信息，请参阅*建议运行条件*表中的 ADC2y 绝对输入电压范围规格，以及 *ADC2y 测量配置* 部分中的示例输入配置。单极测量仅使用大约从 0000h 到 7FFFh 的正极代码范围，该范围映射到大约从 0V 到 +FS 的输入电压范围。

ADC2y 通道的输入阻抗取决于两个因素：主时钟频率 (f_{MCLK}) 和选择的 OSR 设置。*电气特性*表列出了各种 OSR 设置下 f_{MCLK} = 8.192MHz 的典型输入阻抗值。将 OSR 增大两倍可有效地使输入阻抗加倍。输入阻抗与 MCLK 频率成正比间接缩放。

7.3.5.3 ADC2y ΔΣ 调制器

ADC2y 使用二阶 ΔΣ 调制器将模拟输入信号转换为 1 密度调制数字位流。ΔΣ 调制器以超过输出数据速率很多倍的频率对输入信号进行过采样。ADC2y 的调制器频率 f_{MOD} 等于主时钟频率的一半（即，$f_{MOD} = f_{MCLK} / 2$）。

7.3.5.4 ADC2y 数字滤波器

ADC2y ΔΣ 调制器位流馈入数字滤波器。数字滤波器是线性相位、有限脉冲响应 (FIR)、低通 sinc 滤波器，可衰减 ΔΣ 调制器的带外量化噪声。

与 ADC1y 相比，ADC2y 始终采用单次转换模式运行。ADC2y 序列发生器用于触发各个转换。数字滤波器在每次转换开始时都会复位，每次转换都必须完全稳定。ADC2y 只输出稳定的转换结果，假定输入信号在转换开始前就已稳定。

使用 OSR2y[1:0] 位选择 ADC2y 的转换时间。对于 OSR = 64 的情况，滤波器由纯 sinc3 滤波器组成。sinc3 滤波器需要三个周期才能稳定。因此，OSR = 64 的转换时间等于 ($3 \times 64 / f_{MOD} = 192\ t_{MOD} = 384\ t_{MCLK}$)。对于较高的 OSR 设置，sinc3 滤波器后跟一个 sinc1 滤波器。

表 7-9 列出了基于 8.192MHz 标称 MCLK 频率的 ADC2y 的 OSR 设置和相应转换时间概览。

Copyright © 2025 Texas Instruments Incorporated

表 7-9. f_{MCLK} = 8.192MHz 时的 ADC2y OSR 设置和转换时间

OSR			转换时间	
总计	SINC3	SINC1	t_{MCLK}	µs
64	64	1	384 t_{MCLK}	46.87 µs
128	64	2	512 t_{MCLK}	62.50 µs
256	64	4	768 t_{MCLK}	93.75 µs
512	64	8	1280 t_{MCLK}	156.25 µs

7.3.5.5 ADC2y 偏移和增益校准

ADC2y 支持使用用户可编程的偏移和增益校正寄存器来校准偏移和增益矫正的转换数据。所有序列步骤均使用相同的校准值，但是，当 MUX2y 选择内部温度传感器进行测量时，偏移和增益校正因子将不适用。如 图 7-8 所示，在乘以 16 位增益校正值 (OCAL2y[15:0]) 之前，从转换数据中减去 16 位偏移校正因子 (GCAL2y15:0])。输出数据四舍五入为最终分辨率，并在缩放操作后削波为 +FS 和 –FS 代码值。由于 ADS131B23-Q1 寄存器是易失性的，因此必须将偏移和增益校准系数存储在外部非易失性存储器中，并在每次设备上电或复位时将其编程到偏移和增益校准寄存器中。

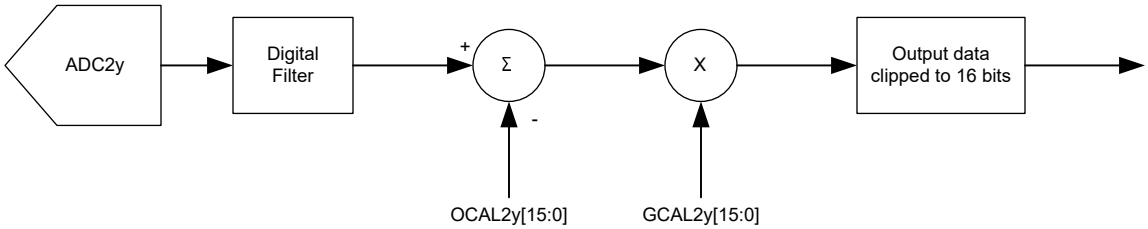


图 7-8. 校准逻辑方框图

16 位偏移校准值以二进制格式提供，并编程到 OCAL2y[15:0] 位字段中。表 7-10 展示了示例偏移校准值。失调电压校准值的 LSB 大小使用 方程式 10 和 方程式 11 进行计算，具体取决于所选的增益设置。

$$\text{GAIN2y = 1: LSB size} = V_{REFy} / 2^{15} \quad (10)$$

$$\text{GAIN2y = 2 or 4: LSB size} = V_{REFy} / (2 \times 2^{15}) \quad (11)$$

表 7-10. 失调电压校准值示例

OCAL2y[15:0] 值	应用的失调电压校准
0010h	-16 LSB
0001h	-1 LSB
FFFFh	1 LSB
FFF0h	16 LSB

16 位增益校准值以二进制格式提供，并编程到 GCAL2y[15:0] 位字段中。增益校准值的一个 LSB 等于增益校正因子 $1/2^{16}$ = 0.000015。表 7-11 展示了增益校准值示例。

表 7-11. 增益校准值示例

GCAL2y[15:0] 值	应用的增益校准
7FFFh	1.499985
0001h	1.000015
0000h	1
FFFFh	0.999985
8000h	0.5

推荐的校准程序如下：

Copyright © 2025 Texas Instruments Incorporated

1. 将偏移和增益校准寄存器分别预设为 OCAL2y[15:0] = 0000h 和 GCAL2y[15:0] = 0000h。
2. 利用相应的输入多路复用器设置 (SEQ2y_STEPn_CH_P[3:0] = 1001b)，在内部将 ADC2y 输入的一个或多个序列级短路至 AGNDy，或在系统级外部短路 ADC2y 输入之一，以包括外部滤波器级的偏移误差，从而执行偏移校准。将相应序列步进的增益设置为 1 或 2。获取多个转换数据并将数据的平均值写入偏移校准寄存器。对数据求平均值可降低转换噪声，从而提高校准精度。
3. 将精确校准信号应用于 ADC2y 的一个输入端或在系统级执行增益校准，以包括外部滤波器级的增益误差。请选择小于满量程输入范围的校准电压，以避免输出代码被削波。输出代码被削波会导致校准不准确。例如，当使用增益 = 1 时，使用 1.2V 校准信号。获取多个转换数据并对结果求平均值。根据方程式 12 计算增益校准值。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \quad (12)$$

使用增益 = 1 时，1.2V 校准电压的预期输出代码为：（1.2V / LSB 大小）= 7AE1h，其中 LSB 大小= (1.25V / 2^{15})。例如，如果实际测量的输出代码是 6FB6h，则增益校准系数计算结果为 1.1。写入 GCAL2y[15:0] 位字段的增益校准值为：(1.1 – 1) / (1 / 2^{16}) = 199Ah。

7.3.5.6 ADC2y 序列发生器

如需详细信息，请参阅 *ADC2y 序列发生器工作模式和序列模式* 部分。

7.3.5.7 VCMy 缓冲器

ADC2y 信号链包括一个典型值为 0.78V 的偏置电压生成器，后接一个共模缓冲器 VCMy。当设置 VCMy_EN 位时，VCMy 缓冲器的输出会被内部连接到 V7y 多路复用通道，为 V7y 提供偏置电压。使用 VCMy 缓冲器来实现伪差分测量，其中 V7y 被选为 ADC2y 的负多路复用器通道。

当启用 VCMy 缓冲器时，从 V7y 到 AGNDy 的电容负载必须限制在 100pF 以下。

7.3.5.8 ADC2y 测量配置

ADC2y 允许在三种不同的配置下测量输入电压，如表 7-12、图 7-9、图 7-10 和图 7-11 中所述。

表 7-12. ADC2y 可能的测量配置概述

输入配置	正多路复用通道	负多路复用通道	增益	输入范围	绝对输入电压	图表
单端	V0y 至 V7y	AGNDy	1、2 或 4	单极	0V 至 +FS = VREFy / 增益	图 7-9
单端	V0y 至 V7y	AGNDy	4	双极	-0.3125V 至 0.3125V	图 7-10
伪差动	V0y 至 V6y	V7y	1、2 或 4	双极	V_{V7y} ±FS(1)	图 7-11

(1) 实际输入范围受*建议运行条件* 表中绝对输入电压范围规格的限制。

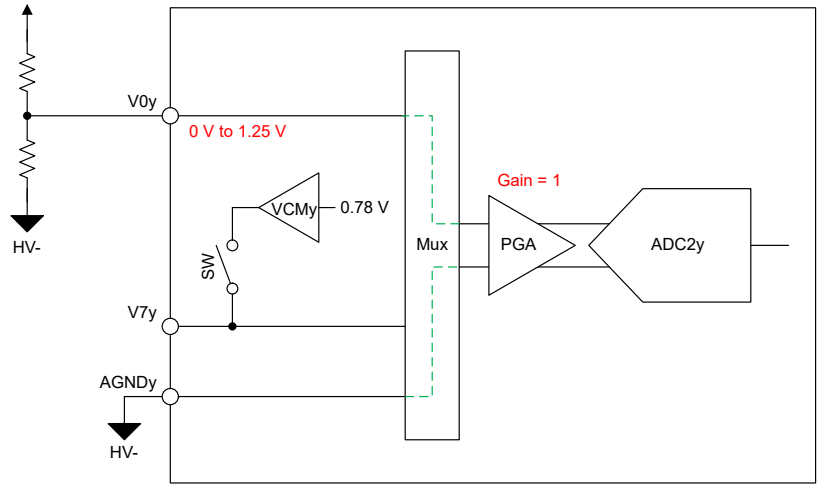


图 7-9. 单端输入，单极电压测量（增益 = 1）

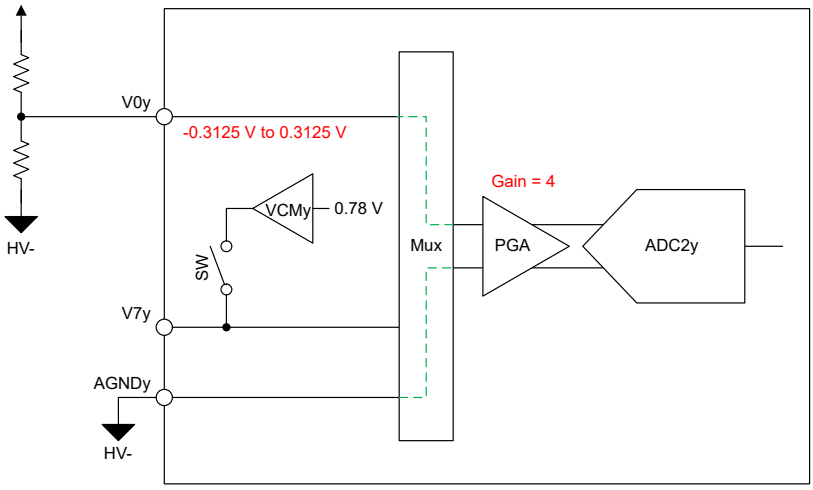


图 7-10. 单端输入，双极电压测量（增益 = 4）

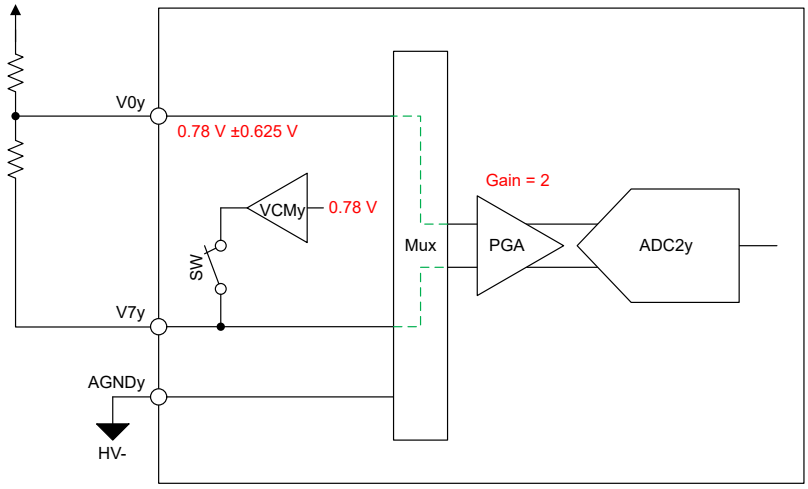


图 7-11. 伪差分输入，双极电压测量
（增益 = 2，使用内部偏置电压）

Copyright © 2025 Texas Instruments Incorporated

7.3.5.9 ADC2y 转换数据

ADC2y 序列阶跃的转换数据为 16 位，并且（与 ADC1y 转换数据相反）存储在用户寄存器空间（寄存器地址 10h 到 1Fh）。使用寄存器读取命令读取 ADC2y 转换数据。

数据以二进制补码格式提供。可以使用方程式 13 来计算一个代码的大小 (LSB)。

$$1\ \text{LSB} = (2 \times V_{REFy} / \text{Gain}) / 2^{16} = +\text{FSR} / 2^{15} \quad (13)$$

正满量程满输入（$V_{IN} \geq +\text{FSR} - 1\ \text{LSB} = V_{REFy}$ / 增益 – 1 LSB）可产生 7FFFh 输出代码，负满量程输入（$V_{IN} \leq -\text{FSR} = -V_{REFy}$ / 增益）可产生 8000h 输出代码。对于超出满量程的信号，输出会在这些代码处进行截断。

表 7-13 总结了不同输入信号的理想输出代码。

表 7-13. 理想输出代码与输入信号间的关系（16 位转换数据）

输入信号 ($V_{IN} = V_{AINP} - V_{AINN}$)	理想输出代码
$\geq$ FSR ($2^{15} - 1$)/2^{15}	7FFFh
FSR/2^{15}	0001h
0	0000h
–FSR/2^{15}	FFFFh
$\leq$ –FSR	8000h

图 7-12 展示了模拟输入信号到输出代码的映射。

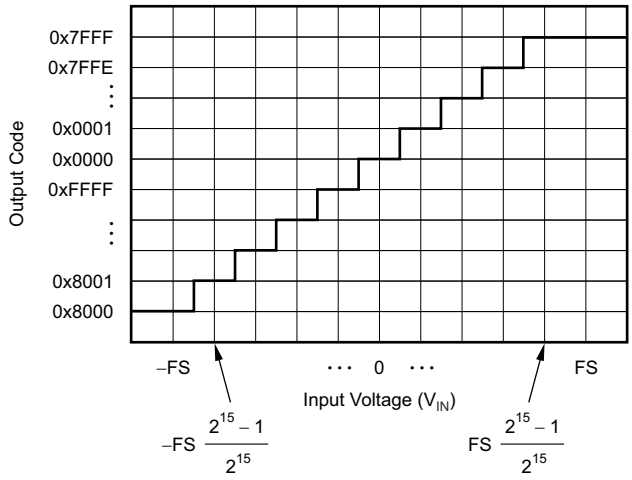


图 7-12. 代码转换图（16 位转换数据）

Copyright © 2025 Texas Instruments Incorporated

7.3.6 通用数字输入和输出（GPIO0 至 GPIO4）

ADS131B23-Q1 提供五个 GPIO 引脚（GPIO0 至 GPIO4），这些引脚使用基于 IOVDD 电源的逻辑电平。有关逻辑高电平和低电平的详细信息，请参阅*电气特性*表。GPIO 提供多种配置选项：

- 使用相应的 GPIOx_DIR 位（x = 0、1、2、3 或 4）将各个 GPIO 配置为数字输入或数字输出。
- 使用相应的 GPIOx_FMT 位将各个 GPIO 的输入和输出格式配置为静态逻辑电平或 PWM。有关如何为特定 GPIO 配置 PWM 周期和占空比的详细信息，请参阅 *GPIOx PWM 输出配置* 部分。
- 其中四个 GPIO 引脚可以使用相应的 GPIOx_SRC 位配置特殊的输出功能（FAULT、MHD、OCCA 和 OCCB）。当为 GPIOx 选择特殊输出功能时，使用 GPIOx_DIR 位将 GPIOx 配置为数字输出。

当 GPIOx 配置为数字输出时，可以使用 GPOx_DAT 位来驱动相应 GPIO 引脚上的逻辑高电平或低电平。GPIO 输出为推挽输出。当配置为特殊输出功能时，GPIOx 会忽略写入 GPOx_DAT 位的值。

无论 GPIOx 配置为数字输入还是输出，器件都会始终读回 GPIO 的值并在 GPIx_DAT[1:0] 位字段中提供检测到的逻辑电平。有关器件如何解码 PWM 信号的详细信息，请参阅 GPIx_DAT[1:0] 位字段说明。

当器件保持在复位状态时，GPIO 配置为输入。

7.3.6.1 GPIOx PWM 输出配置

当使用 GPIOx_FMT 位将 GPIOx 配置为 PWM 格式时，PWM 周期和占空比可独立配置为具有精细粒度的逻辑高电平和低电平。GPIOx_LL_PWM_LC[6:0]（GPIOx 逻辑低电平 PWM 低计数器值）和 GPIOx_LL_PWM_HC[6:0]（GPIOx 逻辑低电平 PWM 高计数器值）位以及 GPIOx_PWM_TB[1:0]（GPIOx PWM 时基）位决定了根据 GPOx_DAT 位驱动逻辑低电平的 PWM 周期和占空比。类似地，GPIOx_LH_PWM_LC[6:0]（GPIOx 逻辑高电平 PWM 低计数器值）和 GPIOx_LH_PWM_HC[6:0]（GPIOx 逻辑高电平 PWM 高计数器值）位与 GPIOx_PWM_TB[1:0] 位一起决定了根据 GPOx_DAT 位驱动逻辑高电平时的 PWM 周期和占空比。

以下公式用于指定 PWM 周期和占空比：

$$\text{PWM period} = (\text{PWM high counter value} + \text{PWM low counter value}) \times \text{PWM time base} \quad (14)$$

$$\text{PWM low time} = (\text{PWM low counter value} \times \text{PWM time base}) \quad (15)$$

$$\text{PWM high time} = (\text{PWM high counter value} \times \text{PWM time base}) \quad (16)$$

$$\text{PWM duty cycle} = \text{PWM high time} / (\text{PWM high time} + \text{PWM low time}) \quad (17)$$

图 7-13 显示了各种配置值如何产生特定 PWM 输出的直观表示。PWM 周期始终以 PWM 低电平时间开始。基于 GPOx_DAT 位的 PWM 周期和占空比更改仅在新的 PWM 周期开始时生效。

表 7-14 提供了 GPIO1 的示例配置值，其中逻辑高电平配置为使用 1ms 周期的 75% 占空比，而逻辑低电平配置为使用相同 1ms 周期的 25% 占空比。PWM 时基选择为 8.192MHz / 1024 = 125 µs，假设使用 f_{MCLK} = 8.192MHz。在这种情况下，高电平计数器和低电平计数器之和必须为 8，才能产生 8 × 125 µs = 1ms 的 PWM 周期。更改 GPIO1_LL_PWM_LC[6:0] = 3Ch = 60 和 GPIO1_LL_PWM_HC[6:0] = 14h = 20（例如），会产生相同的 25% 占空比，但 PWM 周期为 80 × 125 µs = 10ms。

Copyright © 2025 Texas Instruments Incorporated

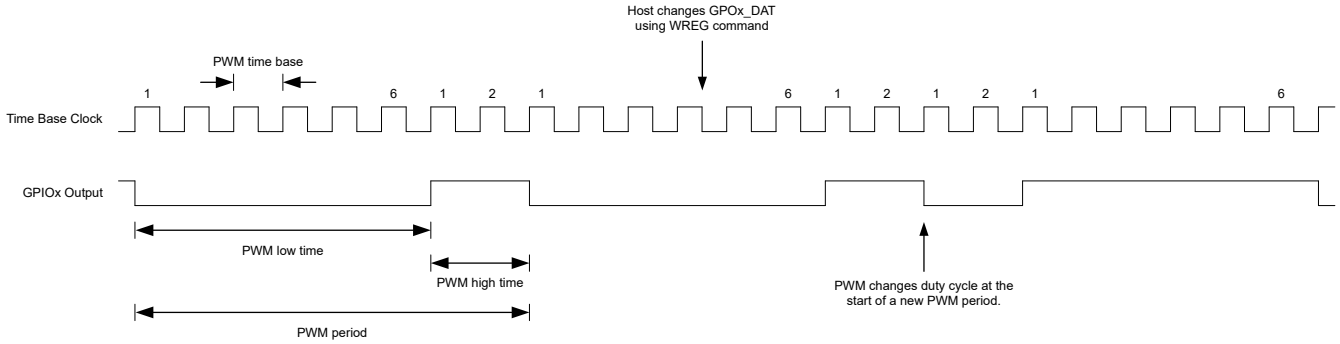


图 7-13. GPIOx PWM 输出计时示意图

表 7-14. GPIO1 PWM 配置示例

位字段	位字段设置	值	相应时间 (基于 f_{MCLK} = 8.192MHz)
GPIO1_PWM_TB[1:0]	3h	1024 × t_{MCLK}	125 µ s
GPIO1_LL_PWM_LC[6:0]	06h	6	750 µ s
GPIO1_LL_PWM_HC[6:0]	02h	2	250 µ s
GPIO1_LH_PWM_LC[6:0]	02h	2	250 µ s
GPIO1_LH_PWM_HC[6:0]	06h	6	750 µ s

7.3.6.2 GPIOx PWM 输入回读

要使 GPIOx 对 PWM 输入信号进行解码，请配置 GPIOx_FMT 位进行 PWM 解码。GPIOx 使用 GPIOx_PWM_TB[1:0] 位中配置的时基进行 PWM 解码。解码后的输入值在 GPIx_DAT[1:0] 位字段中。GPIO 按照 GPI_DAT[1:0] 位字段描述中指定的四个不同电平对 PWM 信号进行解码，。

在 PWM 周期后或应用于 GPIOx 的占空比更改后，GPIx_DAT[1:0] 位最多需要两个 PWM 周期来指示正确的逻辑电平。

7.3.7 通用数字输入与输出 (GPIO0A、GPIO1A、GPIO0B、GPIO1B)

ADS131B23-Q1 提供四个额外的 GPIO 引脚 (GPIO0A、GPIO1A、GPIO0B 和 GPIO1B) ，它们使用基于 AVDD 电源的逻辑电平。有关逻辑高电平和低电平的详细信息，请参阅*电气特性*表。GPIO 提供多种配置选项：

- 使用相应的 GPIOxy_DIR 位 (x = 0 或 1、y = A 或 B) 将各个 GPIO 配置为数字输入或数字输出。
- 使用相应的 GPIOxy_FMT 位为静态逻辑电平或 PWM 输入配置各个 GPIO 的输入格式。与 GPIO0 到 GPIO4 相比，GPIOxy 不提供 PWM 输出功能。使用 GPIOxy_PWM_TB[1:0] 位为每个 GPIO PWM 解码器选择适当的 PWM 时基。GPIOxy 输入驱动源的时基必须等于或慢于 GPIOxy 输入解码器的时基，否则逻辑电平将无法正确解码。当配置为数字输出时，GPIOxy 始终使用静态逻辑电平。

当 GPIOxy 配置为数字输出时，使用 GPOxy_DAT 位来驱动相应 GPIO 引脚上的逻辑高电平或低电平。GPIO 输出为推挽输出。

无论 GPIOxy 是配置为数字输入还是输出，器件都会始终读回 GPIO 的值并在 GPIxy_DAT[1:0] 位字段中提供检测到的逻辑电平。有关器件如何解码 PWM 信号的详细信息，请参阅 GPIxy_DAT[1:0] 位字段说明。

Copyright © 2025 Texas Instruments Incorporated

7.3.8 监控器和诊断功能

ADS131B23-Q1 集成了许多监控和诊断电路，帮助设计功能安全系统。*监控器* 会检测器件中的故障，例如电源欠压条件，而 *诊断* 功能则会检测监控电路内的故障，以检查监控器是否仍按预期工作。

表 7-15 概述了所有可用的监控器监控和诊断功能。可以使用专用的监控器使能位，按需启用或禁用大多数监控器。如果监控器能检测到故障，则相应的低电平激活故障标志会设置为 0b。除了与通信相关的监控器故障标志外，在故障条件消除之后，主机必须将故障标志清零为 1b。在未发生通信故障的帧之后，通信相关监控器故障标志会在 SPI 帧中自动复位为 1b。

具有专用诊断电路来检查监控器完整性的监控器功能会显示 表 7-15 中的相应诊断使能位。未显示专用诊断使能位的监控器监视功通过其他方式诊断，如安全手册中所述。

监控器具有单独的故障响应时间、即从故障发生到故障标志指示的时间，如 *电气特性* 表中所述。

表 7-15. 监控器和诊断功能概述

监控器名称	监控器使能位	监控器故障标志	诊断使能位	故障标志寄存器位置
电源监控器和诊断				
复位	不适用	RESETn	请参阅安全手册	STATUS_MSB
AVDD 过压	AVDD_OV_EN	AVDD_OVn	AVDD_OV_DIAG_EN	SUPPLY_STATUS
AVDD 欠压	AVDD_UV_EN	AVDD_UVn	AVDD_UV_DIAG_EN	SUPPLY_STATUS
IOVDD 过压	IOVDD_OV_EN	IOVDD_OVn	IOVDD_OV_DIAG_EN	SUPPLY_STATUS
IOVDD 欠压	IOVDD_UV_EN	IOVDD_UVn	IOVDD_UV_DIAG_EN	SUPPLY_STATUS
DVDD 过压	DVDD_OV_EN	DVDD_OVn	DVDD_OV_DIAG_EN	SUPPLY_STATUS
DVDD 欠压	DVDD_UV_EN	DVDD_UVn	DVDD_UV_DIAG_EN	SUPPLY_STATUS
AVDD 振荡	AVDD_OSC_EN	AVDD_OSCn	AVDD_OSC_DIAG_EN	SUPPLY_STATUS
IOVDD 振荡	IOVDD_OSC_EN	IOVDD_OSCn	IOVDD_OSC_DIAG_EN	SUPPLY_STATUS
DVDD 振荡	DVDD_OSC_EN	DVDD_OSCn	DVDD_OSC_DIAG_EN	SUPPLY_STATUS
AVDD LDO 过热警告	AVDD_OTW_EN	AVDD_OTWn	请参阅安全手册	SUPPLY_STATUS
IOVDD LDO 过热警告	IOVDD_OTW_EN	IOVDD_OTWn	请参阅安全手册	SUPPLY_STATUS
AVDD LDO 输出电流限值	AVDD_CL_EN	AVDD_CLn	不适用	SUPPLY_STATUS
IOVDD LDO 输出电流限值	IOVDD_CL_EN	IOVDD_CLn	不适用	SUPPLY_STATUS
AGNDA 引脚断开	AGNDA_DISC_EN	AGNDA_DISCn	AGNDA_DISC_DIAG_EN	SUPPLY_STATUS
AGNDB 引脚断开	AGNDB_DISC_EN	AGNDB_DISCn	AGNDB_DISC_DIAG_EN	SUPPLY_STATUS
DGND 引脚断开	DGND_DISC_EN	DGND_DISCn	DGND_DISC_DIAG_EN	SUPPLY_STATUS
时钟监控器和诊断				
住标称主时钟频率	MCLK_MON_EN	MCLK_FAULTn	MCLK_HI_DIAG_EN、MCLK_LO_DIAG_EN	CLOCK_STATUS
诊断振荡器看门狗	OSCD_WD_EN	OSCD_WDn	OSCD_WD_DIAG_EN	CLOCK_STATUS
主时钟看门狗	MCLK_WD_EN	MCLK_WDn	MCLK_WD_DIAG_EN	CLOCK_STATUS

Copyright © 2025 Texas Instruments Incorporated

表 7-15. 监控器和诊断功能概述（续）

监控器名称	监控器使能位	监控器故障标志	诊断使能位	故障标志寄存器位置
数字监控器和诊断				
寄存器映射段 1 CRC	REG_MAP1_CRC_EN	REG_MAP1_CRC_FAULTn	请参阅安全手册	DIGITAL_STATUS
寄存器映射段 2 CRC	REG_MAP2_CRC_EN	REG_MAP2_CRC_FAULTn	请参阅安全手册	DIGITAL_STATUS
寄存器映射段 3 CRC	REG_MAP3_CRC_EN	REG_MAP3_CRC_FAULTn	请参阅安全手册	DIGITAL_STATUS
内存映射 CRC	不适用	MEM_MAP_CRC_FAULTn	MEM_MAP_CRC_DIAG[1:0]	DIGITAL_STATUS
GPIOA 读回	不适用	不适用	GPIOA_DIAG_EN	GPIA_GPIB_DATA
GPIOB 读回	不适用	不适用	GPIOB_DIAG_EN	GPIA_GPIB_DATA
GPIO 读回	不适用	不适用	GPIO_DIAG_EN	GPI_DATA
通信监控器和诊断				
SPI CRC	不适用	SPI_CRC_FAULTn	请参阅安全手册	STATUS_MSB
SPI 超时	TIMEOUT_EN	SPI_TIMEOUTn	请参阅安全手册	STATUS_MSB
SCLK 计数器	SCLK_COUNTER_EN	SCLK_COUNT_FAULTn	请参阅安全手册	STATUS_MSB
寄存器访问	不适用	REG_ACCESS_FAULTn	请参阅安全手册	STATUS_MSB

除了检测器件中发生故障的监控器之外，ADS131B23-Q1 还提供 表 7-16 中所示的指示器，这些指示器提供有关器件状态或行为的反馈。

表 7-16. 指示器概述

指示器名称	指示器状态位	状态位寄存器位置
命令响应	COMMAND_RESPONSE[3:0]	STATUS_MSB
锁定状态	LOCK	STATUS_MSB
时钟源	时钟	STATUS_MSB
工作模式	模式	STATUS_MSB
ADC2A 序列激活	SEQ2A_ACTIVE	STATUS_LSB
OTP 组	OTB_BANK	DIGITAL_STATUS

最后，该器件为各个 ADC 提供如 表 7-17 所示的转换和序列计数器。

表 7-17. 转换和序列计数器概述

计数器名称	计数器位	计数器位寄存器位置
ADC1A 转换计数器	CONV1A_COUNT[1:0]	STATUS_LSB
ADC1B 转换计数器	CONV1B_COUNT[1:0]	STATUS_LSB
ADC2A 序列发生器计数器	SEQ2A_COUNT[1:0]	STATUS_LSB

除了前面的表中提到的监控器、指示器和计数器之外，ADS131B23-Q1 还提供了其他检查器件完整性的方法、例如：

- 使用 ADC2A 进行电源电压回读
- 温度传感器 TSA
- 两个测试 DAC，TDACA 和 TDACB
- 每个 ADC 上的开路检测电流源和电流阱

Copyright © 2025 Texas Instruments Incorporated

7.3.8.1 电源监控器

在 AVDD、IOVDD 和 DVDD 电源上实施了独立的上电复位 (POR) 电路。如果三个电源中的任何一个降至相应的 POR 阈值以下，器件将保持复位状态。

ADS131B23-Q1 监控三个内部 LDO（AVDD、IOVDD 和 DVDD）的输出，了解是否监测过压 (OV)、欠压 (UV) 和振荡。有关相应的监控器检测阈值，请参阅 *电气特性* 表。如果发生 OV 事件，相应的 LDO 将关断，防止损坏内部电路。输出电压降至 OV 阈值以下后，LDO 将重新开启。如果在 LDO 再次开启前电源电压降至 POR 阈值以下，则器件可能会复位。执行 OV 诊断时，、LDO 不会关断。

在分别将 APWR 短接至 AVDD 或将 DPWR 短接至 IOVDD 时，可从外部为 AVDD 或 IOVDD 供电，从而旁路掉内部 LDO。旁路掉内部 LDO 时，监控器会检查外部提供的电源。根据所使用的 IOVDD 电源，、使用 IOVDD_OV_TH 和 IOVDD_UV_TH 位配置 IOVDD OV 和 UV 监控阈值。

AVDD 和 IOVDD LDO 集成了各个温度传感器，可以指示潜在的过热事件。使用 AVDD_OTW_CFG[1:0] 和 IOVDD_OTW_CFG[1:0] 位配置过热警告阈值。

监控 AGNDA、AGNDB 和 DGND 引脚是否存在引脚断开的情况。AGND 引脚采用冗余实施，因此不提供引脚断开监控监测。

AVDD 和 IOVDD LDO 在设计时附带了输出电流限制功能，可防止 LDO 消耗过多电流。当 LDO 在电流限制下运行时，、会设置相应的故障标志。如果需要的 LDO 电流消耗大于电流限制，、则 LDO 输出电压通常会降至 POR 阈值以下并导致 POR 事件。

7.3.8.2 时钟监控器

ADS131B23-Q1 集成了一个诊断振荡器 (OSCD)，用以监控所选主时钟 (MCLK) 的频率，该时钟要么来自内部主振荡器 (OSCM)，要么来自 CLK 引脚上提供的外部时钟。当主时钟和诊断振荡器之间的频率偏差超过主时钟故障检测频率阈值 (MCLK_FAULT_TH) 时，MCLK_FAULTn 标志设置为 0b。

此外，各个看门狗（MCLK_WD 和 OSCD_WD）会监控主时钟和诊断振荡器，以检测缺少的时钟信号。当 MCLK 频率降至低于 $f_{MCLK_WD_TH}$ 时，MCLK_WDn 标志设置为 0b；当 OSCD 频率降至低于 $f_{OSCD_WD_TH}$ 时，OSCD_WDn 标志设置为 0b。

7.3.8.3 数字监测器

以下各节将介绍可用的数字监控器，例如寄存器映射 CRC、存储器映射 CRC 和 GPIO 回读功能。

7.3.8.3.1 寄存器映射 CRC

ADS131B23-Q1 中的寄存器映射 CRC 检测寄存器射映内容中的意外变更。寄存器映射分为四段。

0 段包含根据器件状态或 ADC2y 转换数据更新值的只读位。因此，0 段不提供任何寄存器映射 CRC 校验。

1 至 3 段包含器件配置位并提供独立的 CRC 校验。使用 REG_MAPx_CRC_EN（x = 1 到 3）位为每个段启用寄存器映射 CRC。启用段寄存器映射 CRC 后，器件将不断计算该寄存器映射段的 16 位 CRC 值，并将内部计算结果与用户在 REG_MAPx_CRC_VALUE[15:0] 位字段中提供的 CRC 值进行比较。如果内部计算结果与 REG_MAPx_CRC_VALUE[15:0] 不匹配，则 REG_MAPx_CRC_FAULTn 设置为 0b。发生寄存器映射段 CRC 故障时，器件不会执行其他操作。

CRC 计算从相应寄存器段中第一个寄存器的 MSB 开始，到相应寄存器段中最后一个*指定*寄存器的 LSB 结束，使用在 CRC_TYPE 位中选择的多项式。表 7-18 显示了每段中的寄存器映射 CRC 所涵盖的确切寄存器。有两种类型的 CRC 多项式可用：CCITT CRC 和 ANSI CRC (CRC-16)。有关 CRC 多项式的详细信息，请参阅 *通信循环冗余校验 (CRC)* 部分。CRC 计算使用种子值 FFFFh 进行初始化。

表 7-18. 寄存器映射 CRC 涵盖的寄存器

寄存器段	寄存器映射 CRC 涵盖的寄存器
0	不适用
1	40h 至 59h

Copyright © 2025 Texas Instruments Incorporated

表 7-18. 寄存器映射 CRC 涵盖的寄存器（续）

寄存器段	寄存器映射 CRC 涵盖的寄存器
2	80h 至 A3h
3	C0h 至 E3h

CRC 计算以串行方式执行，每个 OSCD 周期一个寄存器映射位。因此，意外位更改不会立即显示在 REG_MAPx_CRC_FAULTn 故障标志中，但可能需要 $t_{p(REG_MAP_CRC)}$。

使用以下过程，在不会意外导致 REG_MapX_CRC_FAULTn 指示的情况下更改段 1 到 3 中的寄存器位：

- 通过设置 REG_MapX_CRC_EN = 0b 来禁用寄存器映射段 x CRC
- 等待故障响应时间 $t_{p(REG_MAP_CRC)}$
- 如果 REG_MAPx_CRC_FAULTn 故障标志设置为 0b，则通过向 REG_MAPx_CRC_FAULTn 位写入 1b 来清除故障标志
- 可选：验证 REG_MapX_CRC_FAULTn 故障标志是否清除为 1b
- 可选：通过向 DIGITAL_FAULTn 位写入 1b 来清除 DIGITAL_FAULTn 故障标志
- 根据需要更改段 x 寄存器位
- 根据新的寄存器映射段 x 设置更新 REG_MAPx_CRC_VALUE[15:0] 位
- 通过设置 REG_MAPx_CRC_EN = 1b 启用寄存器映射段 x CRC

也可以在启用寄存器映射段 x CRC 时更改段 x 中的寄存器位，如以下过程所述，但可能会导致意外的 REG_MAPx_CRC_FAULTn 指示。

- 在启用寄存器映射段 x CRC 时，根据需要更改段 x 寄存器位
- 根据新的寄存器映射段 x 设置更新 REG_MAPx_CRC_VALUE[15:0] 位
- 等待故障响应时间 $t_{p(REG_MAP_CRC)}$
- 如果 REG_MAPx_CRC_FAULTn 故障标志设置为 0b，则通过向 REG_MAPx_CRC_FAULTn 位写入 1b 来清除故障标志
- 可选：验证 REG_MapX_CRC_FAULTn 故障标志是否清除为 1b
- 可选：通过向 DIGITAL_FAULTn 位写入 1b 来清除 DIGITAL_FAULTn 故障标志

7.3.8.3.2 内存映射 CRC

与寄存器映射 CRC 类似，该器件使用内存映射 CRC 来检查内部内存中是否存在随机位更改。更改内部内存位会导致器件行为不确定或器件性能下降。

内存映射 CRC 始终启用，并会不断计算内部内存映射中的 CRC 值。器件会将计算结果与生产中存储在内存映射中的内存映射 CRC 值进行比较。如果内部计算结果与存储的内存映射 CRC 值不匹配，则 MEM_MAP_CRC_FAULTn 将设置为 0b。发生内存映射 CRC 故障时，器件不会执行其他操作。

CRC 计算以串行方式执行，每个 OSCD 周期一个内存映射字。因此，随机位更改不会立即显示在 MEM_MAP_CRC_FAULTn 故障标志中，但可能需要 $t_{p\ (MEM_MAP_CRC)}$。

如果发生内存映射 CRC 故障，请向 MEM_MAP_CRC_FAULTn 位写入 1b，以将故障标志清除为 1b。如果故障标志继续设置为 0b，则复位器件。

7.3.8.3.3 GPIO 读回

当各 GPIO 配置为数字输出时，ADS131B23-Q1 中所有可用的 GPIO（GPIOx、GPIOxy）都提供独立的读回路径。这意味着独立于输出驱动电路的输入接收电路会检测 GPIO 引脚上驱动的电压电平。回读结果显示在相应的 GPIx_DAT[1:0] 和 GPIxy_DAT[1:0] 位字段中。

7.3.8.4 通信监控器

串行接口通信结构 部分详细介绍了与通信相关的监控器（SPI CRC、SPI 超时和 SCLK 计数器）。

Copyright © 2025 Texas Instruments Incorporated

此外，寄存器访问监控器会指示是否尝试读取或写入地址为 FFh 或更高的寄存器地址。在地址范围从 00h 到 FEh 内，写入或读取未指定的寄存器地址不会触发故障指示。从不存在的寄存器读取时，返回的数据和寄存器地址都是 0。

7.3.8.5 故障标志和故障屏蔽

ADS131B23-Q1 中的每个监控器都有相应的故障标志（请参阅 表 7-15），当相应的监控器检测到故障情况时，该标志会设置为 0b。如 表 7-19 中所示，RESETn 和通信相关故障标志位于 STATUS_MSB 寄存器中，而电源、时钟和数字相关故障标志则分组在*详细*状态寄存器中。STATUS_MSB 寄存器作为状态字的一部分在每个 SPI 帧开始时传输，如 *STATUS 字* 部分所述。为了能够在 STATUS 字中立即指示任何电源、时钟或数字相关故障，每个详细的状态寄存器在 STATUS_MSB 寄存器中都有相应的*组合*故障标志。也就是说，如果详细状态寄存器中的任何故障标志设置为 0b，则组合故障标志也设置为 0b。

表 7-19. 详细状态寄存器和相应的组合故障标志

监控以下故障标志：	详细状态寄存器位置	在 STATUS_MSB 寄存器中组合了故障标志
电源	SUPPLY_STATUS	SUPPLY_FAULTn
时钟	CLOCK_STATUS	CLOCK_FAULTn
数字	DIGITAL_STATUS	DIGITAL_FAULTn

要将已设置的组合故障标志清除为 1b，主机必须首先清除相应详细状态寄存器中的所有已设置故障标志。只有在详细状态寄存器中的所有故障标志都清除为 1b 后，主机才能通过写入 1b 来清除组合故障标志。

ADS131B23-Q1 允许对位于详细状态寄存器中的各个故障标志进行额外的*屏蔽*，以防止触发 STATUS_MSB 寄存器中的组合故障标志。屏蔽位位于 SUPPLY_FAULT_MASK、CLOCK_FAULT_MASK 和 DIGITAL_FAULT_MASK 寄存器中。如果详细状态寄存器中的故障标志被屏蔽，那么由该屏蔽故障标志指示的故障不会触发 STATUS_MSB 寄存器中组合故障标志的故障指示。但是，详细状态寄存器中的故障标志仍会显示故障。

以下示例解释了 AVDD OV 监测器的各种配置选项：

- SUPPLY_STATUS（AVDD_OVn 故障标志）或 STATUS_MSB（SUPPLY_FAULTn 故障标志）寄存器中无需 AVDD OV 故障指示：通过设置 AVDD_OV_EN = 0b 来禁用 AVDD OV 监控器。
- SUPPLY_STATUS 中有 AVDD OV 故障指示，但 STATUS_MSB 寄存器中没有：通过设置 AVDD_OV_EN = 1b 来启用 AVDD OV 监控器。通过设置 AVDD_OV_MASK = 1b 屏蔽 AVDD_OVn 故障标志，使其不触发 SUPPLY_FAULTn 故障标志。
- SUPPLY_STATUS 和 STATUS_MSB 寄存器中的 AVDD OV 故障指示：通过设置 AVDD_OV_EN = 1b 来启用 AVDD OV 监控器。通过设置 AVDD_OV_MASK = 0b 来取消屏蔽 AVDD_OVn 故障标志。

Copyright © 2025 Texas Instruments Incorporated

7.3.8.6 FAULT 引脚

通过设置 GPIO2_DIR = 1b 和 GPIO2_SRC = 0b，可以将 GPIO2/FAULT 引脚配置为 FAULT 指示输出。当任何 STATUS_MSB[14:7] 故障标志设置为 0b 时，FAULT 引脚*有效*。一旦所有 STATUS_MSB[14:7] 故障标志都清除为 1b，FAULT 引脚就会变为*无效*。

FAULT 引脚有效或无效时的实际输出信号取决于 GPIO2 格式（GPIO2_FMT 位）和 FAULT 引脚极性（FAULT_POL 位）配置。有关详细信息，请参阅相应的位说明和 *通用数字输入和输出（GPIO0 至 GPIO4）* 部分。表 7-20 展示了一个示例，其中 FAULT 引脚配置为有效状态下的静态低电平信号和非有效状态下的静态高电平信号。例如，该引脚还可以配置为有效状态下的静态低电平信号，以及非有效状态下占空比为 50% 的 PWM 输出信号，以便用作某种检测信号，表明没有故障。各种配置选项不胜枚举。

表 7-20. FAULT 引脚输出行为配置示例

寄存器位	位设置	说明
GPIO2_DIR	1b	GPIO2/FAULT 引脚配置为数字输出
GPIO2_SRC	0b	选择将 FAULT 作为 GPIO2/FAULT 引脚的数据源
GPIO2_FMT	0b	GPIO2/FAULT 引脚已配置为静态输出电平
FAULT_POL	0b	FAULT 输出低电平有效

此外，ADS131B23-Q1 允许*屏蔽*八个 STATUS_MSB[14:7] 故障标志中的任何一个，以防触发 FAULT 引脚。使用 FAULT_PIN_MASK 寄存器中的屏蔽位来屏蔽各个故障标志。如果屏蔽了故障标志并且 STATUS_MSB 寄存器中相应的故障标志设置为 0b，则不会在 FAULT 引脚上指示故障。

7.3.8.7 诊断和诊断过程

诊断可检测监控电路内的故障，以检查监控器是否仍按预期工作。使用 表 7-15 中相应的使能位启用诊断，以将故障条件注入监控电路。当相应的监控故障标志在指定的监控故障响应时间内设置为 0b 时（请参阅 *电气特性* 表），诊断成功完成，指示监控器正常工作。

除了主时钟频率监控器诊断（MCLK_HI_DIAG_EN 和 MCLK_LO_DIAG_EN）外，所有诊断都可以同时执行，从而节省执行时间。MCLK_HI_DIAG_EN 和 MCLK_LO_DIAG_EN 诊断必须按顺序执行。但是，MCLK_HI_DIAG_EN 或 MCLK_LO_DIAG_EN 可以与所有其他诊断一起执行。

以下步骤概述了实施监控器诊断的一般过程。括号中是一个实施 AVDD UV 监控器诊断的示例。

- 启用监控器（设置 AVDD_UV_EN = 1b）
- 等待故障响应时间（等待 $t_{p(AVDD_UV)}$）
- 清除详细故障标志（向 AVDD_UVn 写入 1b）
- 可选：验证详细故障标志是否已清除为 1b（读取 AVDD_UVn）
- 可选：清除主故障标志（向 SUPPLY_FAULTn 写入 1b）
- 启用诊断（设置 AVDD_UV_DIAG_EN = 1b）
- 等待故障响应时间（等待 $t_{p(AVDD_UV)}$）
- 检查详细故障标志是否设置为 0b（读取 AVDD_UVn）
- 禁用监控器（设置 AVDD_UV_EN = 0b）
- 禁用诊断（设置 AVDD_UV_DIAG_EN = 0b）
- 清除详细故障标志（向 AVDD_UVn 写入 1b）
- 可选：清除主故障标志（向 SUPPLY_FAULTn 写入 1b）
- 启用监控器（设置 AVDD_UV_EN = 1b）

内存映射 CRC 诊断是一个小例外。请勿选择使能位，而是选择 MEM_MAP_CRC_DIAG[1:0] 位字段中可用的三个位模式中的任何一个，以注入内存映射 CRC 计算。

7.3.8.8 指示灯

ADS131B23-Q1 在 STATUS_MSB 和 STATUS_LSB 寄存器中提供了一组指示器位，用于帮助验证器件的状态：

Copyright © 2025 Texas Instruments Incorporated

- 命令响应：COMMAND_RESPONSE[3:0] 位域在每个 SPI 帧中传输，提供关于设备在上一帧接收到的命令的反馈信息。还会提供有关执行了哪个命令的信息。有关详细信息，请参阅 COMMAND_RESPONSE[3:0] 寄存器位字段说明。
- 锁定状态：LOCK 位用于指示器件当前处于锁定还是解锁状态。有关如何锁定和解锁器件的详细信息，请参阅*命令*一节。
- 时钟源：CLOCK 位指示器件用于主时钟的时钟源：内部主振荡器 (OSCM) 或 CLK 引脚上提供的外部时钟。
- 工作模式：MODE 位用于指示器件当前的运行模式，即工作模式、待机模式或断电模式。
- ADC2A 序列激活：SEQ2A_ACTIVE 位用于指示 ADC2A 上的序列是否当前正在进行中。

DIGITAL_STATUS 寄存器中提供了可选的 OTP_BANK 状态位。该器件包括两个一次性可编程 (OTP) 内存组、组 0 和组 1。在器件生产期间，器件配置和校准数据会存储在这些 OTP 组中。OTP 组损坏可能会导致器件行为不确定或器件性能下降。为了实现冗余，组 0 中的信息会在组 1 中重复。在器件上电或复位期间，器件会将 OTP 组 0 的内容加载到内部内存中。如果器件无法从组 0 获取数据，则器件会从 OTP 组 1 加载内容。OTP_BANK 位用于指示已获取哪个组。即使从 OTP 组 1 运行，该器件也能正常运行。

如果该器件也无法从 OTP 组 1 获取数据，则内存会映射 CRC 故障标志设置为 0b。如果重置设备后仍无法清除 MEM_MAP_CRC_FAULTn 故障标志，则应考虑设备已损坏。

7.3.8.9 转换和序列计数器

STATUS_LSB 寄存器包括各种 ADC（CONV1y_COUNT[1:0]、SEQ2y_COUNT[1:0]）的 2 位转换和序列计数器。

ADC1y 上的新转换每次完成时，转换计数器 CONV1y_COUNT[1:0] 都会递增。计数器从 11b 翻转到 00b。要复位计数器，请禁用 ADC1y 或将器件置于待机或断电模式。该器件确保转换计数器值始终与 ADC1y 转换结果匹配，即在同一 SPI 帧中的输出。

ADC2y 上的新序列每次完成时，序列计数器 SEQ2y_COUNT[1:0] 都会递增。计数器从 11b 翻转到 00b。要复位计数器，请禁用 ADC2y 或将器件置于待机或断电模式。该器件确保序列计数器值始终与在同一 SPI 帧中输出的 ADC2y 转换步骤结果匹配。这意味着，如果在从 ADC2y 转换步进结果寄存器 (SEQxy_STEPx_DATA) 读取转换结果时新序列完成，则会阻止新序列运行的转换结果覆盖转换结果寄存器，但会在内部缓冲。只有在读取命令完成后，新序列运行中缓冲的转换结果才会更新转换步骤结果寄存器。

Copyright © 2025 Texas Instruments Incorporated

7.3.8.10 电源电压回读

除专用电源监控器外，所有电源（APWR、DPWR、AVDD、IOVDD 和 DVDD）都可以通过 ADC2A 在内部进行测量。电阻分压器集成在设备中，用于将电源电压衰减到 ADC2A 的输入电压范围内。有关相应的衰减系数，请参阅*电气特性*表。使用 SEQ2y_STEPx_CH_P[3:0] 位为任何电源电压测量配置 ADC2y 序列步骤。

电源电压测量精度取决于以下两个系数：

- 多路复用器延迟时间（使用 MUX2y_DELAY[2:0] 位进行配置）
- ADC2y 转换时间（使用 OSR2y[1:0] 位进行配置）

内部使用的大电阻分压器值与内部滤波电容器一起将电源电压降至较低值，从而产生较大的 RC 滤波器时间常数。因此，当 ADC2y 多路复用器选择其中一个电源电压测量值时，输入信号需要相当长的时间才能稳定。增加多路复用器延迟时间，在 ADC2y 开始转换之前，为输入信号在多路复用器切换后提供更多的稳定时间。将多路复用器延迟时间设置为等于或大于 $256 \times t_{MCLK}$，可以在测量电源电压时为输入信号提供足够的稳定时间。

如果无法增加多路复用器延迟时间，因为延迟时间会均匀地影响所有序列步骤，则可以为相同的电源电压测量配置多个连续的序列步骤。然后忽略初始序列步骤的读数，因为此时转换尚未稳定。

ADC2y 的输入阻抗随所选转换时间变化，请参阅*电气特性*表。电阻分压器的阻抗与 ADC2y 的输入阻抗相互作用，从而导致增益误差。通过增加 ADC2y 转换时间来增加 ADC2y 输入阻抗可降低电源电压测量的增益误差。

有关电源电压测量精度如何随多路复用器延迟时间和 ADC2y 转换时间变化的详细信息，请参阅图 5-26。

7.3.8.11 温度传感器（TSA）

ADS131B23-Q1 集成了用于测量器件芯片温度的温度传感器 (TSA)。温度传感器输出一个与温度成比例的线性电压。*电气特性*表中指定了温度传感器的输出电压特性（TS_{Offset}、TS_{TC}）。

使用 ADC2A 来测量 TSA 的输出信号。要选择 TSA 进行测量，请配置 TSA 测量的任何 ADC2A 序列步骤 (SEQ2A_STEPx_CH_P[3:0])。为了获得理想的测量性能，可以使用 SEQ2A_STEPx_GAIN[1:0] 位为增益 = 2 配置相应的序列步长。

方程式 18 显示了如何将测得的温度传感器输出电压转换为芯片温度：

$$\text{Die temperature [°C]} = 25°C + (\text{Measured voltage} - TS_{Offset}) / TS_{TC} \quad (18)$$

7.3.8.12 测试 DAC（TDACA、TDACB）

ADS131B23-Q1 集成了两个独立的测试 DAC：TDACA 和 TDACB，器件每段各一个。TDACA 使用 A 段中的电压基准 (REFA)，而 TDACB 使用 B 段中的电压基准 (REFB)。使用 TDACy_VALUE[2:0] 位将测试 DAC 输出电压设置为八个可用设置中的一个。测试 DAC A 的输出电压可作为输入信号施加到 B 段中的任何 ADC 以进行测量，检查包括电压基准 (REFB) 的 ADCxB 信号链的精度和完整性。使用相应的 ADCxB 多路复用器配置位选择测试 DAC A 作为输入信号。相应地，测试 DAC B 的输出电压可以作为输入信号施加到 A 段中的任何 ADC 以进行测量。

由于测试 DAC 输出的负载作用，同时将测试 DAC 选择作为多个 ADC 的输入信号可能会降低测量精度。

Copyright © 2025 Texas Instruments Incorporated

7.3.8.13 开路检测

为了检测单个 ADC 模拟输入引脚上潜在的引脚故障条件（如开路、与相邻引脚短路、GND 短路或与电源短路），每个 ADC 都集成了专用的开线检测 (OWD) 电流源和电流灌。请参阅图 7-2 和图 7-7，了解电流源和电流阱如何连接到 ADC 输入。ADC2y 的输入路径包含近似为 200 Ω 的串联阻抗，请参阅图 7-7。在任何 ADC2y 输入上启用电流源或灌电流时，应考虑该阻抗上的额外压降。

如表 7-21 中所示，每个电流源和灌电流都提供单独的配置和控制。

表 7-21. 开路检测电流源电流和电流阱路配置

寄存器位	功能
OWDxy_SOURCE_VALUE[1:0]	启用电流源并从三个可用设置中选择电流源值
OWDxy_SINK_VALUE[1:0]	启用电流阱路并从三个可用设置中选择电流阱路值
OWDxy_SOURCE_MUX	选择将电流源路由到其中的输入通道
OWDxy_SINK_MUX	选择将电流阱路由到其中的输入通道

7.3.8.14 主机检测和 MHD 引脚缺失

ADS131B23-Q1 提供主机检测缺失 (MHD) 监控器，用于检测主机何时不再与器件通信。看门狗计时器使用有效命令（包括有效 CRC）检查两个 SPI 帧之间的时间。如果在看门狗时间窗口内未收到具备有效 CRC 的有效命令，则视为主机缺失。没有指示主机缺失的监测器故障标志，仅使用 MHD 引脚来检测此故障。

要使用主机缺失检测模式，请将 GPIO0/MHD 引脚配置为输出 (GPIO0_DIR = 1b)，并将 GPIO0 源配置为主机缺失检测模式 (GPIO0_SRC = 0b)。在看门狗超时的时候，MHD 引脚会被设置为*有效*。通过将 MHD_CFG[1:0] 位设置为三个可用的看门狗超时窗口之一，来启用主机缺失检测模式。要在检测到主机缺失后复位 MHD 输出，请通过设置 MHD_CFG = 00b 来禁用主机缺失检测模式。

MHD 引脚在有效或无效状态下实际输出的信号取决于 GPIO0 格式（GPIO0_FMT 位）和 MHD 引脚极性（MHD_POL 位）配置。有关详细信息，请参阅相应的位说明和 *通用数字输入和输出（GPIO0 至 GPIO4）* 部分。表 7-22 展示了一个示例，其中 MHD 引脚配置为有效状态下的静态低电平信号和非有效活状态下的静态高电平信号。例如，该引脚还可以配置为有效状态下的静态低电平信号，以及非有效状态下占空比为 50% 的 PWM 输出信号，以便在器件检测到有效主机时用作某种检测信号。

表 7-22. MHD 引脚输出行为配置示例

寄存器位	位设置	说明
GPIO0_DIR	1b	GPIO0/MHD 引脚配置为数字输出
GPIO0_SRC	0b	选择将 MHD 作为 GPIO0/MHD 引脚的数据源
GPIO0_FMT	0b	GPIO0/MHD 引脚配置为静态输出电平
MHD_POL	0b	MHD 输出为低电平有效

Copyright © 2025 Texas Instruments Incorporated

7.3.8.15 过流比较器（OCCA、OCCB）

ADS131B23-Q1 集成了两个*数字*过流比较器（OCCA、OCCB），这些比较器相比 ADC1y 可更快地响应过流情况，尤其是当 ADC1y 以低数据速率运行时。比较器使用 ADC1y ΔΣ 调制器（因此具有与 ADC1y 相同的多路复用器和 PGA 设置），但具有与主 ADC1y 数字滤波器并联的单独数字快速滤波器。该快速滤波器采用 sinc3 实现，固定 OSR 为 64。ADC1y 的偏移和增益校准值（OCAL1y[23:0]、GCAL1y[15:0]）不影响 OCCy 比较器，这意味着用户无法校准过流比较器。

使用 OCCy_EN 位启用过流比较器。要使用过流比较器 OCCy，必须启用 ADC1y (ADC1y_EN = 1b)，以使 ADC1y 调制器处于活动状态。但是，使用过流比较器功能时，无需启动 ADC1y 上的转换。比较器的 sinc3 滤波器在 OCCy_EN 位设置后立即开始运行，其运行与 ADC1y 的转换状态无关。

比较器的数字快速滤波器输出 16 位转换结果，这些结果在内部分别与 OCCy_HIGH_TH[15:0] 和 OCCy_LOW_TH[15:0] 寄存器位配置的高阈值和低阈值进行比较。比较器在转换结果超过高阈值或低于低阈值时触发。设置 OCCy_HIGH_TH[15:0] = 7FFFh 以禁用高阈值检测。同样，设置 OCCy_LOW_TH[15:0] = 8000h 以禁用低阈值检测。

OCCy_NUM[4:0] 配置数字快速滤波器输出必须超过编程的高或低阈值的转换次数，然后分别在 OCCy_HTn 或 OCCy_LTn 状态位中标记过流条件。内部计数器会记录超过高阈值或低阈值的转换次数。只要一个转换结果再次低于阈值，或者 OCCy 比较器被禁用（OCCy_EN = 0b），计数器就会复位。

在更改 OCCy_CFG、OCCy_HIGH_THRESHOLD 或 OCCy_LOW_THRESHOLD 寄存器中的比较器设置之前，请禁用过电流比较器 (OCCy_EN = 0b)。

与详细电源、时钟和数字状态标志类似，OCC_STATUS 寄存器中的详细状态标志也为 STATUS_MSB 寄存器中的 OCC_FAULTn 综合标志提供信息。也就是说，如果 OCC_STATUS 寄存器中的任何故障标志设置为 0b，则 OCC_FAULTn 标志也设置为 0b。

要在消除过流条件后将已设置的 OCC_FAULTn 标志清除为 1b，主机必须首先清除 OCC_STATUS 寄存器中所有已设置的故障标志。只有当 OCC_STATUS 寄存器中的所有故障标志都清除为 1b 后，主机才能通过写入 1b 来清除 OCC_FAULTn 标志。

ADS131B23-Q1 允许对 OCC_STATUS 寄存器中的四个故障标志进行额外*屏蔽*，以防止触发 STATUS_MSB 寄存器中的组合 OCC_FAULTn 标志。屏蔽位位于 OCC_FAULT_MASK 寄存器中。如果 OCC_STATUS 寄存器中的故障标志被屏蔽，那么由该屏蔽故障标志指示的故障不会触发 STATUS_MSB 寄存器中的 OCC_FAULTn 标志。但是，OCC_STATUS 寄存器中的故障标志仍会显示故障。

7.3.8.15.1 OCCA 和 OCCB 引脚

每个比较器都可以配置为驱动专用的过流比较器故障引脚（OCCA 和 OCCB 引脚），以便在没有 SPI 通信的情况下进行快速过流指示。要为过流比较器输出配置 GPIO3/OCCA，请为数字输出功能设置 GPIO3_DIR = 1b，为 OCCA 输出设置 GPIO3_SRC = 0b。同样，设置 GPIO4_DIR = 1b 和 GPIO4_SRC = 0b，以便为过流比较器 B 输出配置 GPIO4/OCCB。

当 OCCy_HTn 或 OCCy_LTn 位或者两者设置为 0b 时，OCCy 引脚会指示故障。OCC_FAULT_MASK 寄存器中的屏蔽位不影响 OCCy 引脚的输出。

OCCy 引脚（激活或未激活时）的实际输出信号采用与 FAULT 引脚相同的配置方式。使用 GPIO3_FMT 和 OCCA_POL 位配置 OCCA 引脚的输出行为，并使用 GPIO4_FMT 和 OCCB_POL 位配置 OCCB 引脚行为。

7.3.8.15.2 过流指示响应时间

过流事件的故障指示响应时间取决于输入信号超出比较器阈值的过冲量。造成这种依赖性的原因是用于数字比较器功能的 sinc3 滤波器的趋稳时间。

图 7-14 和图 7-15 显示了 OCCA_NUM[4:0] = 00000b 时 OCCA 故障指示行为的两个示例，只有一次转换必须超过阈值才能触发故障。在图 7-14 中，比较器在少于 $64/f_{MOD}$（当使用 f_{MCLK} = 8.192MHz 时 = 15.6 μs）的情况下触发，因为 sinc3 滤波器在一次转换中已经稳定至高于设定的高阈值的值，因为较大过冲超过输入信号上的高电

平阈值。图 7-15 显示了最坏的情况，即 sinc3 滤波器甚至需要四个转换周期才能稳定到高于设定高阈值的值，因为输入信号几乎没有超过高阈值，而过流事件发生在快速滤波器转换周期的中间。

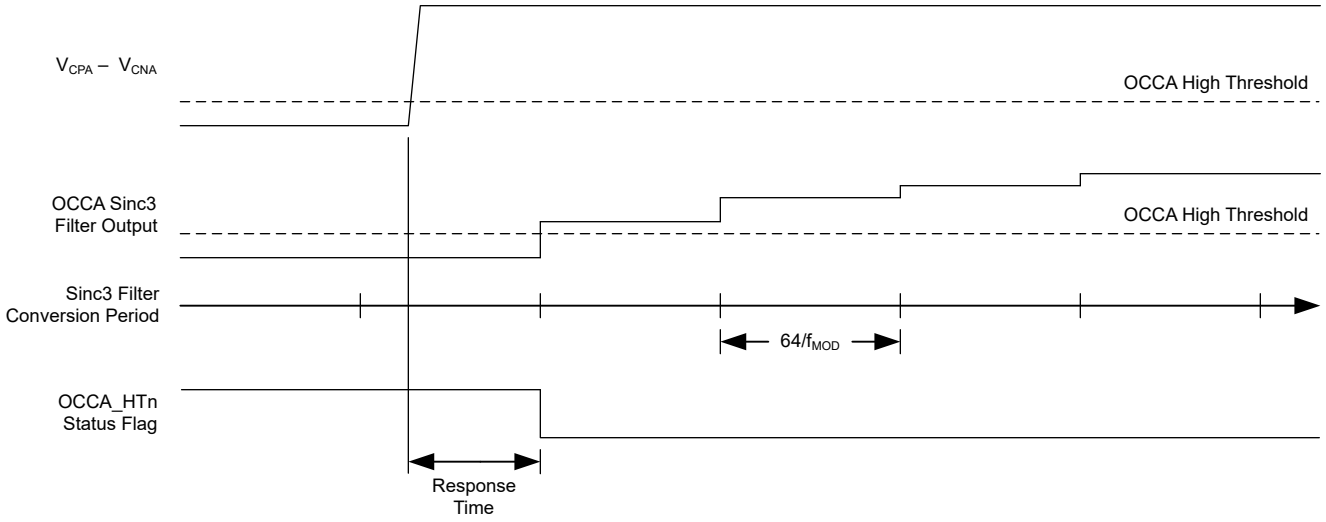


图 7-14. 具有较大输入过冲的 OCCA 行为

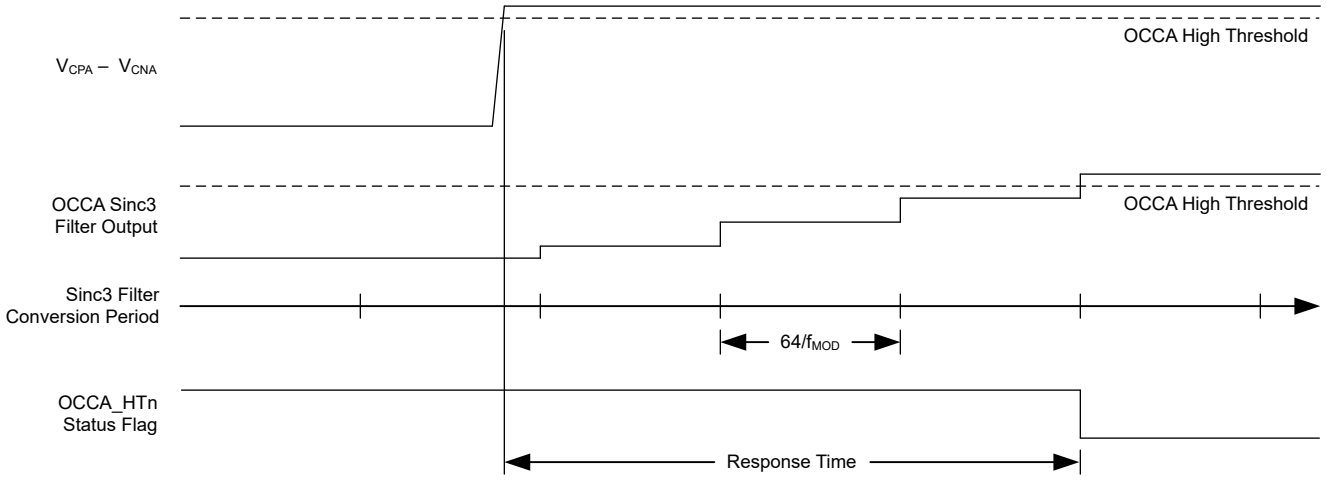


图 7-15. 具有较小输入过冲的 OCCA 行为

启用 ADC1y 的全局斩波模式且 ADC1y 正在进行转换时，响应时间会发生变化。如需详细信息，请参阅*全局斩波模式下的过流指示响应时间*部分。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 上电和复位

ADS131B23-Q1 通过以下三种方式复位：

- 上电复位 (POR)
- RESETn 引脚（硬件复位）
- RESET 命令（软件复位）

发生复位后，用户寄存器复位为相应的默认设置，并且器件处于工作模式。所有 ADC 均已启用，但没有任何转换启动。对于所有三个复位选项，DRDYn 引脚上的低电平到高电平转换表示 SPI 接口已做好通信准备。在此之前，器件会忽略任何 SPI 通信，并且 SDO 保持低电平。

7.4.1.1 上电复位 (POR)

上电复位 (POR) 是在首次对器件施加有效电源电压时发生的复位。POR 过程要求从所有电源电压超过相应的 POR 阈值（AVDD_POR_TH、IOVDD_POR_TH 和 DVDD_POR_TH）开始，完成 t_{POR} 时间，以便内部电路能够加电。DRDYn 引脚在 t_{POR} 后立即从低电平转换为高电平，表明 SPI 接口已为通信做好准别。

7.4.1.2 RESETn 引脚

RESETn 引脚为低电平有效引脚，内部有一个到 DGND 的下拉电阻。如果该引脚保持低电平的时间超过 $t_{w(RSL)}$，器件就会复位，并保持复位状态，直到 RESETn 引脚返回高电平。主机必须主动将引脚驱动为高电平才能使器件正常运行。在 RESETn 引脚拉为高电平之后至少等待 t_{REGACQ} 或等待 DRDYn 上升沿，然后再与器件通信。

7.4.1.3 RESET 命令

可以通过 SPI RESET 命令对 ADS131B23-Q1 进行复位。有关详细信息，请参阅 *RESET* 部分。RESET 命令被锁存后会立即发生器件复位。主机必须等待至少 t_{REGACQ} 或等待 DRDYn 上升沿，然后再与器件通信。

7.4.2 工作模式

ADS131B23-Q1 提供三种工作模式：工作模式、待机模式和断电模式。可使用 OP_MODE[1:0] 位对模式进行编程。图 7-16 显示了器件如何在不同工作模式之间转换。

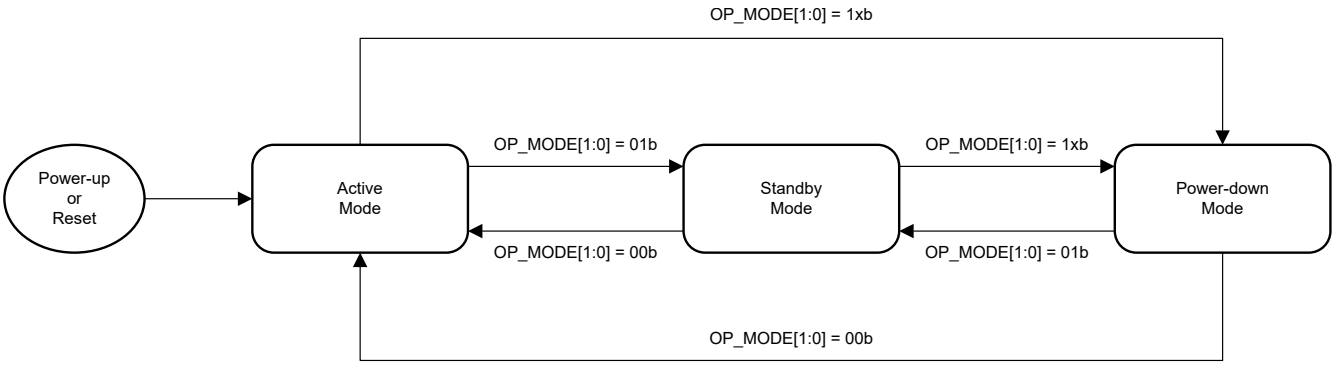


图 7-16. 工作模式状态图

7.4.2.1 工作模式

工作模式为上电或复位后的默认工作模式。在工作模式下，所有内部电路均上电。默认情况下，所有 ADC 都处于启用状态，但不会启动任何转换。可以使用相应的 ADCxy_EN 位来启用或禁用各个 ADC。ADC 转换只能在激活模式下且已启用相应的 ADC 时启动。

Copyright © 2025 Texas Instruments Incorporated

7.4.2.2 待机模式

在待机模式下，所有内部电路均上电，但所有 ADC 均被禁用，并且无论 ADCxy_EN 位设置如何，正在进行的转换都会立即停止。在待机模式下，无法启动任何 ADC 转换。在通过 CLK_SOURCE 位更改主时钟源之前，将器件过渡到待机模式，以防止时钟切换过程中出现时钟故障。

7.4.2.3 断电模式

在断电模式下，所有不必要的内部电路（例如 ADC、电压基准和振荡器）都会断电。LDO 和 POR 电路会保持活动状态。在断电模式下，系统会保留寄存器设置。无论 ADCxy_EN 位设置如何，所有 ADC 都会被禁用，并且立即停止正在进行的转换。在断电模式下，无法启动任何转换。转换到工作模式时，请等待电压基准启动时间，然后再开始任何转换，以便电压基准加电。

7.4.3 ADC 转换模式

7.4.3.1 ADC1y 转换模式

ADS131B23-Q1 为 ADC ADC1y 提供两种转换模式：连续转换和单次转换模式。

CONV_MODE1A 位为 ADC1y 选择转换模式。

当 ADC1y 的转换正在进行时，请勿更改以下寄存器的内容：ADC1y_CFG、ADC1y_OCAL_MSB、ADC1y_OCAL_LSB 和 ADC1y_GCAL。在对这些寄存器进行更改之前，停止转换或禁用 ADC1y。

7.4.3.1.1 连续转换模式

在连续转换模式下，ADC1y 会无限期地进行转换，直到被主机停止为止。设置 CONVERSION_CTRL 寄存器中相应的 STARTy 位，以启动已启用的 ADC ADC1y 的转换。ADC1A 和 ADC1B 的转换可以通过各自的 STARTA 和 STARTB 位在不同时间启动。在 ADC 正在进行转换时设置 STARTy 位会中止当前转换并重新启动转换。使用 STOPy 位来停止已启用的 ADC、ADC1y 的转换。设置 STOPy 位后，允许当前正在进行的转换完成，随后数字滤波器会保持在复位状态。设置 STOPy 位后，直到转换停止，STOPy 位会一直读取为 1b。

STARTy 位优先于 STOPy 位。这意味着，如果同时设置 CONVERSION_CTRL 寄存器中的 STARTy 和 STOPy 位，则会启动转换，或者中止正在进行的转换并启动新的转换。

在转换停止后，ADC 的最后一次转换结果仍可读出。仅在器件复位、ADC 被禁用、器件处于待机或省电模式时，才会清除 ADC 的转换结果，或者在新的转换结果可用时覆盖 ADC 的转换结果。

在写入 CONVERSION_CTRL 寄存器的 SPI 帧中寄存器数据 CRC 字的最后一个 SCLK 下降沿，STARTy 位生效并开始转换。有关寄存器写入命令的 SPI 帧的详细信息，请参阅*串行接口通信结构*部分。

如果 DRDYn 为低电平，则设置 STARTy 位会将 DRDYn 驱动为高电平，但仍可以读取旧转换数据，直到新转换可用为止。

ADC1y 使用 sinc3 数字滤波器，该滤波器需要三个转换周期才能趋稳。当使用 STARTy 位启动或重新启动转换时，该器件会隐藏前两个未趋稳的转换，并仅在第三个转换周期后才提供趋稳的转换结果。使用方程式 19 来计算距离转换开始进行后第一次转换的时间。所有后续转换都有一个转换周期，如图 7-17 中所示，其中 $t_{DATA} = 1 / f_{DATA} = OSR / f_{MOD}$。

$$t_{SETTLE} = (3 \times OSR + 44) \times t_{MOD} \quad (19)$$

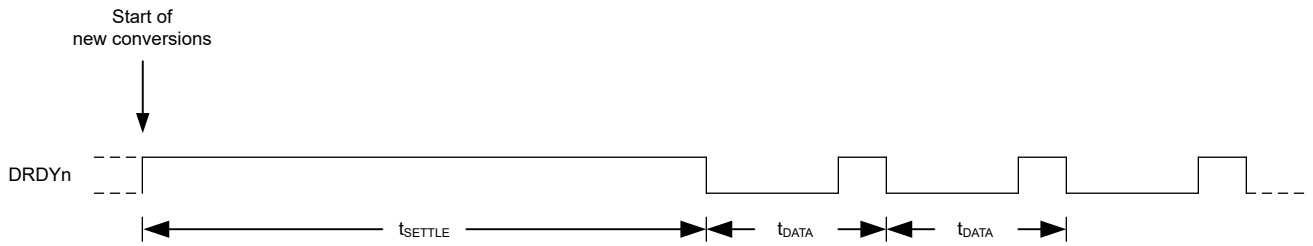


图 7-17. Sinc3 滤波器趋稳时间和转换周期

Copyright © 2025 Texas Instruments Incorporated

在 ADC 持续转换期间，ADC 无法检测模拟输入发生突然阶跃变化的情况。因此，ADC 会继续以预设的输出数据速率输出转换数据。如果阶跃变化在新转换周期开始时同时发生，则在阶跃变化后三个转换周期输出趋稳数据。但是，如图 7-18 中所示，如果阶跃变化发生在转换周期的中间，则 sinc3 滤波器需要四个转换周期才能提供趋稳数据。

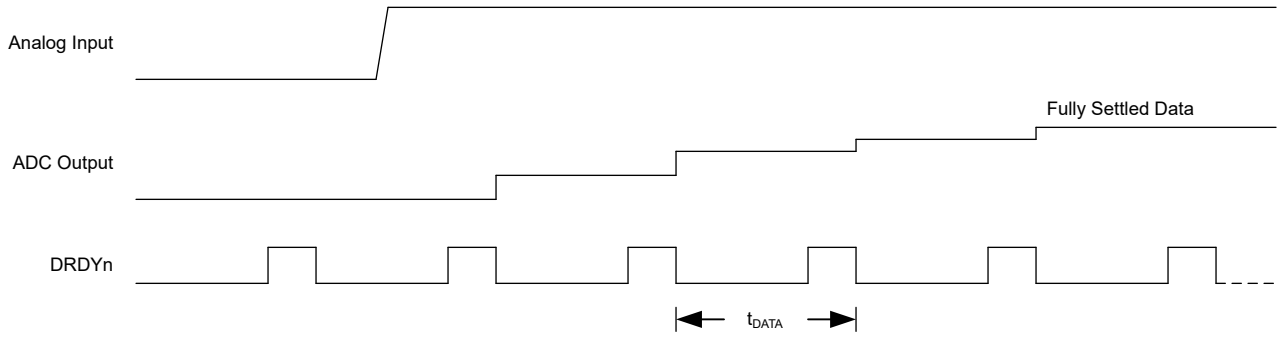


图 7-18. 输入阶跃变化期间的 SINC3 滤波器行为

7.4.3.1.2 单次转换模式

在单次转换模式下，ADC ADC1y 执行会在设置 STARTy 位后执行一次单次转换。在 ADC 正在进行转换时设置 STARTy 位会中止当前转换，并重新启动一次新的单次转换。STOPy 位在单次转换模式下无效。

与连续转换模式相同，在写入 CONVERSION_CTRL 寄存器的 SPI 帧内寄存器数据 CRC 字的最后一个 SCLK 下降沿处，STARTy 位生效并开始转换。

在单次转换模式下，每次转换在由方程式 19 计算得出的首次转换趋稳时间后进行。如果在转换过程期间发生输入阶跃变化，则表示转换结果未完全趋稳。在这种情况下，需要进行另一次单次转换才能输出趋稳的转换结果。

7.4.3.1.3 全局斩波模式

ADC1y 的信号链使用极低漂移、斩波稳定的 PGA 和 ΣΔ 调制器，以提供极低的偏移误差和偏移漂移。然而，在正常测量中仍然存在少量的失调漂移。因此，ADC1y 信号链包含可选全局斩波模式，以减少温度和时间范围内的失调误差和温漂，以便达到极低水平。当通过设置 GC1y_EN 位来启用全局斩波模式时，ADC1y 执行两次连续转换并使用备用输入信号极性来消除偏移误差。第一个转换采用正常输入极性。全局斩波控制逻辑会反转输入极性，并复位数字滤波器以进行第二次转换。去除偏移电压后，两次转换的平均值即为最终校正结果。图 7-19 展示了 ADC1y 全局斩波实现的方框图。V_{OFS} 模拟 PGA 和 ADC1y 的组合内部偏移电压。全局斩波模式仅降低该器件固有的失调电压。连接到模拟输入的外部电路中的失调电压不受全局斩波模式的影响。

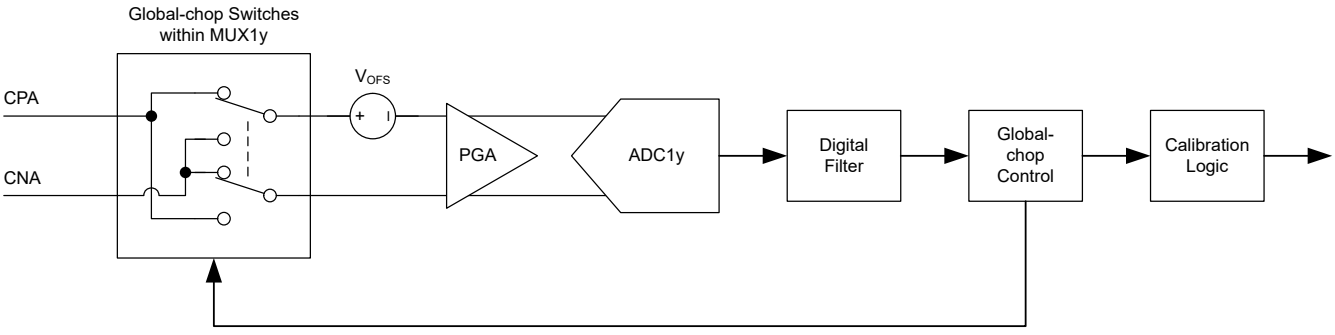


图 7-19. ADC1y 全局斩波模式控制图

全局斩波模式的操作顺序如下：

- Conversion C1：V_{CPA} – V_{CNA} – V_{OFS} → 转换开始后扣留的第一次转换
- Conversion C2：V_{CNA} – V_{CPA} – V_{OFS} → 输出 1 = (V_{C1} – V_{C2}) / 2 = V_{CPA} – V_{CNA}

Copyright © 2025 Texas Instruments Incorporated

- Conversion C3：V_{CPA} – V_{CNA} – V_{OFS} → 输出 2 = (V_{C3} – V_{C2}) / 2 = V_{CPA} – V_{CNA}
- ...

转换开始后的第一个转换结果（输出 1）可在 ADC1y 完成两次稳定转换后获得。由于 sinc3 滤波器，一个转换的数据在三个转换周期内稳定。方程式 20 计算转换开始后输出第一个转换结果所需的时间。

在启用全局斩波模式的连续转换模式下，后续转换将在 t_{GC_DATA} 中完成，如 方程式 21 计算所示，如 图 7-20 所示。这意味着全局斩波模式下的数据速率大约是正常模式下数据速率的 1/3。

$$t_{GC_SETTLE} = 2 \times (t_{GC1y_DELAY} + 3 \times OSR \times t_{MOD}) + 44\ t_{MOD} \quad (20)$$

$$t_{GC_DATA} = t_{GC1y_DELAY} + 3 \times OSR \times t_{MOD}, \quad (21)$$

在输入极性反转后开始转换之前，ADC1y 会等待全局斩波延迟时间 GC1y_DELAY[2:0]，以便内部电路稳定。在某些情况下，必须增加可编程全局斩波延迟时间以实现外部元件稳定。

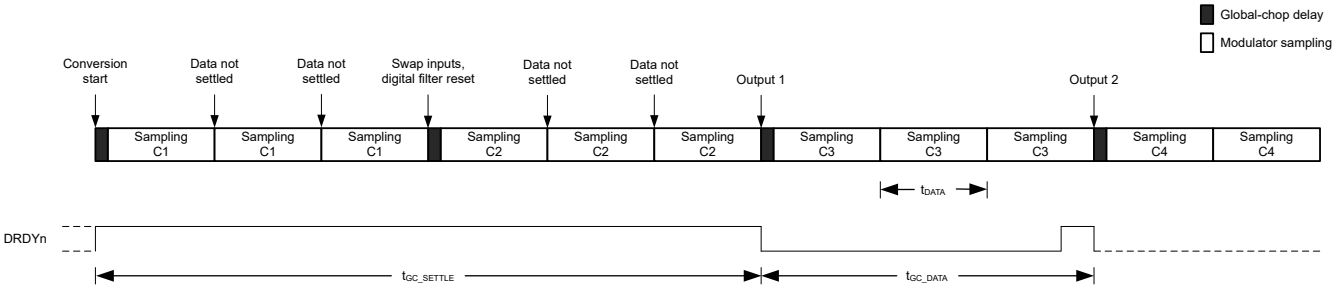


图 7-20. 全局斩波模式下的 Sinc3 滤波器稳定时间和转换周期

全局斩波模式可将 ADC1y 噪声降低 $\sqrt{2}$ 倍，因为两个转换是平均值。将 表 6-1 中的输入参考噪声值除以 $\sqrt{2}$，即可得出启用全局切分模式时的噪声性能。

图 7-3 中 sinc3 滤波器的陷波在全局斩波模式下不会变化。不过，在 f_{GC_DATA} / 2 的倍数处会出现额外的滤波凹槽。

Copyright © 2025 Texas Instruments Incorporated

7.4.3.1.3.1 全局斩波模式下的过流指示响应时间

启用 ADC1y 的全局斩波模式会更改 ADC1y 转换时 OCCy 的过流检测行为。每次 ADC1y 反转模拟输入的极性时，OCCy 的数字快速滤波器都会复位。每次滤波器快速复位后，器件会忽略 OCCy 滤波器的前两次转换，因为这些转换是不稳定的。器件不会为这两次转换增加 OCCy_NUM 计数器的值。根据 OCCy_NUM 和 OSR1y 的设置，启用全局斩波模式时，过流指示响应时间可能比禁用全局斩波模式时更长。使用大 OCCy_NUM 和小 OSR1y 设置时、响应时间的差异最明显。

图 7-21 显示 OSR1y = 128 时 OCCy 行为的示例。OCCy DRDYn 信号指示 OCCy 快速滤波器的转换何时完成。此信号仅为内部信号，主机无法访问。在此特定示例中，OCCy_NUM 计数器在每个 ADC1y 转换周期仅能递增四次。如果 OCCy_NUM = 8，则需要最多两个完整的 ADC1y 转换周期才能使 OCCy_NUM 计数器达到 8。这意味着，过流检测时间从 8 × 64 / f_{MOD}（禁用全局斩波模式）增加到 12 × 64 / f_{MOD}（启用全局斩波模式）。

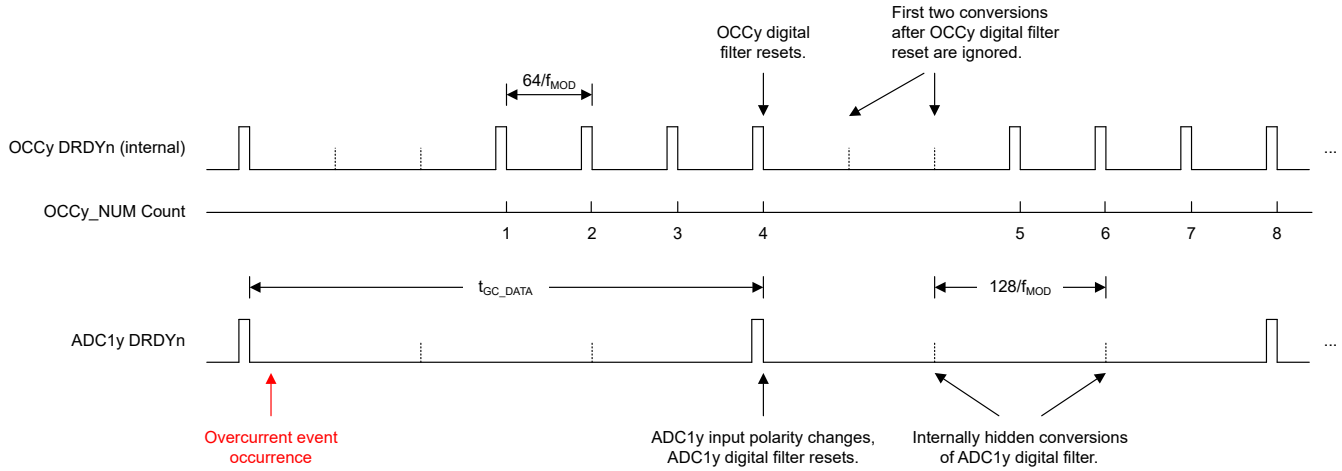


图 7-21. 启用全局斩波模式时的过流检测行为 (ADC1y OSR = 128)

7.4.3.2 ADC2y 序列发生器工作模式和序列模式

与 ADC1y 不同，ADC2y 上的转换是通过信道序列发生器控制的。图 7-22 显示了序列发生器操作的流程图。ADC2y 序列发生器具有多达 16 个序列步骤，可以通过 SEQ2y_STEPn_EN 位（n = 0 至 15）单独启用或禁用这些步骤。每个序列步骤对应一次 ADC2y 的单次转换，这意味着在一次序列运行中可以进行多达 16 次不同的测量。SEQ2y_STEPn_CFG 寄存器用于为每个序列步骤配置 PGA 增益以及 PGA 的正负输入。当序列启动时，序列发生器会按顺序执行所有启用的序列步骤，始终从步骤 0 开始。序列发生器会忽略被禁用的序列步骤。在每个步骤中，ADC2y 会进行一次转换，然后序列发生器会为序列中的下一个步骤配置 ADC2y。序列发生器将 ADC2y 配置为下一个序列步骤后，序列发生器会添加一个可编程延迟，以便在开始转换之前允许输入信号稳定。MUX2y_DELAY[2:0] 位用于全局选择所有序列步骤的延迟时间。完成一个序列所需的时间由方程式 22 给出：

$$t_{SEQ} = N \times (t_{MUX_DELAY} + t_{CONVERSION}) \quad (22)$$

其中：

- N 是启用的步骤数
- t_{MUX_DELAY} 是多路复用器延迟时间
- $t_{CONVERSION}$ 是 ADC2y 的转换时间

在序列进行时，STATUS 寄存器中的 SEQ2y_ACTIVE 位会被设置。

在启用 ADC2A 时，切勿对地址范围从 0x8C 到 0x9F 的寄存器进行任何更改；在启用 ADC2B 时。

为避免序列发生器启动错误，请按照以下过程配置并启动序列发生器：

1. 通过设置 ADC2y_EN = 0b 来禁用 ADC2y，或将器件置于待机模式
2. 配置 ADC2y 序列发生器寄存器位
3. 通过设置 ADC2y_EN = 1b 来启用 ADC2y，或将器件置于工作模式
4. 通过设置 SEQ2y_START 位来启动序列

在禁用 ADC2y 的情况下设置 SEQ2y_START 位不会启动序列。

ADC2y 序列步骤的转换数据为 16 位，与 ADC1y 的转换数据不同，这些数据存储在用户寄存器空间中（寄存器地址为 10h 至 1Fh）。序列步骤 *n* 的转换数据存储在相应的 SEQ2y_STEPn_DATA 寄存器中。对于被禁用的序列步骤，其转换数据会被设置为 0000h。使用寄存器读取命令读取 ADC2y 转换数据。

所有 SEQ2y_STEPn_DATA 寄存器的转换数据只有在 ADC2y 的序列运行完成时才会更新。在序列运行进行时，之前序列运行的转换数据会从 SEQ2y_STEPn_DATA 寄存器中读取。即使在读取 SEQ2y_STEPn_DATA 寄存器时序列完成，也不会发生数据损坏或来自两个不同序列运行的数据混淆。

ADC2y 提供三种序列模式：

- 连续序列模式
- 单次序列模式
- 基于 ADC1y 转换启动的同步单次序列模式

SEQ2y_MODE[1:0] 位用于选择 ADC2y 的序列模式。

Copyright © 2025 Texas Instruments Incorporated

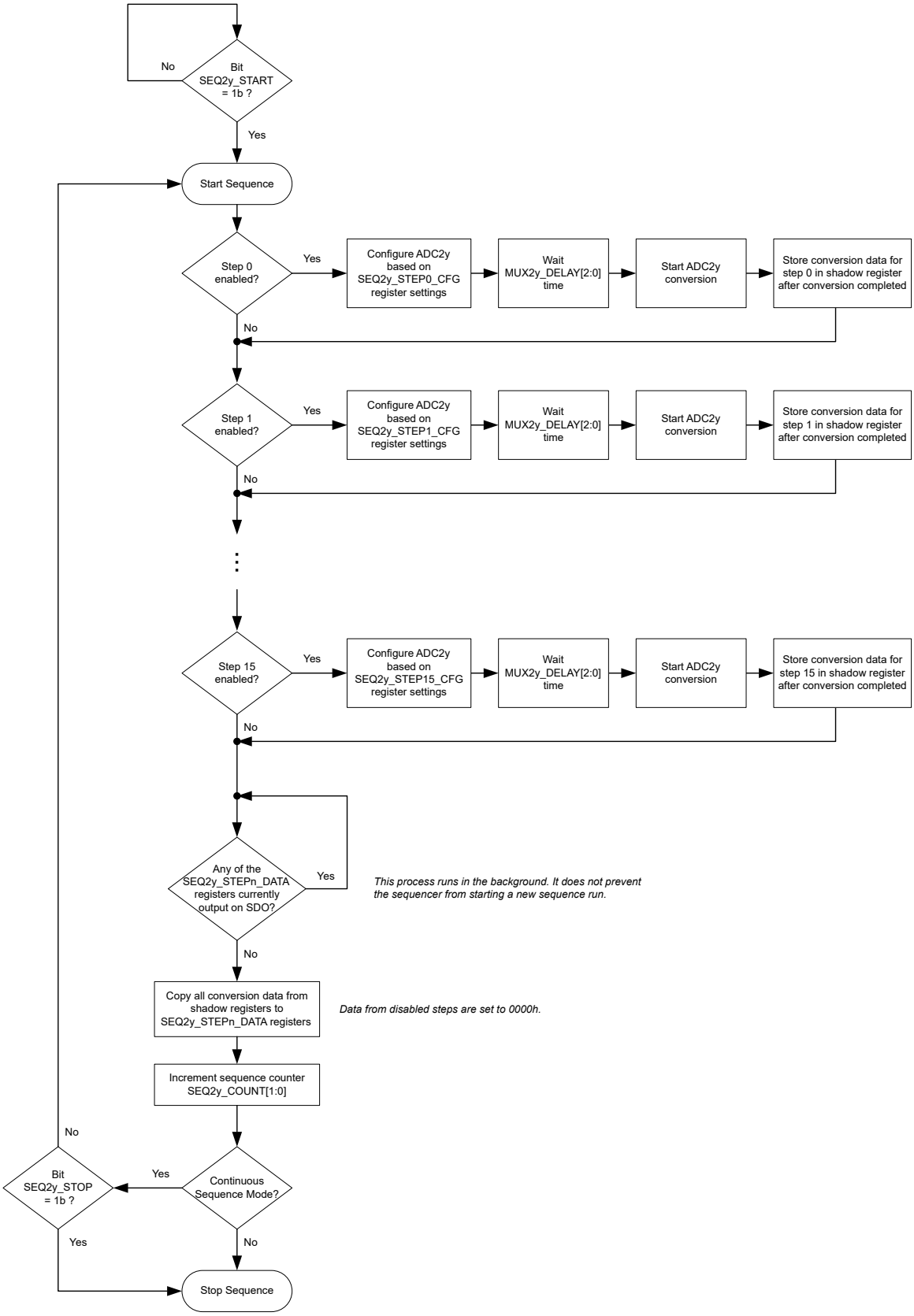


图 7-22. ADC2y 序列发生器流程图

7.4.3.2.1 连续序列模式

在连续序列模式下，ADC2y 序列发生器会反复运行多配置的序列，直至被主机停止。设置 CONVERSION_CTRL 寄存器中相应的 SEQ2y_START 位，以启动 ADC2y 的序列发生器。如果在序列发生器运行时设置 SEQ2y_START 位，正在进行的序列运行将会中止，系统会从头开始重新运行新序列。使用 SEQ2y_STOP 位停止 ADC2y 的序列发生器。在设置 SEQ2y_STOP 位后，允许完成当前正在进行的序列运行。在设置 SEQ2y_STOP 位后，SEQ2y_STOP 位读回 1b，直至序列发生器停止。若禁用 ADC2y 或将器件置于待机或省电模式，该序列的运行会立即中止。

SEQ2y_START 位优先于 SEQ2y_STOP 位。因此，如果同时设置了 CONVERSION_CTRL 寄存器中的 SEQ2y_START 和 SEQ2y_STOP 位，则序列发生器会开始序列运行，或是中止正在进行的序列运行，并从头开始运行新序列。

在序列发生器停止后，ADC2y 序列运行的最后一项转换结果仍可读出。仅在器件已复位、ADC 被禁用、器件处于待机或省电模式时，序列发生器的转换结果才会被清零为 0000h，或者在新序列运行的转换结果可用时被覆盖。

7.4.3.2.2 单次序列模式

在单次序列模式下，ADC2y 序列发生器在 SEQ2y_START 位设置后通过配置的序列运行一次。在序列正在进行时设置 SEQ2y_START 位会中止正在进行的序列并从头开始重新启动单个新序列。SEQ2y_STOP 位在单次序列模式下无效。

7.4.3.2.3 基于 ADC1y 转换启动的同步单次序列模式

同步序列模式允许 ADC2A 的序列启动与 ADC1A 的转换启动同步。在此模式下，每当 ADC1y 开始新的转换时，ADC2y 将启动一次单次序列运行。然而，当 ADC1y 开始新的转换时，*正在进行中的* ADC2y 序列运行不会中止，也不会重新启动。这意味着，只有在当前没有正在进行的序列时，ADC1y 才会触发 ADC2y 的单次新序列运行。

通过设置 SEQ2y_START 位，初始启动 ADC2y 序列发生器。

同步单次序列模式仅在 ADC1y 配置为连续转换模式时才有用。当 ADC1y 配置为单次转换模式时，通过同时设置 STARTy 和 SEQy_START 位来同步 ADC1y 的转换与 ADC2y 的序列启动。

图 7-23 中所述的是 ADC1A 转换与 ADC2A 序列启动如何同步的示例。图 7-23 中内部生成的 DRDYAn 信号的下降沿指示新的 ADC1A 转换结果已可用，以及新的 ADC1A 转换开始。

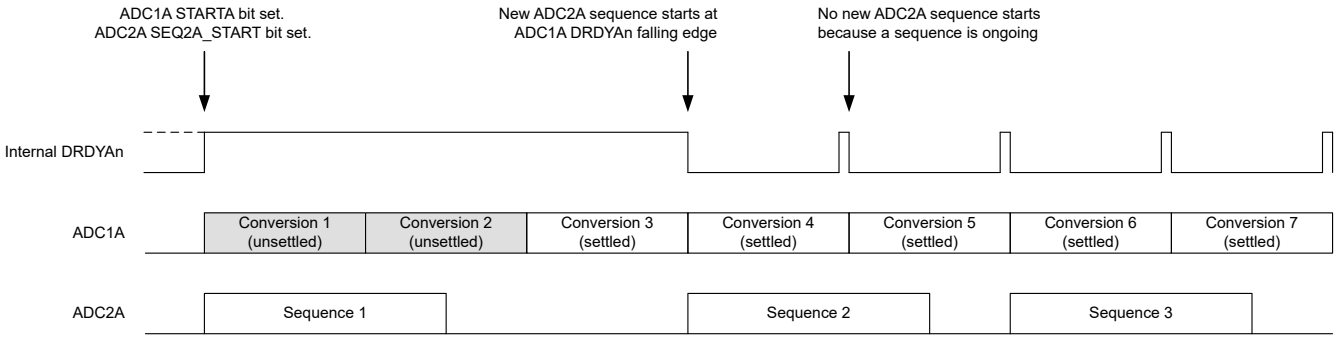


图 7-23. 同步 ADC1A 转换和 ADC2A 序列启动

Copyright © 2025 Texas Instruments Incorporated

7.5 编程

7.5.1 串行接口

ADS131B23-Q1 使用与 SPI 兼容的接口来配置器件和检索转换数据。该器件始终充当 SPI 外设；SCLK 和 CSn 是接口的输入。该接口在 SPI 模式 1 下工作，其中 CPOL = 0 且 CPHA = 1。在 SPI 模式 1 下，SCLK 在空闲状态下保持低电平，并且数据仅在 SCLK 上升沿进行传输或更改；控制器和外设在 SCLK 下降沿锁存或读取数据。该接口是全双工的，也就是说该接口可以同时发送和接收数据。该器件包括典型的 SPI 信号：CSn、SCLK、SDI 和 SDO。此外，DRDYn 引脚用作主机的标志，以指示新的转换数据可用。

7.5.1.1 串行接口信号

7.5.1.1.1 芯片选择 (CSn)

CSn 引脚是一个低电平有效输入信号，用于选择要进行通信的器件。当 CSn 保持高电平时，器件会忽略任何通信并且 SDO 为高阻抗。在通信帧的持续时间内将 CSn 保持为低电平，以确保正常通信。每次 CSn 被设置为高电平时，接口都会复位。

7.5.1.1.2 串行数据时钟 (SCLK)

SCLK 引脚是用作接口串行时钟的输入。SDO 上的输出数据在 SCLK 的上升沿转换，SDI 上的输入数据在 SCLK 的下降沿锁存。

7.5.1.1.3 串行数据输入 (SDI)

SDI 引脚是器件的串行数据输入引脚。当 CSn 引脚为低电平时，器件在每个 SCLK 下降沿通过 SDI 引脚移入串行命令。

7.5.1.1.4 串行数据输出 (SDO)

SDO 引脚是器件的串行数据输出引脚。当 CSn 引脚为低电平时，器件在每个 SCLK 上升沿以串行方式移出数据。当 CSn 为高电平时，此引脚呈现高阻抗状态。当 CSn 转换为低电平时，SDO 引脚会驱动为低电平。

如果在 SDO 上移出最后一个数据后主机没有发送任何额外的 SCLK 脉冲，则 SDO 保持在发送的最后一位的电平。如果主机在最后一个数据移出后发送额外的 SCLK 脉冲，则 SDO 会驱动为低电平。图 7-24 和图 7-25 分别显示了没有额外 SCLK 脉冲和有额外 SCLK 脉冲时 SDO 行为的计时示意图。

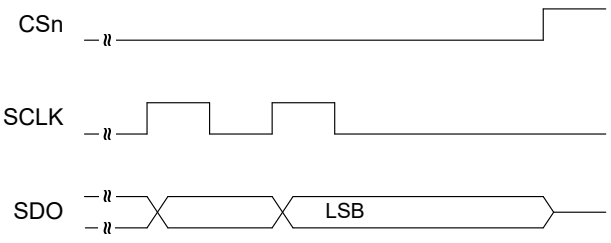


图 7-24. 没有额外 SCLK 脉冲时的 SDO 行为

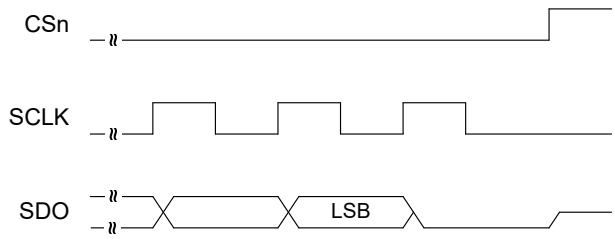


图 7-25. 有额外 SCLK 脉冲时的 SDO 行为

7.5.1.1.5 数据就绪 (DRDYn)

DRDYn 引脚是低电平有效推挽输出。DRDYn 下降沿指示 ADC1A 或 ADC1B 的新转换数据何时可以读出。DRDY_CTRL 位选择由哪个 ADC 驱动 DRDYn 信号，可以是 ADC1A 或 ADC1B。如果主机在同一 CONVERSION_CTRL 寄存器写入期间同时设置 STARTA 和 STARTB 位来启动 ADC1A 和 ADC1B 转换，则两个 ADC 的转换会同时完成。DRDYn 下降沿之间的周期是控制 DRDYn 引脚的 ADC 的数据速率周期。

在器件加电期间或器件保持复位状态时，DRDYn 引脚驱动低电平。如 图 7-26 和 图 7-27 所示，在 POR 已释放且器件已为通信做好准备后，DRDYn 引脚会驱动高电平。

Copyright © 2025 Texas Instruments Incorporated

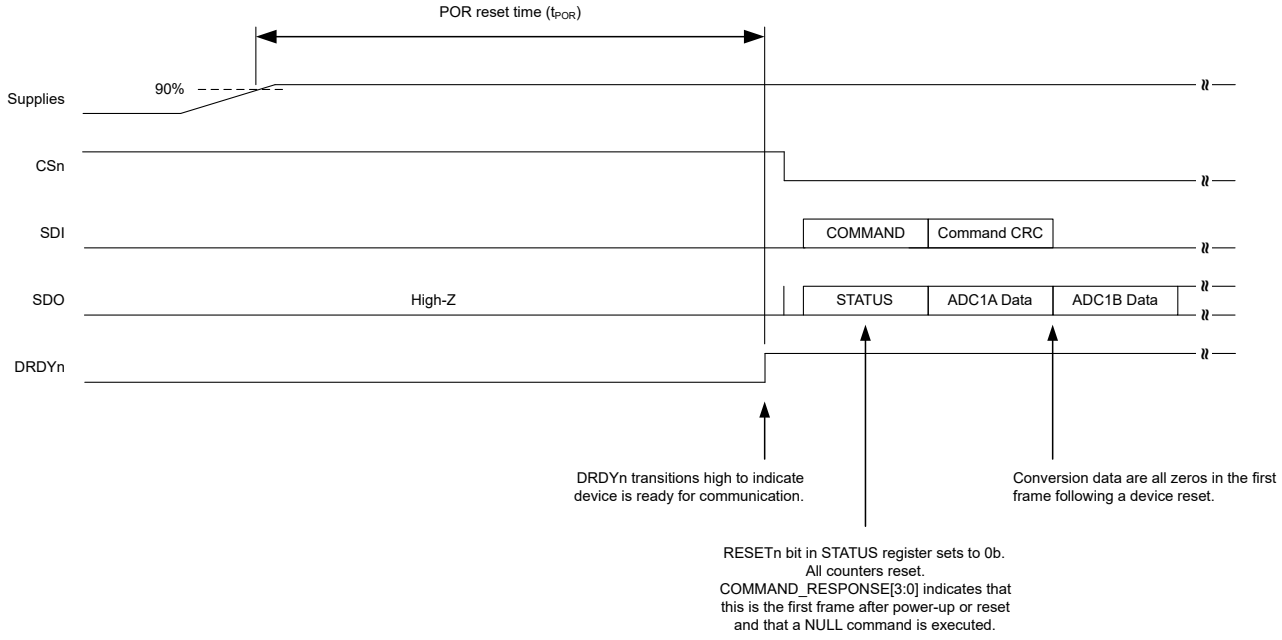


图 7-26. POR 后的 DRDYn 引脚行为

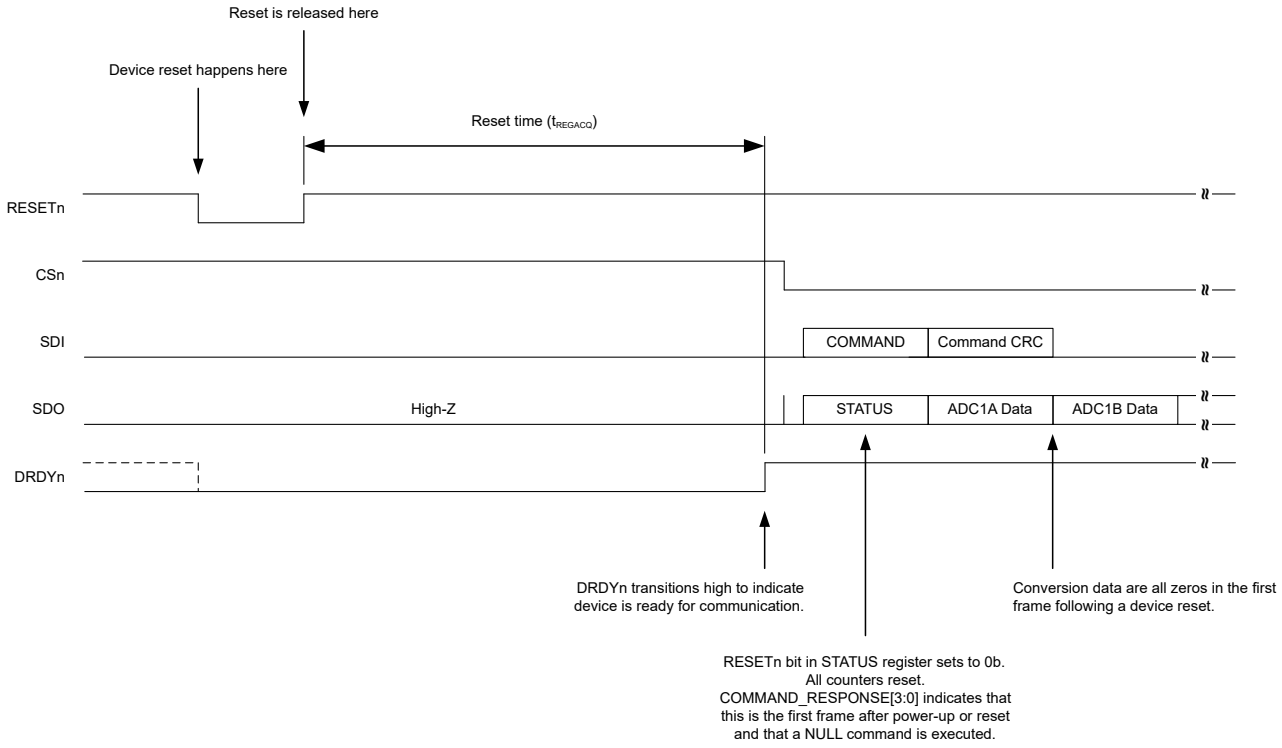


图 7-27. 器件复位后的 DRDYn 引脚行为

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2 串行接口通信结构

7.5.1.2.1 SPI 通信帧

ADS131B23-Q1 上的 SPI 通信以帧为单位进行。每个 SPI 通信帧都以 CSn 下降沿开始，由多个字组成，并以 CSn 上升沿结束。该接口是全双工的，也就是说该接口能够在 SDO 上发送数据，同时在 SDI 上接收数据。图 7-28 概述了各种命令的通用 SPI 帧结构和帧长度。

主机通过 SDI 发送的输入帧始终以命令字开始，后跟命令 CRC 字。器件通过 SDO 传输的输出帧中的第一个字始终以 STATUS 字开始。帧中的字数取决于提供的命令。有关 ADS131B23-Q1 上所有有效命令的列表，请参阅*命令*部分。

对于 NULL、RESET、LOCK、UNLOCK 和 RREG 命令，一个帧中有四个字。在 SDI 上，主机提供命令，命令 CRC 以及两个额外的零字。同时在 SDO 上，该器件输出 STATUS 字、两个 ADC 数据字（表示来自 ADC1A 和 ADC1B 的数据）和一个输出 CRC 字。图 7-28 展示了典型的通信帧结构。在本文的其余部分，为了清晰起见，图示中省略了 SCLK 信号。

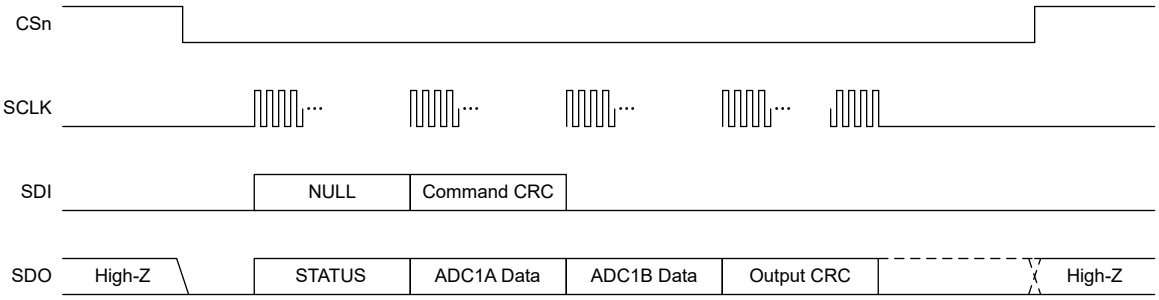


图 7-28. 典型通信帧

对于写入寄存器 (WREG) 命令，如果写入一个寄存器，则帧会扩展以容纳额外的数据。有关 WREG 命令的更多详细信息，请参阅 *WREG* 部分。

对于读取寄存器 (RREG) 命令，对命令的响应包含 STATUS 字后跟请求的寄存器数据，这可能需要更短或更长的帧，具体取决于读取的寄存器数量。有关 RREG 命令的更多详细信息，请参阅 *RREG* 部分。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.2 SPI 通信字

与 ADS131B23-Q1 的 SPI 通信帧由多个字组成。使用 DEVICE_CFG 寄存器中的 WORD_LENGTH 位可将字大小配置为 24 或 32 位。每个字中的内容始终是最高有效位 (MSB) 对齐，并且最低有效位 (LSB) 用零填充，以适应 24 位或 32 位字大小。表 7-23 概述了所有可用字类型以及各自内容的实际未填充数据长度。

表 7-23. 各个字类型的未填充数据长度

方向	字类型	未填充数据长度
SDI	命令	16 位
SDI	命令 CRC	16 位
SDI	WREG 命令的寄存器数据	16 位
SDI	WREG 命令的寄存器数据 CRC	16 位
SDO	状态	24 位
SDO	ADC1A 和 ADC1B 转换数据	24 位
SDO	RREG 命令的寄存器数据	16 位寄存器数据 + 8 位寄存器地址
SDO	输出 CRC	16 位

图 7-29 和 图 7-30 分别显示了 WREG 和 RREG 命令各个字中的位对齐和补零。

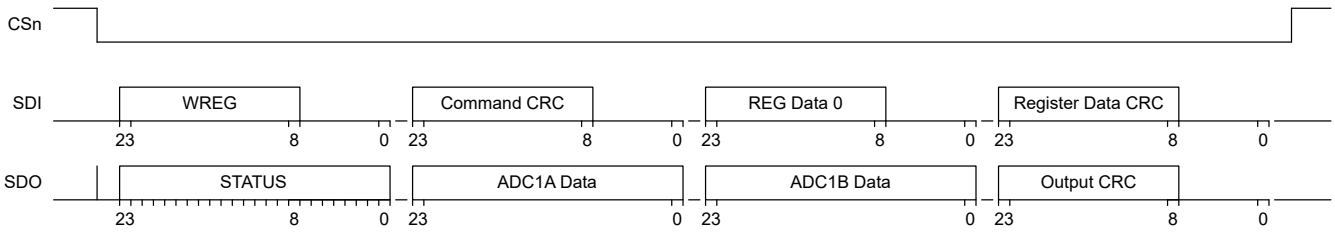


图 7-29. 位对齐、24 位字大小、WREG 命令

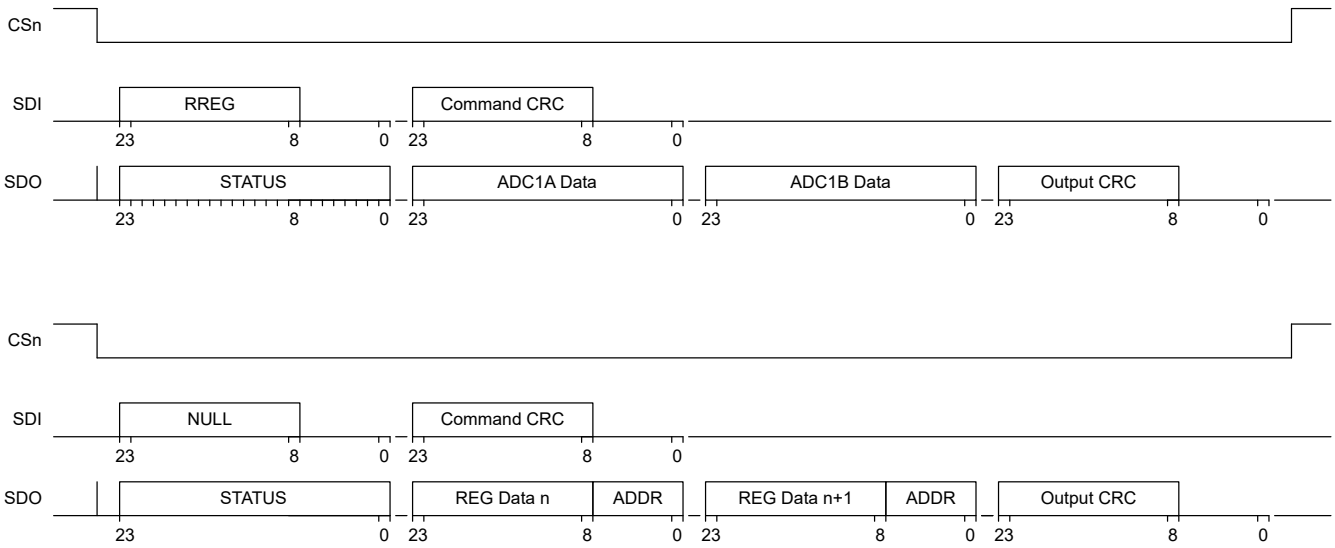


图 7-30. 位对齐、24 位字大小、RREG 命令

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.3 STATUS 字

ADS131B23-Q1 在每个帧的 SDO 上输出一个 STATUS 字，作为第一个字。24 位的 STATUS 字是 STATUS_MSB[15:0] 和 STATUS_LSB[15:8] 寄存器位的连接。故障标志、状态标志、ADC1A 和 ADC1B 转换计数器、ADC2A 序列计数器，以及命令响应都是这些位的一部分。有关详细信息，请参阅 *寄存器映射* 部分中相应的寄存器位描述。

- 与通信相关的故障标志（如 SPI_CRC_FAULTn、SPI_TIMEOUTn、SCLK_COUNT_FAULTn 和 REG_ACCESS_FAULTn 标志）总是表示在前一个 SPI 帧中发生的故障。这些故障标志会在下一个 SPI 帧中自动清除。
- 所有其他与器件相关的故障和状态标志表示器件在当前 SPI 帧开始时的状态。
- 除上述与通信相关的故障标志外，所有故障标志都是锁存的。这意味着，这些故障标志在故障条件消除后不会自动复位为 1b，必须由主机手动清除。
- 命令响应指示器件在前一个 SPI 帧中接收并执行的命令。
- 转换计数器和序列计数器指示当前 SPI 帧中输出数据的计数。

7.5.1.2.4 通信循环冗余校验 (CRC)

ADS131B23-Q1 在输入和输出数据上都具有循环冗余校验 (CRC) 引擎，以减少 SPI 通信错误。总的来说，有三种不同的 CRC，其宽度均为 16 位：

- 在 SDI 上：命令 CRC，对于 WREG 命令，寄存器数据 CRC
- 在 SDO 上：输出 CRC

命令 CRC 会涵盖命令字（即每帧中 SDI 上的第一个字）。WREG 命令是一种需要额外寄存器数据 CRC 的特殊情况。寄存器数据 CRC 会涵盖在命令 CRC 字之后传输的寄存器数据字。输出 CRC 会涵盖输出 CRC 字之前 SDO 上的所有字。CRC 还会涵盖所有补零位。

器件会检查提供的命令 CRC，以及（对于 WREG 命令）寄存器数据 CRC（基于接收到的输入数据，根据内部计算出的 CRC）。如果 CRC 字不匹配，则会发生 CRC 错误。如果命令 CRC 或寄存器数据 CRC 校验失败，则器件不执行任何命令。在输入数据出现 CRC 错误的所有情况下，器件都会在 STATUS_MSB 寄存器中设置 SPI_CRC_FAULTn 位。

发生 CRC 错误的帧之后的 SPI 帧中输出的响应是 NULL 命令的响应，这意味着在下一个 SPI 帧中输出 STATUS 字以及 ADC1A 和 ADC1B 的转换数据。SPI_CRC_FAULTn 位作为 STATUS 字的一部分输出，以立即指示前一帧中发生了 CRC 错误。SPI_CRC_FAULTn 位会在下一个 SPI 帧中自动清除。

有两种类型的 CRC 多项式可用：CCITT CRC 和 ANSI CRC (CRC-16)。CRC 多项式设置决定了全部三个 CRC 的算法。CRC 类型使用 CRC_TYPE 位进行编程。表 7-24 列出了两种 CRC 类型的详细信息。

CRC 计算使用 FFFFh 的种子值进行初始化，以在 SDI 或 SDO 始终为低电平时检测错误。

表 7-24. CRC 类型

CRC 类型	多项式	二进制多项式
CCITT CRC	$x^{16} + x^{12} + x^5 + 1$	0001 0000 0010 0001
ANSI CRC	$x^{16} + x^{15} + x^2 + 1$	1000 0000 0000 0101

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.5 命令

表 7-25 包含所有有效命令的列表、命令功能的简短描述以及二进制命令字。

表 7-25. 命令定义

命令	说明	命令字
NULL	无操作	0000 0000 0000 0000b
复位	复位器件	0000 0000 0001 0001b
LOCK	锁定接口，只有 NULL、UNLOCK 和 RREG 命令有效	0000 0101 0101 0101b
UNLOCK	接口锁定后解锁接口	0000 0110 0101 0101b
WREG	从地址 *a aaaa aaa* 开始对 *nnn* 加 1 个寄存器进行写入	011*a aaaa aaa0 0nnn*b
RREG	从地址 *a aaaa aaa* 开始对 *n nnnn* 加 1 个寄存器进行读取	101*a aaaa aaan nnnn*b

7.5.1.2.5.1 NULL (0000 0000 0000 0000b)

NULL 命令是*无操作*命令，不会对任何寄存器进行读取或写入，且器件状态保持不变。NULL 命令的预期用例是读取 ADC1A 和 ADC1B 的转换数据。

下一帧中的命令响应指示传输 NULL 命令帧期间是否发生错误。但是，无论是否发生错误，都会执行 NULL 命令。

图 7-31 显示了一个典型的 NULL 命令帧，该帧在通信期间未发生故障。

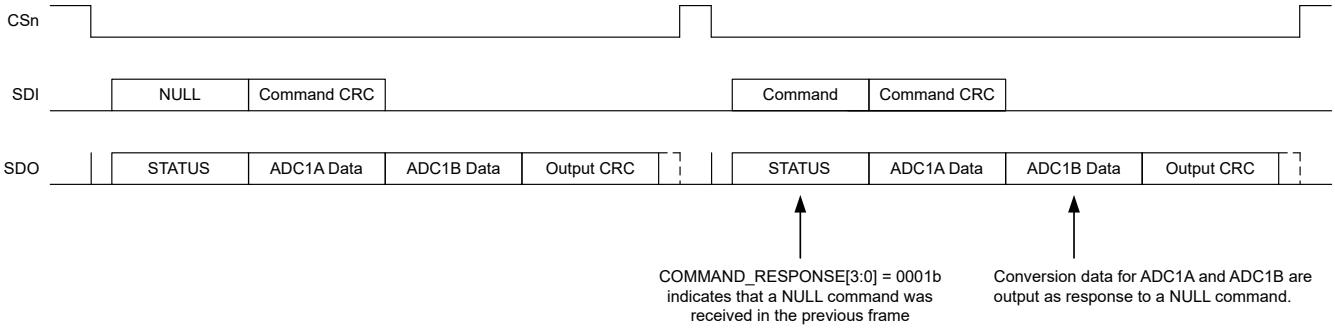


图 7-31. NULL 命令帧

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.5.2 RESET (0000 0000 0001 0001b)

RESET 命令可复位器件并将所有用户寄存器设置为相应的默认值。该命令由器件在输出 CRC 字的最后一个 SCLK 下降沿闩锁。在输出 CRC 字在 SDO 上移出之前终止帧，会导致 RESET 命令被忽略。该命令被锁存后会立即发生复位。DRDYn 引脚在同一时刻转换为低电平。主机必须等待复位后的 t_{REGACQ} 或 DRDYn 上升沿，以确保设备完成复位过程，然后才能与设备通信。

RESETn 状态位和下一个帧中的命令响应指示 RESET 命令是否成功执行，或者是否发生了错误导致 RESET 命令无法执行。果 RESET 命令未执行，则执行 NULL 命令。

图 7-32 显示了一个 RESET 命令帧，该帧在通信期间未发生故障。

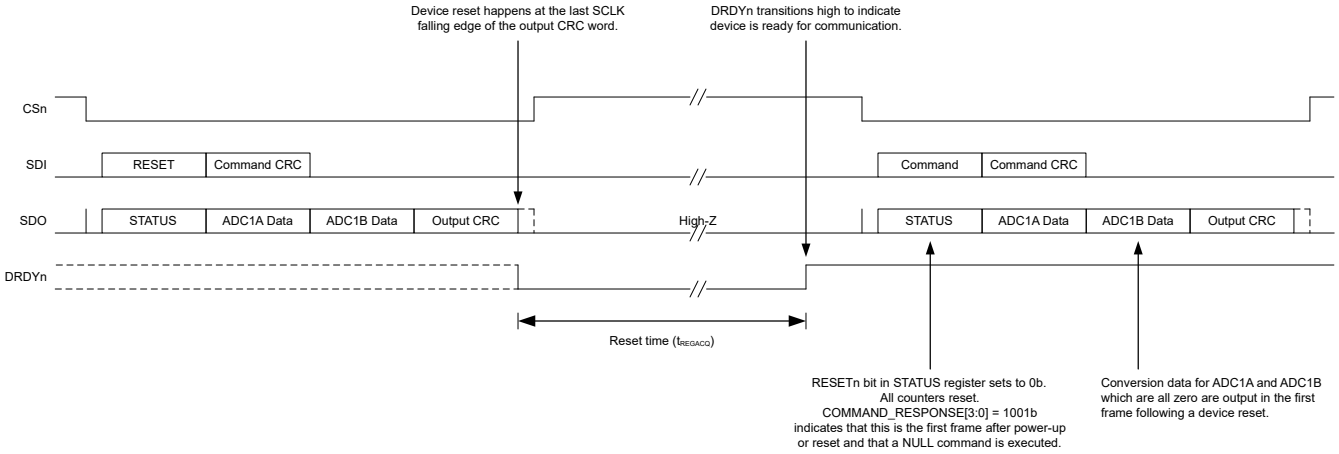


图 7-32. RESET 命令帧

7.5.1.2.5.3 LOCK (0000 0101 0101 0101b)

LOCK 命令锁定接口，从而防止器件意外锁存可能更改器件状态的不需要的命令。当接口被锁定时，器件只响应 NULL、RREG 和 UNLOCK 命令。即使锁定，器件也会继续输出转换数据。

LOCK 状态位和下一个帧中的命令响应指示 LOCK 命令是否成功执行，或者是否发生了错误导致 LOCK 命令无法执行。如果 LOCK 命令未执行，则执行 NULL 命令。

图 7-33 显示了一个 LOCK 命令帧，该帧在通信期间未发生故障。

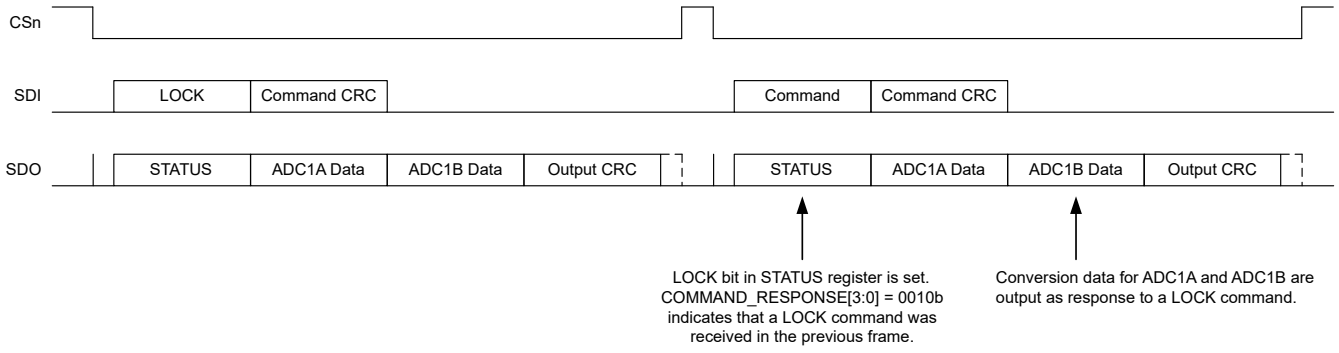


图 7-33. LOCK 命令帧

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.5.4 UNLOCK (0000 0110 0101 0101b)

如果之前由 LOCK 命令锁定，UNLOCK 命令将解锁接口。

LOCK 状态位和下一个帧中的命令响应指示 UNLOCK 命令是否成功执行，或者是否发生了错误导致 UNLOCK 命令无法执行。如果 UNLOCK 命令未执行，则执行 NULL 命令。

图 7-34 显示了一个 UNLOCK 命令帧，该帧在通信期间未发生故障。

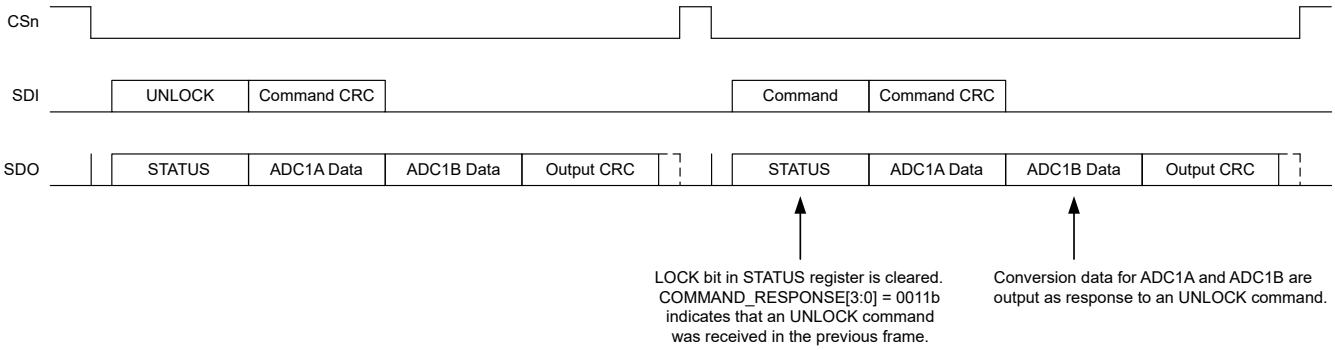


图 7-34. UNLOCK 命令帧

7.5.1.2.5.5 WREG (011a aaaa aaa0 0nnnb)

WREG 命令用于写入器件寄存器。命令字的二进制格式为 011*a aaaa aaa0 0nnn*，其中 *a aaaa aaa* 是要开始写入的寄存器的二进制地址，*nnn* 是要写入的连续寄存器的无符号二进制数减 1。在 WREG 命令 CRC 字之后立即发送要写入的寄存器数据。以 MSB 对齐方式将每个寄存器的预期内容写入单独的字中。在寄存器数据字之后，是涵盖寄存器数据内容的寄存器数据 CRC 字。

如果命令 CRC 或寄存器数据 CRC 失败，该器件会阻止寄存器数据写入。下一帧的命令响应应指示 WREG 命令是否成功执行，或是否发生错误导致 WREG 命令无法执行。如果 WREG 命令未执行，则执行 NULL 命令。

图 7-35 单个寄存器写入的 WREG 命令帧，该帧在通信期间未发生故障。

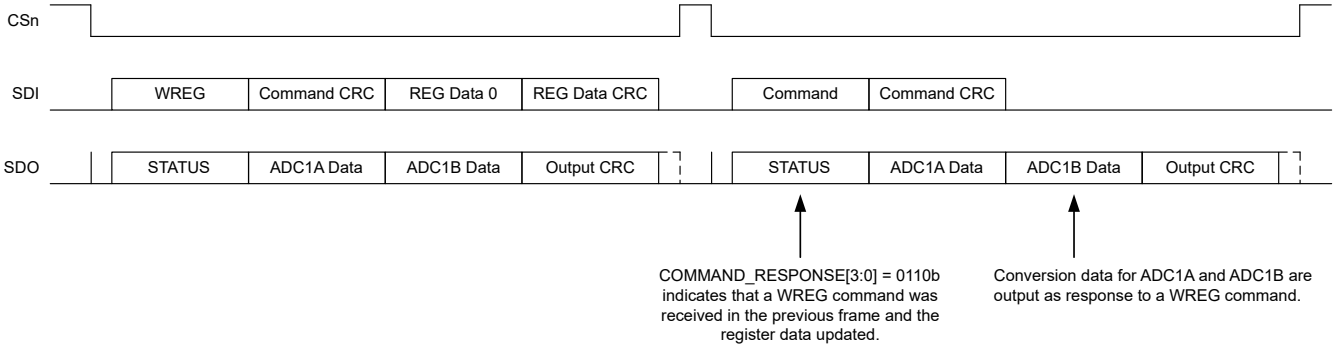


图 7-35. WREG 命令帧（单个寄存器）

Copyright © 2025 Texas Instruments Incorporated

图 7-36 显示了一个 WREG 命令帧，其中要写入的寄存器数量大于一个，因此该帧会扩展到常规的四个字之外。

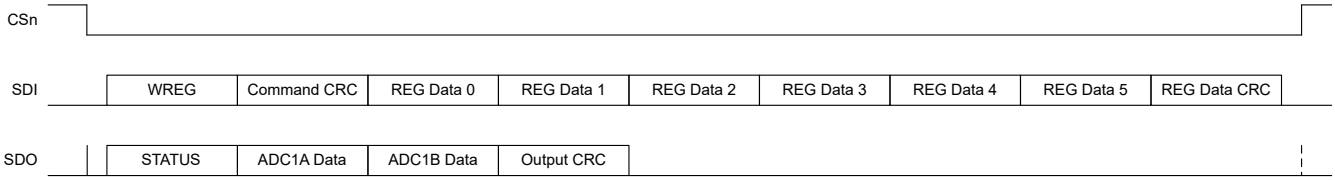


图 7-36. WREG 命令帧（6 个寄存器）

7.5.1.2.5.6 RREG (101a aaaa aaan nnnn)

RREG 可用于读取器件寄存器。命令字的二进制格式为 101*a aaaa aaan nnnn*，其中 *a aaaa aaa* 是要开始读取的寄存器的二进制地址，*n nnnn* 是要读取的连续寄存器的无符号二进制数减 1。该器件会按照下一帧中的地址顺序输出请求的寄存器数据，而不是 ADC1A 和 ADC1B 的转换数据。如果读取的寄存器不止两个，则帧将扩展到常规的四个字之外。

在 RREG 命令帧之后的帧中发送 NULL 命令来移出寄存器数据。在 RREG 命令帧之后的帧中不接受其他命令。

16 位寄存器数据在各个字内进行 MSB 对齐。如图 7-30 中所示，器件在每个字内的寄存器数据之后输出相应的 8 位寄存器地址，以实现可追溯性。当从无效的寄存器地址读取时，器件以 0000h（对于寄存器数据）和 00h（对于寄存器地址）进行响应。

RREG 命令帧之后的帧中的命令响应指示 RREG 命令是否成功执行，或是否发生阻止 RREG 命令执行的错误。如果 RREG 命令未执行，则执行 NULL 命令。

图 7-37 显示了一个 RREG 命令帧，该帧在通信期间未发生故障。

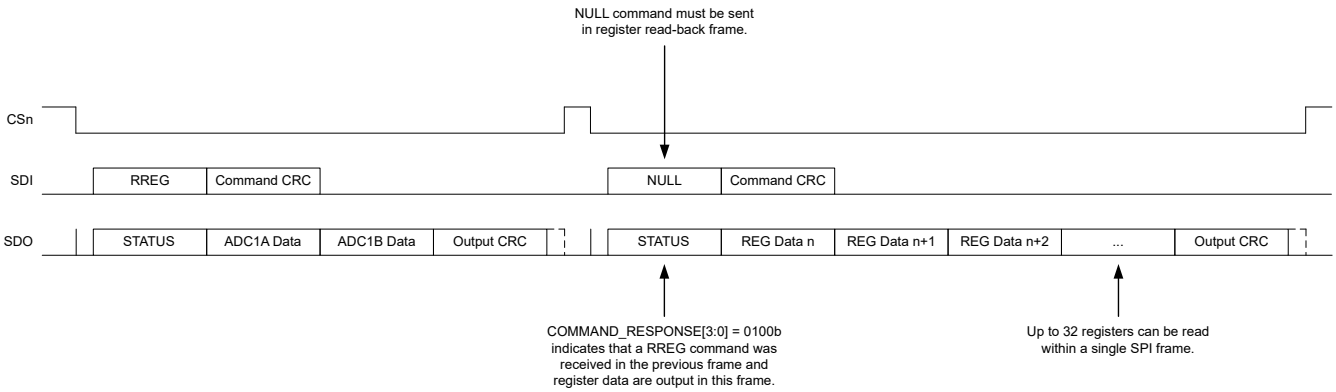


图 7-37. RREG 命令帧

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.6 SCLK 计数器

ADS131B23-Q1 实现了一个 SCLK 计数器，用于对帧内接收到的 SCLK 脉冲进行计数。如果接收到的 SCLK 脉冲数与要完成特定帧的 SCLK 数不匹配，则在下一帧中设置 SCLK_COUNT_FAULTn 标志。使用 SCLK_COUNTER_EN 位启用或禁用 SCLK 计数器。

器件在命令 CRC 字末尾确定特定 SPI 帧的预期 SCLK 数量。SCLK 计数计算中会考虑要在 SDI 上接收的预期字数和要在 SDO 上传输的字数。这两个值中的较大者会决定帧的 SCLK 计数。例如，图 7-35 中两个帧中的 SCLK 计数为 $(4 \times N_{WORD_LENGTH})$，而在 图 7-36 中，帧的 SCLK 计数为 $(9 \times N_{WORD_LENGTH})$。数据字长 N_{WORD_LENGTH} 是 24 或 32，由 WORD_LENGTH 位配置。

发送超过完成一个帧所需的 SCLK 脉冲不会影响 SPI 通信，但在这种情况下仍会设置 SCLK_COUNT_FAULTn，以指示接收的 SCLK 太多。

在某些情况下，如果发送的 SCLK 脉冲不足以完成一个帧，则会影响 SPI 通信：

- NULL 命令：没有影响。
- RESET 命令：提供足够的 SCLK 脉冲以在 SDO 上按时钟输出完整的输出 CRC 字之前，不执行。
- LOCK、UNLOCK、RREG 命令：如果在 SDI 上至少接收到命令和命令 CRC 字，则执行。
- WREG 命令：如果在 SDI 上至少接收到命令、命令 CRC、寄存器数据和寄存器数据 CRC 字，则执行。
- DRDYn 引脚：ADC1B 的转换数据字在 SDO 上按时钟输出后，DRDYn 引脚仅转换高电平。否则，器件会假定主机未接收到最新的转换数据并且 DRDYn 引脚保持低电平。

7.5.1.2.7 SPI 超时

ADS131B23-Q1 实现了一个 SPI 超时功能，用于测量在一个帧内 CSn 信号下降沿和 CSn 信号上升沿之间的时间。如果在 CSn 下降沿之后，CSn 上升沿未在 SPI 超时周期 ($t_{TIMEOUT}$) 内发生，则在下一个帧中设置 SPI_TIMEOUTn 标志。当超时发生时，SDI 上 SPI 帧的剩余部分在 CSn 上升沿之前被忽略。新的 SPI 事务在下一个 CSn 下降沿开始。使用 TIMEOUT_EN 位启用或禁用 SPI 超时。

如果 SPI 在完整帧已经通过 SDI 和 SDO 传输之后超时，则不会影响 SPI 通信，但 SPI_TIMEOUTn 标志仍会被设置，以指示 CSn 信号被保持低电平的时间过长。

如果 SPI 在完整帧尚未通过 SDI 和 SDO 传输之前超时，则在某些情况下可能会对 SPI 通信产生潜在影响：

- NULL 命令：没有影响。
- RESET 命令：在 SPI 超时之前，必须等待完整的输出 CRC 字通过 SDO 时钟输出后才执行。
- LOCK、UNLOCK、RREG 命令：如果在 SPI 超时之前至少接收到命令字和命令 CRC 字通过 SDI，则执行。
- WREG 命令：如果在 SPI 超时之前至少接收到命令字、命令 CRC 字、寄存器数据字和寄存器数据 CRC 字通过 SDI，则执行。
- DRDYn 引脚：只有在 SPI 超时之前，ADC1B 的转换数据字通过 SDO 时钟输出后，DRDYn 引脚才会转为高电平。否则，器件会假定主机未接收到最新的转换数据并且 DRDYn 引脚保持低电平。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.8 读取 ADC1A、ADC1B 和 ADC2A 转换数据

ADS131B23-Q1 的 ADC 的全部三个转换数据可在两个 SPI 帧内读取。ADC1A 和 ADC1B 的转换数据始终作为对后续 SPI 帧中 NULL 命令的响应输出。必须使用 RREG 命令从用户寄存器读取 ADC2A 的转换数据。ADC2A 各种序列阶跃的转换结果存储在从寄存器地址 10h 开始的连续寄存器地址位置中。RREG 命令允许在一个 SPI 帧内读取多达 32 个连续寄存器，这足以读取 ADC2A 所有序列步长的转换数据。图 7-38 显示了一个 SPI 帧序列示例，说明如何读取所有 ADC 转换数据。

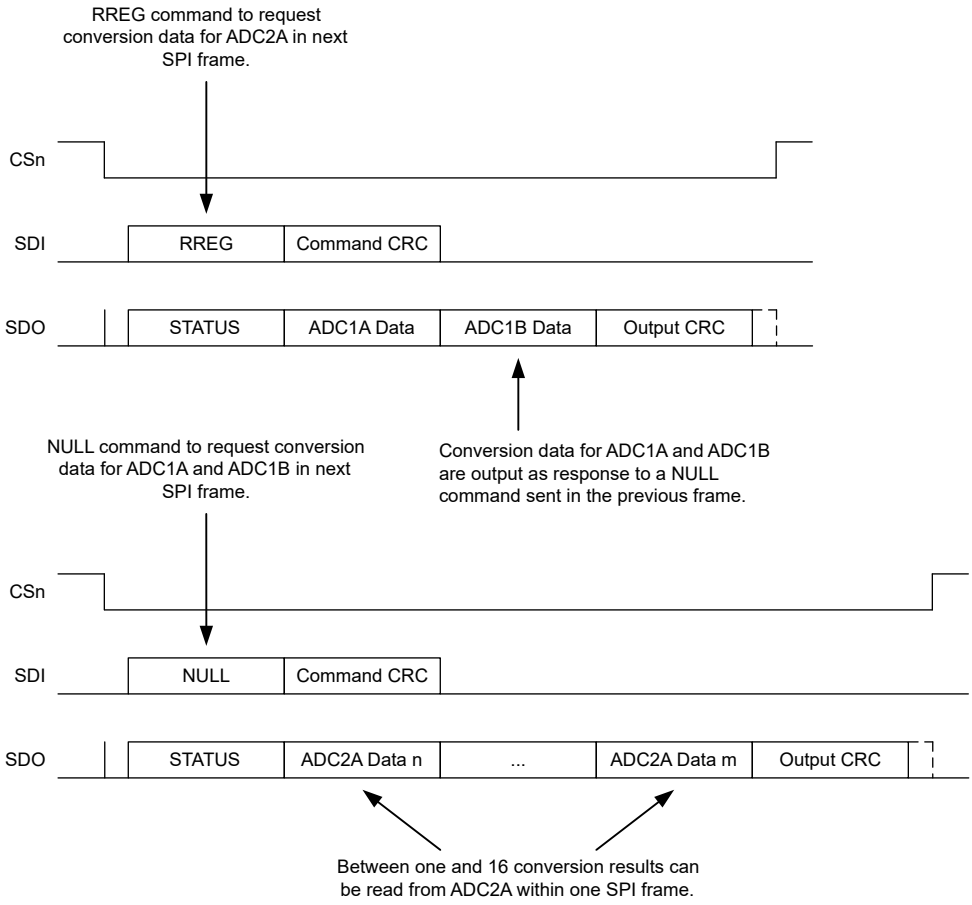


图 7-38. 从两个 SPI 帧内的 ADC1A、ADC1B 和 ADC2A 读取转换数据

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2.9 DRDYn 引脚行为

本部分详细介绍各种情况下的 DRDYn 引脚行为。

只要 ADC1A 或 ADC1B 上的新转换数据完成，DRDYn 就转换为低电平，这具体取决于哪个 ADC 会驱动 DRDYn 信号（如 DRDY_CTRL 位中的配置）。如果在 ADC1y 上完成新的转换时 DRDYn 为低电平，则 DRDYn 在 DRDYn 下降沿之前会将 $t_{w(DRH)}$ 驱动为高电平（请参阅 图 7-40 和 图 7-42）。

在 SDO 上检索 ADC1B 的转换数据后，DRDYn 会转换为高电平 (图 7-39)。如果在 ADC1B 转换数据被检索前，CSn 会被驱动为高电平，则 DRDYn 保持低电平，表示并非所有转换数据都被读取（图 7-40 和图 7-41）。

图 7-41 显示了在新转换完成之前，可以多次读取相同的转换数据。ADC1y 转换计数器指示是否再次读取了相同的数据或是否读取了新数据。

如果在读取转换数据 n 的同时完成新的转换 n+1，该器件可避免数据损坏。在转换数据 n 读取完成之前，转换数据 n+1 都被保存在内部缓冲器中。在下一帧中，转换数据 n+1 会被加载到 SDO 输出缓冲器中。在这种情况下，读取转换数据 n 后，DRDYn 不会转换为高电平，以指示新的转换数据 n+1 可供读出（请参阅 图 7-42）。

图 7-43 说明了当主机在转换 n+2 完成之前未读取数据时，转换数据 n+1 会丢失。在这种情况下，ADC1y 转换计数器有助于检测主机是否错过了读取中间转换结果。

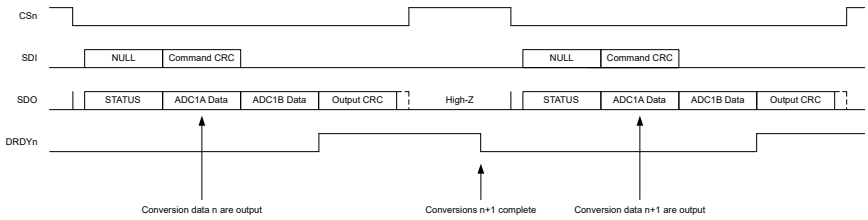


图 7-39. DRDYn 引脚行为：在新的转换完成之前读取所有转换数据

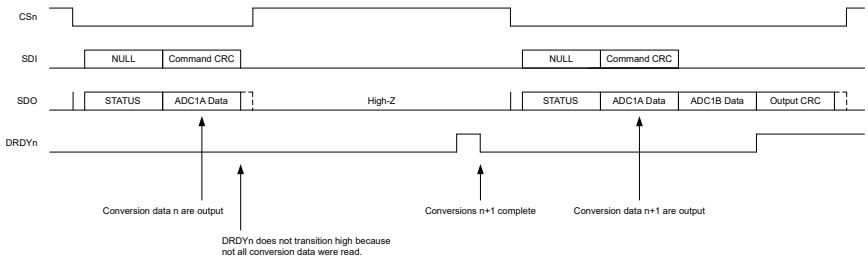


图 7-40. DRDYn 引脚行为：在新的转换完成之前未完成转换数据的读取

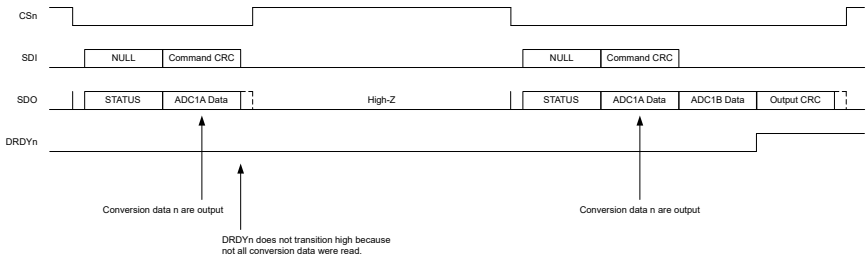


图 7-41. DRDYn 引脚行为：转换数据的未完成读取后跟相同转换数据的完全读取

Copyright © 2025 Texas Instruments Incorporated

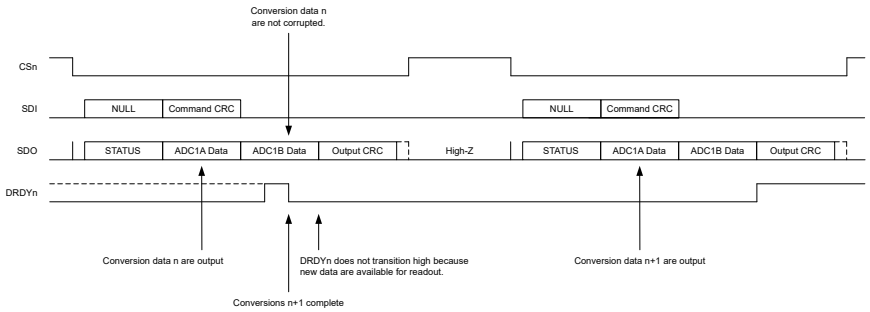


图 7-42. DRDYn 引脚行为：在新的转换完成时读取转换数据

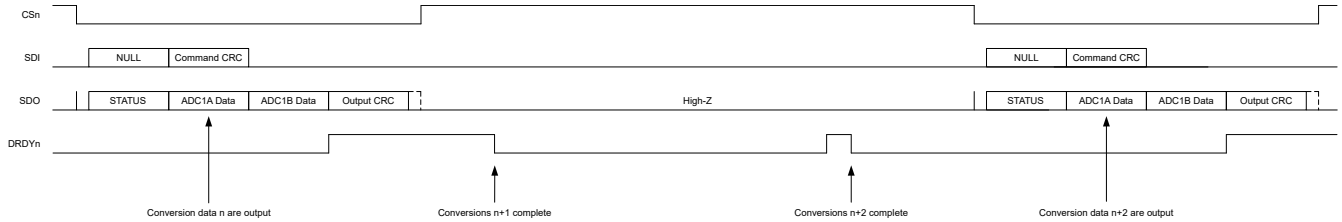


图 7-43. DRDYn 引脚行为：错过读取中间转换结果

设置 STARTy 位会在写入 CONVERSION_CTRL 寄存器的 SPI 帧内寄存器数据 CRC 字的最后一个 SCLK 下降沿将 DRDYn 引脚驱动为高电平。但是，在新转换可用之前，仍然可以读取旧转换数据。图 7-44 显示了设置 STARTy 位以中止正在进行的转换并在读取转换数据时重新启动新的转换时的器件行为。图 7-45 显示了为设置 STARTy 位和读取转换数据时新的转换完成的场景。

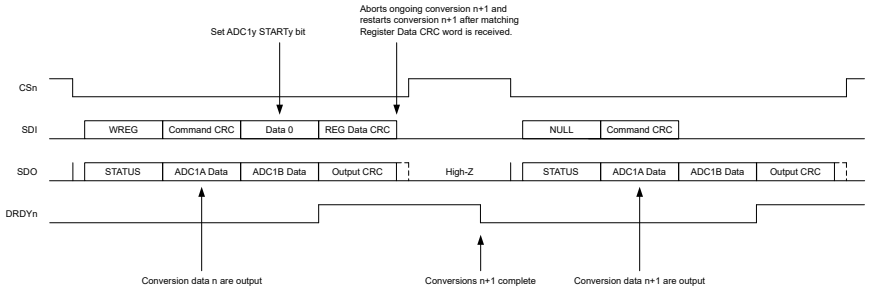


图 7-44. DRDYn 引脚行为：在读取转换数据时设置 STARTy 位

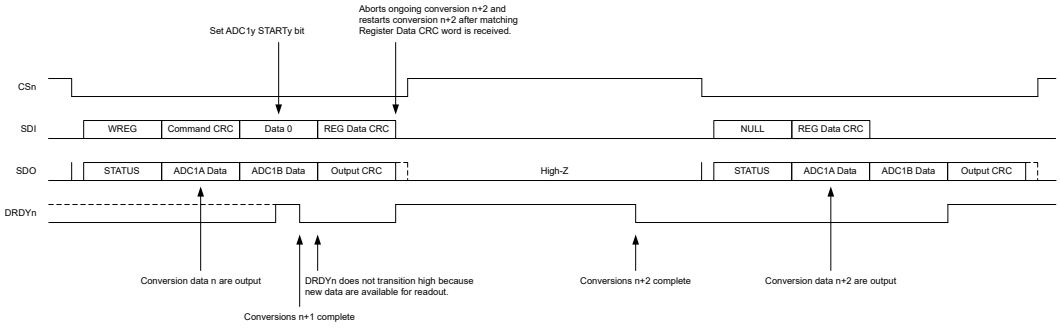


图 7-45. DRDYn 引脚行为：设置 STARTy 位并在新转换完成时读取转换数据

Copyright © 2025 Texas Instruments Incorporated

8 寄存器映射

ADS131B23-Q1 寄存器映射涵盖从 00h 到 FEh 的地址空间，并分为四个常规段：

- 段 0（地址空间：00h 至 1Fh）：仅包括只读位（例如 ID 位、状态位、GPIO 输入数据位、ADC2y 转换数据位和转换序列控制位）
- 段 1（地址空间：40h 至 7Eh）：包括不特定于器件的段 A 或 B 的全局器件配置位
- 段 2（地址空间：80h 至 BEh）：包括特定于段 A 的器件配置位
- 段 3（地址空间：C0h 至 FEh）：包括特定于段 B 的器件配置位

Copyright © 2025 Texas Instruments Incorporated

8.1 寄存器

表 8-1 列出了寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. 寄存器映射

地址	首字母缩写词	复位	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
			位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0 段										
00h	ID	X	REV[7:0]							
			ADC_COUNT[2:0]			DEVICE_ID[4:0]				
01h	STATUS_MSB	7FC8h	RESETn	SUPPLY_FAULTn	CLOCK_FAULTn	DIGITAL_FAULTn	OCC_FAULTn	SPI_CRC_FAULTn	SPI_TIMEOUTn	SCLK_COUNT_FAULTn
			REG_ACCESS_FAULTn	COMMAND_RESPONSE[3:0]				LOCK	时钟	模式
02h	STATUS_LSB	0000h	SEQ2A_COUNT[1:0]		RESERVED		CONV1A_COUNT[1:0]		CONV1B_COUNT[1:0]	
			RESERVED						SEQ2A_ACTIVE	RESERVED
03h	SUPPLY_STATUS	FFFFh	AVDD_OVn	AVDD_UVn	IOVDD_OVn	IOVDD_UVn	DVDD_OVn	DVDD_UVn	AVDD_OSCn	IOVDD_OSCn
			DVDD_OSCn	AVDD_OTWn	IOVDD_OTWn	AVDD_CLn	IOVDD_CLn	AGNDA_DISCn	AGNDB_DISCn	DGND_DISCn
04h	CLOCK_STATUS	FC07h	RESERVED							
			RESERVED					MCLK_FAULTn	OSCD_WDn	MCLK_WDn
05h	DIGITAL_STATUS	EC00h	REG_MAP1_CRC_FAULTn	REG_MAP2_CRC_FAULTn	REG_MAP3_CRC_FAULTn	RESERVED	MEM_MAP_CRC_FAULTn	OTP_BANK	RESERVED	
			RESERVED							
06h	OCC_STATUS	000Fh	RESERVED							
			RESERVED				OCCA_HTn	OCCA_LTn	OCCB_HTn	OCCB_LTn
07h	GPI_DATA	0000h	RESERVED						GPI4_DAT[1:0]	
			GPI3_DAT[1:0]		GPI2_DAT[1:0]		GPI1_DAT[1:0]		GPI0_DAT[1:0]	
08h	GPIA_GPIB_DATA	0000h	RESERVED				GPI1A_DAT[1:0]		GPI0A_DAT[1:0]	
			RESERVED				GPI1B_DAT[1:0]		GPI0B_DAT[1:0]	
09h	CONVERSION_CTRL	0000h	RESERVED	STARTA	RESERVED	STARTB	RESERVED	STOPA	RESERVED	STOPB
			RESERVED	SEQ2A_START	RESERVED			SEQ2A_STOP	RESERVED	
10h	SEQ2A_STEP0_DATA	0000h	SEQ2A_STEP0_DAT[15:0]							
			SEQ2A_STEP0_DAT[15:0]							
11h	SEQ2A_STEP1_DATA	0000h	SEQ2A_STEP1_DAT[15:0]							
			SEQ2A_STEP1_DAT[15:0]							
12h	SEQ2A_STEP2_DATA	0000h	SEQ2A_STEP2_DAT[15:0]							
			SEQ2A_STEP2_DAT[15:0]							
13h	SEQ2A_STEP3_DATA	0000h	SEQ2A_STEP3_DAT[15:0]							
			SEQ2A_STEP3_DAT[15:0]							
14h	SEQ2A_STEP4_DATA	0000h	SEQ2A_STEP4_DAT[15:0]							
			SEQ2A_STEP4_DAT[15:0]							
15h	SEQ2A_STEP5_DATA	0000h	SEQ2A_STEP5_DAT[15:0]							
			SEQ2A_STEP5_DAT[15:0]							
16h	SEQ2A_STEP6_DATA	0000h	SEQ2A_STEP6_DAT[15:0]							
			SEQ2A_STEP6_DAT[15:0]							
17h	SEQ2A_STEP7_DATA	0000h	SEQ2A_STEP7_DAT[15:0]							
			SEQ2A_STEP7_DAT[15:0]							
18h	SEQ2A_STEP8_DATA	0000h	SEQ2A_STEP8_DAT[15:0]							
			SEQ2A_STEP8_DAT[15:0]							
19h	SEQ2A_STEP9_DATA	0000h	SEQ2A_STEP9_DAT[15:0]							
			SEQ2A_STEP9_DAT[15:0]							
1Ah	SEQ2A_STEP10_DATA	0000h	SEQ2A_STEP10_DAT[15:0]							
			SEQ2A_STEP10_DAT[15:0]							
1Bh	SEQ2A_STEP11_DATA	0000h	SEQ2A_STEP11_DAT[15:0]							
			SEQ2A_STEP11_DAT[15:0]							

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 寄存器映射（续）

地址	首字母缩写词	复位	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
			位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
1Ch	SEQ2A_STEP12_DATA	0000h	SEQ2A_STEP12_DAT[15:0]							
			SEQ2A_STEP12_DAT[15:0]							
1Dh	SEQ2A_STEP13_DATA	0000h	SEQ2A_STEP13_DAT[15:0]							
			SEQ2A_STEP13_DAT[15:0]							
1Eh	SEQ2A_STEP14_DATA	0000h	SEQ2A_STEP14_DAT[15:0]							
			SEQ2A_STEP14_DAT[15:0]							
1Fh	SEQ2A_STEP15_DATA	0000h	SEQ2A_STEP15_DAT[15:0]							
			SEQ2A_STEP15_DAT[15:0]							
1 段										
40h	DEVICE_MONITOR_CFG	0000h	REG_MAP1_CRC_EN	CRC_TYPE	SCLK_COUNTER_EN	TIMEOUT_EN	RESERVED			FAULT_POL
			RESERVED					MHD_POL	MHD_CFG[1:0]	
41h	SUPPLY_MONITOR_CFG1	0000h	AVDD_OV_EN	AVDD_UV_EN	IOVDD_OV_EN	IOVDD_UV_EN	DVDD_OV_EN	DVDD_UV_EN	AVDD_OSC_EN	IOVDD_OSC_EN
			DVDD_OSC_EN	AVDD_OTW_EN	IOVDD_OTW_EN	AVDD_CL_EN	IOVDD_CL_EN	AGNDA_DISC_EN	AGNDB_DISC_EN	DGND_DISC_EN
42h	SUPPLY_MONITOR_CFG2	10F0h	RESERVED		IOVDD_OV_TH	IOVDD_UV_TH	RESERVED			
			AVDD_OTW_CFG[1:0]		IOVDD_OTW_CFG[1:0]		RESERVED			
43h	CLOCK_MONITOR_CFG	0000h	RESERVED							
			RESERVED					MCLK_MON_EN	OSCD_WD_EN	MCLK_WD_EN
44h	SUPPLY_MONITOR_DIAGNOSTIC_CFG	0000h	AVDD_OV_DIAG_EN	AVDD_UV_DIAG_EN	IOVDD_OV_DIAG_EN	IOVDD_UV_DIAG_EN	DVDD_OV_DIAG_EN	DVDD_UV_DIAG_EN	AVDD_OSC_DIAG_EN	IOVDD_OSC_DIAG_EN
			DVDD_OSC_DIAG_EN	RESERVED				AGNDA_DISC_DIAG_EN	AGNDB_DISC_DIAG_EN	DGND_DISC_DIAG_EN
45h	CLOCK_MONITOR_DIAGNOSTIC_CFG	0000h	SPARE[11:0]							
			SPARE[11:0]				MCLK_HI_DIAG_EN	MCLK_LO_DIAG_EN	OSCD_WD_DIAG_EN	MCLK_WD_DIAG_EN
46h	DIGITAL_MONITOR_DIAGNOSTIC_CFG	0000h	RESERVED						MEM_MAP_CRC_DIAG[1:0]	
			RESERVED					GPIOA_DIAG_EN	GPIOB_DIAG_EN	GPIO_DIAG_EN
47h	SUPPLY_FAULT_MASK	0000h	AVDD_OV_MASK	AVDD_UV_MASK	IOVDD_OV_MASK	IOVDD_UV_MASK	DVDD_OV_MASK	DVDD_UV_MASK	AVDD_OSC_MASK	IOVDD_OSC_MASK
			DVDD_OSC_MASK	AVDD_OTW_MASK	IOVDD_OTW_MASK	AVDD_CL_MASK	IOVDD_CL_MASK	AGNDA_DISC_MASK	AGNDB_DISC_MASK	DGND_DISC_MASK
48h	CLOCK_FAULT_MASK	0000h	RESERVED							
			RESERVED					MCLK_FAULT_MASK	OSCD_WD_MASK	MCLK_WD_MASK
49h	DIGITAL_FAULT_MASK	0000h	REG_MAP1_CRC_FAULT_MASK	REG_MAP2_CRC_FAULT_MASK	REG_MAP3_CRC_FAULT_MASK	RESERVED	MEM_MAP_CRC_FAULT_MASK	RESERVED		
			RESERVED							
4Ah	OCC_FAULT_MASK	0000h	RESERVED							
			RESERVED				OCCA_HT_MASK	OCCA_LT_MASK	OCCB_HT_MASK	OCCB_LT_MASK
4Bh	FAULT_PIN_MASK	0780h	RESERVED	SUPPLY_FAULT_MASK	CLOCK_FAULT_MASK	DIGITAL_FAULT_MASK	OCC_FAULT_MASK	SPI_CRC_FAULT_MASK	SPI_TIMEOUT_MASK	SCLK_COUNT_FAULT_MASK
			REG_ACCESS_FAULT_MASK	RESERVED						
4Ch	DEVICE_CFG	0000h	RESERVED	DRDY_CTRL	RESERVED	CLK_SOURCE	WORD_LENGTH	RESERVED	OP_MODE[1:0]	
			RESERVED							
4Dh	GPIO_CFG	0000h	RESERVED	GPIO4_FMT	GPIO3_FMT	GPIO2_FMT	GPIO1_FMT	GPIO0_FMT	GPIO4_DIR	GPIO3_DIR
			GPIO2_DIR	GPIO1_DIR	GPIO0_DIR	GPIO4_SRC	GPIO3_SRC	GPIO2_SRC	RESERVED	GPIO0_SRC
4Eh	GPO_DATA	0000h	SPARE[10:0]							
			SPARE[10:0]			GPO4_DAT	GPO3_DAT	GPO2_DAT	GPO1_DAT	GPO0_DAT
4Fh	GPIO0_LL_PWM_CFG	007Fh	GPIO0_PWM_TB[1:0]		GPIO0_LL_PWM_HC[6:0]					
			GPIO0_LL_PWM_HC[6:0]	GPIO0_LL_PWM_LC[6:0]						

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 寄存器映射（续）

地址	首字母缩写词	复位	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
			位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
50h	GPIO0_LH_PWM_CFG	3F80h	RESERVED		GPIO0_LH_PWM_HC[6:0]					
			GPIO0_LH_PWM_HC[6:0]	GPIO0_LH_PWM_LC[6:0]						
51h	GPIO1_LL_PWM_CFG	007Fh	GPIO1_PWM_TB[1:0]		GPIO1_LL_PWM_HC[6:0]					
			GPIO1_LL_PWM_HC[6:0]	GPIO1_LL_PWM_LC[6:0]						
52h	GPIO1_LH_PWM_CFG	3F80h	RESERVED		GPIO1_LH_PWM_HC[6:0]					
			GPIO1_LH_PWM_HC[6:0]	GPIO1_LH_PWM_LC[6:0]						
53h	GPIO2_LL_PWM_CFG	007Fh	GPIO2_PWM_TB[1:0]		GPIO2_LL_PWM_HC[6:0]					
			GPIO2_LL_PWM_HC[6:0]	GPIO2_LL_PWM_LC[6:0]						
54h	GPIO2_LH_PWM_CFG	3F80h	RESERVED		GPIO2_LH_PWM_HC[6:0]					
			GPIO2_LH_PWM_HC[6:0]	GPIO2_LH_PWM_LC[6:0]						
55h	GPIO3_LL_PWM_CFG	007Fh	GPIO3_PWM_TB[1:0]		GPIO3_LL_PWM_HC[6:0]					
			GPIO3_LL_PWM_HC[6:0]	GPIO3_LL_PWM_LC[6:0]						
56h	GPIO3_LH_PWM_CFG	3F80h	RESERVED		GPIO3_LH_PWM_HC[6:0]					
			GPIO3_LH_PWM_HC[6:0]	GPIO3_LH_PWM_LC[6:0]						
57h	GPIO4_LL_PWM_CFG	007Fh	GPIO4_PWM_TB[1:0]		GPIO4_LL_PWM_HC[6:0]					
			GPIO4_LL_PWM_HC[6:0]	GPIO4_LL_PWM_LC[6:0]						
58h	GPIO4_LH_PWM_CFG	3F80h	RESERVED		GPIO4_LH_PWM_HC[6:0]					
			GPIO4_LH_PWM_HC[6:0]	GPIO4_LH_PWM_LC[6:0]						
59h	SPARE_59h	5555h	SPARE[15:0]							
			SPARE[15:0]							
7Eh	REGISTER_MAP1_CRC	0000h	REG_MAP1_CRC_VALUE[15:0]							
			REG_MAP1_CRC_VALUE[15:0]							
2 段										
80h	REGMAP2_TDACA_CFG	0000h	REG_MAP2_CRC_EN	RESERVED						
			RESERVED					TDACA_VALUE[2:0]		
81h	GPIOA_CFG	8000h	RESERVED	SPARE[2:0]			GPIO1A_FMT	GPIO0A_FMT	GPIO1A_DIR	GPIO0A_DIR
			GPIO1A_PWM_TB[1:0]		GPIO0A_PWM_TB[1:0]		SPARE[1:0]		GPO1A_DAT	GPO0A_DAT
82h	ADC1A_CFG1	0400h	RESERVED				CONV_MODE1A	OSR1A[2:0]		
			RESERVED				GC1A_EN	GC1A_DELAY[2:0]		
83h	ADC1A_CFG2	8010h	ADC1A_EN	RESERVED			GAIN1A[1:0]		MUX1A[1:0]	
			RESERVED		OWD1A_SOURCE_MUX	OWD1A_SINK_MUX	OWD1A_SOURCE_VALUE[1:0]		OWD1A_SINK_VALUE[1:0]	
84h	ADC1A_OCAL_MSB	0000h	OCAL1A[23:8]							
			OCAL1A[23:8]							
85h	ADC1A_OCAL_LSB	0000h	OCAL1A[7:0]							
			RESERVED							
86h	ADC1A_GCAL	0000h	GCAL1A[15:0]							
			GCAL1A[15:0]							
87h	OCCA_CFG	0000h	OCCA_EN	OCCA_POL	RESERVED	OCCA_NUM[4:0]				
			RESERVED							
88h	OCCA_HIGH_THRESHOLD	7FFFh	OCCA_HIGH_TH[15:0]							
			OCCA_HIGH_TH[15:0]							
89h	OCCA_LOW_THRESHOLD	8000h	OCCA_LOW_TH[15:0]							
			OCCA_LOW_TH[15:0]							
8Ah	SPARE_8Ah	5555h	SPARE[15:0]							
			SPARE[15:0]							

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 寄存器映射（续）

地址	首字母缩写词	复位	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
			位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
8Bh	ADC2A_CFG1	8010h	ADC2A_EN	RESERVED				VCMA_EN	OWD2A_SOURCE_MUX[2:0]	
			OWD2A_SOURCE_MUX[2:0]	OWD2A_SINK_MUX[2:0]			OWD2A_SOURCE_VALUE[1:0]		OWD2A_SINK_VALUE[1:0]	
8Ch	ADC2A_CFG2	0000h	SEQ2A_MODE[1:0]		RESERVED			MUX2A_DELAY[2:0]		
			RESERVED						OSR2A[1:0]	
8Dh	SPARE_8Dh	0000h	RESERVED							
			SPARE[7:0]							
8Eh	ADC2A_OCAL	0000h	OCAL2A[15:0]							
			OCAL2A[15:0]							
8Fh	ADC2A_GCAL	0000h	GCAL2A[15:0]							
			GCAL2A[15:0]							
90h	SEQ2A_STEP0_CFG	0000h	SEQ2A_STEP0_EN	SEQ2A_STEP0_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP0_CH_N	SEQ2A_STEP0_CH_P[3:0]			
91h	SEQ2A_STEP1_CFG	0001h	SEQ2A_STEP1_EN	SEQ2A_STEP1_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP1_CH_N	SEQ2A_STEP1_CH_P[3:0]			
92h	SEQ2A_STEP2_CFG	0002h	SEQ2A_STEP2_EN	SEQ2A_STEP2_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP2_CH_N	SEQ2A_STEP2_CH_P[3:0]			
93h	SEQ2A_STEP3_CFG	0003h	SEQ2A_STEP3_EN	SEQ2A_STEP3_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP3_CH_N	SEQ2A_STEP3_CH_P[3:0]			
94h	SEQ2A_STEP4_CFG	0004h	SEQ2A_STEP4_EN	SEQ2A_STEP4_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP4_CH_N	SEQ2A_STEP4_CH_P[3:0]			
95h	SEQ2A_STEP5_CFG	0005h	SEQ2A_STEP5_EN	SEQ2A_STEP5_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP5_CH_N	SEQ2A_STEP5_CH_P[3:0]			
96h	SEQ2A_STEP6_CFG	0006h	SEQ2A_STEP6_EN	SEQ2A_STEP6_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP6_CH_N	SEQ2A_STEP6_CH_P[3:0]			
97h	SEQ2A_STEP7_CFG	0007h	SEQ2A_STEP7_EN	SEQ2A_STEP7_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP7_CH_N	SEQ2A_STEP7_CH_P[3:0]			
98h	SEQ2A_STEP8_CFG	0008h	SEQ2A_STEP8_EN	SEQ2A_STEP8_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP8_CH_N	SEQ2A_STEP8_CH_P[3:0]			
99h	SEQ2A_STEP9_CFG	0009h	SEQ2A_STEP9_EN	SEQ2A_STEP9_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP9_CH_N	SEQ2A_STEP9_CH_P[3:0]			
9Ah	SEQ2A_STEP10_CFG	000Ah	SEQ2A_STEP10_EN	SEQ2A_STEP10_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP10_CH_N	SEQ2A_STEP10_CH_P[3:0]			
9Bh	SEQ2A_STEP11_CFG	000Bh	SEQ2A_STEP11_EN	SEQ2A_STEP11_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP11_CH_N	SEQ2A_STEP11_CH_P[3:0]			
9Ch	SEQ2A_STEP12_CFG	000Ch	SEQ2A_STEP12_EN	SEQ2A_STEP12_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP12_CH_N	SEQ2A_STEP12_CH_P[3:0]			

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 寄存器映射（续）

地址	首字母缩写词	复位	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
			位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
9Dh	SEQ2A_STEP13_CFG	000Dh	SEQ2A_STEP13_EN	SEQ2A_STEP13_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP13_CH_N	SEQ2A_STEP13_CH_P[3:0]			
9Eh	SEQ2A_STEP14_CFG	000Eh	SEQ2A_STEP14_EN	SEQ2A_STEP14_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP14_CH_N	SEQ2A_STEP14_CH_P[3:0]			
9Fh	SEQ2A_STEP15_CFG	000Fh	SEQ2A_STEP15_EN	SEQ2A_STEP15_GAIN[1:0]		RESERVED				
			RESERVED			SEQ2A_STEP15_CH_N	SEQ2A_STEP15_CH_P[3:0]			
A0h	SPARE_A0h	0210h	RESERVED				SPARE[1:0]		RESERVED	
			RESERVED		SPARE[1:0]		RESERVED			
A1h	SPARE_A1h	0000h	SPARE[15:0]							
			SPARE[15:0]							
A2h	SPARE_A2h	0000h	SPARE[7:0]							
			RESERVED							
A3h	SPARE_A3h	0000h	SPARE[15:0]							
			SPARE[15:0]							
BEh	REGISTER_MAP2_CRC	0000h	REG_MAP2_CRC_VALUE[15:0]							
			REG_MAP2_CRC_VALUE[15:0]							
3 段										
C0h	REGMAP3_TDACB_CFG	0000h	REG_MAP3_CRC_EN	RESERVED						
			RESERVED					TDACB_VALUE[2:0]		
C1h	GPIOB_CFG	8000h	RESERVED	SPARE[2:0]			GPIO1B_FMT	GPIO0B_FMT	GPIO1B_DIR	GPIO0B_DIR
			GPIO1B_PWM_TB[1:0]		GPIO0B_PWM_TB[1:0]		SPARE[1:0]		GPO1B_DAT	GPO0B_DAT
C2h	ADC1B_CFG1	0400h	RESERVED				CONV_MODE1B	OSR1B[2:0]		
			RESERVED				GC1B_EN	GC1B_DELAY[2:0]		
C3h	ADC1B_CFG2	8010h	ADC1B_EN	RESERVED			GAIN1B[1:0]		MUX1B[1:0]	
			RESERVED		OWD1B_SOURCE_MUX	OWD1B_SINK_MUX	OWD1B_SOURCE_VALUE[1:0]		OWD1B_SINK_VALUE[1:0]	
C4h	ADC1B_OCAL_MSB	0000h	OCAL1B[23:8]							
			OCAL1B[23:8]							
C5h	ADC1B_OCAL_LSB	0000h	OCAL1B[7:0]							
			RESERVED							
C6h	ADC1B_GCAL	0000h	GCAL1B[15:0]							
			GCAL1B[15:0]							
C7h	OCCB_CFG	0000h	OCCB_EN	OCCB_POL	RESERVED	OCCB_NUM[4:0]				
			RESERVED							
C8h	OCCB_HIGH_THRESHOLD	7FFFh	OCCB_HIGH_TH[15:0]							
			OCCB_HIGH_TH[15:0]							
C9h	OCCB_LOW_THRESHOLD	8000h	OCCB_LOW_TH[15:0]							
			OCCB_LOW_TH[15:0]							
CAh	SPARE_CAh	5555h	SPARE[15:0]							
			SPARE[15:0]							
CBh	SPARE_CBh	0010h	RESERVED					SPARE[6:0]		
			SPARE[6:0]				RESERVED			
CCh	SPARE_CCh	0000h	SPARE[1:0]		RESERVED			SPARE[2:0]		
			RESERVED						SPARE[1:0]	
CDh	SPARE_CDh	0000h	RESERVED							
			SPARE[7:0]							
CEh	SPARE_CEh	0000h	SPARE[15:0]							
			SPARE[15:0]							

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 寄存器映射（续）

地址	首字母缩写词	复位	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8
			位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
CFh	SPARE_CFh	0000h	SPARE[15:0]							
			SPARE[15:0]							
D0h	SPARE_D0h	0000h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D1h	SPARE_D1h	0001h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D2h	SPARE_D2h	0002h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D3h	SPARE_D3h	0003h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D4h	SPARE_D4h	0004h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D5h	SPARE_D5h	0005h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D6h	SPARE_D6h	0006h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D7h	SPARE_D7h	0007h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D8h	SPARE_D8h	0008h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
D9h	SPARE_D9h	0009h	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
DAh	SPARE_DAh	000Ah	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
DBh	SPARE_DBh	000Bh	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
DCh	SPARE_DCh	000Ch	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
DDh	SPARE_DDh	000Dh	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
DEh	SPARE_DEh	000Eh	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
DFh	SPARE_DFh	000Fh	SPARE[2:0]			RESERVED				
			RESERVED			SPARE[4:0]				
E0h	SPARE_E0h	0210h	RESERVED				SPARE[1:0]		RESERVED	
			RESERVED		SPARE[1:0]		RESERVED			
E1h	SPARE_E1h	0000h	SPARE[15:0]							
			SPARE[15:0]							
E2h	SPARE_E2h	0000h	SPARE[7:0]							
			RESERVED							
E3h	SPARE_E3h	0000h	SPARE[15:0]							
			SPARE[15:0]							
FEh	REGISTER_MAP3_CRC	0000h	REG_MAP3_CRC_VALUE[15:0]							
			REG_MAP3_CRC_VALUE[15:0]							

Copyright © 2025 Texas Instruments Incorporated

8.1.1 ID 寄存器（地址 = 00h）[复位 = X]

返回到汇总表。

图 8-1. ID 寄存器

15	14	13	12	11	10	9	8
REV[7:0]							
R-X							
7	6	5	4	3	2	1	0
ADC_COUNT[2:0]			DEVICE_ID[4:0]				
R-011b			R-X				

表 8-2. ID 寄存器字段说明

位	字段	类型	复位	说明
15:8	REV[7:0]	R	X	修订 ID 值如有变更，恕不另行通知
7:5	ADC_COUNT[2:0]	R	011b	ADC 数量 011b = 3（ADC1A、ADC1B、ADC2A）
4:0	DEVICE_ID[4:0]	R	X	器件 ID 值如有变更，恕不另行通知

Copyright © 2025 Texas Instruments Incorporated

8.1.2 STATUS_MSB 寄存器（地址 = 01h）[复位 = 7FC8h]

返回到汇总表。

图 8-2. STATUS_MSB 寄存器

15	14	13	12	11	10	9	8
RESETn	SUPPLY_FAULTn	CLOCK_FAULTn	DIGITAL_FAULTn	OCC_FAULTn	SPI_CRC_FAULTn	SPI_TIMEOUTn	SCLK_COUNT_FAULTn
R/W-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R-1b	R-1b	R-1b
7	6	5	4	3	2	1	0
REG_ACCESS_FAULTn	COMMAND_RESPONSE[3:0]				LOCK	时钟	模式
R-1b	R-1001b				R-0b	R-0b	R-0b

表 8-3. STATUS_MSB 寄存器字段描述

位	字段	类型	复位	说明
15	RESETn	R/W	0b	RESET 标志 指示发生了器件复位。写入 1b 以将此位清除为 1b。 0b = 发生了复位 1b = 未发生复位
14	SUPPLY_FAULTn	R/W	1b	电源故障标志 指示设置了 SUPPLY_STATUS 寄存器中一个或多个未屏蔽的电源故障标志。在清除所有已设置的未屏蔽电源故障标志后，写入 1b 以将该位清除为 1b。 0b = 设置一个或多个未屏蔽的电源故障标志 1b = 没有设置未屏蔽的电源故障标志
13	CLOCK_FAULTn	R/W	1b	时钟故障标志 指示设置了 CLOCK_STATUS 寄存器中一个或多个未屏蔽的时钟故障标志。在清除所有已设置的未屏蔽时钟故障标志后，写入 1b 以将该位清除为 1b。 0b = 设置了一个或多个未屏蔽的时钟故障标志 1b = 没有设置未屏蔽的电源时钟故障标志
12	DIGITAL_FAULTn	R/W	1b	数字故障标志 指示设置了 DIGITAL_STATUS 寄存器中一个或多个未屏蔽的数字故障标志。在清除所有已设置的未屏蔽数字故障标志后，写入 1b 以将该位清除为 1b。 0b = 设置了一个或多个未屏蔽的数字故障标志 1b = 没有设置未屏蔽的数字故障标志
11	OCC_FAULTn	R/W	1b	过流比较器故障标志 指示设置了 OCC_STATUS 寄存器中一个或多个未屏蔽的过流比较器故障标志。在清除所有已设置的未屏蔽过流比较器故障标志后，写入 1b 以将该位清除为 1b。 0b = 设置了一个或多个未屏蔽的过流比较器故障标志 1b = 没有设置未屏蔽的过流比较器故障标志
10	SPI_CRC_FAULTn	R	1b	SPI CRC 故障标志 指示前一个 SPI 帧中发生了 SPI CRC 故障。此位在每个新的 SPI 帧中自动清除为 1b。 0b = 发生了 SPI CRC 故障 1b = 未发生 SPI CRC 故障
9	SPI_TIMEOUTn	R	1b	SPI 超时故障标志 指示前一个 SPI 帧中发生了 SPI 超时故障。此位在每个新的 SPI 帧中自动清除为 1b。 0b = 发生了 SPI 超时故障 1b = 未发生 SPI 超时故障
8	SCLK_COUNT_FAULTn	R	1b	SCLK 计数器故障标志 指示前一个 SPI 帧中发生了 SCLK 计数器故障（即发送的 SCLK 比前一帧所需的 SCLK 少或多）。此位在每个新的 SPI 帧中自动清除为 1b。 0b = 发生了 SCLK 计数器故障 1b = 未发生 SCLK 计数器故障
7	REG_ACCESS_FAULTn	R	1b	寄存器访问故障标志 指示发生了对无效寄存器地址（寄存器地址 FFh 或更高）的读取或写入访问。在某一帧中尝试对具有无效寄存器地址的寄存器进行读取或写入操作后，该标志会在后续帧中设置为 0b。此位在每个新的 SPI 帧中自动清除为 1b。 0b = 发生了寄存器访问故障 1b = 未发生寄存器访问故障

Copyright © 2025 Texas Instruments Incorporated

表 8-3. STATUS_MSB 寄存器字段描述（续）

位	字段	类型	复位	说明
6:3	COMMAND_RESPONSE[3:0]	R	1001b	命令响应指示 指示在前一个 SPI 帧中执行了哪个命令。 0000b = 正常情况下不会发生的无效响应。可能表示 SDO 信号被卡住或器件处于复位状态。 0001b = NULL 命令 0010b = LOCK 命令 0011b = UNLOCK 命令 0100b = RREG 命令 0101b = NULL 命令（因为 NULL 命令已作为 RREG 命令之后的第二个帧正确发送）。此响应用作两帧 RREG 命令的帧计数器。 0110b = WREG 命令 0111b = 正常情况下不会未发生的无效响应。 1000b = 正常情况下不会发生的无效响应。 1001b = NULL 命令（加电或复位后的第一个帧）。此响应仅在复位或加电后的第一个帧中发送，第二个帧具有基于第一个帧中发送的命令的响应。 1010b = NULL 命令（由以下错误之一引起：接收到完整命令 CRC 之前发生超时，发送的 SCLK 不足以完成命令，命令字和命令 CRC 字之间的 CRC 不匹配，或 WREG 命令中数据字和数据 CRC 字之间的 CRC 不匹配）。对于 NULL、RREG、LOCK 和 UNLOCK 命令，必须发送命令和命令 CRC 字来完成命令。对于 RESET 命令，必须读取 STATUS 字、所有 ADC 数据字和输出 CRC 字才能完成命令。对于 WREG 命令，必须发送命令和命令 CRC 字以及数据和数据 CRC 字才能完成命令。 1011b = NULL 命令（由无效命令字导致，命令字和命令 CRC 字之间存在匹配的 CRC）。 1100b = NULL 命令（因 NULL 命令以外的命令在 RREG 命令之后的第二个帧中发送并忽略）。此响应用作两帧 RREG 命令的帧计数器。 1101b = NULL 命令（忽略 RESET 或 WREG 命令，因为器件被锁定）。 1110b = 正常情况下不会发生的无效响应。 1111b = 正常情况下不会发生的无效响应。可能表示 SDO 信号被卡住。
2	LOCK	R	0b	锁定状态指示 指示器件是处于锁定还是解锁状态。 0b = 器件已解锁 1b = 器件已锁定
1	时钟	R	0b	时钟源指示 指示器件当前正在使用的时钟源。 0b = 内部振荡器 1b = 外部时钟
0	模式	R	0b	运行模式指示 指示器件当前处于哪种运行模式。 0b = 工作模式 1b = 待机或省电模式

Copyright © 2025 Texas Instruments Incorporated

8.1.3 STATUS_LSB 寄存器（地址 = 02h）[复位 = 0000h]

返回到汇总表。

图 8-3. STATUS_LSB 寄存器

15	14	13	12	11	10	9	8
SEQ2A_COUNT[1:0]		RESERVED		CONV1A_COUNT[1:0]		CONV1B_COUNT[1:0]	
R-00b		R-00b		R-00b		R-00b	
7	6	5	4	3	2	1	0
RESERVED						SEQ2A_ACTIVE	RESERVED
R-000000b						R-0b	R-0b

表 8-4. STATUS_LSB 寄存器字段描述

位	字段	类型	复位	说明
15:14	SEQ2A_COUNT[1:0]	R	00b	ADC2A 序列计数器 循环计数器，每当 ADC2A 上完成一个新序列时递增一次。当 ADC2A 被禁用且当器件被置于待机或省电模式时或者在器件复位后，该计数器复位为 00b。
13:12	RESERVED	R	00b	保留 始终读为 00b。
11:10	CONV1A_COUNT[1:0]	R	00b	ADC1A 转换计数器 循环计数器，每当 ADC1A 上完成一次新转换时递增一次。当 ADC1A 被禁用且当器件被置于待机或省电模式时或者在器件复位后，该计数器复位为 00b。
9:8	CONV1B_COUNT[1:0]	R	00b	ADC1B 转换计数器 循环计数器，每当 ADC1B 上完成一次新转换时递增一次。当 ADC1B 被禁用且当器件被置于待机或省电模式时或者在器件复位后，该计数器复位为 00b。
7:2	RESERVED	R	000000b	保留 始终读为 000000b。
1	SEQ2A_ACTIVE	R	0b	ADC2A 序列进行中指示 指示 ADC2A 上的序列当前正在进行中。仅当禁用 ADC2A 时，才能将寄存器从 ADC2A 的地址 8Ch 更改为 9Fh。 0b = 没有正在进行的序列 1b = 序列正在进行
0	RESERVED	R	0b	保留 始终读为 0b。

Copyright © 2025 Texas Instruments Incorporated

8.1.4 SUPPLY_STATUS 寄存器（地址 = 03h）[复位 = FFFFh]

返回到汇总表。

图 8-4. SUPPLY_STATUS 寄存器

15	14	13	12	11	10	9	8
AVDD_OVn	AVDD_UVn	IOVDD_OVn	IOVDD_UVn	DVDD_OVn	DVDD_UVn	AVDD_OSCn	IOVDD_OSCn
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b
7	6	5	4	3	2	1	0
DVDD_OSCn	AVDD_OTWn	IOVDD_OTWn	AVDD_CLn	IOVDD_CLn	AGNDA_DISCn	AGNDB_DISCn	DGND_DISCn
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 8-5. SUPPLY_STATUS 寄存器字段描述

位	字段	类型	复位	说明
15	AVDD_OVn	R/W	1b	AVDD 过压故障标志 指示 AVDD 电源电压超出 AVDD 过压阈值。有关过压期间 AVDD LDO 关断的详细信息，请参阅 AVDD 监控器描述。写入 1b 以将此位清除为 1b。 0b = 发生了过压故障 1b = 未发生过压故障
14	AVDD_UVn	R/W	1b	AVDD 欠压故障标志 指示 AVDD 电源电压降至 AVDD 欠压阈值以下。写入 1b 以将此位清除为 1b。 0b = 发生了欠压故障 1b = 未发生欠压故障
13	IOVDD_OVn	R/W	1b	IOVDD 过压故障标志 指示 IOVDD 电源电压超出 IOVDD 过压阈值。有关过压期间 IOVDD LDO 关断的详细信息，请参阅 IOVDD 监控器描述。写入 1b 以将此位清除为 1b。 0b = 发生了过压故障 1b = 未发生过压故障
12	IOVDD_UVn	R/W	1b	IOVDD 欠压故障标志 指示 IOVDD 电源电压降至 IOVDD 欠压阈值以下。写入 1b 以将此位清除为 1b。 0b = 发生了欠压故障 1b = 未发生欠压故障
11	DVDD_OVn	R/W	1b	DVDD 过压故障标志 指示 DVDD 电源电压超出 DVDD 过压阈值。有关过压期间 DVDD LDO 关断的详细信息，请参阅 DVDD 监控器说明。写入 1b 以将此位清除为 1b。 0b = 发生了过压故障 1b = 未发生过压故障
10	DVDD_UVn	R/W	1b	DVDD 欠压故障标志 指示 DVDD 电源电压降至 DVDD 欠压阈值以下。写入 1b 以将此位清除为 1b。 0b = 发生了欠压故障 1b = 未发生欠压故障
9	AVDD_OSCn	R/W	1b	AVDD 振荡故障标志 指示 AVDD 电源电压正在振荡。写入 1b 以将此位清除为 1b。 0b = 发生了振荡故障 1b = 未发生振障故障
8	IOVDD_OSCn	R/W	1b	IOVDD 振荡故障标志 指示 IOVDD 电源电压正在振荡。写入 1b 以将此位清除为 1b。 0b = 发生了振荡故障 1b = 未发生振障故障
7	DVDD_OSCn	R/W	1b	DVDD 振荡故障标志 指示 DVDD 电源电压正在振荡。写入 1b 以将此位清除为 1b。 0b = 发生了振荡故障 1b = 未发生振障故障
6	AVDD_OTWn	R/W	1b	AVDD 过热警告标志 指示 AVDD LDO 温度超过 AVDD 过热警告阈值。写入 1b 以将此位清除为 1b。 0b = 过热警告 1b = 无过热警告
5	IOVDD_OTWn	R/W	1b	IOVDD 过热警告标志 指示 IOVDD LDO 温度超过 IOVDD 过热警告阈值。写入 1b 以将此位清除为 1b。 0b = 过热警告 1b = 无过热警告
4	AVDD_CLn	R/W	1b	AVDD 电流限制标志 指示 AVDD LDO 电流限制处于活动状态。写入 1b 以将此位清除为 1b。 0b = 电流限制 1b = 无电流限制
3	IOVDD_CLn	R/W	1b	IOVDD 电流限制标志 指示 IOVDD LDO 电流限制处于活动状态。写入 1b 以将此位清除为 1b。 0b = 电流限制 1b = 无电流限制

Copyright © 2025 Texas Instruments Incorporated

表 8-5. SUPPLY_STATUS 寄存器字段描述（续）

位	字段	类型	复位	说明
2	AGNDA_DISCn	R/W	1b	AGNDA 引脚断开检测标志 指示 AGNDA 引脚已断开。写入 1b 以将此位清除为 1b。 0b = AGNDA 引脚已断开 1b = AGNDA 引脚已连接
1	AGNDB_DISCn	R/W	1b	AGNDB 引脚断开检测标志 指示 AGNDB 引脚已断开。写入 1b 以将此位清除为 1b。 0b = AGNDB 引脚已断开 1b = AGNDB 引脚已连接
0	DGND_DISCn	R/W	1b	DGND 引脚断开检测标志 指示 DGND 引脚已断开。写入 1b 以将此位清除为 1b。 0b = DGND 引脚已断开 1b = DGND 引脚已连接

Copyright © 2025 Texas Instruments Incorporated

8.1.5 CLOCK_STATUS 寄存器（地址 = 04h）[复位 = FC07h]

返回到汇总表。

图 8-5. CLOCK_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-1111110000000b							
7	6	5	4	3	2	1	0
RESERVED					MCLK_FAULTn	OSCD_WDn	MCLK_WDn
R-1111110000000b					R/W-1b	R/W-1b	R/W-1b

表 8-6. CLOCK_STATUS 寄存器字段描述

位	字段	类型	复位	说明
15:3	RESERVED	R	1111110000000b	保留 始终读为 1111110000000b。
2	MCLK_FAULTn	R/W	1b	MCLK 频率过高或过低故障标志 指示所选时钟源的主时钟频率要么超过时钟频率的高阈值，要么降至时钟频率的低阈值以下。写入 1b 以将此位清除为 1b。 0b = 发生了 MCLK 频率过高或过低故障 1b = 未发生 MCLK 频率过高或过低故障
1	OSCD_WDn	R/W	1b	诊断振荡器看门狗故障标志 指示发生了诊断振荡器看门狗故障。写入 1b 以将此位清除为 1b。 0b = 发生了看门狗故障 1b = 未发生看门狗故障
0	MCLK_WDn	R/W	1b	主时钟看门狗故障标志 指示发生了主时钟看门狗故障。写入 1b 以将此位清除为 1b。 0b = 发生了看门狗故障 1b = 未发生看门狗故障

Copyright © 2025 Texas Instruments Incorporated

8.1.6 DIGITAL_STATUS 寄存器（地址 = 05h）[复位 = EC00h]

返回到汇总表。

图 8-6. DIGITAL_STATUS 寄存器

15	14	13	12	11	10	9	8
REG_MAP1_CRC_FAULTn	REG_MAP2_CRC_FAULTn	REG_MAP3_CRC_FAULTn	RESERVED	MEM_MAP_CRC_FAULTn	OTP_BANK	RESERVED	
R/W-1b	R/W-1b	R/W-1b	R-0b	R/W-1b	R-1b	R-0000000000b	
7	6	5	4	3	2	1	0
RESERVED							
R-0000000000b							

表 8-7. DIGITAL_STATUS 寄存器字段描述

位	字段	类型	复位	说明
15	REG_MAP1_CRC_FAULTn	R/W	1b	寄存器映射 1 段 CRC 故障标志 指示段 1 段（从 40h 到 59h 的寄存器地址空间）中发生了寄存器映射 CRC 故障。写入 1b 以将此位清除为 1b。 0b = 发生了寄存器映射 CRC 故障 1b = 未发生寄存器映射 CRC 故障
14	REG_MAP2_CRC_FAULTn	R/W	1b	寄存器映射 2 段 CRC 故障标志 指示段 2 段（从 80h 到 A3h 的寄存器地址空间）中发生了寄存器映射 CRC 故障。写入 1b 以将此位清除为 1b。 0b = 发生了寄存器映射 CRC 故障 1b = 未发生寄存器映射 CRC 故障
13	REG_MAP3_CRC_FAULTn	R/W	1b	寄存器映射 3 段 CRC 故障标志 指示段 3 段（从 C0h 到 E3h 的寄存器地址空间）中发生了寄存器映射 CRC 故障。写入 1b 以将此位清除为 1b。 0b = 发生了寄存器映射 CRC 故障 1b = 未发生寄存器映射 CRC 故障
12	RESERVED	R	0b	保留 始终读为 0b。
11	MEM_MAP_CRC_FAULTn	R/W	1b	内存映射 CRC 故障标志 指示内存中发生了内存映射 CRC 故障。写入 1b 以将此位清除为 1b。如果标志继续设置为 0b，请复位器件。 0b = 发生了内存映射 CRC 故障 1b = 未发生内存映射 CRC 故障
10	OTP_BANK	R	1b	OTP 组指示 指示器件在复位后选择了哪个 OTP 组。OTP_BANK 位不会触发 STATUS_MSB 寄存器中的 DIGITAL_FAULTn 位。如果标志指示使用了备用 OTP 组，则复位器件。 0b = 备用 OTP 组（组 1） 1b = 主要 OTP 组（组 0）
9:0	RESERVED	R	0000000000b	保留 始终读为 0000000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.7 OCC_STATUS 寄存器（地址 = 06h）[复位 = 000Fh]

返回到汇总表。

图 8-7. OCC_STATUS 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-000000000000b							
7	6	5	4	3	2	1	0
RESERVED				OCCA_HTn	OCCA_LTn	OCCB_HTn	OCCB_LTn
R-000000000000b				R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 8-8. OCC_STATUS 寄存器字段描述

位	字段	类型	复位	说明
15:4	RESERVED	R	000000000000b	保留 始终读为 000000000000b。
3	OCCA_HTn	R/W	1b	ADC1A 过流比较器高阈值故障标志 指示 ADC1A 数字快速滤波器输出超出了转换设置量的高设置阈值。写入 1b 以将此位清除为 1b。 0b = 发生了高阈值故障 1b = 未发生高阈值故障
2	OCCA_LTn	R/W	1b	ADC1A 过流比较器低阈值故障标志 指示 ADC1A 数字快速滤波器输出降到转换设置量的低设置阈值以下。写入 1b 以将此位清除为 1b。 0b = 发生了低阈值故障 1b = 未发生低阈值故障
1	OCCB_HTn	R/W	1b	ADC1B 过流比较器高阈值故障标志 指示 ADC1B 数字快速滤波器输出超出了转换设置量的高设置阈值。写入 1b 以将此位清除为 1b。 0b = 发生了高阈值故障 1b = 未发生高阈值故障
0	OCCB_LTn	R/W	1b	ADC1B 过流比较器低阈值故障标志 指示 ADC1B 数字快速滤波器输出降到转换设置量的低设置阈值以下。写入 1b 以将此位清除为 1b。 0b = 发生了低阈值故障 1b = 未发生低阈值故障

Copyright © 2025 Texas Instruments Incorporated

8.1.8 GPI_DATA 寄存器（地址 = 07h）[复位 = 0000h]

返回到汇总表。

图 8-8. GPI_DATA 寄存器

15	14	13	12	11	10	9	8
RESERVED						GPI4_DAT[1:0]	
R-000000b						R-00b	
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
GPI3_DAT[1:0]		GPI2_DAT[1:0]		GPI1_DAT[1:0]		GPI0_DAT[1:0]	
R-00b		R-00b		R-00b		R-00b	

表 8-9. GPI_DATA 寄存器字段描述

位	字段	类型	复位	说明
15:10	RESERVED	R	000000b	保留 始终读为 000000b。
9:8	GPI4_DAT[1:0]	R	00b	GPIO4 数据回读 配置为数字输入或输出时 GPIO4 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）
7:6	GPI3_DAT[1:0]	R	00b	GPIO3 数据回读 配置为数字输入或输出时 GPIO3 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）
5:4	GPI2_DAT[1:0]	R	00b	GPIO2 数据回读 配置为数字输入或输出时 GPIO2 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）
3:2	GPI1_DAT[1:0]	R	00b	GPIO1 数据回读 配置为数字输入或输出时 GPIO1 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）
1:0	GPI0_DAT[1:0]	R	00b	GPIO0 数据回读 配置为数字输入或输出时 GPIO0 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）

Copyright © 2025 Texas Instruments Incorporated

8.1.9 GPIA_GPIB_DATA 寄存器（地址 = 08h）[复位 = 0000h]

返回到汇总表。

图 8-9. GPIA_GPIB_DATA 寄存器

15	14	13	12	11	10	9	8
RESERVED				GPI1A_DAT[1:0]		GPI0A_DAT[1:0]	
R-0000b				R-00b		R-00b	
7	6	5	4	3	2	1	0
RESERVED				GPI1B_DAT[1:0]		GPI0B_DAT[1:0]	
R-0000b				R-00b		R-00b	

表 8-10. GPIA_GPIB_DATA 寄存器字段描述

位	字段	类型	复位	说明
15:12	RESERVED	R	0000b	保留 始终读为 0000b。
11:10	GPI1A_DAT[1:0]	R	00b	GPIO1A 数据回读 配置为数字输入或输出时 GPIO1A 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）
9:8	GPI0A_DAT[1:0]	R	00b	GPIO0A 数据回读 配置为数字输入或输出时 GPIO0A 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）
7:4	RESERVED	R	0000b	保留 始终读为 0000b。
3:2	GPI1B_DAT[1:0]	R	00b	GPIO1B 数据回读 配置为数字输入或输出时 GPIO1B 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）
1:0	GPI0B_DAT[1:0]	R	00b	GPIO0B 数据回读 配置为数字输入或输出时 GPIO0B 的回读值。 00b = 低电平（静态低电平或 PWM，低电平周期 >66.6%） 01b = 弱低电平（PWM，低电平周期 ≥50% 但 ≤66.6%） 10b = 弱高电平（PWM，高电平周期 >50% 但 ≤66.6%） 11b = 高电平（静态高电平或 PWM，高电平周期 >66.6%）

Copyright © 2025 Texas Instruments Incorporated

8.1.10 CONVERSION_CTRL 寄存器（地址 = 09h）[复位 = 0000h]

返回到汇总表。

图 8-10. CONVERSION_CTRL 寄存器

15	14	13	12	11	10	9	8
RESERVED	STARTA	RESERVED	STARTB	RESERVED	STOPA	RESERVED	STOPB
R-0b	R/W-0b	R-0b	R/W-0b	R-0b	R/W-0b	R-0b	R/W-0b
7	6	5	4	3	2	1	0
RESERVED	SEQ2A_START	RESERVED			SEQ2A_STOP	RESERVED	
R-0b	R/W-0b	R-000b			R/W-0b	R-00b	

表 8-11. CONVERSION_CTRL 寄存器字段描述

位	字段	类型	复位	说明
15	RESERVED	R	0b	保留 始终读为 0b。
14	STARTA	R/W	0b	启动或重新启动 ADC1A 转换 写入 1b 以启动或重新启动已启用的 ADC1A 的转换。始终读回 0b。
13	RESERVED	R	0b	保留 始终读为 0b。
12	STARTB	R/W	0b	启动或重新启动 ADC1B 转换 写入 1b 以启动或重新启动已启用的 ADC1B 的转换。始终读回 0b。
11	RESERVED	R	0b	保留 始终读为 0b。
10	STOPA	R/W	0b	停止 ADC1A 转换 写入 1b 以停止连续转换模式下 ADC1A 的转换。允许完成正在进行的转换。STOPA 位在单次转换模式下无效。如果 STARTA 位与 STOPA 位在相同 WREG 命令帧期间设置，则 STARTA 位优先于 STOPA 位。在正在进行的转换完成后，或者在正在进行的转换完成之前设置 STARTA 位时，STOPA 位会清除为 0b，这样会中止正在进行的转换并重新启动新的转换。
9	RESERVED	R	0b	保留 始终读为 0b。
8	STOPB	R/W	0b	停止 ADC1B 转换 写入 1b 以停止连续转换模式下 ADC1B 的转换。允许完成正在进行的转换。STOPB 位在单次转换模式下无效。如果 STARTB 位与 STOPB 位在相同 WREG 命令帧期间设置，则 STARTA 位优先于 STOPA 位。在正在进行的转换完成后，或者在正在进行的转换完成之前设置 STARTB 位时，STOPB 位会清除为 0b，这样会中止正在进行的转换并重新启动新的转换。
7	RESERVED	R	0b	保留 始终读为 0b。
6	SEQ2A_START	R/W	0b	启动 ADC2A 序列 写入 1b 以启动或重新启动 ADC2A 的序列。始终读回 0b。
5:3	RESERVED	R	000b	保留 始终读为 000b。
2	SEQ2A_STOP	R/W	0b	停止 ADC2A 序列 写入 1b 以停止 ADC2A 序列。允许完成正在进行的序列。如果 SEQ2A_START 位与 SEQ2A_STOP 位在相同 WREG 命令帧期间设置，则 SEQ2A_START 位优先于 SEQ2A_STOP 位。在正在进行的序列完成后，或者在正在进行的序列完成之前设置 SEQ2A_START 位时，SEQ2A_STOP 位会清除为 0b，这样会中止正在进行的序列并重新启动新的序列。
1:0	RESERVED	R	00b	保留 始终读为 00b。

Copyright © 2025 Texas Instruments Incorporated

8.1.11 SEQ2A_STEP0_DATA 寄存器（地址 = 10h）[复位 = 0000h]

返回到汇总表。

图 8-11. SEQ2A_STEP0_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP0_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP0_DAT[15:0]							
R-0000000000000000b							

表 8-12. SEQ2A_STEP0_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP0_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 0 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.12 SEQ2A_STEP1_DATA 寄存器（地址 = 11h）[复位 = 0000h]

返回到汇总表。

图 8-12. SEQ2A_STEP1_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP1_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP1_DAT[15:0]							
R-0000000000000000b							

表 8-13. SEQ2A_STEP1_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP1_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 1 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.13 SEQ2A_STEP2_DATA 寄存器（地址 = 12h）[复位 = 0000h]

返回到汇总表。

图 8-13. SEQ2A_STEP2_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP2_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP2_DAT[15:0]							
R-0000000000000000b							

表 8-14. SEQ2A_STEP2_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP2_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 2 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.14 SEQ2A_STEP3_DATA 寄存器（地址 = 13h）[复位 = 0000h]

返回到汇总表。

图 8-14. SEQ2A_STEP3_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP3_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP3_DAT[15:0]							
R-0000000000000000b							

表 8-15. SEQ2A_STEP3_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP3_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 3 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.15 SEQ2A_STEP4_DATA 寄存器（地址 = 14h）[复位 = 0000h]

返回到汇总表。

图 8-15. SEQ2A_STEP4_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP4_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP4_DAT[15:0]							
R-0000000000000000b							

表 8-16. SEQ2A_STEP4_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP4_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 4 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.16 SEQ2A_STEP5_DATA 寄存器（地址 = 15h）[复位 = 0000h]

返回到汇总表。

图 8-16. SEQ2A_STEP5_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP5_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP5_DAT[15:0]							
R-0000000000000000b							

表 8-17. SEQ2A_STEP5_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP5_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 5 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.17 SEQ2A_STEP6_DATA 寄存器（地址 = 16h）[复位 = 0000h]

返回到汇总表。

图 8-17. SEQ2A_STEP6_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP6_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP6_DAT[15:0]							
R-0000000000000000b							

表 8-18. SEQ2A_STEP6_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP6_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 6 转换数据 以二进制补码格式提供的值。

8.1.18 SEQ2A_STEP7_DATA 寄存器（地址 = 17h）[复位 = 0000h]

返回到汇总表。

图 8-18. SEQ2A_STEP7_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP7_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP7_DAT[15:0]							
R-0000000000000000b							

表 8-19. SEQ2A_STEP7_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP7_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 7 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.19 SEQ2A_STEP8_DATA 寄存器（地址 = 18h）[复位 = 0000h]

返回到汇总表。

图 8-19. SEQ2A_STEP8_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP8_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP8_DAT[15:0]							
R-0000000000000000b							

表 8-20. SEQ2A_STEP8_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP8_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 8 转换数据 以二进制补码格式提供的值。

8.1.20 SEQ2A_STEP9_DATA 寄存器（地址 = 19h）[复位 = 0000h]

返回到汇总表。

图 8-20. SEQ2A_STEP9_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP9_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP9_DAT[15:0]							
R-0000000000000000b							

表 8-21. SEQ2A_STEP9_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP9_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 9 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.21 SEQ2A_STEP10_DATA 寄存器（地址 = 1Ah）[复位 = 0000h]

返回到汇总表。

图 8-21. SEQ2A_STEP10_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP10_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP10_DAT[15:0]							
R-0000000000000000b							

表 8-22. SEQ2A_STEP10_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP10_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 10 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.22 SEQ2A_STEP11_DATA 寄存器（地址 = 1Bh）[复位 = 0000h]

返回到汇总表。

图 8-22. SEQ2A_STEP11_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP11_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP11_DAT[15:0]							
R-0000000000000000b							

表 8-23. SEQ2A_STEP11_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP11_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 11 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.23 SEQ2A_STEP12_DATA 寄存器（地址 = 1Ch）[复位 = 0000h]

返回到汇总表。

图 8-23. SEQ2A_STEP12_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP12_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP12_DAT[15:0]							
R-0000000000000000b							

表 8-24. SEQ2A_STEP12_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP12_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 12 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.24 SEQ2A_STEP13_DATA 寄存器（地址 = 1Dh）[复位 = 0000h]

返回到汇总表。

图 8-24. SEQ2A_STEP13_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP13_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP13_DAT[15:0]							
R-0000000000000000b							

表 8-25. SEQ2A_STEP13_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP13_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 13 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.25 SEQ2A_STEP14_DATA 寄存器（地址 = 1Eh）[复位 = 0000h]

返回到汇总表。

图 8-25. SEQ2A_STEP14_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP14_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP14_DAT[15:0]							
R-0000000000000000b							

表 8-26. SEQ2A_STEP14_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP14_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 14 转换数据 以二进制补码格式提供的值。

8.1.26 SEQ2A_STEP15_DATA 寄存器（地址 = 1Fh）[复位 = 0000h]

返回到汇总表。

图 8-26. SEQ2A_STEP15_DATA 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP15_DAT[15:0]							
R-0000000000000000b							
7	6	5	4	3	2	1	0
SEQ2A_STEP15_DAT[15:0]							
R-0000000000000000b							

表 8-27. SEQ2A_STEP15_DATA 寄存器字段说明

位	字段	类型	复位	说明
15:0	SEQ2A_STEP15_DAT[15:0]	R	0000000000000000b	ADC2A 序列步骤 15 转换数据 以二进制补码格式提供的值。

Copyright © 2025 Texas Instruments Incorporated

8.1.27 DEVICE_MONITOR_CFG 寄存器（地址 = 40h）[复位 = 0000h]

返回到汇总表。

图 8-27. DEVICE_MONITOR_CFG 寄存器

15	14	13	12	11	10	9	8
REG_MAP1_CRC_EN	CRC_TYPE	SCLK_COUNTER_EN	TIMEOUT_EN	RESERVED			FAULT_POL
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-000b			R/W-0b
7	6	5	4	3	2	1	0
RESERVED					MHD_POL	MHD_CFG[1:0]	
R-00000b					R/W-0b	R/W-00b	

表 8-28. DEVICE_MONITOR_CFG 寄存器字段描述

位	字段	类型	复位	说明
15	REG_MAP1_CRC_EN	R/W	0b	寄存器映射 1 段 CRC 启用 为 1 段（从 40h 到 59h 的寄存器地址空间）启用寄存器映射 CRC。 0b = 禁用 1b = 启用
14	CRC_TYPE	R/W	0b	CRC 类型选择 选择用于 SPI 和寄存器映射 CRC 计算的 CRC 多项式。 0b = 16 位 CCITT 1b = 16 位 ANSI
13	SCLK_COUNTER_EN	R/W	0b	SCLK 计数器启用 启用 SCLK 计数器。 0b = 禁用 1b = 启用
12	TIMEOUT_EN	R/W	0b	SPI 超时启用 启用 SPI 超时。启用后，超时功能会检查 CSn 上升沿是否在 CSn 下降沿后的 2^{14} 个 t_{OSCD} 周期内发生。当超时发生时，SDI 上 SPI 帧的剩余部分在 CSn 上升沿之前被忽略。新的 SPI 事务在下一个 CSn 下降沿开始。 0b = 禁用 1b = 启用
11:9	RESERVED	R	000b	保留 始终读回 000b。
8	FAULT_POL	R/W	0b	FAULT 引脚极性选择 选择 FAULT 引脚的极性。当 GPIO2/FAULT 引脚配置为 GPIO2_SRC 位中的 FAULT 输出时，该引脚的实际输出行为取决于 GPIO2_FMT 设置。当任何未屏蔽的 STATUS_MSB[14:7] 位均有效时，FAULT 有效。 0b = 低电平有效。如果发生故障，则驱动逻辑低电平。 1b = 高电平有效。如果发生故障，则驱动逻辑高电平。
7:3	RESERVED	R	00000b	保留 始终读回 00000b。
2	MHD_POL	R/W	0b	缺失主机检测故障引脚极性选择 选择 MHD 引脚的极性。当 GPIO0/MHD 引脚配置为 GPIO0_SRC 位中的 MHD 输出时，该引脚的实际输出行为取决于 GPIO0_FMT 设置。 0b = 低电平有效。如果发生故障，则驱动逻辑低电平。 1b = 高电平有效。如果发生故障，则驱动逻辑高电平。
1:0	MHD_CFG[1:0]	R/W	00b	缺失主机检测配置 检测主机何时不再与器件通信。看门狗计时器检查具有有效 CRC 的两条有效命令间隔的时间。如果在看门狗时间窗口内未收到具有有效 CRC 的有效命令，则将主机视为缺失。当看门狗超时时，GPIO0/MHD 引脚设置为有效。要使用缺失主机检测模式，请使用 GPIO0_DIR 位将 GPIO0/MHD 引脚配置为输出，并使用 GPIO0_SRC 位配置缺失主机检测模式的源。要在检测到缺失主机后复位 GPIO0/MHD 输出，请通过设置 MHD_CFG = 00b 来禁用缺失主机检测模式。 00b = 已禁用 01b = 5120 x t_{OSCD}（= 0.625ms，f_{OSCD} = 8.192MHz 时） 10b = 10240 x t_{OSCD}（= 1.25ms，f_{OSCD} = 8.192MHz 时） 11b = 20480 x t_{OSCD}（= 2.5ms，f_{OSCD} = 8.192MHz 时）

Copyright © 2025 Texas Instruments Incorporated

8.1.28 SUPPLY_MONITOR_CFG1 寄存器（地址 = 41h）[复位 = 0000h]

返回到汇总表。

图 8-28. SUPPLY_MONITOR_CFG1 寄存器

15	14	13	12	11	10	9	8
AVDD_OV_EN	AVDD_UV_EN	IOVDD_OV_EN	IOVDD_UV_EN	DVDD_OV_EN	DVDD_UV_EN	AVDD_OSC_EN	IOVDD_OSC_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
DVDD_OSC_EN	AVDD_OTW_EN	IOVDD_OTW_EN	AVDD_CL_EN	IOVDD_CL_EN	AGNDA_DISC_EN	AGNDB_DISC_EN	DGND_DISC_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-29. SUPPLY_MONITOR_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15	AVDD_OV_EN	R/W	0b	AVDD LDO 过压监控器启用 启用 AVDD LDO 输出过压监控器。 0b = 禁用 1b = 启用
14	AVDD_UV_EN	R/W	0b	AVDD LDO 欠压监控器启用 启用 AVDD LDO 输出欠压监控器。 0b = 禁用 1b = 启用
13	IOVDD_OV_EN	R/W	0b	IOVDD LDO 过压监控器启用 启用 IOVDD LDO 输出过压监控器。 0b = 禁用 1b = 启用
12	IOVDD_UV_EN	R/W	0b	IOVDD LDO 欠压监控器启用 启用 IOVDD LDO 输出欠压监控器。 0b = 禁用 1b = 启用
11	DVDD_OV_EN	R/W	0b	DVDD LDO 过压监控器启用 启用 DVDD LDO 输出过压监控器。 0b = 禁用 1b = 启用
10	DVDD_UV_EN	R/W	0b	DVDD LDO 欠压监控器启用 启用 DVDD LDO 输出欠压监控器。 0b = 禁用 1b = 启用
9	AVDD_OSC_EN	R/W	0b	AVDD LDO 振荡监控器启用 启用 AVDD LDO 输出振荡监控器。 0b = 禁用 1b = 启用
8	IOVDD_OSC_EN	R/W	0b	IOVDD LDO 振荡监控器启用 启用 IOVDD LDO 输出振荡监控器。 0b = 禁用 1b = 启用
7	DVDD_OSC_EN	R/W	0b	DVDD LDO 振荡监控器启用 启用 DVDD LDO 输出振荡监控器。 0b = 禁用 1b = 启用
6	AVDD_OTW_EN	R/W	0b	AVDD LDO 过热警告监控器启用 启用 AVDD LDO 过热警告监控器。 0b = 禁用 1b = 启用
5	IOVDD_OTW_EN	R/W	0b	IOVDD LDO 过热警告监控器启用 启用 IOVDD LDO 过热警告监控器。 0b = 禁用 1b = 启用
4	AVDD_CL_EN	R/W	0b	AVDD LDO 电流限制启用 启用 AVDD LDO 电流限制。 0b = 禁用 1b = 启用
3	IOVDD_CL_EN	R/W	0b	IOVDD LDO 电流限制启用 启用 IOVDD LDO 电流限制。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

表 8-29. SUPPLY_MONITOR_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
2	AGNDA_DISC_EN	R/W	0b	AGNDA 断开监控器启用 启用 AGNDA 断开监控器。 0b = 禁用 1b = 启用
1	AGNDB_DISC_EN	R/W	0b	AGNDB 断开监控器启用 启用 AGNDB 断开监控器。 0b = 禁用 1b = 启用
0	DGND_DISC_EN	R/W	0b	DGND 断开监控器启用 启用 DGND 断开监控器。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

8.1.29 SUPPLY_MONITOR_CFG2 寄存器（地址 = 42h）[复位 = 10F0h]

返回到汇总表。

图 8-29. SUPPLY_MONITOR_CFG2 寄存器

15	14	13	12	11	10	9	8
RESERVED		IOVDD_OV_TH	IOVDD_UV_TH	RESERVED			
R-00b		R/W-0b	R/W-1b	R-0000b			
7	6	5	4	3	2	1	0
AVDD_OTW_CFG[1:0]		IOVDD_OTW_CFG[1:0]		RESERVED			
R/W-11b		R/W-11b		R-0000b			

表 8-30. SUPPLY_MONITOR_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	00b	保留 始终读回 00b。
13	IOVDD_OV_TH	R/W	0b	IOVDD 过压阈值选择 为 IOVDD LDO 输出过压监控器选择阈值。 0b = 5.7 V 1b = 3.9 V
12	IOVDD_UV_TH	R/W	1b	IOVDD 欠压阈值选择 为 IOVDD LDO 输出欠压监控器选择阈值。 0b = 4.3 V 1b = 2.95 V
11:8	RESERVED	R	0000b	保留 始终读回 0000b。
7:6	AVDD_OTW_CFG[1:0]	R/W	11b	AVDD LDO 过热警告阈值选择 为 AVDD LDO 过热警告选择阈值。 00b = −60°C 01b = 100°C 10b = 120°C 11b = 140°C
5:4	IOVDD_OTW_CFG[1:0]	R/W	11b	IOVDD LDO 过热警告阈值选择 为 IOVDD LDO 过热警告选择阈值。 00b = −60°C 01b = 100°C 10b = 120°C 11b = 140°C
3:0	RESERVED	R	0000b	保留 始终读回 0000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.30 CLOCK_MONITOR_CFG 寄存器（地址 = 43h）[复位 = 0000h]

返回到汇总表。

图 8-30. CLOCK_MONITOR_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED						RESERVED	
R/W-000000b						R-0000000b	
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
RESERVED					MCLK_MON_EN	OSCD_WD_EN	MCLK_WD_EN
R-0000000b					R/W-0b	R/W-0b	R/W-0b

表 8-31. CLOCK_MONITOR_CFG 寄存器字段描述

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留 始终写入 000000b。
9:3	RESERVED	R	0000000b	保留 始终读回 0000000b。
2	MCLK_MON_EN	R/W	0b	MCLK 监控器启用 启用主时钟频率监控器。 0b = 禁用 1b = 启用
1	OSCD_WD_EN	R/W	0b	诊断振荡器看门狗启用 启用诊断振荡器看门狗。 0b = 禁用 1b = 启用
0	MCLK_WD_EN	R/W	0b	主时钟看门狗启用 启用主时钟看门狗。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

8.1.31 SUPPLY_MONITOR_DIAGNOSTIC_CFG 寄存器（地址 = 44h）[复位 = 0000h]

返回到汇总表。

图 8-31. SUPPLY_MONITOR_DIAGNOSTIC_CFG 寄存器

15	14	13	12	11	10	9	8
AVDD_OV_DIAG_EN	AVDD_UV_DIAG_EN	IOVDD_OV_DIAG_EN	IOVDD_UV_DIAG_EN	DVDD_OV_DIAG_EN	DVDD_UV_DIAG_EN	AVDD_OSC_DIAG_EN	IOVDD_OSC_DIAG_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
DVDD_OSC_DIAG_EN	RESERVED				AGNDA_DISC_DIAG_EN	AGNDB_DISC_DIAG_EN	DGND_DISC_DIAG_EN
R/W-0b	R-0000b				R/W-0b	R/W-0b	R/W-0b

表 8-32. SUPPLY_MONITOR_DIAGNOSTIC_CFG 寄存器字段描述

位	字段	类型	复位	说明
15	AVDD_OV_DIAG_EN	R/W	0b	AVDD LDO 过压监控器诊断启用 启用 AVDD LDO 输出过压监控器诊断。必须设置 AVDD_OV_EN，诊断才能正常工作。当诊断成功完成时，AVDD_OVn 故障标志会在 $t_{p(AVDD_OV)}$ 内设置。 0b = 禁用 1b = 启用
14	AVDD_UV_DIAG_EN	R/W	0b	AVDD LDO 欠压监控器诊断启用 启用 AVDD LDO 输出欠压监控器诊断。必须设置 AVDD_UV_EN，诊断才能正常工作。当诊断成功完成时，AVDD_UVn 故障标志会在 $t_{p(AVDD_UV)}$ 内设置。 0b = 禁用 1b = 启用
13	IOVDD_OV_DIAG_EN	R/W	0b	IOVDD LDO 过压监控器诊断启用 启用 IOVDD LDO 输出过压监控器诊断。必须设置 IOVDD_OV_EN，诊断才能正常工作。当诊断成功完成时，IOVDD_OVn 故障标志会在 $t_{p(IOVDD._OV)}$ 内设置。 0b = 禁用 1b = 启用
12	IOVDD_UV_DIAG_EN	R/W	0b	IOVDD LDO 欠压监控器诊断启用 启用 IOVDD LDO 输出欠压监控器诊断。必须设置 IOVDD_UV_EN，诊断才能正常工作。当诊断成功完成时，IOVDD_UVn 故障标志会在 $t_{p(IOVDD_UV)}$ 内设置。 0b = 禁用 1b = 启用
11	DVDD_OV_DIAG_EN	R/W	0b	DVDD LDO 过压监控器诊断启用 启用 DVDD LDO 输出过压监控器诊断。必须设置 DVDD_OV_EN，诊断才能正常工作。当诊断成功完成时，DVDD_OVn 故障标志会在 $t_{p(DVDD_OV)}$ 内设置。 0b = 禁用 1b = 启用
10	DVDD_UV_DIAG_EN	R/W	0b	DVDD LDO 欠压监控器诊断启用 启用 DVDD LDO 输出欠压监控器诊断。必须设置 DVDD_UV_EN，诊断才能正常工作。当诊断成功完成时，DVDD_UVn 故障标志会在 $t_{p(DVDD_UV)}$ 内设置。 0b = 禁用 1b = 启用
9	AVDD_OSC_DIAG_EN	R/W	0b	AVDD LDO 振荡监控器诊断启用 启用 AVDD LDO 输出振荡监控器诊断。必须设置 AVDD_OSC_EN，诊断才能正常工作。当诊断成功完成时，AVDD_OSCn 故障标志会在 $t_{p(AVDD_OSC)}$ 内设置。 0b = 禁用 1b = 启用
8	IOVDD_OSC_DIAG_EN	R/W	0b	IOVDD LDO 振荡监控器诊断启用 启用 IOVDD LDO 输出振荡监控器诊断。必须设置 IOVDD_OSC_EN，诊断才能正常工作。当诊断成功完成时，IOVDD_OSCn 故障标志会在 $t_{p(IOVDD_OSC)}$ 内设置。 0b = 禁用 1b = 启用
7	DVDD_OSC_DIAG_EN	R/W	0b	DVDD LDO 振荡监控器诊断启用 启用 DVDD LDO 输出振荡监控器诊断。必须设置 DVDD_OSC_EN，诊断才能正常工作。当诊断成功完成时，DVDD_OSCn 故障标志会在 $t_{p(DVDD_OSC)}$ 内设置。 0b = 禁用 1b = 启用
6:3	RESERVED	R	0000b	保留 始终读回 0000b。
2	AGNDA_DISC_DIAG_EN	R/W	0b	AGNDA 断开监控器诊断启用 启用 AGNDA 断开监控器诊断。必须设置 AGNDA_DISC_EN，诊断才能正常工作。当诊断成功完成时，AGNDA_DISCn 故障标志会在 $t_{p(AGNDA_OPEN)}$ 内设置。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

表 8-32. SUPPLY_MONITOR_DIAGNOSTIC_CFG 寄存器字段描述（续）

位	字段	类型	复位	说明
1	AGNDB_DISC_DIAG_EN	R/W	0b	AGNDB 断开监控器诊断启用 启用 AGNDB 断开监控器诊断。必须设置 AGNDB_DISC_EN，诊断才能正常工作。当诊断成功完成时，AGNDB_DISCn 故障标志会在 $t_{p(AGNDB_OPEN)}$ 内设置。 0b = 禁用 1b = 启用
0	DGND_DISC_DIAG_EN	R/W	0b	DGND 断开监控器诊断启用 启用 DGND 断开监控器诊断。必须设置 DGND_DISC_EN，诊断才能正常工作。当诊断成功完成时，DGND_DISCn 故障标志会在 $t_{p(DGND_OPEN)}$ 内设置。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

8.1.32 CLOCK_MONITOR_DIAGNOSTIC_CFG 寄存器（地址 = 45h）[复位 = 0000h]

返回到汇总表。

图 8-32. CLOCK_MONITOR_DIAGNOSTIC_CFG 寄存器

15	14	13	12	11	10	9	8
SPARE[11:0]							
R/W-000000000000b							
7	6	5	4	3	2	1	0
SPARE[11:0]				MCLK_HI_DIAG_EN	MCLK_LO_DIAG_EN	OSCD_WD_DIAG_EN	MCLK_WD_DIAG_EN
R/W-000000000000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-33. CLOCK_MONITOR_DIAGNOSTIC_CFG 寄存器字段描述

位	字段	类型	复位	说明
15:4	SPARE[11:0]	R/W	000000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 1 段 CRC。位设置无效。
3	MCLK_HI_DIAG_EN	R/W	0b	MCLK 频率过高监控器诊断启用 启用主时钟频率过高监控器诊断。必须设置 MCLK_MON_EN，诊断才能正常工作。当诊断成功完成时，MCLK_FAULTn 故障标志会在 $t_{p(MCLK_FAULT)}$ 内设置。请勿同时启用 MCLK_LO_DIAG_EN。依次执行 MCLK_HI_DIAG_EN 和 MCLK_LO_DIAG_EN。 0b = 禁用 1b = 启用
2	MCLK_LO_DIAG_EN	R/W	0b	MCLK 频率过低监控器诊断启用 启用主时钟频率过低监控器诊断。必须设置 MCLK_MON_EN，诊断才能正常工作。当诊断成功完成时，MCLK_FAULTn 故障标志会在 $t_{p(MCLK_FAULT)}$ 内设置。请勿同时启用 MCLK_HI_DIAG_EN。依次执行 MCLK_HI_DIAG_EN 和 MCLK_LO_DIAG_EN。 0b = 禁用 1b = 启用
1	OSCD_WD_DIAG_EN	R/W	0b	诊断振荡器看门狗诊断启用 启用诊断振荡器看门狗诊断。必须设置 OSCD_WD_EN，诊断才能正常工作。当诊断成功完成时，OSCD_WDn 故障标志会在 $t_{p(OSCD_WD)}$ 内设置。 0b = 禁用 1b = 启用
0	MCLK_WD_DIAG_EN	R/W	0b	主时钟看门狗诊断启用 启用主时钟看门狗诊断。必须设置 MCLK_WD_EN，诊断才能正常工作。当诊断成功完成时，MCLK_WDn 故障标志会在 $t_{p(MCLK_WD)}$ 内设置。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

8.1.33 DIGITAL_MONITOR_DIAGNOSTIC_CFG 寄存器（地址 = 46h）[复位 = 0000h]

返回到汇总表。

图 8-33. DIGITAL_MONITOR_DIAGNOSTIC_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED						MEM_MAP_CRC_DIAG[1:0]	
R-000000b						R/W-00b	
7	6	5	4	3	2	1	0
RESERVED					GPIOA_DIAG_EN	GPIOB_DIAG_EN	GPIO_DIAG_EN
R-00000b					R/W-0b	R/W-0b	R/W-0b

表 8-34. DIGITAL_MONITOR_DIAGNOSTIC_CFG 寄存器字段描述

位	字段	类型	复位	说明
15:10	RESERVED	R	000000b	保留 始终读回 000000b。
9:8	MEM_MAP_CRC_DIAG[1:0]	R/W	00b	内存映射 CRC 诊断位模式选择 选择用于内存映射 CRC 诊断的位模式。当诊断成功完成时，MEM_MAP_CRC_FAULTn 故障标志会在 $t_{p(MEM_MAP_CRC)}$ 内设置。三个可用位模式中的任何一个都可用于诊断。 00b = 禁用 01b = 模式 1 10b = 模式 2 11b = 模式 3
7:3	RESERVED	R	00000b	保留 始终读回 00000b。
2	GPIOA_DIAG_EN	R/W	0b	GPIOA 回读诊断启用 如果 GPIOxA_DIR 配置为数字输出，则会反转 GPIxA_DAT[1:0] 位的回读值。 0b = 禁用 1b = 启用
1	GPIOB_DIAG_EN	R/W	0b	GPIOB 回读诊断启用 如果 GPIOxB_DIR 配置为数字输出，则会反转 GPIxB_DAT[1:0] 位的回读值。 0b = 禁用 1b = 启用
0	GPIO_DIAG_EN	R/W	0b	GPIO 回读诊断启用 如果 GPIOx_DIR 配置为数字输出，则会反转 GPIx_DAT[1:0] 位的回读值。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

8.1.34 SUPPLY_FAULT_MASK 寄存器（地址 = 47h）[复位 = 0000h]

返回到汇总表。

图 8-34. SUPPLY_FAULT_MASK 寄存器

15	14	13	12	11	10	9	8
AVDD_OV_MASK	AVDD_UV_MASK	IOVDD_OV_MASK	IOVDD_UV_MASK	DVDD_OV_MASK	DVDD_UV_MASK	AVDD_OSC_MASK	IOVDD_OSC_MASK
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
DVDD_OSC_MASK	AVDD_OTW_MASK	IOVDD_OTW_MASK	AVDD_CL_MASK	IOVDD_CL_MASK	AGNDA_DISC_MASK	AGNDB_DISC_MASK	DGND_DISC_MASK
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-35. SUPPLY_FAULT_MASK 寄存器字段描述

位	字段	类型	复位	说明
15	AVDD_OV_MASK	R/W	0b	AVDD 过压故障标志屏蔽 屏蔽 AVDD 过压故障标志 (AVDD_OVn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
14	AVDD_UV_MASK	R/W	0b	AVDD 欠压故障标志屏蔽 屏蔽 AVDD 欠压故障标志 (AVDD_UVn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
13	IOVDD_OV_MASK	R/W	0b	IOVDD 过压故障标志屏蔽 屏蔽 IOVDD 过压故障标志 (IOVDD_OVn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
12	IOVDD_UV_MASK	R/W	0b	IOVDD 欠压故障标志屏蔽 屏蔽 IOVDD 欠压故障标志 (IOVDD_UVn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
11	DVDD_OV_MASK	R/W	0b	DVDD 过压故障标志屏蔽 屏蔽 DVDD 过压故障标志 (DVDD_OVn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
10	DVDD_UV_MASK	R/W	0b	DVDD 欠压故障标志屏蔽 屏蔽 DVDD 欠压故障标志 (DVDD_UVn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
9	AVDD_OSC_MASK	R/W	0b	AVDD 振荡故障标志屏蔽 屏蔽 AVDD 振荡故障标志 (AVDD_OSCn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
8	IOVDD_OSC_MASK	R/W	0b	IOVDD 振荡故障标志屏蔽 屏蔽 IOVDD 振荡故障标志 (IOVDD_OSCn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
7	DVDD_OSC_MASK	R/W	0b	DVDD 振荡故障标志屏蔽 屏蔽 DVDD 振荡故障标志 (DVDD_OSCn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
6	AVDD_OTW_MASK	R/W	0b	AVDD 过热警告标志屏蔽 屏蔽 AVDD LDO 过热警告标志 (AVDD_OTWn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
5	IOVDD_OTW_MASK	R/W	0b	IOVDD 过热警告标志屏蔽 屏蔽 IOVDD LDO 过热警告标志 (IOVDD_OTWn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽

Copyright © 2025 Texas Instruments Incorporated

表 8-35. SUPPLY_FAULT_MASK 寄存器字段描述（续）

位	字段	类型	复位	说明
4	AVDD_CL_MASK	R/W	0b	AVDD 电流限制标志屏蔽 屏蔽 AVDD LDO 电流限制标志 (AVDD_CLn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
3	IOVDD_CL_MASK	R/W	0b	IOVDD 电流限制标志屏蔽 屏蔽 IOVDD LDO 电流限制标志 (IOVDD_CLn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
2	AGNDA_DISC_MASK	R/W	0b	AGNDA 引脚断开检测标志屏蔽 屏蔽 AGNDA 引脚断开检测标志 (AGNDA_DISCn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
1	AGNDB_DISC_MASK	R/W	0b	AGNDB 引脚断开检测标志屏蔽 屏蔽 AGNDB 引脚断开检测标志 (AGNDB_DISCn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
0	DGND_DISC_MASK	R/W	0b	DGND 引脚断开检测标志屏蔽 屏蔽 DGND 引脚断开检测标志 (DGND_DISCn)，以免触发 STATUS_MSB 寄存器中的 SUPPLY_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽

Copyright © 2025 Texas Instruments Incorporated

8.1.35 CLOCK_FAULT_MASK 寄存器（地址 = 48h）[复位 = 0000h]

返回到汇总表。

图 8-35. CLOCK_FAULT_MASK 寄存器

15	14	13	12	11	10	9	8
RESERVED						RESERVED	
R/W-000000b						R-0000000b	
7	6	5	4	3	2	1	0
RESERVED					MCLK_FAULT_MASK	OSCD_WD_MASK	MCLK_WD_MASK
R-0000000b					R/W-0b	R/W-0b	R/W-0b

表 8-36. CLOCK_FAULT_MASK 寄存器字段描述

位	字段	类型	复位	说明
15:10	RESERVED	R/W	000000b	保留 始终写入 000000b。
9:3	RESERVED	R	0000000b	保留 始终读回 0000000b。
2	MCLK_FAULT_MASK	R/W	0b	MCLK 频率过高或过低故障标志屏蔽 屏蔽 MCLK 频率过高或过低故障标志 (MCLK_FAULTn)，以免触发 STATUS_MSB 寄存器中的 CLOCK_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
1	OSCD_WD_MASK	R/W	0b	诊断振荡器看门狗故障标志屏蔽 屏蔽诊断振荡器看门狗故障标志 (OSCD_WDn)，以免触发 STATUS_MSB 寄存器中的 CLOCK_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
0	MCLK_WD_MASK	R/W	0b	主时钟看门狗故障标志屏蔽 屏蔽主时钟看门狗故障标志 (MCLK_WDn)，以免触发 STATUS_MSB 寄存器中的 CLOCK_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽

Copyright © 2025 Texas Instruments Incorporated

8.1.36 DIGITAL_FAULT_MASK 寄存器（地址 = 49h）[复位 = 0000h]

返回到汇总表。

图 8-36. DIGITAL_FAULT_MASK 寄存器

15	14	13	12	11	10	9	8
REG_MAP1_CRC_FAULT_MASK	REG_MAP2_CRC_FAULT_MASK	REG_MAP3_CRC_FAULT_MASK	RESERVED	MEM_MAP_CRC_FAULT_MASK	RESERVED		
R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R-00000000000b		
7	6	5	4	3	2	1	0
RESERVED							
R-00000000000b							

表 8-37. DIGITAL_FAULT_MASK 寄存器字段描述

位	字段	类型	复位	说明
15	REG_MAP1_CRC_FAULT_MASK	R/W	0b	寄存器映射 1 段 CRC 故障标志屏蔽 屏蔽寄存器映射 1 段 CRC 故障标志 (REG_MAP1_CRC_FAULTn)，以免触发 STATUS_MSB 寄存器中的 DIGITAL_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
14	REG_MAP2_CRC_FAULT_MASK	R/W	0b	寄存器映射 2 段 CRC 故障标志屏蔽 屏蔽寄存器映射 2 段 CRC 故障标志 (REG_MAP2_CRC_FAULTn)，以免触发 STATUS_MSB 寄存器中的 DIGITAL_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
13	REG_MAP3_CRC_FAULT_MASK	R/W	0b	寄存器映射 3 段 CRC 故障标志屏蔽 屏蔽寄存器映射 3 段 CRC 故障标志 (REG_MAP3_CRC_FAULTn)，以免触发 STATUS_MSB 寄存器中的 DIGITAL_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
12	RESERVED	R	0b	保留 始终读回 0b。
11	MEM_MAP_CRC_FAULT_MASK	R/W	0b	内存映射 CRC 故障标志屏蔽 屏蔽内存映射 CRC 故障标志 (MEM_MAP_CRC_FAULTn)，以免触发 STATUS_MSB 寄存器中的 DIGITAL_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
10:0	RESERVED	R	00000000000b	保留 始终读回 00000000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.37 OCC_FAULT_MASK 寄存器（地址 = 4Ah）[复位 = 0000h]

返回到汇总表。

图 8-37. OCC_FAULT_MASK 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-000000000000b							
7	6	5	4	3	2	1	0
RESERVED				OCCA_HT_MASK	OCCA_LT_MASK	OCCB_HT_MASK	OCCB_LT_MASK
R-000000000000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-38. OCC_FAULT_MASK 寄存器字段描述

位	字段	类型	复位	说明
15:4	RESERVED	R	000000000000b	保留 始终读回 000000000000b。
3	OCCA_HT_MASK	R/W	0b	ADC1A 过流比较器高阈值故障标志屏蔽 屏蔽 ADC1A 过流比较器高阈值故障标志 (OCCA_HTn)，以免触发 STATUS_MSB 寄存器中的 OCC_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
2	OCCA_LT_MASK	R/W	0b	ADC1A 过流比较器低阈值故障标志屏蔽 屏蔽 ADC1A 过流比较器低阈值故障标志 (OCCA_LTn)，以免触发 STATUS_MSB 寄存器中的 OCC_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
1	OCCB_HT_MASK	R/W	0b	ADC1B 过流比较器高阈值故障标志屏蔽 屏蔽 ADC1B 过流比较器高阈值故障标志 (OCCB_HTn)，以免触发 STATUS_MSB 寄存器中的 OCC_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽
0	OCCB_LT_MASK	R/W	0b	ADC1B 过流比较器低阈值故障标志屏蔽 屏蔽 ADC1B 过流比较器低阈值故障标志 (OCCB_LTn)，以免触发 STATUS_MSB 寄存器中的 OCC_FAULTn 标志。 0b = 未屏蔽 1b = 已屏蔽

Copyright © 2025 Texas Instruments Incorporated

8.1.38 FAULT_PIN_MASK 寄存器（地址 = 4Bh）[复位 = 0780h]

返回到汇总表。

图 8-38. FAULT_PIN_MASK 寄存器

15	14	13	12	11	10	9	8
RESERVED	SUPPLY_FAULT_MASK	CLOCK_FAULT_MASK	DIGITAL_FAULT_MASK	OCC_FAULT_MASK	SPI_CRC_FAULT_MASK	SPI_TIMEOUT_MASK	SCLK_COUNT_FAULT_MASK
R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b	R/W-1b	R/W-1b
7	6	5	4	3	2	1	0
REG_ACCESS_FAULT_MASK	RESERVED						
R/W-1b	R-0000000b						

表 8-39. FAULT_PIN_MASK 寄存器字段描述

位	字段	类型	复位	说明
15	RESERVED	R	0b	保留 始终读回 0b。
14	SUPPLY_FAULT_MASK	R/W	0b	电源故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的电源故障标志 (SUPPLY_FAULTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
13	CLOCK_FAULT_MASK	R/W	0b	时钟故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的时钟故障标志 (CLOCK_FAULTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
12	DIGITAL_FAULT_MASK	R/W	0b	数字故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的数字故障标志 (DIGITAL_FAULTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
11	OCC_FAULT_MASK	R/W	0b	过流比较器故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的过流比较器故障标志 (OCC_FAULTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
10	SPI_CRC_FAULT_MASK	R/W	1b	SPI CRC 故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的 SPI CRC 故障标志 (SPI_CRC_FAULTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
9	SPI_TIMEOUT_MASK	R/W	1b	SPI 超时故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的 SPI 超时故障标志 (SPI_TIMEOUTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
8	SCLK_COUNT_FAULT_MASK	R/W	1b	SCLK 计数器故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的 SCLK 计数器故障标志 (SCLK_COUNT_FAULTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
7	REG_ACCESS_FAULT_MASK	R/W	1b	寄存器访问故障标志屏蔽 屏蔽 STATUS_MSB 寄存器中的寄存器访问故障标志 (REG_ACCESS_FAULTn)，以免在 GPIO2/FAULT 引脚配置为 FAULT 输出时触发 FAULT 引脚。 0b = 未屏蔽 1b = 已屏蔽
6:0	RESERVED	R	0000000b	保留 始终读回 00000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.39 DEVICE_CFG 寄存器（地址 = 4Ch）[复位 = 0000h]

返回到汇总表。

图 8-39. DEVICE_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED	DRDY_CTRL	RESERVED	CLK_SOURCE	WORD_LENGTH	RESERVED	OP_MODE[1:0]	
R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-00b	
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-40. DEVICE_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0b	保留 始终读回 0b。
14	DRDY_CTRL	R/W	0b	DRDYn 引脚控制选择 选择由哪个 ADC 控制 DRDYn 引脚指示。 0b = ADC1A 1b = ADC1B
13	RESERVED	R/W	0b	保留 始终写入 0b。
12	CLK_SOURCE	R/W	0b	MCLK 时钟源选择 选择器件的主时钟源。在更改该位之前，必须禁用所有 ADC 或将器件置于待机或省电模式。从外部时钟切换到内部振荡器时，必须在切换完成后提供外部时钟。 0b = 内部振荡器 1b = 外部时钟
11	WORD_LENGTH	R/W	0b	数据字长选择 选择 SPI 帧中每个字的长度。 0b = 24 位 1b = 32 位；LSB 补零
10	RESERVED	R	0b	保留 始终读回 0b。
9:8	OP_MODE[1:0]	R/W	00b	工作模式选择 选择器件的工作模式。 00b = 工作模式 01b = 待机模式（禁用所有 ADC） 10b = 省电模式 11b = 省电模式
7:0	RESERVED	R	00000000b	保留 始终读回 00000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.40 GPIO_CFG 寄存器（地址 = 4Dh）[复位 = 0000h]

返回到汇总表。

图 8-40. GPIO_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED	GPIO4_FMT	GPIO3_FMT	GPIO2_FMT	GPIO1_FMT	GPIO0_FMT	GPIO4_DIR	GPIO3_DIR
R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
GPIO2_DIR	GPIO1_DIR	GPIO0_DIR	GPIO4_SRC	GPIO3_SRC	GPIO2_SRC	RESERVED	GPIO0_SRC
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b

表 8-41. GPIO_CFG 寄存器字段描述

位	字段	类型	复位	说明
15	RESERVED	R	0b	保留 始终读回 0b。
14	GPIO4_FMT	R/W	0b	GPIO4 格式 为静态输入和输出电平或者为 PWM 输入和输出电平配置 GPIO4 0b = 当 GPIO4 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO4 配置为数字输出时：具有静态输出电平的输出。（在这种情况下，将忽略 GPIO4_LL_PWM_CFG 和 GPIO4_LH_PWM_CFG 寄存器）。在这种情况下，为实现并行 GPO 回读，根据静态输入电平为逻辑电平配置回读路径。 1b = 当 GPIO4 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO4 配置为数字输出时：GPIO4_LL_PWM_CFG 和 GPIO4_LH_PWM_CFG 寄存器定义的具有 PWM 输出的输出。在这种情况下，为实现并行 GPO 回读，使用 GPIO4_PWM_TB 中配置的时基根据 PWM 解码为逻辑电平配置回读路径。
13	GPIO3_FMT	R/W	0b	GPIO3 格式 为静态输入和输出电平或者为 PWM 输入和输出电平配置 GPIO3 0b = 当 GPIO3 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO3 配置为数字输出时：具有静态输出电平的输出。（在这种情况下，将忽略 GPIO3_LL_PWM_CFG 和 GPIO3_LH_PWM_CFG 寄存器）。在这种情况下，为实现并行 GPO 回读，根据静态输入电平为逻辑电平配置回读路径。 1b = 当 GPIO3 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO3 配置为数字输出时：GPIO3_LL_PWM_CFG 和 GPIO3_LH_PWM_CFG 寄存器定义的具有 PWM 输出的输出。在这种情况下，为实现并行 GPO 回读，使用 GPIO3_PWM_TB 中配置的时基根据 PWM 解码为逻辑电平配置回读路径。
12	GPIO2_FMT	R/W	0b	GPIO2 格式 配置 GPIO2 用于静态输入和输出电平或 PWM 输入和输出电平 0b = 当 GPIO2 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO2 配置为数字输出时：具有静态输出电平的输出。（在这种情况下，将忽略 GPIO2_LL_PWM_CFG 和 GPIO2_LH_PWM_CFG 寄存器）。在这种情况下，为实现并行 GPO 回读，根据静态输入电平为逻辑电平配置回读路径。 1b = 当 GPIO2 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO2 配置为数字输出时：GPIO2_LL_PWM_CFG 和 GPIO2_LH_PWM_CFG 寄存器定义的具有 PWM 输出的输出。在这种情况下，为实现并行 GPO 回读，使用 GPIO2_PWM_TB 中配置的时基根据 PWM 解码为逻辑电平配置回读路径。
11	GPIO1_FMT	R/W	0b	GPIO1 格式 配置 GPIO1 用于静态输入和输出电平或 PWM 输入和输出电平 0b = 当 GPIO1 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO1 配置为数字输出时：具有静态输出电平的输出。（在这种情况下，将忽略 GPIO1_LL_PWM_CFG 和 GPIO1_LH_PWM_CFG 寄存器）。在这种情况下，为实现并行 GPO 回读，根据静态输入电平为逻辑电平配置回读路径。 1b = 当 GPIO1 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO1 配置为数字输出时：GPIO1_LL_PWM_CFG 和 GPIO1_LH_PWM_CFG 寄存器定义的具有 PWM 输出的输出。在这种情况下，为实现并行 GPO 回读，使用 GPIO1_PWM_TB 中配置的时基根据 PWM 解码为逻辑电平配置回读路径。
10	GPIO0_FMT	R/W	0b	GPIO0 格式 配置 GPIO0 用于静态输入和输出电平或 PWM 输入和输出电平 0b = 当 GPIO0 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO0 配置为数字输出时：具有静态输出电平的输出。（在这种情况下，将忽略 GPIO0_LL_PWM_CFG 和 GPIO0_LH_PWM_CFG 寄存器）。在这种情况下，为实现并行 GPO 回读，根据静态输入电平为逻辑电平配置回读路径。 1b = 当 GPIO0 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO0 配置为数字输出时：GPIO0_LL_PWM_CFG 和 GPIO0_LH_PWM_CFG 寄存器定义的具有 PWM 输出的输出。在这种情况下，为实现并行 GPO 回读，使用 GPIO0_PWM_TB 中配置的时基根据 PWM 解码为逻辑电平配置回读路径。
9	GPIO4_DIR	R/W	0b	GPIO4 方向 将 GPIO4 配置为数字输入或输出。当用作 OCCB 输出时，配置为数字输出。 0b = 数字输入 1b = 数字输出

Copyright © 2025 Texas Instruments Incorporated

表 8-41. GPIO_CFG 寄存器字段描述（续）

位	字段	类型	复位	说明
8	GPIO3_DIR	R/W	0b	GPIO3 方向 将 GPIO3 配置为数字输入或输出。当用作 OCCA 输出时，配置为数字输出。 0b = 数字输入 1b = 数字输出
7	GPIO2_DIR	R/W	0b	GPIO2 方向 将 GPIO2 配置为数字输入或输出。当用作 FAULT 输出时，配置为数字输出。 0b = 数字输入 1b = 数字输出
6	GPIO1_DIR	R/W	0b	GPIO1 方向 将 GPIO1 配置为数字输入或输出。 0b = 数字输入 1b = 数字输出
5	GPIO0_DIR	R/W	0b	GPIO0 方向 将 GPIO0 配置为数字输入或输出。当用作 MHD 输出时，配置为数字输出。 0b = 数字输入 1b = 数字输出
4	GPIO4_SRC	R/W	0b	GPIO4 数据源选择 当 GPIO4 配置为输出时，选择 GPIO4/OCCB 引脚的数据源。 0b = OCCB 1b = GPIO
3	GPIO3_SRC	R/W	0b	GPIO3 数据源选择 当 GPIO3 配置为输出时，选择 GPIO3/OCCA 引脚的数据源。 0b = OCCA 1b = GPIO
2	GPIO2_SRC	R/W	0b	GPIO2 数据源选择 当 GPIO2 配置为输出时，选择 GPIO2/FAULT 引脚的数据源。 0b = FAULT 1b = GPIO
1	RESERVED	R	0b	保留 始终读回 0b。
0	GPIO0_SRC	R/W	0b	GPIO0 数据源选择 当 GPIO0 配置为输出时，选择 GPIO0/MHD 引脚的数据源。 0b = 缺失主机检测 (MHD) 1b = GPIO

Copyright © 2025 Texas Instruments Incorporated

8.1.41 GPO_DATA 寄存器（地址 = 4Eh）[复位 = 0000h]

返回到汇总表。

图 8-41. GPO_DATA 寄存器

15	14	13	12	11	10	9	8
SPARE[10:0]							
R/W-00000000000b							
7	6	5	4	3	2	1	0
SPARE[10:0]			GPO4_DAT	GPO3_DAT	GPO2_DAT	GPO1_DAT	GPO0_DAT
R/W-00000000000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-42. GPO_DATA 寄存器字段描述

位	字段	类型	复位	说明
15:5	SPARE[10:0]	R/W	00000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 1 段 CRC。位设置无效。
4	GPO4_DAT	R/W	0b	GPIO4 输出数据 配置为数字输出时 GPIO4 的输出值。当 GPIO4 配置为输入或 OCCB 输出时，位设置无效。 0b = 低电平 1b = 高电平
3	GPO3_DAT	R/W	0b	GPIO3 输出数据 配置为数字输出时 GPIO3 的输出值。当 GPIO3 配置为输入或 OCCA 输出时，位设置无效。 0b = 低电平 1b = 高电平
2	GPO2_DAT	R/W	0b	GPIO2 输出数据 配置为数字输出时 GPIO2 的输出值。当 GPIO2 配置为输入或 FAULT 输出时，位设置无效。 0b = 低电平 1b = 高电平
1	GPO1_DAT	R/W	0b	GPIO1 输出数据 配置为数字输出时 GPIO1 的输出值。当 GPIO1 配置为输入时，位设置无效。 0b = 低电平 1b = 高电平
0	GPO0_DAT	R/W	0b	GPIO0 输出数据 配置为数字输出时 GPIO0 的输出值。当 GPIO0 配置为输入或 MHD 输出时，位设置无效。 0b = 低电平 1b = 高电平

Copyright © 2025 Texas Instruments Incorporated

8.1.42 GPIO0_LL_PWM_CFG 寄存器（地址 = 4Fh）[复位 = 007Fh]

返回到汇总表。

图 8-42. GPIO0_LL_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
GPIO0_PWM_TB[1:0]		GPIO0_LL_PWM_HC[6:0]					
R/W-00b		R/W-0000000b					
7	6	5	4	3	2	1	0
GPIO0_LL_PWM_HC[6:0]		GPIO0_LL_PWM_LC[6:0]					
R/W-0000000b		R/W-1111111b					

表 8-43. GPIO0_LL_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	GPIO0_PWM_TB[1:0]	R/W	00b	GPIO0/MHD PWM 时基选择 当 GPIO0/MHD 引脚配置为输出以及用于 PWM 编码器的时基时，选择用于 GPIO0/MHD PWM 生成的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，当 f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，当 f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，当 f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，当 f_{MCLK} = 8.192MHz 时）
13:7	GPIO0_LL_PWM_HC[6:0]	R/W	0000000b	GPIO0/MHD 逻辑低电平 PWM 高计数器 为 GPIO0/MHD 的逻辑低电平设置 PWM 的高电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 高电平时间 =（PWM 高计数器值 x PWM 时基） 将 PWM 高计数器值设置为 0000000b 可将 GPIO0/MHD 逻辑低电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO0/MHD 逻辑低电平配置为静态低电平。
6:0	GPIO0_LL_PWM_LC[6:0]	R/W	1111111b	GPIO0/MHD 逻辑低电平 PWM 低计数器 为 GPIO0/MHD 的逻辑低电平设置 PWM 的低电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 低电平时间 =（PWM 低计数器值 x PWM 时基） 将 PWM 低计数器值设置为 0000000b 可将 GPIO0/MHD 逻辑低电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO0/MHD 逻辑低电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.43 GPIO0_LH_PWM_CFG 寄存器（地址 = 50h）[复位 = 3F80h]

返回到汇总表。

图 8-43. GPIO0_LH_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED		GPIO0_LH_PWM_HC[6:0]					
R-00b		R/W-1111111b					
7	6	5	4	3	2	1	0
GPIO0_LH_PWM_HC[6:0]		GPIO0_LH_PWM_LC[6:0]					
R/W-1111111b		R/W-0000000b					

表 8-44. GPIO0_LH_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	00b	保留 始终读为 00b。
13:7	GPIO0_LH_PWM_HC[6:0]	R/W	1111111b	GPIO0/MHD 逻辑高电平 PWM 高计数器 为 GPIO0/MHD 的逻辑高电平设置 PWM 的高电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 高电平时间 = (PWM 高计数器值 x PWM 时基) 将 PWM 高计数器值设置为 0000000b 可将 GPIO0/MHD 逻辑高电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO0/MHD 逻辑高电平配置为静态低电平。
6:0	GPIO0_LH_PWM_LC[6:0]	R/W	0000000b	GPIO0/MHD 逻辑高电平 PWM 低计数器 为 GPIO0/MHD 的逻辑高电平设置 PWM 的低电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 低电平时间 = (PWM 低计数器值 x PWM 时基) 将 PWM 低计数器值设置为 0000000b 可将 GPIO0/MHD 逻辑高电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO0/MHD 逻辑高电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.44 GPIO1_LL_PWM_CFG 寄存器（地址 = 51h）[复位 = 007Fh]

返回到汇总表。

图 8-44. GPIO1_LL_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
GPIO1_PWM_TB[1:0]		GPIO1_LL_PWM_HC[6:0]					
R/W-00b		R/W-0000000b					
7	6	5	4	3	2	1	0
GPIO1_LL_PWM_HC[6:0]		GPIO1_LL_PWM_LC[6:0]					
R/W-0000000b		R/W-1111111b					

表 8-45. GPIO1_LL_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	GPIO1_PWM_TB[1:0]	R/W	00b	GPIO1 PWM 时基选择 当 GPIO1 引脚配置为输出以及用于 PWM 编码器的时基时，选择用于 GPIO1 PWM 生成的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，f_{MCLK} = 8.192MHz 时））
13:7	GPIO1_LL_PWM_HC[6:0]	R/W	0000000b	GPIO1 逻辑低电平 PWM 高计数器 为 GPIO1 的逻辑低电平设置 PWM 的高电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 高电平时间 =（PWM 高计数器值 x PWM 时基） 将 PWM 高计数器值设置为 0000000b 可将 GPIO1 逻辑低电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO1 逻辑低电平配置为静态低电平。
6:0	GPIO1_LL_PWM_LC[6:0]	R/W	1111111b	GPIO1 逻辑低电平 PWM 低计数器 为 GPIO1 的逻辑低电平设置 PWM 的低电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 低电平时间 =（PWM 低计数器值 x PWM 时基） 将 PWM 低计数器值设置为 0000000b 可将 GPIO1 逻辑低电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO1 逻辑低电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.45 GPIO1_LH_PWM_CFG 寄存器（地址 = 52h）[复位 = 3F80h]

返回到汇总表。

图 8-45. GPIO1_LH_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED		GPIO1_LH_PWM_HC[6:0]					
R-00b		R/W-1111111b					
7	6	5	4	3	2	1	0
GPIO1_LH_PWM_HC[6:0]		GPIO1_LH_PWM_LC[6:0]					
R/W-1111111b		R/W-0000000b					

表 8-46. GPIO1_LH_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	00b	保留 始终读为 00b。
13:7	GPIO1_LH_PWM_HC[6:0]	R/W	1111111b	GPIO1 逻辑高电平 PWM 高计数器 为 GPIO1 的逻辑高电平设置 PWM 的高电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 高电平时间 = (PWM 高计数器值 x PWM 时基) 将 PWM 高计数器值设置为 0000000b 可将 GPIO1 逻辑高电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO1 逻辑高电平配置为静态低电平。
6:0	GPIO1_LH_PWM_LC[6:0]	R/W	0000000b	GPIO1 逻辑高电平 PWM 低计数器 为 GPIO1 的逻辑高电平设置 PWM 的低电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 低电平时间 = (PWM 低计数器值 x PWM 时基) 将 PWM 低计数器值设置为 0000000b 可将 GPIO1 逻辑高电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO1 逻辑高电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.46 GPIO2_LL_PWM_CFG 寄存器（地址 = 53h）[复位 = 007Fh]

返回到汇总表。

图 8-46. GPIO2_LL_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
GPIO2_PWM_TB[1:0]		GPIO2_LL_PWM_HC[6:0]					
R/W-00b		R/W-0000000b					
7	6	5	4	3	2	1	0
GPIO2_LL_PWM_HC[6:0]		GPIO2_LL_PWM_LC[6:0]					
R/W-0000000b		R/W-1111111b					

表 8-47. GPIO2_LL_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	GPIO2_PWM_TB[1:0]	R/W	00b	GPIO2/FAULT PWM 时基选择 当 GPIO2/FAULT 引脚配置为输出以及用于 PWM 编码器的时基时，选择用于 GPIO2/FAULT PWM 生成的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，f_{MCLK} = 8.192MHz 时））
13:7	GPIO2_LL_PWM_HC[6:0]	R/W	0000000b	GPIO2/FAULT 逻辑低电平 PWM 高计数器 为 GPIO2/FAULT 的逻辑低电平设置 PWM 的高电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 高电平时间 =（PWM 高计数器值 x PWM 时基） 将 PWM 高计数器值设置为 0000000b 可将 GPIO2/FAULT 逻辑低电平配置为静态低电平。 将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO2/FAULT 逻辑低电平配置为静态低电平。
6:0	GPIO2_LL_PWM_LC[6:0]	R/W	1111111b	GPIO2/FAULT 逻辑低电平 PWM 低计数器 为 GPIO2/FAULT 的逻辑低电平设置 PWM 的低电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 低电平时间 =（PWM 低计数器值 x PWM 时基） 将 PWM 低计数器值设置为 0000000b 可将 GPIO2/FAULT 逻辑低电平配置为静态高电平。 将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO2/FAULT 逻辑低电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.47 GPIO2_LH_PWM_CFG 寄存器（地址 = 54h）[复位 = 3F80h]

返回到汇总表。

图 8-47. GPIO2_LH_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED		GPIO2_LH_PWM_HC[6:0]					
R-00b		R/W-1111111b					
7	6	5	4	3	2	1	0
GPIO2_LH_PWM_HC[6:0]		GPIO2_LH_PWM_LC[6:0]					
R/W-1111111b		R/W-0000000b					

表 8-48. GPIO2_LH_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	00b	保留 始终读为 00b。
13:7	GPIO2_LH_PWM_HC[6:0]	R/W	1111111b	GPIO2/FAULT 逻辑高电平 PWM 高计数器 为 GPIO2/FAULT 的逻辑高电平设置 PWM 的高电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 高电平时间 = (PWM 高计数器值 x PWM 时基) 将 PWM 高计数器值设置为 0000000b 可将 GPIO2/FAULT 逻辑高电平配置为静态低电平。 将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO2/FAULT 逻辑高电平配置为静态低电平。
6:0	GPIO2_LH_PWM_LC[6:0]	R/W	0000000b	GPIO2/FAULT 逻辑高电平 PWM 低计数器 为 GPIO2/FAULT 的逻辑高电平设置 PWM 的低电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 低电平时间 = (PWM 低计数器值 x PWM 时基) 将 PWM 低计数器值设置为 0000000b 可将 GPIO2/FAULT 逻辑高电平配置为静态高电平。 将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO2/FAULT 逻辑高电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.48 GPIO3_LL_PWM_CFG 寄存器（地址 = 55h）[复位 = 007Fh]

返回到汇总表。

图 8-48. GPIO3_LL_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
GPIO3_PWM_TB[1:0]		GPIO3_LL_PWM_HC[6:0]					
R/W-00b		R/W-0000000b					
7	6	5	4	3	2	1	0
GPIO3_LL_PWM_HC[6:0]		GPIO3_LL_PWM_LC[6:0]					
R/W-0000000b		R/W-1111111b					

表 8-49. GPIO3_LL_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	GPIO3_PWM_TB[1:0]	R/W	00b	GPIO3/OCCA PWM 时基选择 当 GPIO3/OCCA 引脚配置为输出以及用于 PWM 编码器的时基时，选择用于 GPIO3/OCCA PWM 生成的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，f_{MCLK} = 8.192MHz 时））
13:7	GPIO3_LL_PWM_HC[6:0]	R/W	0000000b	GPIO3/OCCA 逻辑低电平 PWM 高计数器 为 GPIO3/OCCA 的逻辑低电平设置 PWM 的高电平周期。 PWM 周期 =（PWM 高计数器值+ PWM 低计数器值）x PWM 时基 PWM 高电平时间 =（PWM 高计数器值 x PWM 时基） 将 PWM 高电平计数器值设置为 0000000b 可将 GPIO3/OCCA 逻辑低电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO3/OCCA 逻辑低电平配置为静态低电平。
6:0	GPIO3_LL_PWM_LC[6:0]	R/W	1111111b	GPIO3/OCCA 逻辑低电平 PWM 低计数器 为 GPIO3/OCCA 的逻辑低电平设置 PWM 的低电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 低电平时间 =（PWM 低计数器值 x PWM 时基） 将 PWM 低计数器值设置为 0000000b 可将 GPIO3/OCCA 逻辑低电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO3/OCCA 逻辑低电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.49 GPIO3_LH_PWM_CFG 寄存器（地址 = 56h）[复位 = 3F80h]

返回到汇总表。

图 8-49. GPIO3_LH_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED		GPIO3_LH_PWM_HC[6:0]					
R-00b		R/W-1111111b					
7	6	5	4	3	2	1	0
GPIO3_LH_PWM_HC[6:0]		GPIO3_LH_PWM_LC[6:0]					
R/W-1111111b		R/W-0000000b					

表 8-50. GPIO3_LH_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	00b	保留 始终读为 00b。
13:7	GPIO3_LH_PWM_HC[6:0]	R/W	1111111b	GPIO3/OCCA 逻辑高电平 PWM 高计数器 为 GPIO3/OCCA 的逻辑高电平设置 PWM 的高电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 高电平时间 = (PWM 高计数器值 x PWM 时基) 将 PWM 高计数器值设置为 0000000b 可将 GPIO3/OCCA 逻辑高电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO2/OCCA 逻辑高电平配置为静态低电平。
6:0	GPIO3_LH_PWM_LC[6:0]	R/W	0000000b	GPIO3/OCCA 逻辑高电平 PWM 低计数器 为 GPIO3/OCCA 的逻辑高电平设置 PWM 的低电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 低电平时间 = (PWM 低计数器值 x PWM 时基) 将 PWM 低计数器值设置为 0000000b 可将 GPIO3/OCCA 逻辑高电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO2/OCCA 逻辑高电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.50 GPIO4_LL_PWM_CFG 寄存器（地址 = 57h）[复位 = 007Fh]

返回到汇总表。

图 8-50. GPIO4_LL_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
GPIO4_PWM_TB[1:0]		GPIO4_LL_PWM_HC[6:0]					
R/W-00b		R/W-0000000b					
7	6	5	4	3	2	1	0
GPIO4_LL_PWM_HC[6:0]		GPIO4_LL_PWM_LC[6:0]					
R/W-0000000b		R/W-1111111b					

表 8-51. GPIO4_LL_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	GPIO4_PWM_TB[1:0]	R/W	00b	GPIO4/OCCB PWM 时基选择 当 GPIO4/OCCB 引脚配置为输出以及用于 PWM 编码器的时基时，选择用于 GPIO4/OCCB PWM 生成的时基， 00b = 16 x t_{MCLK}（= 1/512kHz，f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，f_{MCLK} = 8.192MHz 时）
13:7	GPIO4_LL_PWM_HC[6:0]	R/W	0000000b	GPIO4/OCCB 逻辑低电平 PWM 高计数器 为 GPIO4/OOCB 的逻辑低电平设置 PWM 的高电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 高电平时间 =（PWM 高计数器值 x PWM 时基） 将 PWM 高计数器值设置为 0000000b 可将 GPIO4/OCCB 逻辑低电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO4/OCCB 逻辑低电平配置为静态低电平。
6:0	GPIO4_LL_PWM_LC[6:0]	R/W	1111111b	GPIO4/OCCB 逻辑低电平 PWM 低计数器 为 GPIO4/OCCB 的逻辑低电平设置 PWM 的低电平周期。 PWM 周期 =（PWM 高计数器值 + PWM 低计数器值）x PWM 时基 PWM 低电平时间 =（PWM 低计数器值 x PWM 时基） 将 PWM 低计数器值设置为 0000000b 可将 GPIO4/OCCB 逻辑低电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO4/OCCB 逻辑低电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.51 GPIO4_LH_PWM_CFG 寄存器（地址 = 58h）[复位 = 3F80h]

返回到汇总表。

图 8-51. GPIO4_LH_PWM_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED		GPIO4_LH_PWM_HC[6:0]					
R-00b		R/W-1111111b					
7	6	5	4	3	2	1	0
GPIO4_LH_PWM_HC[6:0]		GPIO4_LH_PWM_LC[6:0]					
R/W-1111111b		R/W-0000000b					

表 8-52. GPIO4_LH_PWM_CFG 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	00b	保留 始终读为 00b。
13:7	GPIO4_LH_PWM_HC[6:0]	R/W	1111111b	GPIO4BOCCB 逻辑高电平 PWM 高计数器 为 GPIO4 的逻辑高电平设置 PWM 的高电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 高电平时间 = (PWM 高计数器值 x PWM 时基) 将 PWM 高计数器值设置为 0000000b 可将 GPIO4 逻辑高电平配置为静态低电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO4/OCCB 逻辑高电平配置为静态低电平。
6:0	GPIO4_LH_PWM_LC[6:0]	R/W	0000000b	GPIO4/OCCB 逻辑高电平 PWM 低计数器 为 GPIO4/OCCB 的逻辑高电平设置 PWM 的低电平周期。 PWM 周期 = (PWM 高计数器值 + PWM 低计数器值) x PWM 时基 PWM 低电平时间 = (PWM 低计数器值 x PWM 时基) 将 PWM 低计数器值设置为 0000000b 可将 GPIO4/OCCB 逻辑高电平配置为静态高电平。将 PWM 高计数器值和低计数器值设置为 0000000b 会将 GPIO4/OCCB 逻辑高电平配置为静态低电平。

Copyright © 2025 Texas Instruments Incorporated

8.1.52 SPARE_59h 寄存器（地址 = 59h）[复位 = 5555h]

返回到汇总表。

图 8-52. SPARE_59h 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0101010101010101b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0101010101010101b							

表 8-53. SPARE_59h 寄存器字段说明

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0101010101010101b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 1 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.53 REGISTER_MAP1_CRC 寄存器（地址 = 7Eh）[复位 = 0000h]

返回到汇总表。

图 8-53. REGISTER_MAP1_CRC 寄存器

15	14	13	12	11	10	9	8
REG_MAP1_CRC_VALUE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
REG_MAP1_CRC_VALUE[15:0]							
R/W-0000000000000000b							

表 8-54. REGISTER_MAP1_CRC 寄存器字段说明

位	字段	类型	复位	说明
15:0	REG_MAP1_CRC_VALUE[15:0]	R/W	0000000000000000b	1 段寄存器映射 CRC 值 1 段寄存器映射 CRC 值。

Copyright © 2025 Texas Instruments Incorporated

8.1.54 REGMAP2_TDACA_CFG 寄存器（地址 = 80h）[复位 = 0000h]

返回到汇总表。

图 8-54. REGMAP2_TDACA_CFG 寄存器

15	14	13	12	11	10	9	8
REG_MAP2_CRC_EN	RESERVED						
R/W-0b	R-000000000000b						
7	6	5	4	3	2	1	0
RESERVED					TDACA_VALUE[2:0]		
R-000000000000b					R/W-000b		

表 8-55. REGMAP2_TDACA_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	REG_MAP2_CRC_EN	R/W	0b	寄存器映射 2 段 CRC 启用 为 2 段（从 80h 到 A3h 的寄存器地址空间）启用寄存器映射 CRC。 0b = 禁用 1b = 启用
14:3	RESERVED	R	000000000000b	保留 始终读为 000000000000b。
2:0	TDACA_VALUE[2:0]	R/W	000b	测试 DAC A 输出值 选择测试 DAC A 的输出值。 000b = 1 x VREFA/40 001b = 2 x VREFA/40 010b = 4 x VREFA/40 011b = 9 x VREFA/40 100b = 18 x VREFA/40 101b = 36 x VREFA/40 110b = –4 x VREFA/40 111b = –9 x VREFA/40

Copyright © 2025 Texas Instruments Incorporated

8.1.55 GPIOA_CFG 寄存器（地址 = 81h）[复位 = 8000h]

返回到汇总表。

图 8-55. GPIOA_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED	SPARE[2:0]			GPIO1A_FMT	GPIO0A_FMT	GPIO1A_DIR	GPIO0A_DIR
R-1b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
GPIO1A_PWM_TB[1:0]		GPIO0A_PWM_TB[1:0]		SPARE[1:0]		GPO1A_DAT	GPO0A_DAT
R/W-00b		R/W-00b		R/W-00b		R/W-0b	R/W-0b

表 8-56. GPIOA_CFG 寄存器字段描述

位	字段	类型	复位	说明
15	RESERVED	R	1b	保留 始终读为 1b。
14:12	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。
11	GPIO1A_FMT	R/W	0b	GPIO1A 格式 为静态输入和输出电平或者为 PWM 输入电平配置 GPIO1A。 0b = 当 GPIO1A 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO1A 配置为数字输出时：具有静态输出电平的输出。 1b = 当 GPIO1A 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO1A 配置为数字输出时：具有静态输出电平的输出。GPIO1A 不具有 PWM 输出功能。
10	GPIO0A_FMT	R/W	0b	GPIO0A 格式 为静态输入和输出电平或者为 PWM 输入电平配置 GPIO0A。 0b = 当 GPIO0A 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO0A 配置为数字输出时：具有静态输出电平的输出。 1b = 当 GPIO0A 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO0A 配置为数字输出时：具有静态输出电平的输出。GPIO0A 不包含 PWM 输出功能。
9	GPIO1A_DIR	R/W	0b	GPIO1A 方向 将 GPIO1A 配置为数字输入或数字输出。 0b = 数字输入 1b = 数字输出
8	GPIO0A_DIR	R/W	0b	GPIO0A 方向 将 GPIO0A 配置为数字输入或数字输出。 0b = 数字输入 1b = 数字输出
7:6	GPIO1A_PWM_TB[1:0]	R/W	00b	GPIO1A PWM 时基选择 当 GPIO1A 配置为数字输入时，选择用于 PWM 编码器的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，当 f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，当 f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，当 f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，当 f_{MCLK} = 8.192MHz 时）
5:4	GPIO0A_PWM_TB[1:0]	R/W	00b	GPIO0A PWM 时基选择 当 GPIO0A 配置为数字输入时，选择用于 PWM 编码器的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，当 f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，当 f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，当 f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，当 f_{MCLK} = 8.192MHz 时）
3:2	SPARE[1:0]	R/W	00b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。
1	GPO1A_DAT	R/W	0b	GPIO1A 输出数据 配置为数字输出时 GPIO1A 的输出值。当 GPIO1A 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
0	GPO0A_DAT	R/W	0b	GPIO0A 输出数据 配置为数字输出时 GPIO0A 的输出值。当 GPIO0A 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平

Copyright © 2025 Texas Instruments Incorporated

8.1.56 ADC1A_CFG1 寄存器（地址 = 82h）[复位 = 0400h]

返回到汇总表。

图 8-56. ADC1A_CFG1 寄存器

15	14	13	12	11	10	9	8
RESERVED				CONV_MODE1A	OSR1A[2:0]		
R-0000b				R/W-0b	R/W-100b		
7	6	5	4	3	2	1	0
RESERVED				GC1A_EN	GC1A_DELAY[2:0]		
R-0000b				R/W-0b	R/W-000b		

表 8-57. ADC1A_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0000b	保留 始终读为 0000b。
11	CONV_MODE1A	R/W	0b	转换模式选择 选择 ADC1A 的转换模式。 0b = 连续转换模式 1b = 单次转换模式
10:8	OSR1A[2:0]	R/W	100b	过采样率选择 选择 ADC1A 的过采样率。数据速率计算结果为 f_{MOD} / OSR。 000b = 64 001b = 128 010b = 256 011b = 512 100b = 1024 101b = 2048 110b = 4096 111b = 8192
7:4	RESERVED	R	0000b	保留 始终读为 0000b。
3	GC1A_EN	R/W	0b	全局斩波模式启用 为 ADC1A 启用全局斩波模式。 0b = 禁用 1b = 启用
2:0	GC1A_DELAY[2:0]	R/W	000b	全局斩波模式延迟时间选择 为 ADC1A 选择全局斩波模式下的延迟时间。 000b = 2 x t_{MOD} 001b = 4 x t_{MOD} 010b = 8 x t_{MOD} 011b = 16 x t_{MOD} 100b = 32 x t_{MOD} 101b = 64 x t_{MOD} 110b = 128 x t_{MOD} 111b = 256 x t_{MOD}

Copyright © 2025 Texas Instruments Incorporated

8.1.57 ADC1A_CFG2 寄存器（地址 = 83h）[复位 = 8010h]

返回到汇总表。

图 8-57. ADC1A_CFG2 寄存器

15	14	13	12	11	10	9	8
ADC1A_EN	RESERVED			GAIN1A[1:0]		MUX1A[1:0]	
R/W-1b	R-000b			R/W-00b		R/W-00b	
7	6	5	4	3	2	1	0
RESERVED		OWD1A_SOURCE_MUX	OWD1A_SINK_MUX	OWD1A_SOURCE_VALUE[1:0]		OWD1A_SINK_VALUE[1:0]	
R-00b		R/W-0b	R/W-1b	R/W-00b		R/W-00b	

表 8-58. ADC1A_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15	ADC1A_EN	R/W	1b	ADC1A 启用 启用 ADC1A。 当 ADC1A 被禁用或者器件置于待机或省电模式时，ADC1A 的转换数据复位为 000000h，并且转换计数器 CONV1A_COUNT[1:0] 复位为 00b。 0b = 禁用 1b = 启用
14:12	RESERVED	R	000b	保留 始终读为 000b。
11:10	GAIN1A[1:0]	R/W	00b	ADC1A 增益选择 选择 ADC1A 的增益（FSR = 满标量程范围）。增益 16 和 32 是使用模拟增益 = 8 的数字增益。 00b = 4 01b = 8 10b = 16 11b = 32
9:8	MUX1A[1:0]	R/W	00b	ADC1A 多路复用器通道选择 为 ADC1A 选择多路复用器通道。 00b = AINp = CPA，AINn = CNA 01b = AINp = CNA，AINn = CPA 10b = 内部短接至 AGNDA。模拟输入 CPA、CNA 与 ADC1A 断开连接。 11b = 测试 DAC B 输出
7:6	RESERVED	R	00b	保留 始终读为 00b。
5	OWD1A_SOURCE_MUX	R/W	0b	ADC1A 电流源多路复用器选择 为 ADC1A 电流源选择多路复用器通道。 0b = CPA 1b = CNA
4	OWD1A_SINK_MUX	R/W	1b	ADC1A 电流阱多路复用器选择 为 ADC1A 电流阱选择多路复用器通道。 0b = CPA 1b = CNA
3:2	OWD1A_SOURCE_VALUE[1:0]	R/W	00b	ADC1A 电流源值选择 选择 ADC1A 电流源的电流值。 00b = 关闭 01b = 4μA 10b = 40μA 11b = 240μA
1:0	OWD1A_SINK_VALUE[1:0]	R/W	00b	ADC1A 电流阱值选择 选择 ADC1A 电流阱的电流值。 00b = 关闭 01b = 4μA 10b = 40μA 11b = 240μA

Copyright © 2025 Texas Instruments Incorporated

8.1.58 ADC1A_OCAL_MSB 寄存器（地址 = 84h）[复位 = 0000h]

返回到汇总表。

图 8-58. ADC1A_OCAL_MSB 寄存器

15	14	13	12	11	10	9	8
OCAL1A[23:8]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
OCAL1A[23:8]							
R/W-0000000000000000b							

表 8-59. ADC1A_OCAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
15:0	OCAL1A[23:8]	R/W	0000000000000000b	ADC1A 偏移校准位 [23:8] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFA) / (GAIN1A x 2^{24})

Copyright © 2025 Texas Instruments Incorporated

8.1.59 ADC1A_OCAL_LSB 寄存器（地址 = 85h）[复位 = 0000h]

返回到汇总表。

图 8-59. ADC1A_OCAL_LSB 寄存器

15	14	13	12	11	10	9	8
OCAL1A[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-60. ADC1A_OCAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
15:8	OCAL1A[7:0]	R/W	00000000b	ADC1A 偏移校准位 [7:0] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFA) / (GAIN1A x 2^{24})
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.60 ADC1A_GCAL 寄存器（地址 = 86h）[复位 = 0000h]

返回到汇总表。

图 8-60. ADC1A_GCAL 寄存器

15	14	13	12	11	10	9	8
GCAL1A[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
GCAL1A[15:0]							
R/W-0000000000000000b							

表 8-61. ADC1A_GCAL 寄存器字段说明

位	字段	类型	复位	说明
15:0	GCAL1A[15:0]	R/W	0000000000000000b	ADC1A 增益校准位 [15:0] 以二进制补码格式提供值。 LSB 大小 = $1/2^{16}$ = 0.000015 映射： 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5

Copyright © 2025 Texas Instruments Incorporated

8.1.61 OCCA_CFG 寄存器（地址 = 87h）[复位 = 0000h]

返回到汇总表。

图 8-61. OCA_CFG 寄存器

15	14	13	12	11	10	9	8
OCCA_EN	OCCA_POL	RESERVED	OCCA_NUM[4:0]				
R/W-0b	R/W-0b	R/W-0b	R/W-00000b				
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-62. OCCA_CFG 寄存器字段描述

位	字段	类型	复位	说明
15	OCCA_EN	R/W	0b	ADC1A 过流比较器启用 在 ADC1A 上启用数字快速滤波器和数字比较器。必须启用 ADC1A 才能使用过流比较器。快速滤波器不受 STARTA 和 STOPA 位的影响。 0b = 禁用 1b = 启用
14	OCCA_POL	R/W	0b	OCCA 引脚极性选择 选择 OCCA 引脚的极性。当 GPIO3/OCCA 引脚在 GPIO3_SRC 位中配置为 OCCA 输出时，其实际输出行为取决于 GPIO3_FMT 设置。当任何 OCA_HTN 或 OCA_LTn 位有效时，OCA 故障激活。 0b = 低电平有效。如果发生故障，则驱动逻辑低电平。 1b = 高电平有效。如果发生故障，则驱动逻辑高电平。
13	RESERVED	R/W	0b	保留 始终写入 0b。
12:8	OCCA_NUM[4:0]	R/W	00000b	ADC1A 过流比较器抗尖峰脉冲滤波器选择 选择转换次数，ADC1A 数字快速滤波器的输出必须超过设置的高阈值或低阈值才能触发 OCA_HTN 或 OCA_LTn 比较器输出。快速滤波路径使用固定 OSR = 64 的 SINC3 滤波器。每当数字快速滤波器输出降至阈值以下时，计数器都会再次启动，这意味着没有磁滞。 00000b = 1 00001b = 2 00010b = 3 00011b = 4 00100b = 5 00101b = 6 00110b = 7 00111b = 8 01000b = 9 01001b = 10 01010b = 12 01011b = 14 01100b = 16 01101b = 18 01110b = 20 01111b = 22 10000b = 24 10001b = 26 10010b = 28 10011b = 32 10100b = 40 10101b = 48 10110b = 56 10111b = 64 11000b = 72 11001b = 80 11010b = 88 11011b = 96 11100b = 104 11101b = 112 11110b = 120 11111b = 128
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b

Copyright © 2025 Texas Instruments Incorporated

8.1.62 OCCA_HIGH_THRESHOLD 寄存器（地址 = 88h）[复位 = 7FFFh]

返回到汇总表。

图 8-62. OCCA_HIGH_THRESHOLD 寄存器

15	14	13	12	11	10	9	8
OCCA_HIGH_TH[15:0]							
R/W-0111111111111111b							
7	6	5	4	3	2	1	0
OCCA_HIGH_TH[15:0]							
R/W-0111111111111111b							

表 8-63. OCCA_HIGH_THRESHOLD 寄存器字段描述

位	字段	类型	复位	说明
15:0	OCCA_HIGH_TH[15:0]	R/W	0111111111111111b	ADC1A 过流比较器高阈值位 [15:0] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFA) / (GAIN1A x 2^{16}) 大于高阈值的值会触发 OCCA_HTn 事件。将值设置为 +FS (= 7FFFh) 会禁用高阈值检测。

Copyright © 2025 Texas Instruments Incorporated

8.1.63 OCCA_LOW_THRESHOLD 寄存器（地址 = 89h）[复位 = 8000h]

返回到汇总表。

图 8-63. OCCA_LOW_THRESHOLD 寄存器

15	14	13	12	11	10	9	8
OCCA_LOW_TH[15:0]							
R/W-1000000000000000b							
7	6	5	4	3	2	1	0
OCCA_LOW_TH[15:0]							
R/W-1000000000000000b							

表 8-64. OCCA_LOW_THRESHOLD 寄存器字段描述

位	字段	类型	复位	说明
15:0	OCCA_LOW_TH[15:0]	R/W	1000000000000000b	ADC1A 过流比较器低阈值位 [15:0] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFA) / (GAIN1A x 2^{16}) 小于低阈值的值会触发 OCCA_LTn 事件。将值设置为 –FS (= 8000h) 会禁用低阈值检测。

Copyright © 2025 Texas Instruments Incorporated

8.1.64 SPARE_8Ah 寄存器（地址 = 8Ah）[复位 = 5555h]

返回到汇总表。

图 8-64. SPARE_8Ah 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0101010101010101b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0101010101010101b							

表 8-65. SPARE_8Ah 寄存器字段说明

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0101010101010101b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.65 ADC2A_CFG1 寄存器（地址 = 8Bh）[复位 = 8010h]

返回到汇总表。

图 8-65. ADC2A_CFG1 寄存器

15	14	13	12	11	10	9	8
ADC2A_EN	RESERVED				VCMA_EN	OWD2A_SOURCE_MUX[2:0]	
R/W-1b	R-0000b				R/W-0b	R/W-000b	
7	6	5	4	3	2	1	0
OWD2A_SOURCE_MUX[2:0]	OWD2A_SINK_MUX[2:0]			OWD2A_SOURCE_VALUE[1:0]		OWD2A_SINK_VALUE[1:0]	
R/W-000b	R/W-001b			R/W-00b		R/W-00b	

表 8-66. ADC2A_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15	ADC2A_EN	R/W	1b	ADC2A 启用 启用 ADC2A。 禁用 ADC2A 时，仅将寄存器设置从 ADC2A 的地址 8Ch 更改为 9Fh。 当禁用 ADC2A 或当器件处于待机或省电模式时，ADC2A 的转换数据复位为 0000h，序列计数器 SEQ2A_COUNT[1:0] 复位为 00b。 0b = 禁用 1b = 启用
14:11	RESERVED	R	0000b	保留 始终读为 0000b。
10	VCMA_EN	R/W	0b	共模输出缓冲器 VCMA 启用 在模拟输入 V7A 上启用共模输出缓冲器。 0b = 禁用 1b = 启用
9:7	OWD2A_SOURCE_MUX[2:0]	R/W	000b	ADC2A 电流源多路复用器选择 为 ADC2A 电流源选择多路复用器通道。 000b = V0A 001b = V1A 010b = V2A 011b = V3A 100b = V4A 101b = V5A 110b = V6A 111b = V7A
6:4	OWD2A_SINK_MUX[2:0]	R/W	001b	ADC2A 电流阱多路复用器选择 为 ADC2A 电流阱选择多路复用器通道。 000b = V0A 001b = V1A 010b = V2A 011b = V3A 100b = V4A 101b = V5A 110b = V6A 111b = V7A
3:2	OWD2A_SOURCE_VALUE[1:0]	R/W	00b	ADC2A 电流源值选择 选择 ADC2A 电流源的电流值。 00b = 关闭 01b = 4μA 10b = 40μA 11b = 240μA
1:0	OWD2A_SINK_VALUE[1:0]	R/W	00b	ADC2A 电流阱值选择 选择 ADC2A 电流阱的电流值。 00b = 关闭 01b = 4μA 10b = 40μA 11b = 240μA

Copyright © 2025 Texas Instruments Incorporated

8.1.66 ADC2A_CFG2 寄存器（地址 = 8Ch）[复位 = 0000h]

返回到汇总表。

图 8-66. ADC2A_CFG2 寄存器

15	14	13	12	11	10	9	8
SEQ2A_MODE[1:0]		RESERVED			MUX2A_DELAY[2:0]		
R/W-00b		R-000b			R/W-000b		
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
RESERVED						OSR2A[1:0]	
R-000000b						R/W-00b	

表 8-67. ADC2A_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15:14	SEQ2A_MODE[1:0]	R/W	00b	ADC2A 序列发生器模式选择 选择 ADC2A 序列发生器启动新序列的方式。在所有模式下，设置 SEQ2A_START 位始终会中止并重新启动正在进行的序列。 00b = 基于 SEQ2A_START 位的单次序列模式（在设置 SEQ2A_START 位后，ADC2A 通过序列运行一次） 01b = 基于 ADC1A 转换启动或 SEQ2A_START 位的单次序列模式。仅当 ADC1A 配置为连续转换模式时，该设置才有用。在 DRDYAn 的下降沿或设置 SEQ2A_START 位时启动序列。当序列正在进行时，由 DRDYAn 信号触发的转换启动会被忽略，即不会中止并重新启动序列。 10b = 基于 SEQ2A_START 位的连续序列模式 11b = 基于 SEQ2A_START 位的连续序列模式
13:11	RESERVED	R	000b	保留 始终读为 00b。
10:8	MUX2A_DELAY[2:0]	R/W	000b	ADC2A 多路复用器延迟时间选择 选择在下一个序列步骤中开始转换之前的延迟时间。 000b = 16 x t_{MCLK}（= 2µs，f_{MCLK} = 8.192MHz 时） 001b = 64 x t_{MCLK}（= 7.8µs，f_{MCLK} = 8.192MHz 时） 010b = 128 x t_{MCLK}（= 15.6µs，f_{MCLK} = 8.192MHz 时） 011b = 256 x t_{MCLK}（= 31.2µs，f_{MCLK} = 8.192MHz 时） 100b = 512 x t_{MCLK}（= 62.5µs，f_{MCLK} = 8.192MHz 时） 101b = 1024 x t_{MCLK}（= 124.9µs，f_{MCLK} = 8.192MHz 时） 110b = 2048 x t_{MCLK}（= 249.9µs，f_{MCLK} = 8.192MHz 时） 111b = 4096 x t_{MCLK}（= 499.7µs，f_{MCLK} = 8.192MHz 时）
7:2	RESERVED	R	000000b	保留 始终读为 000000b。
1:0	OSR2A[1:0]	R/W	00b	ADC2A 过采样率选择 选择 ADC2A 的过采样率。 00b = 64（SINC3 OSR = 64，转换时间 = 384 x t_{MCLK}） 01b = 128（SINC3 OSR = 64，SINC1 OSR = 2，转换时间 = 512 x t_{MCLK}） 10b = 256（SINC3 OSR = 64，SINC1 OSR = 4，转换时间 = 768 x t_{MCLK}） 11b = 512（SINC3 OSR = 64，SINC1 OSR = 8，转换时间 = 1280 x t_{MCLK}）

Copyright © 2025 Texas Instruments Incorporated

8.1.67 SPARE_8Dh 寄存器（地址 = 8Dh）[复位 = 0000h]

返回到汇总表。

图 8-67. SPARE_8Dh 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-00000000b							
7	6	5	4	3	2	1	0
SPARE[7:0]							
R/W-00000000b							

表 8-68. SPARE_8Dh 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	00000000b	保留 始终读为 00000000b。
7:0	SPARE[7:0]	R/W	00000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.68 ADC2A_OCAL 寄存器（地址 = 8Eh）[复位 = 0000h]

返回到汇总表。

图 8-68. ADC2A_OCAL 寄存器

15	14	13	12	11	10	9	8
OCAL2A[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
OCAL2A[15:0]							
R/W-0000000000000000b							

表 8-69. ADC2A_OCAL 寄存器字段说明

位	字段	类型	复位	说明
15:0	OCAL2A[15:0]	R/W	0000000000000000b	ADC2A 偏移校准位 [15:0] 以二进制补码格式提供值。 GAIN2A = 1：LSB 大小 = (2 x VREFA) / 2^{16} GAIN2A = 2, 4: LSB 大小 = (2 x VREFA) / (2 x 2^{16})

Copyright © 2025 Texas Instruments Incorporated

8.1.69 ADC2A_GCAL 寄存器（地址 = 8Fh）[复位 = 0000h]

返回到汇总表。

图 8-69. ADC2A_GCAL 寄存器

15	14	13	12	11	10	9	8
GCAL2A[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
GCAL2A[15:0]							
R/W-0000000000000000b							

表 8-70. ADC2A_GCAL 寄存器字段说明

位	字段	类型	复位	说明
15:0	GCAL2A[15:0]	R/W	0000000000000000b	ADC2A 增益校准位 [15:0] 以二进制补码格式提供值。 LSB 大小 = $1/2^{16}$ = 0.000015 映射： 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5

Copyright © 2025 Texas Instruments Incorporated

8.1.70 SEQ2A_STEP0_CFG 寄存器（地址 = 90h）[复位 = 0000h]

返回到汇总表。

图 8-70. SEQ2A_STEP0_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP0_EN	SEQ2A_STEP0_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP0_CH_N	SEQ2A_STEP0_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0000b			

表 8-71. SEQ2A_STEP0_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP0_EN	R/W	0b	ADC2A 序列步骤 0 启用 启用 ADC2A 序列发生器的序列步骤 0。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP0_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 0 增益选择 为序列步骤 0 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP0_CH_N	R/W	0b	ADC2A 序列步骤 0 负输入通道选择 为序列步骤 0 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP0_CH_P[3:0]	R/W	0000b	ADC2A 序列步骤 0 正输入通道选择 为序列步骤 0 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP0_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.71 SEQ2A_STEP1_CFG 寄存器（地址 = 91h）[复位 = 0001h]

返回到汇总表。

图 8-71. SEQ2A_STEP1_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP1_EN	SEQ2A_STEP1_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP1_CH_N	SEQ2A_STEP1_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0001b			

表 8-72. SEQ2A_STEP1_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP1_EN	R/W	0b	ADC2A 序列步骤 1 启用 启用 ADC2A 序列发生器的序列步骤 1。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP1_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 1 增益选择 为序列步骤 1 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP1_CH_N	R/W	0b	ADC2A 序列步骤 1 负输入通道选择 为序列步骤 1 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP1_CH_P[3:0]	R/W	0001b	ADC2A 序列步骤 1 正输入通道选择 为序列步骤 1 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP1_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.72 SEQ2A_STEP2_CFG 寄存器（地址 = 92h）[复位 = 0002h]

返回到汇总表。

图 8-72. SEQ2A_STEP2_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP2_EN	SEQ2A_STEP2_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP2_CH_N	SEQ2A_STEP2_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0010b			

表 8-73. SEQ2A_STEP2_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP2_EN	R/W	0b	ADC2A 序列步骤 2 启用 启用 ADC2A 序列发生器的序列步骤 2。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP2_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 2 增益选择 为序列步骤 2 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP2_CH_N	R/W	0b	ADC2A 序列步骤 2 负输入通道选择 为序列步骤 2 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP2_CH_P[3:0]	R/W	0010b	ADC2A 序列步骤 2 正输入通道选择 为序列步骤 2 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP2_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.73 SEQ2A_STEP3_CFG 寄存器（地址 = 93h）[复位 = 0003h]

返回到汇总表。

图 8-73. SEQ2A_STEP3_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP3_EN	SEQ2A_STEP3_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP3_CH_N	SEQ2A_STEP3_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0011b			

表 8-74. SEQ2A_STEP3_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP3_EN	R/W	0b	ADC2A 序列步骤 3 启用 启用 ADC2A 序列发生器的序列步骤 3。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP3_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 3 增益选择 为序列步骤 3 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP3_CH_N	R/W	0b	ADC2A 序列步骤 3 负输入通道选择 为序列步骤 3 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP3_CH_P[3:0]	R/W	0011b	ADC2A 序列步骤 3 正输入通道选择 为序列步骤 3 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP3_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.74 SEQ2A_STEP4_CFG 寄存器（地址 = 94h）[复位 = 0004h]

返回到汇总表。

图 8-74. SEQ2A_STEP4_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP4_EN	SEQ2A_STEP4_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP4_CH_N	SEQ2A_STEP4_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0100b			

表 8-75. SEQ2A_STEP4_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP4_EN	R/W	0b	ADC2A 序列步骤 4 启用 启用 ADC2A 序列发生器的序列步骤 4。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP4_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 4 增益选择 为序列步骤 4 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP4_CH_N	R/W	0b	ADC2A 序列步骤 4 负输入通道选择 为序列步骤 4 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP4_CH_P[3:0]	R/W	0100b	ADC2A 序列步骤 4 正输入通道选择 为序列步骤 4 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP4_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.75 SEQ2A_STEP5_CFG 寄存器（地址 = 95h）[复位 = 0005h]

返回到汇总表。

图 8-75. SEQ2A_STEP5_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP5_EN	SEQ2A_STEP5_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP5_CH_N	SEQ2A_STEP5_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0101b			

表 8-76. SEQ2A_STEP5_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP5_EN	R/W	0b	ADC2A 序列步骤 5 启用 启用 ADC2A 序列发生器的序列步骤 5。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP5_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 5 增益选择 为序列步骤 5 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP5_CH_N	R/W	0b	ADC2A 序列步骤 5 负输入通道选择 为序列步骤 5 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP5_CH_P[3:0]	R/W	0101b	ADC2A 序列步骤 5 正输入通道选择 为序列步骤 5 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP5_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.76 SEQ2A_STEP6_CFG 寄存器（地址 = 96h）[复位 = 0006h]

返回到汇总表。

图 8-76. SEQ2A_STEP6_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP6_EN	SEQ2A_STEP6_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP6_CH_N	SEQ2A_STEP6_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0110b			

表 8-77. SEQ2A_STEP6_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP6_EN	R/W	0b	ADC2A 序列步骤 6 启用 启用 ADC2A 序列发生器的序列步骤 6。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP6_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 6 增益选择 为序列步骤 6 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP6_CH_N	R/W	0b	ADC2A 序列步骤 6 负输入通道选择 为序列步骤 6 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP6_CH_P[3:0]	R/W	0110b	ADC2A 序列步骤 6 正输入通道选择 为序列步骤 6 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP6_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.77 SEQ2A_STEP7_CFG 寄存器（地址 = 97h）[复位 = 0007h]

返回到汇总表。

图 8-77. SEQ2A_STEP7_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP7_EN	SEQ2A_STEP7_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP7_CH_N	SEQ2A_STEP7_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-0111b			

表 8-78. SEQ2A_STEP7_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP7_EN	R/W	0b	ADC2A 序列步骤 7 启用 启用 ADC2A 序列发生器的序列步骤 7。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP7_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 7 增益选择 为序列步骤 7 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP7_CH_N	R/W	0b	ADC2A 序列步骤 7 负输入通道选择 为序列步骤 7 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP7_CH_P[3:0]	R/W	0111b	ADC2A 序列步骤 7 正输入通道选择 为序列步骤 7 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP7_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.78 SEQ2A_STEP8_CFG 寄存器（地址 = 98h）[复位 = 0008h]

返回到汇总表。

图 8-78. SEQ2A_STEP8_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP8_EN	SEQ2A_STEP8_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP8_CH_N	SEQ2A_STEP8_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1000b			

表 8-79. SEQ2A_STEP8_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP8_EN	R/W	0b	ADC2A 序列步骤 8 启用 启用 ADC2A 序列发生器的序列步骤 8。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP8_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 8 增益选择 为序列步骤 8 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP8_CH_N	R/W	0b	ADC2A 序列步骤 8 负输入通道选择 为序列步骤 8 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP8_CH_P[3:0]	R/W	1000b	ADC2A 序列步骤 8 正输入通道选择 为序列步骤 8 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP8_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.79 SEQ2A_STEP9_CFG 寄存器（地址 = 99h）[复位 = 0009h]

返回到汇总表。

图 8-79. SEQ2A_STEP9_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP9_EN	SEQ2A_STEP9_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP9_CH_N	SEQ2A_STEP9_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1001b			

表 8-80. SEQ2A_STEP9_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP9_EN	R/W	0b	ADC2A 序列步骤 9 启用 启用 ADC2A 序列发生器的序列步骤 9。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP9_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 9 增益选择 为序列步骤 9 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP9_CH_N	R/W	0b	ADC2A 序列步骤 9 负输入通道选择 为序列步骤 9 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP9_CH_P[3:0]	R/W	1001b	ADC2A 序列步骤 9 正输入通道选择 为序列步骤 9 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP9_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.80 SEQ2A_STEP10_CFG 寄存器（地址 = 9Ah）[复位 = 000Ah]

返回到汇总表。

图 8-80. SEQ2A_STEP10_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP10_EN	SEQ2A_STEP10_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP10_CH_N	SEQ2A_STEP10_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1010b			

表 8-81. SEQ2A_STEP10_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP10_EN	R/W	0b	ADC2A 序列步骤 10 启用 启用 ADC2A 序列发生器的序列步骤 10。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP10_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 10 增益选择 为序列步骤 10 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP10_CH_N	R/W	0b	ADC2A 序列步骤 10 负输入通道选择 为序列步骤 10 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP10_CH_P[3:0]	R/W	1010b	ADC2A 序列步骤 10 正输入通道选择 为序列步骤 10 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP10_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.81 SEQ2A_STEP11_CFG 寄存器（地址 = 9Bh）[复位 = 000Bh]

返回到汇总表。

图 8-81. SEQ2A_STEP11_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP11_EN	SEQ2A_STEP11_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP11_CH_N	SEQ2A_STEP11_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1011b			

表 8-82. SEQ2A_STEP11_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP11_EN	R/W	0b	ADC2A 序列步骤 11 启用 启用 ADC2A 序列发生器的序列步骤 11。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP11_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 11 增益选择 为序列步骤 11 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP11_CH_N	R/W	0b	ADC2A 序列步骤 11 负输入通道选择 为序列步骤 11 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP11_CH_P[3:0]	R/W	1011b	ADC2A 序列步骤 11 正输入通道选择 为序列步骤 11 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP11_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.82 SEQ2A_STEP12_CFG 寄存器（地址 = 9Ch）[复位 = 000Ch]

返回到汇总表。

图 8-82. SEQ2A_STEP12_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP12_EN	SEQ2A_STEP12_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP12_CH_N	SEQ2A_STEP12_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1100b			

表 8-83. SEQ2A_STEP12_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP12_EN	R/W	0b	ADC2A 序列步骤 12 启用 启用 ADC2A 序列发生器的序列步骤 12。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP12_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 12 增益选择 为序列步骤 12 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP12_CH_N	R/W	0b	ADC2A 序列步骤 12 负输入通道选择 为序列步骤 12 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP12_CH_P[3:0]	R/W	1100b	ADC2A 序列步骤 12 正输入通道选择 为序列步骤 12 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP12_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.83 SEQ2A_STEP13_CFG 寄存器（地址 = 9Dh）[复位 = 000Dh]

返回到汇总表。

图 8-83. SEQ2A_STEP13_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP13_EN	SEQ2A_STEP13_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP13_CH_N	SEQ2A_STEP13_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1101b			

表 8-84. SEQ2A_STEP13_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP13_EN	R/W	0b	ADC2A 序列步骤 13 启用 启用 ADC2A 序列发生器的序列步骤 13。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP13_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 13 增益选择 为序列步骤 13 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP13_CH_N	R/W	0b	ADC2A 序列步骤 13 负输入通道选择 为序列步骤 13 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP13_CH_P[3:0]	R/W	1101b	ADC2A 序列步骤 13 正输入通道选择 为序列步骤 13 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP13_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.84 SEQ2A_STEP14_CFG 寄存器（地址 = 9Eh）[复位 = 000Eh]

返回到汇总表。

图 8-84. SEQ2A_STEP14_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP14_EN	SEQ2A_STEP14_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP14_CH_N	SEQ2A_STEP14_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1110b			

表 8-85. SEQ2A_STEP14_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP14_EN	R/W	0b	ADC2A 序列步骤 14 启用 启用 ADC2A 序列发生器的序列步骤 14。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP14_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 14 增益选择 为序列步骤 14 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP14_CH_N	R/W	0b	ADC2A 序列步骤 14 负输入通道选择 为序列步骤 14 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP14_CH_P[3:0]	R/W	1110b	ADC2A 序列步骤 14 正输入通道选择 为序列步骤 14 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP14_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.85 SEQ2A_STEP15_CFG 寄存器（地址 = 9Fh）[复位 = 000Fh]

返回到汇总表。

图 8-85. SEQ2A_STEP15_CFG 寄存器

15	14	13	12	11	10	9	8
SEQ2A_STEP15_EN	SEQ2A_STEP15_GAIN[1:0]		RESERVED				
R/W-0b	R/W-00b		R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SEQ2A_STEP15_CH_N	SEQ2A_STEP15_CH_P[3:0]			
R-00000000b			R/W-0b	R/W-1111b			

表 8-86. SEQ2A_STEP15_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	SEQ2A_STEP15_EN	R/W	0b	ADC2A 序列步骤 15 启用 启用 ADC2A 序列发生器的序列步骤 15。 0b = 禁用 1b = 启用
14:13	SEQ2A_STEP15_GAIN[1:0]	R/W	00b	ADC2A 序列步骤 15 增益选择 为序列步骤 15 选择 ADC2A 增益。 00b = 1 01b = 2 10b = 4 11b = 4
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4	SEQ2A_STEP15_CH_N	R/W	0b	ADC2A 序列步骤 15 负输入通道选择 为序列步骤 15 选择负 ADC2A 模拟输入。 0b = AGNDA 1b = V7A
3:0	SEQ2A_STEP15_CH_P[3:0]	R/W	1111b	ADC2A 序列步骤 15 正输入通道选择 为序列步骤 15 选择正 ADC2A 模拟输入。对于自动选择负 ADC 输入的设置，SEQ2A_STEP15_CH_N 位无效。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度传感器 A（自动选择负 ADC 输入） 1001b = 内部短接到 AGNDA，与输入断开连接（自动选择负 ADC 输入） 1010b = 测试 DAC B（自动选择负 ADC 输入） 1011b = AVDD/4（自动选择负 ADC 输入） 1100b = IOVDD/4（自动选择负 ADC 输入） 1101b = DVDD/2（自动选择负 ADC 输入） 1110b = APWR/103（自动选择负 ADC 输入） 1111b = DPWR/103（自动选择负 ADC 输入）

Copyright © 2025 Texas Instruments Incorporated

8.1.86 SPARE_A0h 寄存器（地址 = A0h）[复位 = 0210h]

返回到汇总表。

图 8-86. SPARE_A0h 寄存器

15	14	13	12	11	10	9	8
RESERVED				SPARE[1:0]		RESERVED	
R-0000b				R/W-00b		R-1000b	
7	6	5	4	3	2	1	0
RESERVED		SPARE[1:0]		RESERVED			
R-1000b		R/W-01b		R-0000b			

表 8-87. SPARE_A0h 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0000b	保留 始终读为 0000b。
11:10	SPARE[1:0]	R/W	00b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。
9:6	RESERVED	R	1000b	保留 始终读为 1000b。
5:4	SPARE[1:0]	R/W	01b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。
3:0	RESERVED	R	0000b	保留 始终读为 0000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.87 SPARE_A1h 寄存器（地址 = A1h）[复位 = 0000h]

返回到汇总表。

图 8-87. SPARE_A1h 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0000000000000000b							

表 8-88. SPARE_A1h 寄存器字段说明

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0000000000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.88 SPARE_A2h 寄存器（地址 = A2h）[复位 = 0000h]

返回到汇总表。

图 8-88. SPARE_A2h 寄存器

15	14	13	12	11	10	9	8
SPARE[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-89. SPARE_A2h 寄存器字段说明

位	字段	类型	复位	说明
15:8	SPARE[7:0]	R/W	00000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.89 SPARE_A3h 寄存器（地址 = A3h）[复位 = 0000h]

返回到汇总表。

图 8-89. SPARE_A3h 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0000000000000000b							

表 8-90. SPARE_A3h 寄存器字段说明

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0000000000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.90 REGISTER_MAP2_CRC 寄存器（地址 = BEh）[复位 = 0000h]

返回到汇总表。

图 8-90. REGISTER_MAP2_CRC 寄存器

15	14	13	12	11	10	9	8
REG_MAP2_CRC_VALUE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
REG_MAP2_CRC_VALUE[15:0]							
R/W-0000000000000000b							

表 8-91. REGISTER_MAP2_CRC 寄存器字段说明

位	字段	类型	复位	说明
15:0	REG_MAP2_CRC_VALUE[15:0]	R/W	0000000000000000b	2 段寄存器映射 CRC 值 2 段寄存器映射 CRC 值。

Copyright © 2025 Texas Instruments Incorporated

8.1.91 REGMAP3_TDACB_CFG 寄存器（地址 = C0h）[复位 = 0000h]

返回到汇总表。

图 8-91. REGMAP3_TDACB_CFG 寄存器

15	14	13	12	11	10	9	8
REG_MAP3_CRC_EN	RESERVED						
R/W-0b	R-000000000000b						
7	6	5	4	3	2	1	0
RESERVED					TDACB_VALUE[2:0]		
R-000000000000b					R/W-000b		

表 8-92. REGMAP3_TDACB_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	REG_MAP3_CRC_EN	R/W	0b	寄存器映射 3 段 CRC 启用 为 3 段（从 C0h 到 E3h 的寄存器地址空间）启用寄存器映射 CRC。 0b = 禁用 1b = 启用
14:3	RESERVED	R	000000000000b	保留 始终读为 000000000000b。
2:0	TDACB_VALUE[2:0]	R/W	000b	测试 DAC B 输出值 选择测试 DAC B 的输出值。 000b = 1 x VREFB/40 001b = 2 x VREFB/40 010b = 4 x VREFB/40 011b = 9 x VREFB/40 100b = 18 x VREFB/40 101b = 36 x VREFB/40 110b = –4 x VREFB/40 111b = –9 x VREFB/40

Copyright © 2025 Texas Instruments Incorporated

8.1.92 GPIOB_CFG 寄存器（地址 = C1h）[复位 = 8000h]

返回到汇总表。

图 8-92. GPIOB_CFG 寄存器

15	14	13	12	11	10	9	8
RESERVED	SPARE[2:0]			GPIO1B_FMT	GPIO0B_FMT	GPIO1B_DIR	GPIO0B_DIR
R-1b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
GPIO1B_PWM_TB[1:0]		GPIO0B_PWM_TB[1:0]		SPARE[1:0]		GPO1B_DAT	GPO0B_DAT
R/W-00b		R/W-00b		R/W-00b		R/W-0b	R/W-0b

表 8-93. GPIOB_CFG 寄存器字段描述

位	字段	类型	复位	说明
15	RESERVED	R	1b	保留 始终读为 1b。
14:12	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射第 2 段 CRC。位设置无效。
11	GPIO1B_FMT	R/W	0b	GPIO1B 格式 将 GPIO1B 配置为静态输入和输出电平或 PWM 输入电平。 0b = 当 GPIO1B 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO1B 配置为数字输出时：具有静态输出电平的输出。 1b = 当 GPIO1B 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO1B 配置为数字输出时：具有静态输出电平的输出。GPIO1B 不包含 PWM 输出功能。
10	GPIO0B_FMT	R/W	0b	GPIO0B 格式 为静态输入和输出电平或者为 PWM 输入电平配置 GPIO0B。 0b = 当 GPIO0B 配置为数字输入时：逻辑电平基于静态输入电平。当 GPIO0B 配置为数字输出时：具有静态输出电平的输出。 1b = 当 GPIO0B 配置为数字输入时：逻辑电平基于 PWM 输入解码。当 GPIO0B 配置为数字输出时：具有静态输出电平的输出。GPIO0B 不包含 PWM 输出功能。
9	GPIO1B_DIR	R/W	0b	GPIO1B 方向 将 GPIO1B 配置为数字输入或数字输出。 0b = 数字输入 1b = 数字输出
8	GPIO0B_DIR	R/W	0b	GPIO0B 方向 将 GPIO0B 配置为数字输入或数字输出。 0b = 数字输入 1b = 数字输出
7:6	GPIO1B_PWM_TB[1:0]	R/W	00b	GPIO1B PWM 时基选择 当 GPIO1B 配置为数字输入时，选择用于 PWM 编码器的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，当 f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，当 f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，当 f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，当 f_{MCLK} = 8.192MHz 时）
5:4	GPIO0B_PWM_TB[1:0]	R/W	00b	GPIO0B PWM 时基选择 当 GPIO0B 配置为数字输入时，选择用于 PWM 编码器的时基。 00b = 16 x t_{MCLK}（= 1/512kHz，当 f_{MCLK} = 8.192MHz 时） 01b = 64 x t_{MCLK}（= 1/128kHz，当 f_{MCLK} = 8.192MHz 时） 10b = 256 x t_{MCLK}（= 1/32kHz，当 f_{MCLK} = 8.192MHz 时） 11b = 1024 x t_{MCLK}（= 1/8kHz，当 f_{MCLK} = 8.192MHz 时）
3:2	SPARE[1:0]	R/W	00b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 2 段 CRC。位设置无效。
1	GPO1B_DAT	R/W	0b	GPIO1B 输出数据 配置为输出时 GPIO1B 的输出值。当 GPIO1B 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
0	GPO0B_DAT	R/W	0b	GPIO0B 输出数据 配置为输出时 GPIO0B 的输出值。当 GPIO0B 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平

Copyright © 2025 Texas Instruments Incorporated

8.1.93 ADC1B_CFG1 寄存器（地址 = C2h）[复位 = 0400h]

返回到汇总表。

图 8-93. ADC1B_CFG1 寄存器

15	14	13	12	11	10	9	8
RESERVED				CONV_MODE1B	OSR1B[2:0]		
R-0000b				R/W-0b	R/W-100b		
7	6	5	4	3	2	1	0
RESERVED				GC1B_EN	GC1B_DELAY[2:0]		
R-0000b				R/W-0b	R/W-000b		

表 8-94. ADC1B_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0000b	保留 始终读为 0000b。
11	CONV_MODE1B	R/W	0b	转换模式选择 选择 ADC1B 的转换模式。 0b = 连续转换模式 1b = 单次转换模式
10:8	OSR1B[2:0]	R/W	100b	过采样率选择 选择 ADC1B 的过采样率。数据速率计算结果为 f_{MOD} / OSR。 000b = 64 001b = 128 010b = 256 011b = 512 100b = 1024 101b = 2048 110b = 4096 111b = 8192
7:4	RESERVED	R	0000b	保留 始终读为 0000b。
3	GC1B_EN	R/W	0b	全局斩波模式启用 为 ADC1B 启用全局斩波模式。 0b = 禁用 1b = 启用
2:0	GC1B_DELAY[2:0]	R/W	000b	全局斩波模式延迟时间选择 为 ADC1B 选择全局斩波模式下的延迟时间。 000b = 2 x t_{MOD} 001b = 4 x t_{MOD} 010b = 8 x t_{MOD} 011b = 16 x t_{MOD} 100b = 32 x t_{MOD} 101b = 64 x t_{MOD} 110b = 128 x t_{MOD} 111b = 256 x t_{MOD}

Copyright © 2025 Texas Instruments Incorporated

8.1.94 ADC1B_CFG2 寄存器（地址 = C3h）[复位 = 8010h]

返回到汇总表。

图 8-94. ADC1B_CFG2 寄存器

15	14	13	12	11	10	9	8
ADC1B_EN	RESERVED			GAIN1B[1:0]		MUX1B[1:0]	
R/W-1b	R-000b			R/W-00b		R/W-00b	
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
RESERVED		OWD1B_SOURCE_MUX	OWD1B_SINK_MUX	OWD1B_SOURCE_VALUE[1:0]		OWD1B_SINK_VALUE[1:0]	
R-00b		R/W-0b	R/W-1b	R/W-00b		R/W-00b	

表 8-95. ADC1B_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15	ADC1B_EN	R/W	1b	ADC1B 启用 启用 ADC1B。 当禁用 ADC1B 或器件处于待机或省电模式时，ADC1B 的转换数据复位为 000000h，而转换计数器 CONV1B_COUNT[1:0] 复位为 00b。 0b = 禁用 1b = 启用
14:12	RESERVED	R	000b	保留 始终读为 000b。
11:10	GAIN1B[1:0]	R/W	00b	ADC1B 增益选择 选择 ADC1B 的增益（FSR = 满标量程范围）。增益 16 和 32 是使用模拟增益 = 8 的数字增益。 00b = 4 01b = 8 10b = 16 11b = 32
9:8	MUX1B[1:0]	R/W	00b	ADC1B 多路复用器通道选择 为 ADC1B 选择多路复用器通道。 00b = AINp = CPB，AINn = CNB 01b = AINp = CNB，AINn = CPB 10b = 内部短接到 AGNDB。模拟输入 CPB、CNB 与 ADC1B 断开连接。 11b = 测试 DAC A 输出
7:6	RESERVED	R	00b	保留 始终读为 00b。
5	OWD1B_SOURCE_MUX	R/W	0b	ADC1B 电流源多路复用器选择 为 ADC1B 电流源选择多路复用器通道。 0b = CPB 1b = CNB
4	OWD1B_SINK_MUX	R/W	1b	ADC1B 电流阱多路复用器选择 为 ADC1B 电流阱选择多路复用器通道。 0b = CPB 1b = CNB
3:2	OWD1B_SOURCE_VALUE[1:0]	R/W	00b	ADC1B 电流源值选择 选择 ADC1B 电流源的电流值。 00b = 关闭 01b = 4μA 10b = 40μA 11b = 240μA
1:0	OWD1B_SINK_VALUE[1:0]	R/W	00b	ADC1B 电流阱值选择 选择 ADC1B 电流阱的电流值。 00b = 关闭 01b = 4μA 10b = 40μA 11b = 240μA

Copyright © 2025 Texas Instruments Incorporated

8.1.95 ADC1B_OCAL_MSB 寄存器（地址 = C4h）[复位 = 0000h]

返回到汇总表。

图 8-95. ADC1B_OCAL_MSB 寄存器

15	14	13	12	11	10	9	8
OCAL1B[23:8]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
OCAL1B[23:8]							
R/W-0000000000000000b							

表 8-96. ADC1B_OCAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
15:0	OCAL1B[23:8]	R/W	0000000000000000b	ADC1B 偏移校准位 [23:8] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFB) / (GAIN1B x 2^{24})

Copyright © 2025 Texas Instruments Incorporated

8.1.96 ADC1B_OCAL_LSB 寄存器（地址 = C5h）[复位 = 0000h]

返回到汇总表。

图 8-96. ADC1B_OCAL_LSB 寄存器

15	14	13	12	11	10	9	8
OCAL1B[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-97. ADC1B_OCAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
15:8	OCAL1B[7:0]	R/W	00000000b	ADC1B 偏移校准位 [7:0] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFB) / (GAIN1B x 2^{24})
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.97 ADC1B_GCAL 寄存器（地址 = C6h）[复位 = 0000h]

返回到汇总表。

图 8-97. ADC1B_GCAL 寄存器

15	14	13	12	11	10	9	8
GCAL1B[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
GCAL1B[15:0]							
R/W-0000000000000000b							

表 8-98. ADC1B_GCAL 寄存器字段说明

位	字段	类型	复位	说明
15:0	GCAL1B[15:0]	R/W	0000000000000000b	ADC1B 增益校准位 [15:0] 以二进制补码格式提供值。 LSB 大小 = $1/2^{16}$ = 0.000015 映射： 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5

Copyright © 2025 Texas Instruments Incorporated

8.1.98 OCCB_CFG 寄存器（地址 = C7h）[复位 = 0000h]

返回到汇总表。

图 8-98. OCCB_CFG 寄存器

15	14	13	12	11	10	9	8
OCCB_EN	OCCB_POL	RESERVED	OCCB_NUM[4:0]				
R/W-0b	R/W-0b	R/W-0b	R/W-00000b				
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-99. OCCB_CFG 寄存器字段描述

位	字段	类型	复位	说明
15	OCCB_EN	R/W	0b	ADC1B 过流比较器启用 在 ADC1B 上启用数字快速滤波器和数字比较器。必须启用 ADC1B 才能使用过流比较器。快速滤波器不受 STARTB 和 STOPB 位的影响。 0b = 禁用 1b = 启用
14	OCCB_POL	R/W	0b	OCCB 引脚极性选择 选择 OCCB 引脚的极性。当 GPIO4/OCCB 引脚在 GPIO4_SRC 位中配置为 OCCB 输出时，其实际输出行为取决于 GPIO4_FMT 设置。当任何 OCCB_HTn 或 OCCB_LTn 位有效时，OCCB 故障有效。 0b = 低电平有效。如果发生故障，则驱动逻辑低电平。 1b = 高电平有效。如果发生故障，则驱动逻辑高电平。
13	RESERVED	R/W	0b	保留 始终写入 0b。
12:8	OCCB_NUM[4:0]	R/W	00000b	ADC1B 过流比较器抗尖峰脉冲滤波器选择 选择转换次数，ADC1B 数字快速滤波器的输出必须超过设置的高或低阈值，才能触发 OCCB_HTn 或 OCCB_LTn 比较器输出。快速滤波路径使用固定 OSR = 64 的 SINC3 滤波器。每当数字快速滤波器输出降至阈值以下时，计数器都会再次启动，这意味着没有磁滞。 00000b = 1 00001b = 2 00010b = 3 00011b = 4 00100b = 5 00101b = 6 00110b = 7 00111b = 8 01000b = 9 01001b = 10 01010b = 12 01011b = 14 01100b = 16 01101b = 18 01110b = 20 01111b = 22 10000b = 24 10001b = 26 10010b = 28 10011b = 32 10100b = 40 10101b = 48 10110b = 56 10111b = 64 11000b = 72 11001b = 80 11010b = 88 11011b = 96 11100b = 104 11101b = 112 11110b = 120 11111b = 128
7:0	RESERVED	R	00000000b	保留 始终读为 00000000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.99 OCCB_HIGH_THRESHOLD 寄存器（地址 = C8h）[复位 = 7FFFh]

返回到汇总表。

图 8-99. OCCB_HIGH_THRESHOLD 寄存器

15	14	13	12	11	10	9	8
OCCB_HIGH_TH[15:0]							
R/W-0111111111111111b							
7	6	5	4	3	2	1	0
OCCB_HIGH_TH[15:0]							
R/W-0111111111111111b							

表 8-100. OCCB_HIGH_THRESHOLD 寄存器字段描述

位	字段	类型	复位	说明
15:0	OCCB_HIGH_TH[15:0]	R/W	0111111111111111b	ADC1B 过流比较器高阈值位 [15:0] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFB) / (GAIN1B x 2^{16}) 大于高阈值的值会触发 OCCB_HTn 事件。将值设置为 +FS (= 7FFFh) 会禁用高阈值检测。

Copyright © 2025 Texas Instruments Incorporated

8.1.100 OCCB_LOW_THRESHOLD 寄存器（地址 = C9h）[复位 = 8000h]

返回到汇总表。

图 8-100. OCCB_LOW_THRESHOLD 寄存器

15	14	13	12	11	10	9	8
OCCB_LOW_TH[15:0]							
R/W-1000000000000000b							
7	6	5	4	3	2	1	0
OCCB_LOW_TH[15:0]							
R/W-1000000000000000b							

表 8-101. OCCB_LOW_THRESHOLD 寄存器字段描述

位	字段	类型	复位	说明
15:0	OCCB_LOW_TH[15:0]	R/W	1000000000000000b	ADC1B 过流比较器低阈值位 [15:0] 以二进制补码格式提供值。 LSB 大小 = (2 x VREFB) / (GAIN1B x 2^{16}) 小于低阈值的值会触发 OCCB_LTn 事件。将值设置为 –FS (= 8000h) 会禁用低阈值检测。

Copyright © 2025 Texas Instruments Incorporated

8.1.101 SPARE_CAh 寄存器（地址 = CAh）[复位 = 5555h]

返回到汇总表。

图 8-101. SPARE_CAh 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0101010101010101b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0101010101010101b							

表 8-102. SPARE_CAh 寄存器字段描述

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0101010101010101b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.102 SPARE_CBh 寄存器（地址 = CBh）[复位 = 0010h]

返回到汇总表。

图 8-102. SPARE_CBh 寄存器

15	14	13	12	11	10	9	8
RESERVED					SPARE[6:0]		
R-00000b					R/W-0000001b		
7	6	5	4	3	2	1	0
SPARE[6:0]				RESERVED			
R/W-0000001b				R-0000b			

表 8-103. SPARE_CBh 寄存器字段描述

位	字段	类型	复位	说明
15:11	RESERVED	R	00000b	保留 始终读为 00000b。
10:4	SPARE[6:0]	R/W	0000001b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
3:0	RESERVED	R	0000b	保留 始终读为 0000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.103 SPARE_CCh 寄存器（地址 = CCh）[复位 = 0000h]

返回到汇总表。

图 8-103. SPARE_CCh 寄存器

15	14	13	12	11	10	9	8
SPARE[1:0]		RESERVED			SPARE[2:0]		
R/W-00b		R-000b			R/W-000b		
7	6	5	4	3	2	1	0
RESERVED						SPARE[1:0]	
R-000000b						R/W-00b	

表 8-104. SPARE_CCh 寄存器字段描述

位	字段	类型	复位	说明
15:14	SPARE[1:0]	R/W	00b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
13:11	RESERVED	R	000b	保留 始终读为 00b。
10:8	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
7:2	RESERVED	R	000000b	保留 始终读为 000000b。
1:0	SPARE[1:0]	R/W	00b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.104 SPARE_CDh 寄存器（地址 = CDh）[复位 = 0000h]

返回到汇总表。

图 8-104. SPARE_CDh 寄存器

15	14	13	12	11	10	9	8
RESERVED							
R-00000000b							
7	6	5	4	3	2	1	0
SPARE[7:0]							
R/W-00000000b							

表 8-105. SPARE_CDh 寄存器字段描述

位	字段	类型	复位	说明
15:8	RESERVED	R	00000000b	保留 始终读为 00000000b。
7:0	SPARE[7:0]	R/W	00000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.105 SPARE_CEh 寄存器（地址 = CEh）[复位 = 0000h]

返回到汇总表。

图 8-105. SPARE_CEh 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0000000000000000b							

表 8-106. SPARE_CEh 寄存器字段描述

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0000000000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.106 SPARE_CFh 寄存器（地址 = CFh）[复位 = 0000h]

返回到汇总表。

图 8-106. SPARE_CFh 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0000000000000000b							

表 8-107. SPARE_CFh 寄存器字段描述

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0000000000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.107 SPARE_D0h 寄存器（地址 = D0h）[复位 = 0000h]

返回到汇总表。

图 8-107. SPARE_D0h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00000b				

表 8-108. SPARE_D0h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.108 SPARE_D1h 寄存器（地址 = D1h）[复位 = 0001h]

返回到汇总表。

图 8-108. SPARE_D1h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00001b				

表 8-109. SPARE_D1h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00001b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.109 SPARE_D2h 寄存器（地址 = D2h）[复位 = 0002h]

返回到汇总表。

图 8-109. SPARE_D2h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00010b				

表 8-110. SPARE_D2h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00010b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.110 SPARE_D3h 寄存器（地址 = D3h）[复位 = 0003h]

返回到汇总表。

图 8-110. SPARE_D3h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00011b				

表 8-111. SPARE_D3h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00011b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.111 SPARE_D4h 寄存器（地址 = D4h）[复位 = 0004h]

返回到汇总表。

图 8-111. SPARE_D4h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00100b				

表 8-112. SPARE_D4h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00100b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.112 SPARE_D5h 寄存器（地址 = D5h）[复位 = 0005h]

返回到汇总表。

图 8-112. SPARE_D5h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00101b				

表 8-113. SPARE_D5h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00101b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.113 SPARE_D6h 寄存器（地址 = D6h）[复位 = 0006h]

返回到汇总表。

图 8-113. SPARE_D6h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00110b				

表 8-114. SPARE_D6h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00110b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.114 SPARE_D7h 寄存器（地址 = D7h）[复位 = 0007h]

返回到汇总表。

图 8-114. SPARE_D7h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-00111b				

表 8-115. SPARE_D7h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	00111b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.115 SPARE_D8h 寄存器（地址 = D8h）[复位 = 0008h]

返回到汇总表。

图 8-115. SPARE_D8h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01000b				

表 8-116. SPARE_D8h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.116 SPARE_D9h 寄存器（地址 = D9h）[复位 = 0009h]

返回到汇总表。

图 8-116. SPARE_D9h 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01001b				

表 8-117. SPARE_D9h 寄存器字段说明

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01001b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.117 SPARE_DAh 寄存器（地址 = EAh）[复位 = 000Ah]

返回到汇总表。

图 8-117. SPARE_DAh 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01010b				

表 8-118. SPARE_DAh 寄存器字段描述

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01010b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.118 SPARE_DBh 寄存器（地址 = FBh）[复位 = 000Bh]

返回到汇总表。

图 8-118. SPARE_DBh 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01011b				

表 8-119. SPARE_DBh 寄存器字段描述

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01011b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.119 SPARE_DCh 寄存器（地址 = FCh）[复位 = 000Ch]

返回到汇总表。

图 8-119. SPARE_DCh 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01100b				

表 8-120. SPARE_DCh 寄存器字段描述

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01100b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.120 SPARE_DDh 寄存器（地址 = FDh）[复位 = 000Dh]

返回到汇总表。

图 8-120. SPARE_DDh 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01101b				

表 8-121. SPARE_DDh 寄存器字段描述

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01101b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.121 SPARE_DEh 寄存器（地址 = DEh）[复位 = 000Eh]

返回到汇总表。

图 8-121. SPARE_DEh 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01110b				

表 8-122. SPARE_DEh 寄存器字段描述

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01110b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.122 SPARE_DFh 寄存器（地址 = DFh）[复位 = 000Fh]

返回到汇总表。

图 8-122. SPARE_DFh 寄存器

15	14	13	12	11	10	9	8
SPARE[2:0]			RESERVED				
R/W-000b			R-00000000b				
7	6	5	4	3	2	1	0
RESERVED			SPARE[4:0]				
R-00000000b			R/W-01111b				

表 8-123. SPARE_DFh 寄存器字段描述

位	字段	类型	复位	说明
15:13	SPARE[2:0]	R/W	000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
12:5	RESERVED	R	00000000b	保留 始终读为 00000000b。
4:0	SPARE[4:0]	R/W	01111b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.123 SPARE_E0h 寄存器（地址 = E0h）[复位 = 0210h]

返回到汇总表。

图 8-123. SPARE_E0h 寄存器

15	14	13	12	11	10	9	8
RESERVED				SPARE[1:0]		RESERVED	
R-0000b				R/W-00b		R-1000b	
7	6	5	4	3	2	1	0
RESERVED		SPARE[1:0]		RESERVED			
R-1000b		R/W-01b		R-0000b			

表 8-124. SPARE_E0h 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0000b	保留 始终读为 0000b。
11:10	SPARE[1:0]	R/W	00b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
9:6	RESERVED	R	1000b	保留 始终读为 1000b。
5:4	SPARE[1:0]	R/W	01b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
3:0	RESERVED	R	0000b	保留 始终读为 0000b。

Copyright © 2025 Texas Instruments Incorporated

8.1.124 SPARE_E1h 寄存器（地址 = E1h）[复位 = 0000h]

返回到汇总表。

图 8-124. SPARE_E1h 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0000000000000000b							

表 8-125. SPARE_E1h 寄存器字段说明

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0000000000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.125 SPARE_E2h 寄存器（地址 = E2h）[复位 = 0000h]

返回到汇总表。

图 8-125. SPARE_E2h 寄存器

15	14	13	12	11	10	9	8
SPARE[7:0]							
R/W-00000000b							
7	6	5	4	3	2	1	0
RESERVED							
R-00000000b							

表 8-126. SPARE_E2h 寄存器字段说明

位	字段	类型	复位	说明
15:8	SPARE[7:0]	R/W	00000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。
7:0	RESERVED	R	00000000b	保留 始终读为 0x00。

Copyright © 2025 Texas Instruments Incorporated

8.1.126 SPARE_E3h 寄存器（地址 = E3h）[复位 = 0000h]

返回到汇总表。

图 8-126. SPARE_E3h 寄存器

15	14	13	12	11	10	9	8
SPARE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
SPARE[15:0]							
R/W-0000000000000000b							

表 8-127. SPARE_E3h 寄存器字段说明

位	字段	类型	复位	说明
15:0	SPARE[15:0]	R/W	0000000000000000b	备用位 以 R/W 位的形式提供，用于检查寄存器映射 3 段 CRC。位设置无效。

Copyright © 2025 Texas Instruments Incorporated

8.1.127 REGISTER_MAP3_CRC 寄存器（地址 = FEh）[复位 = 0000h]

返回到汇总表。

图 8-127. REGISTER_MAP3_CRC 寄存器

15	14	13	12	11	10	9	8
REG_MAP3_CRC_VALUE[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
REG_MAP3_CRC_VALUE[15:0]							
R/W-0000000000000000b							

表 8-128. REGISTER_MAP3_CRC 寄存器字段说明

位	字段	类型	复位	说明
15:0	REG_MAP3_CRC_VALUE[15:0]	R/W	0000000000000000b	3 段寄存器映射 CRC 值 3 段寄存器映射 CRC 值。

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

9.1.1 未使用的输入和输出

对于未使用的器件引脚连接，请遵循以下指南：

- 将任何未使用的 ADCxy 模拟输入保持悬空或将未使用的模拟输入连接到 AGNDy。
- 当配置为数字输入时、将未使用的 GPIO 引脚（GPIO0 至 GPIO4、GPIO0A、GPIO1A、GPIO0B 和 GPIO1B）连接到 DGND，因为当数字输入保持悬空时，可能导致电源电流过大。
- 如果使用内部主振荡器，请将 CLK 引脚连接至 DGND。
- 如果主机未驱动 RESETn 引脚，请将 RESETn 引脚连接到 IOVDD。RESETn 引脚有一个到 DGND 的内部下拉电阻。
- 如果未使用 DRDYn 引脚，则将其保持未连接状态，或者通过弱上拉电阻将该引脚连接到 IOVDD。

9.1.2 最小接口连接

ADS131B23-Q1 至少需要四个引脚才能与主机微控制器进行通信：CSn、SCLK、SDI 和 SDO。CSn 不能永久连接低电平。

以下引脚是可选的，但将这些引脚连接到主机有助于器件运行：

- DRDYn：有助于准确确定 ADC1A 或 ADC1B 上的新转换数据何时可用。
- RESETn：如果 SPI 通信损坏（即无法发送 RESET 命令），则需要通过*硬件* 复位来恢复器件。在不控制 RESETn 引脚的情况下，在器件上执行硬件复位的唯一方法是通过电源循环供电。
- GPIO：各种 GPIO 引脚上提供的不同特殊功能，例如 FAULT、MHD、OCCA 和 OCCB，有助于向主机发出器件或系统故障警报。

9.2 典型应用

本节介绍使用 ADS131B23-Q1 的典型电池管理系统 (BMS) 应用电路。器件在该 BMS 中提供以下主要功能：

- 使用低侧电流分流传感器以高分辨率和高精度通过 ADC1A 和 ADC1B 冗余测量电池电流
- 测量峰值电池电流并检测过流或短路情况
- 使用高压电阻分压器，通过 ADC2A 测量电池组电压
- 使用线性正温度系数 (PTC) 热敏电阻 TMP61-Q1，通过 ADC2A 测量分流器温度

图 9-1 所示为电池管理系统电路设计的前端。

Copyright © 2025 Texas Instruments Incorporated

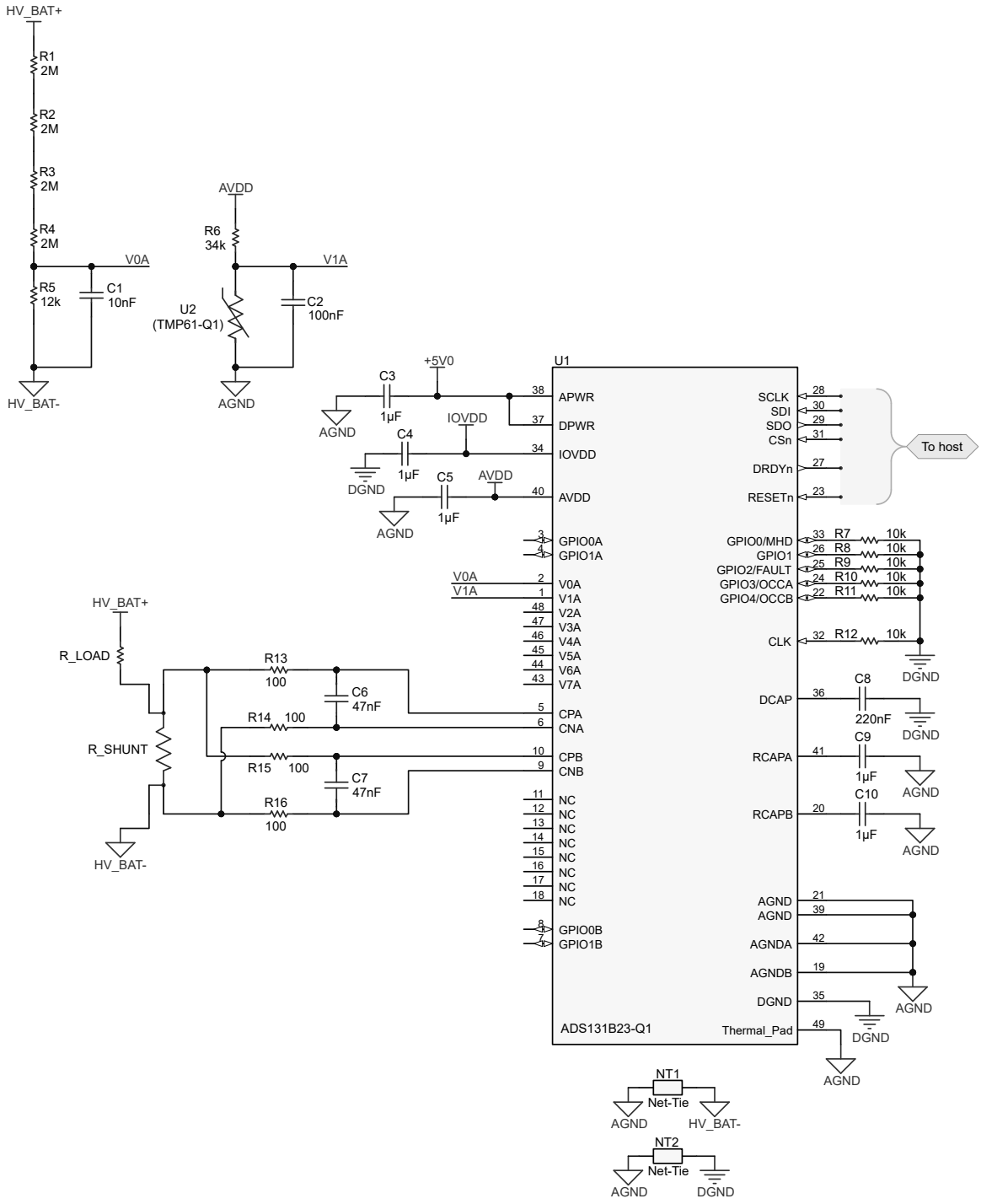


图 9-1. 典型电池管理系统应用中的 ADS131B23-Q1

9.2.1 设计要求

表 9-1. 设计参数

设计参数	值
电流测量	
电流测量范围	±3kA
电流分流值	50 μΩ
更新速率	1ms
电池组电压测量	
电压测量范围	0V 至 800V
分流温度测量	
温度测量范围	-40°C 至 +125°C
热敏电阻类型	TMP61-Q1 (10-kΩ PTC)

9.2.2 详细设计过程

以下各节提供了为本应用示例中的各种测量选择外部元件和配置 ADS131B23-Q1 的指南。

9.2.2.1 分流测量

在典型的 BMS 应用程序中，必须在两个方向上测量流经分流电阻器的电流，以便对电池包进行充电和放电。在过流或短路情况下，在本示例应用中，电流可高达 I_{BAT_MAX} = ±3 kA。因此，分流器上的最大压降高达 V_{SHUNT} = R_{SHUNT} × I_{BAT_MAX} = 50 μΩ × ±3 kA = ±150 mV。

要测量该分流电压，请将 ADC1A 配置为增益 = 8，这样就可以测量 V_{IN1A} = V_{CPA} – V_{CNA} = ±V_{REFA} / 8 = ±1.25V / 8 = ±156mV 的差分电压。器件中的集成电荷泵允许在使用单极模拟电源时测量比 AGNDA 低 312.5mV 的电压。这种双极性电压测量功能很重要，因为分流器的一侧连接到与 ADS131B23-Q1 的 AGNDA 引脚相同的 GND 电位，这意味着器件在电流测量期间必须测量的绝对电压最多比 AGNDA 低 150mV。

要在 1ms 内实现快速过流检测，同时提供高精度和分辨率，请使用全局斩波模式将 ADS131B23-Q1 配置为以 4kSPS（OSR = 1024）运行。全局斩波模式支持在整个温度和时间范围内以最小的偏移误差进行测量。根据方程式 21，使用这些设置的转换时间为 0.75ms。根据 *全局斩波模式* 一节中的说明，以输入为基准的噪声约为 1.28 μV_{RMS}/ √2 = 0.91 μV_{RMS}。因此，可以解析小至 0.91 μV_{RMS} / 50 μΩ = 18mA 的电流。通过在连接到 ADS131B23-Q1 的微控制器中对较长时间段内的转换结果进行均值计算，可以进一步提高分辨率。

模拟输入端（R13、R14 和 C6）上差分抗混叠滤波器的 –3dB 转角频率设置为 1 / (2 × π × 2 × 100Ω × 47nF) = 16.9kHz，以便在 ADC1A 调制器频率上提供超过 40dB 的衰减。保持较小的串联电阻值（R13 和 R14），以避免因 ADC1A 输入电流导致电阻上的压降而产生额外的偏移误差。

ADC1B 的配置与 ADC1A 相同，以便以相同的数字滤波器响应同时对分流电压进行采样。

9.2.2.2 电池组电压测量

使用由 R1、R2、R3、R4 和 R5 组成的高压电阻分压器将 800V 电池包电压分压到 ADC2A 的电压范围。在这种情况下，ADC2A 使用增益 = 1，以便测量 V_{IN2A} = V_{V0A} – V_{AGNDA} = ±1.25V 的差分电压。电池包电压测量是单极单端测量，其中 ADC2A 的负多路复用器通道在内部连接到 AGNDA。使用的 ADC2A 电压范围为 0V 至 1.25V。方程式 23 用于计算电阻分压器分压比。

$$V_{V0A} / V_{BAT_MAX} = 1.25\ V / 800\ V = R_5 / (R_1 + R_2 + R_3 + R_4 + R_5) \quad (23)$$

在本例中，电阻分压器消耗的泄漏电流应小于 100 μA，以避免电池电量的不必要耗尽。因此，分压器的电阻必须大于 R_{TOTAL} ≥
V_{BAT_MAX} / $I_{LEAKAGE}$ = 800V / 100 μA = 8MΩ.。电阻器阻值的 MΩ 条件为：R_1 = R_2 = R_3 = R_4 = 2MΩ、R_5 = 12kΩ。因此，当 V_{BAT_MAX} = 800V 时，R_5 上的最大电压为 1.2V，这为 ADC2A 的 1.25V 最大输入电压留下了一些余量。

Copyright © 2025 Texas Instruments Incorporated

汽车电路设计中可使用的单个电阻器的最大电阻通常被限制为特定的值。此外，单个电阻器可以承受的最大电压是有限的。因此，分压器的高侧电阻器被拆分为多个电阻器（R_1、R_2、R_3 和 R_4）。另一个原因是，如果单个电阻器发生短路故障，其余电阻器仍可将进入 ADC2A 模拟输入引脚 (V0A) 的电流限制在安全水平。

9.2.2.3 分流温度测量

本示例中的分流器温度是使用 TMP61-Q1（一种线性 10kΩ PTC）在典型分压器配置中测量的，使用模拟电源 (AVDD) 作为激励。PTC 电阻使用方程式 25 计算，可通过方程式 24 得出：

$$V_{PTC} = V_{V1A} - V_{AGNDA} = AVDD \times R_{PTC} / (R_6 + R_{PTC}) \quad (24)$$

$$R_{PTC} = R_6 \times V_{PTC} / (AVDD - V_{PTC}) \quad (25)$$

当对 ADC2A 使用增益 = 1 且 ADC2A 的负多路复用器通道在内部连接到 AGNDA 时，V1A 上的最大输入电压限制为 1.25V。因此，必须选择精密电阻 R_6 的阻值，使 V1A 上的电压在待测量的温度范围内的 PTC 值范围内保持在 1.25V 以下。TMP61-Q1 在最正温度下的电阻最大，+125°C 时约为 18kΩ。遵循方程式 25，这意味着 $R_6 \geq$ 29.5kΩ。R_6 的值为 34kΩ，允许 AVDD 电源电压变化至 3.6V，而不超过 1.25V 的最大 V1A 电压。

9.2.3 应用曲线

图 9-2 显示了流经分流器的 0A 电流在整个温度范围内的电流测量（ADC1A、ADC1B）的测量精度。图 9-3 说明了电流测量（ADC1A、ADC1B）在整个温度范围内的增益误差，不包括分流器误差。25°C 时校准的偏移和增益误差。

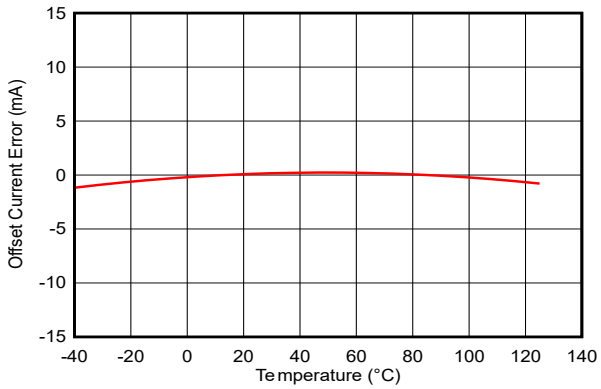


图 9-2. 偏移电流误差与温度间的关系（ADC1A、ADC1B）

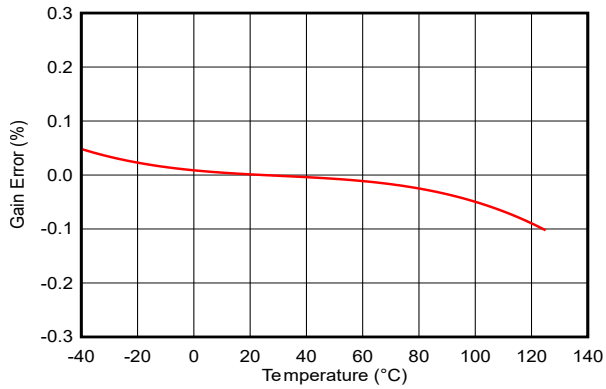


图 9-3. 增益误差与温度间的关系（ADC1A、ADC1B）

9.3 电源相关建议

9.3.1 电源选项

图 9-4 所示的 ADS131B23-Q1 电源架构允许通过多种方式为器件供电，从而支持不同的应用要求。

Copyright © 2025 Texas Instruments Incorporated

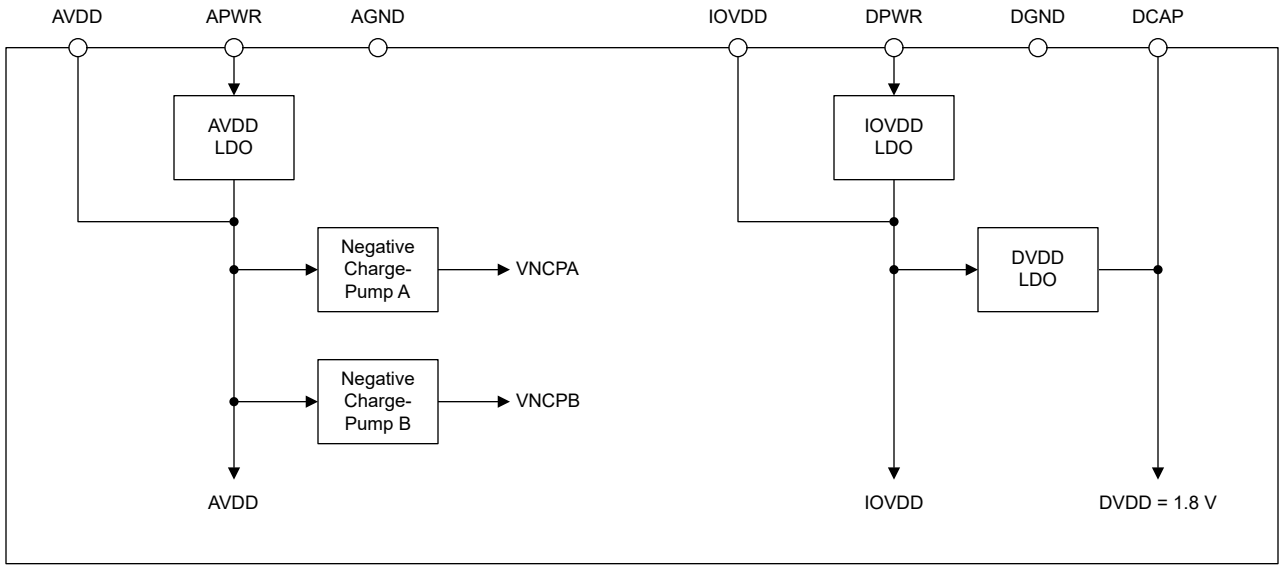


图 9-4. 电源架构

AVDD LDO 可接受 APWR 引脚上 4V 至 16V 的非稳压电压，并输出 AVDD 引脚上可用的 3.3V AVDD 稳压电源，为外部电路供电。AVDD 电源为器件中的所有模拟电路供电。如果应用中有 3.3V 稳压电源，则可以通过短接 APWR 和 AVDD 引脚将 AVDD LDO 旁路掉。

A 部分和 B 部分的负电荷泵为每个 ADC 的各种增益级提供负电源电压，以允许在低于 GND 的情况下测量输入电压。

IOVDD LDO 可接受 DPWR 引脚上 4V 至 16V 的非稳压电压，并输出 IOVDD 引脚上可用的稳压 3.3V IOVDD 电源，为外部电路供电。IOVDD 电源为器件的数字 I/O 设置电压。如果应用中有 3.3V 或 5V 稳压电源，则可以通过短接 DPWR 和 IOVDD 引脚将 IOVDD LDO 旁路掉。

DVDD LDO 为器件的数字内核生成 1.8V 电源。

Copyright © 2025 Texas Instruments Incorporated

以下各节介绍了三种最常用的外部电源选项，但也可以使用其他组合。

9.3.1.1 单个非稳压外部 4V 至 16V 电源（3.3V 数字 I/O 电平）

连接到 APWR 和 DPWR 引脚的单个非稳压 4V 至 16V 电源（如 图 9-5 中所示）可用于为器件供电。在这种情况下，AVDD 和 IOVDD 引脚不提供外部电源。AVDD LDO 生成内部 3.3V AVDD 电源，IOVDD LDO 生成 3.3V I/O 电源。

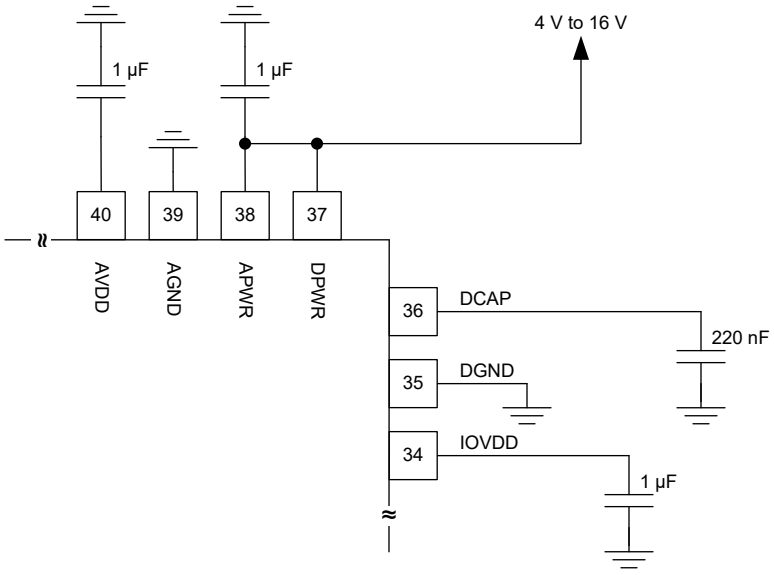


图 9-5. 单个非稳压外部 4V 至 16V 电源

9.3.1.2 3.3V 单个稳压外部电源（3.3V 数字 IO 电平）

连接到 APWR 和 DPWR 引脚的 3.3V 单个稳压电源（如 图 9-6 所示）可用于为器件供电。在这种情况下，APWR 和 AVDD 引脚以及 DPWR 和 IOVDD 引脚都必须在外部短接。从而绕过 AVDD 和 IOVDD LDO。外部 3.3V 电源直接用作 AVDD 和 IOVDD 电源。

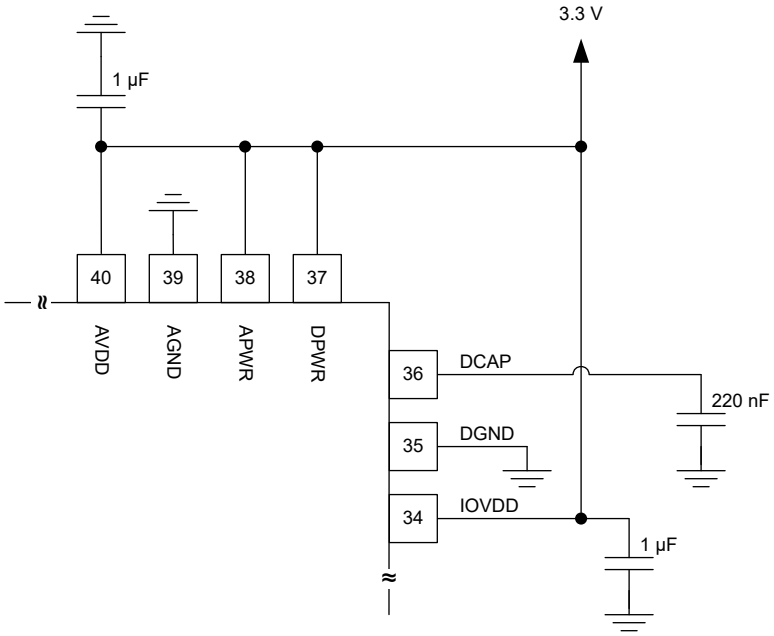


图 9-6. 3.3V 单个稳压外部电源

Copyright © 2025 Texas Instruments Incorporated

9.3.1.3 单个稳压外部 5V 电源（5V 数字 I/O 电平）

为了能够以 5V 电平运行数字 I/O，可使用连接到 APWR 和 DPWR 引脚的单个 5V 电源（如 图 9-7 中所示）为器件供电。在这种情况下，AVDD 引脚上没有提供外部电源。AVDD LDO 生成内部 3.3V AVDD 电源。DPWR 和 IOVDD 引脚必须从外部短接，从而旁路掉 IOVDD LDO。外部 5V 电源直接用作 IOVDD 电源。

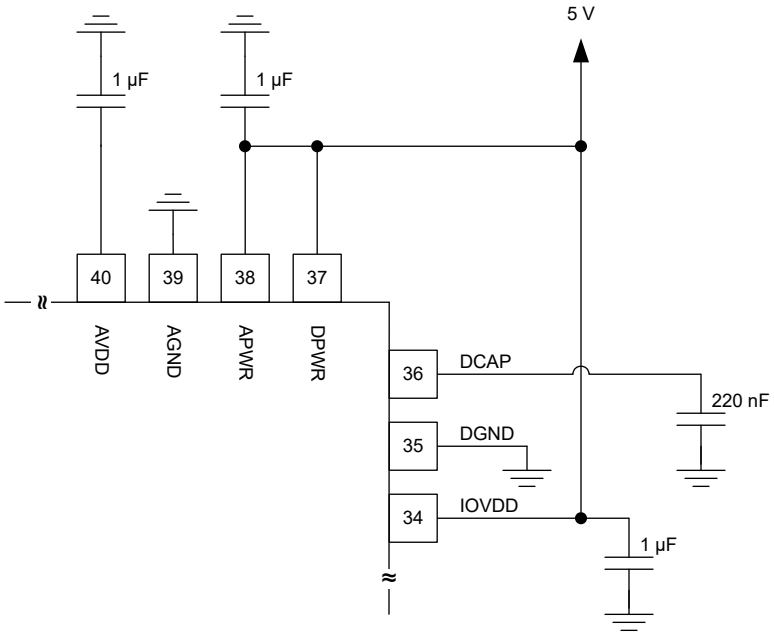


图 9-7. 单个稳压外部 5V 电源

9.3.2 电源排序

电源可以按任何顺序排序，但模拟和数字输入不得超过各自的模拟或数字电源电压限制。

9.3.3 电源去耦

良好的电源去耦对于实现卓越性能至关重要。

- APWR 和 AVDD 必须分别通过连接至 AGND 的 1µF 电容器进行去耦。
  如果 APWR 和 AVDD 短接在一起，则只需在 AVDD 引脚附近放置一个 1µF 去耦电容器即可。
- DPWR 和 IOVDD 必须分别通过连接至 DGND 的 1µF 电容器进行去耦。
  如果 DPWR 和 IOVDD 短接在一起，则只需在 IOVDD 引脚附近放置一个 1µF 去耦电容器即可。
- 如果 APWR 和 DPWR 短接在一起，两个电源只需一个 1µF 的去耦电容器即可。
- DCAP 引脚上的 DVDD LDO 输出必须使用 220nF 电容器与 DGND 去耦。

使用低阻抗接头将旁路电容器放置在尽可能靠近器件电源引脚的位置。建议使用多层陶瓷晶片电容器 (MLCC) 提供低等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得出色的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

9.4 布局

9.4.1 布局指南

为了获得最佳性能，请将一个完整的 PCB 层专用于接地平面，在该层上不要进行任何其他信号布线。但是，根据特定终端设备施加的限制，专用接地平面可能并不实用。如果必须分离接地平面，请在器件处直接连接这些平面。请勿在多个位置连接单个接地平面，因为这种配置会产生接地环路。

使数字引线远离所有模拟输入和相关元件，以尽可能地减少干扰。

Copyright © 2025 Texas Instruments Incorporated

在模拟输入端使用 C0G 电容器。对电源去耦电容器使用陶瓷电容器（例如 X7R 级）。不建议使用高 K 电容器 (Y5V)。使用短而直接的引线将所需的电容器放置在尽可能靠近器件引脚的位置。为了实现最佳性能，请在旁路电容器的接地侧接头上使用低阻抗连接。

应用外部时钟时，确保时钟没有过冲和毛刺。放置在时钟缓冲器上的拉电流终端电阻器通常有助于减少过冲。时钟输入上的干扰可能会导致转换数据中出现噪声。

9.4.2 布局示例

图 9-8 显示了 ADS131B23-Q1 的示例布局，并参考了图 9-1 中电路的组件。通常，模拟信号会被划分为左侧信号，而数字信号会被划分为右侧信号。

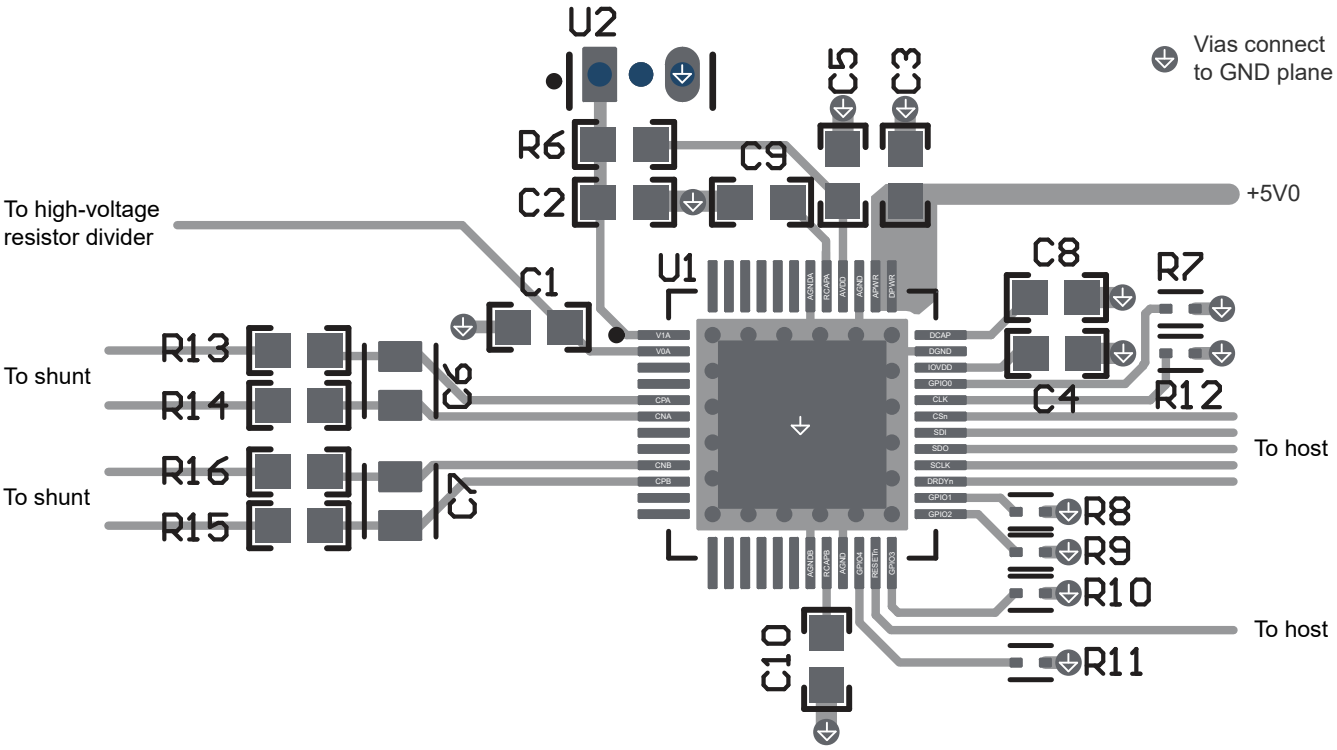


图 9-8. 布局示例

10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TMP61-Q1 汽车级 ±1% 10kΩ 线性热敏电阻 数据表*

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from JULY 30, 2023 to JANUARY 31, 2025 (from Revision * (July 2023) to Revision A (January 2025))	Page
• 已将 AVDD_OTW_CFG[1:0] 和 IOVDD_OTW_CFG[1:0] 寄存器位字段中 00b 位设置的温度值更改为 −60°C	75

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS131B23QPHPRQ1	Active	Production	HTQFP (PHP) | 48	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	131B23Q
ADS131B23QPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	131B23Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ADS131B23-Q1 :

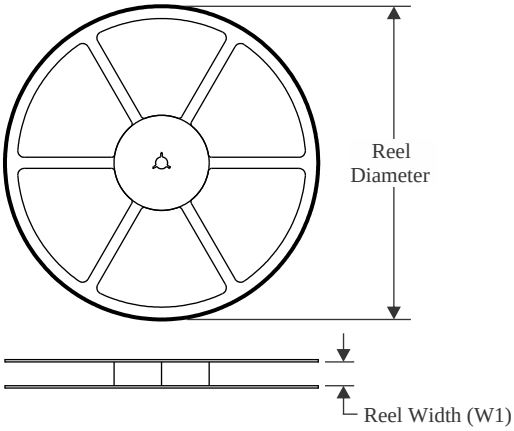
- Catalog : ADS131B23

NOTE: Qualified Version Definitions:

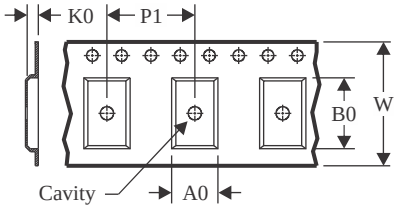
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

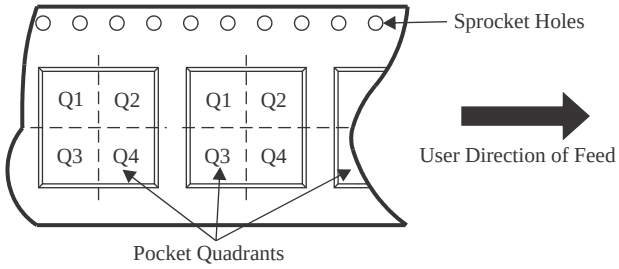


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

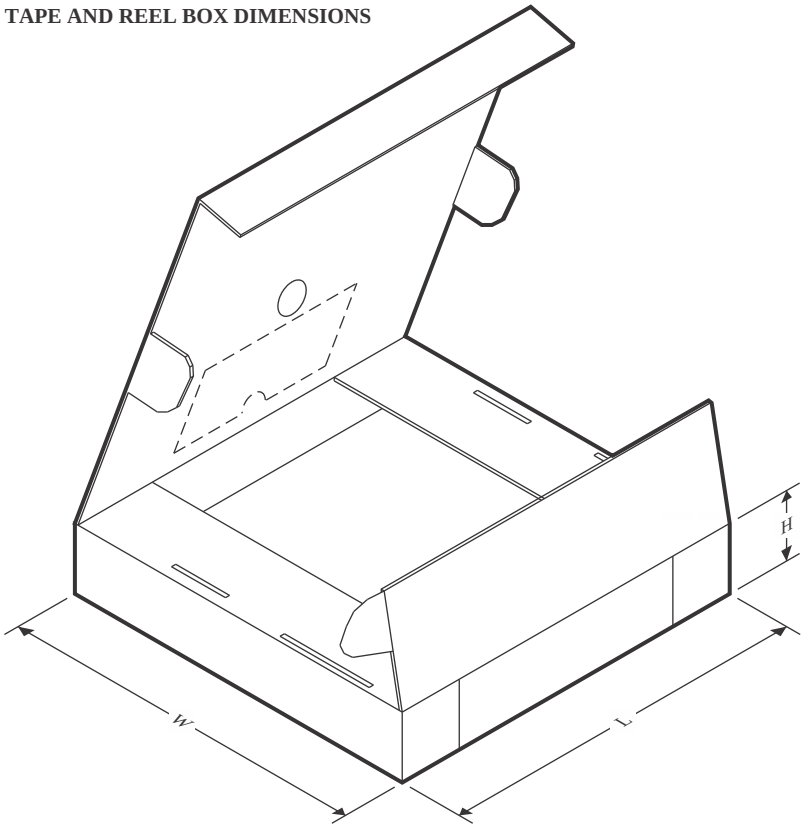
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS131B23QPHPRQ1	HTQFP	PHP	48	2000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS131B23QPHPRQ1	HTQFP	PHP	48	2000	336.6	336.6	31.8

GENERIC PACKAGE VIEW

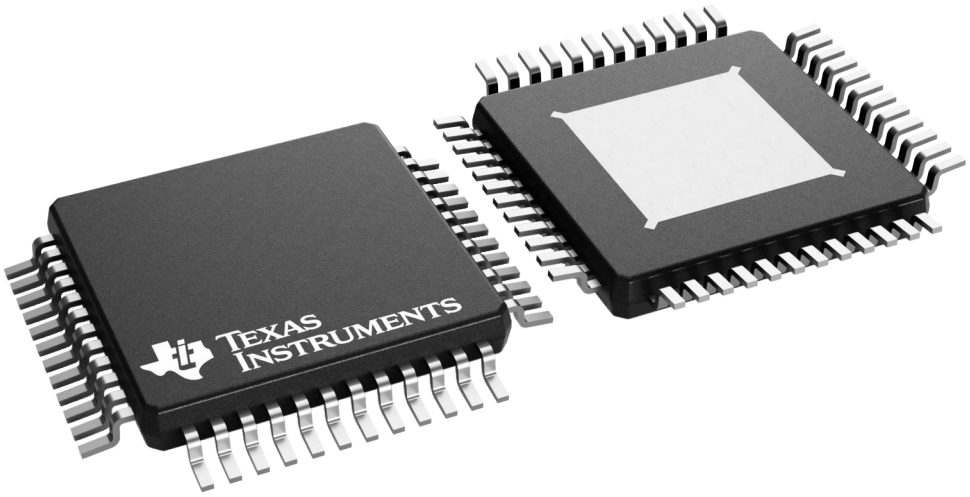
PHP 48

TQFP - 1.2 mm max height

7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



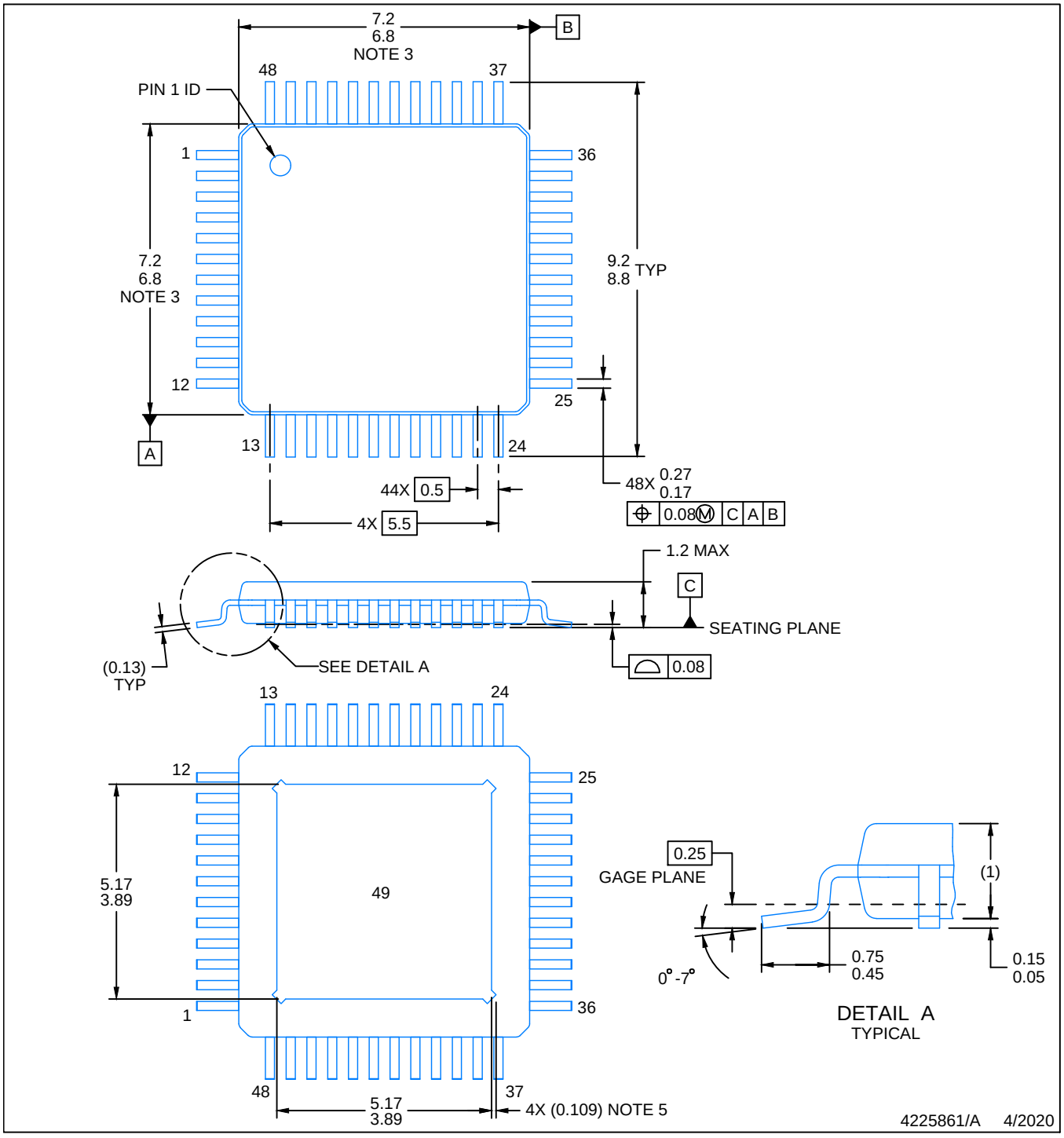
4226443/A

PACKAGE OUTLINE

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

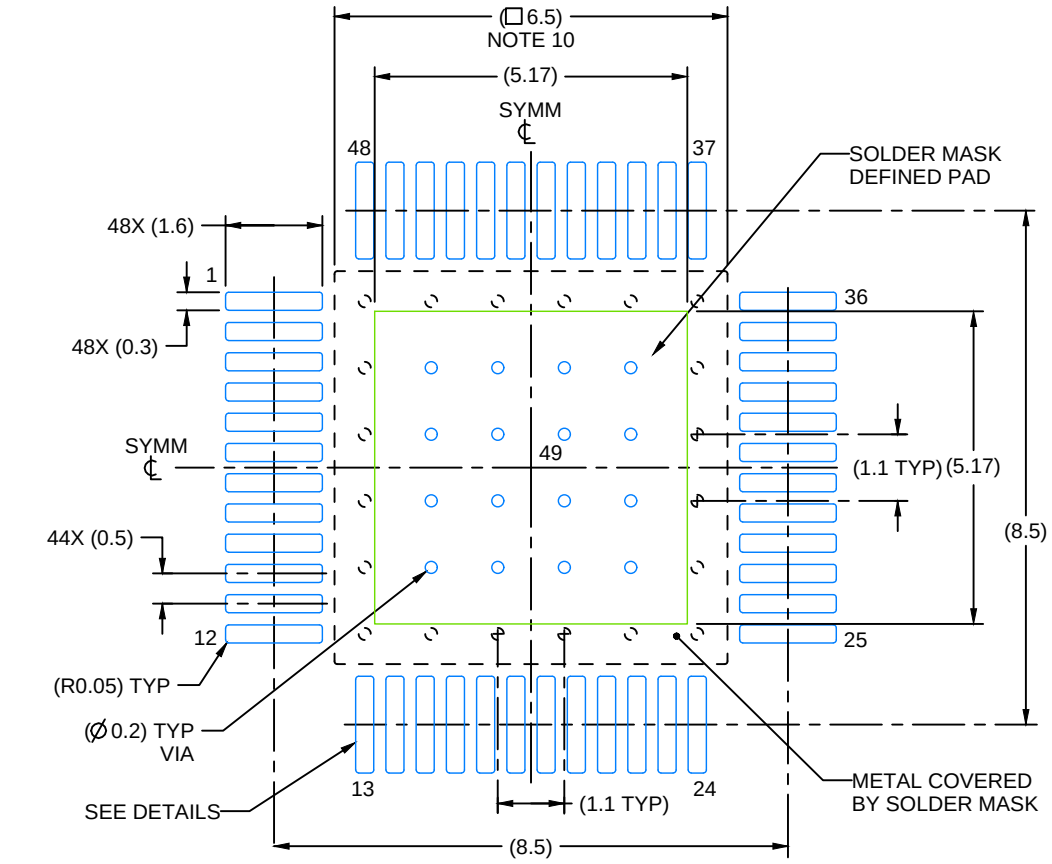
PLASTIC QUAD FLATPACK



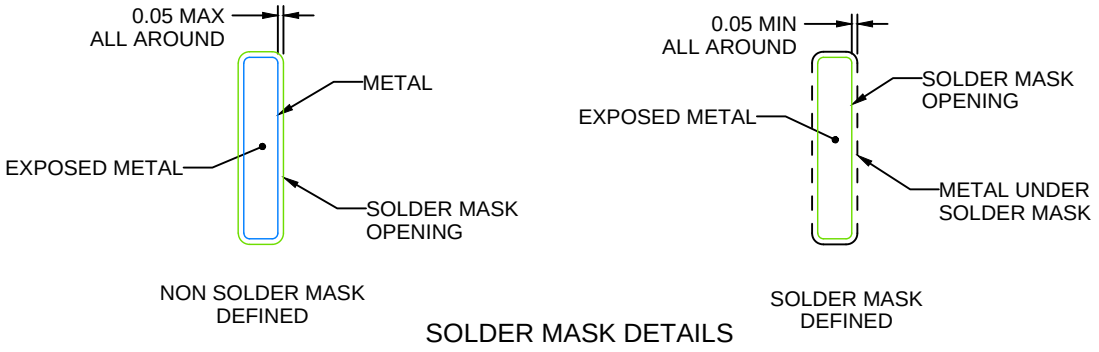
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

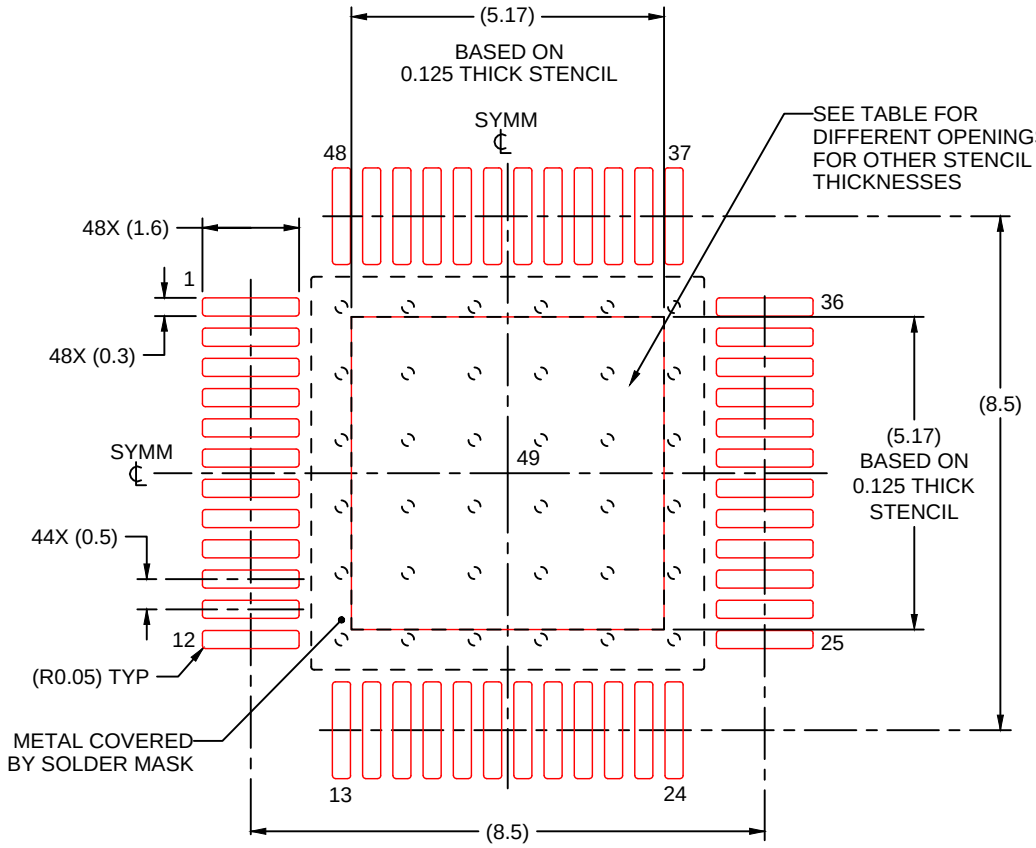


SOLDER MASK DETAILS

4225861/A 4/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	5.78 X 5.78
0.125	5.17 X 5.17 (SHOWN)
0.150	4.72 X 4.72
0.175	4.37 X 4.37

4225861/A 4/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月