ADS1285 适用于地震应用的 32 位 Δ-Σ ADC

1 特性

- 可选择分辨率-功率模式：
  - 动态范围：在 2ms、11.5mW 下为 134dB
  - 动态范围：在 2ms、4.8mW 下为 129dB
- 灵活的数字滤波器：
  - 可选的正弦 + FIR + IIR
  - 线性或最小相位
  - 高通滤波器
- THD：< -120dB
- CMRR：125dB
- 数据速率：125SPS 至 4000SPS
- 可编程增益：1 至 64
- PGA 旁路选项
- SYNC 输入
- 时钟误差补偿
- 双通道多路转接器
- 偏移和增益校准
- 通用数字 I/O
- 模拟电源供电：5V、3.3V 或 ±2.5V
- 基准电压选项：5V、4.096V 或 2.5V

2 应用

- 能量勘探
- 无源地震监测
- 地球科学和地质学
- 精密仪表

3 说明

ADS1285 是一款 32 位低功耗模数转换器 (ADC)，具有一个可编程增益放大器 (PGA) 和一个有限脉冲响应 (FIR) 滤波器。该 ADC 可满足地震监测设备的低噪声精密数字化和更长电池运行时间的严苛要求。

低噪声 PGA 允许直接连接地震检波器和变压器耦合水听器，无需外部放大器。

该 ADC 包含一个高分辨率 Δ-Σ 调制器和一个具有可编程相位响应的 FIR 滤波器。高通滤波器可从信号中移除直流和低频成分。时钟频率误差由分辨率为 7ppb 的采样率转换器进行补偿。

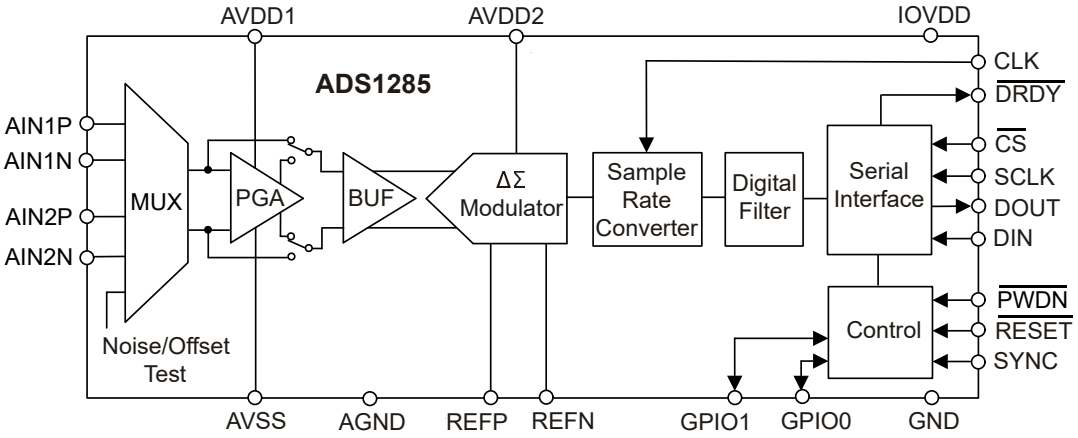
通过选择功率模式可优化动态范围和功耗。PGA 旁路运行可进一步降低功耗。

该 ADC 采用紧凑的 5mm × 5mm VQFN 封装，额定工作环境温度范围为 –40°C 至 +85°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADS1285	RHB（VQFN，32）	5.00mm × 5.00mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 时序要求：1.65V ≤ IOVDD ≤ 1.95V 和 2.7V ≤ IOVDD ≤ 3.6V.....11
5.7 开关特性：1.65V ≤ IOVDD ≤ 1.95V 和 2.7V ≤ IOVDD ≤ 3.6V.....11
5.8 时序图.....12
5.9 典型特性.....15
6 参数测量信息.....28
6.1 噪声性能.....28
7 详细说明.....30
7.1 概述.....30
7.2 功能方框图.....31
7.3 特性说明.....32
7.4 器件功能模式.....45
7.5 编程.....48
7.6 寄存器映射.....54
8 应用和实施.....59
8.1 应用信息.....59
8.2 典型应用.....59
8.3 电源相关建议.....61
8.4 布局.....62
9 器件和文档支持.....63
9.1 接收文档更新通知.....63
9.2 支持资源.....63
9.3 商标.....63
9.4 静电放电警告.....63
9.5 术语表.....63
10 修订历史记录.....63
11 机械、封装和可订购信息.....63

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

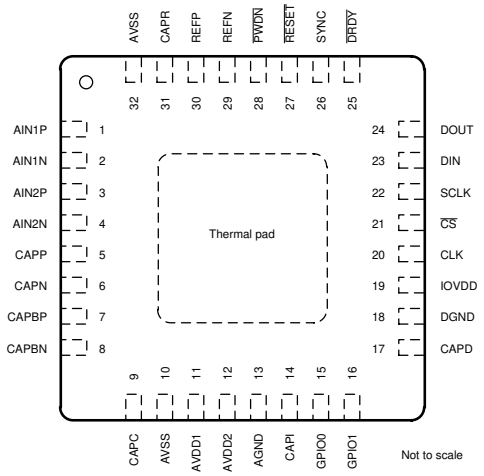


图 4-1. RHB 封装， 32 引脚，5mm × 5mm VQFN （顶视图）

表 4-1. 引脚功能

引脚		功能	说明
编号	名称		
1	AIN1P	模拟输入	通道 1 正输入
2	AIN1N	模拟输入	通道 1 负输入
3	AIN2P	模拟输入	通道 2 正输入
4	AIN2N	模拟输入	通道 2 负输入
5	CAPP	模拟内部	PGA 正电容器。在 CAPP 和 CAPN 之间连接一个 10nF C0G 电容器。
6	CAPN	模拟内部	PGA 负电容器。在 CAPP 和 CAPN 之间连接一个 10nF C0G 电容器。
7	CAPBP	模拟内部	缓冲器正电容器。将一个 47nF C0G 电容器连接至 AVSS。
8	CAPBN	模拟内部	缓冲器负电容器。将一个 47nF C0G 电容器连接至 AVSS。
9	CAPC	模拟内部	电荷泵电容器。将一个 4.7nF、最低额定电压 10V 的电容器连接至 AGND。
10	AVSS	模拟电源	PGA 负模拟电源。有关详细信息，请参阅*模拟电源*部分。
11	AVDD1	模拟电源	PGA 正模拟电源。有关详细信息，请参阅*模拟电源*部分。
12	AVDD2	模拟电源	调制器模拟电源。有关详细信息，请参阅*模拟电源*部分。
13	AGND	模拟接地	模拟接地
14	CAPI	模拟内部	输入偏置电容器。将一个 100nF 陶瓷电容器连接至 AGND。
15	GPIO0	数字 I/O	通用 I/O
16	GPIO1	数字 I/O	通用 I/O
17	CAPD	模拟输出	数字低压降稳压器 (LDO) 输出。将一个 220nF 陶瓷电容器连接至 DGND。
18	DGND	接地	数字接地
19	IOVDD	数字电源	数字 I/O 电源。有关详细信息，请参阅 *IOVDD 电源*部分。
20	CLK	数字输入	ADC 时钟输入
21	$\overline{CS}$	数字输入	串行接口选择，低电平有效
22	SCLK	数字输入	串行接口时钟
23	DIN	数字输入	串口接口数据输入
24	DOUT	数字输出	串口接口数据输出
25	$\overline{DRDY}$	数字输出	数据就绪，低电平有效
26	SYNC	数字输入	ADC 同步，高电平有效
27	$\overline{RESET}$	数字输入	ADC 复位，低电平有效
28	$\overline{PWDN}$	数字输入	ADC 断电，低电平有效
29	REFN	模拟输入	负基准输入。有关详细信息，请参阅*电压基准输入*部分。
30	REFP	模拟输入	正基准输入。有关详细信息，请参阅*电压基准输入*部分。
31	CAPR	模拟内部	基准偏置电容器。将一个 100nF 陶瓷电容器连接至 AVSS。
32	AVSS	模拟电源	PGA 负电源

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		功能	说明
编号	名称		
散热焊盘			将散热焊盘连接至 AVSS。位于印刷电路板 (PCB) 焊盘中的散热过孔可任意选配，其用于放置底部元件。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压	AVDD1 至 AVSS	-0.3	5.5	V
	AVSS 至 AGND	-2.8	0.3	
	AVDD2 至 AGND	-0.3	5.5	
	AVDD2 至 AVSS	-0.3	5.5	
	IOVDD 至 DGND	-0.3	3.9	
	IOVDD 至 DGND（IOVDD 连接至 CAPD）	-0.3	2.2	
接地	AGND 到 DGND	– 0.3	0.3	V
模拟输入电压	AIN1P、AIN1N、AIN2P、AIN2N、REFP、REFN	AVSS – 0.3	AVDD1 + 0.3	V
数字输入电压	CLK、DIN、SCLK、$\overline{CS}$、GPIO0、GPIO1、SYNC、$\overline{RESET}$、$\overline{PWDN}$	DGND – 0.3	IOVDD + 0.3	V
输入电流	连续，任何数字或模拟引脚(2)	-10	10	mA
温度	结温，T_J		150	°C
	贮存温度，T_{stg}	-60	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但又在绝对最大额定值范围内短暂运行，器件可能不会损坏，但可能不会完全正常运行，这可能会影响器件的可靠性、功能和性能，并缩短器件的寿命。

(2) 模拟输入引脚 AIN1P、AIN1N、AIN2P、AIN2N、REFP 和 REFN 被二极管钳制至 AVDD1 和 AVSS。如果模拟输入电压超过 AVDD1 + 0.3V 或 AVSS – 0.3V，则将输入电流限制为 10mA。数字输入引脚被钳制至 IOVDD 和 DGND。如果数字输入电压超过 IOVDD + 0.3V 或 DGND – 0.3V，则限制输入电流。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	2000	V
		充电器件模型 (CDM)，符合 JEDEC JESD22C101 标准(2)	1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源						
	模拟电源	AVDD1 至 AVSS	3		5.25	V
		AVDD1 至 AGND	2.375			V
		AVSS 至 AGND	-2.625		0	
		AVDD2 至 AGND	2.375		5.25	
		AVDD2 至 AVSS			5.25	
	数字电源	IOVDD 至 DGND	2.7		3.6	V
		IOVDD 连接至 CAPD	1.65		1.95	
模拟输入						
V_{IN}	差动输入电压 $V_{IN} = V_{AINP} – V_{AINN}$	基准电压 = 5V		$\pm V_{REF}$/（2 × 增益）		V
		基准电压 = 4.096V		$\pm V_{REF}$/（1.6384 × 增益）		
		基准电压 = 2.5V		$\pm V_{REF}$/增益		

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件（续）

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
	绝对输入电压	缓冲器运行	AVSS + 0.1		AVDD1 – 0.1	V
		PGA 运行	AVSS + 1.1		AVDD1 – 0.85	
	绝对输出电压	缓冲器运行	AVSS + 0.1		AVDD1 – 0.1	V
		PGA 运行	AVSS + 0.15		AVDD1 – 0.15	
	校准范围 (1)				6%	FSR
电压基准输入						
V_{REFN}	负基准输入		AVSS – 0.05			V
V_{REFP}	正基准输入				AVDD1 + 0.1	V
V_{REF}	$V_{REF} = V_{REFP} – V_{REFN}$	基准电压 = 5V	4.9	5	AVDD1 – AVSS + 0.1	V
		基准电压 = 4.096V	4.0	4.096	4.2	V
		基准电压 = 2.5V	2.4	2.5	2.6	V
数字输入						
V_{INL}	低电平输入电压				0.2 × IOVDD	V
V_{INH}	高电平输入电压		0.8 × IOVDD			V
f_{CLK}	时钟输入频率	高功耗模式	6	8.192	8.3	MHz
		中等功耗模式	6	8.192	8.3	
		低功耗模式	3	4.096	4.15	
温度						
T_A	环境温度	工作中	-50		85	°C
		规格	-40		85	

(1) 校准范围为偏移和增益误差校正的总和。

5.4 热性能信息

热指标(1)		ADS1285 RHB (VQFN) 32 引脚	单位
$R_{\theta JA}$	结至环境热阻	30	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	19.4	°C/W
$R_{\theta JB}$	结至电路板热阻	10.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	10.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

最低和最高规格适用于 -40°C 至 +85°C；典型规格在 25°C 下测得；所有规格测试条件均为：AVDD1 = 5V、AVDD2 = 2.5V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{REFP} = 4.096V、V_{REFN} = 0V、V_{CM} = 2.5V、PGA 增益 = 1、f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz）且 f_{DATA} = 500SPS（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
模拟输入							
	输入多路复用器导通电阻	输入 1 至输入 2 的交叉连接			60		Ω
PGA 运行							
I_B	PGA 输入偏置电流	高功耗模式			45		nA
I_{OS}	PGA 输入偏移电流	高功耗模式			±3		nA
	PGA 增益				1、2、4、8、16、32、64		V/V
e_{n-PGA}	PGA 输入电压噪声密度	高功耗模式	PGA 增益 = 16		5.5		nV/ √Hz
		中等功耗模式			7		
		低功耗模式			7		
i_{n-PGA}	PGA 输入电流噪声密度	差动			2.5		pA/ √Hz
	抗混叠滤波器频率				30		kHz
缓冲器运行							
I_B	输入电流	高功耗模式	V_{IN} = 2.5V		±1.2		μA
		中等功耗模式			±1.2		
		低功耗模式			±0.3		
直流性能							
e_n	噪声				有关详细信息，请参阅*噪声性能*部分		
V_{OS}	偏移误差	PGA 运行		–350/增益 - 10	±30/增益 + 5	350/增益 + 10	μV
		缓冲器运行		-600	±50	600	
		校准后			±1		
	失调电压误差漂移	PGA 运行			0.5/增益		μV/°C
		缓冲器运行			1		
	增益误差	PGA 运行，增益 = 1		-0.05%	±0.02%	0.05%	
		校准后			2		ppm
		缓冲器运行		-0.07%	±0.05%	0.07%	
	增益匹配	相对于 PGA 增益 = 1		-0.2%	±0.06%	0.2%	
	增益漂移	所有 PGA 增益			2		ppm/°C
CMRR	共模抑制比	f = 60Hz		104	120		dB
PSRR	电源抑制比	AVDD2	在直流	80	95		dB
		AVSS、AVDD1		85	110		dB
		IOVDD		100	120		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最低和最高规格适用于 -40°C 至 +85°C；典型规格在 25°C 下测得；所有规格测试条件均为：AVDD1 = 5V、AVDD2 = 2.5V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{REFP} = 4.096V、V_{REFN} = 0V、V_{CM} = 2.5V、PGA 增益 = 1、f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz）且 f_{DATA} = 500SPS（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
e_{n-MOD}	调制器电压噪声密度	V_{REF} = 4.096V			25		nV/√Hz
THD	总谐波失真	高功耗模式，V_{REF} = 2.5V、AVDD1 = 3.3V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	缓冲器运行		-123	-114	dB
			PGA 增益 = 2		-119		
			PGA 增益 = 4		-125	-116	
			PGA 增益 = 8		-124		
			PGA 增益 = 16		-123	-116	
			PGA 增益 = 32 和 64		-125		
		中等功耗模式，V_{REF} = 2.5V、AVDD1 = 3.3V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	缓冲器运行		-122	-113	dB
			PGA 增益 = 2		-120		
			PGA 增益 = 4		-125	-118	
			PGA 增益 = 8		-124		
			PGA 增益 = 16		-123	-115	
			PGA 增益 = 32 和 64		-125		
		低功耗模式，V_{REF} = 2.5V、AVDD1 = 3.3V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	缓冲器运行		-124	-117	dB
			PGA 增益 = 2		-122		
			PGA 增益 = 4		-124	-116	
			PGA 增益 = 8		-125		
			PGA 增益 = 16		-123	-115	
			PGA 增益 = 32 和 64		-124		
		高功耗模式，V_{REF} = 4.096V、AVDD1 = 5V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	缓冲器运行		-119	-114	dB
			PGA 增益 = 1		-119	-111	
			PGA 增益 = 2		-125		
			PGA 增益 = 4		-122	-114	
			PGA 增益 = 8		-118		
			PGA 增益 = 16		-117	-111	
			PGA 增益 = 32 和 64		-125		
		中等功耗模式，V_{REF} = 4.096V、AVDD1 = 5V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	缓冲器运行		-119	-112	dB
			PGA 增益 = 1		-119	-111	
			PGA 增益 = 2		-125		
			PGA 增益 = 4		-124	-115	
			PGA 增益 = 8		-119		
			PGA 增益 = 16		-117	-111	
			PGA 增益 = 32 和 64		-124		
		低功耗模式，V_{REF} = 4.096V、AVDD1 = 5V、AVSS = 0V、f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS	缓冲器运行		-123	-117	dB
			PGA 增益 = 1		-121	-115	
			PGA 增益 = 2		-124		
			PGA 增益 = 4		-125	-115	
			PGA 增益 = 8		-122		
			PGA 增益 = 16		-121	-113	
			PGA 增益 = 32 和 64		-123		
SFDR	无杂散动态范围	f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS			115		dB
	串扰	f_{IN} = 31.25Hz、V_{IN} = –0.5dBFS			-140		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最低和最高规格适用于 -40°C 至 +85°C；典型规格在 25°C 下测得；所有规格测试条件均为：AVDD1 = 5V、AVDD2 = 2.5V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{REFP} = 4.096V、V_{REFN} = 0V、V_{CM} = 2.5V、PGA 增益 = 1、f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz）且 f_{DATA} = 500SPS（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
电压基准输入							
	基准输入电流	高功耗模式			110		μA/V
		中等功耗模式			110		
		低功耗模式			80		
FIR 数字滤波器							
f_{DATA}	数据速率	高功耗模式		250		4000	SPS
		中等功耗模式		250		4000	
		低功耗模式		125		2000	
	通带纹波			-0.003		0.003	dB
	通带（– 0.01dB）				0.375 × f_{DATA}		Hz
	带宽（– 3dB）				0.413 × f_{DATA}		Hz
	阻带				0.5 × f_{DATA}		Hz
	阻带衰减 (1)			135			dB
	组延迟	最小相位滤波器、直流			5 / f_{DATA}		s
		线性相位滤波器			31/f_{DATA}		
	趋稳时间（延迟）	最小相位滤波器			62 / f_{DATA}		s
		线性相位滤波器			62 / f_{DATA}		
IIR 数字滤波器							
	高通角频率			0.1		10	Hz
采样率转换器							
	时钟补偿范围			-244		244	f_{CLK} 的 ppm
	分辨率				7.45		f_{CLK} 的 ppb
数字输入/输出							
V_{OH}	高电平输出电压	I_{OH} = 1mA		0.8 × IOVDD			V
V_{OL}	低电平输出电压	I_{OL} = -1mA				0.2 × IOVDD	V
I_{lkg}	输入泄漏电流			-1		1	μA
电源							
I_{AVDD1}、I_{AVSS}	AVDD1、AVSS 电流	高功耗模式 AVDD1 = 3.3V	PGA 运行		1.4		mA
			缓冲器运行		0.25		
		中等功耗模式 AVDD1 = 3.3V	PGA 运行		0.85		mA
			缓冲器运行		0.25		
		低功耗模式 AVDD1 = 3.3V	PGA 运行		0.8		mA
			缓冲器运行		0.2		
		高功耗模式 AVDD1 = 5V	PGA 运行		1.5	1.85	mA
			缓冲器运行		0.35	0.45	
		中等功耗模式 AVDD1 = 5V	PGA 运行		0.9	1.2	mA
			缓冲器运行		0.35	0.45	
		低功耗模式 AVDD1 = 5V	PGA 运行		0.85	1.1	mA
			缓冲器运行		0.25	0.45	
		断电模式			1	5	μA
I_{AVDD2}	AVDD2 电流	高功耗模式	AVDD2 = 2.5V		1.2	1.5	mA
		中等功耗模式			1.2	1.5	
		低功耗模式			0.7	0.85	
		断电模式			1	5	μA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最低和最高规格适用于 -40°C 至 +85°C；典型规格在 25°C 下测得；所有规格测试条件均为：AVDD1 = 5V、AVDD2 = 2.5V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{REFP} = 4.096V、V_{REFN} = 0V、V_{CM} = 2.5V、PGA 增益 = 1、f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz）且 f_{DATA} = 500SPS（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_{IOVDD}	IOVDD 电流	高功耗模式			0.43	0.6	mA
		中等功耗模式			0.43	0.6	
		低功耗模式			0.24	0.4	
		断电模式			1	10	μA
		待机模式			200		
	IOVDD 额外电流	高功耗模式	采样率转换器运行		1.2		mA
		中等功耗模式			1.2		
		低功耗模式			0.6		
P_d	功率耗散 (2)	高功耗模式 AVDD1 = 3.3V AVDD2 = 2.5V	PGA 运行		8.3		mW
			缓冲器运行		4.5		
		中等功耗模式 AVDD1 = 3.3V AVDD2 = 2.5V	PGA 运行		6.5		mW
			缓冲器运行		4.5		
		低功耗模式 AVDD1 = 3.3V AVDD2 = 2.5V	PGA 运行		4.8		mW
			缓冲器运行		2.8		
		高功耗模式 AVDD1 = 5V AVDD2 = 2.5V	PGA 运行		11.5	14.1	mW
			缓冲器运行		5.3	6.7	
		中等功耗模式 AVDD1 = 5V AVDD2 = 2.5V	PGA 运行		8.3	10.8	mW
			缓冲器运行		5.3	6.7	
		低功耗模式 AVDD1 = 5V AVDD2 = 2.5V	PGA 运行		6.4	8.4	mW
			缓冲器运行		3.4	5.1	

(1) N × 32kHz（低功耗模式下为 16kHz）± f_{DATA}/2（其中 *N* = 1、2、3⋯）下的输入频率与斩波器时钟进行互调。在这些频率下，阻带衰减 = –90dBFS（典型值）。

(2) 不包括电压基准输入或采样率转换器运行消耗的电流。请参阅采样率转换器运行的电压基准输入电流和 IOVDD 电流。

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求：1.65V ≤ IOVDD ≤ 1.95V 和 2.7V ≤ IOVDD ≤ 3.6V

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
时钟						
$t_{c(CLK)}$	CLK 周期	高功耗模式	120.5	122.07	166	ns
		中等功耗模式	120.5	122.07	166	
		低功耗模式	241	244.14	332	
$t_{w(CLKH)}$	脉冲持续时间，CLK 高电平	高功耗模式	55			ns
		中等功耗模式	55			
		低功耗模式	110			
$t_{w(CLKL)}$	脉冲持续时间，CLK 低电平	高功耗模式	55			ns
		中等功耗模式	55			
		低功耗模式	110			
串行接口						
$t_{w(CSH)}$	脉冲持续时间，$\overline{CS}$ 为高电平		20			ns
$t_{d(CSSC)}$	延迟时间，$\overline{CS}$ 下降沿后的第一个 SCLK 上升沿		20			ns
$t_{c(SCLK)}$	SCLK 周期		120			ns
$t_{w(SCH)}$	脉冲持续时间，SCLK 高电平		50			ns
$t_{w(SCL)}$	脉冲持续时间，SCLK 低电平		50			ns
$t_{su(DI)}$	建立时间，DIN 有效到 SCLK 下降沿		10			ns
$t_{h(DI)}$	保持时间，SCLK 下降沿到 DIN 有效		10			ns
$t_{su(SRC-W)}$	建立时间，SRC[1:0] 寄存器写入到 $\overline{DRDY}$ 下降沿		256			$1/f_{(CLK)}$
SYNC						
$t_{w(SYNL)}$	脉冲持续时间，SYNC 低电平		2			$1/f_{(CLK)}$
$t_{w(SYNH)}$	脉冲持续时间，SYNC 高电平		2			$1/f_{(CLK)}$
$t_{su(SYNCLK)}$	建立时间，SYNC 为高电平到 CLK 上升沿		10			ns
$t_{h(SYNCLK)}$	保持时间，CLK 上升沿到 SYNC 为高电平		10			ns
$\overline{RESET}$						
$t_{w(RSTL)}$	脉冲持续时间，$\overline{RESET}$ 低电平		2			$1/f_{(CLK)}$
$t_{su(RSTCLK)}$	建立时间，$\overline{RESET}$ 为高电平到 CLK 上升沿		10			ns
$t_{h(RSTCLK)}$	保持时间，CLK 上升沿到 $\overline{RESET}$ 为高电平		10			ns

5.7 开关特性：1.65V ≤ IOVDD ≤ 1.95V 和 2.7V ≤ IOVDD ≤ 3.6V

在工作环境温度范围内，C_{LOAD} = 20pF（除非另有说明）

参数		最小值	典型值	最大值	单位
串行接口					
$t_{w(DRH)}$	脉冲持续时间，$\overline{DRDY}$ 为高电平			8	$1/f_{(CLK)}$
$t_{p(CSDO)}$	传播延迟时间，$\overline{CS}$ 下降沿至 DOUT 驱动为有效			50	ns
$t_{p(SCDO)}$	传播延迟时间，SCLK 下降沿至新 DOUT 有效			50	ns
$t_{h(SCDO)}$	传播延迟时间，SCLK 下降沿至 DOUT 无效	5			ns
SYNC					
$t_{p(SYNDR)}$	传播延迟时间，SYNC 上升沿至有效数据 $\overline{DRDY}$ 下降沿		$62.98145/f_{DATA} + 930/f_{CLK}$		s
$\overline{RESET}$					
$t_{p(RSTDR)}$	传播延迟时间，$\overline{RESET}$ 上升沿至 $\overline{DRDY}$ 下降沿		516,874		$1/f_{CLK}$
$\overline{PWDN}$					
$t_{p(PDDR)}$	传播延迟时间，$\overline{PWDN}$ 上升沿至 $\overline{DRDY}$ 下降沿		$62.98145/f_{DATA} + 946/f_{(CLK)}$		s
加电					

Copyright © 2025 Texas Instruments Incorporated

5.7 开关特性：1.65V ≤ IOVDD ≤ 1.95V 和 2.7V ≤ IOVDD ≤ 3.6V （续）

在工作环境温度范围内，C_{LOAD} = 20pF（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{p(SUPDR)}$	传播延迟时间，施加电源和 CLK 至第一个 $\overline{DRDY}$ 脉冲		650,000		1 / f_{CLK}

5.8 时序图

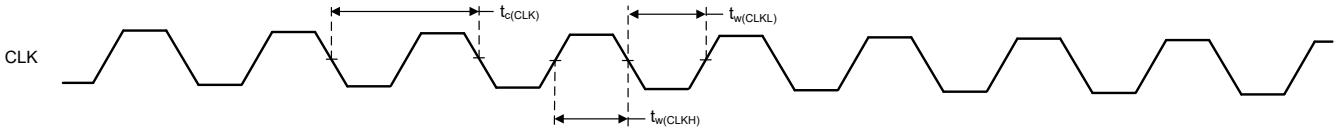


图 5-1. 时钟时序要求

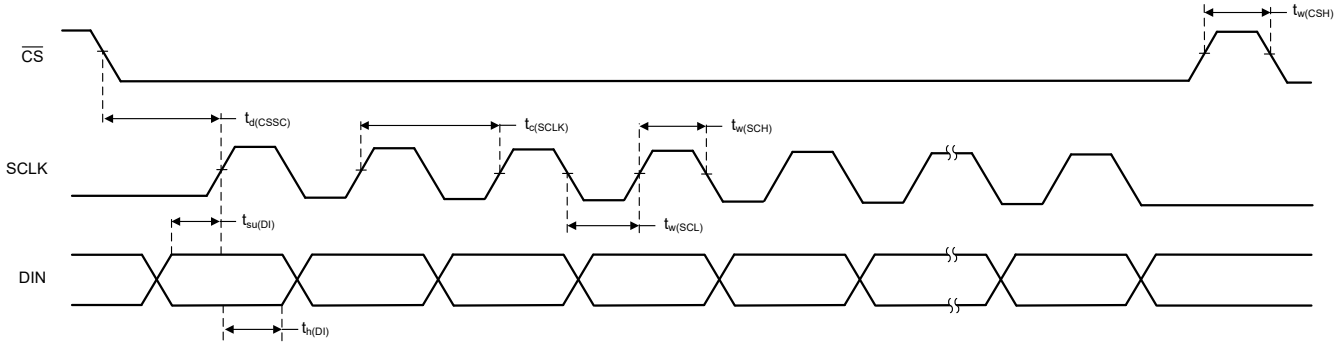


图 5-2. 串行接口时序要求

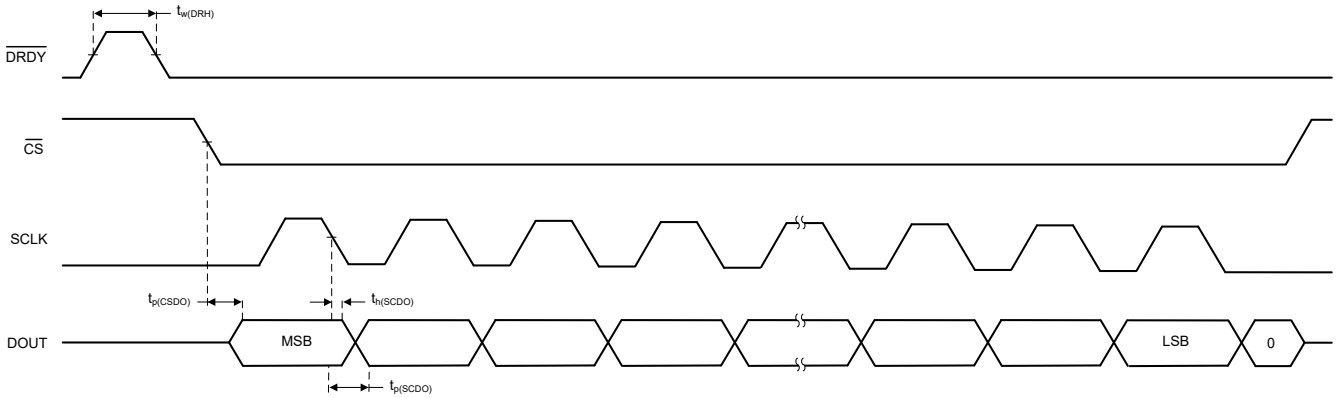


图 5-3. 串行接口开关特性

Copyright © 2025 Texas Instruments Incorporated

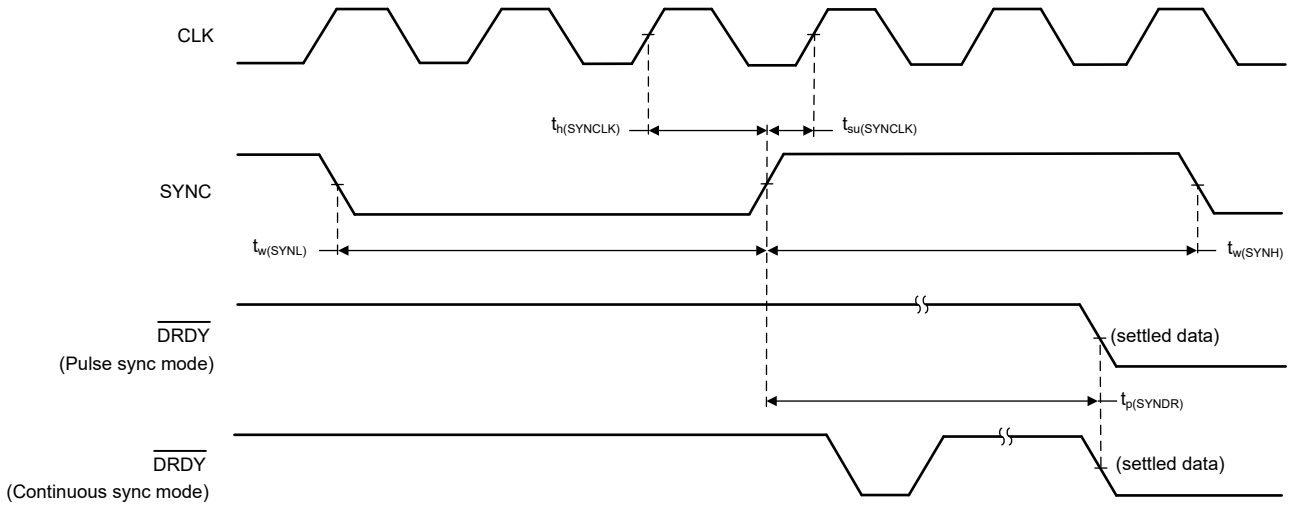


图 5-4. SYNC 时序要求和开关特性

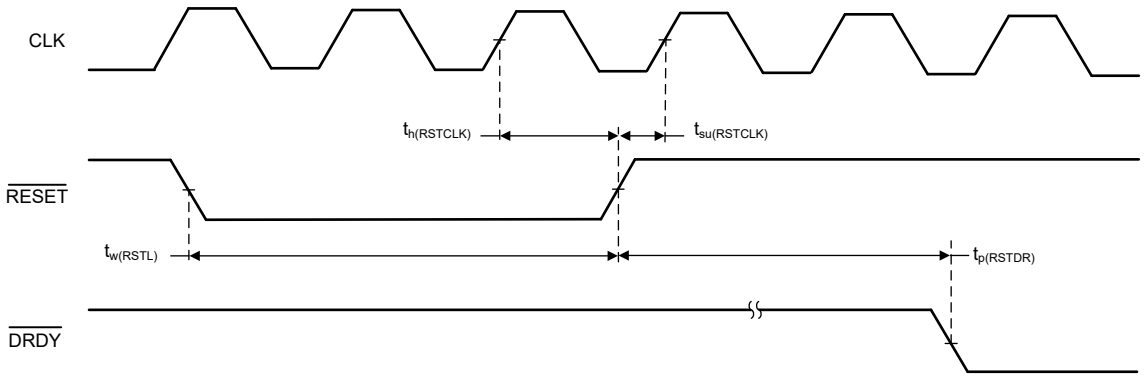


图 5-5. RESET 时序要求和开关特性

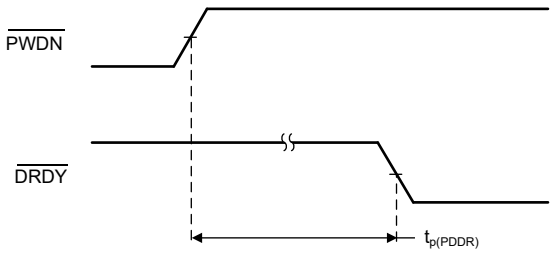


图 5-6. PWDN 开关特性

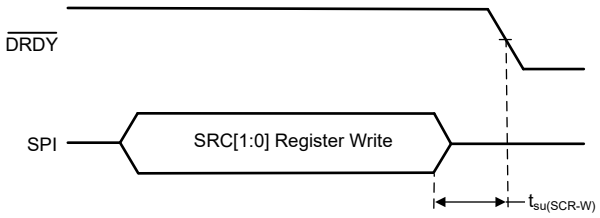


图 5-7. 采样率转换器寄存器写入时序要求

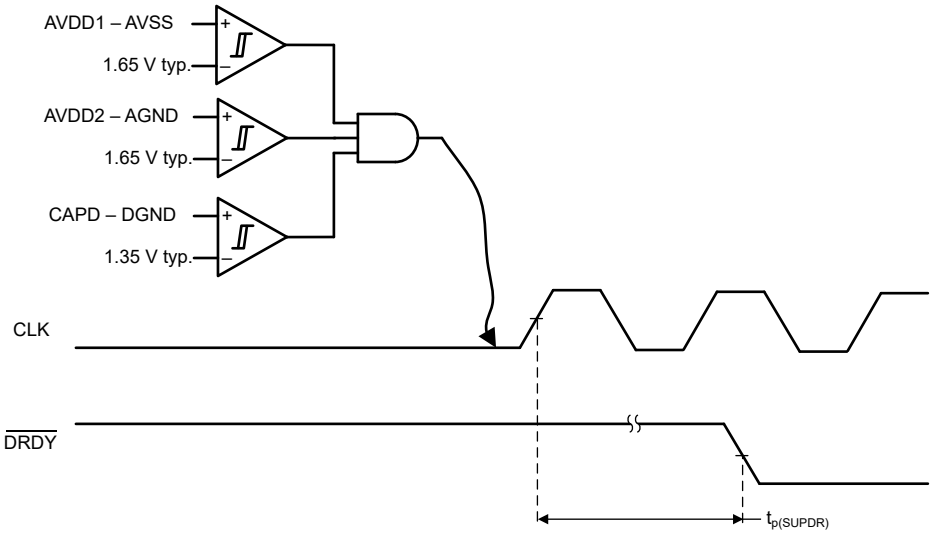
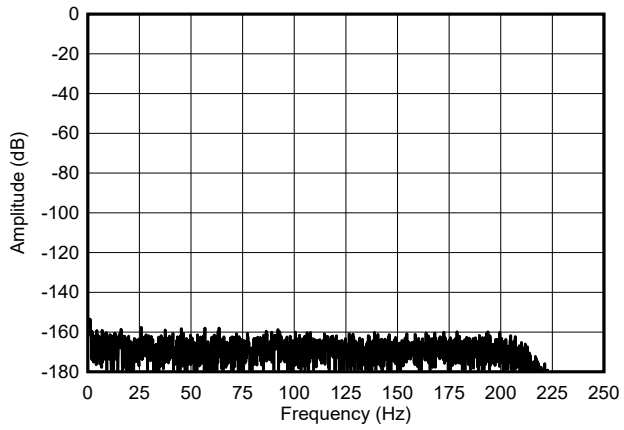


图 5-8. 加电开关特性

Copyright © 2025 Texas Instruments Incorporated

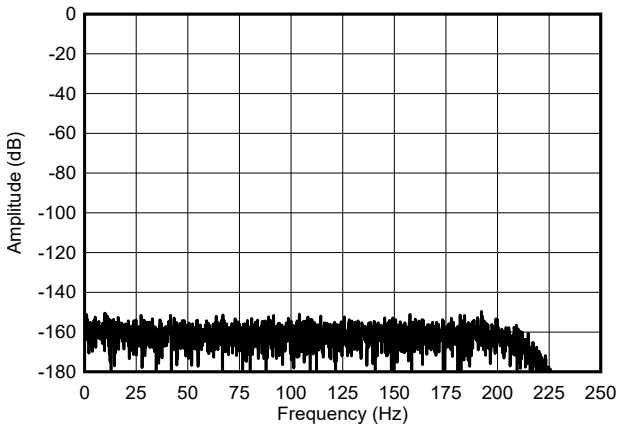
5.9 典型特性

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



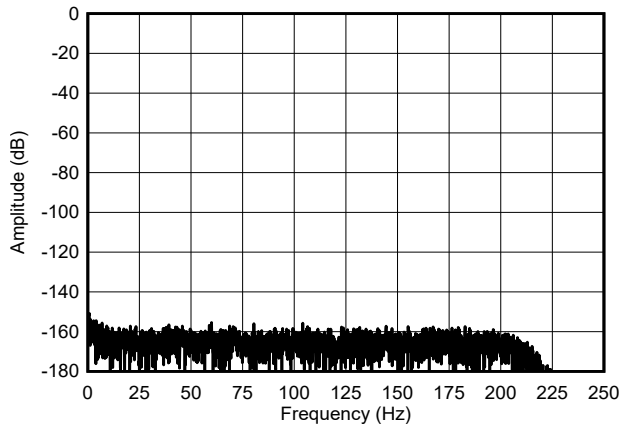
短接输入，PGA 增益 = 1

图 5-9. 高功耗模式 FFT 频谱



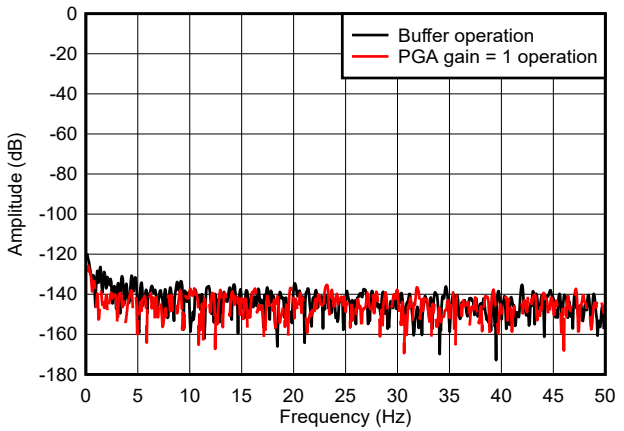
短接输入，PGA 增益 = 8

图 5-10. 高功耗模式 FFT 频谱



短接输入，PGA 增益 = 1，V_{REF} = 2.5V，AVDD1 = 3.3V

图 5-11. 高功耗模式 FFT 频谱



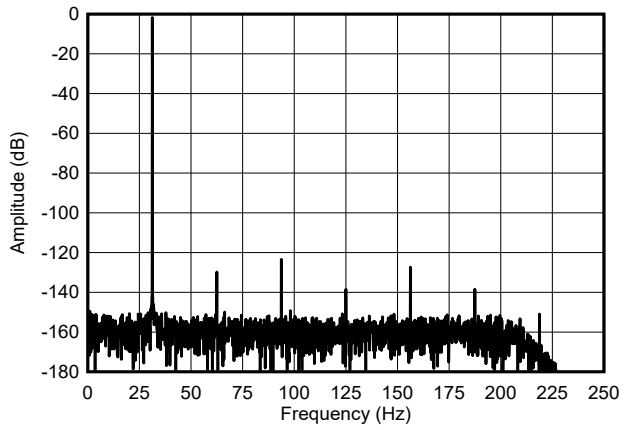
R_S = 1kΩ

图 5-12. 高功耗模式 FFT 频谱

Copyright © 2025 Texas Instruments Incorporated

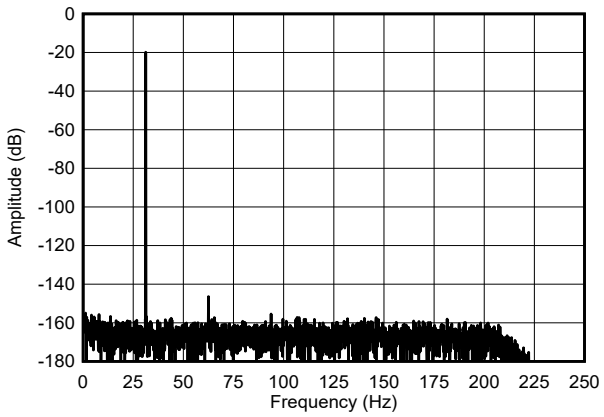
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



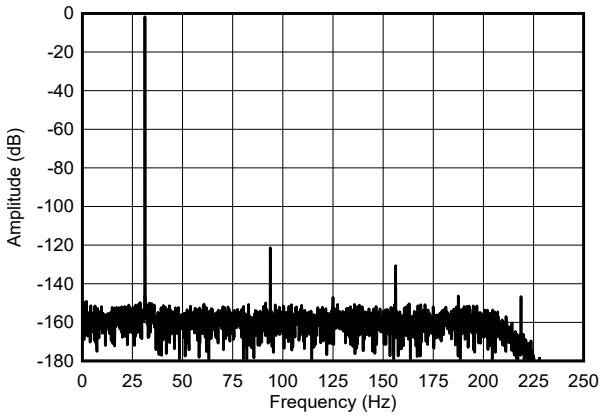
f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 1

图 5-13. 高功耗模式 FFT 频谱



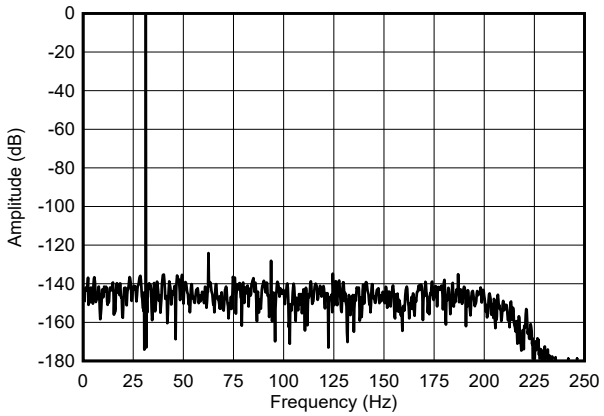
f_{IN} = 31.25Hz，V_{IN} = –20dBFS，PGA 增益 = 1

图 5-14. 高功耗模式 FFT 频谱



f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，缓冲器运行模式

图 5-15. 高功耗模式 FFT 频谱



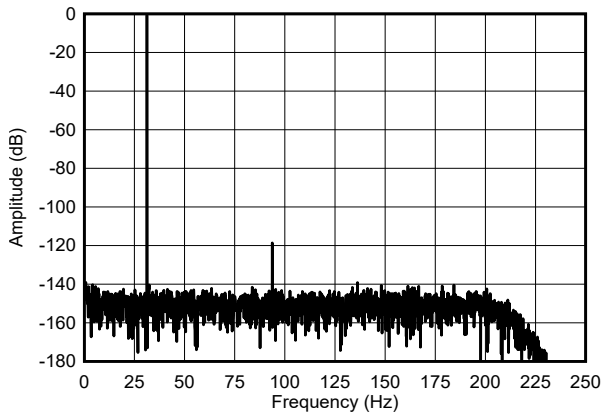
f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 2，V_{REF} = 2.5V，AVDD1 = 3.3V，2,048 个数据点

图 5-16. 高功耗模式 FFT 频谱

Copyright © 2025 Texas Instruments Incorporated

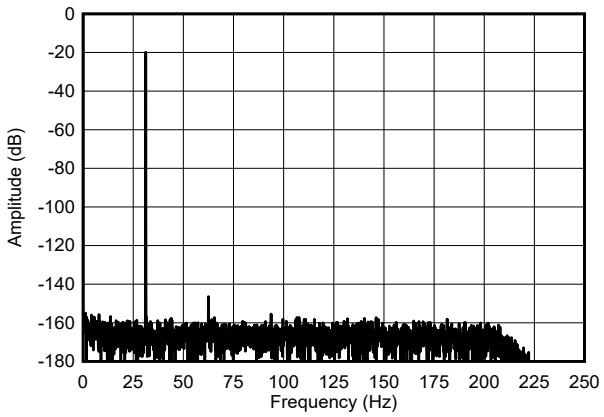
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



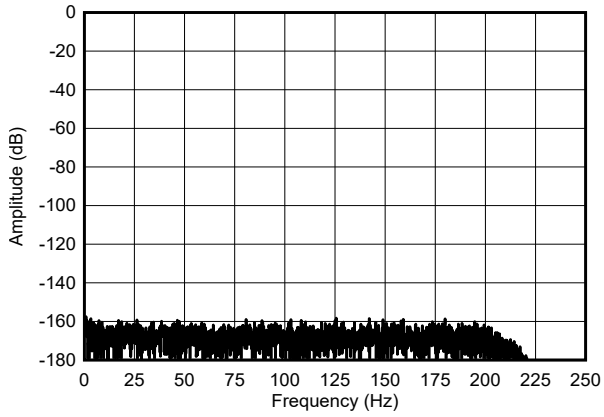
f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 8

图 5-17. 高功耗模式 FFT 频谱



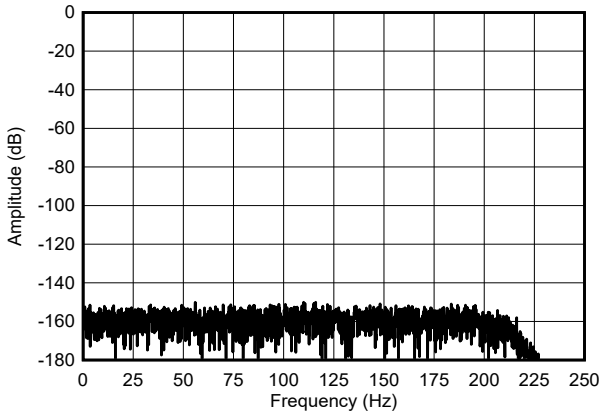
f_{IN} = 31.25Hz，V_{IN} = –20dBFS，PGA 增益 = 8

图 5-18. 高功耗模式 FFT 频谱



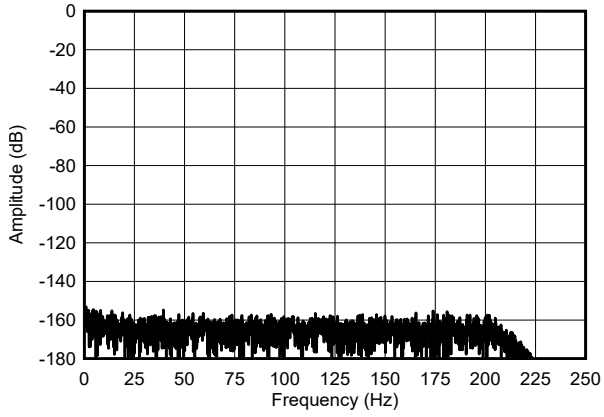
短接输入，PGA 增益 = 1

图 5-19. 中等功耗模式 FFT 频谱



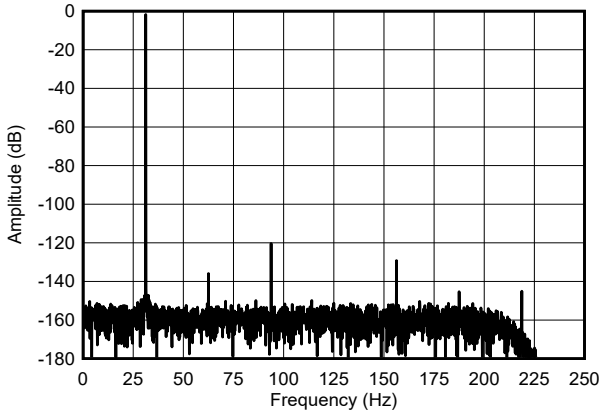
短接输入，PGA 增益 = 8

图 5-20. 中等功耗模式 FFT 频谱



短接输入，PGA 增益 = 1，V_{REF} = 2.5V，AVDD1 = 3.3V

图 5-21. 中等功耗模式 FFT 频谱



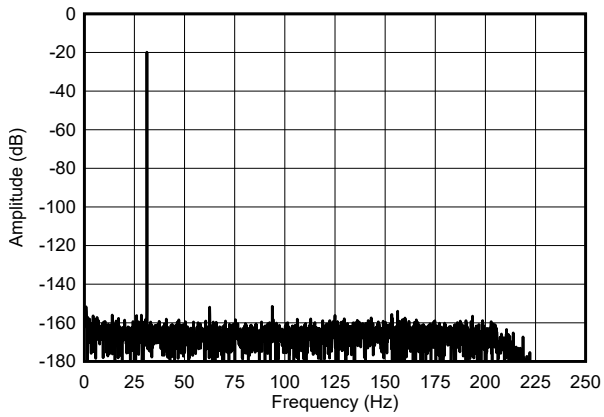
f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 1

图 5-22. 中等功耗模式 FFT 频谱

Copyright © 2025 Texas Instruments Incorporated

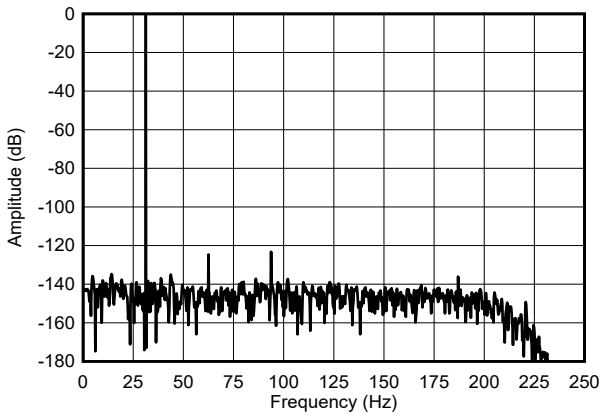
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



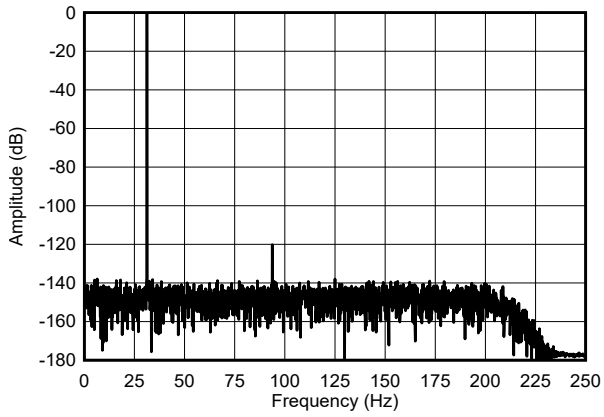
f_{IN} = 31.25Hz，V_{IN} = –20dBFS，PGA 增益 = 1

图 5-23. 中等功耗模式 FFT 频谱



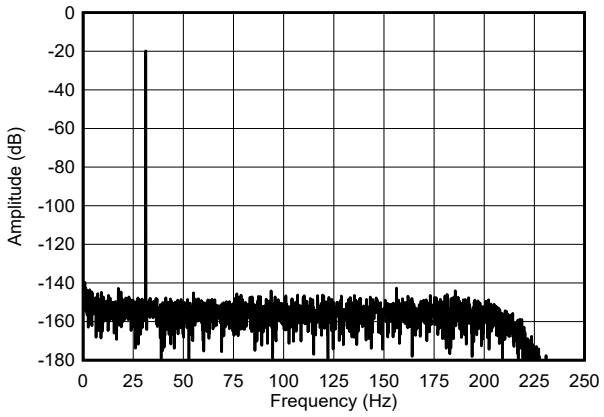
f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 2，V_{REF} = 2.5V，AVDD1 = 3.3V，2,048 个数据点

图 5-24. 中等功耗模式 FFT 频谱



f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 8

图 5-25. 中等功耗模式 FFT 频谱



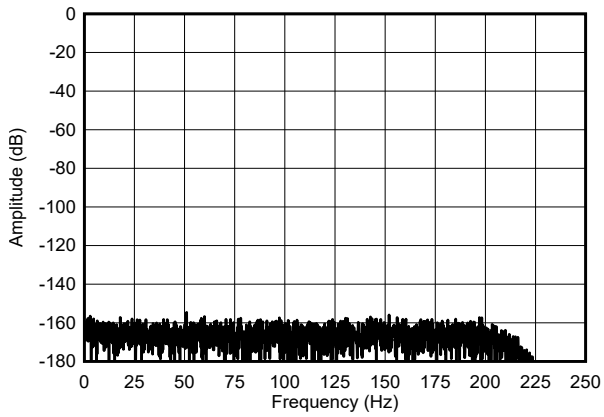
f_{IN} = 31.25Hz，V_{IN} = –20dBFS，PGA 增益 = 8

图 5-26. 中等功耗模式 FFT 频谱

Copyright © 2025 Texas Instruments Incorporated

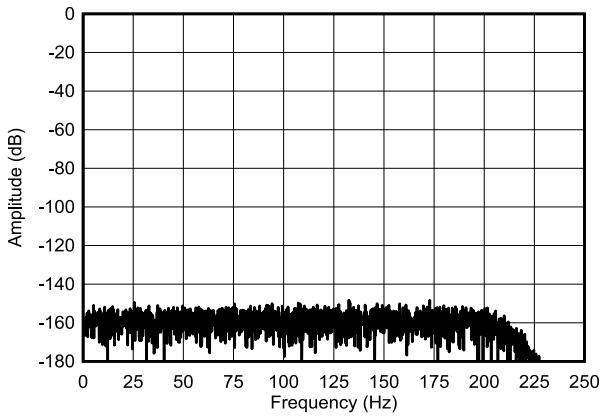
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



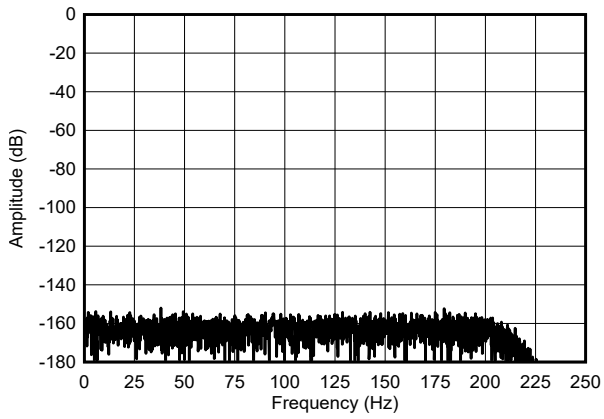
短接输入，PGA 增益 = 1

图 5-27. 低功耗模式 FFT 频谱



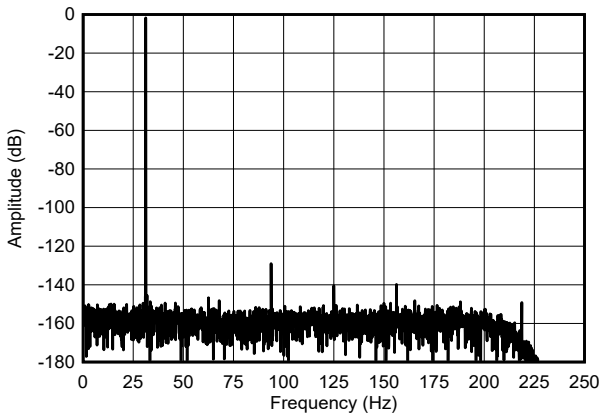
短接输入，PGA 增益 = 8

图 5-28. 低功耗模式 FFT 频谱



短接输入，PGA 增益 = 1，V_{REF} = 2.5V，AVDD1 = 3.3V

图 5-29. 低功耗模式 FFT 频谱



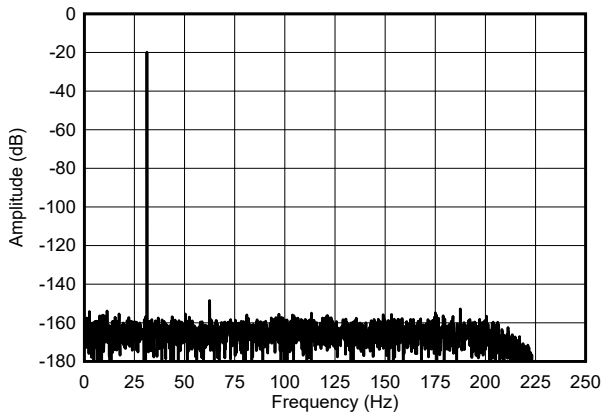
f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 1

图 5-30. 低功耗模式 FFT 频谱

Copyright © 2025 Texas Instruments Incorporated

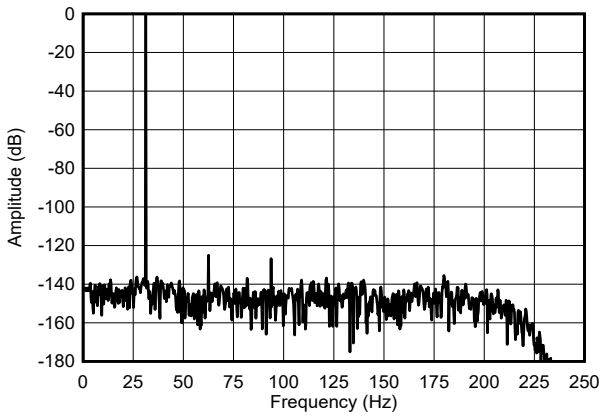
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



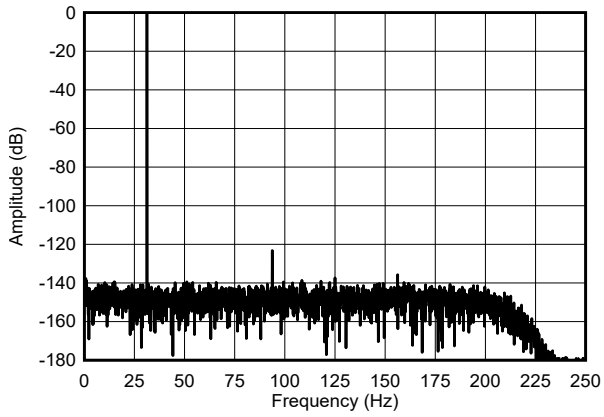
f_{IN} = 31.25Hz，V_{IN} = –20dBFS，PGA 增益 = 1

图 5-31. 低功耗模式 FFT 频谱



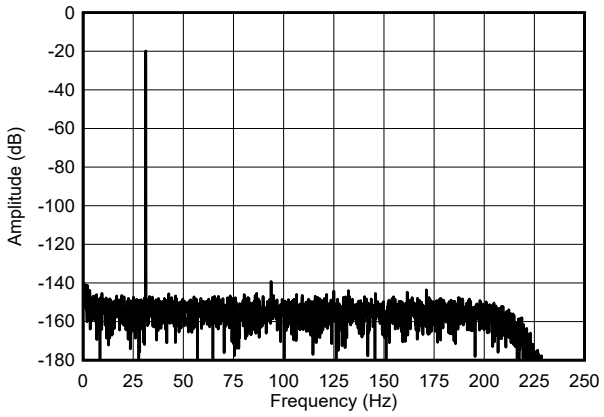
f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 2，V_{REF} = 2.5V，AVDD1 = 3.3V，2,048 个数据点

图 5-32. 低功耗模式 FFT 频谱



f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS，PGA 增益 = 8

图 5-33. 低功耗模式 FFT 频谱



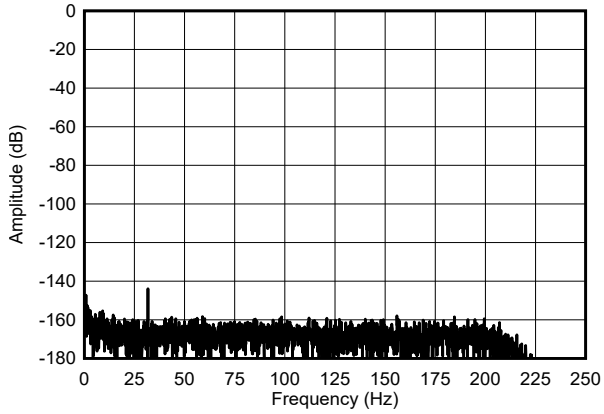
f_{IN} = 31.25Hz，V_{IN} = –20dBFS，PGA 增益 = 8

图 5-34. 低功耗模式 FFT 频谱

Copyright © 2025 Texas Instruments Incorporated

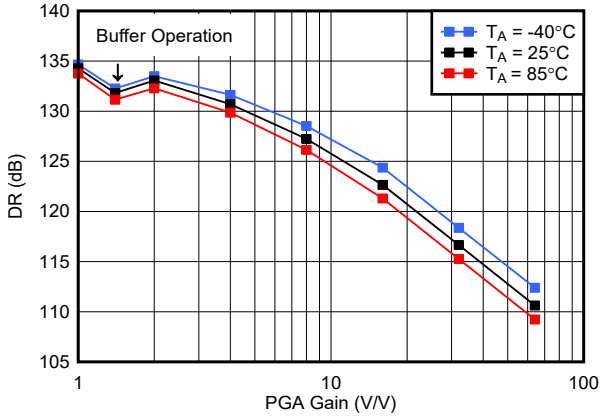
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



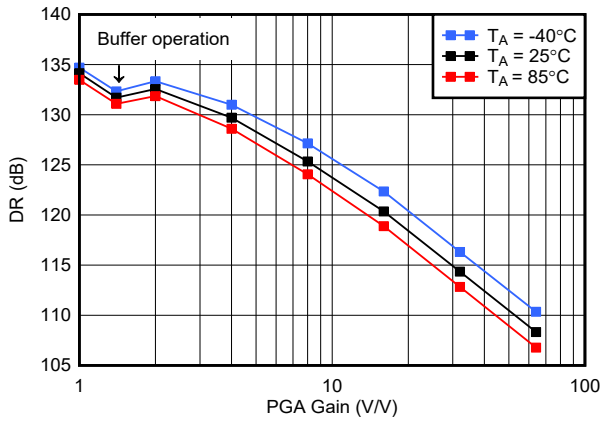
AIN1 = f_{IN} = 31.25Hz，–0.5dBFS 信号，AIN2 =短接

图 5-35. 通道间串扰



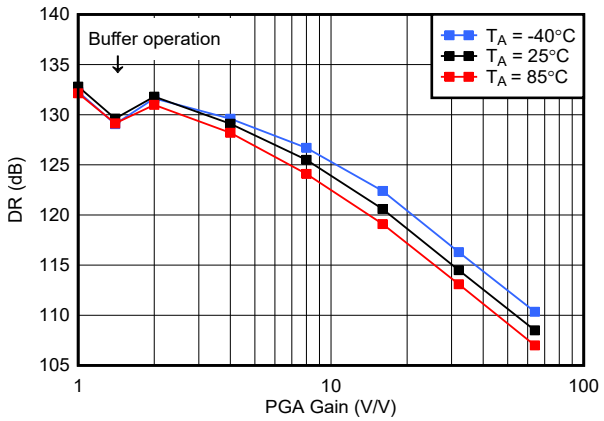
高功耗模式

图 5-36. 动态范围与 PGA 增益间的关系



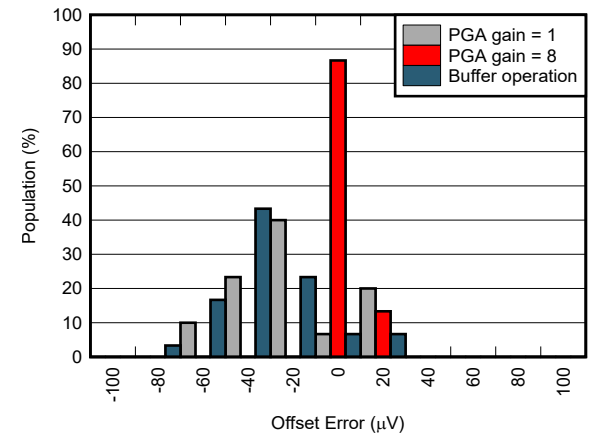
中等功耗模式

图 5-37. 动态范围与 PGA 增益间的关系



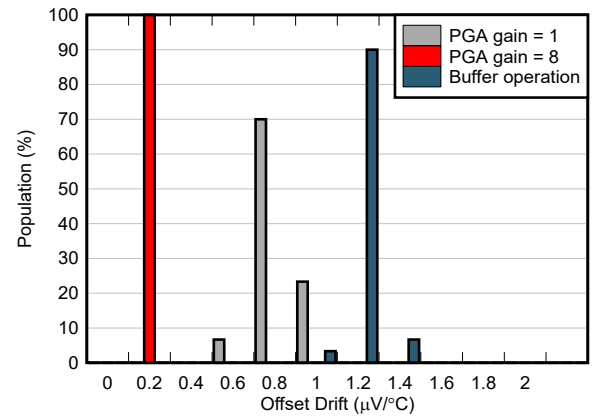
低功耗模式

图 5-38. 动态范围与 PGA 增益间的关系



30 个单元

图 5-39. 偏移电压误差分布



30 个单元

图 5-40. 偏移电压漂移分布

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）

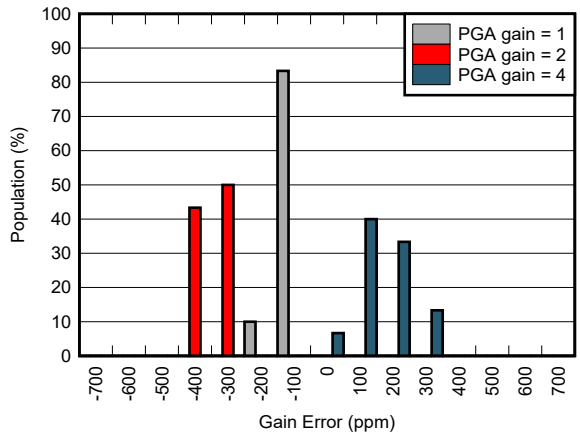


图 5-41. 增益误差分布图

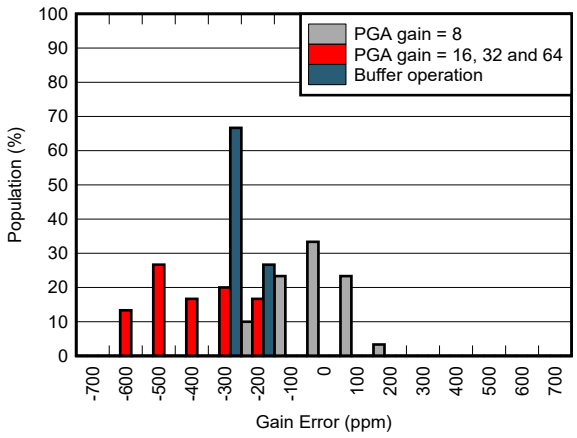


图 5-42. 增益误差分布图

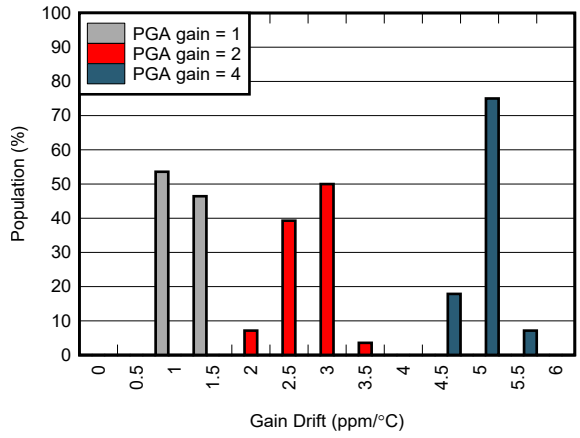


图 5-43. 增益漂移分布图

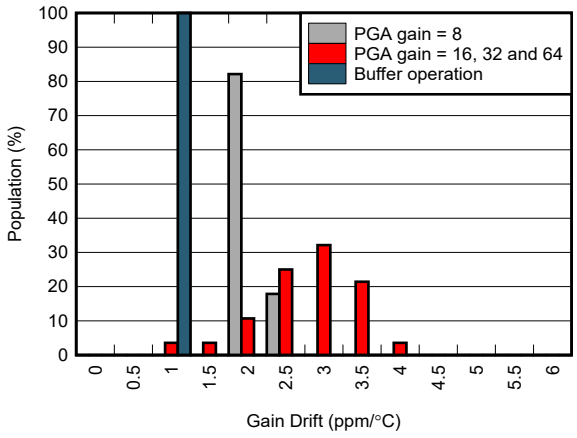


图 5-44. 增益漂移分布图

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）

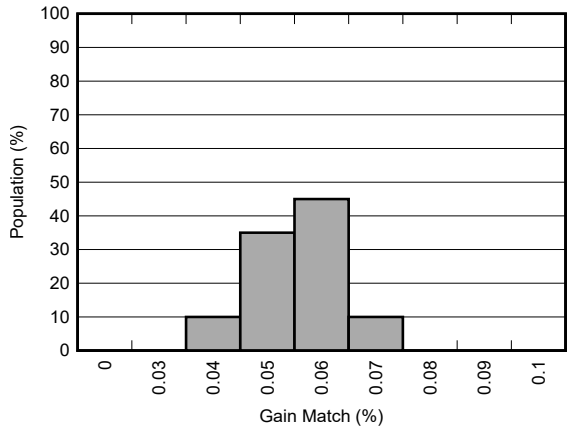


图 5-45. 增益匹配分布

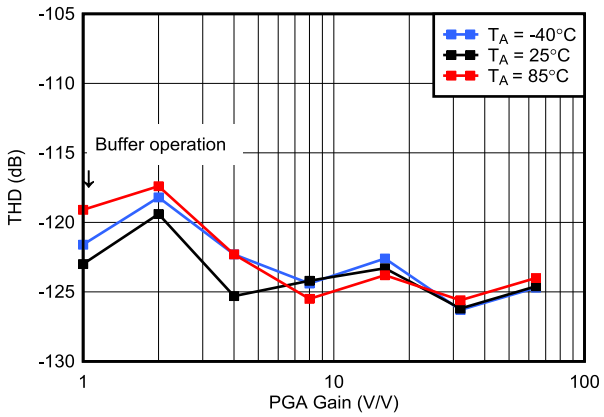


图 5-46. 高功耗模式 THD 与 PGA 增益间的关系

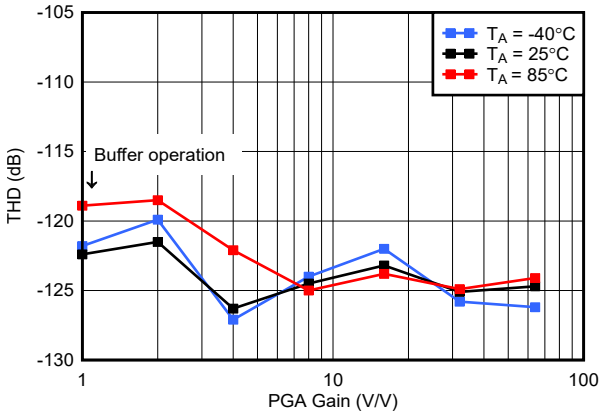


图 5-47. 中等功耗模式 THD 与 PGA 增益间的关系

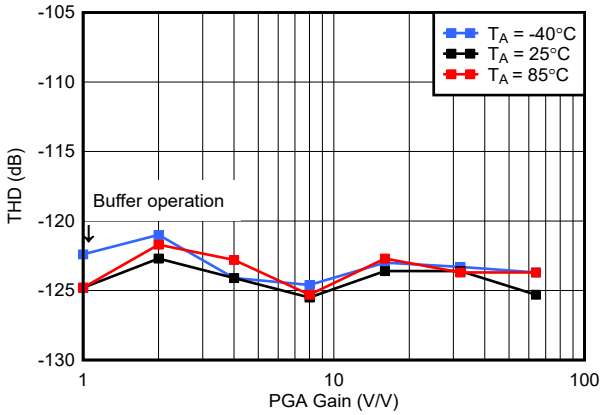
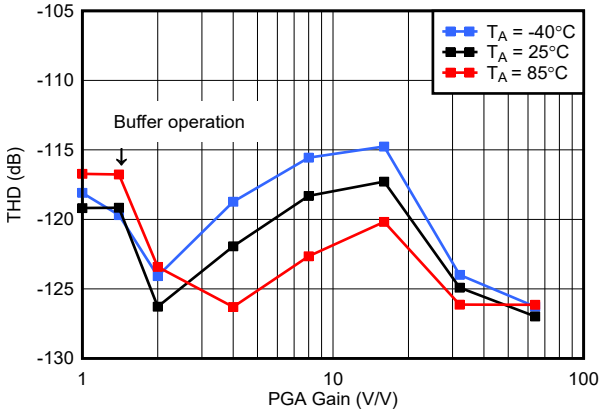


图 5-48. 低功耗模式 THD 与 PGA 增益间的关系

Copyright © 2025 Texas Instruments Incorporated

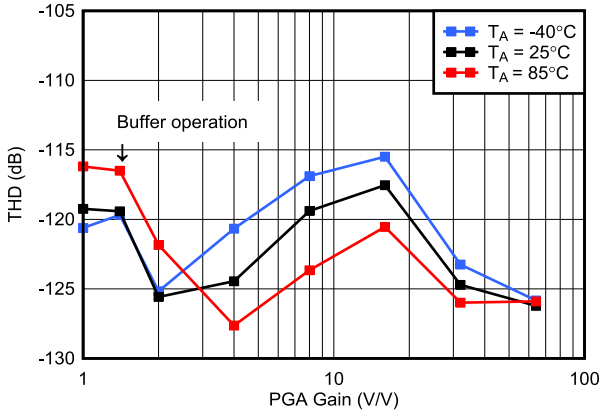
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



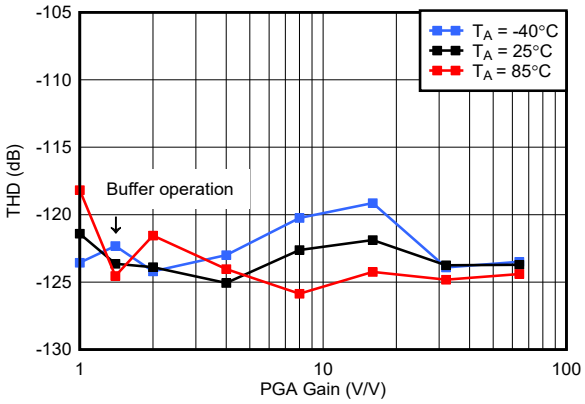
V_{REF} = 4.096V，AVDD1 = 5V，f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS

图 5-49. 高功耗模式 THD 与 PGA 增益间的关系



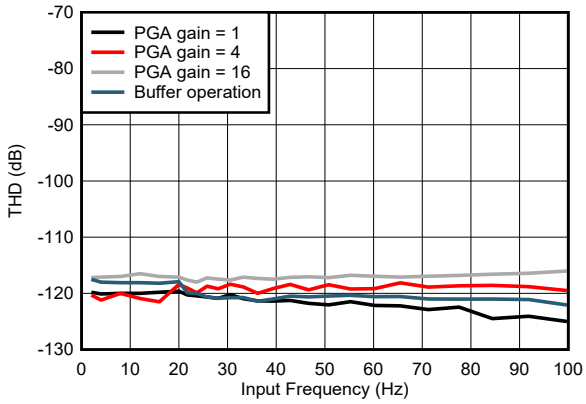
V_{REF} = 4.096V，AVDD1 = 5V，f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS

图 5-50. 中等功耗模式 THD 与 PGA 增益间的关系



V_{REF} = 4.096V，AVDD1 = 5V，f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS

图 5-51. 低功耗模式 THD 与 PGA 增益间的关系



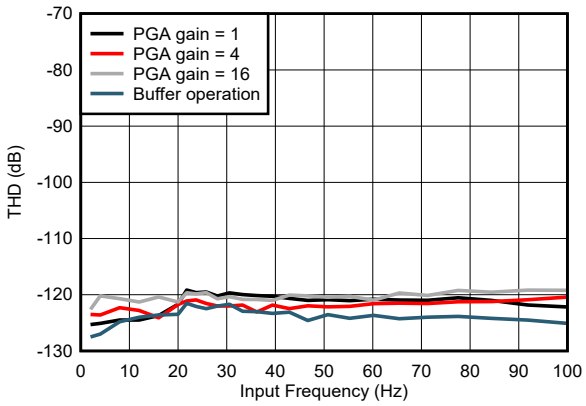
V_{REF} = 4.096V，AVDD1 = 5V，f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS

图 5-52. 高功耗和中等功耗模式 THD 与输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

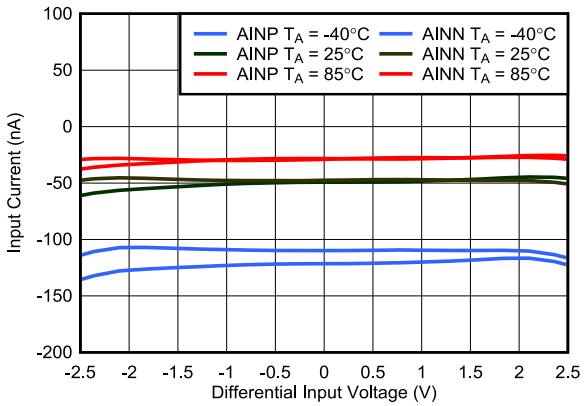
5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）



V_{REF} = 4.096V，AVDD1 = 5V，f_{IN} = 31.25Hz，V_{IN} = –0.5dBFS

图 5-53. 低功耗模式 THD 与输入频率间的关系



高速模式

图 5-54. PGA 输入电流与输入电压间的关系

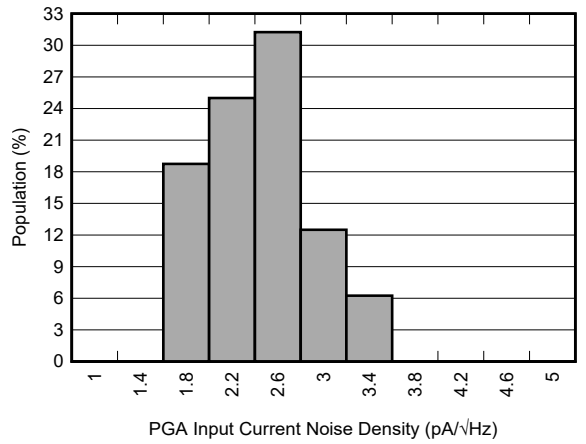
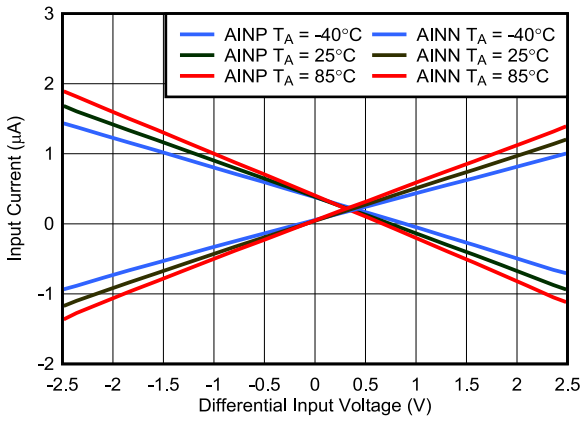


图 5-55. PGA 输入电流噪声分布



高功耗和中等功耗模式

图 5-56. 缓冲器输入电流与输入电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）

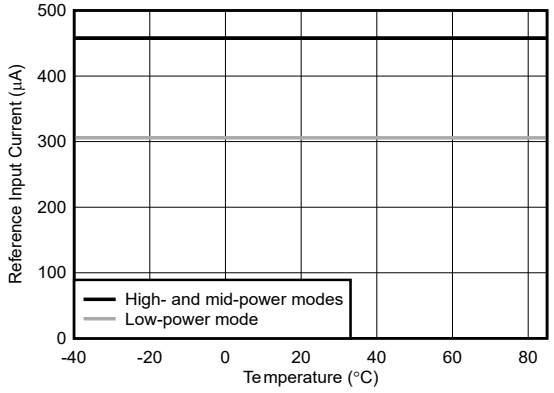
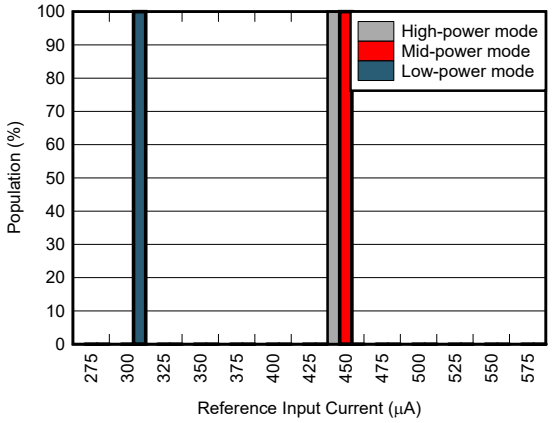


图 5-57. 基准输入电流与温度间的关系



30 个单元

图 5-58. 基准输入电流分布

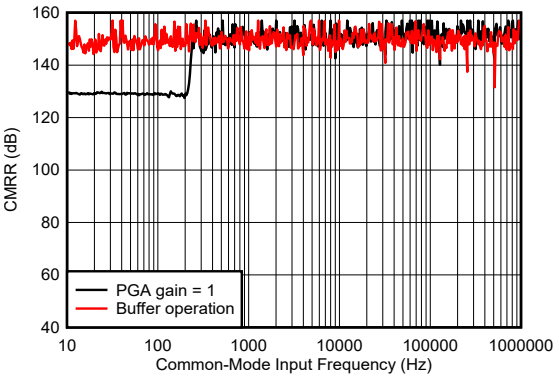
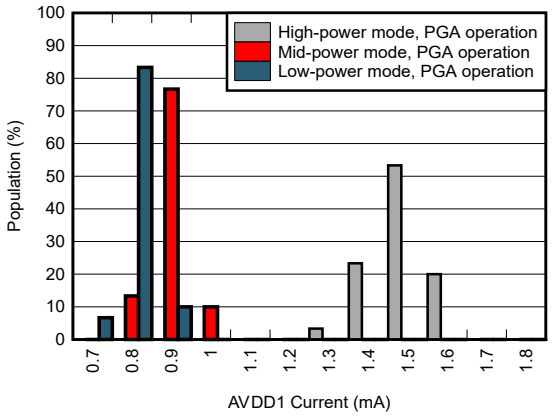
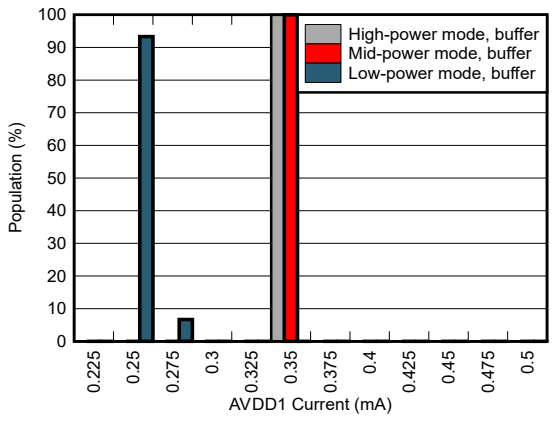


图 5-59. CMRR 与共模输入频率间的关系



30 个单元

图 5-60. AVDD1 电流分布



30 个单元

图 5-61. AVDD1 电流分布

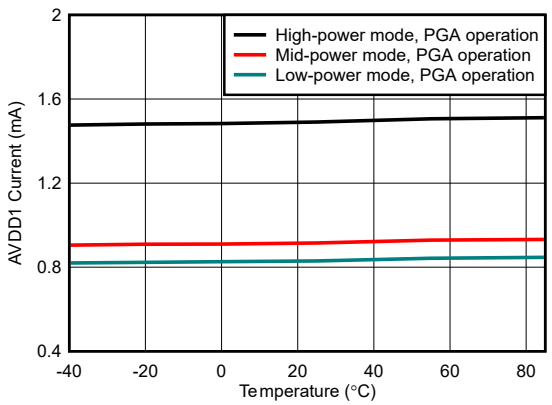


图 5-62. AVDD1 电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，AVDD1 = 5V，AVSS = 0V，AVDD2 = 2.5V，IOVDD = 1.8V，f_{CLK} = 8.192MHz（低功耗模式下为 4.096MHz），V_{REFP} = 4.096V，V_{REFN} = 0V，PGA 增益 = 1，V_{CM} = 2.5V，f_{DATA} = 500SPS（除非另有说明）

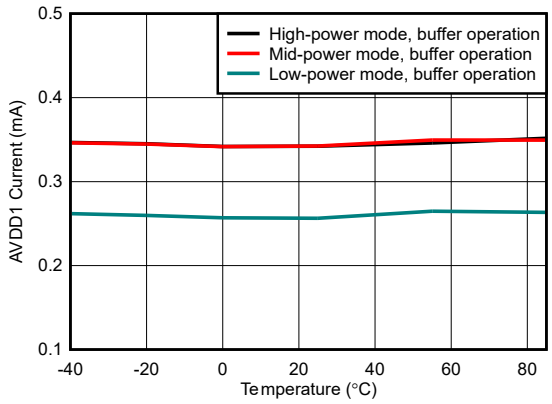
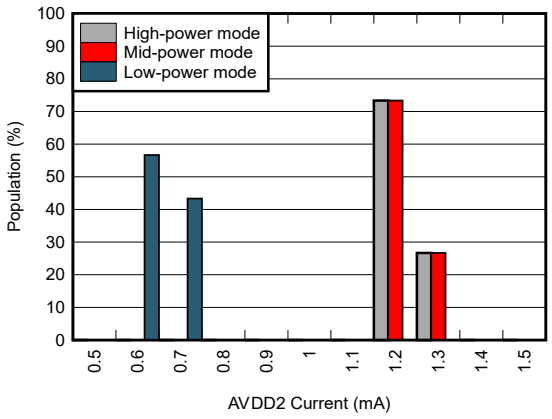


图 5-63. AVDD1 电流与温度间的关系



30 个单元

图 5-64. AVDD2 电流分布

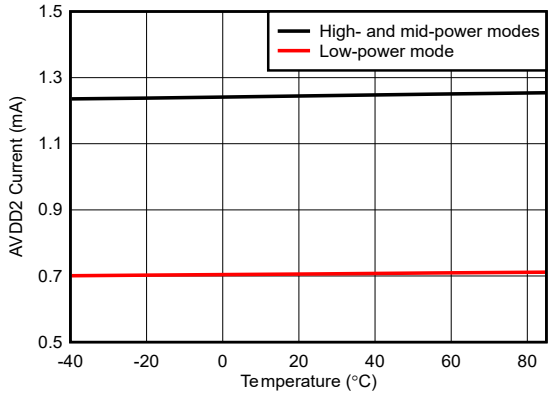


图 5-65. AVDD2 电流与温度间的关系

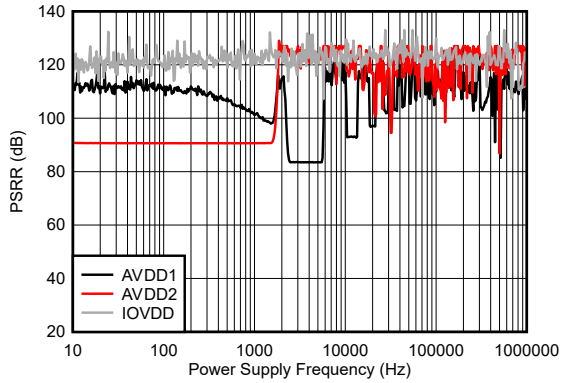


图 5-66. PSRR 与电源频率间的关系

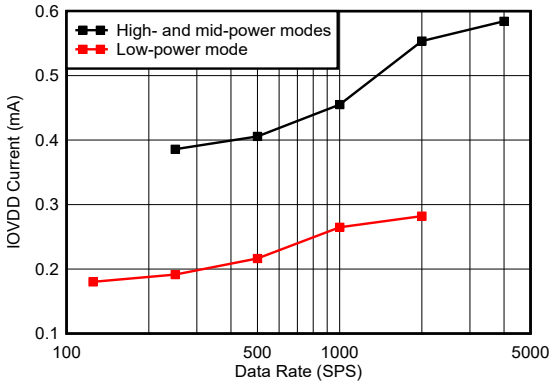


图 5-67. IOVDD 电流与数据速率间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 噪声性能

ADS1285 是一款 32 位 ADC，提供三种功率分辨率模式，可针对器件功耗优化噪声性能。噪声性能的四个决定因素是功耗模式、输出数据速率、PGA 增益设置和基准电压选择。高功耗模式以最高容量运行 PGA 和调制器采样率，以实现出色的总体噪声性能。中等功耗模式降低 PGA 静态电流以降低功耗，但会导致 PGA 噪声增加。低功耗模式同时降低调制器采样率和 PGA 静态电流。结果是低功耗模式的功耗最低，但总噪声水平最高。

对于所有功耗模式，降低输出数据速率会降低信号带宽，从而降低总噪声。当噪声以输入为基准时，增大 PGA 增益会降低噪声。当 PGA 增益增加时，动态范围性能会降低，因为输入电压范围与输入基准噪声之比也会降低。

噪声性能还取决于基准电压。在 V_{REF} = 4.096V 或 5V 的情况下运行具有最佳的噪声性能。在 V_{REF} = 2.5V 的情况下运行（AVDD1 = 3.3V 时需要）会降低噪声性能。

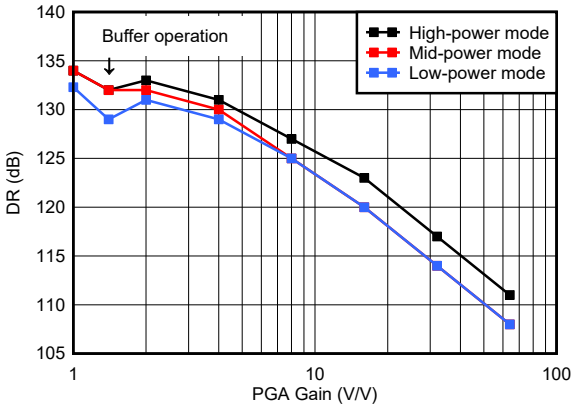
动态范围和输入噪声是描述 ADC 可用分辨率的等效参数。方程式 1 根据以输入为基准的噪声数据得出动态范围：

$$\text{Dynamic Range (dB)} = 20 \times \log\left[\frac{1.768\ \text{V}}{\text{Gain} \times e_n}\right] \quad (1)$$

其中：

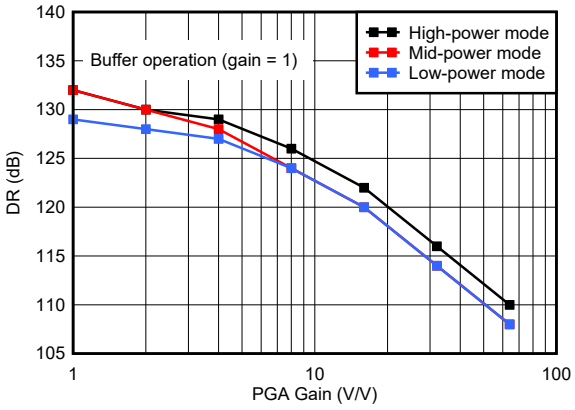
- e_n = 以输入为基准的电压噪声 (RMS)

图 6-1 和图 6-2 展示了在 V_{REF} = 4.096V 和 V_{REF} = 2.5V 的情况下，f_{DATA} = 500SPS 时的动态范围性能。



f_{DATA} = 500SPS、V_{REF} = 4.096V

图 6-1. 动态范围与 PGA 增益间的关系



f_{DATA} = 500SPS、V_{REF} = 2.5V

图 6-2. 动态范围与 PGA 增益间的关系

表 6-1 至表 6-3 列出了 V_{REF} = 4.096V 和 AVDD1 = 5V 且使用输入源电阻 (R_S) = 0Ω 进行测试时的动态范围和以输入为基准的噪声性能。表 6-4 至表 6-6 列出了 V_{REF} = 2.5V 和 AVDD1 = 3.3V 且使用 R_S = 0Ω 进行测试时的动态范围和输入噪声性能。噪声数据在 T_A = 25°C 时测得，代表典型的 ADC 性能。这些数据是 ADC 输入短路时 4,096 个连续 ADC 转换结果的标准偏差，在 0.413 × f_{DATA} 带宽内测得。由于噪声具有统计性质，所以重复测量会产生不同的噪声性能结果。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 高功耗模式噪声性能（V_{REF} = 4.096V、AVDD1 = 5V、R_S = 0Ω）

增益	模式	动态范围 (dB)					e_n，以输入为基准的噪声（μV_{RMS}）				
		f_{DATA}					f_{DATA}				
		250	500	1000	2000	4000	250	500	1000	2000	4000
1	缓存器	135	132	129	126	123	0.31	0.44	0.63	0.89	1.25
1	PGA	137	134	131	128	125	0.25	0.35	0.50	0.70	0.99
2	PGA	136	133	130	127	124	0.14	0.20	0.28	0.39	0.56
4	PGA	134	131	128	125	122	0.09	0.12	0.18	0.25	0.35
8	PGA	130	127	124	121	118	0.07	0.10	0.14	0.20	0.28
16	PGA	126	123	120	117	114	0.06	0.08	0.11	0.16	0.22
32	PGA	120	117	114	111	108	0.06	0.08	0.11	0.16	0.22
64	PGA	114	111	108	105	102	0.06	0.08	0.11	0.16	0.22

表 6-2. 中等功耗模式噪声性能（V_{REF} = 4.096V、AVDD1 = 5V、R_S = 0Ω）

增益	模式	动态范围 (dB)					e_n，以输入为基准的噪声（μV_{RMS}）				
		f_{DATA}					f_{DATA}				
		250	500	1000	2000	4000	250	500	1000	2000	4000
1	缓存器	135	132	129	126	123	0.31	0.44	0.63	0.89	1.25
1	PGA	137	134	131	128	125	0.25	0.35	0.50	0.70	0.99
2	PGA	135	132	129	126	123	0.16	0.22	0.31	0.44	0.63
4	PGA	133	130	127	124	121	0.10	0.14	0.20	0.28	0.39
8	PGA	128	125	122	119	116	0.09	0.12	0.18	0.25	0.35
16	PGA	123	120	117	114	111	0.08	0.11	0.16	0.22	0.31
32	PGA	117	114	111	108	105	0.08	0.11	0.16	0.22	0.31
64	PGA	111	108	105	102	99	0.08	0.11	0.16	0.22	0.31

表 6-3. 低功耗模式噪声性能（V_{REF} = 4.096V、AVDD1 = 5V、R_S = 0Ω）

增益	模式	动态范围 (dB)					e_n，以输入为基准的噪声（μV_{RMS}）				
		f_{DATA}					f_{DATA}				
		125	250	500	1000	2000	125	250	500	1000	2000
1	缓存器	135	132	129	126	123	0.31	0.44	0.63	0.89	1.25
1	PGA	138	135	132	129	126	0.22	0.31	0.44	0.63	0.89
2	PGA	137	134	131	128	125	0.12	0.18	0.25	0.35	0.50
4	PGA	135	132	129	126	123	0.08	0.11	0.16	0.22	0.31
8	PGA	131	128	125	122	119	0.06	0.09	0.12	0.18	0.25
16	PGA	126	123	120	117	114	0.06	0.08	0.11	0.16	0.22
32	PGA	120	117	114	111	108	0.06	0.08	0.11	0.16	0.22
64	PGA	114	111	108	105	102	0.06	0.08	0.11	0.16	0.22

表 6-4. 高功耗模式噪声性能（V_{REF} = 2.5V、AVDD1 = 3.3V、R_S = 0Ω）

增益	模式	动态范围 (dB)					e_n，以输入为基准的噪声（μV_{RMS}）				
		f_{DATA}					f_{DATA}				
		250	500	1000	2000	4000	250	500	1000	2000	4000
1	缓存器	135	132	129	126	123	0.31	0.44	0.63	0.89	1.25
1[(1)]	PGA	128	125	122	119	116	0.35	0.50	0.70	0.99	1.40
2	PGA	133	130	127	124	121	0.20	0.28	0.39	0.56	0.79
4	PGA	132	129	126	123	120	0.11	0.16	0.22	0.31	0.44
8	PGA	129	126	123	120	117	0.08	0.11	0.16	0.22	0.31
16	PGA	125	122	119	116	113	0.06	0.09	0.12	0.18	0.25
32	PGA	119	116	113	110	107	0.06	0.09	0.12	0.17	0.25
64	PGA	113	110	107	104	101	0.06	0.09	0.12	0.17	0.25

Copyright © 2025 Texas Instruments Incorporated

表 6-5. 中等功耗模式噪声性能（V_{REF} = 2.5V、AVDD1 = 3.3V、R_S = 0Ω）

增益	模式	动态范围 (dB)					e_n，以输入为基准的噪声（μV_{RMS}）				
		f_{DATA}					f_{DATA}				
		250	500	1000	2000	4000	250	500	1000	2000	4000
1	缓存器	135	132	129	126	123	0.31	0.44	0.63	0.89	1.25
1(1)	PGA	128	125	122	119	116	0.35	0.50	0.70	0.99	1.40
2	PGA	133	130	127	124	121	0.20	0.28	0.39	0.56	0.79
4	PGA	131	128	125	122	119	0.12	0.18	0.25	0.35	0.50
8	PGA	127	124	121	118	115	0.10	0.14	0.20	0.28	0.39
16	PGA	123	120	117	114	111	0.08	0.11	0.16	0.22	0.31
32	PGA	117	114	111	108	105	0.08	0.11	0.16	0.22	0.31
64	PGA	111	108	105	102	99	0.08	0.11	0.16	0.22	0.31

表 6-6. 低功耗模式噪声性能（V_{REF} = 2.5V、AVDD1 = 3.3V、R_S = 0Ω）

增益	模式	动态范围 (dB)					e_n，以输入为基准的噪声（μV_{RMS}）				
		f_{DATA}					f_{DATA}				
		125	250	500	1000	2000	125	250	500	1000	2000
1	缓存器	135	132	129	126	123	0.31	0.44	0.63	0.89	1.25
1(1)	PGA	129	126	123	120	117	0.31	0.44	0.83	0.89	1.25
2	PGA	134	131	128	125	122	0.18	0.25	0.35	0.50	0.70
4	PGA	133	130	127	124	121	0.10	0.14	0.20	0.28	0.39
8	PGA	130	127	124	121	118	0.07	0.10	0.14	0.20	0.28
16	PGA	125	122	119	116	113	0.06	0.09	0.12	0.17	0.25
32	PGA	119	116	113	110	107	0.06	0.09	0.12	0.17	0.25
64	PGA	113	110	107	104	101	0.06	0.09	0.12	0.17	0.25

(1) 由于 AVDD1 = 3.3V 时的输入余量有限，PGA 增益 = 1 时的可用输入范围为 ±1.35V_{PP}。PGA 增益 = 1 且 AVDD1 = 3.3V 时的动态范围数据反映出输入范围减小。

7 详细说明

7.1 概述

ADS1285 是一款高分辨率、低功耗模数转换器 (ADC)，专为需要低功耗和高分辨率的能源勘探、地质和地震监测等应用而设计。该转换器提供 32 位分辨率，覆盖 125SPS 至 4,000SPS 的数据速率。可编程增益放大器 (PGA) 通过接受 ±2.5V_{PP} 到 ±0.039V_{PP} 范围的信号来扩展系统动态范围。

如*功能方框图*中所示，ADC 由以下部分组成：输入多路复用器 (MUX)、可编程增益放大器 (PGA)、单位增益缓冲器，Δ-Σ (ΔΣ) 调制器、采样率转换器、无限脉冲响应 (IIR) 高通滤波器 (HPF)、有限脉冲响应 (FIR) 低通滤波器 (LPF) 以及用于器件配置和转换数据回读的 SPI 兼容串行接口。

输入多路复用器在输入端 1 和 2 之间进行选择，还具有专为自检设计的内部选项，包括用于测试偏移电压和噪声的输入短路选项。

输入多路复用器之后是一个低噪声 PGA。PGA 增益范围为 1 至 16，增益 32 和 64 作为数字增益提供。PGA 经过斩波稳定，可降低 1/f 噪声和输入偏移电压。PGA 输出端连接到一个驱动调制器的缓冲器。一个连接到 PGA 输出引脚 CAPP 和 CAPN 的外部 10nF 电容器为输入信号提供抗混叠滤波器。

通过使用单位增益缓冲器运行 ADC，可以禁用 PGA 以降低器件功耗。连接到每个缓冲器输出端的外部 47nF 电容器对调制器采样脉冲进行滤波。

ΔΣ 调制器以差动基准电压 (V_{REF}) 为参照，对差动输入信号 (V_{IN}) 进行测量。该调制器提供三种基准电压选项（2.5V、4.096V 和 5V）。基准电压由用户编程。

调制器数据由数字滤波器进行处理，从而提供最终转换结果。数字滤波器由一个 sinc 滤波器后跟一个可编程相位、FIR 低通滤波器和一个 IIR 高通滤波器组成。高通滤波器去除数据中的直流和低频成分。

Copyright © 2025 Texas Instruments Incorporated

采样率转换器 (SRC) 通过对输出数据进行重新采样来补偿时钟频率误差。时钟频率补偿范围为 ±244ppm，分辨率为 7ppb。

用户可编程增益和偏移电压校准寄存器可校正偏移和增益误差。

SYNC 引脚对 ADC 进行同步。同步有两种工作模式：脉冲同步和连续同步。$\overline{\text{RESET}}$ 引脚复位 ADC，包括用户配置设置。这些引脚是抗噪的、施密特触发输入端，可提高高噪声环境中的可靠性。

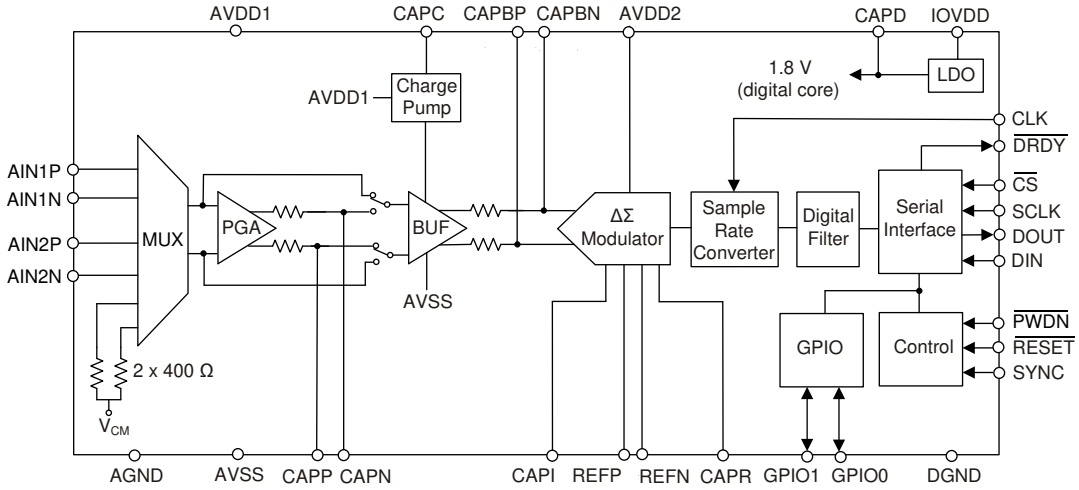
不使用 ADC 时，$\overline{\text{PWDN}}$ 引脚会将其断电。软件断电模式 (STANDBY) 可通过串行接口实现

与 SPI 兼容的 4 线串行接口可读取转换数据并读取或写入器件寄存器数据。

有两个通用数字 I/O 可在系统级别使用。

PGA 和缓冲器由 AVDD1 和 AVSS 供电。电荷泵稳压器会增加连接在 PGA 之后的缓冲器的输入电压范围。调制器由 AVDD2 供电。IOVDD 通过 1.8V 低压降稳压器 (LDO) 为数字逻辑内核供电。IOVDD 为数字 I/O 电源。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入

图 7-1 展示了模拟输入电路和输入多路复用器。

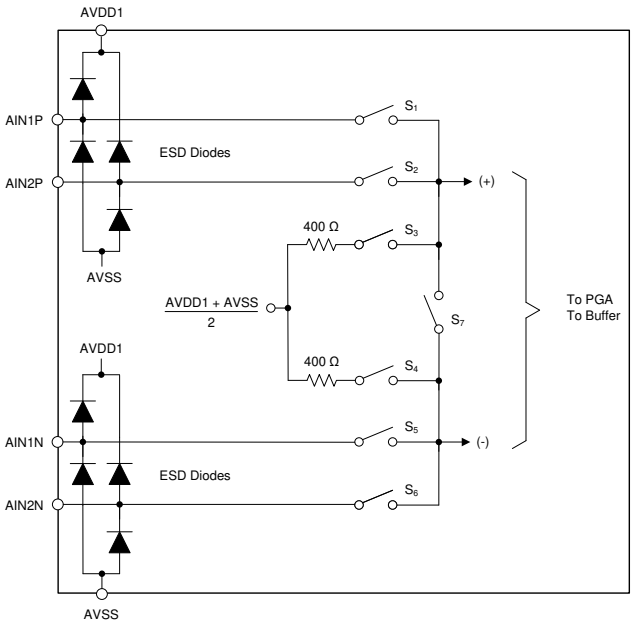


图 7-1. 模拟输入和多路复用器

该 ADC 内置静电放电 (ESD) 二极管，在受控 ESD 环境中组装时可保护输入端免受器件制造和印刷电路板 (PCB) 装配过程中的 ESD 事件影响。要实现系统级保护，可考虑使用外部 ESD 保护器件来保护暴露在 ESD 环境中的输入端。

如果输入被驱动至 AVSS – 0.3V 以下或 AVDD1 + 0.3V 以上，保护二极管可以导通。在这些条件下，请使用外部钳位二极管和/或串联电阻器将输入电流限制为指定的最大值。过驱动未使用的输入通道会影响有效输入通道的转换结果。可使用肖特基二极管钳制过驱动电压，防止通道间串扰。

ADC 包含两个差动输入通道，多路复用器在测量时会在两个差动输入之间进行选择。多路复用器还提供了一种测量噪声和偏移电压的测试模式。短接输入测试配置可选择使用或不使用 400Ω 电阻，以模拟 800Ω 地震检波器产生的热噪声。表 7-1 总结了多路复用器的配置。

表 7-1. 输入多路复用器模式

MUX[2:0] 位	开关	说明
000	S_1、S_5	输入 AIN1P、AIN1N 连接
001	S_2、S_6	输入 AIN2P、AIN2N 连接
010	S_3、S_4	用于偏移和噪声测试的 400Ω 输入短接测试模式。
011	S_1、S_5、S_2、S_6	交叉连接测试模式。输入 AIN1P、AIN2P *和* AIN2P、AIN2N 已连接
100	—	保留
101	S_3、S_4、S_7	用于偏移和噪声测试的 0Ω 输入短接测试模式。

要测试地震检波器的 THD 性能，请通过串联电阻器向测试通道施加测试信号。串联电阻通常为地震检波器阻抗值的一半。为交叉连接测试模式 (MUX[2:0] = 011b) 选择多路复用器。在交叉连接模式下，测试信号交叉馈送到地震检波器输入端。

Copyright © 2025 Texas Instruments Incorporated

地震检波器 THD 测试性能可能会受到多路复用器的非线性导通电阻 (R_{SW}) 的影响。图 7-2 展示了用于地震检波器 THD 测试的输入多路复用器电阻模型。图 7-3 展示了 THD 性能与用于模拟地震检波器电阻的测试电阻 (R_{LOAD}) 的关系。小振幅测试信号（例如，V_{IN} = 0.221V）显示当地震检波器电阻小于 500Ω 时 THD 性能降幅更小。

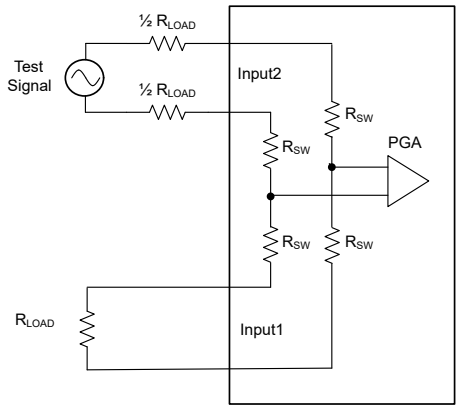


图 7-2. THD 与 R_{LOAD} 测试电路间的关系

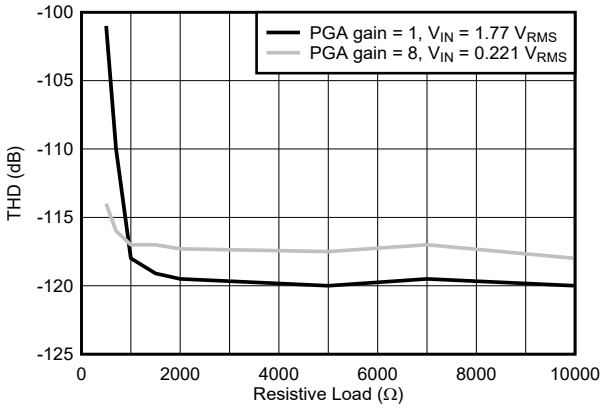


图 7-3. THD 性能与 R_{LOAD} 间的关系

7.3.2 PGA 和缓冲器

图 7-4 展示了简化的 PGA 和缓冲器方框图。

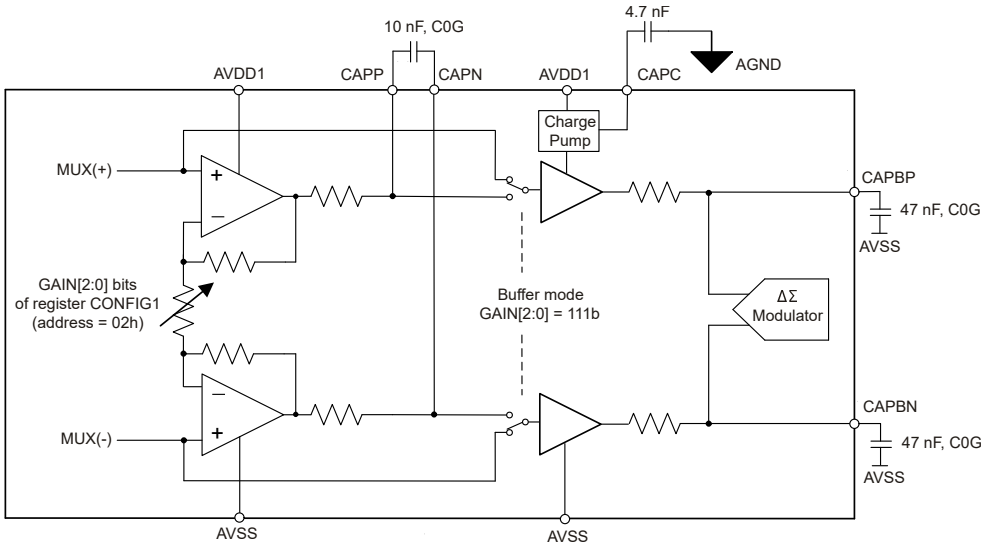


图 7-4. PGA 和缓冲器方框图

该器件可以采用 PGA 或单位增益缓冲器工作模式。缓冲器工作模式会禁用 PGA 偏置，从而降低器件功耗。当 AVDD1 = 3.3V 且 PGA 增益 = 1 时，由于输入余量受限，必须使用缓冲器。

7.3.2.1 可编程增益放大器 (PGA)

PGA 是一款低噪声、斩波稳定型差动放大器，可扩展 ADC 动态范围性能。PGA 提供 1 至 16 的模拟增益，增益 32 和 64 通过数字扩展提供。PGA 输出信号通过 270Ω 电阻器路由到 CAPP 和 CAPN 引脚。在这些引脚之间连接一个外部 10nF、C0G 电介质电容器。这些元件构成了一个抗混叠滤波器,以衰减调制器混叠频率 (f_{MOD}) 处的信号电平。

Copyright © 2025 Texas Instruments Incorporated

如图 7-4 所示，PGA 和调制器之间使用了缓冲器。在每个缓冲器输出端与 AVSS（CAPBP 和 CAPBN）之间连接两个 47nF、C0G 电介质电容器。电压电荷泵会增加缓冲器输入电压余量。在 CAPC 和 AGND 之间连接一个外部 4.7nF 电容器，以确保电荷泵正常运行。

PGA 增益可通过 CONFIG1 寄存器的 GAIN[2:0] 位进行编程。表 7-2 展示了 PGA 增益设置和缓冲器选择。PGA 增益和输入信号范围与电压基准无关。

表 7-2. PGA 增益

GAIN[2:0] 寄存器位	PGA 增益	输入信号范围 (V_{PP})
000	1	±2.5
001	2	±1.25
010	4	±0.625
011	8	±0.3125
100	16	±0.15625
101	32	±0.078125
110	64	±0.0390625
111	缓冲器模式，增益 = 1	±2.5

遵循 PGA 输入和输出电压余量规格。图 7-5 展示了在 AVDD1 = 5V、输入共模电压 (V_{CM}) = 2.5V、差动输入电压 = ±2.5V_{PP} 且增益 = 1 的条件下运行时的输入和输出电压余量。绝对最小和最大 PGA 输入电压（1.25V 和 3.75V）为差动信号电压的 ±1/2 加上共模电压。PGA 在负峰值时提供 0.15V 的输入电压裕度，在正峰值时提供 0.4V 的输入电压裕度。如图所示，当 ADC 在 4.096V 或 5V 电压基准下运行时，PGA 增益增加 1.5 倍。PGA 在正负峰值处提供 0.475V 的输出电压裕度。

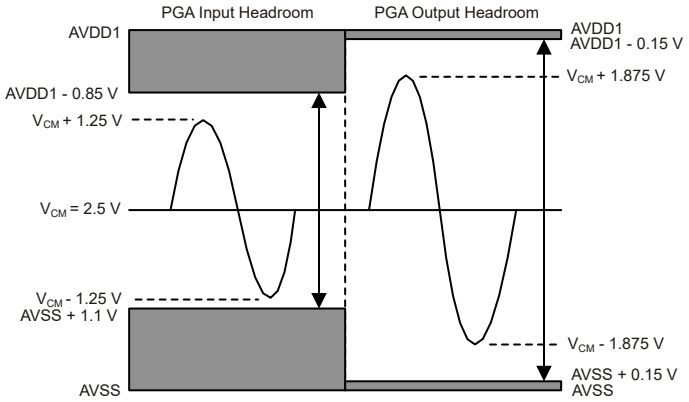


图 7-5. PGA 余量（AVDD1 = 5V、PGA 增益 = 1）

当在 AVDD1 = 3.3V 条件下运行时，PGA 无法支持 ±2.5V_{PP} 输入信号。对于 ±2.5V_{PP} 输入信号，使用缓冲器模式。对于 ±1.25V_{PP} 输入信号（PGA 增益 = 2），通过将共模电压增加 0.1V 达到 AVSS + 1.75V，可增加输入余量。图 7-6 展示了 AVDD1 = 3.3V、V_{CM} = 1.75V、输入信号 = ±1.25V_{PP} 且增益 = 2 时的输入和输出运行余量。当 V_{REF} = 2.5V 时，PGA 使用正常的增益比例。

Copyright © 2025 Texas Instruments Incorporated

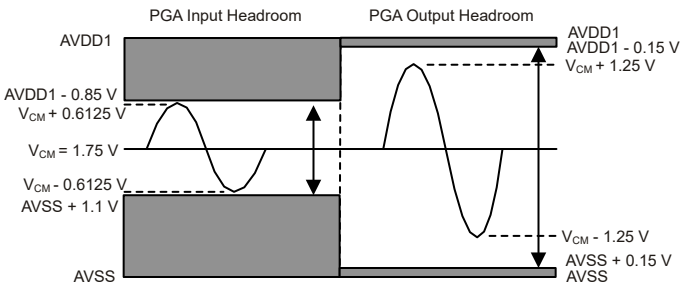


图 7-6. PGA 余量（AVDD1 = 3.3V、增益 = 2）

7.3.2.2 缓冲器运行（PGA 旁路）

ADC 提供了一个缓冲器选项，可绕过 PGA 运行。绕过 PGA 运行可以降低器件功耗。在 3.3V 下运行 AVDD1 时，对 $\pm 2.5V_{PP}$ 输入信号使用缓冲器。可通过设置 节 7.6.1.3 的 GAIN[2:0] 位 = 111b 来启用缓冲器运行。

图 7-7 展示了 AVDD1 = 3.3V、V_{CM} = 1.65V 和输入信号 =$\pm 2.5V_{PP}$ 时的缓冲器电压余量。在 AVDD1 = 3.3V 下运行时，缓冲器可为 $\pm 2.5V_{PP}$ 输入信号提供足够的电压余量。

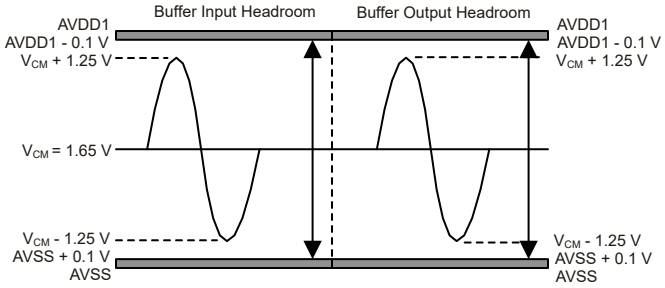


图 7-7. 缓冲器余量（所示为 3.3V 运行模式）

无论选择 PGA 还是缓冲器运行模式，在每个缓冲器输出端与 AVSS（CAPBP 和 CAPBN）之间连接两个 47nF、C0G 电介质电容器。电压电荷泵会增加缓冲器输入运行余量。在 CAPC 和 AGND 之间连接一个外部 4.7nF 电容器，以确保电荷泵正常运行。

7.3.3 电压基准输入

ADC 需要一个基准电压才能运行。基准电压输入为差动电压，定义为 REFP 和 REFN 引脚之间的电压：$V_{REF} = V_{REFP} - V_{REFN}$。由于存在差动输入，VREFN 布线可以连接到电压基准接地终端，以避免拾取接地噪声。

该器件提供三种基准电压选择：5V、4.096V 或 2.5V。使用 V_{REF} = 5V 或 4.096V 可实现最大动态范围性能，此时需要 AVDD1 = 5V 才能运行。如果 AVDD1 = 3.3V，基准电压限制为 2.5V。需通过 CONFIG1 寄存器的 REF[1:0] 位对基准电压进行编程，以匹配物理电压。选用低噪声精密电压基准，测量带宽内的噪声值最好低于 0.5 μ V_{RMS}。

图 7-8 展示了简化的基准输入电路。与模拟输入类似，基准输入由 ESD 二极管提供保护。如果基准输入被驱动至 AVSS - 0.3V 以下或 AVDD1 + 0.3V 以上，保护二极管可以导通。在这些条件下，请使用外部钳位二极管和/或串联电阻器将基准输入电流限制为指定值。

Copyright © 2025 Texas Instruments Incorporated

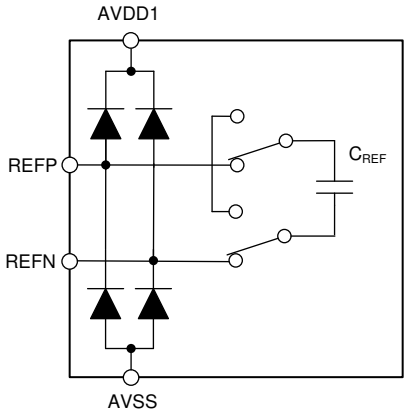


图 7-8. 简化的电压基准输入电路

ADC 通过内部电容器 (C_{REF}) 对基准电压进行采样，然后以调制器采样频率 (f_{MOD}) 对电容器进行放电。采样操作会导致瞬态电流流入基准输入端。通过在基准引脚直接部署 0.1µF 陶瓷电容器，并在电压基准输出端配置 10µF 至 47µF 的大容量电容器，可有效滤除该瞬态电流。在电压基准驱动多个 ADC 的应用中，请在每个 ADC 上使用 0.1µF 电容器。

外部电容器可以滤除瞬态电流，从而产生平均基准电流。在高功耗和中等功耗工作模式下，平均基准电流为 110µA/V；在低功耗工作模式下，平均基准电流为 80µA/V。例如，V_{REF} = 4.096V 时，基准输入电流为 110µA/V × 4.096V = 451µA。

7.3.4 IOVDD 电源

IOVDD 数字电源具有两个工作电压范围：1.65V 至 1.95V 和 2.7V 至 3.6V。如果在 1.65V 至 1.95V 范围内运行 IOVDD，请将 IOVDD 直接连接到 CAPD 引脚。图 7-9 展示了 IOVDD 在 1.65V 至 1.95V 范围内运行时所需的连接。否则，如果在 2.7V 至 3.6V 范围内运行 IOVDD，请勿将这些引脚连接在一起。

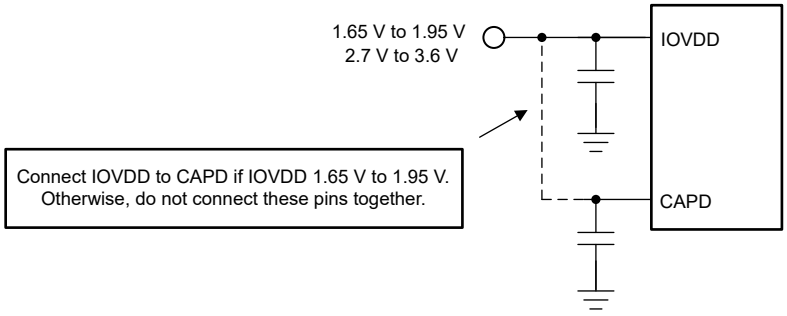


图 7-9. IOVDD 电源连接

7.3.5 调制器

调制器采用多位 Δ-Σ 架构，具有低功耗和出色的动态范围性能以及频谱中极低的杂散音调。调制器将内部量化器的量化噪声整形至带外频率范围，再由数字滤波器去除。残留在通带范围内的噪声表现为具有恒定密度的热噪声（白噪声）。通带内的积分噪声取决于数字滤波器 OSR。

7.3.5.1 调制器过驱动

调制器天生具有稳定性设计，因此具有从输入过驱动状态恢复的可预测能力。如果输入信号峰值导致调制器过驱动，根据数字滤波器的数据平均效应，滤波器输出数据可能因信号过驱动持续时间而出现削波。如果调制器严重过驱动，转换数据发生削波的概率将显著增加。请注意，数字滤波器的群延迟特性会使输入过驱动事件的延迟反映在输出数据中。

Copyright © 2025 Texas Instruments Incorporated

7.3.6 数字滤波器

数字滤波器对调制器数据进行抽取和滤除，以便提供高分辨率输出数据。通过调整通过 OSR 的滤波量，可以在总噪声和带宽之间进行权衡。增大 OSR 可降低总噪声，同时降低信号带宽。

如图 7-10 中所示，采样率转换器 (SRC) 从调制器接收数据，然后再输入到数字滤波器模块。有关详细信息，请参阅*采样率转换器* 部分。

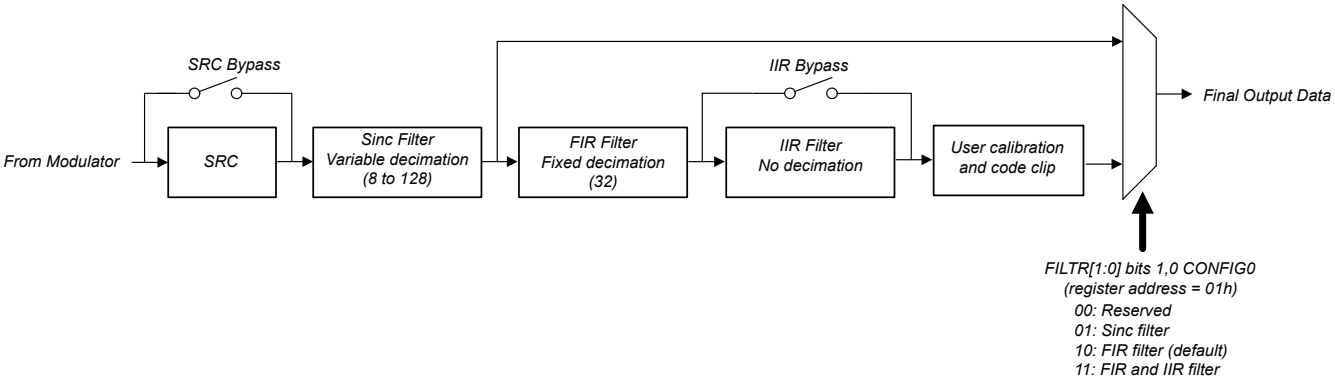


图 7-10. 数字滤波器方框图

数字滤波器由三部分组成：可变抽取比 sinc 滤波器；可变系数、固定抽取比 FIR 滤波器；以及可编程高通滤波器 (IIR)。所需的滤波器路径通过 CONFIG0 寄存器的 FILTER[1:0] 位进行选择。sinc 滤波器提供经过部分滤波的数据，绕过 FIR 和 HPF 滤波器和用户校准。若需经过完全滤波的数据，请选择 FIR 滤波器选项。IIR 滤波器级会去除直流和低频数据。FIR 和 FIR + IIR 组合滤波器会路由到用户校准模块和输出代码削波模块。有关用户校准的详细信息，请参阅*偏移和增益校准* 部分。

7.3.6.1 Sinc 滤波器部分

数字滤波器的第一部分是可变抽取比的五阶 sinc 滤波器 (sinx/x)。调制器数据以 $f_{MOD} = f_{CLK} / 4 = 2.048MHz$（低功耗模式下为 1.024MHz）的标称速率通过采样率转换器传递到 sinc 滤波器。sinc 滤波器对数据进行部分滤波，以供 FIR 滤波器产生最终频率响应。sinc 滤波器数据旨在供后处理滤波器用于形成最终频率响应。

表 7-3 展示了 sinc 滤波器的抽取比和产生的输出数据速率。sinc 滤波器数据速率可通过 CONFIG0 寄存器的 DR[2:0] 位进行编程。

表 7-3. Sinc 滤波器数据速率

DR[2:0] 位	SINC 抽取比 (N)	数据速率 (SPS)	
		高功耗和中等功耗模式	低功耗模式
000	256	8,000	4,000
001	128	16,000	8,000
010	64	32,000	16,000
011	32	64,000	32,000
100	16	128,000	64,000

方程式 2 展示了 sinc 滤波器的 Z 域传递函数。

$$H(Z) = \left[\frac{1 - Z^{-N}}{N(1 - Z^{-1})} \right]^{5} \quad (2)$$

其中：

- N = 表 7-3 的抽取比

方程式 3 展示了 sinc 滤波器的频域传递函数。

$$|H(f)| = \left| \frac{\sin\left(\frac{\pi N \times f}{f_{MOD}}\right)}{N \sin\left(\frac{\pi \times f}{f_{MOD}}\right)} \right|^5 \quad (3)$$

其中：

- N = 表 7-3 中所示的抽取比
- f = 输入信号频率
- f_{MOD} = 调制器采样频率 = $f_{CLK}/4$（采样率转换器已禁用）

Sinc 滤波器频率响应在输出数据速率及其倍数处出现陷波（或零值）。在这些频率下，滤波器具有零增益。图 7-11 展示了 sinc 滤波器的宽带频率响应，图 7-12 展示了 -3dB 响应的详细信息。

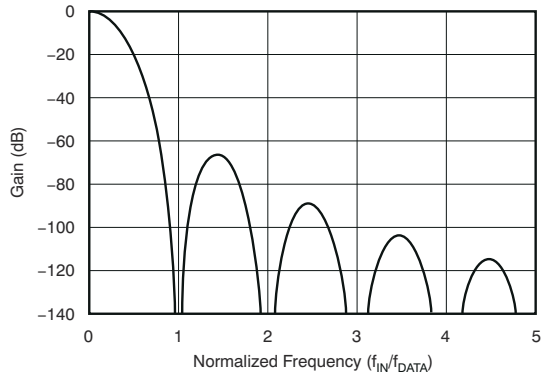


图 7-11. Sinc 滤波器频率响应

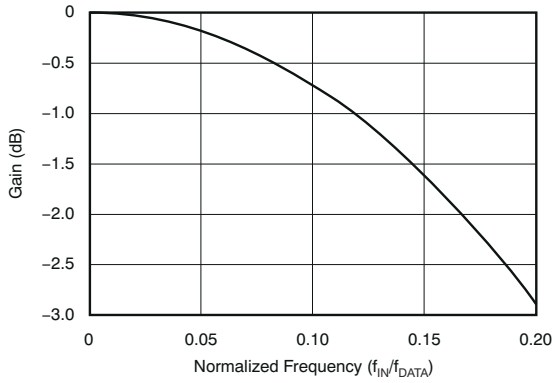


图 7-12. Sinc 滤波器 -3dB 响应

图 7-13 显示了 f_{DATA} = 32kSPS 时的 sinc 滤波器频率响应。1kHz 处的音调和谐波是由调制器输入端添加的抖动信号产生的，该设计用于抑制空闲音调。抖动信号的频率为 f_{MOD} 除以表 7-4 中所示的组合抽取比。2kHz 处的本底噪声的升高源于调制器的噪声整形特性。sinc 滤波器抽取比 N = 64（数据速率 = 32kSPS）时，使用外部后置滤波的可用带宽为 500Hz。

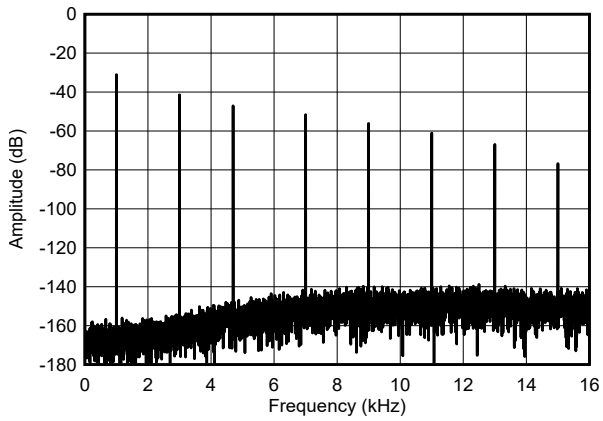


图 7-13. Sinc 滤波器的 FFT 输出 (f_{DATA} = 32kSPS)

Copyright © 2025 Texas Instruments Incorporated

sinc 滤波器数据绕过数据缩放、削波级和用户校准，因此与 FIR 滤波器相比，sinc 滤波器数据的缩放比例有所不同。有关 sinc 滤波器数据缩放的详细信息，请参阅*转换数据格式*部分。

7.3.6.2 FIR 滤波器选择

数字滤波器的第二部分是一个多级 FIR 低通滤波器。来自 sinc 滤波器的经过部分滤波的数据输入到 FIR 滤波器。FIR 滤波器决定数据的最终频率和相位响应。图 7-14 显示了 FIR 滤波器由四个级组成。

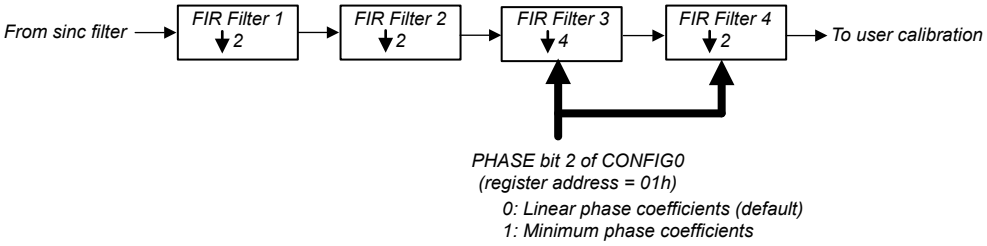


图 7-14. FIR 滤波器

前两个 FIR 级是半带滤波器，每级抽取比 = 2。第三和第四个 FIR 级决定最终的频率和相位响应。对于 FIR 三级和四级，抽取比为 4 和 2。FIR 滤波器的总体抽取比为 32。第 3 和 4 级中的独特系数集决定了线性和最小相位滤波器响应。相位响应通过 CONFIG0 寄存器的 PHASE 位进行选择。表 7-4 列出了 sinc 和 FIR 滤波器级的组合抽取比以及相应的 FIR 滤波器数据速率。

表 7-4. FIR 滤波器数据速率

DR[2:0] 位	组合抽取比	数据速率 (SPS)	
		高功耗和中等功耗模式	低功耗模式
000	8192	250	125
001	4096	500	250
010	2048	1000	500
011	1024	2000	1000
100	512	4000	2000

表 7-5 列出了线性和最小相位系数的 FIR 滤波器系数和数据缩放比例。

表 7-5. FIR 滤波器系数

系数	STAGE 1	STAGE 2	STAGE 3		STAGE 4	
	缩放比例 = 1/512	缩放比例 = 1/8388608	缩放比例 = 1/134217728		缩放比例 = 1/134217728	
	线性相位	线性相位	线性相位	最小相位	线性相位	最小相位
b_0	3	-10944	0	819	-132	11767
b_1	0	0	0	8211	-432	133882
b_2	-25	103807	-73	44880	-75	769961
b_3	0	0	-874	174712	2481	2940447
b_4	150	-507903	-4648	536821	6692	8262605
b_5	256	0	-16147	1372637	7419	17902757
b_6	150	2512192	-41280	3012996	-266	30428735
b_7	0	4194304	-80934	5788605	-10663	40215494
b_8	-25	2512192	-120064	9852286	-8280	39260213
b_9	0	0	-118690	14957445	10620	23325925
b_{10}	3	-507903	-18203	20301435	22008	-1757787
b_{11}		0	224751	24569234	348	-21028126
b_{12}		103807	580196	26260385	-34123	-21293602
b_{13}		0	893263	24247577	-25549	-3886901
b_{14}		-10944	891396	18356231	33460	14396783
b_{15}			293598	9668991	61387	16314388

Copyright © 2025 Texas Instruments Incorporated

表 7-5. FIR 滤波器系数（续）

系数	STAGE 1	STAGE 2	STAGE 3		STAGE 4	
	缩放比例 = 1/512	缩放比例 = 1/8388608	缩放比例 = 1/134217728		缩放比例 = 1/134217728	
	线性相位	线性相位	线性相位	最小相位	线性相位	最小相位
b_{16}			-987253	327749	-7546	1518875
b_{17}			-2635779	-7171917	-94192	-12979500
b_{18}			-3860322	-10926627	-50629	-11506007
b_{19}			-3572512	-10379094	101135	2769794
b_{20}			-822573	-6505618	134826	12195551
b_{21}			4669054	-1333678	-56626	6103823
b_{22}			12153698	2972773	-220104	-6709466
b_{23}			19911100	5006366	-56082	-9882714
b_{24}			25779390	4566808	263758	-353347
b_{25}			27966862	2505652	231231	8629331
b_{26}			25779390	126331	-215231	5597927
b_{27}			19911100	-1496514	-430178	-4389168
b_{28}			12153698	-1933830	34715	-7594158
b_{29}			4669054	-1410695	580424	-428064
b_{30}			-822573	-502731	283878	6566217
b_{31}			-3572512	245330	-588382	4024593
b_{32}			-3860322	565174	-693209	-3679749
b_{33}			-2635779	492084	366118	-5572954
b_{34}			-987253	231656	1084786	332589
b_{35}			293598	-9196	132893	5136333
b_{36}			891396	-125456	-1300087	2351253
b_{37}			893263	-122207	-878642	-3357202
b_{38}			580196	-61813	1162189	-3767666
b_{39}			224751	-4445	1741565	1087392
b_{40}			-18203	22484	-522533	3847821
b_{41}			-118690	22245	-2490395	919792
b_{42}			-120064	10775	-688945	-2918303
b_{43}			-80934	940	2811738	-2193542
b_{44}			-41280	-2953	2425494	1493873
b_{45}			-16147	-2599	-2338095	2595051
b_{46}			-4648	-1052	-4511116	-79991
b_{47}			-874	-43	641555	-2260106
b_{48}			-73	214	6661730	-963855
b_{49}			0	132	2950811	1482337
b_{50}			0	33	-8538057	1480417
b_{51}			0	0	-10537298	-586408
b_{52}					9818477	-1497356
b_{53}					41426374	-168417
b_{54}					56835776	1166800
b_{55}					41426374	644405
b_{56}					9818477	-675082
b_{57}					-10537298	-806095
b_{58}					-8538057	211391
b_{59}					2950811	740896
b_{60}					6661730	141976
b_{61}					641555	-527673
b_{62}					-4511116	-327618
b_{63}					-2338095	278227
b_{64}					2425494	363809
b_{65}					2811738	-70646
b_{66}					-688945	-304819
b_{67}					-2490395	-63159

Copyright © 2025 Texas Instruments Incorporated

表 7-5. FIR 滤波器系数（续）

系数	STAGE 1	STAGE 2	STAGE 3		STAGE 4	
	缩放比例 = 1/512	缩放比例 = 1/8388608	缩放比例 = 1/134217728		缩放比例 = 1/134217728	
	线性相位	线性相位	线性相位	最小相位	线性相位	最小相位
b_{68}					-522533	205798
b_{69}					1741565	124363
b_{70}					1162189	-107173
b_{71}					-878642	-131357
b_{72}					-1300087	31104
b_{73}					132893	107182
b_{74}					1084786	15644
b_{75}					366118	-71728
b_{76}					-693209	-36319
b_{77}					-588382	38331
b_{78}					283878	38783
b_{79}					580424	-13557
b_{80}					34715	-31453
b_{81}					-430178	-1230
b_{82}					-215231	20983
b_{83}					231231	7729
b_{84}					263758	-11463
b_{85}					-56082	-8791
b_{86}					-220104	4659
b_{87}					-56626	7126
b_{88}					134826	-732
b_{89}					101135	-4687
b_{90}					-50629	-976
b_{91}					-94192	2551
b_{92}					-7546	1339
b_{93}					61387	-1103
b_{94}					33460	-1085
b_{95}					-25549	314
b_{96}					-34123	681
b_{97}					348	16
b_{98}					22008	-349
b_{99}					10620	-96
b_{100}					-8280	144
b_{101}					-10663	78
b_{102}					-266	-46
b_{103}					7419	-42
b_{104}					6692	9
b_{105}					2481	16
b_{106}					-75	0
b_{107}					-432	-4
b_{108}					-132	0
b_{109}					0	0

图 7-15 显示了 FIR 通带频率响应为 0.375 × f_{DATA}，通带纹波为 ±0.003dB。图 7-16 展示了从 0Hz 到 f_{DATA} 的通带、过渡带和阻带性能。该滤波器专为在奈奎斯特频率下实现 -135dB 阻带衰减而设计。

Copyright © 2025 Texas Instruments Incorporated

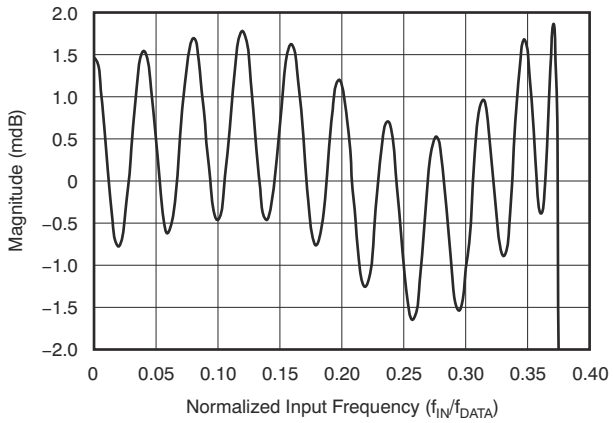


图 7-15. FIR 滤波器通带响应

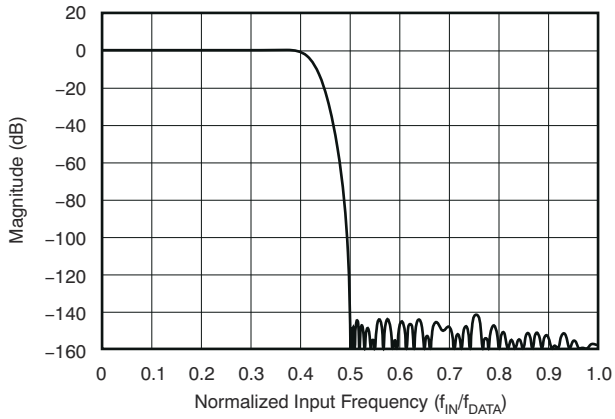


图 7-16. FIR 滤波器过渡带响应

与许多采样系统一样，该滤波器响应会在调制器采样率 (f_{MOD}) 的整数倍频点重复出现。滤波器响应在频率 = N × f_{MOD} ± f_0 处重复出现（其中 N = 1、2⋯，f_0 为滤波器通带）。若这些频率未被滤除且存在于信号中，会折返（或混叠）至通带内，进而导致误差。可通过低通输入滤波器降低混叠误差。对于许多地震检波器的典型带限信号，在 PGA 输出端配置单极滤波器即可有效抑制混叠频率。

7.3.6.3 群延迟和阶跃响应

FIR 滤波器提供了线性和最小相位滤波器选项。线性和最小相位滤波器的通带、过渡带和阻带响应相同，但在相位和阶跃响应行为上有所不同。

7.3.6.3.1 线性相位响应

线性相位滤波器具有独特的特性：从输入到输出的延迟在所有输入频率上保持恒定（即具备恒定群延迟）。这种恒定延迟特性与输入信号性质（脉冲或扫频音调）无关，因此相位在频域上呈线性关系，这在分析多音调信号时尤为重要。但是，如图 7-17 所示，与最小相位滤波器相比，线性相位滤波器的群延迟更长。无论是线性相位还是最小相位滤波器，在发生阶跃输入变化后，均需经过 62 次转换才能获得完全稳定的数据。

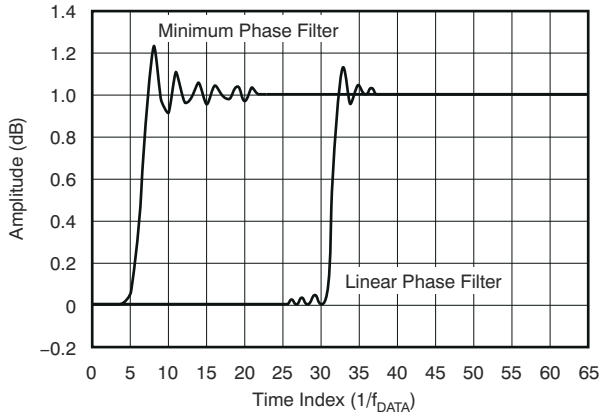


图 7-17. FIR 阶跃响应

7.3.6.3.2 最小相位响应

最小相位滤波器可显著缩短数据从滤波器输入到滤波器输出的群延迟时间。图 7-18 展示了最小和线性相位滤波器的群延迟。最小相位滤波器的群延迟会随信号频率变化而变化。CONFIG0 寄存器的 PHASE 位用于对滤波器相位进行编程。

Copyright © 2025 Texas Instruments Incorporated

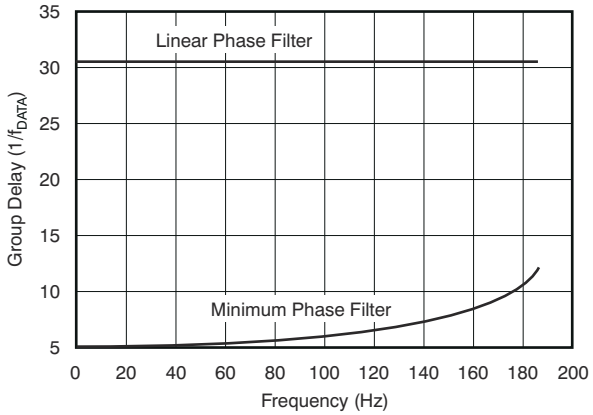


图 7-18. FIR 群延迟 (f_{DATA} = 500SPS)

7.3.6.4 HPF 级

数字滤波器的最后一级是高通滤波器 (HPF)。高通滤波器实现为一阶 IIR 滤波器。高通滤波器可去除数据中的直流和低频成分。HPF 通过编程 CONFIG0 寄存器的 FILTR[1:0] 位 = 11b 来启用。

方程式 4 显示了滤波器的 Z 域传递函数：

$$H(z) = \frac{2 - a}{2} \cdot \frac{1 - z^{-1}}{1 - (1 - a)z^{-1}} \quad (4)$$

其中：

- $a = \frac{2\sin(\omega_N)}{\cos(\omega_N) + \sin(\omega_N)}$
- $\omega_N = \pi \times f_C / f_{DATA}$ (归一化角频率，弧度)
- f_C = 角频率 (Hz)
- f_{DATA} = 输出数据速率 (Hz)

注意，角频率的编程取决于 f_{DATA}。如方程式 5 所示，写入 HPF1、HPF0 寄存器的值是值 *a*，通过方程式 4 × 2^{16} 得出。

$$HPF[15:0] = a \times 2^{16} \quad (5)$$

表 7-6 展示了高通滤波器编程的示例。

表 7-6. 高通滤波器值示例

HPF[15:0]	f_C (Hz)	f_{DATA} (SPS)
0332h	0.5	250
0332h	1.0	500
019Ah	1.0	1000

HPF 通过累积数据来实现其高通功能。与对输入施加直流阶跃变化后模拟 HPF 的运行特性类似，该滤波器需要时间来累积数据以从信号中去除直流分量。角频率越低，滤波器达到稳定所需的时间就越长。

为了缩短 HPF 趋稳时间，偏移寄存器用作 HPF 累加器的*种子*值。每次 HPF 状态从*禁用*更改为*启用*时，累加器都会加载偏移寄存器值。偏移寄存器可预设为估计值，若已知直流电平，则可采用校准值。为提高精度，需将偏移值按 GAIN[3:0]/400,000h 的倒数进行比例缩放。启用 HPF 时，会禁用正常的偏移操作。

Copyright © 2025 Texas Instruments Incorporated

要通过 OFFSET[2:0] 寄存器初始化 HPF 累加器：

1. 禁用 HPF 模块；
2. 向 OFFSET[2:0] 寄存器写入期望值。
3. 重新使能 HPF 模块。OFFSET[2:0] 将加载至 HPF 数据累加器。
4. HPF 跟踪信号中残留的直流分量。

后续对 OFFSET[2:0] 寄存器的写入操作将被忽略。若需重新加载 OFFSET[2:0] 寄存器内容至 HPF，需先禁用 HPF 再重新启用。

7.3.7 时钟输入

运行需要时钟信号。时钟信号以 f_{CLK} = 8.192MHz（对于高功耗和中等功耗模式）和 4.096MHz（对于低功耗模式）施加到 CLK 引脚。与许多精密数据转换器一样，要达到数据表中的性能，需要低抖动时钟。请避免使用 R-C 时钟振荡器。建议使用基于晶体的时钟源。通过在时钟 PCB 布线中串联电阻器来进行源端匹配，抑制时钟信号振铃。布线时让时钟信号远离其他时钟信号、输入引脚及模拟元件。

7.3.8 GPIO

ADC 提供两个可用作数字输入或输出的通用 I/O (GPIO) 引脚。GPIO 电压电平为 IOVDD 和 DGND。图 7-19 展示了 GPIO 方框图。

GPIO 通过 GPIO 寄存器进行编程。GPIO 通过 GPIOx_DIR 位编程为输入或输出。GPIO 状态通过 GPIOx_DAT 位进行读取或写入。编程为输出时，读取 GPIOx_DAT 位会返回先前写入的寄存器位值。如果未使用 GPIO，请使用下拉电阻器端接 GPIO，以防止引脚悬空。

Copyright © 2025 Texas Instruments Incorporated

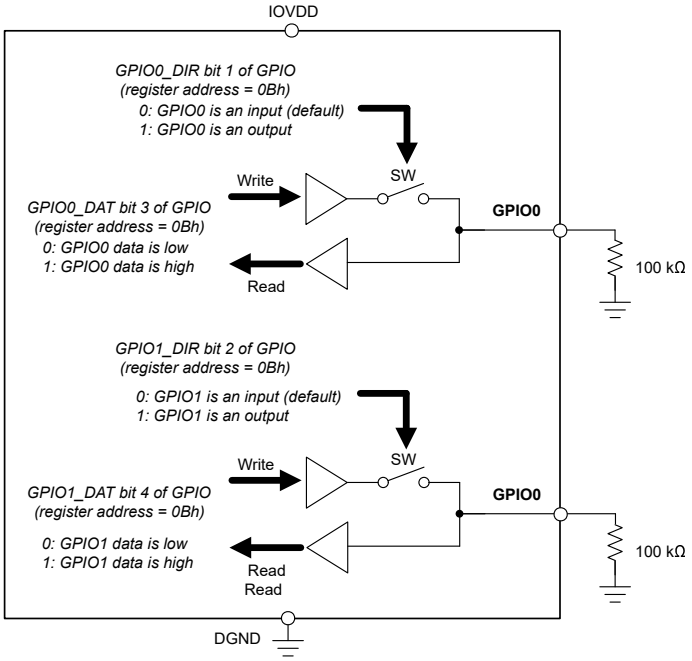


图 7-19. GPIO 操作

7.4 器件功能模式

7.4.1 电源模式

可通过三种功率分辨率模式在功耗和动态范围之间进行权衡。这些模式包括高功耗、中等功耗和低功耗模式。有关噪声性能的详细信息，请参阅*噪声性能*部分。CONFIG0 寄存器的 MODE[1:0] 位选择功耗模式。低功耗模式的时钟频率为 4.096MHz（半速时钟）；因此，输出数据速率也按比例降低一半。

7.4.2 断电模式

进入关断模式可通过将 $\overline{\text{PWDN}}$ 引脚置为低电平，或通过发送 STANDBY 命令进行软件控制。要退出断电模式，需将 $\overline{\text{PWDN}}$ 引脚置为高电平，或在时钟运行状态下发送 WAKEUP 命令来退出软件断电模式。断电会禁用模拟电路；但是，数字 LDO（CAPD 引脚）保持偏置，会从 IOVDD 消耗少量偏置电流。相比之下，软件断电会消耗更大的 IOVDD 偏置电流。在两种断电模式下，数字输出的交流信号均被阻断，但引脚仍维持高电平或低电平驱动状态。数字输入引脚不得悬空，否则可能导致 IOVDD 电源产生泄漏电流。如果时钟在断电过程中中断，需对 ADC 进行复位。由于断电时会失去同步；因此需重新同步 ADC。

7.4.3 复位

可通过三种方式对 ADC 进行复位：上电复位 (POR)、$\overline{\text{RESET}}$ 引脚或 RESET 命令。当电源电压超过相应阈值时，会发生上电复位。有关详细信息，请参阅加电开关特性。要通过引脚复位 ADC，需要将 $\overline{\text{RESET}}$ 驱动为低电平并持续至少两个 f_{CLK} 周期，然后恢复为高电平以进行复位。根据命令，复位在复位命令的 SCLK 第八个上升沿之后的下一个 f_{CLK} 上升沿生效。复位时，滤波器将重新启动，用户寄存器复位为默认值。复位时序如图 5-5 所示。

7.4.4 同步

ADC 可通过 SYNC 引脚或 SYNC 命令实现同步，这会导致数字滤波器周期重新启动。在 CLK 的下降沿将 SYNC 置为高电平后，在 CLK 的下一个上升沿将发生引脚同步。通过 SYNC 命令的同步发生在命令第八位传输完后的 CLK 上升沿。

Copyright © 2025 Texas Instruments Incorporated

以下情况会导致失去同步：

- 加电周期、ADC 复位或进入硬件或软件断电模式
- 以下模式发生改变时：
  - DR[2:0]（数据速率）
  - PHASE（滤波器相位）
  - MODE[1:0]（功耗模式）
  - SYNC（同步模式）
  - SRC[1:0]（启用或禁用采样率转换器）

有两种同步控制模式：脉冲同步和连续同步。同步模式通过 ID/SYNC 寄存器的 SYNC 位进行编程。

7.4.4.1 脉冲同步模式

脉冲同步模式在 SYNC 的上升沿对 ADC 进行无条件同步。同步后，内部滤波器存储器复位，$\overline{\text{DRDY}}$ 变为高电平，滤波器周期重新开始。随后的 63 个 $\overline{\text{DRDY}}$ 周期被禁用，以让数字滤波器达到稳定状态。转换数据准备就绪后，$\overline{\text{DRDY}}$ 置为低电平。有关同步时序的详细信息，请参阅图 5-4。

7.4.4.2 连续同步模式

连续同步模式提供了将连续时钟信号输入至 SYNC 引脚的选项。ADC 通过比较 SYNC 时钟信号的周期与 $\overline{\text{DRDY}}$ 信号的 *N* 个周期来判断是否需要重新同步。初始状态下，第一个 SYNC 正边沿会触发 ADC 同步。仅当 *N* 个 $\overline{\text{DRDY}}$ 周期内 SYNC 上升沿之间的时间间隔至少相差一个 f_{CLK} 周期（其中 *N* = 1、2、3 等）时，才会发生重新同步。否则表明 SYNC 时钟周期与现有 $\overline{\text{DRDY}}$ 脉冲同步，因此不会发生重新同步。请注意，当采样率转换器处于启用状态时，不能使用连续同步模式。

同步后，$\overline{\text{DRDY}}$ 继续产生脉冲；但数据会保持低电平 63 个数据周期，以便数字滤波器达到稳定状态。有关 $\overline{\text{DRDY}}$ 行为，请参阅图 5-4。由于数字滤波器具有初始延迟，SYNC 输入信号与 $\overline{\text{DRDY}}$ 脉冲之间存在偏移时间。偏移时间随数据速率变化而变化。

7.4.5 采样率转换器

采样率转换器 (SRC) 通过以新速率重新采样调制器数据来补偿时钟频率误差，该速率由写入 SRC 寄存器的补偿系数设定。频率补偿范围为 ±244ppm，分辨率为 7.45ppb ($1/2^{27}$)。

时钟频率误差可以通过向 SCR0 和 SRC1 寄存器写入数值来进行补偿。该寄存器值采用二进制补码格式，支持正负频率误差补偿。正寄存器数据值会降低数据速率频率（延长周期）。新的数据速率频率可通过 $\overline{\text{DRDY}}$ 信号频率进行观测。

表 7-7 展示了频率补偿的示例值。写入 8,000h 会禁用采样率转换器。写入 0000h 则直接传递数据，不进行补偿，但会使 SYNC 输入到 $\overline{\text{DRDY}}$ 脉冲的时序延迟增加 $8/f_{CLK}$。

表 7-7. 示例 SRC 值

SRC[15:0] 值	补偿系数
7FFFh	$(1 - 32{,}767 / 2^{27}) \times f_{DATA}$
0001h	$(1 - 1 / 2^{27}) \times f_{DATA}$
0000h	$1 \times f_{DATA}$
FFFFh	$(1 + 1 / 2^{27}) \times f_{DATA}$
8001h	$(1 + 32{,}767 / 2^{27}) \times f_{DATA}$
8000h	$1 \times f_{DATA}$（禁用 SRC）

启用或禁用采样率转换器后，需对 ADC 重新进行同步。由于 SRC 是一项数字功能，其运行具有确定性且无误差。SRC 修整值可一次性全部写入，也可逐步递增写入至目标值，以最大限度地减小频率的阶跃变化。使用多字节命令操作来写入 SRC 寄存器时，需在 $\overline{\text{DRDY}}$ 下降沿前的 256 个 CLK 周期内完成写入操作。该过程在字节内部处理之前会同时载入高低位字节。有关详细信息，请参阅图 5-7。

Copyright © 2025 Texas Instruments Incorporated

7.4.6 偏移和增益校准

ADC 集成了校准寄存器，可校正偏移和增益误差。如方程式 6 和图 7-20 所示，滤波器数据首先减去 24 位偏移值 (OFFSET[23:0])，再乘以 24 位增益值 (GAIN[23:0]) 并除以 400,000h 进行运算。将数据截断至 32 位得到最终输出。启用高通滤波器后，将会绕过偏移运行模式。

$$\text{Output} = (\text{Input} - \text{OFFSET}[23:0]) \cdot \frac{\text{GAIN}[23:0]}{400000\text{h}} \tag{6}$$

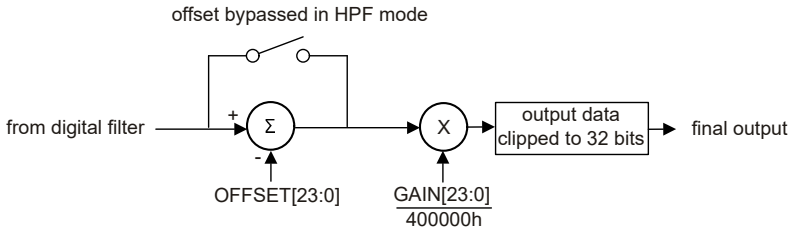


图 7-20. 校准方框图

7.4.6.1 OFFSET 寄存器

偏移校正通过由三个 8 位寄存器（高地址是 MSB）组成的 24 位字进行。偏移值采用左对齐格式，以与 32 位数据对齐。偏移值采用二进制补码编码，最大正值为 7FFFFFh，最大负值为 800,000h。需从转换数据中减去 OFFSET 值；请参阅表 7-8。偏移误差可通过两种方式校正：执行输入短路多路复用器选项的偏移校准命令，或收集短路输入 ADC 数据并将值写入寄存器。

虽然偏移校正范围覆盖 -FS 至 +FS，但偏移校正与增益校正的叠加总和不得超过未校准范围的 106%。

当启用高通滤波器时，会禁用偏移校正。此时偏移值将作为初始值，用于缩短高通滤波器的趋稳时间。要将偏移值重新加载到 HPF，需先禁用再重新启用高通滤波器。有关更多详情，请参阅 *HPF 级* 部分。

表 7-8. 偏移电压校准值

OFFSET[31:0]	校准后的输出代码(1)
00007Fh	FFFF8100h
000000h	00000000h
FFFF7Fh	00008100h

(1) 无偏移误差的理想代码值。

7.4.6.2 GAIN 寄存器

增益校正通过由三个 8 位寄存器（高地址 = MSB）组成的 24 位字进行。增益值为 24 位，采用直接二进制编码格式，当 GAIN[23:0] = 400,000h 时归一化为 1.0。施加校准信号后，可通过增益校准命令或采集 ADC 数据后将计算的数值写入增益寄存器来校准增益误差。表 7-9 列出了 GAIN[23:0] 寄存器值的示例。虽然增益值范围可能远大于或小于 1，但偏移与增益校正的总和不得超过未校准范围的 106%。

表 7-9. 增益校准值

GAIN[31:0]	增益校正系数
433333h	1.05
400000h	1.00
3CCCCCh	0.95

7.4.6.3 校准过程

可以使用 ADC 校准命令或执行手动校准来执行 ADC 校准。校准过程如下所示：

1. 为校准选择 PGA 或缓冲器运行模式、输入通道和 PGA 增益条件。

Copyright © 2025 Texas Instruments Incorporated

2. 预设 OFFSET 寄存器 = 000000h、GAIN 寄存器 = 400,000h。
3. 禁用高通滤波器以便进行偏移电压校准。短接系统输入，或使用输入多路复用器来实现输入短接。系统级输入短接可以获得更精确的校准结果。输入稳定后，发送 OFSCAL 命令或执行手动校准。
   a. OFSCAL 命令。发送命令后，$\overline{\text{DRDY}}$ 在 81 个转换周期后被驱动为低电平，以指示校准完成。使用新校准值更新 OFFSET 寄存器。如图 7-21 所示，第一个数据输出使用了新 OFFSET 值。
   b. 手动校准。等待至少 64 次转换，让数字滤波器达到稳定状态，然后对多个数据点求平均值以提高校准精度。将值写入 24 位 OFFSET 寄存器。
4. 施加增益校准电压。输入稳定后，发送 GANCAL 命令或执行手动校准。
   a. GANCAL 命令。施加正直流满量程校准电压。发送命令后，$\overline{\text{DRDY}}$ 在 81 个转换周期后被驱动为低电平，以指示校准完成。ADC 计算 GAIN 值，使满量程代码等于施加的校准信号。如图 7-21 所示，第一个数据输出使用了新 GAIN 值。
   b. 手动校准。施加略低于满量程（如增益 = 1 时使用 2.4V）的交流信号（需与采样率相干）或直流校准信号。使用低于满量程的校准信号可避免输出代码削波导致的校准错误。等待 64 次转换，让数字滤波器达到稳定状态，然后对多个数据点求平均值以提高校准精度。对于交流信号校准，使用多个相干信号周期来计算 RMS 值。

   方程式 7 计算用于手动校准的 GAIN 值。

$$\text{GAIN}[23:0] = 400000\text{h} \cdot \frac{\text{Expected Output Code}}{\text{Actual Output Code}} \tag{7}$$

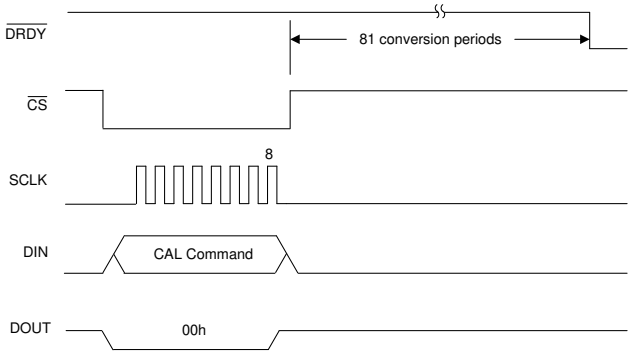


图 7-21. 校准命令

7.5 编程

7.5.1 串行接口

转换数据的读取和 ADC 配置通过兼容 SPI 的串行接口进行。该接口包含四个信号：$\overline{\text{CS}}$、SCLK、DIN 和 DOUT。转换数据准备就绪后，$\overline{\text{DRDY}}$ 置为低电平。串行接口是无源的（外设模式），其中串行时钟 (SCLK) 是输入。ADC 在 SPI 模式 0 下工作，CPOL = 0 且 CPHA = 0。在模式 0 下，SCLK 在空闲状态下维持低电平，在 SCLK 上升沿更新数据，在 SCLK 下降沿读取数据。

7.5.1.1 片选 ($\overline{\text{CS}}$)

$\overline{\text{CS}}$ 为低电平有效输入，用于选择串行通信接口。通信帧通过将 $\overline{\text{CS}}$ 置为低电平来启动，并通过将 $\overline{\text{CS}}$ 置为高电平来结束。由于每帧只允许执行一条命令，因此应在命令之间切换 $\overline{\text{CS}}$。在命令运行完之前将 $\overline{\text{CS}}$ 置为高电平会复位运行并阻止其他 SCLK 输入。$\overline{\text{CS}}$ 为高电平会强制 DOUT 进入高阻抗状态。无论 $\overline{\text{CS}}$ 的状态如何，$\overline{\text{DRDY}}$ 都会保持有效。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.2 串行时钟 (SCLK)

SCLK 是用于将寄存器数据移入和移出 ADC 的串行时钟输入。ADC 将 DIN 数据锁存在 SCLK 的下降沿。DOUT 数据在 SCLK 的上升沿移出。当 SCLK 无效时，将其保持为低电平。SCLK 引脚为施密特触发输入端，可降低对 SCLK 噪声的敏感度。不过，应尽可能使 SCLK 信号保持无噪声，以防止数据意外移位。

7.5.1.3 数据输入 (DIN)

DIN 用于向 ADC 输入数据。DIN 数据锁存在 SCLK 的上升沿。

7.5.1.4 数据输出 (DOUT)

DOUT 是数据输出引脚。数据在 SCLK 的下降沿移出，并由主机在上升沿进行锁存。当 $\overline{CS}$ 驱动为低电平（DRDY 为低电平）时，转换数据 MSB 出现在 DOUT 上，因此在 SCLK 的第一个上升沿读取数据的 MSB。请尽可能缩短布线长度，以减小引脚上的负载电容。在靠近该引脚的位置放置一个串联端接电阻器，以匹配 PCB 布线阻抗。将 $\overline{CS}$ 置为高电平会强制 DOUT 进入高阻抗状态。

7.5.1.5 数据就绪 ($\overline{DRDY}$)

$\overline{DRDY}$ 为低电平有效输出，指示转换数据已就绪。无论 $\overline{CS}$ 的状态如何，$\overline{DRDY}$ 都有效。无论正在读取数据还是输入命令，$\overline{DRDY}$ 都会在 SCLK 的第一个下降沿驱动为高电平。如图 7-22 所示，如果未检索到数据，$\overline{DRDY}$ 会在八个 f_{CLK} 周期内产生高电平脉冲。

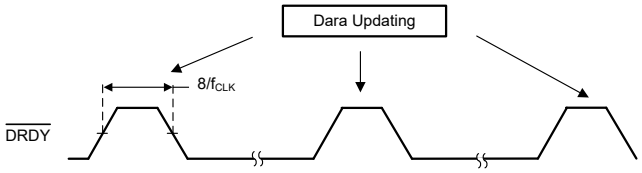


图 7-22. 未检索到数据的 $\overline{DRDY}$

7.5.2 转换数据格式

如表 7-10 中所示，转换数据以 32 位二进制补码格式编码，表示正数和负数。如果需要，可以通过将 $\overline{CS}$ 置为高电平来将数据读取操作缩短至 24 位。Sinc 滤波器的数据缩放取决于 V_{REF} 的值以及处于 PGA 还是缓冲器运行模式。

表 7-10. 输出数据格式

V_{IN} (V)	转换代码(1)			
	FIR 滤波器	SINC 滤波器(2)		
	V_{REF} = 2.5V、4.096V 或 5V	V_{REF} = 2.5V	V_{REF} = 4.096V	V_{REF} = 5V
≥ 2.5V × (2^{31} - 1) / 2^{31} / 增益	7FFFFFFFh	3FFFFFFFh	3A980000h	30000000h
2.5V/ (增益 × (2^{31} - 1))	00000001h	<00000001h	<00000001h	<00000001h
0	00000000h	00000000h	00000000h	00000000h
– 2.5V/ (增益 × 2^{31})	FFFFFFFFh	>FFFFFFFFh	>FFFFFFFFh	>FFFFFFFFh
≤ – 2.5V / 增益	80000000h	C0000000h	C5680000h	D0000000h

(1) 不包括基准电压误差、噪声、线性度、偏移及增益误差的影响。
(2) 当 V_{REF} = 4.096V 或 5V 且在缓冲器模式下运行时，sinc 滤波器输出的数据相较于 PGA 模式将按 66.6% 比例缩放。由于 OSR 值相对较低，因此在 sinc 滤波器运行过程中无法实现完整的 32 位分辨率。当过驱动时，sinc 滤波器会持续输出超出标称值 ± 满量程的代码值，直至调制器达到饱和状态。

7.5.3 命令

表 7-11 列出了用于 ADC 的命令。大多数命令的长度为一个字节。但是，寄存器读取和写入命令的字节数取决于命令中指定的寄存器数据量。

表 7-11. 命令说明

助记符	类型	说明	BYTE 1(1)	BYTE 2
WAKEUP	控制	从待机模式或 NOP 唤醒	0000 000x (00h 或 01h)	—
STANDBY	控制	进入待机模式 (软件断电模式)	0000 001x (02h 或 03h)	—
SYNC	控制	同步	0000 010x (04h 或 5h)	—
复位	控制	复位	0000 011x (06h 或 07h)	—
RDATA	数据	读取转换数据	0001 0010 (12h)	—
RREG	寄存器	从地址 *rrr* 开始读取 *nnn* 个寄存器	0010 *rrrr* (20h + *rrrr*)(2)	0000 *nnnn* (00h + *nnnn*)(3)
WREG	寄存器	从地址 *rrr* 开始写入 *nnnn* 个寄存器	0100 *rrrr* (40h + *rrrr*)(2)	0000 *nnnn* (00h + *nnnn*)(3)
OFSCAL	校准	偏移校准	0110 0000 (60h)	—
GANCAL	校准	增益校准	0110 0001 (61h)	—

(1) x = 不用考虑。
(2) rrrr = 寄存器读取和写入命令的起始地址。
(3) nnnn = 要读取或写入的寄存器数量 - 1。例如，要读取或写入三个寄存器，则 *nnnn* = 2。

7.5.3.1 单字节命令

图 7-23 展示了单字节命令的通用格式 (对于 RDATA 命令的响应字节，请参阅 RDATA 命令) 。

Copyright © 2025 Texas Instruments Incorporated

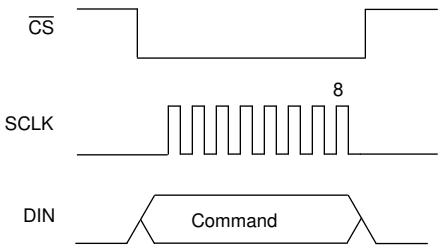


图 7-23. 单字节命令格式

7.5.3.2 WAKEUP：唤醒命令

WAKEUP 命令退出待机模式以恢复正常运行。如果 ADC 已通电，则该命令不执行操作 (NOP)。退出待机模式时，ADC 需要重新同步。有关断电模式的详细信息，请参阅*断电模式* 部分。

7.5.3.3 STANDBY：软件断电命令

STANDBY 命令进入软件断电模式。ADC 通过 WAKEUP 命令退出软件断电模式。有关断电模式的详细信息，请参阅*断电模式* 部分。

7.5.3.4 SYNC：同步命令

SYNC 命令对 ADC 进行同步。同步发生在 SYNC 命令字节的第八位。同步后，当前转换停止并重新启动。要通过软件命令同步多个 ADC，可同时将命令发送到所有器件。使用该命令时，SYNC 引脚必须为高电平。有关同步的详细信息，请参阅*同步* 部分。

7.5.3.5 复位：复位命令

RESET 命令对 ADC 进行复位。有关复位操作的详细信息，请参阅*复位* 部分。

7.5.3.6 直接读取数据

读取转换数据有两种方法：直接读取数据和通过命令读取数据。

直接读取数据不需要命令，而是在 $\overline{\text{DRDY}}$ 下降至低电平后，施加 SCLK 来读取数据。图 7-24 展示了直接读取数据的操作。当 $\overline{\text{DRDY}}$ 下降至低电平时，将 $\overline{\text{CS}}$ 置为低电平以启动读取操作。$\overline{\text{CS}}$ 置低会使 DOUT 从三态模式转换为数据 MSB 输出。数据会在 SCLK 的上升沿读取，在 SCLK 的下降沿更新。$\overline{\text{DRDY}}$ 在 SCLK 的第一个下降沿恢复至高电平。读取 32 个数据位后，DOUT 保持为低电平。要在新数据可用之前重复读取相同数据，需要使用 RDATA 命令。

读取转换数据时需将 DIN 保持为低电平。如果发送了 RDATA（读取转换数据）或 RREG（读取寄存器数据）命令，输出数据将被中断以响应命令。如果 $\overline{\text{DRDY}}$ 在读取期间降至低电平，则新数据将丢失，除非已读取至少三个字节的旧数据。

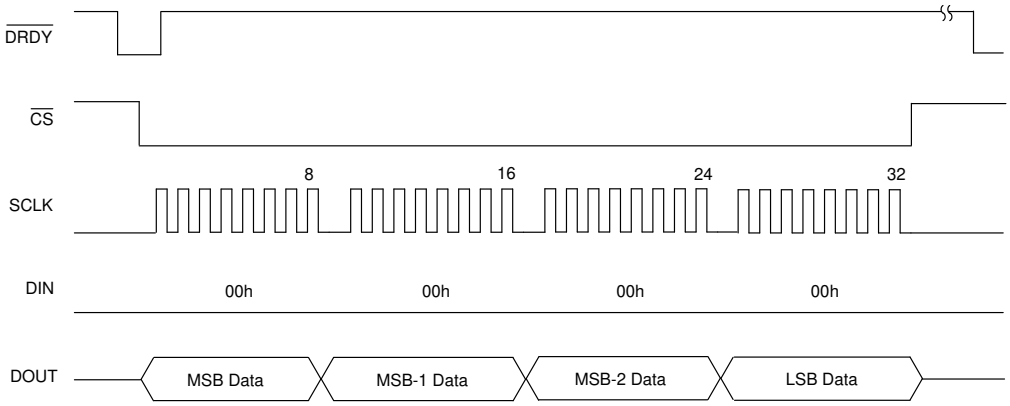


图 7-24. 直接读取数据

7.5.3.7 RDATA：读取转换数据命令

RDATA 命令 (图 7-25) 可用于在同一转换周期内重新读取数据或对被读取寄存器命令中断的数据进行读取。在这两种情况下，$\overline{\text{DRDY}}$ 都为高电平，因为 $\overline{\text{DRDY}}$ 在前一操作的第一个 SCLK 上驱动为高电平。如果 $\overline{\text{DRDY}}$ 为高电平，则第一个输出字节为零，后跟数据。如果为低电平，则第一个输出字节为转换数据的字节 1，并从字节 2 开始重新输出数据。

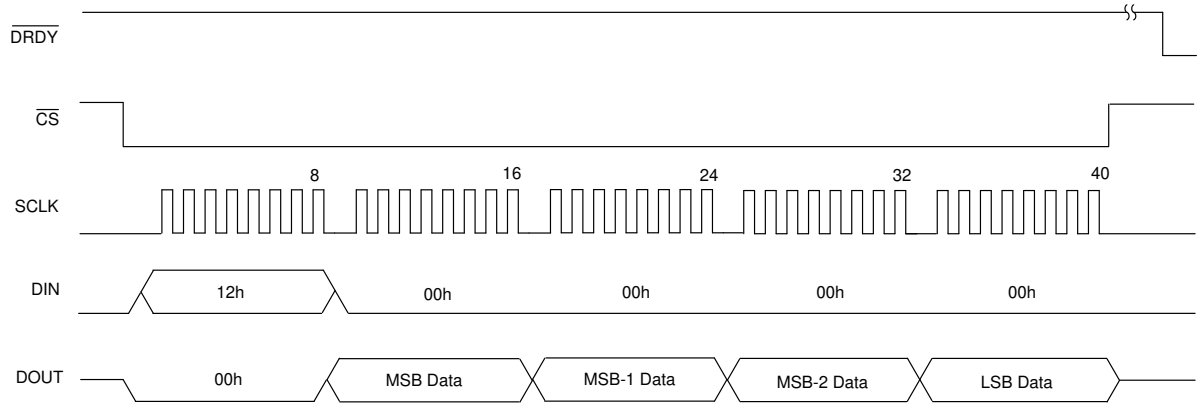


图 7-25. 通过命令读取转换数据

7.5.3.8 RREG：读取寄存器命令

RREG 命令读取寄存器数据。该命令由两个字节后跟指定数量的寄存器字节的输出组成。ADC 会自动将地址递增到命令的字节 2 中指定的寄存器数量。递增地址不会绕回。命令的第一个字节是添加到寄存器起始地址的操作码，第二个字节为要读取的寄存器数量减一。

- 第一个命令字节：0010 rrrr，其中 *rrrr* 是起始寄存器地址
- 第二个命令字节：0000 nnnn，其中 *nnnn* 是要读取的寄存器数量减一

图 7-26 展示了从寄存器地址 01h 开始的三寄存器读取操作的示例。第一个寄存器数据在 SCLK 的第 16 个下降沿出现在 DOUT 上。数据锁存在 SCLK 的上升沿。

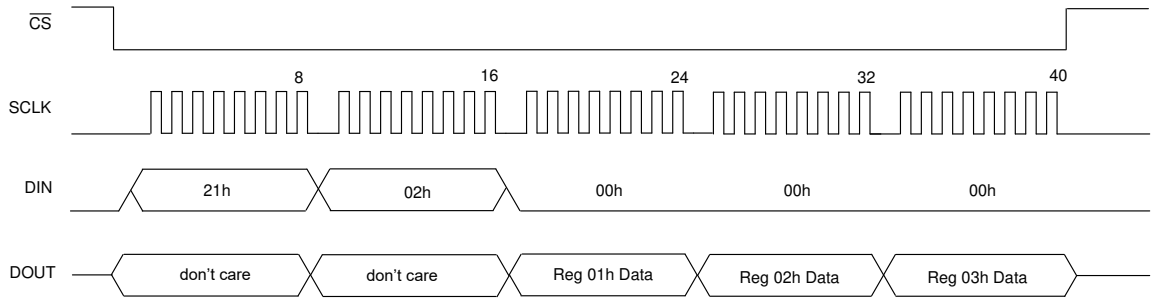


图 7-26. 读取寄存器数据

7.5.3.9 WREG：写入寄存器命令

WREG 命令用于写入寄存器数据。该命令由两个字节及后续指定数量要写入的寄存器字节组成。ADC 会自动将地址递增到命令中指定的寄存器数量。递增地址不会绕回。命令的第一个字节是添加到寄存器起始地址的操作码，第二个字节为要写入的寄存器数量减一。

第一个命令字节：0100 rrrr，其中 *rrrr* 是第一个寄存器的起始地址。

第二个命令字节：0000 nnnn，其中 *nnnn* 是要写入的寄存器数量减一。

数据字节：取决于指定的寄存器数量。

Copyright © 2025 Texas Instruments Incorporated

图 7-27 展示了从寄存器地址 01h 开始的三寄存器写入操作的示例。

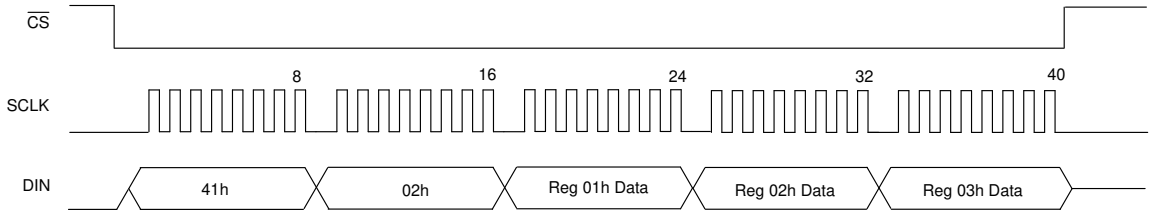


图 7-27. 写入寄存器数据

7.5.3.10 OFSCAL：偏移校准命令

OFSCAL 命令执行偏移校准。有关操作的详细信息，请参阅*校准过程*部分。

7.5.3.11 GANCAL：增益校准命令

GANCAL 命令执行增益校准。有关操作的详细信息，请参阅*校准过程*部分。

Copyright © 2025 Texas Instruments Incorporated

7.6 寄存器映射

各个寄存器共同包含配置器件所需的全部信息（如数据速率、滤波器模式、基准电压参数等）。可通过读取和写入命令（RREG 和 WREG）访问寄存器。可以访问单个寄存器，也可通过命令字段指定寄存器数量进行批量访问。

更改某些寄存器位会导致滤波器复位，此时需对 ADC 进行重新同步。有关详细信息，请参阅*同步*部分。

表 7-12. 寄存器映射

地址	寄存器链接	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
00h	ID/SYNC	xxxx0000b	REVID[3:0]				DEVID[2:0]			SYNC
01h	CONFIG0	00010010b	MODE[1:0]		DR[2:0]			PHASE	FILTR[1:0]	
02h	CONFIG1	00000000b	MUX[2:0]			REF[1:0]		GAIN[2:0]		
03h	HPF0	00110010h	HPF[7:0]							
04h	HPF1	00000011b	HPF[15:8]							
05h	OFFSET0	00000000b	OFFSET[7:0]							
06h	OFFSET1	00000000b	OFFSET[15:8]							
07h	OFFSET2	00000000b	OFFSET[23:16]							
08h	GAIN0	00000000b	GAIN[7:0]							
09h	GAIN1	00000000b	GAIN[15:8]							
0Ah	GAIN2	01000000b	GAIN[23:16]							
0Bh	GPIO	000xx000b	RESERVED			GPIO1_DAT	GPIO0_DAT	GPIO1_DIR	GPIO0_DIR	RESERVED
0Ch	SRC0	00000000b	SRC[7:0]							
0Dh	SRC1	10000000b	SRC[15:8]							

7.6.1 寄存器说明

表 7-13 列出了 ADS1285 寄存器的寄存器访问代码。

表 7-13. ADS1285 访问代码

访问类型	代码	说明
R	R	读取
R-W	R/W	读取或写入
W	W	写入
-n		复位后的值或默认值

Copyright © 2025 Texas Instruments Incorporated

7.6.1.1 ID/SYNC：器件 ID、SYNC 寄存器（地址 = 00h）[复位 = xxxx0000b]

图 7-28. ID/SYNC 寄存器

7	6	5	4	3	2	1	0
REVID[3:0]				DEVID[2:0]			SYNC
R-xxxxb				R-000b			R/W-0b

表 7-14. ID/SYNC 寄存器字段说明

位	字段	类型	复位	说明
7:4	REVID[3:0]	R	xxxxb	出厂预编程的裸片版本。 这些位用于标识裸片的修订版本。裸片版本如有变更，恕不另行通知。
3:1	DEVID[2:0]	R	000b	出厂预编程的器件标识。 这些位用于标识 ADC。 000b = ADS1285
0	SYNC	R/W	0b	同步模式选择。 有关详细信息，请参阅*同步* 部分。 0b = 脉冲同步模式 1b = 连续同步模式

7.6.1.2 CONFIG0：配置寄存器 0（地址 = 01h）[复位 = 12h]

图 7-29. CONFIG0 寄存器

7	6	5	4	3	2	1	0
MODE[1:0]		DR[2:0]			PHASE	FILTR[1:0]	
R/W-00b		R/W-010b			R/W-0b	R/W-10b	

表 7-15. CONFIG0 寄存器字段说明

位	字段	类型	复位	说明
7:6	MODE[1:0]	R/W	00b	功耗模式选择。 有关详细信息，请参阅*功耗模式*部分。 00b = 高 01b = 中等 10b = 低 11b = 保留
5:3	DR[2:0]	R/W	010b	数据速率选择。 有关详细信息，请参阅*数字滤波器*部分。 000b = 250SPS（低功耗模式下为 125SPS） 001b = 500SPS（低功耗模式下为 250SPS） 010b = 1,000SPS（低功耗模式下为 500SPS） 011b = 2,000SPS（低功耗模式下为 1,000SPS） 100b = 4,000SPS（低功耗模式下为 2,000SPS） 101b – 111b = 保留
2	PHASE	R/W	0b	FIR 滤波器相位选择。 有关详细信息，请参阅*数字滤波器*部分。 0b = 线性相位 1b = 最小相位
1:0	FILTR[1:0]	R/W	10b	数字滤波器配置。 有关详细信息，请参阅*数字滤波器*部分。 00b = 保留 01b = sinc 滤波器输出 10b = FIR 滤波器输出 11b = FIR + IIR 滤波器输出

Copyright © 2025 Texas Instruments Incorporated

7.6.1.3 CONFIG1：配置寄存器 1（地址 = 02h）[复位 = 00h]

图 7-30. CONFIG1 寄存器

7	6	5	4	3	2	1	0
MUX[2:0]			REF[1:0]		GAIN[2:0]		
R/W-000b			R/W-00b		R/W-000b		

表 7-16. CONFIG1 寄存器字段说明

位	字段	类型	复位	说明
7:5	MUX[2:0]	R/W	000b	输入多路复用器选择。 有关详细信息，请参阅*模拟输入*部分。 000b = 输入 1 001b = 输入 2 010b = 使用 400Ω 电阻器进行内部短路 011b = 输入 1 和输入 2 100b = 保留 101b = 使用 0Ω 电阻器进行内部短路 110b、111b = 保留
4:3	REF[1:0]	R/W	00b	选择基准工作电压。 有关详细信息，请参阅*基准电压输入*部分。 00b = 5V 01b = 4.096V 10b = 2.5V 11b = 保留
2:0	GAIN[2:0]	R/W	000b	PGA 增益选择。 有关详细信息、请参阅 *PGA 和缓冲器*部分。 000b = 1 001b = 2 010b = 4 011b = 8 100b = 16 101b = 32 110b = 64 111b = 缓冲器运行

7.6.1.4 HPF0、HPF1：高通滤波器寄存器（地址 = 03h、04h）[复位 = 32h、03h]

图 7-31. HPF0 寄存器

7	6	5	4	3	2	1	0
HPF[7:0]							
R/W-32h							

图 7-32. HPF1 寄存器

7	6	5	4	3	2	1	0
HPF[15:8]							
R/W-03h							

表 7-17. HPF0、HPF1 寄存器字段说明

位	字段	类型	复位	说明
15:0	HPF[15:0]	R/W	0332h	高通滤波器编程。 这些寄存器对高通滤波器的角频率进行编程。有关详细信息，请参阅 *HPF 级* 部分。

Copyright © 2025 Texas Instruments Incorporated

7.6.1.5 OFFSET0、OFFSET1、OFFSET2：偏移校准寄存器（地址 = 05h、06h、07h）[复位 = 00h、00h、00h]

图 7-33. OFFSET0 寄存器

7	6	5	4	3	2	1	0
OFFSET[7:0]							
R/W-00h							

图 7-34. OFFSET1 寄存器

7	6	5	4	3	2	1	0
OFFSET[15:8]							
R/W-00h							

图 7-35. OFFSET2 寄存器

7	6	5	4	3	2	1	0
OFFSET[23:16]							
R/W-00h							

表 7-18. OFFSET0、OFFSET1、OFFSET2 寄存器字段说明

位	字段	类型	复位	说明
23:0	OFFSET[23:0]	R/W	000000h	偏移校准。 这些位组成 24 位偏移校准字。采用二进制补码编码格式。ADC 在执行增益校准操作前，会先从转换结果中减去偏移值。有关详细信息，请参阅*偏移和增益校准*部分。

7.6.1.6 GAIN0、GAIN1、GAIN2：增益校准寄存器（地址 = 08h、09h、0Ah）[复位 = 00h、00h、40h]

图 7-36. GAIN0 寄存器

7	6	5	4	3	2	1	0
GAIN[7:0]							
R/W-00h							

图 7-37. GAIN1 寄存器

7	6	5	4	3	2	1	0
GAIN[15:8]							
R/W-00h							

图 7-38. GAIN2 寄存器

7	6	5	4	3	2	1	0
GAIN[23:16]							
R/W-40h							

表 7-19. GAIN0、GAIN1、GAIN2 寄存器字段说明

位	字段	类型	复位	说明
23:0	GAIN[23:0]	R/W	400000h	增益校准。 这些位组成 24 位增益校准字。增益校准采用直接二进制编码。将寄存器值除以 400,000h (2^{22})，再乘以转换数据。增益运行发生在偏移运行之后。有关详细信息，请参阅*偏移和增益校准*部分。

Copyright © 2025 Texas Instruments Incorporated

7.6.1.7 GPIO：数字输入/输出寄存器（地址 = 0Bh）[复位 = 000xx000b]

图 7-39. GPIO 寄存器

7	6	5	4	3	2	1	0
RESERVED			GPIO1_DAT	GPIO0_DAT	GPIO1_DIR	GPIO0_DIR	RESERVED
R/W-000b			R/W-xb	R/W-xb	R/W-0b	R/W-0b	R/W-0b

表 7-20. GPIO 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	000b	始终写入 000b。
4	GPIO1_DAT	R/W	xb	GPIO1 数据。 有关详细信息，请参阅 GPIO 部分。 0b = GPIO1 为低电平 1b = GPIO1 为高电平
3	GPIO0_DAT	R/W	xb	GPIO0 数据。 0b = GPIO0 为低电平 1b = GPIO0 为高电平
2	GPIO1_DIR	R/W	0b	GPIO1 方向。 0b = GPIO1 为输入 1b = GPIO1 为输出
1	GPIO0_DIR	R/W	0b	GPIO0 方向。 0b = GPIO0 为输入 1b = GPIO0 为输出
0	RESERVED	R/W	0b	始终写入 0b。

7.6.1.8 SRC0、SRC1：采样率转换器寄存器（地址 = 0Ch、0Dh）[复位 = 00h、80h]

图 7-40. SRC0 寄存器

7	6	5	4	3	2	1	0
SRC[7:0]							
R/W-00h							

图 7-41. SRC1 寄存器

7	6	5	4	3	2	1	0
SRC[15:8]							
R/W-80h							

表 7-21. SRC0、SRC1 寄存器字段说明

位	字段	类型	复位	说明
15:0	SRC[15:0]	R/W	8000h	采样率转换器。 这些寄存器对采样率转换器进行编程。有关操作的详细信息，请参阅*采样率转换器*部分。 8000h = 禁用 SRC 功能

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

ADS1285 是一款专为低功耗地震数据采集设备而设计的高分辨率 ADC。要优化性能，需要特别注意支持电路和印刷电路板 (PCB) 的布局。尽可能使有噪声的电路元件（例如微控制器，振荡器，开关稳压器等）远离 ADC 输入电路元件、基准电压和 ADC 时钟信号。

8.2 典型应用

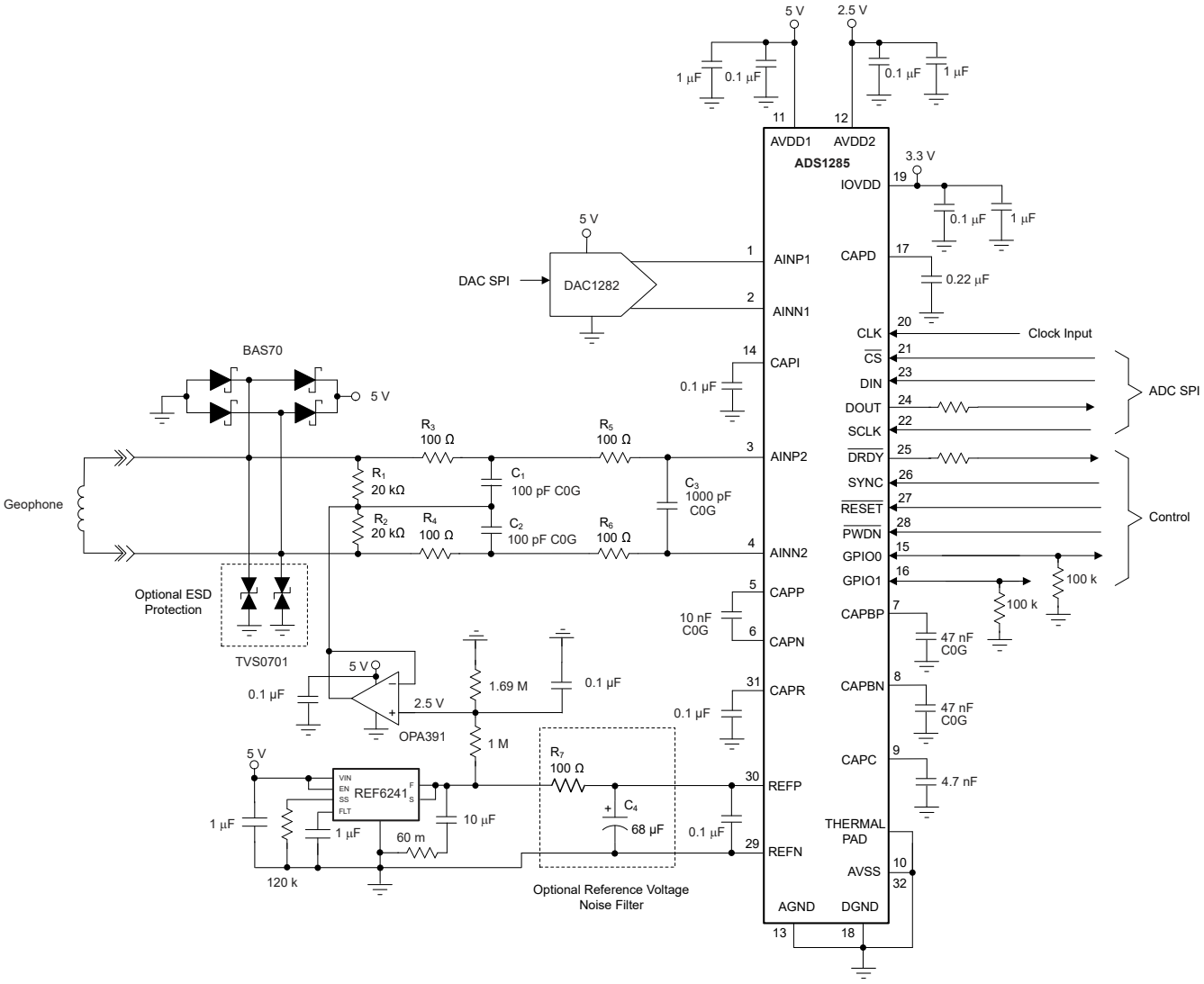


图 8-1. 地震检波器输入应用示例

Copyright © 2025 Texas Instruments Incorporated

8.2.1 设计要求

图 8-1 展示了地震检波器输入电路的典型应用。在该应用中，ADC 采用 5V 电源供电，并在 ADC 输入端施加 2.5V 电平移位电压。此评估的目的是分析源电阻引起的噪声的影响。其中源电阻值为串联输入电阻与地震检波器输出电阻之和。

8.2.2 详细设计过程

参考图 8-1，肖特基二极管（BAS70 或等效产品）可保护 ADC 输入免受电压过载影响。可选的 ESD 保护二极管 (TVS0701) 可保护 ADC 输入免受 ESD 事件影响。通过将输入端接电阻器（R_1 和 R_2）的公共端驱动至 2.5V，地震检波器信号电平移位至 1/2 Vs。电平移位电压源自基准电压，并由 OPA391 运算放大器进行缓冲。输入端接电阻器还为 ADC 输入端提供输入偏置电流返回路径。

对输入信号进行滤波以减少带外噪声。滤波器由共模和差动部分组成。共模部分滤出两个输入端共有的噪声，由 R_3、R_4、C_1 和 C_2 组成。差动部分滤出差动噪声，由 R_3 至 R_6 和 C_3 组成。电阻值保持较低，以降低热噪声。

使用 REF6241 4.096V 电压基准。必须对 ADC 进行编程，以匹配基准电压值。由 R_7 和 C_3 组成的可选噪声滤波器可降低基准噪声。电阻器 R_7 会增加基准输入的阻抗导致的增益误差。

AVDD1 电源电压 = 5V，AVSS 连接至 AGND。AVDD2 电压为 2.5V，以尽可能降低功耗。如果 IOVDD = 1.8V，则将 CAPD 引脚连接至 IOVDD。

除了电源引脚外，在某些引脚上配置额外的电容器。CAPP - CAPN、REFP - REFN 之间以及 CAPBP、CAPBN、CAPI、CAPR、CAPC 和 CAPD 引脚之间需要电容器，容值如图 8-1 中所示。CAPP - CAPN、CAPBP 和 CAPBN 电容器为 C0G 型电容器。

DAC1282 提供低失真信号来测试 THD 性能，并通过 DAC1282 直流测试模式测试地震检波器脉冲响应。将 DAC1282 电容器 CAPP 和 CAPN 的值增加到 10nF，以优化 ADS1285 THD 测试性能。有关电路的更多详情，请参阅 DAC1282 数据表。

8.2.3 应用曲线

表 8-1 列出了源电阻 (R_S) 和器件输入电流噪声对动态范围性能的影响。我们基于图 8-2 的输入电流噪声分布（1.5pA/√Hz 和 3pA/√Hz）选取特定 R_S 值与输入电流噪声值进行评估。通过将源电阻的热噪声电压、输入电流噪声 × 源电阻以及 ADC 输入基准噪声电压相叠加得到 RMS 值，即可得出总噪声。根据总噪声结果计算得出动态范围。

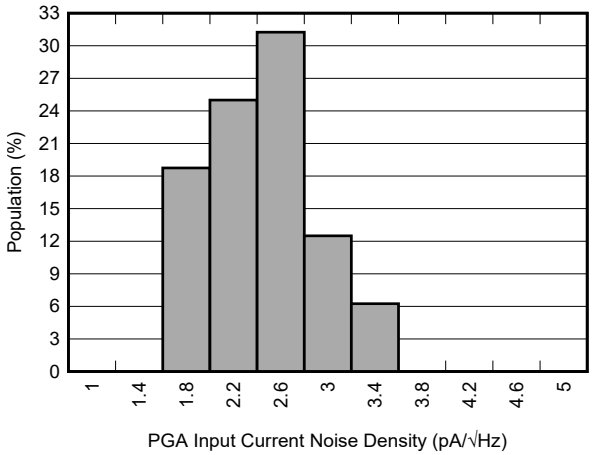


图 8-2. PGA 输入电流噪声分布

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 源电阻噪声

R_S (Ω)	增益	i_n 噪声 (pA/√Hz)	R_S 噪声 (μV)	$i_n \times R_S$ 噪声 (μV)	ADC 自噪声 (μV)	总噪声 (μV)	DR (dB)
0	1	1.5	0	0	0.44	0.44	132.1
		3		0		0.44	132.1
	16	1.5		0	0.11	0.11	120.1
		3		0		0.11	120.1
1000	1	1.5	0.06	0.024	0.44	0.445	132.0
		3		0.048		0.446	132.0
	16	1.5		0.024	0.11	0.127	118.8
		3		0.048		0.134	118.4
5000	1	1.5	0.13	0.11	0.44	0.472	131.5
		3		0.22		0.508	130.8
	16	1.5		0.11	0.11	0.202	114.8
		3		0.21		0.277	112.0

所示为在 206Hz 噪声带宽 (f_{DATA} = 500SPS) 下以低功耗模式运行时的分析数据。PGA 增益 = 1 时，5,000Ω 源电阻对动态范围性能的影响很小。不过，在 PGA 增益 = 16 时，动态范围性能可能从 –5dB 降至 –8dB，具体取决于器件输入电流噪声水平。当输入电流噪声密度 = 3pA/√Hz 时，1,000Ω 源电阻在增益 = 16 时性能会下降 1.6dB。

8.3 电源相关建议

ADC 有四个电源：AVDD1、AVDD2、AVSS 和 IOVDD。在各种电源选项中，电源数量可以减少为用于 AVDD1、AVDD2 和 IOVDD 的单个 3.3V 电源，将 AVSS 接地。请注意，3.3V 工作电压会将基准电压限制为 2.5V，并且需要使用缓冲器来实现增益 = 1。

可按任意顺序排列电源。ADC 保持复位状态，直到电源电压超过规定的上电电压阈值且时钟信号开始施加（有关电压阈值的详细信息，请参阅图 5-8）。

8.3.1 模拟电源

ADC 具有三个模拟电源：AVDD1、AVDD2 和 AVSS，所有电源都必须良好稳压，且无开关电源噪声（电压纹波 < 1mV）。AVDD1 电源电压为与 AVSS 的相对电压，用于为 PGA 和缓冲器供电。AVSS 为负电源。ADC 可配置为单电源运行，AVDD1 = 5V 或 3.3V、AVSS 接地。由于 AVDD1 至 AGND 的最低电压 = 2.375V，因此仅当 AVDD1 - AVSS = ±2.5V 时，才可双电源运行。单电源运行时，需通过输入终端电阻器向地震检波器输入端提供电平移位电压。该电平移位电压通常等于 AVDD1/2。使用 1μF 和 0.1μF 并联电容器将 AVDD1 旁路至 AVSS。

AVDD2 电源为调制器供电。为了简化系统电源管理，无论 AVDD1 和 AVSS 配置为单电源运行还是双电源运行，AVDD2 都可以连接到 AVDD1（AVDD2 为相对于 AGND 的电压，范围为 2.375V 至 5.25V）。使用 1μF 和 0.1μF 并联电容器将 AVDD2 旁路至 AGND。

8.3.2 数字电源

IOVDD 是数字电源。IOVDD 既作为数字引脚 I/O 电压，又通过 1.8V 低压降稳压器 (LDO) 为数字内核供电。LDO 输出为 CAPD 引脚，通过一个 0.22μF 电容器旁路至 DGND。请勿在 CAPD 电压输出端连接外部负载。使用 1μF 和 0.1μF 并联电容器将 IOVDD 引脚旁路至 DGND。

如果 IOVDD 在 1.65V 至 1.95V 范围内，将 IOVDD 和 CAPD 引脚连接在一起。该连接会强制内部 LDO 关断，因此 IOVDD 电压现在直接为数字内核供电。需要密切注意驱动 CAPD 引脚的 IOVDD 的绝对最大额定电压，以免损坏器件。

Copyright © 2025 Texas Instruments Incorporated

8.3.3 接地

ADC 有两个接地引脚：AGND 和 DGND。使用较短的直接连接方式，将 AGND 和 DGND 引脚在 ADC 处相连，并统一接入单一接地平面。

8.3.4 散热焊盘

散热焊盘不承载器件电流，但必须焊接并连接至最大负电源电压 (AVSS)。由于功率耗散较低，可以省略 PCB 散热过孔，为器件下方的底层元件腾出空间。

8.4 布局

8.4.1 布局指南

图 8-3 展示了图 8-1 的地震检波器输入应用示例的布局。大多数情况下，最好使用单个不间断的接地平面来将模拟和数字元件接地。使用四层 PCB，内层专用于接地平面和电源平面。要维持 THD 性能，低电阻电源平面必不可少。

将 ADC 的 REFN 引脚直接连接到电压基准的接地终端，以避免接地噪声耦合。类似地，通过先将电阻器连接在一起，然后接地（双电源运行），可避免端接电阻器 R_1 和 R_2 的连接点之间出现接地噪声。

将较小的并联电源旁路电容器放置在最靠近器件电源引脚的位置。封装的散热焊盘连接到最大负电源电压 (AVSS)。图 8-3 展示了单电源运行，AVSS 连接到 AGND。在此案例中，散热焊盘连接到 AGND。对于双电源运行，将散热焊盘连接到 AVSS。

8.4.2 布局示例

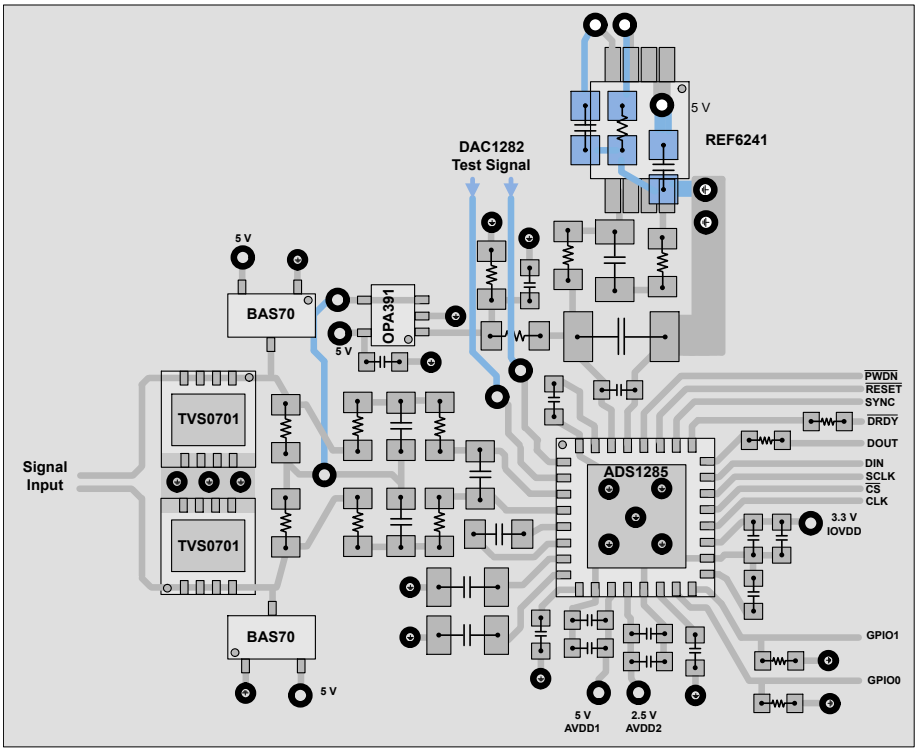


图 8-3. 示例布局

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2022) to Revision B (October 2025)	Page
• 更改了*典型特性*部分中的 *AVDD1 电流与温度间的关系*曲线	15
• 更改了*采样率转换器*部分中*示例 SRC 值*一表的第 4 行	46

Changes from Revision * (May 2022) to Revision A (December 2022)	Page
• 首次公开发布，将文档状态从*预告信息* 更改为*量产数据*	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS1285IRHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1285
ADS1285IRHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1285
ADS1285IRHBT	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1285
ADS1285IRHBT.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	ADS 1285

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

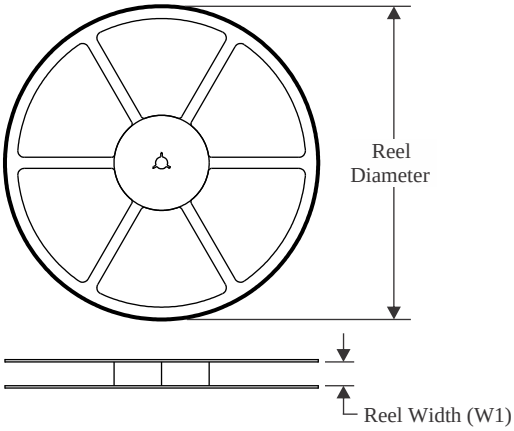
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

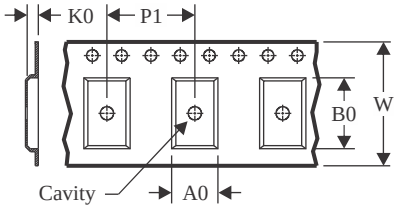
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

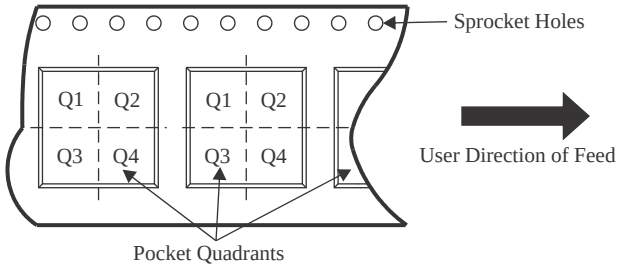


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

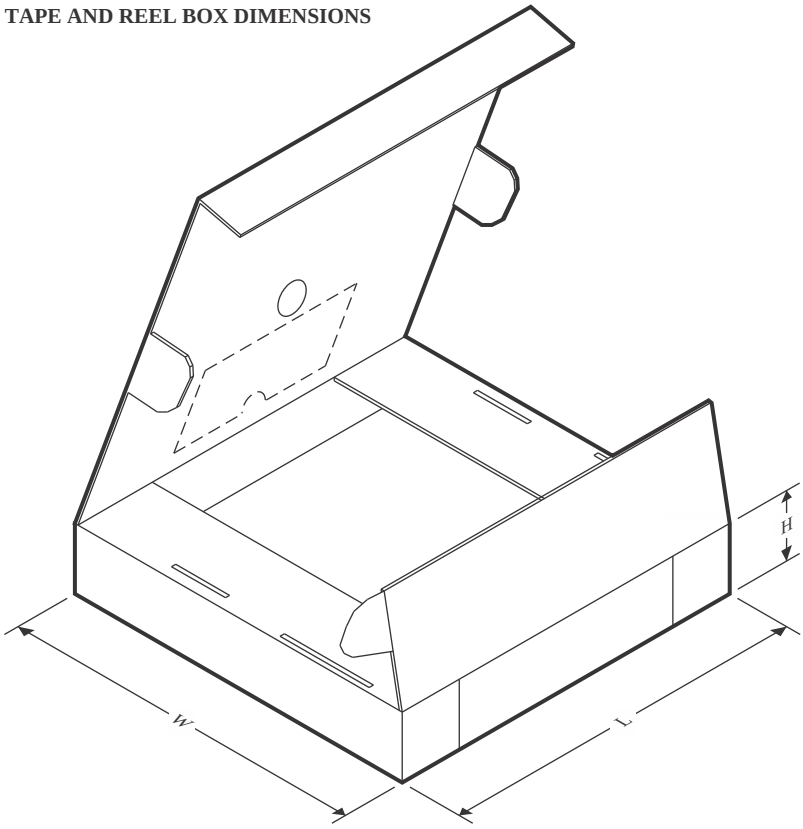
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1285IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
ADS1285IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1285IRHBR	VQFN	RHB	32	3000	360.0	360.0	36.0
ADS1285IRHBT	VQFN	RHB	32	250	210.0	185.0	35.0

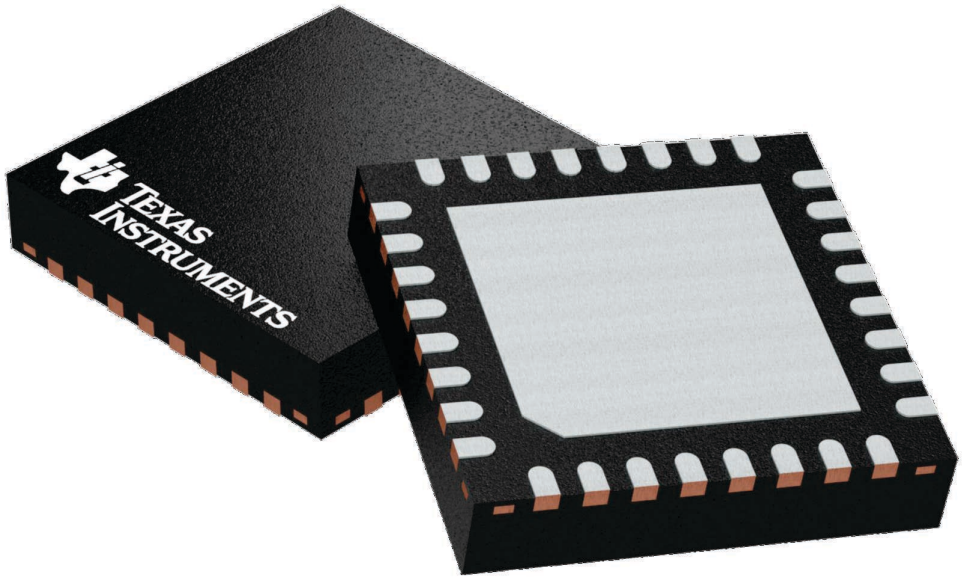
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

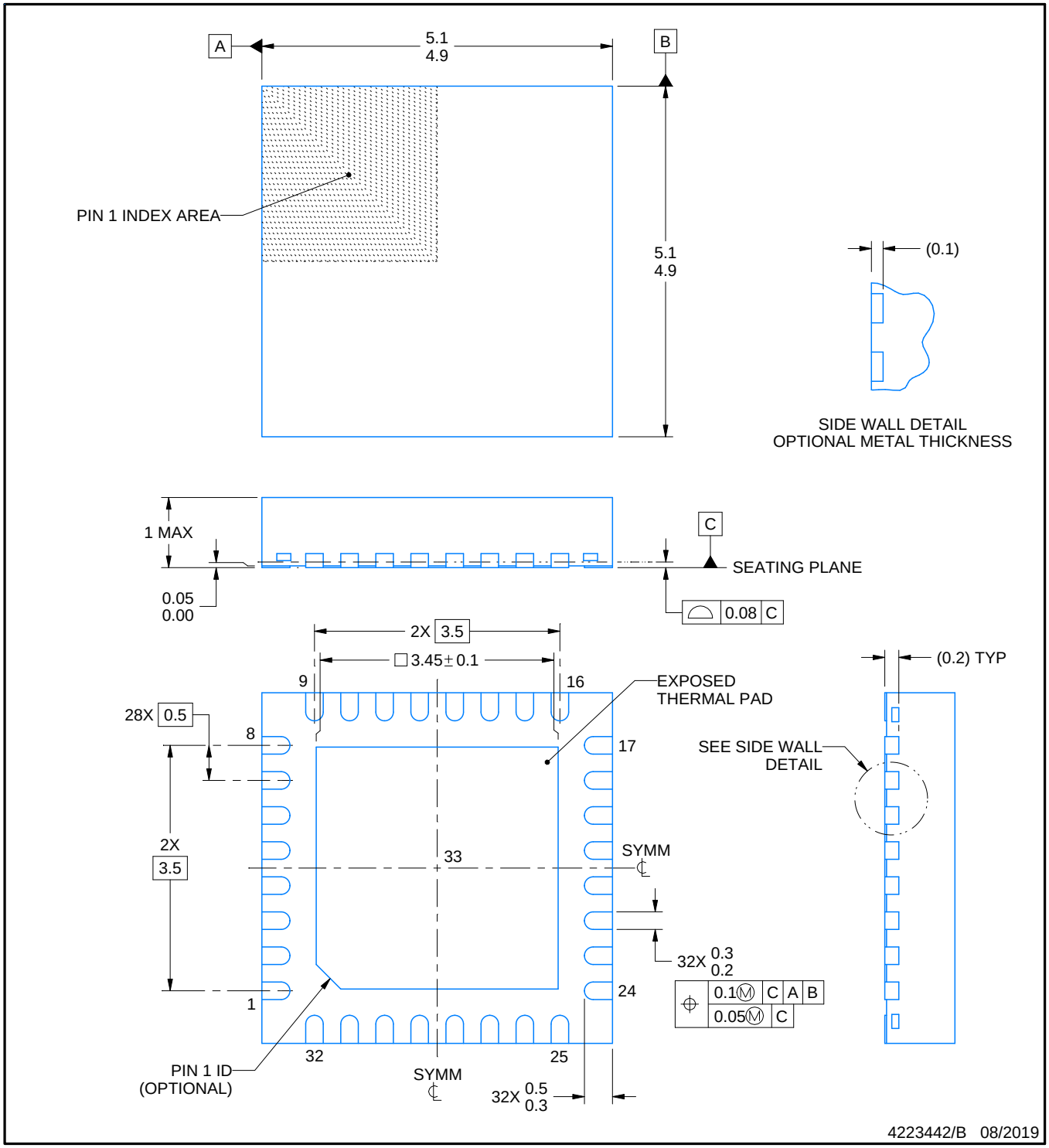
4224745/A

RHB0032E

PACKAGE OUTLINE

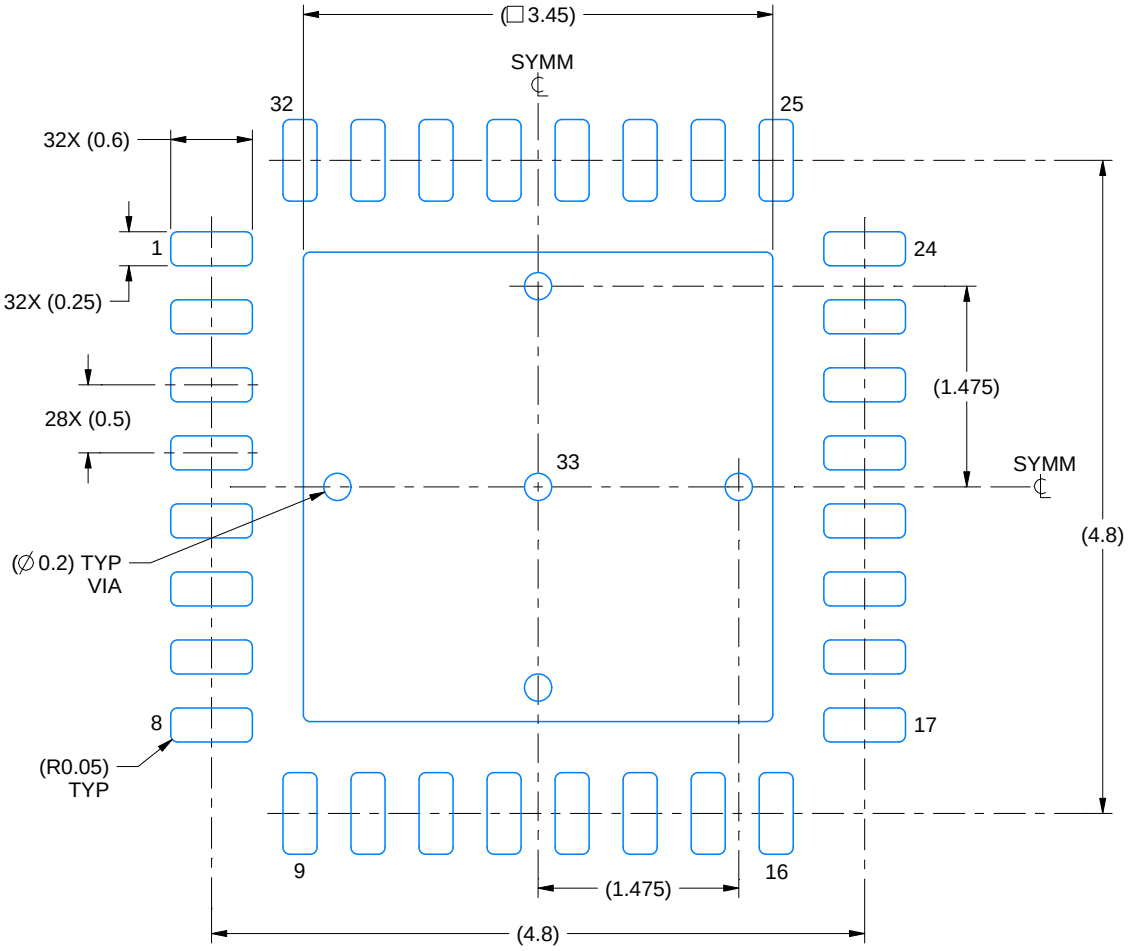
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

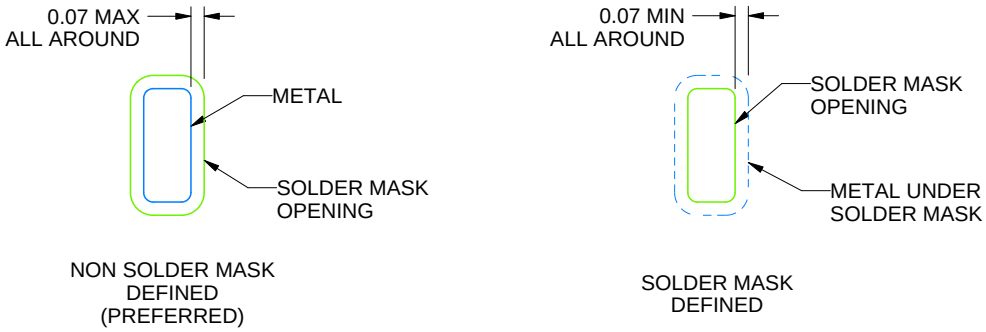


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

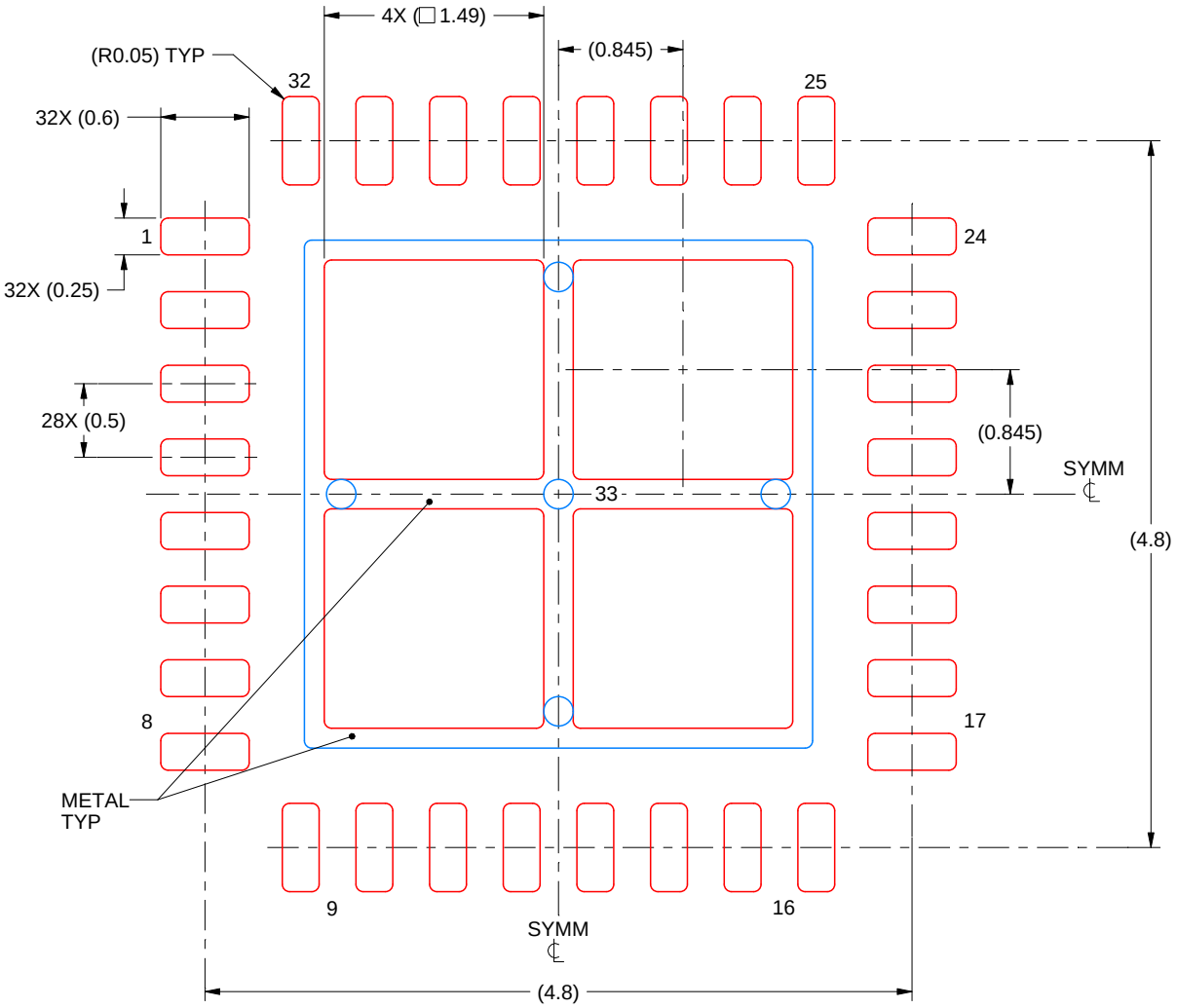


SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月