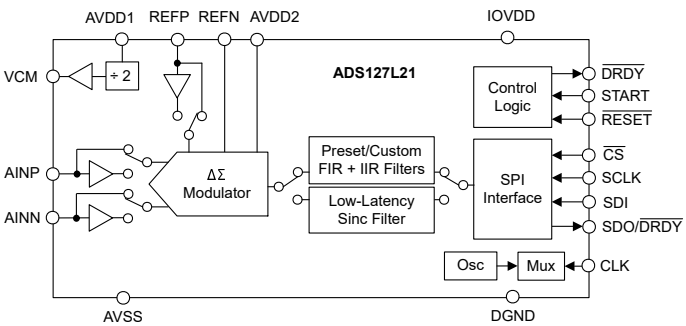
ADS127L21 具有可编程滤波器的 512kSPS、24 位宽带 Δ-Σ ADC

1 特性

- 可编程 FIR 滤波器
- 可编程 IIR 滤波器
- 宽带或低延迟滤波器模式
- 可编程数据速率：
  - 宽带滤波器：512kSPS
  - 低延时滤波器：1.365MSPS
- 转换延时（低延时滤波器）：3µs
- 直流精度为以下值的交流精度：
  - 动态范围 (200kSPS)：111.5dB（典型值）
  - THD：-125dB（典型值）
  - INL：FSR 为 0.4ppm（典型值）
  - 温漂：50nV/°C（典型值）
  - 增益漂移：0.5ppm/°C（典型值）
- 功率可扩展速度范围：
  - 最大速度：512kSPS，33mW（典型值）
  - 高速：400kSPS，26mW（典型值）
  - 中速：200kSPS，14mW（典型值）
  - 低速：50kSPS，4.3mW（典型值）
- 输入范围：$\pm V_{REF}$ 或 $\pm 2V_{REF}$
- 缓冲输入
- 内部或外部时钟运行
- 功能安全型
  - 可提供用于功能安全系统设计的文档

2 应用

- 测试和测量：
  - 数据采集 (DAQ)
  - 声音和动态应变计
- 工厂自动化和控制：
  - 振动、状态监控
- 医疗：
  - 多普勒超声波
- 电网基础设施：
  - 电能质量分析仪



简化版方框图

3 说明

ADS127L21 是一款具有可编程数字滤波器的 24 位 Δ-Σ 模数转换器 (ADC)。使用宽带滤波器时，此数字滤波器具有高达 512kSPS 的数据速率，使用低延时滤波器时具有高达 1365kSPS 的数据速率。该器件具有出色的交流性能、直流精度和低功耗。

可编程无限和有限脉冲响应（IIR 和 FIR）数字滤波器支持自定义滤波器配置文件，例如 A 加权补偿和频率陷波滤波器。宽带或低延时滤波器选项可在一个器件中优化交流信号性能或直流信号的数据吞吐量。

低漂移调制器可实现出色的直流精度和低宽带噪声，从而提供出色的交流性能。电源可扩展架构提供四个速度模式来优化数据速率、分辨率和功耗。信号和基准输入缓冲器可降低驱动器负载，实现更高的精度。

串行接口支持菊花链配置，可通过隔离栅减少信号线的数量。SPI 输入数据和寄存器存储器内容通过循环冗余校验 (CRC) 进行验证，以增强运行可靠性。

小型的 3mm × 3mm WQFN 封装专为空间有限的应用而设计。该器件的额定工作温度范围为 –40°C 至 +125°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADS127L21	RUK（WQFN，20）	3mm × 3mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 时序要求 (1.65V ≤ IOVDD ≤ 2V).....16
5.7 开关特性 (1.65V ≤ IOVDD ≤ 2V).....17
5.8 时序要求 (2V ≤ IOVDD ≤ 5.5V).....18
5.9 开关特性 (2V < IOVDD ≤ 5.5V).....19
5.10 时序图.....19
5.11 典型特性.....21
6 参数测量信息.....35
6.1 偏移误差测量.....35
6.2 温漂测量.....35
6.3 增益误差测量.....35
6.4 增益漂移测量.....35
6.5 NMRR 测量.....35
6.6 CMRR 测量.....35
6.7 PSRR 测量.....36
6.8 SNR 测量.....37
6.9 INL 误差测量.....37
6.10 THD 测量.....37
6.11 IMD 测量.....38
6.12 SFDR 测量.....38
6.13 噪声性能.....39
7 详细说明.....45
7.1 概述.....45
7.2 功能方框图.....45
7.3 特性说明.....45
7.4 器件功能模式.....67
7.5 编程.....72
8 寄存器映射.....83
9 应用和实施.....99
9.1 应用信息.....99
9.2 典型应用.....100
9.3 电源相关建议.....109
9.4 布局.....110
10 器件和文档支持.....112
10.1 文档支持.....112
10.2 接收文档更新通知.....112
10.3 支持资源.....112
10.4 商标.....112
10.5 静电放电警告.....112
10.6 术语表.....112
11 修订历史记录.....112
12 机械、封装和可订购信息.....113

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

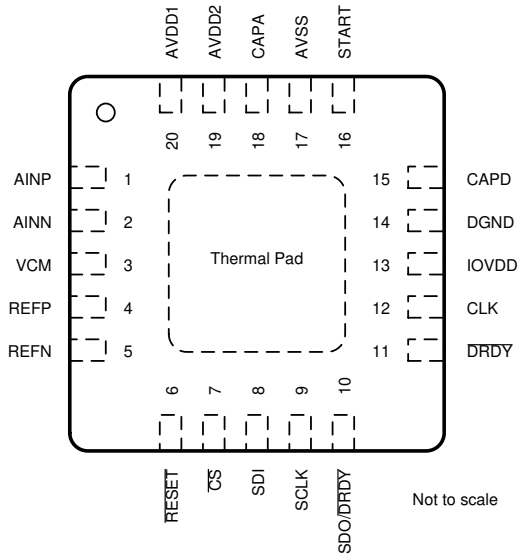


图 4-1. RUK 封装， 20 引脚 WQFN （顶视图）

表 4-1. 引脚功能

名称	引脚编号	类型	说明
AINN	2	模拟输入	负模拟输入；有关详细信息，请参阅*模拟输入*部分。
AINP	1	模拟输入	正模拟输入；有关详细信息，请参阅*模拟输入*部分。
AVDD1	20	模拟电源	正模拟电源 1；有关详细信息，请参阅*电源*部分。
AVDD2	19	模拟电源	正模拟电源 2；有关详细信息，请参阅*电源*部分。
AVSS	17	模拟电源	负模拟电源；有关详细信息，请参阅*电源*部分。
CAPA	18	模拟输出	模拟稳压器输出电容器旁路。
CAPD	15	模拟输出	数字稳压器输出电容器旁路。
CLK	12	数字输入	时钟输入；有关详细信息，请参阅*时钟运行*部分。
$\overline{CS}$	7	数字输入	芯片选择，低电平有效；有关详细信息，请参阅*芯片选择*部分。
DGND	14	地	数字地。
$\overline{DRDY}$	11	数字输出	数据就绪，低电平有效；有关详细信息，请参阅*数据就绪*部分。
IOVDD	13	数字电源	I/O 电源电压；有关详细信息，请参阅*电源*部分。
REFN	5	模拟输入	负基准输入；有关详细信息，请参阅*基准电压*部分。
REFP	4	模拟输入	正基准输入；有关详细信息，请参阅*基准电压*部分。
$\overline{RESET}$	6	数字输入	复位，低电平有效；有关详细信息，请参阅*复位*部分。
SCLK	9	数字输入	串行数据时钟；有关详细信息，请参阅*串行时钟*部分。
SDI	8	数字输入	串行数据输入；有关详细信息，请参阅*串行数据输入*部分。
SDO/$\overline{DRDY}$	10	数字输出	串行数据输出和数据就绪（可选）；有关详细信息，请参阅 *SDO/$\overline{DRDY}$* 部分。
启动	16	数字输入	转换开始；有关详细信息，请参阅*同步*部分。
VCM	3	模拟输出	共模电压输出；有关详细信息，请参阅 *VCM 输出电压*部分。
散热焊盘	Pad	—	散热电源板；连接到 AVSS。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压	AVDD1 至 AVSS	-0.3	6.5	V
	AVDD2 至 AVSS	-0.3	6.5	
	AVSS 至 DGND	-3	0.3	
	IOVDD 至 DGND	-0.3	6.5	
	IOVDD 至 AVSS		8.5	
LDO 输出引脚	CAPD、CAPA	DGND – 0.3	1.65	V
数字输入/输出电压	SDO/$\overline{\text{DRDY}}$、$\overline{\text{DRDY}}$、START	DGND – 0.3	IOVDD + 0.3	V
	$\overline{\text{CS}}$、SCLK、SDI、$\overline{\text{RESET}}$、CLK	DGND – 0.3	6.5	
输入电流	连续，除电源引脚外的任何引脚(2)	-10	10	mA
温度	结温，T_J		150	°C
	贮存温度，T_{stg}	-65	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在“建议运行条件”之外但在“绝对最大额定值”范围内短暂运行，器件可能不会受到损坏，但可能不会完全正常运行。这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 模拟输入引脚 AINP、AINN、REFP 和 REFN 被二极管钳制至 AVDD1 和 AVSS。如果模拟输入电压超过 AVDD1 + 0.3V 或 AVSS – 0.3V，则将输入电流限制为 10mA。数字输入引脚 START 和数字输出引脚 SDO/$\overline{\text{DRDY}}$ 和 $\overline{\text{DRDY}}$ 被二极管钳位至 IOVDD 和 DGND。数字输入引脚 $\overline{\text{CS}}$、SCLK、SDI、$\overline{\text{RESET}}$ 和 CLK 被二极管钳制至 DGND。如果数字输入电压超过 IOVDD + 0.3V（对于受影响的引脚）或超过 DGND – 0.3V，则将输入电流限制为 10mA。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	1500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

				最小值	标称值	最大值	单位
电源							
	模拟电源	AVDD1 至 AVSS	最大速度模式	4.5		5.5	V
			高速模式	4.5		5.5	
			中速模式	3		5.5	
			低速模式	2.85		5.5	
		AVDD1 至 DGND		1.65			V
		AVSS/AVDD1 与 DGND 的绝对比值				1.2	V/V
		AVDD2 至 AVSS		1.74		5.5	V
		AVSS 至 DGND		-2.75		0	
	数字电源	IOVDD 至 DGND		1.65		5.5	V
模拟输入							
V_{AINP}、V_{AINN}	绝对输入电压	预充电缓冲器关闭		AVSS – 0.05		AVDD1 + 0.05	V
		预充电缓冲器打开		AVSS + 0.1		AVDD1 – 0.1	
V_{IN}	差分输入电压 $V_{IN} = V_{AINP} – V_{AINN}$	1 倍输入范围		$-V_{REF}$		V_{REF}	V
		2 倍输入范围		$-2•V_{REF}$		$2•V_{REF}$	
电压基准输入							
V_{REF}	差分基准电压 $V_{REF} = V_{REFP} – V_{REFN}$	低基准范围		0.5	2.5	2.75	V
		高基准范围		1	4.096	AVDD1 – AVSS	
V_{REFN}	负基准电压			AVSS – 0.05			V
V_{REFP}	正向基准电压	预充电缓冲器关闭				AVDD1 + 0.05	V
		预充电缓冲器打开				AVDD1 – 0.7	
时钟信号							
f_{CLK}	频率	最大速度模式		0.5	32.768	33.66	MHz
		高速模式		0.5	25.6	26.3	
		中速模式		0.5	12.8	13.15	
		低速模式		0.5	3.2	3.29	
数字输入							
	输入电压			DGND		IOVDD	V
温度范围							
T_A	环境温度	工作中		-45		125	°C
		规格		-40		125	

5.4 热性能信息

热指标 (1)		ADS127L21 WQFN (RUK) 20 引脚	单位
$R_{\theta JA}$	结至环境热阻	58.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	39.9	°C/W
$R_{\theta JB}$	结至电路板热阻	29.2	°C/W
ψ_{JT}	结至顶部特征参数	0.8	°C/W
ψ_{JB}	结至电路板特征参数	29.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	25.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模拟输入，最大速度模式						
	输入电流，差分输入电压	预充电缓冲器关闭		125		μA/V
		预充电缓冲器关闭，2 倍输入范围		60		
		预充电缓冲器开启		±4		μA
	输入电流漂移，差分输入电压	预充电缓冲器关闭		5		nA/V/°C
		预充电缓冲器关闭，2 倍输入范围		2		
		预充电缓冲器开启		5		nA/°C
	输入电流，共模输入电压	预充电缓冲器关闭		6.5		μA/V
		预充电缓冲器关闭，2 倍输入范围		3		
		预充电缓冲器开启		±4		μA
模拟输入，高速模式						
	输入电流，差分输入电压	预充电缓冲器关闭		95		μA/V
		预充电缓冲器关闭，2 倍输入范围		47		
		预充电缓冲器开启		±3		μA
	输入电流漂移，差分输入电压	预充电缓冲器关闭		3		nA/V/°C
		预充电缓冲器关闭，2 倍输入范围		1.5		
		预充电缓冲器开启		5		nA/°C
	输入电流，共模输入电压	预充电缓冲器关闭		5		μA/V
		预充电缓冲器关闭，2 倍输入范围		2.5		
		预充电缓冲器开启		±3		μA
模拟输入，中速模式						
	输入电流，差分输入电压	预充电缓冲器关闭		47		μA/V
		预充电缓冲器关闭，2 倍输入范围		25		
		预充电缓冲器开启		±1.5		μA
	输入电流漂移，差分输入电压	预充电缓冲器关闭		2		nA/V/°C
		预充电缓冲器关闭，2 倍输入范围		1		
		预充电缓冲器开启		5		nA/°C
	输入电流，共模输入电压	预充电缓冲器关闭		2.5		μA/V
		预充电缓冲器关闭，2 倍输入范围		1.3		
		预充电缓冲器开启		±1.5		μA
模拟输入，低速模式						
	输入电流，差分输入电压	预充电缓冲器关闭		12		μA/V
		预充电缓冲器关闭，2 倍输入范围		6		
		预充电缓冲器开启		±0.4		μA
	输入电流漂移，差分输入电压	预充电缓冲器关闭		1		nA/V/°C
		预充电缓冲器关闭，2 倍输入范围		0.5		
		预充电缓冲器开启		0.2		nA/°C
	输入电流，共模输入电压	预充电缓冲器关闭		0.6		μA/V
		预充电缓冲器关闭，2 倍输入范围		0.3		
		预充电缓冲器开启		±0.4		μA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
直流性能							
	分辨率	OSR ≥ 32			24		位
	噪声				有关详细信息，请参阅*噪声性能*部分		
INL	积分非线性 (1)	T_A = 25°C ± 5°C			0.4	1.4	FSR 的 ppm 值
		T_A = 0°C 至 70°C			0.4	1.8	
		T_A = -40°C 至 125°C			0.4	2.2	
		最大速度模式			1.5	5	
	偏移误差	T_A = 25°C		-250	±30	250	µV
	偏移漂移				50	200	nV/°C
	偏移长期漂移	1000hr			0.5		µV
	增益误差	T_A = 25°C		-2500	±200	2500	FSR 的 ppm 值
	增益漂移				0.5	1	FSR/°C 的 ppm 值
	增益长期漂移	1000hr			10		ppm
NMRR	常模抑制比	f_{IN} = 50Hz (±1Hz)，f_{DATA} = 50SPS，sinc4 滤波器		100			dB
		f_{IN} = 60Hz (±1Hz)，f_{DATA} = 60SPS，sinc4 滤波器		100			
CMRR	共模抑制比	在直流		110	130		dB
		高达 10kHz			115		
		直流时，2 倍输入范围			95		
PSRR	电源抑制比	AVDD1，直流		100	120		dB
		AVDD2，直流		115	130		
		IOVDD，直流		115	130		
交流性能，最大速度模式 (f_{CLK} = 32.768MHz)							
f_{DATA}	数据速率	全宽带滤波器		4		512	kSPS
		FIR2 宽带滤波器		8		1024	
		FIR1 宽带滤波器		16		2048	
		低延迟滤波器		0.1024		1365.3	
DR	动态范围	输入短接，OSR = 64，f_{DATA} = 256kSPS	宽带滤波器	109	111.5		dB
			宽带滤波器，V_{REF} = 2.5V		107.5		
			宽带滤波器，V_{REF} = 2.5V，2 倍输入范围		108.5		
			Sinc4 滤波器	112	114		
			Sinc4 滤波器，V_{REF} = 2.5V		110.5		
			Sinc4 滤波器，V_{REF} = 2.5V，2 倍输入范围		111		

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
SNR	信噪比	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64，f_{DATA} = 256kSPS	宽带滤波器		110		dB
			宽带滤波器，V_{REF} = 2.5V		106		
			宽带滤波器，V_{REF} = 2.5V，2 倍输入范围		107		
			Sinc4 滤波器		112		
			Sinc4 滤波器，V_{REF} = 2.5V		108.5		
			Sinc4 滤波器 V_{REF} = 2.5V，2 倍输入范围		110		
THD	总谐波失真	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64，f_{DATA} = 256kSPS	V_{REF} = 2.5V		-119	-108	dB
			V_{REF} = 4.096V		-110	-103	
IMD	互调失真	f_{IN} = 9.7kHz 和 10.3kHz，V_{IN} = –6.5dBFS	二阶项		-125		dB
			三阶项		-120		
SFDR	无杂散动态范围	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64			110		dB
交流性能，高速模式 (f_{CLK} = 25.6MHz)							
f_{DATA}	数据速率	全宽带滤波器		3.125		400	kSPS
		FIR2 宽带滤波器		6.25		800	
		FIR1 宽带滤波器		12.5		1600	
		低延迟滤波器		0.08		1067	
DR	动态范围	输入短接，OSR = 64，f_{DATA} = 200kSPS	宽带滤波器	109	111.5		dB
			宽带滤波器，V_{REF} = 2.5V		107.5		
			宽带滤波器，V_{REF} = 2.5V，2 倍输入范围		108.5		
			Sinc4 滤波器	112	114.5		
			Sinc4 滤波器，V_{REF} = 2.5V		110.5		
			Sinc4 滤波器，V_{REF} = 2.5V，2 倍输入范围		111		
SNR	信噪比	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64，f_{DATA} = 200kSPS	宽带滤波器		110		dB
			宽带滤波器，V_{REF} = 2.5V		106		
			宽带滤波器，V_{REF} = 2.5V，2 倍输入范围		107		
			Sinc4 滤波器		112		
			Sinc4 滤波器，V_{REF} = 2.5V		108.5		
			Sinc4 滤波器，V_{REF} = 2.5V，2 倍输入范围		110		
THD	总谐波失真	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64，f_{DATA} = 200kSPS	V_{REF} = 2.5V		-125	-113	dB
			V_{REF} = 4.096V		-125	-106	
IMD	互调失真	f_{IN} = 9.7kHz 和 10.3kHz，V_{IN} = –6.5dBFS	二阶项		-125		dB
			三阶项		-125		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SFDR	无杂散动态范围	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64		125		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能，最大速度模式 (f_{CLK} = 12.8MHz)							
f_{DATA}	数据速率	全宽带滤波器		1.5625		200	kSPS
		FIR2 宽带滤波器		3.125		400	
		FIR1 宽带滤波器		6.25		800	
		低延迟滤波器		0.08		533.3	
DR	动态范围	输入短接， OSR = 64，f_{DATA} = 100kSPS	宽带滤波器	109	112		dB
			宽带滤波器， V_{REF} = 2.5V		107.5		
			宽带滤波器， V_{REF} = 2.5V 2 倍输入范围		108.5		
			Sinc4 滤波器	112	114.5		
			Sinc4 滤波器， V_{REF} = 2.5V		110.5		
			Sinc4 滤波器， V_{REF} = 2.5V， 2 倍输入范围		111		
SNR	信噪比	f_{IN} = 1kHz，V_{IN} = –0.2dBFS， OSR = 64，f_{DATA} = 100kSPS	宽带滤波器		110		dB
			宽带滤波器， V_{REF} = 2.5V		106		
			宽带滤波器， V_{REF} = 2.5V， 2 倍输入范围		107		
			Sinc4 滤波器		112		
			Sinc4 滤波器， V_{REF} = 2.5V		108.5		
			Sinc4 滤波器， V_{REF} = 2.5V， 2 倍输入范围		110		
THD	总谐波失真	f_{IN} = 1kHz，V_{IN} = –0.2dBFS， OSR = 64，f_{DATA} = 100kSPS	V_{REF} = 2.5V		-125	-117	dB
			V_{REF} = 4.096V		-125	-115	
IMD	互调失真	f_{IN} = 9.7kHz 和 10.3kHz， V_{IN} = –6.5dBFS	二阶项		-125		dB
			三阶项		-125		
SFDR	无杂散动态范围	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64			125		dB
交流性能，最大速度模式 (f_{CLK} = 3.2MHz)							
f_{DATA}	数据速率	全宽带滤波器		0.390625		50	kSPS
		FIR2 宽带滤波器		0.78125		100	
		FIR1 宽带滤波器		1.5625		200	
		低延迟滤波器		0.01		133.3	

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
DR	动态范围	输入短接，OSR = 64，f_{DATA} = 25kSPS	宽带滤波器	109	112		dB
			宽带滤波器，V_{REF} = 2.5V		107.5		
			宽带滤波器，V_{REF} = 2.5V，2 倍输入范围		108.5		
			Sinc4 滤波器	112	114.5		
			Sinc4 滤波器，V_{REF} = 2.5V		110.5		
			Sinc4 滤波器，V_{REF} = 2.5V，2 倍输入范围		111.5		
SNR	信噪比	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64，f_{DATA} = 25kSPS	宽带滤波器		110		dB
			宽带滤波器，V_{REF} = 2.5V		106		
			宽带滤波器，V_{REF} = 2.5V，2 倍输入范围		108		
			Sinc4 滤波器		112		
			Sinc4 滤波器，V_{REF} = 2.5V		108		
			Sinc4 滤波器，V_{REF} = 2.5V，2 倍输入范围		110		
THD	总谐波失真	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64，f_{DATA} = 25kSPS	V_{REF} = 2.5V		-125	-114	dB
			V_{REF} = 4.096V		-125	-113	
IMD	互调失真	f_{IN} = 9.7kHz 和 10.3kHz，V_{IN} = –6.5dBFS	二阶项		-125		dB
			三阶项		-125		dB
SFDR	无杂散动态范围	f_{IN} = 1kHz，V_{IN} = –0.2dBFS，OSR = 64			125		dB
默认 FIR 滤波器							
	通带频率	在通带纹波的包络内			0.4 • f_{DATA}		Hz
		–0.1dB 频率			0.4125 • f_{DATA}		
		–3dB 频率			0.4374 • f_{DATA}		
	通带纹波			-0.0004		0.0004	dB
	阻带频率	阻带衰减			0.5 · f_{DATA}		Hz
	阻带衰减(2)				106		dB
	组延迟				34 / f_{DATA}		s
	稳定时间				68 / f_{DATA}		s
	总体抽取率			8		4096	
可编程 FIR3 滤波器							
	抽头数				128		
	系数分辨率				32		位
	系数格式				1.31		
	十进制范围			-1		1 – $1/2^{31}$	
	抽取率				2		
可编程 IIR 滤波器							
	实施				四个双二阶，直接形式 1		
	比例因子				5		

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	系数分辨率			32		位
	系数格式			2.30		
	十进制范围		-2		$2 - 2/2^{31}$	
	抽取率			1		

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
电压基准输入							
	REFP 和 REFN 输入电流	REFP 预充电缓冲器关闭	最大速度模式		225		μA/V
			高速模式		190		
			中速模式		130		
			低速模式		80		
	REFP 输入电流	REFP 预充电缓冲器开启			±2		μA
	REFP 和 REFN 输入电流漂移	REFP 预充电缓冲器关闭	最大速度模式		10		nA/℃
			高速模式		10		
			中速模式		10		
			低速模式		10		
	REFP 输入电流漂移	REFP 预充电缓冲器开启			10		nA/℃
内部振荡器							
	频率			25.4	25.6	25.8	MHz
VCM 输出电压							
	输出电压				(AVDD1 + AVSS) / 2		V
	精度			-1%	±0.1%	1%	
	电压噪声	1kHz 带宽			25		μV_{RMS}
	启动时间	C_L = 100nF			1		ms
	容性负载					100	nF
	阻性负载			2			kΩ
	短路电流限制				10		mA
数字输入/输出							
V_{IL}	逻辑低电平输入阈值					0.3 IOVDD	V
V_{IH}	逻辑高电平输入阈值			0.7 IOVDD			V
	输入迟滞				150		mV
	输入电流	不包括 $\overline{\text{RESET}}$ 引脚		-1		1	μA
	$\overline{\text{RESET}}$ 引脚上拉电阻				20		kΩ
V_{OL}	逻辑低电平输出电压	OUT_DRV = 0b，I_{OL} = 2mA				0.2 • IOVDD	V
		OUT_DRV = 1b，I_{OL} = 1mA				0.2 • IOVDD	
V_{OH}	逻辑高电平输出电压	OUT_DRV = 0b，I_{OH} = –2mA		0.8 • IOVDD			V
		OUT_DRV = 1b，I_{OH} = –1mA		0.8 • IOVDD			

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
模拟电源电流							
I_{AVDD1}、I_{AVSS}	AVDD1 和 AVSS 电流（缓冲器关闭）	最大速度模式			2.1	2.2	mA
		高速模式			1.7	1.8	
		中速模式			0.9	1.0	
		低速模式			0.25	0.3	
		待机模式			35		μA
		断电模式			5		
	AVDD1 和 AVSS 额外电流（每个缓冲器功能）	输入预充电缓冲器	最大速度模式		1.75	2.3	mA
			高速模式		1.35	1.9	
			中速模式		0.7	1.0	
			低速模式		0.2	0.3	
		REFP 预充电缓冲器	最大速度模式		1.8	1.95	mA
			高速模式		1.5	1.6	
			中速模式		0.9	1.0	
			低速模式		0.4	0.5	
		VCM 缓冲器			0.1		mA
I_{AVDD2}、I_{AVSS}	AVDD2 和 AVSS 电流	最大速度模式			4.5	4.9	mA
		高速模式			3.5	3.8	
		中速模式			2.2	2.5	
		低速模式			0.85	0.95	
		待机模式			60		μA
		断电模式			1		
数字电源电流							
I_{IOVDD}	IOVDD 电流	宽带滤波器，OSR = 32，IIR 滤波器关闭	最大速度模式		7.2	8.5	mA
			高速模式		5.7	6.8	
			中速模式		2.8	3.4	
			低速模式		0.75	0.9	
		低延时滤波器，OSR = 32	最大速度模式		1.1	1.3	mA
			高速模式		0.85	1.0	
			中速模式		0.45	0.55	
			低速模式		0.15	0.18	
		待机模式	外部时钟		10		μA
			内部振荡器		40		
		断电模式			10		μA
	IOVDD 额外电流	IIR 滤波器开启，OSR = 32，高速模式	FIR/IIR 序列		0.3		mA
			IIR/FIR 序列		0.6		

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

最小值和最大值规格的适用条件为：T_A = –40°C 至 +125°C；典型值规格的条件为：T_A = 25°C；所有规格的适用条件为：AVDD1 = 5V、AVDD2 = 1.8V 至 5V、AVSS = 0V、IOVDD = 1.8V、V_{IN} = 0V、V_{CM} = 2.5V、V_{REFP} = 4.096V、V_{REFN} = 0V、高基准范围、1x 输入范围、所有速度模式、输入预充电缓冲器开启、基准预充电缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
功率耗散							
P_D	功率耗散	AVDD2 = 1.8V， 预充电缓冲器关闭， IIR 和 FIR 滤波器，OSR = 32	最大速度模式		32.8		mW
			高速模式		26		
			中速模式		14		
			低速模式		4.3		
		AVDD2 = 1.8V， 预充电缓冲器关闭， 低延时滤波器，OSR = 32	最大速度模式		20.6		mW
			高速模式		16.3		
			中速模式		9.3		
			低速模式		3.1		

(1) 最佳拟合法。
(2) 由数字滤波器提供的阻带衰减。阻带内的输入频率与从 f_{MOD} / 32 开始的斩波频率的倍数进行互调，从而导致阻带衰减超过 106dB。有关详细信息，请参阅阻带衰减图。

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求 (1.65V ≤ IOVDD ≤ 2V)

在工作环境温度范围内 (除非另有说明)

		最小值	最大值	单位
CLK 引脚				
$t_{c(CLK)}$	CLK 周期，最大速度模式	29.7	2000	ns
	CLK 周期，高速模式	38	2000	
	CLK 周期，中速模式	76	2000	
	CLK 周期，低速模式	304	2000	
$t_{w(CLKL)}$	脉冲持续时间，CLK 低电平，最大速度模式	13.2		ns
	脉冲持续时间，CLK 低电平，高速模式	17		
	脉冲持续时间，CLK 低电平，中速模式	34		
	脉冲持续时间，CLK 低电平，低速模式	128		
$t_{w(CLKH)}$	脉冲持续时间，CLK 高电平，最大速度模式	13.2		ns
	脉冲持续时间，CLK 高电平，高速模式	17		
	脉冲持续时间，CLK 高电平，中速模式	34		
	脉冲持续时间，CLK 高电平，低速模式	128		
SPI 串行接口				
$t_{c(SC)}$	SCLK 周期	25	$1/(4 \cdot f_{DATA})$	ns
$t_{w(SCL)}$	脉冲持续时间，SCLK 低电平	10		ns
$t_{w(SCH)}$	脉冲持续时间，SCLK 高电平	10		ns
$t_{d(CSSC)}$	延迟时间，$\overline{CS}$ 下降沿后的第一个 SCLK 上升沿	10		ns
$t_{su(DI)}$	建立时间，SCLK 下降沿前的 SDI 有效	4		ns
$t_{h(DI)}$	保持时间，SDI 在 SCLK 下降沿后有效	6		ns
$t_{d(SCCS)}$	延迟时间，最后一个 SCLK 下降沿后的 $\overline{CS}$ 上升沿	10		ns
$t_{w(CSH)}$	脉冲持续时间，$\overline{CS}$ 为高电平	20		ns
$t_{d(FF)}$	滤波器系数读取/写入操作期间 SPI 帧之间的延迟时间	10		t_{CLK}
RESET 引脚				
$t_{w(RSL)}$	脉冲持续时间，$\overline{RESET}$ 低电平	4		t_{CLK}
$t_{d(RSSC)}$	延迟时间，在 $\overline{RESET}$ 上升沿之后或在 SPI 复位模式之后启动通信	10000		t_{CLK}
START 引脚				
$t_{w(STL)}$	脉冲持续时间，START 低电平	4		t_{CLK}
$t_{w(STH)}$	脉冲持续时间，START 高电平	4		t_{CLK}
$t_{su(STCLK)}$	建立时间，CLK 上升沿前 START 高电平(1)	9		ns
$t_{h(STCLK)}$	保持时间，CLK 上升沿之后 START 高电平(1)	9		ns
$t_{su(STDR)}$	建立时间，在 $\overline{DRDY}$ 下降沿之前的 START 下降沿或 STOP 位用于停止下一次转换 (启动/停止转换模式)	8		t_{CLK}

(1) 不要在 CLK 上升沿的建立和保持时间之间施加 START 上升沿。

Copyright © 2025 Texas Instruments Incorporated

5.7 开关特性 (1.65V ≤ IOVDD ≤ 2V)

在工作环境温度范围内，OUT_DRV = 0b，C_{LOAD} = 20pF（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SPI 串行接口						
$t_{w(DRH)}$	脉冲持续时间，$\overline{DRDY}$ 为高电平		2			t_{CLK}
$t_{p(CSDO)}$	传播延迟时间，$\overline{CS}$ 下降沿至 SDO/$\overline{DRDY}$ 驱动状态				20	ns
$t_{p(CSDOZ)}$	传播延迟时间，$\overline{CS}$ 上升沿至 SDO/$\overline{DRDY}$ 高阻抗状态				20	ns
$t_{h(SCDO)}$	保持时间，SCLK 上升沿至 SDO/$\overline{DRDY}$ 无效		3			ns
$t_{p(SCDO)}$	传播延迟时间，SCLK 上升沿至有效 SDO/$\overline{DRDY}$				23	ns
$t_{p(SCDR)}$	传播延迟时间，第 8 个 SCLK 下降沿至 $\overline{DRDY}$ 返回高电平				5	t_{CLK}
$t_{p(DODR)}$	传播延迟时间，SDO/$\overline{DRDY}$ 从 SDO 模式转换为 $\overline{DRDY}$ 模式的读取操作的最后一个 SCLK 下降沿	双功能 SDO/$\overline{DRDY}$ 模式			50	ns

Copyright © 2025 Texas Instruments Incorporated

5.8 时序要求 (2V ≤ IOVDD ≤ 5.5V)

在工作环境温度范围内 (除非另有说明)

		最小值	最大值	单位
CLK 引脚				
$t_{c(CLK)}$	CLK 周期，最大速度模式	29.7	2000	ns
	CLK 周期，高速模式	38	2000	
	CLK 周期，中速模式	76	2000	
	CLK 周期，低速模式	304	2000	
$t_{w(CLKL)}$	脉冲持续时间，CLK 低电平，最大速度模式	13.2		ns
	脉冲持续时间，CLK 低电平，高速模式	17		
	脉冲持续时间，CLK 低电平，中速模式	34		
	脉冲持续时间，CLK 低电平，低速模式	128		
$t_{w(CLKH)}$	脉冲持续时间，CLK 高电平，最大速度模式	13.2		ns
	脉冲持续时间，CLK 高电平，高速模式	17		
	脉冲持续时间，CLK 高电平，中速模式	34		
	脉冲持续时间，CLK 高电平，低速模式	128		
SPI 串行接口				
$t_{c(SC)}$	SCLK 周期	19.5	$1/(4 \cdot f_{DATA})$	ns
$t_{w(SCL)}$	脉冲持续时间，SCLK 低电平	8		ns
$t_{w(SCH)}$	脉冲持续时间，SCLK 高电平	8		ns
$t_{d(CSSC)}$	延时时间，$\overline{CS}$ 下降沿后的第一个 SCLK 上升沿	10		ns
$t_{su(DI)}$	建立时间，SCLK 下降沿前的 SDI 有效	4		ns
$t_{h(DI)}$	保持时间，SDI 在 SCLK 下降沿后有效	6		ns
$t_{d(SCCS)}$	延时时间，最后一个 SCLK 下降沿后的 $\overline{CS}$ 上升沿	10		ns
$t_{w(CSH)}$	脉冲持续时间，$\overline{CS}$ 为高电平	20		ns
$t_{d(FF)}$	滤波器系数读取/写入操作期间 SPI 帧之间的延迟时间	10		t_{CLK}
RESET 引脚				
$t_{w(RSL)}$	脉冲持续时间，$\overline{RESET}$ 低电平	4		t_{CLK}
$t_{d(RSSC)}$	延迟时间，在 $\overline{RESET}$ 上升沿之后或在 SPI 复位模式之后启动通信	10000		t_{CLK}
START 引脚				
$t_{w(STL)}$	脉冲持续时间，START 低电平	4		t_{CLK}
$t_{w(STH)}$	脉冲持续时间，START 高电平	4		t_{CLK}
$t_{su(STCLK)}$	建立时间，CLK 上升沿前 START 高电平(1)	9		ns
$t_{h(STCLK)}$	保持时间，CLK 上升沿之后 START 高电平(1)	9		ns
$t_{su(STDR)}$	建立时间，在 $\overline{DRDY}$ 下降沿之前的 START 下降沿或 STOP 位用于停止下一次转换 (启动/停止转换模式)	8		t_{CLK}

(1) 不要在 CLK 上升沿的建立和保持时间之间施加 START 上升沿。

Copyright © 2025 Texas Instruments Incorporated

5.9 开关特性 (2V < IOVDD ≤ 5.5V)

在工作环境温度范围内，OUT_DRV = 0b，C_{LOAD} = 20pF（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SPI 串行接口						
$t_{w(DRH)}$	脉冲持续时间，$\overline{DRDY}$ 为高电平		2			t_{CLK}
$t_{p(CSDO)}$	传播延迟时间，$\overline{CS}$ 下降沿至 SDO/$\overline{DRDY}$ 驱动				17	ns
$t_{p(CSDOZ)}$	传播延迟时间，$\overline{CS}$ 上升沿至 SDO/$\overline{DRDY}$ 高阻抗状态				17	ns
$t_{h(SCDO)}$	保持时间，SCLK 上升沿至 SDO/$\overline{DRDY}$ 无效		3			ns
$t_{p(SCDO)}$	传播延迟时间，SCLK 上升沿至有效 SDO/$\overline{DRDY}$				19	ns
$t_{p(SCDR)}$	传播延迟时间，第 8 个 SCLK 下降沿至 $\overline{DRDY}$ 返回高电平				5	t_{CLK}
$t_{p(DODR)}$	传播延迟时间，SDO/$\overline{DRDY}$ 从 SDO 模式转换为 $\overline{DRDY}$ 模式的读取操作的最后一个 SCLK 下降沿	双功能 SDO/$\overline{DRDY}$ 模式			50	ns

5.10 时序图

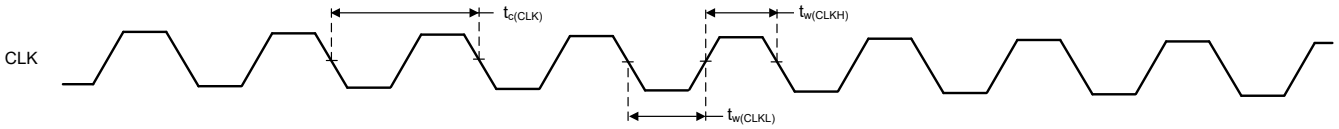


图 5-1. 时钟时序要求

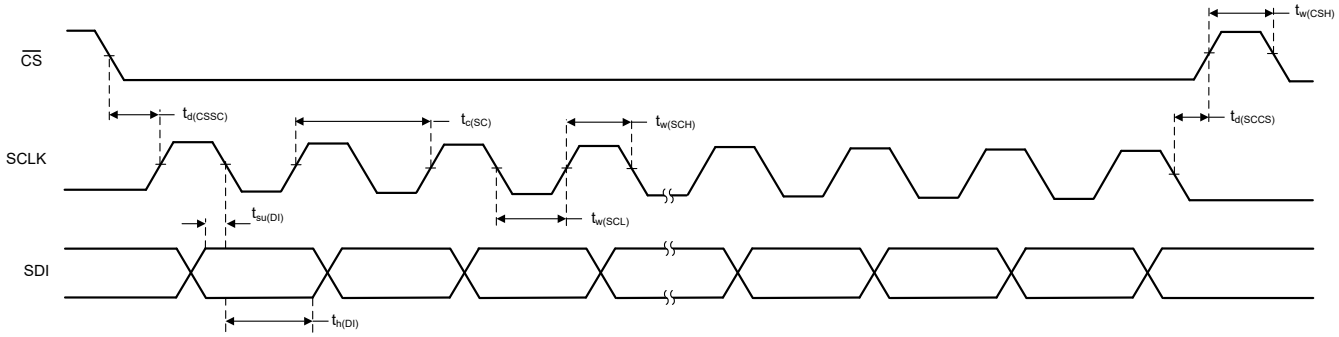


图 5-2. 串行接口时序要求

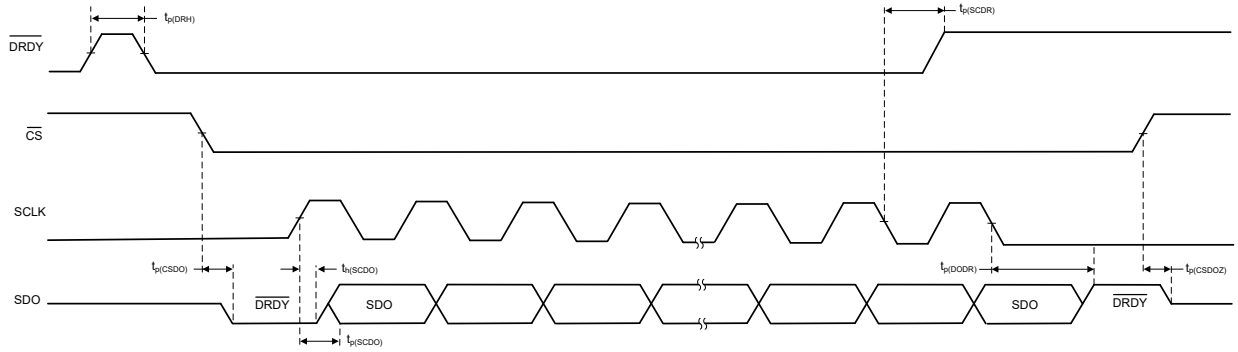


图 5-3. 串行接口开关特性

Copyright © 2025 Texas Instruments Incorporated

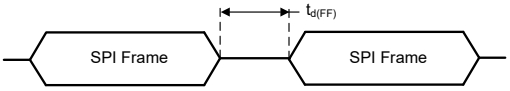


图 5-4. SPI 帧时序要求

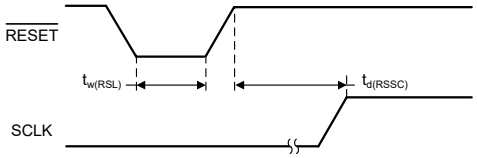


图 5-5. $\overline{\text{RESET}}$ 引脚时序

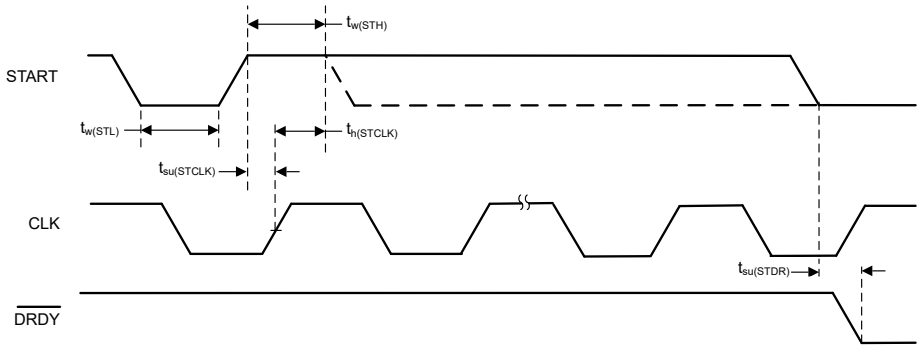
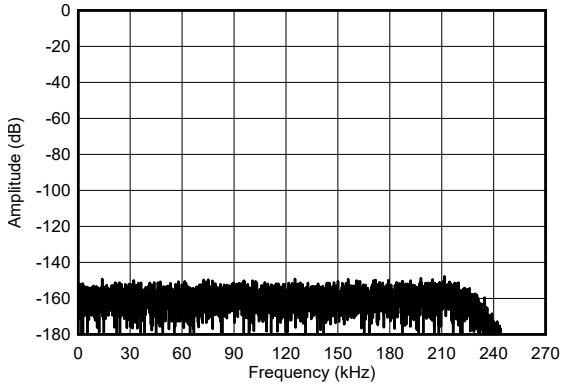


图 5-6. START 引脚时序

Copyright © 2025 Texas Instruments Incorporated

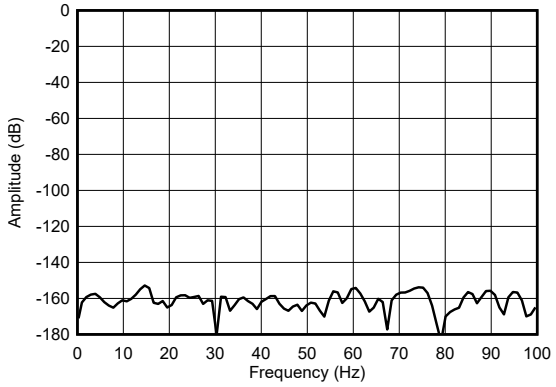
5.11 典型特性

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



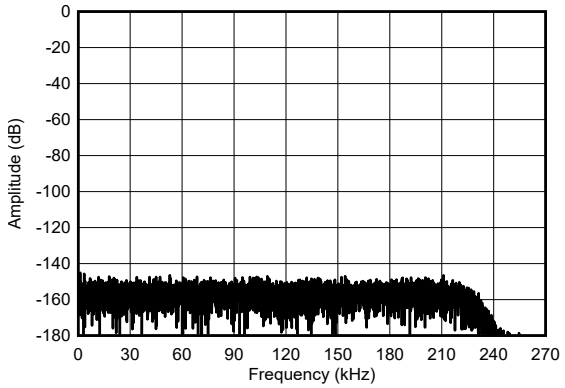
宽带滤波器

图 5-7. 最大速度模式，短接输入 FFT



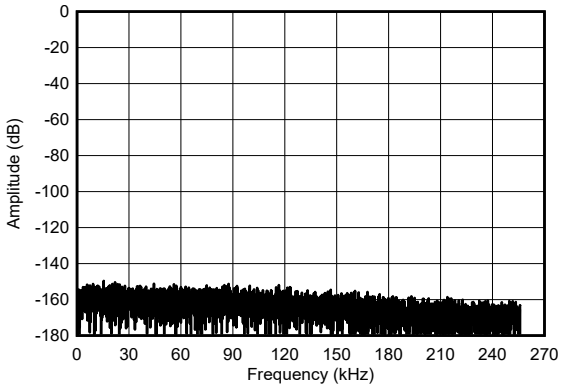
0Hz 至 100Hz

图 5-8. 最大速度模式，短接输入 FFT



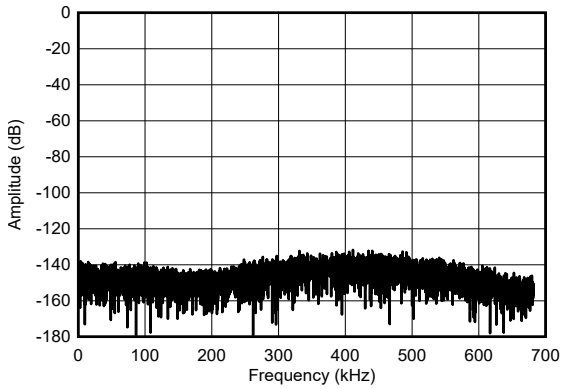
V_{REF} = 2.5V，宽带滤波器，2 倍范围

图 5-9. 最大速度模式，短接输入 FFT



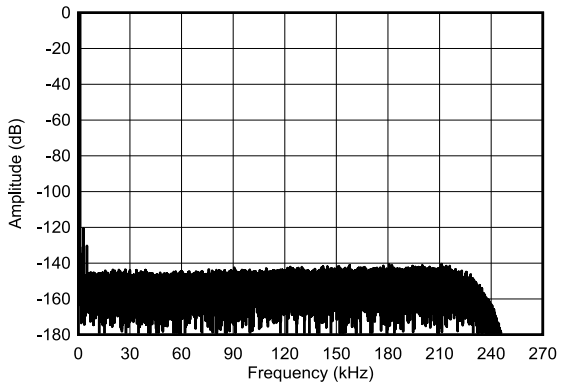
Sinc4 滤波器

图 5-10. 最大速度模式，短接输入 FFT



Sinc4 滤波器，OSR = 12

图 5-11. 最大速度模式，短接输入 FFT



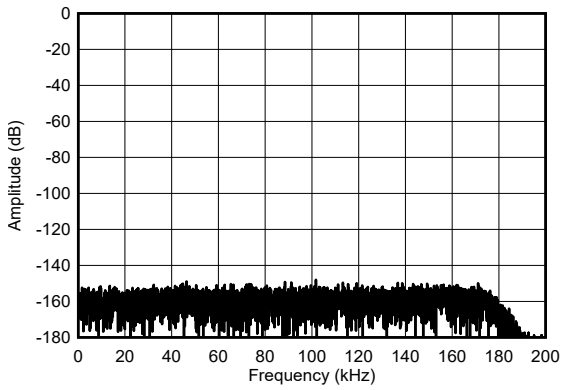
V_{IN} = –0.2dBFS，1kHz，宽带滤波器

图 5-12. 最大速度模式，满量程 FFT

Copyright © 2025 Texas Instruments Incorporated

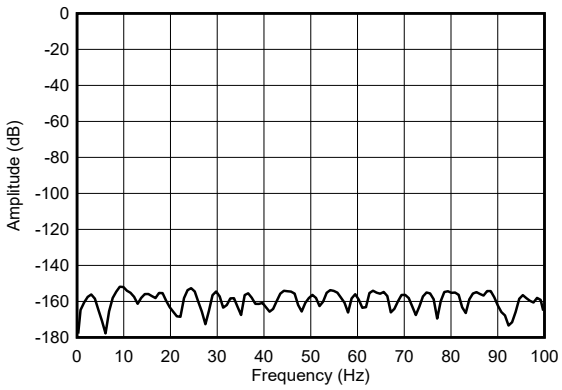
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



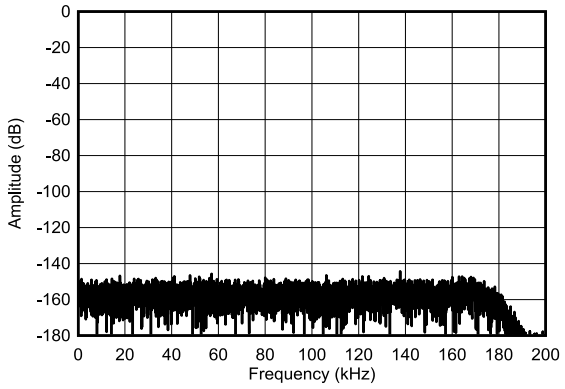
宽带滤波器

图 5-13. 高速模式，短接输入 FFT



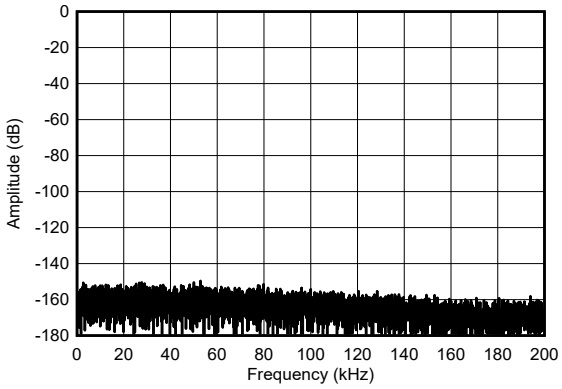
0Hz 至 100Hz

图 5-14. 高速模式，短接输入 FFT



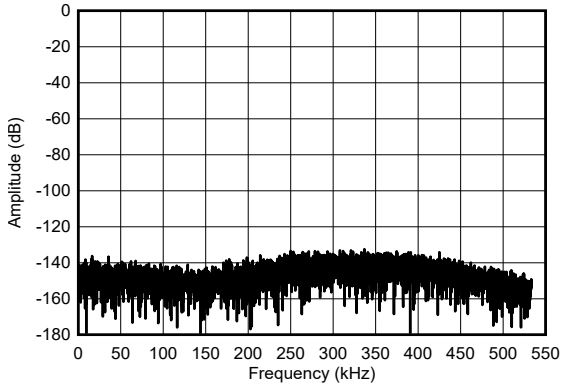
V_{REF} = 2.5V，宽带滤波器，2 倍范围

图 5-15. 高速模式，短接输入 FFT



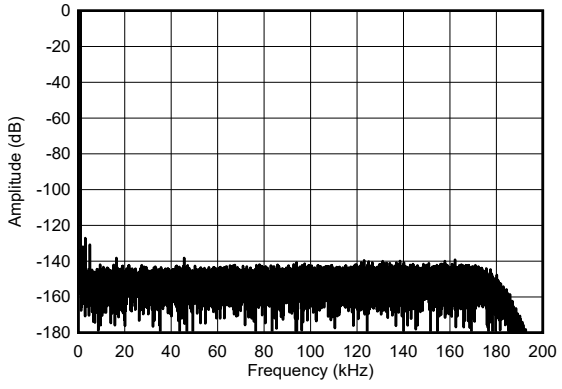
Sinc4 滤波器

图 5-16. 高速模式，短接输入 FFT



Sinc4 滤波器，OSR = 12

图 5-17. 高速模式，短接输入 FFT



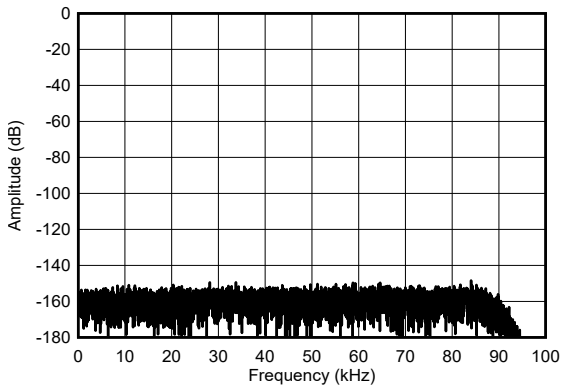
V_{IN} = –0.2dBFS，1kHz，宽带滤波器

图 5-18. 高速模式，满量程 FFT

Copyright © 2025 Texas Instruments Incorporated

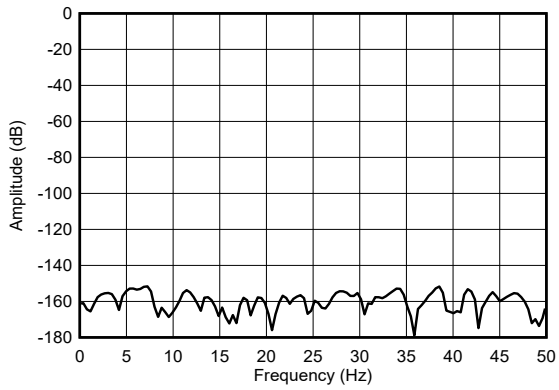
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



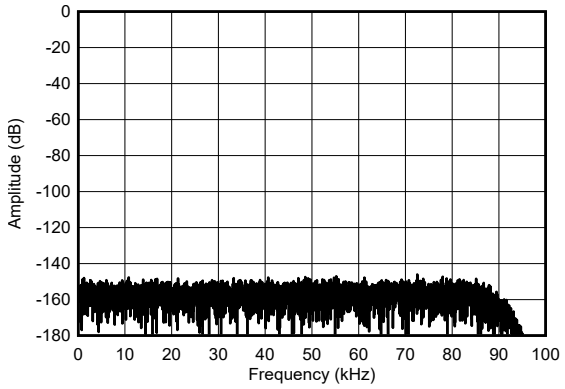
宽带滤波器

图 5-19. 中速模式，短接输入 FFT



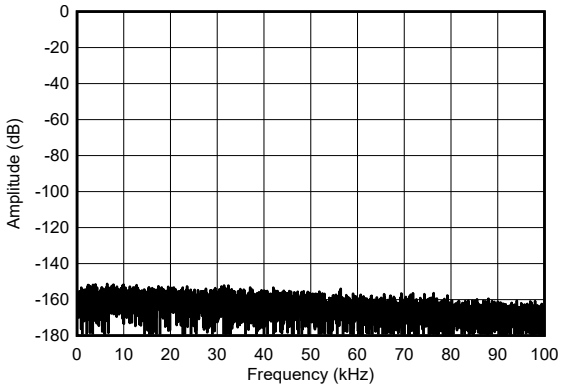
0Hz 至 50Hz

图 5-20. 中速模式，短接输入 FFT



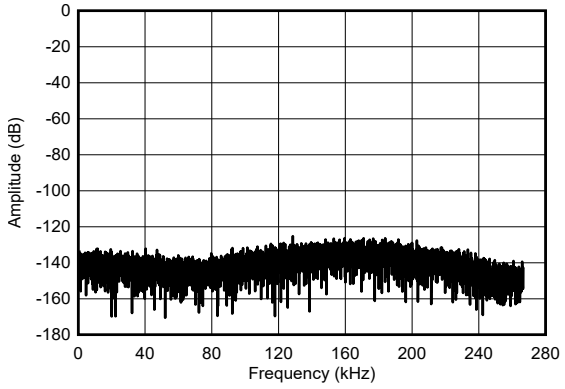
V_{REF} = 2.5V，宽带滤波器，2 倍范围

图 5-21. 中速模式，短接输入 FFT



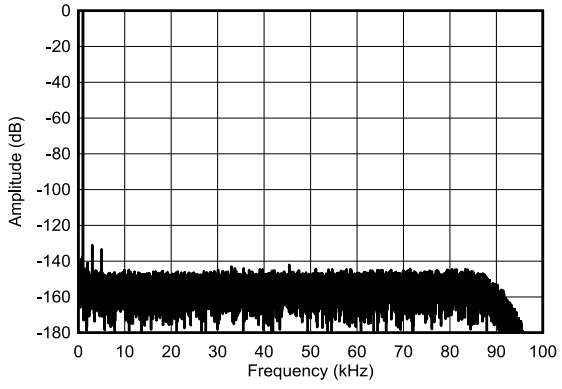
Sinc4 滤波器

图 5-22. 中速模式，短接输入 FFT



Sinc4 滤波器，OSR = 12

图 5-23. 中速模式，短接输入 FFT



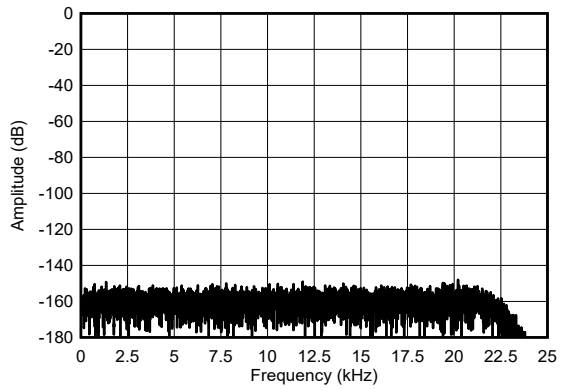
V_{IN} = –0.2dBFS，1kHz，宽带滤波器

图 5-24. 中速模式，满量程 FFT

Copyright © 2025 Texas Instruments Incorporated

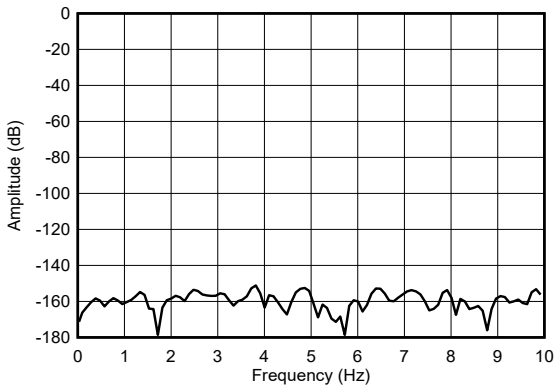
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



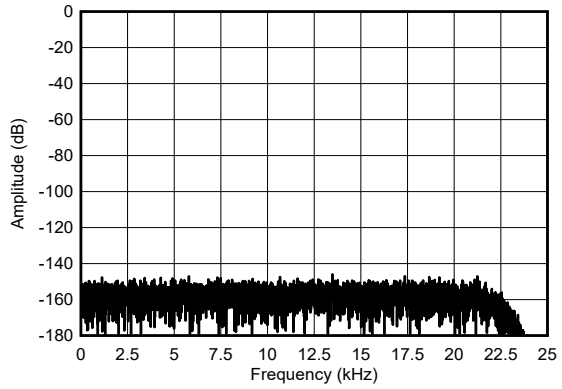
宽带滤波器

图 5-25. 低速模式，短接输入 FFT



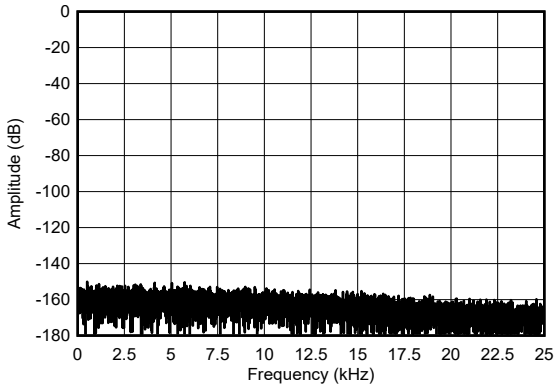
0Hz 至 10Hz

图 5-26. 低速模式，短接输入 FFT



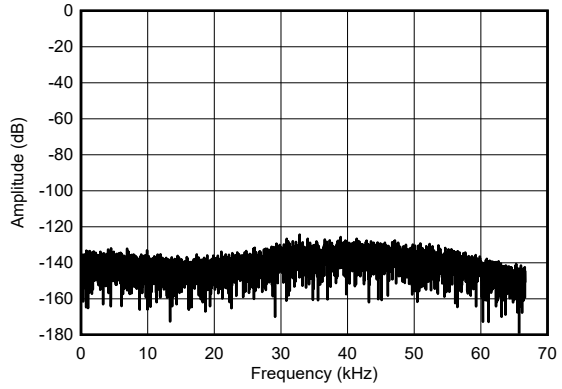
V_{REF} = 2.5V，宽带滤波器，2 倍范围

图 5-27. 低速模式，短接输入 FFT



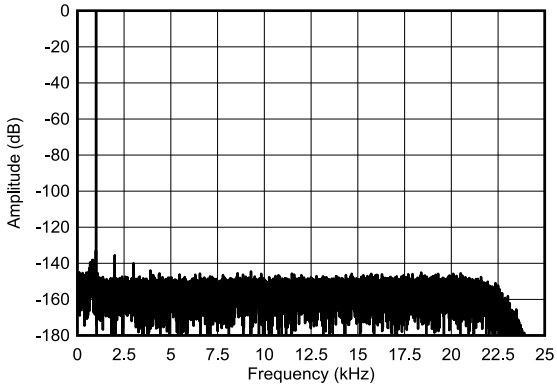
Sinc4 滤波器

图 5-28. 低速模式，短接输入 FFT



Sinc4 滤波器，OSR = 12

图 5-29. 低速模式，短接输入 FFT



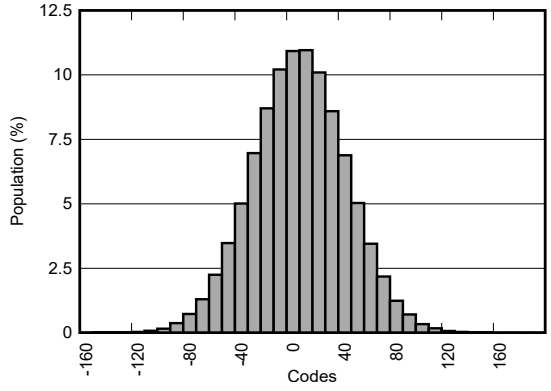
V_{IN} = –0.2dBFS，1kHz，宽带滤波器

图 5-30. 低速模式，满量程 FFT

Copyright © 2025 Texas Instruments Incorporated

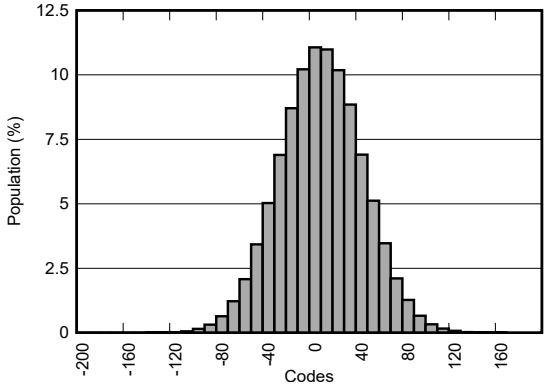
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



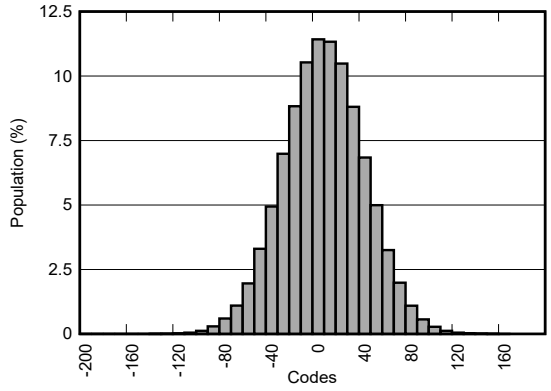
262,144 个样本

图 5-31. 最大速度模式代码分布图



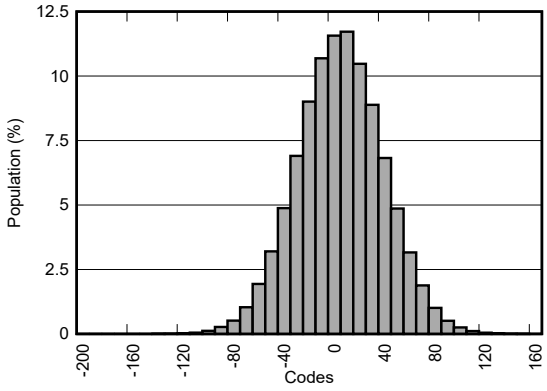
262,144 个样本

图 5-32. 高速模式代码分布图



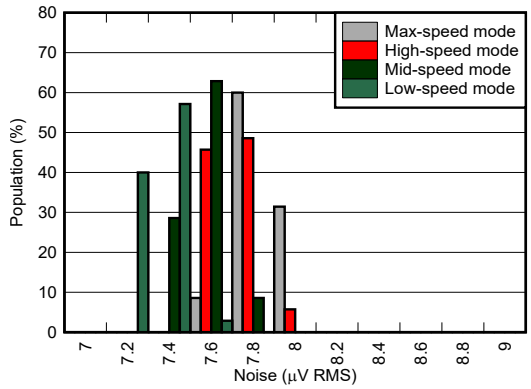
262,144 个样本

图 5-33. 中速模式代码分布图



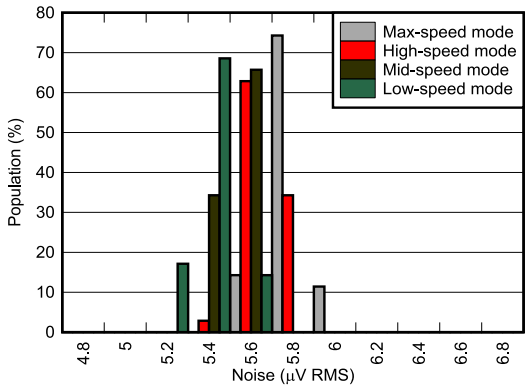
262,144 个样本

图 5-34. 低速模式代码分布图



宽带滤波器，OSR = 64，30 个单元

图 5-35. 噪声性能分布图



Sinc4 滤波器，OSR = 64，30 个单元

图 5-36. 噪声性能分布图

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）

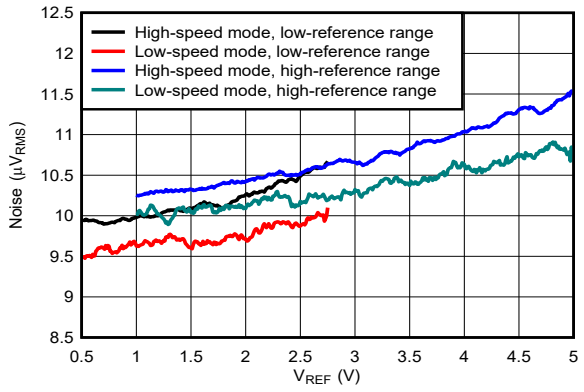
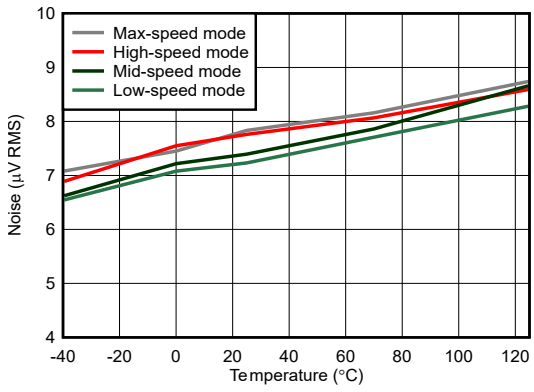
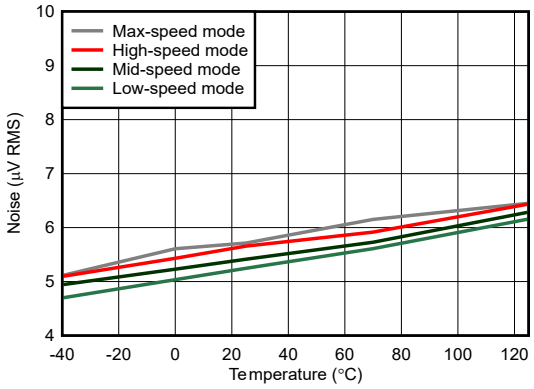


图 5-37. 噪声性能与基准电压间的关系



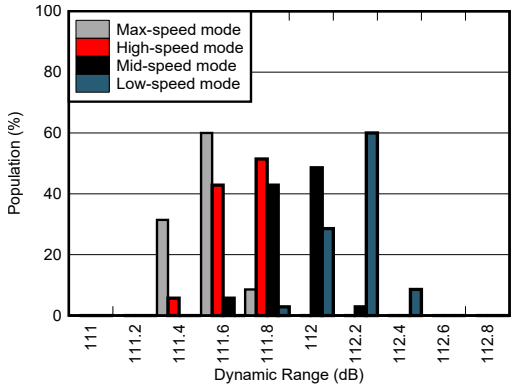
宽带滤波器、OSR = 64

图 5-38. 噪声性能与温度间的关系



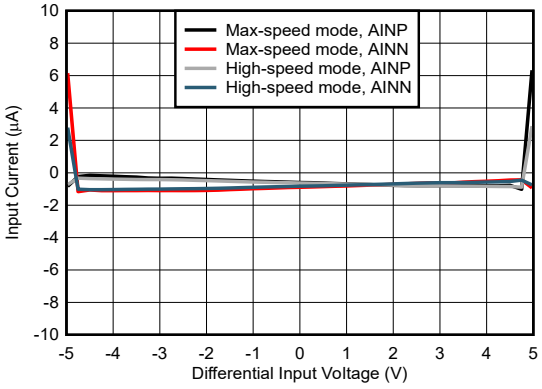
Sinc4 滤波器，OSR = 64

图 5-39. 噪声性能与温度间的关系



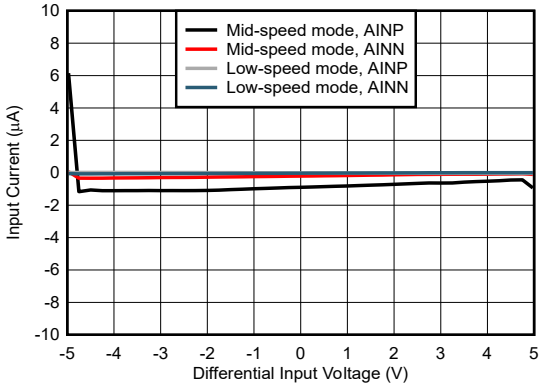
宽带滤波器，OSR = 64，30 个单元

图 5-40. 动态范围分布图



预充电缓冲器开启

图 5-41. 输入电流与差分电压间的关系



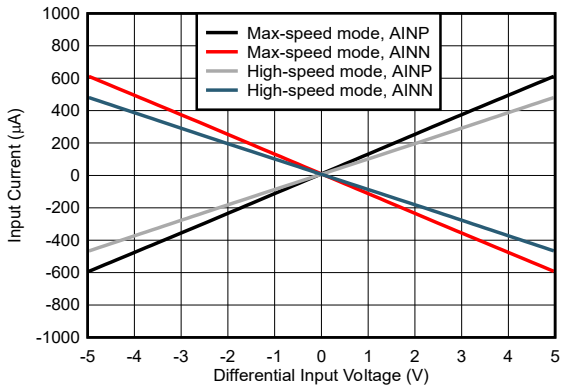
预充电缓冲器开启

图 5-42. 输入电流与差分电压间的关系

Copyright © 2025 Texas Instruments Incorporated

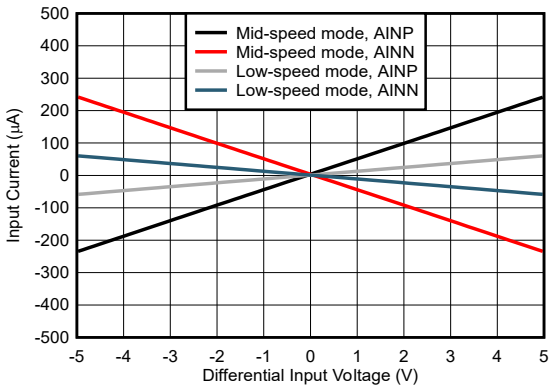
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



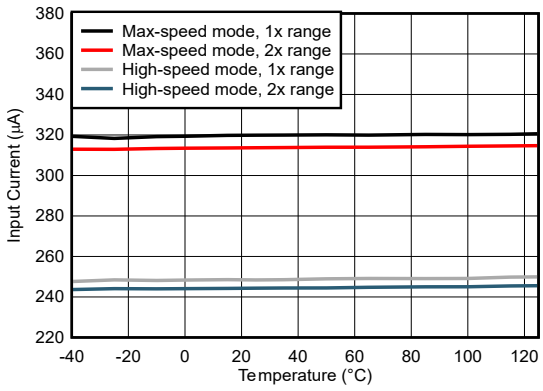
预充电缓冲器关闭

图 5-43. 输入电流与差分电压间的关系



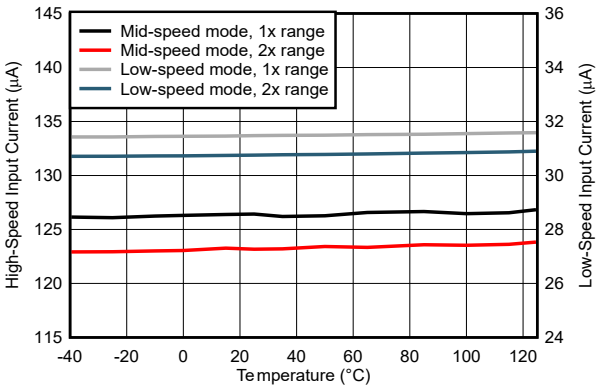
预充电缓冲器关闭

图 5-44. 输入电流与差分电压间的关系



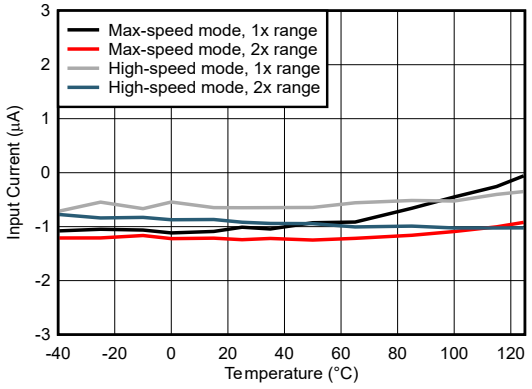
预充电缓冲器关闭，V_{IN} = 满量程，V_{REF} = 2.5V

图 5-45. 输入电流与温度间的关系



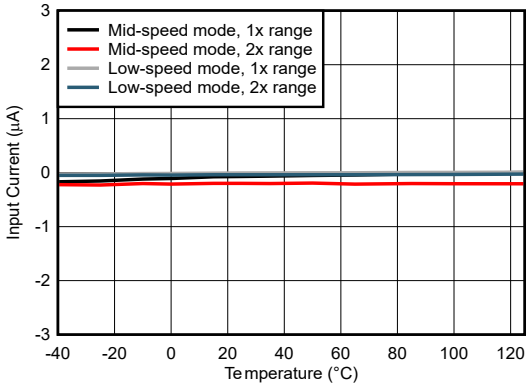
预充电缓冲器关闭，V_{IN} = 满量程，V_{REF} = 2.5V

图 5-46. 输入电流与温度间的关系



预充电缓冲器开启，V_{IN} = 满量程，V_{REF} = 2.5V

图 5-47. 输入电流与温度间的关系



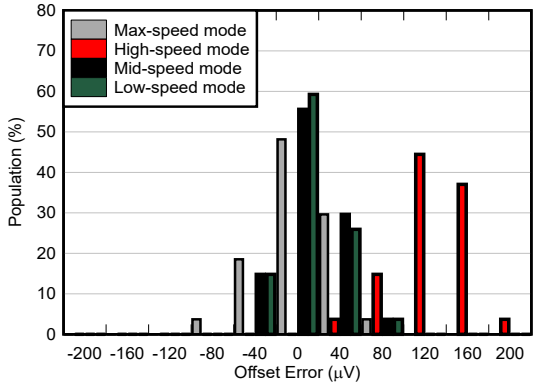
预充电缓冲器开启，V_{IN} = 满量程，V_{REF} = 2.5V

图 5-48. 输入电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



30 个单元

图 5-49. 偏移误差分布图

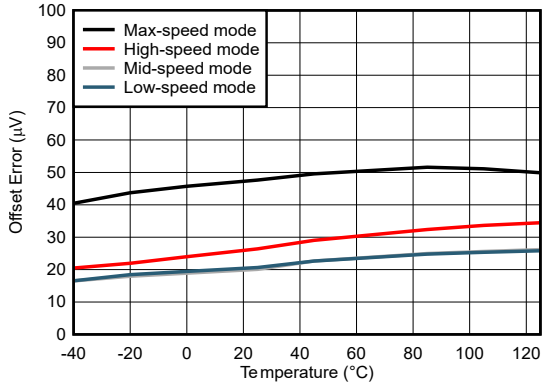
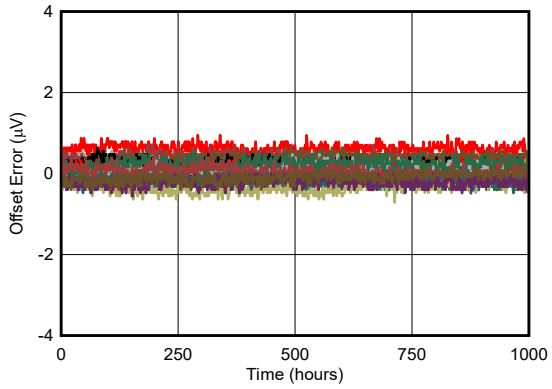
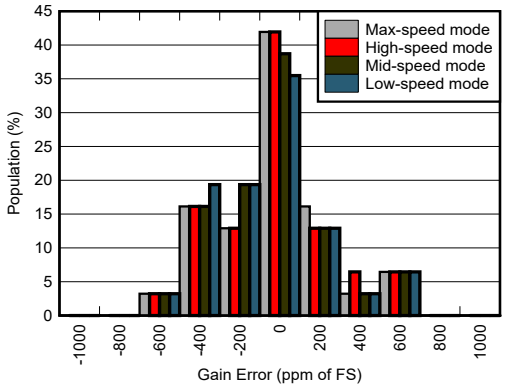


图 5-50. 偏移误差与温度间的关系



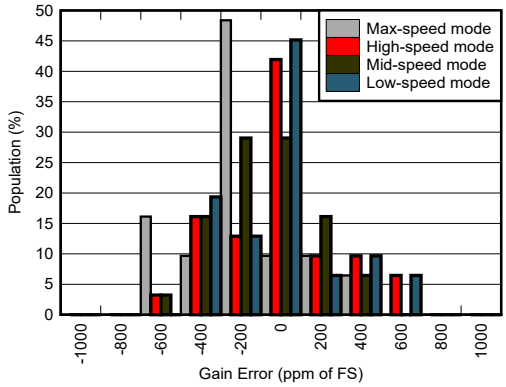
30 个单元，在 t = 0 时校准的偏移

图 5-51. 长期温漂



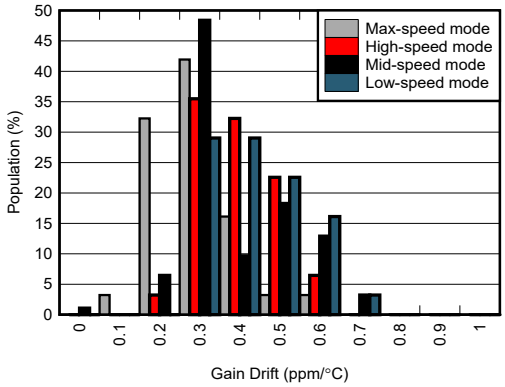
缓冲器开启，30 个单元

图 5-52. 增益误差分布图



缓冲器关闭，30 个单元

图 5-53. 增益误差分布图



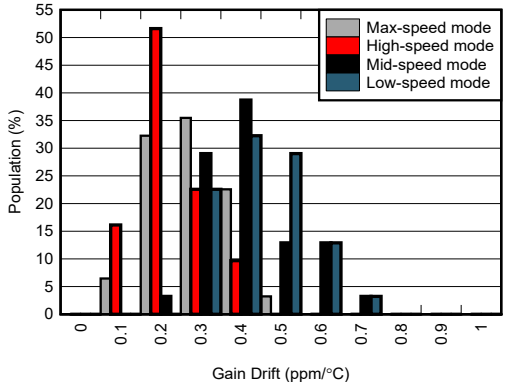
预充电缓冲器开启，30 个单元

图 5-54. 增益漂移分布图

Copyright © 2025 Texas Instruments Incorporated

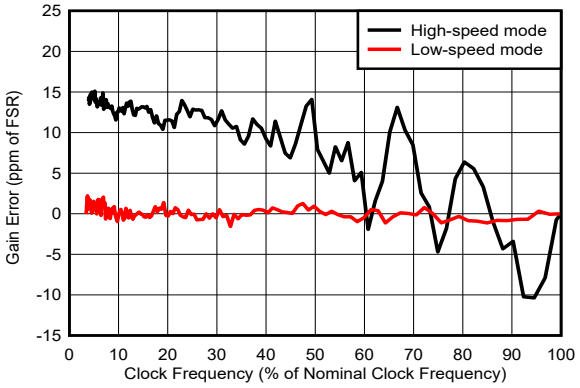
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



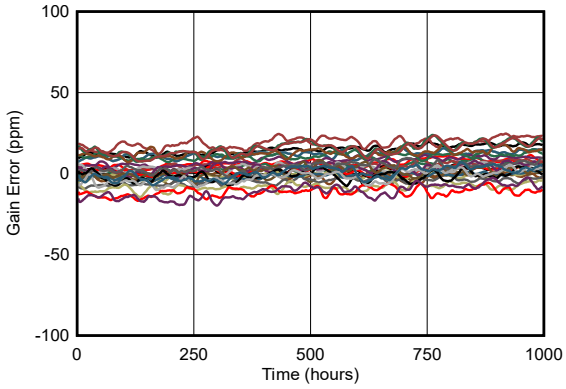
预充电缓冲器关闭，30 个单元

图 5-55. 增益漂移分布图



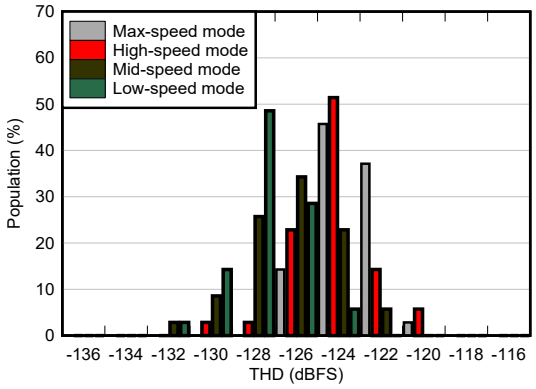
在标称时钟频率下校准的增益误差

图 5-56. 增益误差与时钟频率间的关系



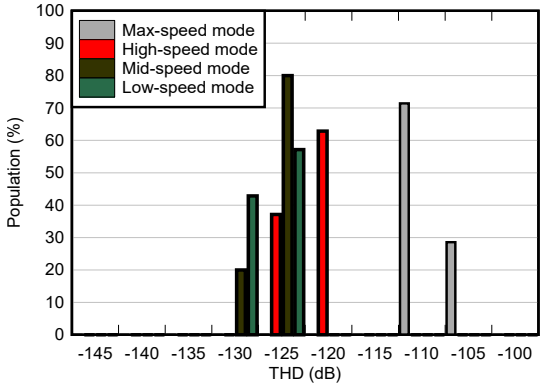
30 个单元，在 t = 0 时校准增益

图 5-57. 长期增益漂移



V_{REF} = 2.5V，30 个单元

图 5-58. THD 分布图



V_{REF} = 4.096V，30 个单元

图 5-59. THD 分布图

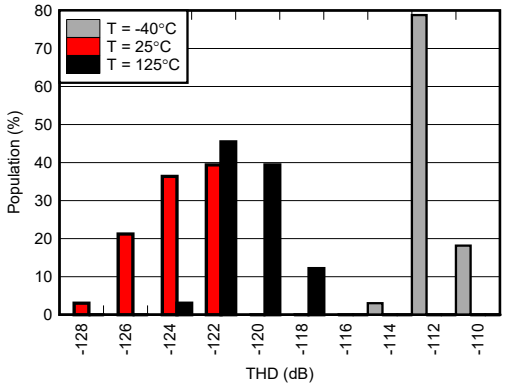


图 5-60. THD 过热分布图

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）

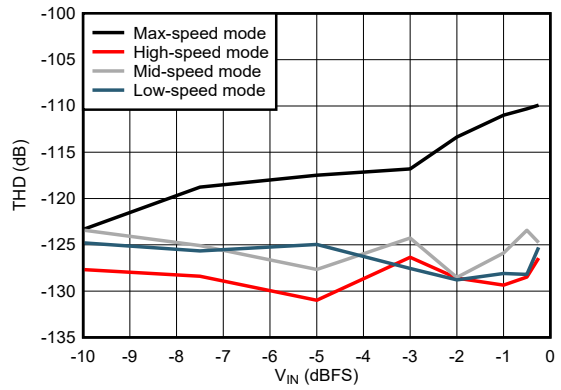
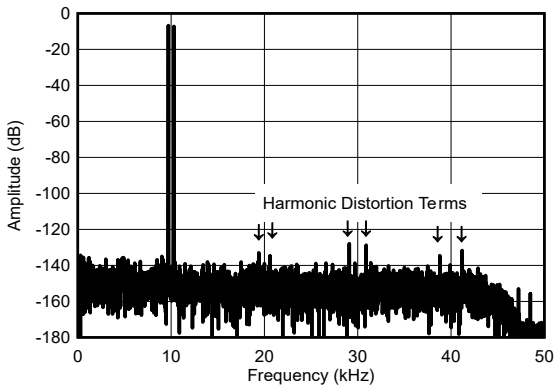


图 5-61. THD 与输入幅度间的关系



f_1 = 9.7kHz，f_2 = 10.3kHz，V_{IN} = −6.5dBFS

图 5-62. 互调失真 FFT

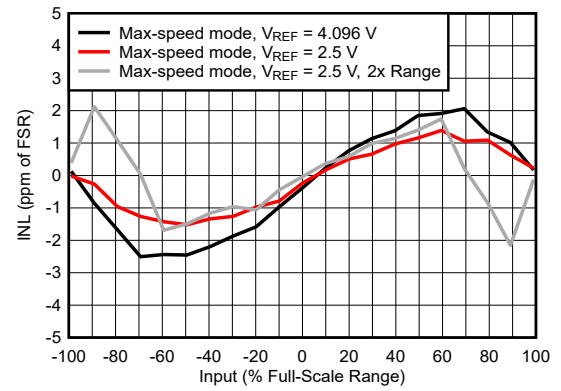


图 5-63. INL 误差与输入电压间的关系

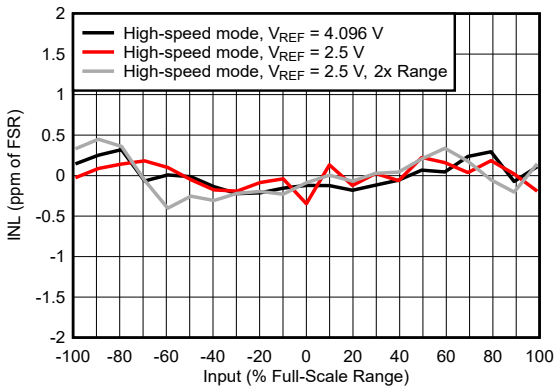


图 5-64. INL 误差与输入电压间的关系

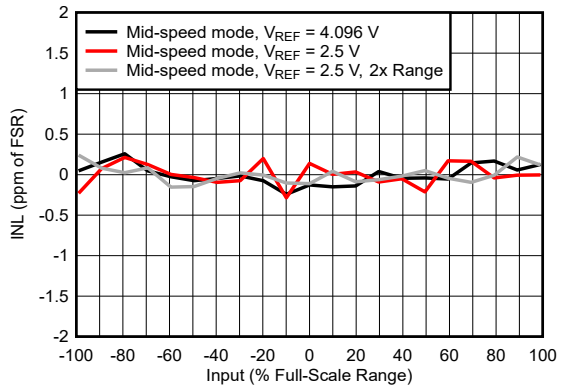


图 5-65. INL 误差与输入电压间的关系

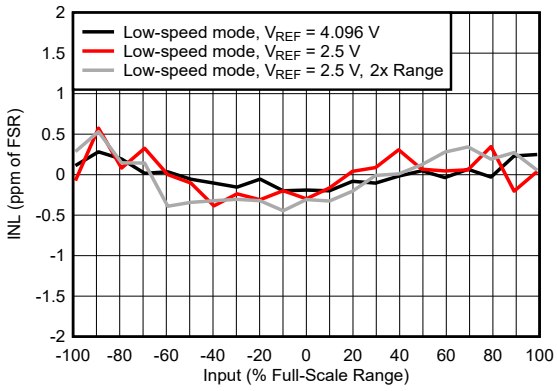
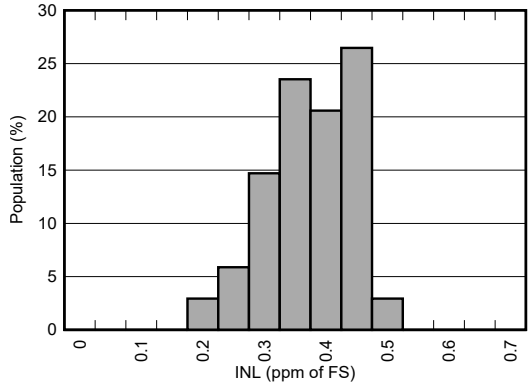


图 5-66. INL 误差与输入电压间的关系

Copyright © 2025 Texas Instruments Incorporated

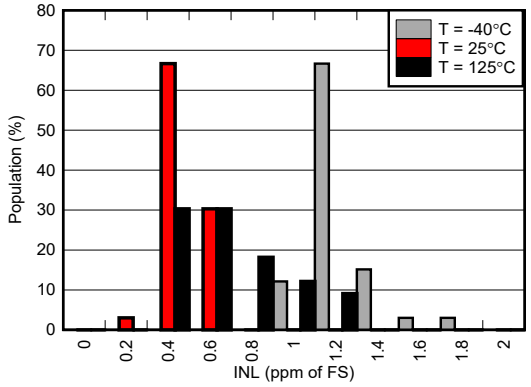
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



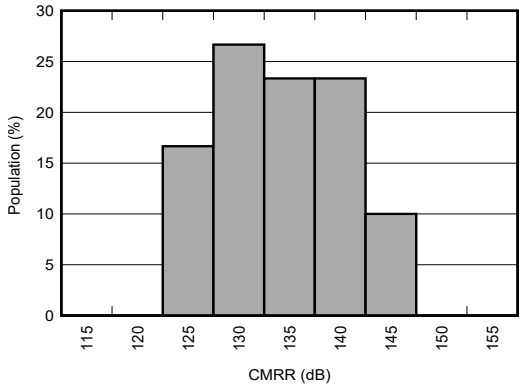
30 个单元

图 5-67. INL 分布图



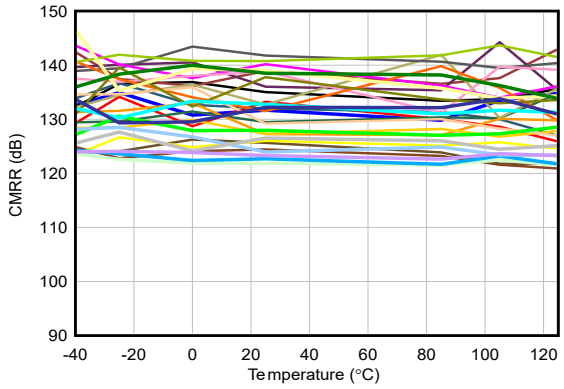
30 个单元

图 5-68. INL 过热分布图



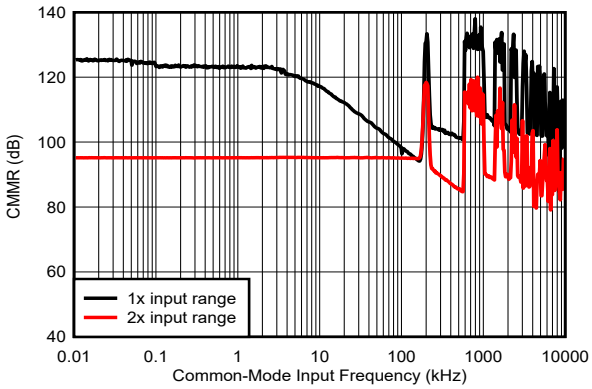
30 个单元

图 5-69. 直流 CMRR 分布图



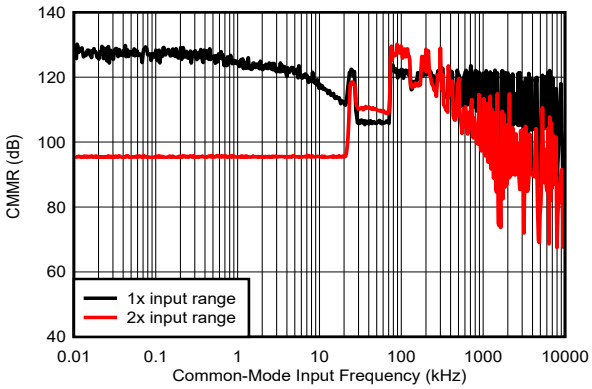
30 个单元

图 5-70. 直流 CMRR 与温度间的关系



高速模式

图 5-71. CMRR 与频率间的关系



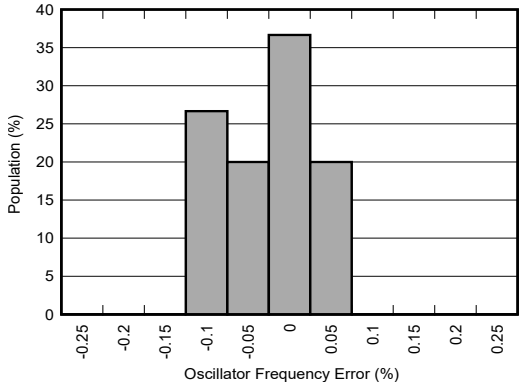
低速模式

图 5-72. CMRR 与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

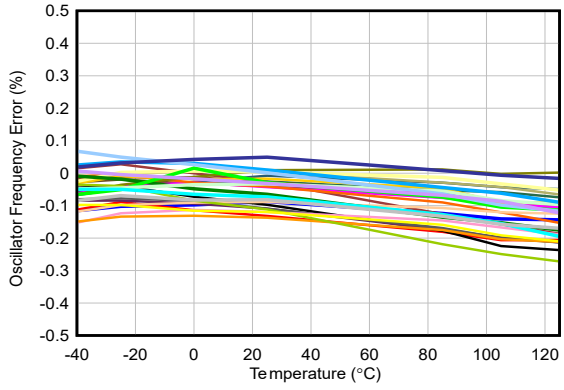
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



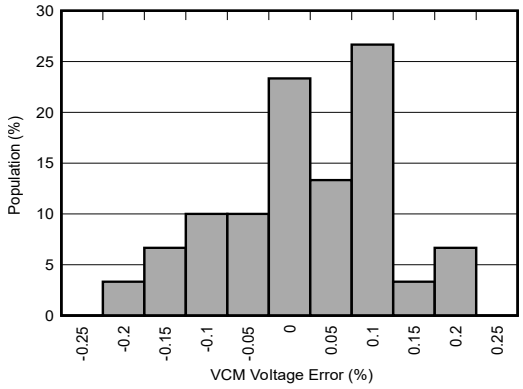
30 个单元

图 5-73. 振荡器频率分布图



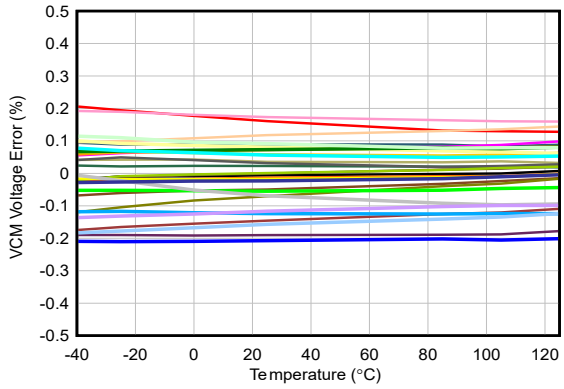
30 个单元

图 5-74. 振荡器频率与温度之间的关系



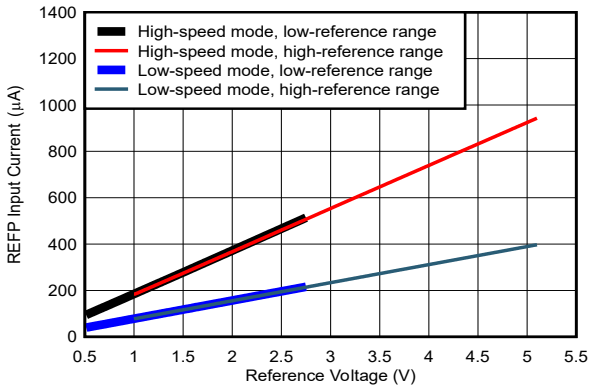
30 个单元

图 5-75. VCM 电压分布图



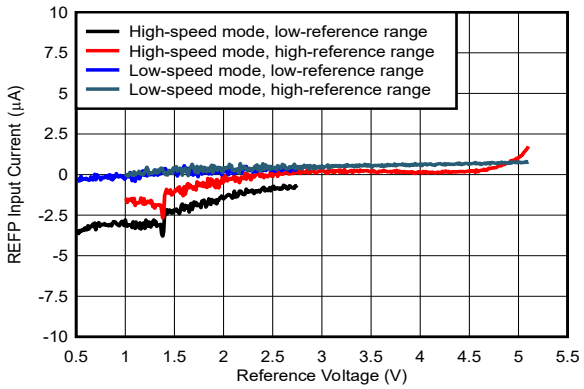
30 个单元

图 5-76. VCM 电压与温度间的关系



REFP 预充电缓冲器关闭

图 5-77. REFP 输入电流与基准电压间的关系



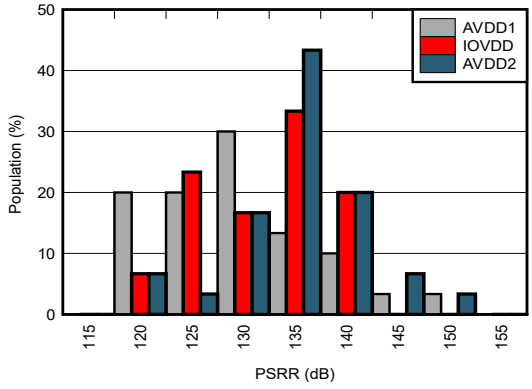
REFP 预充电缓冲器开启

图 5-78. REFP 输入电流与基准电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



30 个单元

图 5-79. 直流 PSRR 分布图

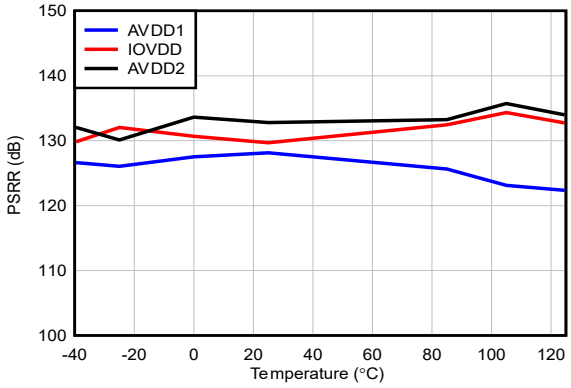


图 5-80. 直流 PSRR 与温度间的关系

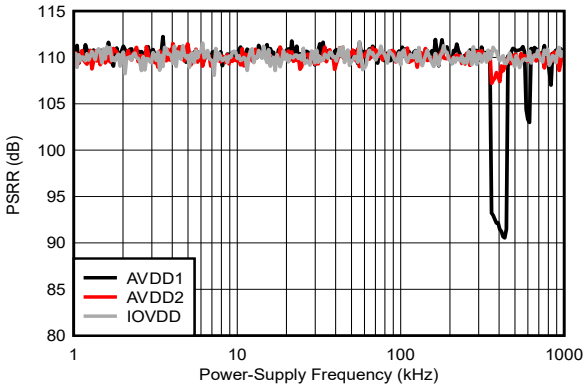
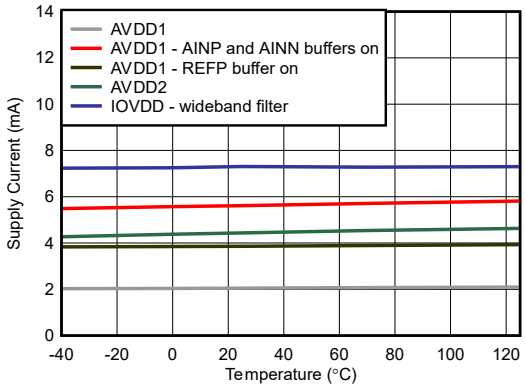
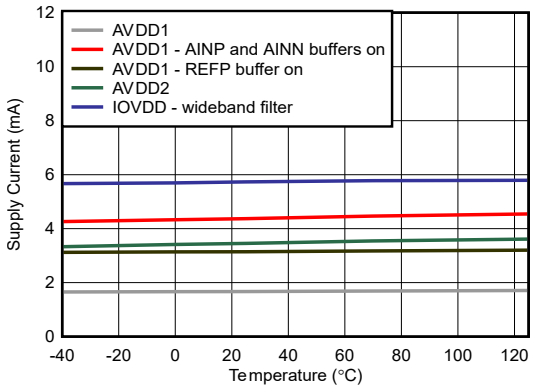


图 5-81. PSRR 与电源频率间的关系



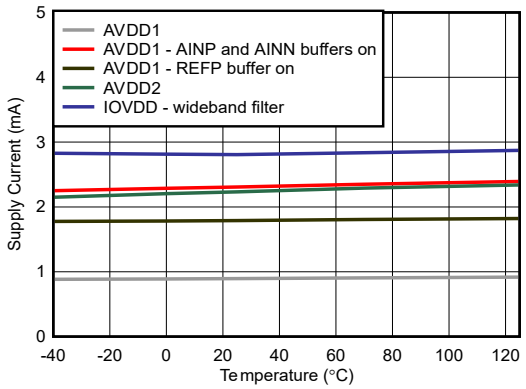
最大速度模式

图 5-82. 电源电流与温度间的关系



高速模式

图 5-83. 电源电流与温度间的关系



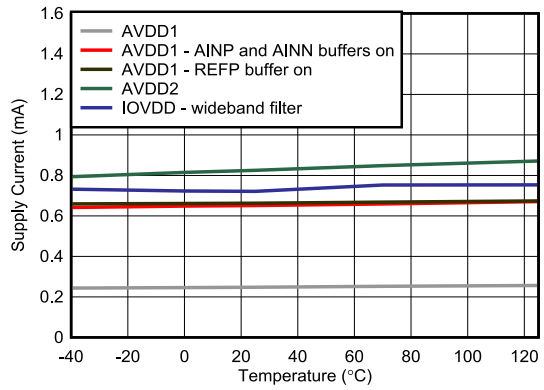
中速模式

图 5-84. 电源电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

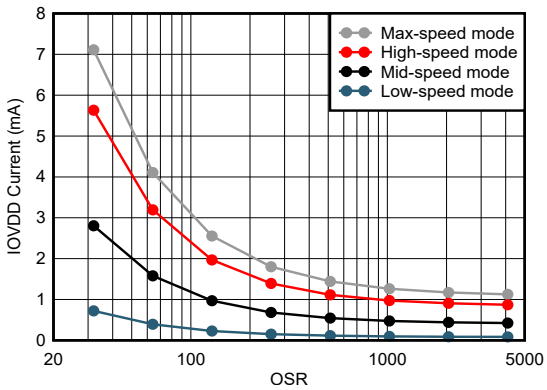
5.11 典型特性（续）

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 4.096V、高基准范围、高速模式、宽带滤波器、OSR = 32、1 倍输入范围、输入预充电缓冲器开启、基准预充电缓冲器关闭，且 T_A = 25°C（除非另有说明）



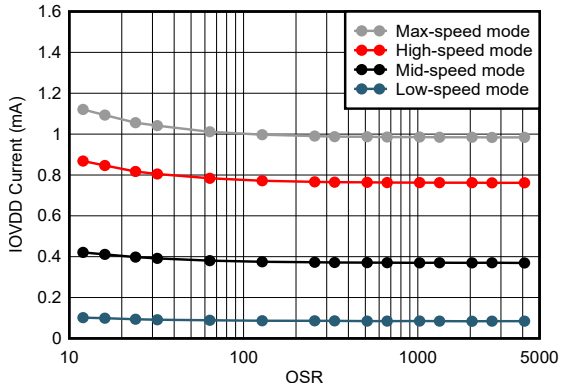
低速模式

图 5-85. 电源电流与温度间的关系



宽带滤波器

图 5-86. IOVDD 电流与过采样率间的关系



低延时滤波器

图 5-87. IOVDD 电流与过采样率间的关系

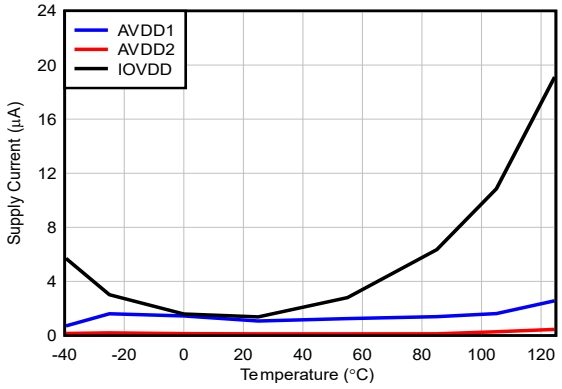


图 5-88. 断电模式电源电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 偏移误差测量

偏移误差是在 ADC 输入外部短接在一起的情况下测量的。输入共模电压固定为 AVDD1 和 AVSS 电源电压范围的 1/2 Vs。在 T_A = 25°C 时指定的偏移误差。

6.2 温漂测量

温漂定义为额定温度范围内的多个点测得的失调电压变化。使用*框方法* 计算温漂。这种方法在最大和最小失调电压以及额定温度范围内形成一个框。框方法指定温度误差的限值，但不指定受测器件的确切形状和斜率。

方程式 1 表示使用框方法的温漂计算：

$$\text{Offset Drift (nV/°C)} = 10^9 \cdot (V_{OFSMAX} - V_{OFSMIN}) / (T_{MAX} - T_{MIN}) \quad (1)$$

其中：

- V_{OFSMAX} 和 V_{OFSMIN} = 额定温度范围内的最大失调电压和最小失调电压
- T_{MAX} 和 T_{MIN} = 最高温度和最低温度

6.3 增益误差测量

增益误差被定义为 ADC 传递函数的实际斜率和理想斜率之间的差值。通过在 FSR 的 –95% 和 95% 上施加直流测试电压来测量增益误差。误差通过以下方式计算得出：从 ADC 输出电压的差值（实际斜率）中减去直流测试电压（理想斜率）的差值。斜率的差值除以理想斜率，再乘以 10^6，将误差转换为 FSR 的 ppm。ADC 基准电压产生的误差不包括在增益误差测量范围内。增益误差是在 T_A = 25°C 时指定的。方程式 2 表示增益误差的计算方法：

$$\text{Gain Error (ppm of FSR)} = 10^6 \cdot (\Delta V_{OUT} - \Delta V_{IN}) / \Delta V_{IN} \quad (2)$$

其中：

- ΔV_{OUT} = 两个 ADC 输出电压的差值
- ΔV_{IN} = 两个输入测试电压的差值

6.4 增益漂移测量

增益漂移定义为在额定温度范围内的多个点测量的增益误差变化。使用框方法时，在额定温度范围内的最大和最小增益误差范围内形成框。框方法指定温度误差的限值，但不指定受测器件的确切形状和斜率。方程式 3 表示使用框方法的增益漂移。

$$\text{Gain Drift (ppm/°C)} = (GE_{MAX} - GE_{MIN}) / (T_{MAX} - T_{MIN}) \quad (3)$$

其中：

- GE_{MAX} 和 GE_{MIN} = 额定温度范围内的最大和最小增益误差
- T_{MAX} 和 T_{MIN} = 最高温度和最低温度

6.5 NMRR 测量

正常模式抑制比 (NMRR) 指定 ADC 在特定频率下抑制正常模式输入信号的能力。这些频率通常表示为 50Hz 和 60Hz 输入频率。正常模式抑制完全由数字滤波器的频率响应决定。在这种情况下，处于 50Hz 和 60Hz 的低延时 sinc3 和 sinc4 滤波器的频率响应中的零位在这些频率下提供了抑制作用。

6.6 CMRR 测量

共模抑制比 (CMRR) 指定 ADC 抑制共模输入信号的能力。CMRR 表示为直流和交流参数。为测量 CMRR (dc)，需施加三个等于 AVSS + 50mV、(AVDD1 + AVSS) / 2 和 AVDD1 – 50mV 的共模测试电压。对于此测量，输入

Copyright © 2025 Texas Instruments Incorporated

需短接在一起。记录的是 ADC 失调电压的最大变化与共模测试电压的变化。方程式 4 表示 CMRR (dc) 的计算方法。

$$\text{CMRR (dc) (dB)} = 20 \cdot \log(\Delta V_{CM} / \Delta V_{OS}) \quad (4)$$

其中：

- ΔV_{CM} = 直流共模测试电压的变化
- ΔV_{OS} = 相应电压偏移量的变化

为测量 CMRR (ac)，在 95% 满量程范围的各种测试频率下施加交流共模信号。快速傅里叶变换 (FFT) 图是在施加共模信号的情况下根据 ADC 数据计算得出的。如方程式 5 所示，频谱中九个最大幅值杂散频率的乘方求和。这些频率也与共模测试信号的幅值相关。

$$\text{PSRR (ac) (dB)} = 20 \cdot \log(V_{CM} / V_O) \quad (5)$$

其中：

- V_{CM} (RMS) = 共模输入信号幅值
- V_O (RMS) = 杂散频率的平方和根幅度 = $\sqrt{(V_0^2 + V_1^2 + ...V_8^2)}$

6.7 PSRR 测量

电源抑制比 (PSRR) 指定 ADC 抑制电源干扰的能力。PSRR 表示为交流和直流参数。为了测量 PSRR (dc)，电源电压在最小、标称和最大额定电压范围内变化，输入端在外部短接在一起。记录 ADC 失调电压的最大变化与电源电压变化之间的关系。PSRR (dc) 的计算如方程式 6 所示，即电源电压阶跃变化与失调电压变化之比。

$$\text{PSRR (dc) (dB)} = 20 \cdot \log(\Delta V_{PS} / \Delta V_{OS}) \quad (6)$$

其中：

- ΔV_{PS} = 电源电压的变化
- ΔV_{OS} = 失调电压的变化

为了测量 PSRR (ac)，在不同的测试频率下，以 $100mV_{PP}$ ($35mV_{RMS}$) 的信号调制电源电压。对经过电源电压调制的 ADC 数据进行 FFT。如方程式 7 所示，频谱中九个最大幅值杂散频率的乘方求和。这些频率也与电源调制信号的幅值相关。

$$\text{PSRR (ac) (dB)} = 20 \cdot \log(V_{PS} / V_O) \quad (7)$$

其中：

- V_{PS} (RMS) = 100mV 交流电源调制信号
- V_O (RMS) = 杂散频率的平方和根幅度 = $\sqrt{(V_0^2 + V_1^2 + ...V_8^2)}$

Copyright © 2025 Texas Instruments Incorporated

6.8 SNR 测量

信噪比 (SNR) 是在满量程交流输入信号条件下对噪声性能的衡量。对于 SNR 测量，使用一个 –0.2dBFS、1kHz 测试信号，其 V_{CM} 等于 1/2 Vs 电压。如方程式 8 所示，SNR 是输入信号的 rms 值与所有其他频率分量的平方和根之比。这些频率分量来自于对 ADC 输出样本的 FFT 计算结果。在由于非相干采样而使用 FFT 窗口技术时，可以避免原始信号周围频段的频谱泄漏。此外，还可以消除原始信号的直流和谐波。

$$SNR\ (dB) = 20 \cdot \log(V_{IN} / e_n) \quad (8)$$

其中：

- V_{IN} = 输入测试信号
- e_n = 除直流和信号谐波之外的频率分量的平方和根

6.9 INL 误差测量

积分非线性 (INL) 误差指定了 ADC 直流传递函数的线性度。通过沿根据 ADC 的斜率和偏移传递函数计算的直线施加一系列直流测试电压，可以测得 INL。INL 是一组直流测试电压 $[V_{IN(N)}]$ 与相应的输出电压 $[V_{OUT(N)}]$ 之间的差值。方程式 9 表示计算 INL 误差的*终点方法*。

$$INL\ (ppm\ of\ FSR) = maximum\ absolute\ value\ of\ INL\ test\ series\ [10^6 \cdot (V_{IN(N)} - V_{OUT(N)}) / FSR] \quad (9)$$

其中：

- N = 直流测试电压的索引
- $[V_{IN(N)}]$ = 在 FSR 的 –95% 至 95% 范围内的一组测试电压
- $[V_{OUT\ (N)}]$ = 一组相应的 ADC 输出电压
- FSR（满量程范围）= 2 · V_{REF}（1 倍输入范围）或 4 · V_{REF}（2 倍输入范围）

INL *最佳拟合方法* 使用最小平方误差 (LSE) 计算来确定新的直线，从而更大程度地减小原始终点线之上和之下 INL 误差的和方根。

6.10 THD 测量

总谐波失真 (THD) 指定 ADC 与交流输入信号的动态线性关系。对于 THD 测量，需使用一个 –0.2dBFS、1kHz 差分输入信号，其 V_{CM} 等于 1/2 Vs 电压。收集足够数量的数据点，以生成频率间隔宽度为 5Hz 或更低的 FFT 结果。5Hz 间隔宽度可降低谐波区间中的噪声，从而实现一致的 THD 测量。如方程式 10 所示，THD 的计算方法为谐波的平方和根幅值与输入信号幅值之比。

$$THD\ (dB) = 20 \cdot \log(V_H / V_{IN}) \quad (10)$$

其中：

- V_H = 谐波的平方和根：$\sqrt{(V_2^2 + V_3^2 + ... V_n^2)}$，其中 V_n = 第九次谐波电压
- V_{IN} = 输入信号基波分量

Copyright © 2025 Texas Instruments Incorporated

6.11 IMD 测量

互调失真 (IMD) 指定两个输入频率的混合效应。混频是由 ADC 非线性引起的，这会导致和频和差频不在原始信号范围内。IMD 二阶项为 ($f_1 + f_2$) 和 ($f_1 - f_2$)。IMD 三阶项为 ($2f_1 + f_2$)、($2f_1 - f_2$)、($f_1 + 2f_2$) 和 ($f_1 - 2f_2$)。测试信号 f_1 = 9.7kHz 和 f_2 = 10.3kHz 为 –6.5dBFS。IMD_2 和 IMD_3 指定为平方和根二阶项和三阶项与原始测试频率之和的比率。方程式 11 是 IMD_2 和 IMD_3 的计算公式。

$$IMD_2\ (dB) = 20 \cdot \log(V_2 / V_{IN})$$
$$IMD_3\ (dB) = 20 \cdot \log(V_3 / V_{IN}) \quad (11)$$

其中：

- IMD_2 = 二阶 IMD
- IMD_3 = 三阶 IMD
- V_2 = 二阶项的平方和根
- V_3 = 三阶项的平方和根
- V_{IN} = 两个测试信号的总幅值

6.12 SFDR 测量

SFDR 是单频交流输入的 rms 值与 ADC 频谱中最高杂散信号的比值。无杂散动态范围 (SFDR) 测量包括原始信号的谐波。对于 SFDR 测量，请施加一个 –0.2dBFS、1kHz 输入信号，其 V_{CM} 等于 1/2 Vs 电压。SFDR 是输入信号的 rms 值与单个最高杂散信号（包括原始信号的谐波）的比值。方程式 12 可计算 SFDR。

$$SFDR\ (dB) = 20 \cdot \log(V_{IN} / V_{SPUR}) \quad (12)$$

其中：

- V_{IN} = 输入测试信号
- V_{SPUR} = 单个最高杂散电平

Copyright © 2025 Texas Instruments Incorporated

6.13 噪声性能

ADC 提供四种运行速度模式，从而在 ADC 分辨率、功耗和信号带宽之间作出权衡。这些模式是最大速度、高速、中速和低速模式，器件功耗按降序排列。宽带滤波器提供高达 512kSPS（最大速度模式）、400kSPS（高速模式）、200kSPS（中速模式）和 50kSPS（低速模式）的数据速率。也可以从中间 FIR1 或 FIR2 级的部分滤波器访问数据，从而减少滤波器延时。

低延时 sinc4 滤波器提供高达 1.365MSPS（最大速度模式）、1.066MSPS（高速模式）、533kSPS（中速模式）和 133kSPS（低速模式）的数据速率。

可编程过采样率 (OSR) 决定了输出数据速率和信号带宽，因而影响了总噪声性能。增大 OSR 可对调制器的更多样本取平均值来产生一个转换结果，从而降低信号带宽和总噪声。

表 6-1 至表 6-5 汇总了滤波器的噪声性能。指定的噪声性能是在 1 倍输入范围和 4.096V 基准电压下的值。相比之下，将基准电压降至 2.5V 会将动态范围减小 4dB（典型值）。与 4.096V 基准电压和 1 倍输入范围相比，以 2.5V 基准电压和 2 倍输入范围运行可将动态范围降低 3dB（典型值）。

噪声数据是输入短接并偏置到 1/2 Vs 电压时转换数据的标准偏差 (rms) 结果。噪声数据代表 T_A = 25°C 时的典型性能。至少应使用 1000 次或 10 秒的连续转换（以先到者为准）数据来测量 RMS 噪声 (e_n)。由于噪声具有随机性质，所以重复的噪声测量可能会产生更高或更低的噪声结果。

方程式 13 将 RMS 噪声转换为动态范围。方程式 14 将 RMS 噪声转换为有效分辨率。

$$\text{Dynamic Range (dB)} = 20 \cdot \log_{10}[\text{FSR} / (2 \cdot \sqrt{2} \cdot e_n)] \quad (13)$$

$$\text{Effective Resolution (bits)} = \log_2(\text{FSR} / e_n) \quad (14)$$

其中：

- FSR = 2 · V_{REF}（1 倍输入范围）
- FSR = 4 · V_{REF}（2 倍输入范围）
- e_n = 噪声电压 (RMS)

在评估 ADC 噪声性能时，请考虑外部缓冲器和放大器噪声对总噪声性能的影响。通过选择输入多路复用器的输入短路测试连接，对 ADC 的噪声性能进行放大器隔离评估。

表 6-1. 宽带滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})	动态范围 (dB)	有效分辨率（位）
最大速度	32.768	32	512	11.1	108.3	19.5
高速	25.6		400	10.9	108.5	19.5
中速	12.8		200	10.6	108.7	19.6
低速	3.2		50	10.4	108.9	19.6
最大速度	32.768	64	256	7.64	111.6	20.0
高速	25.6		200	7.50	111.7	20.1
中速	12.8		100	7.30	112.0	20.1
低速	3.2		25	7.14	112.2	20.1
最大速度	32.768	128	128	5.34	114.7	20.5
高速	25.6		100	5.25	114.8	20.6
中速	12.8		50	5.07	115.1	20.6
低速	3.2		12.5	4.97	115.3	20.7
最大速度	32.768	256	64	3.79	117.7	21.0
高速	25.6		50	3.72	117.8	21.1
中速	12.8		25	3.58	118.2	21.1
低速	3.2		6.25	3.53	118.3	21.1

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 宽带滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）（续）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})	动态范围 (dB)	有效分辨率（位）
最大速度	32.768	512	32	2.71	120.6	21.5
高速	25.6		25	2.67	120.7	21.5
中速	12.8		12.5	2.54	121.2	21.6
低速	3.2		3.125	2.47	121.4	21.7
最大速度	32.768	1024	16	1.88	123.8	22.1
高速	25.6		12.5	1.87	123.8	22.1
中速	12.8		6.25	1.82	124.0	22.1
低速	3.2		1.5625	1.76	124.3	22.2
最大速度	32.768	2048	8	1.34	126.7	22.5
高速	25.6		6.25	1.32	126.8	22.5
中速	12.8		3.125	1.29	127.0	22.6
低速	3.2		0.78125	1.25	127.3	22.6
最大速度	32.768	4096	4	0.96	129.6	23.0
高速	25.6		3.125	0.95	129.7	23.0
中速	12.8		1.5625	0.93	129.9	23.1
低速	3.2		0.390625	0.89	130.3	23.1

表 6-2. Sinc3 和 Sinc4 滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})(1)		动态范围 (dB)		有效分辨率（位）	
				SINC3	SINC4	SINC3	SINC4	SINC3	SINC4
最大速度	32.768	12	1365.3	239	66.8	81.7	92.7	15.1	16.9
高速	25.6		1066.6	235	66.6	81.8	92.8	15.1	16.9
中速	12.8		533.3	235	63.8	81.8	93.1	15.1	17.0
低速	3.2		133.33	232	63.1	81.9	93.2	15.1	17.0
最大速度	32.768	16	1024	99.9	24.8	89.2	101.3	16.3	18.3
高速	25.6		800	99.6	24.5	89.3	101.5	16.3	18.4
中速	12.8		400	98.9	24.5	89.3	101.5	16.3	18.4
低速	3.2		100	96.0	24.3	89.6	101.5	16.4	18.4
最大速度	32.768	24	682.67	31.1	10.8	99.4	108.6	18.0	19.5
高速	25.6		533.3	31.0	10.3	99.4	108.9	18.0	19.6
中速	12.8		266.67	30.8	10.1	99.5	109.2	18.0	19.6
低速	3.2		66.67	30.7	9.96	99.5	109.3	18.0	19.6
最大速度	32.768	32	512	15.2	8.24	105.6	110.9	19.0	19.9
高速	25.6		400	15.0	8.07	105.7	111.1	19.1	20.0
中速	12.8		200	14.8	7.88	105.8	111.3	19.1	20.0
低速	3.2		50	14.7	7.76	105.9	111.4	19.1	20.0
最大速度	32.768	64	256	6.20	5.71	113.4	114.1	20.3	20.5
高速	25.6		200	6.15	5.53	113.5	114.4	20.3	20.5
中速	12.8		100	5.98	5.42	113.7	114.6	20.4	20.5
低速	3.2		25	5.78	5.24	114.0	114.9	20.4	20.6
最大速度	32.768	128	128	4.21	3.98	116.8	117.2	20.9	21.0
高速	25.6		100	4.16	3.89	116.9	117.4	20.9	21.0
中速	12.8		50	4.10	3.75	117.0	117.8	20.9	21.1
低速	3.2		12.5	3.99	3.72	117.2	117.8	21.0	21.1

Copyright © 2025 Texas Instruments Incorporated

表 6-2. Sinc3 和 Sinc4 滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）（续）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})(1)		动态范围 (dB)		有效分辨率（位）	
				SINC3	SINC4	SINC3	SINC4	SINC3	SINC4
中速	12.8	167	38.323	3.56	3.39	118.2	118.6	21.1	21.2
最大速度	32.768	256	64	2.99	2.78	119.7	120.4	21.4	21.5
高速	25.6		50	2.95	2.74	119.8	120.5	21.4	21.5
中速	12.8		25	2.87	2.69	120.1	120.6	21.4	21.5
低速	3.2		6.25	2.81	2.61	120.3	120.9	21.5	21.6
最大速度	32.768	333	49.201	2.67	2.50	120.7	121.3	21.5	21.6
高速	25.6		38.438	2.59	2.46	121.0	121.4	21.6	21.7
中速	12.8		19.219	2.53	2.43	121.2	121.5	21.6	21.7
低速	3.2		4.804	2.46	2.33	121.4	121.9	21.7	21.7
最大速度	32.768	512	32	2.11	1.98	122.8	123.3	21.9	22.0
高速	25.6		25	2.09	1.93	122.8	123.5	21.9	22.0
中速	12.8		12.5	2.01	1.88	123.2	123.8	22.0	22.1
低速	3.2		3.125	1.96	1.67	123.4	124.8	22.0	22.2
最大速度	32.768	667	24.564	1.90	1.77	123.7	124.3	22.0	22.1
高速	25.6		19.19	1.86	1.75	123.8	124.4	22.1	22.2
中速	12.8		9.595	1.82	1.67	124.0	124.8	22.1	22.2
低速	3.2		2.39	1.77	1.65	124.3	124.9	22.1	22.2
最大速度	32.768	1024	16	1.50	1.41	125.7	126.3	22.4	22.5
高速	25.6		12.5	1.47	1.40	125.9	126.3	22.4	22.5
中速	12.8		6.25	1.43	1.34	126.1	126.7	22.4	22.5
低速	3.2		1.56	1.42	1.31	126.2	126.9	22.5	22.6
最大速度	32.768	1333	12.291	1.36	1.25	126.6	127.3	22.5	22.6
高速	25.6		9.602	1.34	1.23	126.7	127.4	22.5	22.7
中速	12.8		4.801	1.29	1.19	127.0	127.7	22.6	22.7
低速	3.2		1.2	1.24	1.17	127.4	127.9	22.7	22.7
最大速度	32.768	2048	8	1.06	1.00	128.7	129.2	22.9	23.0
高速	25.6		6.25	1.05	0.995	128.8	129.3	22.9	23.0
中速	12.8		3.125	1.02	0.952	129.1	129.7	22.9	23.0
低速	3.2		0.78	0.969	0.935	129.5	129.8	23.0	23.1
最大速度	32.768	2667	6.143	0.967	0.890	129.5	130.3	23.0	23.1
高速	25.6		4.799	0.949	0.858	129.7	130.6	23.0	23.2
中速	12.8		2.4	0.913	0.867	130.0	130.5	23.1	23.2
低速	3.2		0.6	0.914	0.844	130.0	130.7	23.1	23.2
最大速度	32.768	4096	4	0.751	0.710	131.7	132.2	23.4	23.5
高速	25.6		3.125	0.752	0.709	131.7	132.2	23.4	23.5
中速	12.8		1.563	0.725	0.681	132.0	132.6	23.4	23.5
低速	3.2		0.39	0.709	0.649	132.2	133.0	23.5	23.6
最大速度	32.768	5333	3.072	0.697	0.630	132.4	133.3	23.5	23.6
高速	25.6		2.4	0.676	0.626	132.6	133.3	23.5	23.6
低速	3.2		0.3	0.661	0.604	132.8	133.6	23.6	23.7
中速	12.8	13333	0.437	0.410	0.60	136.3	137.0	24.2	24.3
中速	12.8	16000	0.400	0.392	0.356	137.4	138.2	24.3	24.5

Copyright © 2025 Texas Instruments Incorporated

表 6-2. Sinc3 和 Sinc4 滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）（续）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})(1)		动态范围 (dB)		有效分辨率（位）	
				SINC3	SINC4	SINC3	SINC4	SINC3	SINC4
最大速度	32.768	26667	0.614	0.335	0.320	138.7	139.4	24.5	24.6
高速	25.6		0.480	0.330	0.311	138.9	139.1	24.6	24.7
低速	3.2		0.06	0.316	0.290	139.2	140.0	24.7	24.8
最大速度	32.768	32000	0.512	0.309	0.303	139.4	139.6	24.7	24.7
高速	25.6		0.4	0.306	0.294	139.5	139.9	24.7	24.7
低速	3.2		0.05	0.290	0.275	140.0	140.5	24.8	24.8
中速	12.8	48000	0.133	0.251	0.274	141.2	140.5	25.0	24.8
中速	12.8	80000	0.08	0.233	0.208	141.9	142.9	25.1	25.2
最大速度	32.768	96000	0.17067	0.238	0.202	141.7	143.1	25.0	25.3
高速	25.6		0.133	0.186	0.250	143.8	141.3	25.4	25.0
低速	3.2		0.0167	0.245	0.207	141.5	142.9	25.0	25.2
最大速度	32.768	160000	0.102	0.243	0.243	141.5	141.5	25.0	25.0
高速	25.6		0.08	0.232	0.242	141.9	141.6	25.1	25.0
低速	3.2		0.01	0.243	0.177	141.5	144.3	25.0	25.5

(1) 由于 24 位量化限制，高 OSR 值会产生不同的噪声结果：4.096 V / 2^{23} = 0.488 μV / 代码。

表 6-3. Sinc3 + Sinc1 和 Sinc4 + Sinc1 滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）

模式	f_{CLK} (MHz)	OSR	数据速率 (SPS)	噪声 (e_n，μV_{RMS})(1)	动态范围 (dB)	有效分辨率（位）
中速	12.8	13333	480	0.573	134.1	23.8
中速	12.8	16000	400	0.533	134.7	23.9
最大速度	32.768	26656	614	0.419	136.8	24.2
高速	25.6		480	0.416	136.9	24.2
低速	3.2		60	0.413	136.9	24.2
最大速度	32.768	32000	512	0.409	137.0	24.3
高速	25.6		400	0.387	137.5	24.3
低速	3.2		50	0.362	138.1	24.4
中速	12.8	48000	133	0.321	139.1	24.6
中速	12.8	80000	80	0.274	140.5	24.8
最大速度	32.768	96000	170.6	0.254	141.1	24.9
高速	25.6		133	0.256	141.1	24.9
低速	3.2		16.7	0.251	141.2	25.0
最大速度	32.768	160000	102.44	0.202	143.1	25.3
高速	25.6		80	0.187	143.8	25.4
低速	3.2		10	0.201	143.2	25.3

(1) 由于 24 位量化限制，高 OSR 值会产生不同的噪声结果：4.096V / 2^{23} = 0.488 μV / 代码。Sinc3 + sinc1 和 sinc4 + sinc1 滤波器产生相同的噪声性能。

表 6-4. FIR1 滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})	动态范围 (dB)	有效分辨率（位）
最大速度	32.768	8	2048	641	73.1	13.6
高速	25.6		1600	648	73.0	13.6
中速	12.8		800	662	72.8	13.6
低速	3.2		200	681	72.6	13.6

Copyright © 2025 Texas Instruments Incorporated

表 6-4. FIR1 滤波器噪声性能（V_{REF} = 4.096V，1 倍输入范围）（续）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})	动态范围 (dB)	有效分辨率（位）
最大速度	32.768	16	1024	93.0	89.9	16.4
高速	25.6		800	94.8	89.7	16.4
中速	12.8		400	99.9	89.2	16.3
低速	3.2		100	105	88.8	16.2
最大速度	32.768	32	512	11.0	108.4	19.5
高速	25.6		400	10.8	108.6	19.5
中速	12.8		200	10.5	108.8	19.6
低速	3.2		50	10.3	109.0	19.6
最大速度	32.768	64	256	7.44	111.8	20.1
高速	25.6		200	7.30	112.0	20.1
中速	12.8		100	7.09	112.2	20.1
低速	3.2		25	6.93	112.4	20.2
最大速度	32.768	128	128	5.20	114.9	20.6
高速	25.6		100	5.10	115.1	20.6
中速	12.8		50	4.93	115.4	20.7
低速	3.2		12.5	4.82	115.6	20.7
最大速度	32.768	256	64	3.69	117.9	21.1
高速	25.6		50	3.63	118.0	21.1
中速	12.8		25	3.48	118.4	21.2
低速	3.2		6.25	3.39	118.6	21.2
最大速度	32.768	512	32	2.64	120.8	21.6
高速	25.6		25	2.62	120.9	21.6
中速	12.8		12.5	2.47	121.4	21.7
低速	3.2		3.125	1.27	127.1	22.6
最大速度	32.768	1024	16	1.94	123.5	22.0
高速	25.6		12.5	1.90	123.6	22.0
中速	12.8		6.25	1.76	124.3	22.2
低速	3.2		1.5625	0.886	130.3	23.1

表 6-5. FIR2 滤波器性能（V_{REF} = 4.096V，1 倍输入范围）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})	动态范围 (dB)	有效分辨率（位）
最大速度	32.768	16	1024	51.0	95.1	17.3
高速	25.6		800	51.0	95.1	17.3
中速	12.8		400	50.3	95.2	17.3
低速	3.2		100	50.0	95.3	17.3
最大速度	32.768	32	512	11.6	108.0	19.4
高速	25.6		400	11.4	108.1	19.5
中速	12.8		200	11.1	108.3	19.5
低速	3.2		50	10.9	108.5	19.5
最大速度	32.768	64	256	7.85	111.3	20.0
高速	25.6		200	7.69	111.5	20.0
中速	12.8		100	7.47	111.8	21.1
低速	3.2		25	7.33	111.9	21.1

Copyright © 2025 Texas Instruments Incorporated

表 6-5. FIR2 滤波器性能（V_{REF} = 4.096V，1 倍输入范围）（续）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	噪声 (e_n，μV_{RMS})	动态范围 (dB)	有效分辨率（位）
最大速度	32.768	128	128	5.47	114.5	20.5
高速	25.6		100	5.36	114.7	20.5
中速	12.8		50	5.18	114.9	20.6
低速	3.2		12.5	5.07	115.1	20.6
最大速度	32.768	256	64	3.86	117.5	21.0
高速	25.6		50	3.80	117.6	21.0
中速	12.8		25	3.66	118.0	21.1
低速	3.2		6.25	3.58	118.2	21.1
最大速度	32.768	512	32	2.79	120.3	21.5
高速	25.6		25	2.73	120.5	21.5
中速	12.8		12.5	2.59	121.0	21.6
低速	3.2		3.125	1.76	124.3	22.2
最大速度	32.768	1024	16	2.01	123.2	22.0
高速	25.6		12.5	1.99	123.3	22.0
中速	12.8		6.25	1.83	124.0	22.1
低速	3.2		1.5625	1.26	127.2	22.6
最大速度	32.768	2048	8	1.51	125.6	22.4
高速	25.6		6.25	1.48	125.8	22.4
中速	12.8		3.125	0.928	129.9	23.1
低速	3.2		0.78125	0.927	129.9	23.1

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

ADS127L21 是一款高性能的 24 位 Δ-Σ 模数转换器 (ADC)。该器件在宽带滤波器模式下的数据速率高达 512kSPS，在低延时滤波器模式下的数据速率高达 1.365MHz。可编程数字滤波器允许自定义的滤波器响应。该器件提供四种速度模式，可在分辨率、带宽和功耗之间进行权衡。

功能方框图 展示了 ADS127L21 的特性。输入和正基准预充电缓冲器会增加输入阻抗，以减少系统误差。VCM 输出提供 1/2 Vs 电压来驱动外部输入驱动器级的共模电压。

差分输入信号被定义为 $V_{IN} = (V_{AINP} - V_{AINN})$，差分基准被定义为 $V_{REF} = (V_{REFP} - V_{REFN})$。多位 Δ-Σ 调制器根据差分基准来测量差分输入信号。调制器将量化噪声整形到带外频率范围，在此范围内通过数字滤波器去除噪声。信号频带内剩余的噪声是恒定密度白噪声。数字滤波器对调制器数据进行抽取和滤除，以便提供高分辨率输出数据。

数字滤波器有两种工作模式：低延时和宽带。低延时模式包含可编程 sinc3 或 sinc4 滤波器，在级联模式下运行时可选择使用 sinc1 滤波器。低延时滤波器可更大限度地减少直流信号测量的延时时间。

宽带滤波器包含一个预设或可编程系数 FIR 滤波器和四个串联运行的双二阶 IIR 滤波器。IIR 滤波器可实现自定义滤波器，如高通、带通、带阻、低通等。

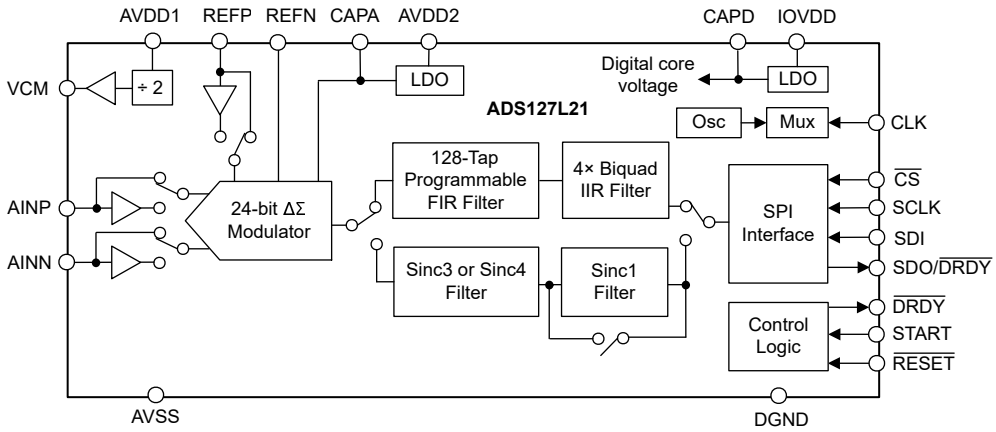
可编程过采样率 (OSR) 与四种速度模式相结合，可优化信号带宽、分辨率和功耗。

SPI 兼容串行接口用于配置器件和读取转换数据。该接口具有菊花链功能，可在多通道同步采样系统中实现简化的 SPI 路由。集成的循环冗余校验 (CRC) 错误监控可提高系统级可靠性。$\overline{\text{DRDY}}$ 引脚指示转换数据何时就绪。$\overline{\text{DRDY}}$ 功能可与 SDO/$\overline{\text{DRDY}}$ 引脚结合使用，以减少 SPI 线的数量。

该器件支持针对交流或直流信号应用的外部时钟运行，以及针对直流信号应用的内部振荡器。START 引脚同步数字滤波器过程。$\overline{\text{RESET}}$ 引脚复位 ADC。

电源电压 AVDD1 为预充电缓冲器和输入采样开关供电。AVDD2 通过内部稳压器为调制器供电。电源电压 IOVDD 是数字 I/O 电压，它还使用数字稳压器为数字内核供电。内部稳压器可在提供一致性能水平的同时更大限度地降低功耗。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入（AINP、AINN）

ADC 的模拟输入为差分输入，输入定义为差分电压：$V_{IN} = V_{AINP} - V_{AINN}$。为了获得出色性能，使用差分信号驱动输入，共模电压以 1/2 Vs（即 (AVDD1 + AVSS) / 2）为中心。

Copyright © 2025 Texas Instruments Incorporated

ADC 通过相应地配置 AVDD1 和 AVSS 电源，可接受单极或双极输入信号。图 7-1 展示了在单极电源配置下的差分信号示例。当共模电压处于 1/2 Vs (AVDD1 / 2) 时，可提供对称输入电压余量。对于单极配置，使用 AVDD1 = 5V 和 AVSS = 0V（请参阅降低 AVDD1 运行规范）。

图 7-2 展示了双极配置下的差分信号示例。信号的共模电压 (V_{CM}) 通常为 0V。双极运行模式下使用 AVDD1 = 2.5V 和 AVSS = –2.5V。

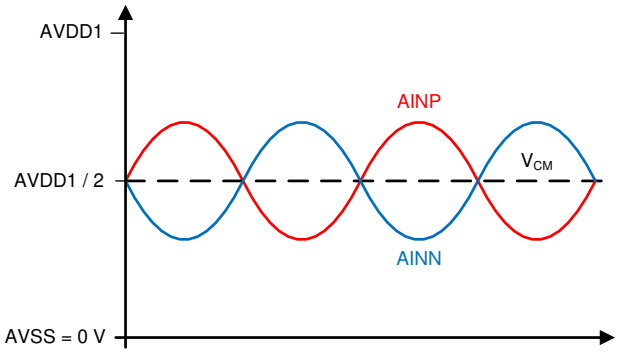


图 7-1. 单极差分输入信号

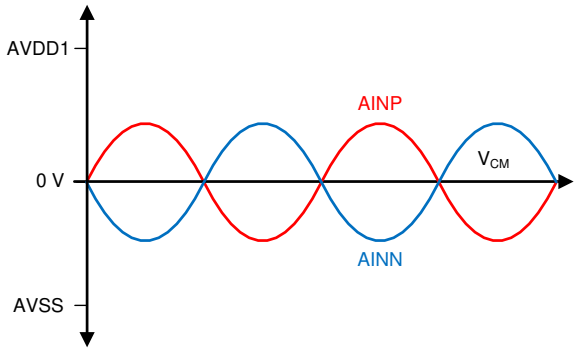


图 7-2. 双极差分输入信号

在双极或单极电源配置中，ADC 通过将 AINN 输入连接到 AVSS、地或 1/2 Vs 来接受单端输入信号。但是，由于 AINN 现在是固定的，因此 ADC 的电压范围受 AINP 的输入电压摆幅所限制。也就是说，双极运行模式下为 ±2.5V，5V 单极运行模式下为 0V 至 5V。

Copyright © 2025 Texas Instruments Incorporated

图 7-3 中显示的简化电路代表模拟输入结构。

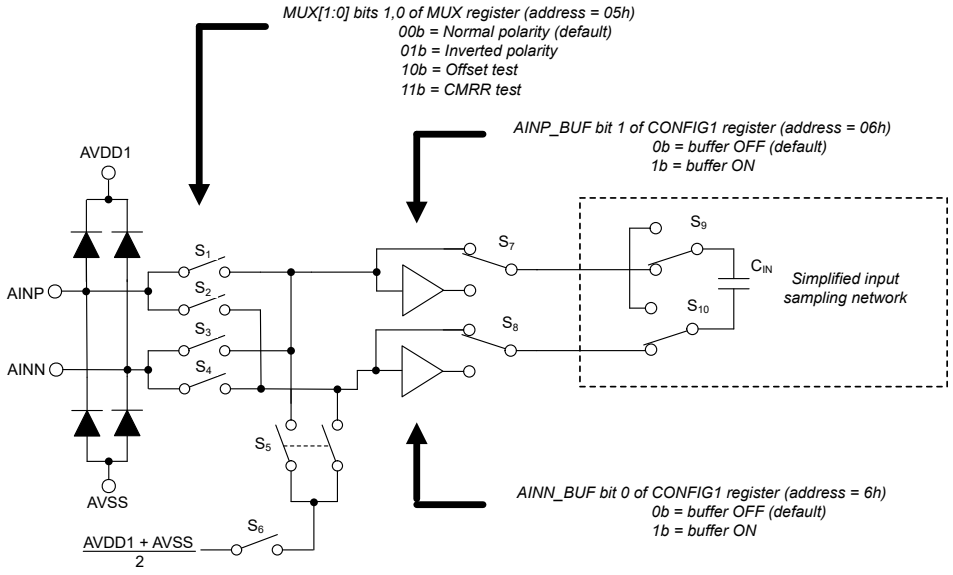


图 7-3. 模拟输入电路

二极管可以保护 ADC 输入免受静电放电 (ESD) 事件的影响。在 ESD 受控环境中制造时，这些事件在制造过程和印刷电路板 (PCB) 组装过程中发生。如果输入被驱动至 AVSS – 0.3V 以下或 AVDD1 + 0.3V 以上，保护二极管可能会导通。在这些条件下，请使用外部钳位二极管和/或串联电阻器将输入电流限制为指定值。

输入多路复用器可提供正常或反向输入信号极性的选项。多路复用器还提供两种内部测试模式，有助于验证 ADC 性能。偏移测试模式通过将 ADC 输入短路来验证噪声和偏移误差。生成的噪声和失调电压数据由用户进行评估。通过向 AINP 输入施加 CMRR 测试信号，可使用 CMRR 测试模式测试 CMRR 性能。生成的 CMRR 测试数据也由用户进行评估。表 7-1 展示了图 7-3 的输入多路复用器电路的开关配置。

表 7-1. 输入多路复用器配置

MUX[1:0] 位	闭合开关	说明
00b	S_1、S_4	正常极性输入 ($V_{IN} = V_{AINP} - V_{AINN}$)
01b	S_2、S_3	反极性输入 ($V_{IN} = V_{AINN} - V_{AINP}$)
10b	S_5、S_6	内部噪声和偏移误差测试
11b	S_1、S_5	使用施加到 AINP 的信号进行 CMRR 测试

ADC 通过将电压存储在 C_{IN} 电容器上，以调制器频率 (f_{MOD}) 对输入电压进行采样。电容器在调制器的相反时钟相位上放电，此时重复采样过程。鉴于 C_{IN} 的瞬时电荷需求，信号必须在调制器频率下的半个周期内稳定。此频率为 $t = 1 / (2 \cdot f_{MOD})$。为了满足这一要求，外部驱动器带宽通常需要比原始信号频率大得多。当达到所需的 THD、SNR 和增益误差性能时，即可确定驱动器的带宽足够。在中低速运行模式下，调制器频率降低，因此驱动器有更多的时间可以稳定。

采样电容器所需的输入电荷被建模为峰值电流和流入 ADC 输入端的平均电流。如方程式 15 和方程式 16 所示，平均输入电流由差分和绝对分量组成。

$$\text{Input Current (Differential Input Voltage)} = f_{MOD} \cdot C_{IN} \cdot 10^6 \ (\mu A/V) \quad (15)$$

其中：

- $f_{MOD} = f_{CLK} / 2$
- C_{IN} = 7.4pF（1 倍输入范围）、3.6pF（2 倍输入范围）

Copyright © 2025 Texas Instruments Incorporated

$$\text{Input Current (Absolute Input Voltage)} = f_{MOD} \cdot C_{CM} \cdot 10^6 \ (\mu A/V) \quad (16)$$

其中：

- $f_{MOD} = f_{CLK} / 2$
- C_{CM} = 0.35pF（1 倍输入范围）、0.17pF（2 倍输入范围）

对于 f_{MOD} = 12.8MHz（高速模式）、C_{IN} = 7.4pF 且 C_{CM} = 0.35pF 的情况，差分电压产生的平均电流为 95 µA/V。绝对电压产生的平均电流为 4.5 µA/V。例如，如果 AINP = 4.5V 且 AINN = 0.5V，则 V_{IN} = 4V。总 AINP 平均电流 = (4V · 95 µA/V) + (4.5V · 4.5 µA/V) = 400 µA。总 AINN 平均电流 = (–4V · 95 µA/V) + (0.5V · 4.5 µA/V) = –378 µA。

该器件集成了输入预充电缓冲器，可显著降低 C_{IN} 电容器的电荷需求。当被启用时，缓冲器在采样阶段最初位于电路内。当 C_{IN} 接近满电荷时，缓冲器被旁路（图 7-3 的 S_7 和 S_8 处于向上位置）。然后，外部信号驱动器为电容器提供精细充电。采样阶段完成时，调制器对采样电容器放电以完成一个转换周期。缓冲器可降低为 C_{IN} 充电所需的输入电流，从而提高了输入阻抗并放宽了外部驱动器要求。输入缓冲器由 CONFIG1 寄存器的 AINP_BUF 和 AINN_BUF 位启用。如果 AINN 接地或连接到低阻抗固定电位，则禁用 AINN 缓冲器以降低功耗。

7.3.1.1 输入范围

ADC 有两个输入范围：1 倍和 2 倍。1 倍范围由 $V_{IN} = \pm V_{REF}$ 定义，2 倍范围由 $V_{IN} = \pm 2V_{REF}$ 定义。当使用 2.5V 或更低的基准电压时，2 倍输入范围将可用范围加倍。使用 2.5V 基准时，2 倍输入范围通常可将 SNR 提高 1dB。然而，为了实现全动态范围，需要将输入驱动至 5V 电源轨。通过使用 4.096V 或 5V 基准电压（将 ADC 编程为高基准范围模式），可实现最出色的动态范围（通常可提高 4dB）。选择高基准范围时，2 倍范围运行会在内部强制进入 1 倍范围模式。要对输入范围进行编程，请参阅 CONFIG1 寄存器。表 7-2 总结了 ADC 输入范围选项。

表 7-2. ADC 输入范围

INP_RNG 位(1)	输入范围 (V)
0	$\pm V_{REF}$
1	$\pm 2V_{REF}$

(1) 选择高基准范围时，输入范围强制为 1 倍。

在某些情况下，完整的可用输入范围会受到电源电压的限制，无法进行测量。例如，在 2 倍范围模式下使用具有 2.5V 基准电压的 3V AVDD1 电源时，输入范围会超过电源电压。

ADC 还提供将输入范围扩展到标准满量程范围以外的选项。在此模式下，输入范围扩展了 25%，以便在信号出现削波之前提供信号余量。输出数据按比例调整，使正负满量程输出代码（7FFFFFh 和 800000h）处于 $\pm 1.25 \cdot k \cdot V_{REF}$。在此计算中，k 是 1 倍或 2 倍输入范围选项。

由于调制器饱和，当信号超过标准满量程范围的 110% 时，SNR 性能会下降。STATUS1 寄存器的 MOD_FLAG 位用于指示调制器饱和。图 7-4 展示了在扩展范围内运行时的 SNR 性能。要对扩展范围模式进行编程，请参阅 CONFIG1 寄存器。

Copyright © 2025 Texas Instruments Incorporated

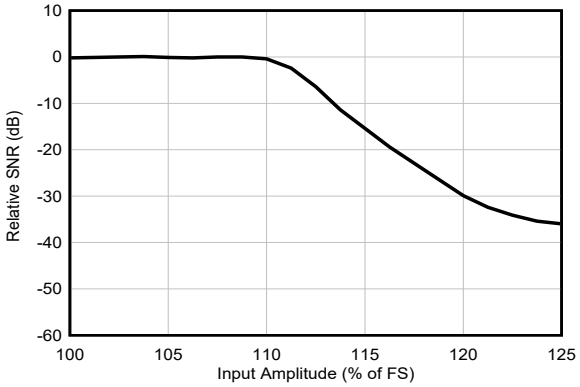


图 7-4. 扩展范围 SNR 性能

7.3.2 基准电压（REFP、REFN）

运行需要基准电压。基准电压输入为差分电压，定义为：$V_{REF} = V_{REFP} - V_{REFN}$，施加到 REFP 和 REFN 引脚。有关基准电压工作范围的详细信息，请参阅*基准电压范围*部分。

如图 7-5 所示，基准输入具有与模拟输入相似的输入结构。ESD 二极管保护基准输入。确保基准引脚上的电压不得比 AVSS 低 0.3V 以上，也不得比 AVDD1 高 0.3V 以上。这些限制是为了阻止 ESD 二极管导通。在这些条件下，请使用外部钳位二极管和/或串联电阻器将输入电流限制为指定值。

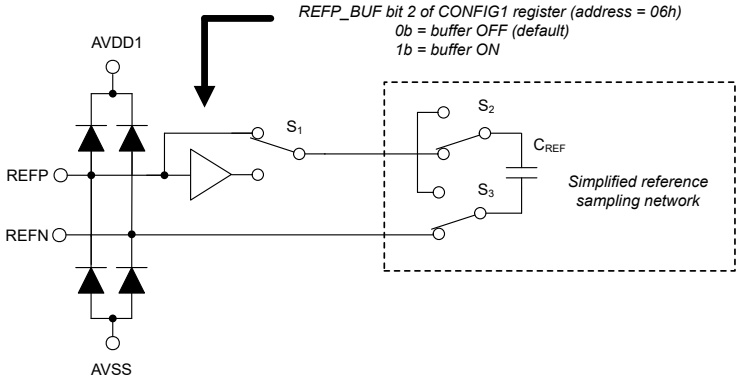


图 7-5. 基准输入电路

基准电压由采样电容器 C_{REF} 采样。在非缓冲模式下，电流流经基准输入，为采样电容器充电。电流由一个直流分量和一个交流分量组成，随调制器采样时钟的频率而变化。有关基准输入电流规格，请参阅*电气特性*表。

在采样阶段结束时 $t = 1 / (2 \cdot f_{MOD})$，需要确保基准电压已经稳定，以便基本采样电容器可以充电。基准电压不完全稳定会增加增益误差和增益误差漂移。在较低速度模式下运行会降低调制器采样时钟频率，因此让基准驱动器有更多的时间稳定下来。

ADC 为 REFP 输入提供了预充电缓冲器选项，以便减少采样电容器消耗的电荷。预充电缓冲器为基准采样电容器 C_{REF} 提供粗略充电电流。在采样阶段的中途，预充电缓冲器会被旁路掉（S_1 处于向上位置，如图 7-5 所示）。此时，外部驱动器为采样电容器提供精细充电电流。由于此缓冲器减少了采样电容器的电荷需求，因此基准输入阻抗增加。

许多应用都会将 REFN 接地，因此在这些情况下不需要 REFN 的预充电缓冲器。对于 REFN 不是低阻抗源的应用，请考虑缓冲 REFN 输入。

7.3.2.1 基准电压范围

基准电压分为两个范围：低基准范围和高基准范围。需对电压范围进行编程，以便匹配施加的基准电压（例如 2.5V 或 4.096V）。低基准电压工作范围为 0.5V 至 2.75V，高基准电压工作范围为 1V 至 AVDD1 – AVSS 电源

Copyright © 2025 Texas Instruments Incorporated

电压。为了在范围重叠的情况下（例如 2.5V）获得更好的噪声性能，请使用低基准范围。将 CONFIG1 寄存器的 REF_RNG 位编程到适当的基准电压。选择高基准范围时，输入范围在内部强制为 1x 范围。

7.3.3 时钟运行

图 7-6 展示了 ADC 时钟电路的方框图。ADC 由应用于 CLK 引脚的外部时钟信号或内部振荡器操作。可通过 CONFIG3 寄存器的 CLK_SEL 位实现时钟运行。时钟分频器的输出产生 ADC 系统时钟 (f_{CLK})。系统时钟进一步被二分频以获得调制器时钟 (f_{MOD})。

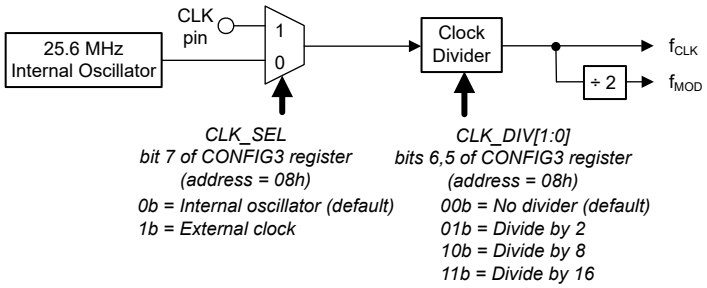


图 7-6. 时钟方框图

如有必要，使用时钟分频器为所选速度模式编程适当的频率。表 7-3 展示了最小 OSR 设置下对应速度模式和相应数据速率的标称时钟频率。2 分频或 16 分频的时钟分频因子强制所有速度模式的低延时滤波器 OSR 值为中速模式的值。有关速度模式的 OSR 值列表，请参阅表 8-12。

对于时钟分频器值大于 1 的情况，由于分频时钟信号的相位未知，ADC 同步结果具有不确定性。为了获得一致的同步结果，请使用 1 分频时钟设置。

表 7-3. ADC 时钟频率

速度模式	时钟频率 (MHz)	最大额定数据速率 (kSPS)	
		宽带滤波器	低延时滤波器
最大值	32.768	512	1365.3
高	25.6	400	1066.6
中	12.8	200	533.3
低	3.2	50	133.333

7.3.3.1 内部振荡器

上电时和器件复位后，ADC 默认为内部振荡器模式（CLK_SEL 位 = 0b）。由于内部振荡器频率固定为 25.6MHz，因此在使用中低速模式时请使用时钟分频器。内部振荡器不可用于最大速度模式。由于内部振荡器的时钟抖动，仅使用内部振荡器进行直流信号测量。测量交流信号时，不建议使用内部振荡器。

将时钟模式从外部时钟更改为内部振荡器时，应保持外部时钟。在完成用于更改时钟模式的 SPI 寄存器写入命令后，确保将该时钟保持至少四个时钟周期。时钟模式更改后，ADC 会在 150 µs 的时间忽略控制输入（START 和 RESET 引脚）。这段时间可以让内部振荡器稳定下来。

Copyright © 2025 Texas Instruments Incorporated

7.3.3.2 外部时钟

对于外部时钟运行，请将 CLK_SEL 位编程为 1b。在对该位进行编程之前，请将时钟信号应用于 CLK 引脚。可使用时钟分频器对时钟频率进行分频。例如，对 25.6MHz 时钟信号进行 8 分频，为低速模式生成 3.2MHz 内部时钟。

降低时钟频率可以在 OSR 值之间产生特定的数据速率。不过，当降低时钟频率时，转换噪声与原始时钟频率相同。只有增加 OSR 值或改变滤波器模式，才能降低转换噪声。

时钟抖动会在信号采样时产生时序变化，从而导致 SNR 性能下降。低抖动时钟对于满足数据表 SNR 性能至关重要。例如，当信号频率为 200kHz 时，需要抖动小于 10ps (rms) 的外部时钟。对于较低的信号频率，时钟抖动要求放宽了 –20dB/dec。例如，当 f_{IN} = 20kHz 时，100ps 的时钟抖动是可以接受的。许多类型的 RC 振荡器会表现出高水平的抖动，但在交流信号测量中需要避免这些抖动。请使用晶体或体声波型振荡器。避免时钟输入上出现振铃。放置在时钟缓冲器输出端的串联电阻通常有助于减少振铃。

7.3.4 调制器

调制器是开关电容器三阶架构，可在保持低功耗的同时实现出色的噪声和线性性能。与大多数由高振幅或带外信号驱动的调制器一样，它也可能会发生调制器饱和。饱和时，带内信号仍会转换，但本底噪声会增加。图 7-7 展示了为避免调制器饱和而设定的振幅限制与频率关系图。带内信号的振幅限制为 1dBFS。

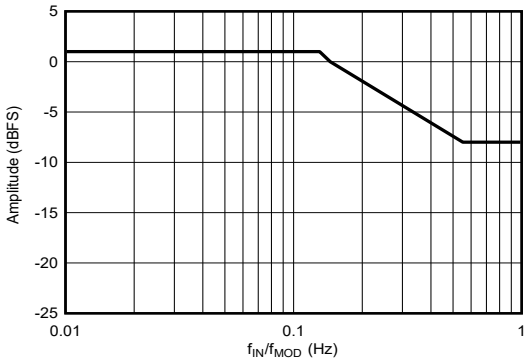


图 7-7. 为避免调制器饱和而设置的振幅限制

调制器饱和由 STATUS1 寄存器的 MOD_FLAG 位来指示。在转换期间，锁存调制器饱和状态并在转换完成时刷新。通过在 ADC 输入端使用抗混叠滤波器，可避免因带外信号而产生的调制器饱和。*THS4551 抗混叠滤波器设计* 部分讨论了一个四阶抗混叠滤波器的示例。不过，如果输入振幅低于饱和限值，则可以接受低阶滤波器。

7.3.5 数字滤波器

数字滤波器对调制器的低分辨率数据执行低通滤波和抽取，以生成高分辨率、较低速的转换数据。过采样率 (OSR) 决定了滤波量和抽取，进而影响信号带宽、转换噪声和最终数据速率。输出数据速率定义为：$f_{DATA} = f_{MOD} / OSR$。

如图 7-8 所示，ADC 提供了两种滤波器模式：宽带和低延时。滤波器在频率响应特性（宽带滤波器模式）或时域特性（低延时滤波器模式）之间进行优化。宽带滤波器具有 IIR 滤波器，用于仿真模拟型滤波器。宽带 FIR 和 IIR 滤波器的系数可由用户进行编程。

Copyright © 2025 Texas Instruments Incorporated

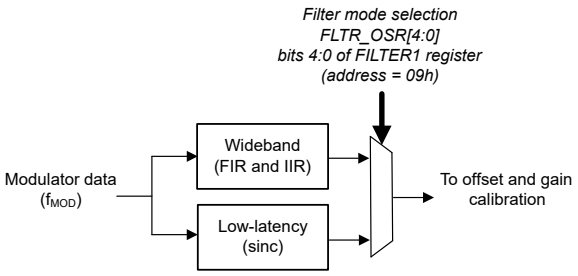


图 7-8. 数字滤波器图

7.3.5.1 宽带滤波器

宽带滤波器的通带、转换带和阻带特性可用于交流信号测量。在最大速度模式运行中，宽带滤波器支持 211kHz 的输入信号带宽。使用默认系数运行宽带滤波器（特性如*规格*部分所述）或使用用户编程系数运行宽带滤波器。宽带滤波器还包括一个 IIR 滤波器，它包含四个用于对模拟滤波器进行数字滤波器仿真的双二阶。

图 7-9 展示了宽带滤波器方框图。

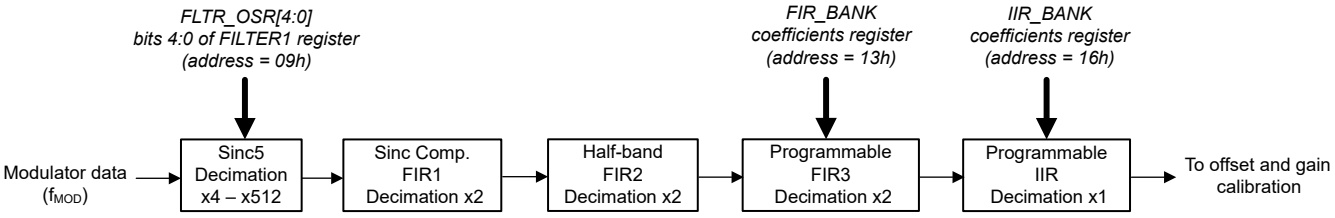


图 7-9. 宽带滤波器图

7.3.5.1.1 宽带滤波器选项

宽带滤波器可提供级间旁路以及 FIR3-IIR 滤波器序列反转选项。图 7-10 展示了宽带滤波器选项。禁用滤波器级会绕过滤波器功能和相关的抽取。例如，在禁用 FIR2、FIR3 和 IIR 滤波器级的情况下，FIR1 滤波器数据以四倍正常数据速率输出。对滤波器选项的数量没有限制。但是，如果禁用了 FIR2，则应以 16 为整体 OSR 禁用 FIR3 和 IIR 滤波器。

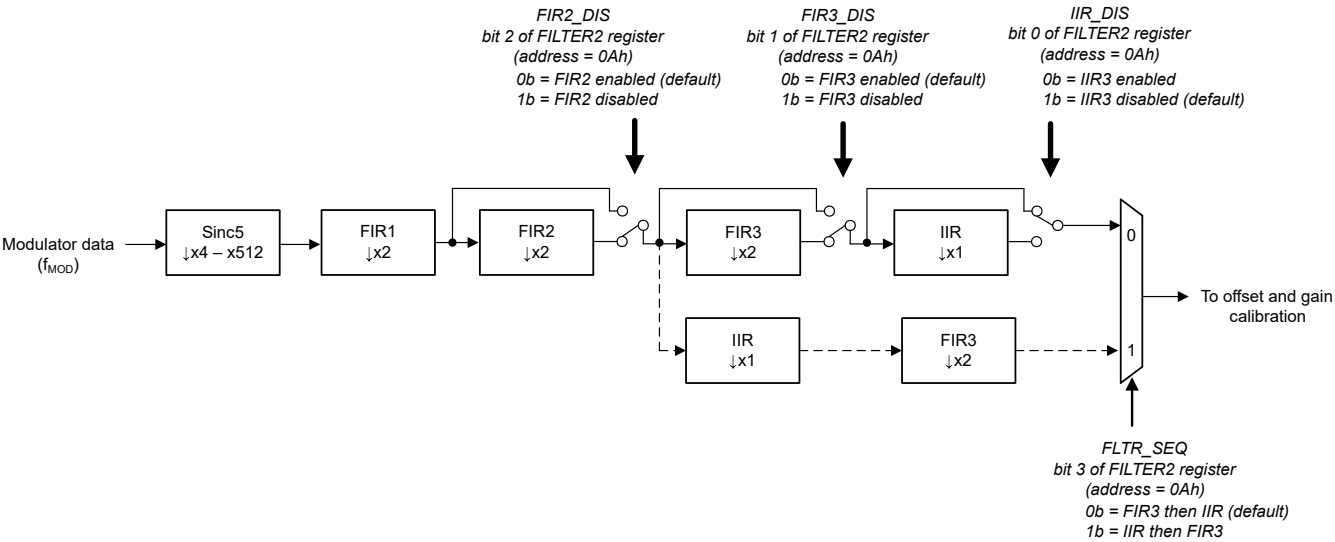


图 7-10. 宽带滤波器选项

Copyright © 2025 Texas Instruments Incorporated

7.3.5.1.2 Sinc5 滤波器级

sinc5 滤波器通过求平均值和抽取对调制器数据进行预滤波。sinc5 滤波器的变量 OSR 决定最终数据速率的范围。sinc5 滤波器 OSR 可通过 FILTER1 寄存器的 FLTR_OSR[4:0] 位在 4 至 512 范围内进行编程，从而产生 OSR 32 至 4096 的最终范围。

7.3.5.1.3 FIR1 滤波器级

FIR1 滤波器级位于 sinc5 滤波器之后。FIR1 滤波器会限制和抽取数据，同时补偿 sinc5 滤波器滚降。FIR1 滤波器的系数通过 2 分频抽取固定。通过禁用 FIR2、FIR3 和 IIR 滤波器，FIR1 滤波器数据直接路由给输出端。图 7-11 展示了 FIR1 滤波器输出的频率响应。

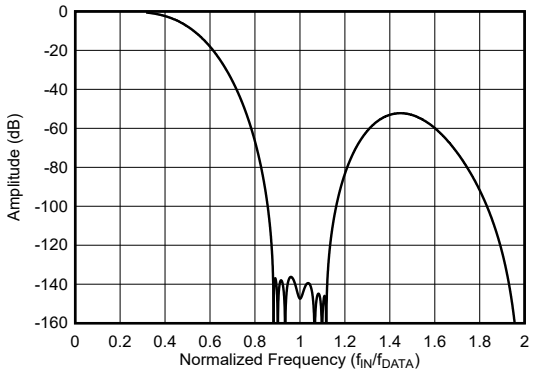


图 7-11. FIR1 滤波器频率响应 (OSR = 32)

有关 FIR1 滤波器的噪声性能，请参阅表 6-4。表 7-4 列出了滤波器延时时间值。

表 7-4. FIR1 滤波器延时时间

模式	f_{CLK} (MHz)	OSR[1]	数据速率 (kSPS)	延时时间[2] (µs)
最大速度	32.768	8	2048	5.9
高速	25.6		1600	7.5
中速	12.8		800	15.0
低速	3.2		200	59.8
最大速度	32.768	16	1024	11.0
高速	25.6		800	14.1
中速	12.8		400	28.1
低速	3.2		100	112.3
最大速度	32.768	32	512	21.3
高速	25.6		400	27.2
中速	12.8		200	54.4
低速	3.2		50	217.2
最大速度	32.768	64	256	41.8
高速	25.6		200	53.4
中速	12.8		100	106.9
低速	3.2		25	427.4
最大速度	32.768	128	128	82.8
高速	25.6		100	105.9
中速	12.8		50	211.8
低速	3.2		12.5	847.2
最大速度	32.768	256	64	164.8
高速	25.6		50	210.9
中速	12.8		25	421.9
低速	3.2		6.25	1687.3

Copyright © 2025 Texas Instruments Incorporated

表 7-4. FIR1 滤波器延时时间（续）

模式	f_{CLK} (MHz)	OSR(1)	数据速率 (kSPS)	延时时间(2) (μs)
最大速度	32.768	512	32	328.9
高速	25.6		25	420.9
中速	12.8		12.5	841.9
低速	3.2		3.125	3367.4
最大速度	32.768	1024	16	657.0
高速	25.6		12.5	840.9
中速	12.8		6.25	1681.9
低速	3.2		1.5625	6727.3

(1) FIR1 OSR 是 FILTER1 寄存器的 FILT_OSR[4:0] 设置除以 4。
(2) 当启用模拟输入缓冲器后，延时时间增加 8 / f_{CLK} (μs)。

7.3.5.1.4 FIR2 滤波器级

FIR2 滤波器是一种中间级 *半带* 低通滤波器，可通过 2 分频抽取来降低数据速率。通过禁用 FIR3 和 IIR 滤波器级，FIR2 滤波器数据直接提供给输出。图 7-12 展示了 FIR2 滤波器输出的频率响应。

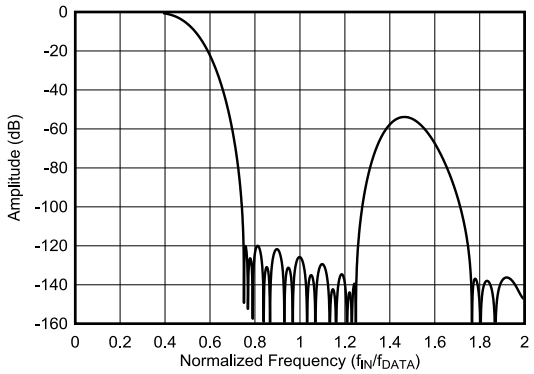


图 7-12. FIR2 滤波器频率响应 (OSR = 32)

表 7-5 和表 6-5 展示了 FIR2 滤波器延时时间和噪声性能。

表 7-5. FIR2 滤波器延时时间

模式	f_{CLK} (MHz)	OSR(1)	数据速率 (kSPS)	延时时间(2) (μs)
最大速度	32.768	16	1024	19.8
高速	25.6		800	25.3
中速	12.8		400	50.6
低速	3.2		100	202.3
最大速度	32.768	32	512	38.9
高速	25.6		400	49.7
中速	12.8		200	99.4
低速	3.2		50	397.2
最大速度	32.768	64	256	76.9
高速	25.6		200	98.4
中速	12.8		100	196.9
低速	3.2		25	787.4
最大速度	32.768	128	128	153.1
高速	25.6		100	195.9
中速	12.8		50	391.9
低速	3.2		12.5	1567.5

Copyright © 2025 Texas Instruments Incorporated

表 7-5. FIR2 滤波器延时时间（续）

模式	f_{CLK} (MHz)	OSR(1)	数据速率 (kSPS)	延时时间(2) (μs)
最大速度	32.768	256	64	305.5
高速	25.6		50	390.9
中速	12.8		25	781.8
低速	3.2		6.25	3127.4
最大速度	32.768	512	32	610.1
高速	25.6		25	780.9
中速	12.8		12.5	1561.8
低速	3.2		3.125	6247.5
最大速度	32.768	1024	16	1219.5
高速	25.6		12.5	1560.9
中速	12.8		6.25	3121.8
低速	3.2		1.5625	12487
最大速度	32.768	2048	8	2438.3
高速	25.6		6.25	3120.9
中速	12.8		3.125	6241.9
低速	3.2		0.78125	24.968

(1) FIR2 OSR 是 FILTER1 寄存器的 FILT_OSR[4:0] 设置除以 2。
(2) 当启用模拟输入缓冲器后，延时时间增加 8 / f_{CLK} (μs)。

7.3.5.1.5 FIR3 滤波器级

FIR3 滤波器使用预设或可编程的系数。FIR3 滤波器有一个旁路选项可用于旁路掉滤波器 2 分频抽取。图 7-13 展示了 FIR3 滤波器的结构。

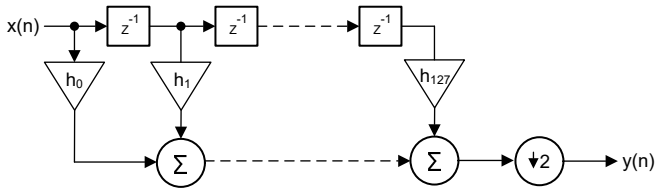


图 7-13. FIR3 滤波器结构

FIR3 滤波器由 128 个抽头组成，使用固定 2 分频抽取来降低最终数据速率。这些系数是采用有符号 1.31 格式的 32 位整数值，MSB 作为符号位。此位表示 –1 (80000000h) 至 1 – $1/2^{31}$ (7FFFFFFFh) 的十进制范围。通常，当通带中的增益为 0dB 时，这些系数的总和为 1。如果使用较少的抽头，则用零值填充结束系数。

由于 ADC 使用 128 个抽头，第一次转换的延时时间为 75 / f_{DATA} + 16 / f_{CLK}，而预设系数为 68 / f_{DATA} + 16 / f_{CLK}。然而，滤波器的*群延迟*由滤波器系数的设计确定。

FLTR_OSR[4:0] 寄存器位对宽带滤波器的总体 OSR 和最终数据速率进行编程。将 FLTR_SEL[2:0] 寄存器位设置为 000b 会选择默认系数运算，设置为 111b 会选择可编程系数运算。有关详细信息，请参阅 FILTER1 寄存器。

FIR3 滤波器的可编程系数被写入 FIR_BANK 寄存器。该寄存器是单个地址（地址 13h），用于存储 512 字节的 128 系数值。要读取或写入这些系数，请对同一寄存器地址重复读取或写入操作。每次读取或写入操作完成后，器件会自动递增指向下一个内部存储器位置的存储器指针。如表 7-6 所示，操作的第一个字节是第 127 个系数 (h_{127}) 的 MSB，后跟 MSB-1、MSB-2 和 LSB 字节。下一个字节是第 126 个系数的 MSB，依此类推。读取/写入操作的最后一个字节（字节 512）是系数 h_0 的 LSB。在对另一个地址进行读写操作期间，寄存器地址的任何变化都会复位指向第一个存储器位置（h_{127} 的 MSB）的系数指针。如果在写入操作期间发生 SPI CRC 错误，请清除 STATUS1 寄存器的 SPI_ERR 位。此过程会从头开始重新启动系数读取或写入操作。

读取或写入滤波器系数时，各 SPI 帧之间至少需要 10 × t_{CLK} 延迟。在写入滤波器系数后同步 ADC。

Copyright © 2025 Texas Instruments Incorporated

表 7-6. FIR3 系数上传字节序列（寄存器地址 = 13h）

FIR3 系数	字节序列	字节
h_{127}	1、2、3、4	MSB、MSB-1、MSB-2、LSB
h_{126}	5、6、7、8	MSB、MSB-1、MSB-2、LSB
…	…	…
h_0	509、510、511、512	MSB、MSB-1、MSB-2、LSB

7.3.5.1.6 FIR3 默认系数

无需提供自定义系数即可使用 FIR3 系数。默认系数由 FILTER1 寄存器的 FLTR_SEL[2:0] 位 = 000b 选择。默认系数具有线性相位响应、低通带纹波、窄过渡带和高阻带衰减特性。

图 7-14 至图 7-18 说明了默认的宽带滤波器频率响应。图 7-14 展示了通带纹波。图 7-15 展示了过渡带的频率响应。

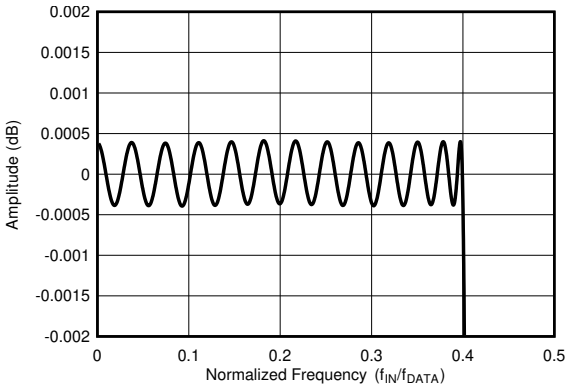


图 7-14. 宽带滤波器通带纹波

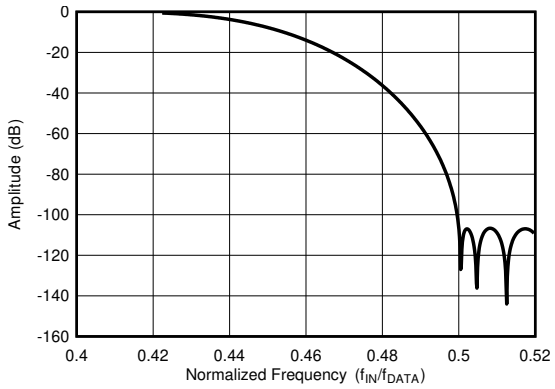


图 7-15. 宽带滤波器过渡带

图 7-16 展示了 OSR ≥ 64 时高达 f_{DATA} 的滤波器响应。阻带从 f_{DATA} / 2 开始，用以减少信号混叠。图 7-17 展示了 f_{MOD} 的滤波器。在阻带区中，信号频率在 f_{MOD} / 32 处与斩波频率的倍数进行互调，从而产生一系列超过数字滤波器所提供的衰减的响应峰值。响应峰值的宽度是滤波器带宽的两倍。当 ADC 输入由模拟抗混叠滤波器进行滤波时，阻带衰减得到改善。有关 ADC 输入端四阶抗混叠滤波器的详细信息，请参阅 *THS4551 抗混叠滤波器设计* 部分。

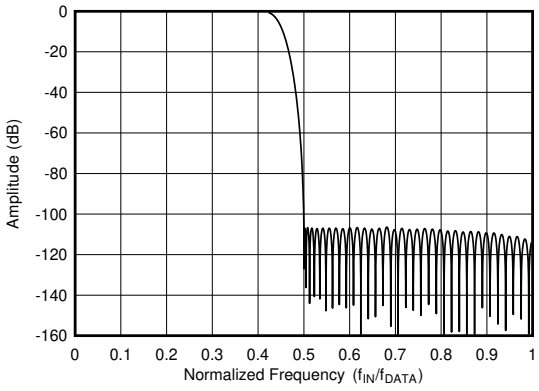


图 7-16. 宽带滤波器频率响应

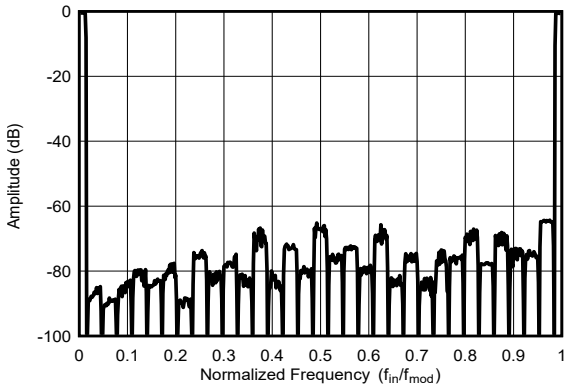


图 7-17. 宽带滤波器阻带衰减

Copyright © 2025 Texas Instruments Incorporated

图 7-18 展示了以 f_{MOD} 下的滤波器响应。如图所示，对于 f_{MOD} 的输入信号，滤波器响应重复。如果不被抗混叠滤波器去除，f_{MOD} 下的信号频率在通带中显示为混叠频率。

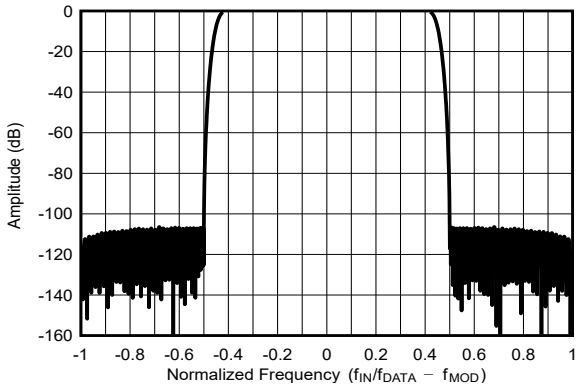


图 7-18. f_{MOD} 下的宽带滤波器频率响应

输入频率为 f_{MOD} 的倍数时，也会出现混叠。这些频段的定义如下：

$$\text{Alias frequency bands: } (N \cdot f_{MOD}) \pm f_{BW} \tag{17}$$

其中：

- N = 1、2、3 等
- f_{MOD} = 调制器采样频率
- f_{BW} = 滤波器带宽

滤波器的群延迟是输入信号显示在滤波器的输出端的传播时间。由于滤波器是线性相位设计，因此滤波器不会使复杂输入信号的包络失真。群延迟（以时间单位表示）是恒定的，而频率等于 34 / f_{DATA}。施加阶跃输入后，68 个数据周期之后会出现完全稳定的数据。图 7-19 展示了滤波器群延迟 (34 / f_{DATA}) 和阶跃输入的稳定时间 (68 / f_{DATA})。

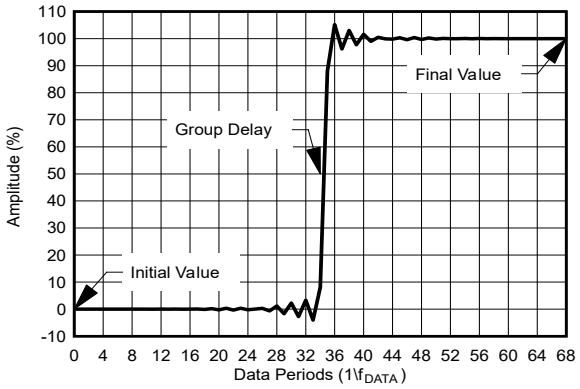


图 7-19. 宽带滤波器阶跃响应

当 ADC 同步时，数字滤波器会重新启动。ADC 会抑制前 68 个转换周期，直到滤波器完全稳定。同步后无需丢弃数据。数据抑制的时间是表 7-7 的*延时时间*列中列出的转换延时时间。所有数据速率都会产生 16 个 f_{CLK} 周期的开销时间。如果一个阶跃输入在没有同步的情况下随机施加到转换周期，那么接下来的 69 次转换是不稳定的数据。对于所有数据速率，幅值响应的 –0.1dB 频率为 0.4125 × f_{DATA}，–3dB 频率为 0.4374 × f_{DATA}。

Copyright © 2025 Texas Instruments Incorporated

表 7-7. 宽带默认滤波器特性

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	–0.1dB 频率 (kHz)	–3dB 频率 (kHz)	延时时间(1) (µs)
最大速度	32.768	32	512	211.2	223.9	135.5
高速	25.6		400	165	174.96	173.4
中速	12.8		200	82.5	87.48	346.9
低速	3.2		50	20.63	21.87	1387.8
最大速度	32.768	64	256	105.6	112.0	270.4
高速	25.6		200	82.5	87.48	346.1
中速	12.8		100	41.25	43.74	692.2
低速	3.2		25	10.31	10.94	2768.7
最大速度	32.768	128	128	52.8	55.99	540.0
高速	25.6		100	41.25	43.74	691.2
中速	12.8		50	20.63	21.87	1382.3
低速	3.2		12.5	5.1562	5.468	5529.2
最大速度	32.768	256	64	26.4	28.00	1079.2
高速	25.6		50	20.625	21.87	1381.3
中速	12.8		25	10.31	10.93	2762.6
低速	3.2		6.25	2.578	2.734	11051
最大速度	32.768	512	32	13.2	14.00	2157.6
高速	25.6		25	10.312	10.935	2761.6
中速	12.8		12.5	5.156	5.467	5523.3
低速	3.2		3.125	1.289	1.367	22093
最大速度	32.768	1024	16	6.6	7.998	4314.2
高速	25.6		12.5	5.156	5.467	5522.3
中速	12.8		6.25	2.578	2.734	11045
低速	3.2		1.5625	0.645	0.6834	44178
最大速度	32.768	2048	8	3.3	3.499	8627.8
高速	25.6		6.25	2.578	2.734	11044
中速	12.8		3.125	1.289	1.367	22087
低速	3.2		0.78125	0.322	0.3417	88348
最大速度	32.768	4096	4	1.65	1.750	17254
高速	25.6		3.125	1.289	1.367	22086
中速	12.8		1.5625	0.645	0.6834	44172
低速	3.2		0.390625	0.161	0.1709	176690

(1) IIR 滤波器被绕过。当启用模拟输入缓冲器后，延时时间增加 8 / f_{CLK} (µ s)。

7.3.5.1.7 IIR 滤波器级

宽带滤波器具有 IIR 滤波器选项。如图 7-20 所示，IIR 滤波器由四个具有五个比例因子（g_1 至 g_5）的双二阶滤波器组成。IIR 滤波器块由 FILTER2 寄存器的 IIR_DIS 位启用（默认禁用）。IIR 滤波器可以在 FIR3 滤波器之前或之后运行。

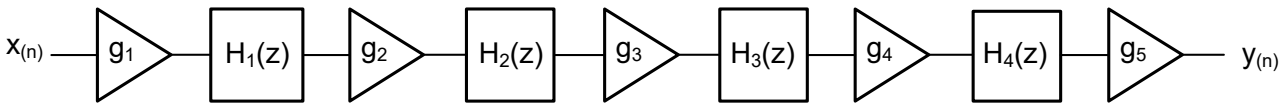


图 7-20. IIR 滤波器方框图

Copyright © 2025 Texas Instruments Incorporated

如图 7-21 所示，双二阶滤波器段是以直接形式 1 实现。方程式 18 展示了双二阶传递函数。

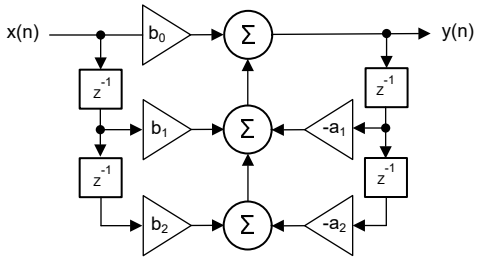


图 7-21. IIR H(z)

$$H(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \quad (18)$$

双二阶系数是采用 2.30 格式的 32 位有符号整数，MSB 作为符号位，表示 –2 (80000000h) 到 2 – $2/2^{31}$ (7FFFFFFFh) 的十进制范围。系数将上传到 IIR_BANK 寄存器。该寄存器是单个地址（地址 16h），用于存储 IIR 系数的 100 字节集，包括 80 个系数字节和 20 个比例因子字节。

要读取和写入这些系数，请对同一寄存器地址（地址 16h）执行顺序读取和写入操作。每次读取或写入操作后，一个内部指针会自动递增到下一个存储器位置。如表 7-8 所示，操作的第一个字节是系数 g_5 的 MSB，后跟 MSB-1、MSB-2 和 LSB 字节；而后是 a_{42} 的 MSB，依此类推。系数 a_{42} 表示第四个双二阶 $H_4(z)$ 的 a_2 系数。最后一个字节（字节 100）是 g_1 的 LSB。在读取或写入操作序列期间，对另一个寄存器的任何地址更改都会将指针复位到第一个存储器位置。如果在写入操作期间发生 SPI CRC 错误，请清除 STATUS1 寄存器的 SPI_ERR 位，从而将系数写入操作复位到开始。读取或写入滤波器系数时，各 SPI 帧之间至少需要 10 × t_{CLK} 延迟。

在写入滤波器系数后同步 ADC。

IIR 滤波器的默认配置是单位增益全通滤波器。即，g_1 到 g_5 = 1、b_{x0} = 1 且 b_{x1}、b_{x2}、a_{x1} 和 a_{x2} = 0，其中 x 是双二阶次数。

表 7-8. IIR 系数上传字节序列（寄存器地址 = 16h）

IIR 系数	字节序列	字节	默认值	
			十六进制	十进制
g_5	1、2、3、4	MSB、MSB-1、MSB-2、LSB	40000000h	1.0
a_{42}	5、6、7、8	MSB、MSB-1、MSB-2、LSB	00000000h	0
a_{41}	9、10、11、12	MSB、MSB-1、MSB-2、LSB	00000000h	0
b_{42}	13、14、15、16	MSB、MSB-1、MSB-2、LSB	00000000h	0
b_{41}	17、18、19、20	MSB、MSB-1、MSB-2、LSB	00000000h	0
b_{40}	21、22、23、24	MSB、MSB-1、MSB-2、LSB	40000000h	1.0
g_4	25、26、27、28	MSB、MSB-1、MSB-2、LSB	40000000h	1.0
...	...	...	...	...
b_{10}	93、94、95、96	MSB、MSB-1、MSB-2、LSB	40000000h	1.0
g_1	97、98、99、100	MSB、MSB-1、MSB-2、LSB	40000000h	1.0

7.3.5.1.7.1 IIR 滤波器稳定性

为稳定运行而设计的 IIR 滤波器要求多项式 H(z) 分母的极点半径位于单位圆上或在单位圆内。即，极点半径 r 必须 ≤ 1。但是，由于 ADS127L21 IIR 滤波器的分辨率有限，IIR 滤波器可能会出现干扰。干扰包括零信号输入时的死区效应和原始信号中不包含的舍入噪声。当 H(z) 的极点半径 > 0.98 时，就会出现干扰。图 7-22 显示了 z 平面中的单位圆和 IIR 滤波器的 0.98 极点半径。

Copyright © 2025 Texas Instruments Incorporated

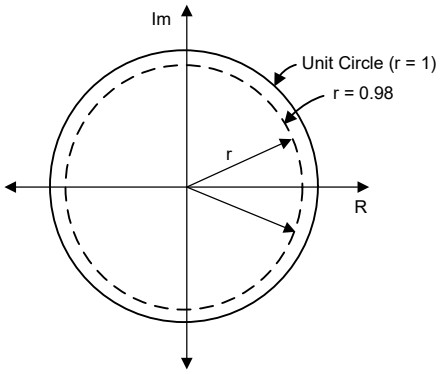


图 7-22. Z 平面

H(z) 原型滤波器设计的极点半径通过 $\sqrt{a_2}$ 计算得出。在此计算中，a_2 是 H(z) 分母中 $1 + a_1z^{-1} + a_2z^{-2}$ 多项式的系数。通过降低数据速率与滤波器频率之比来减小极点半径。通过在 ADC 中测试滤波器来评估原型 IIR 滤波器设计的适用性。

7.3.5.2 低延时滤波器 (Sinc)

低延时滤波器是一种级联积分梳状 (CIC) 拓扑，可在转换数据通过滤波器传播时更大限度地减少延迟（延时）。由于具有特征 sinx/x (sinc) 频率响应，CIC 滤波器被称为 sinc 滤波器。延时时间短于宽带滤波器，这使得 sinc 滤波器非常适合用于快速采集直流信号或用在控制环路中。如图 7-23 所示，该器件提供可编程 OSR 和若干个 sinc 滤波器配置：sinc3、sinc4，后跟级联 sinc1 级选项。Sinc 滤波器的配置允许在采集时间、噪声性能和线路周期抑制之间进行权衡。

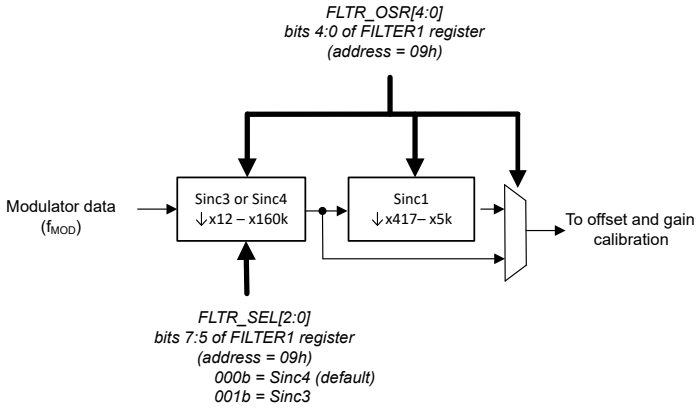


图 7-23. Sinc 滤波器方框图

方程式 19 描述了 sinc 滤波器频率响应的一般表达式。对于单级 sinc 滤波器模式，不使用第二级。

$$\left|H_{(f)}\right| = \left| \frac{\sin\left[\frac{A\pi f}{f_{MOD}}\right]}{A\sin\left[\frac{\pi f}{f_{MOD}}\right]} \right|^{n} \cdot \left| \frac{\sin\left[\frac{AB\pi f}{f_{MOD}}\right]}{B\sin\left[\frac{A\pi f}{f_{MOD}}\right]} \right| \tag{19}$$

其中：

- n = 1 级（3 或 4）的滤波器阶数
- A = Sinc3 或 sinc4 级 OSR
- B = Sinc1 级 OSR
- f = 输入信号频率

Copyright © 2025 Texas Instruments Incorporated

- $f_{MOD} = f_{CLK} / 2$

延时定义为从开始第一次转换到 $\overline{DRDY}$ 下降沿的时间。在此时间，有完全稳定的数据可供使用。无需丢弃数据，因为 ADC 会抑制未稳定的数据。表 7-9 和表 7-12 给出了每个 sinc 滤波器模式的详细延时数据。

如果在主动转换时更改输入信号（未同步到 START 引脚或 START 位），则会导致临时输出未完全稳定的数据。为了确定完全稳定数据所需的时间，请将 sinc 滤波器表中列出的延时时间值舍入为下一个转换周期整数。

7.3.5.2.1 Sinc3 和 Sinc4 滤波器

sinc 滤波器对高速调制器数据进行平均值计算和抽取、在降低的数据速率下生成高分辨率输出数据。增大 OSR 值会降低数据速率，同时降低因抽取和数据平均增加而产生的信号带宽和转换噪声。表 7-9 列出了 sinc3 和 sinc4 滤波器 –3dB 频率和延时时间。

表 7-9. Sinc3 和 Sinc4 滤波器特性

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	–3dB 频率 (kHz)		延时时间[1] (μs)	
				SINC3	SINC4	SINC3	SINC4
最大速度	32.768	12	1365.3	357.0	310.2	2.97	3.66
高速	25.6		1066.6	278.9	242.3	3.73	4.69
中速	12.8		533.3	139.5	121.2	7.46	9.36
低速	3.2		133.33	34.9	30.3	29.8	37.4
最大速度	32.768	16	1024	267.8	232.7	3.66	4.63
高速	25.6		800	209.2	181.8	4.67	5.95
中速	12.8		400	104.6	90.9	9.33	11.9
低速	3.2		100	26.2	22.7	37.4	47.3
最大速度	32.768	24	682.67	178.5	155.1	5.12	6.64
高速	25.6		533.3	139.5	121.2	6.57	8.43
中速	12.8		266.67	69.7	60.6	13.1	16.9
低速	3.2		66.67	17.4	15.1	52.3	67.4
最大速度	32.768	32	512	133.9	116.3	6.59	8.55
高速	25.6		400	104.6	90.9	8.42	10.9
中速	12.8		200	52.3	45.4	16.9	21.8
低速	3.2		50	13.1	11.4	67.3	87.2
最大速度	32.768	64	256	66.9	58.2	12.4	16.4
高速	25.6		200	52.3	45.4	16.0	21.0
中速	12.8		100	26.2	22.7	31.8	41.9
低速	3.2		25	6.54	5.68	127	167
最大速度	32.768	128	128	33.5	29.1	24.2	32.0
高速	25.6		100	26.2	22.7	31.0	41.0
中速	12.8		50	13.1	11.4	61.9	81.9
低速	3.2		12.5	3.27	2.84	247	327
中速	12.8	167	38.323	10.0	8.71	80.2	106
最大速度	32.768	256	64	16.7	14.5	47.6	63.2
高速	25.6		50	13.1	11.4	60.9	80.9
中速	12.8		25	6.54	5.68	121.9	162
低速	3.2		6.25	1.63	1.42	487	648
最大速度	32.768	333	49.201	12.9	11.2	61.7	82.0
高速	25.6		38.438	10.1	8.73	79.0	105
中速	12.8		19.219	5.03	4.37	158	210
低速	3.2		4.804	1.26	1.09	631	840

Copyright © 2025 Texas Instruments Incorporated

表 7-9. Sinc3 和 Sinc4 滤波器特性（续）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	-3dB 频率 (kHz)		延时时间[1] (μs)	
				SINC3	SINC4	SINC3	SINC4
最大速度	32.768	512	32	8.37	7.27	94.5	126
高速	25.6		25	6.54	5.68	121	161
中速	12.8		12.5	3.27	2.84	242	322
低速	3.2		3.125	0.817	0.710	967	1287
最大速度	32.768	667	24.564	6.42	5.58	123	164
高速	25.6		19.19	5.02	4.36	157	209
中速	12.8		9.595	2.51	2.18	314	419
低速	3.2		2.39	0.627	0.545	1258	1675
最大速度	32.768	1024	16	4.18	3.64	188	251
高速	25.6		12.5	3.27	2.84	241	321
中速	12.8		6.25	1.63	1.42	482	642
低速	3.2		1.5625	0.409	0.355	1927	2567
最大速度	32.768	1333	12.291	3.21	2.79	245	326
高速	25.6		9.602	2.51	2.18	313	417
中速	12.8		4.801	1.26	1.09	627	835
低速	3.2		1.2	0.314	0.273	2507	3340
最大速度	32.768	2048	8	2.09	1.82	376	501
高速	25.6		6.25	1.63	1.42	481	641
中速	12.8		3.125	0.817	0.710	962	1282
低速	3.2		0.7813	0.204	0.178	3847	5127
最大速度	32.768	2667	6.143	1.61	1.40	489	652
高速	25.6		4.799	1.26	1.09	626	834
中速	12.8		2.4	0.628	0.545	1252	1669
低速	3.2		0.6	0.157	0.136	5008	6675
最大速度	32.768	4096	4	1.046	0.909	751	1001
高速	25.6		3.125	0.817	0.710	961	1281
中速	12.8		1.563	0.409	0.355	1922	2562
低速	3.2		0.391	0.102	0.089	7687	10247
最大速度	32.768	5333	3.072	0.803	0.698	977	1303
高速	25.6		2.4	0.628	0.545	1251	1667
低速	3.2		0.3	0.078	0.068	10006	13340
中速	12.8	13333	0.480	0.126	0.109	6251	8335
中速	12.8	16000	0.400	0.105	0.0909	7501	10002
最大速度	32.768	26667	0.614	0.161	0.140	4884	6511
高速	25.6		0.480	0.126	0.109	6251	8334
低速	3.2		0.06	0.0157	0.0136	50008	66675
最大速度	32.768	32000	0.512	0.134	0.116	5860	7813
高速	25.6		0.4	0.105	0.091	7501	10001
低速	3.2		0.05	0.0131	0.0114	60007	80007
中速	12.8	48000	0.133	0.0349	0.0303	22502	30002
中速	12.8	80000	0.08	0.0209	0.0182	37502	50002
最大速度	32.768	96000	0.17067	0.0446	0.0388	17579	23438
高速	25.6		0.133	0.0349	0.0303	22501	30001
低速	3.2		0.016$\overline{6}$	0.0044	0.0038	180007	240007

Copyright © 2025 Texas Instruments Incorporated

表 7-9. Sinc3 和 Sinc4 滤波器特性（续）

模式	f_{CLK} (MHz)	OSR	数据速率 (kSPS)	–3dB 频率 (kHz)		延时时间[1] (μs)	
				SINC3	SINC4	SINC3	SINC4
最大速度	32.768	160000	0.102	0.0268	0.0233	29298	39063
高速	25.6		0.08	0.0209	0.0182	37501	50001
低速	3.2		0.01	0.0026	0.0023	300005	400004

(1) 当启用模拟输入缓冲器后，延迟时间增加 $8/f_{CLK}$ (μs)。

Copyright © 2025 Texas Instruments Incorporated

由于滤波过程中执行的数据平均减少，因此在 OSR 值 ≤ 24 时完整的 24 位输出数据将不可用。表 7-10 汇总了 OSR 值 ≤ 24 时的输出分辨率。

表 7-10. Sinc3 和 Sinc4 数据分辨率

OSR	分辨率（位）
12	19
16	20.5
24	23

图 7-24 和图 7-25 展示了 sinc 滤波器频率响应。频率响应在 f_{DATA} 及其整数倍处出现一系列响应零位。在零频率时，滤波器具有零增益。图 7-25 展示了从 $f_{MOD}/2$ 频率开始频率响应出现的折叠。在接近 $n \cdot f_{MOD}$（n = 1、2、3 等）的输入频率下，滤波器不提供衰减。

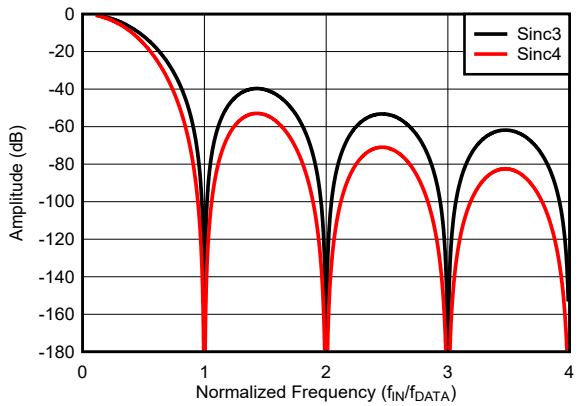


图 7-24. Sinc3 和 Sinc4 频率响应 (OSR = 32)

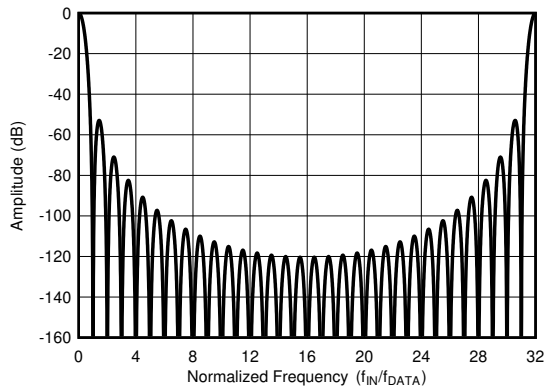


图 7-25. f_{MOD} 的 Sinc4 频率响应 (OSR = 32)

表 7-11 展示了数据速率等于公共线路周期频率时滤波器的正常模式抑制。

表 7-11. 正常模式抑制

模式	OSR	f_{DATA} (SPS)	2% 时钟变化		6% 时钟变化	
			SINC3 滤波器	SINC4 滤波器	SINC3 滤波器	SINC4 滤波器
低速	96000	16.6̄	100dB	135dB	72dB	95dB
低速	32000	50				
低速	26667	60				
高速	32000	400				

7.3.5.2.2 Sinc3 + Sinc1 和 Sinc4 + Sinc1 级联滤波器

对于选定的数据速率，sinc3 和 sinc4 滤波器提供了级联 sinc1 滤波器部分的选项。与单级 sinc3 或 sinc4 滤波器相比，sinc1 滤波器的级联可在以相同数据速率运行时缩短延时时间。但是，因为在数据速率频率下具有较宽的频率抑制范围，sinc3 和 sinc4 滤波器可更好地抑制 50Hz 和 60Hz 干扰信号。在级联模式下运行时，sinc3 或 sinc4 级的 OSR 固定为 32 (OSR = A)。sinc1 级的抽取 (OSR = B) 决定了输出数据速率。级联滤波器的第一级可编程为 sinc3 或 sinc4。表 7-12 汇总了级联滤波器特性。

Copyright © 2025 Texas Instruments Incorporated

表 7-12. Sinc3 + Sinc1 和 Sinc4 + Sinc1 级联滤波器特性

模式	f_{CLK} (MHz)	OSR (A × B)(1)	数据速率 (SPS)	–3dB 频率 (Hz)	延时时间 (μs)	
					SINC3 + SINC1	SINC4 + SINC1
中速	12.8	13334 (32 × 417)	480	212	2097	2102
中速	12.8	16000 (32 × 500)	400	177	2512	2517
最大速度	32.768	26656 (32 × 833)	614	271	1632	1634
高速	25.6		480	212	2089	2091
低速	3.2		60	26.5	16708	16728
最大速度	32.768	32000 (32 × 1000)	512	226	1958	1960
高速	25.6		400	177	2506	2509
低速	3.2		50	22.1	20048	20068
中速	12.8	48000 (32 × 1500)	133	58.9	7512	7517
中速	12.8	80000 (32 × 2500)	80	35.4	12512	12517
最大速度	32.768	96000 (32 × 3000)	170.6	75.4	5864	5866
高速	25.6		133.3	58.9	7506	7508
低速	3.2		16.7	7.37	60048	60068
最大速度	32.768	160000 (32 × 5000)	102.4	45.3	9770	9772
高速	25.6		80	35.4	12506	12508
低速	3.2		10	4.42	100047	100067

(1) A = 第一级 sinc3 或 sinc4 的 OSR，B = sinc1 第二级的 OSR。

图 7-26 展示了 sinc1 级联模式滤波器的频率响应，第一级处于 sinc4 模式下，OSR = 26656 和 32000。这些 OSR 值在低速模式运行时表示 f_{DATA} = 50SPS 和 60SPS。频率响应中的零位在 $n \cdot f_{DATA}$ 时发生，n = 1、2、3 等。在零频率时，滤波器具有零增益。假设没有 ADC 时钟频率误差，正常模式抑制为 34dB（典型值），在滤波器零频率处，信号频率可以在预期频率的 ±2% 范围内变化。

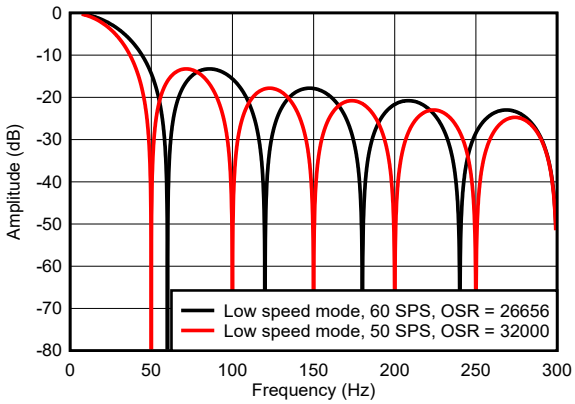


图 7-26. Sinc1 级联滤波器频率响应

7.3.6 电源

器件有三个模拟电源（AVDD1、AVSS 和 AVDD2）和一个数字电源 (IOVDD)。

7.3.6.1 AVDD1 和 AVSS

AVDD1 和 AVSS 是为输入和电压基准预充电缓冲器和采样开关供电的模拟电源。根据信号输入类型，将 ADC 配置为双极电源运行或单极电源运行。双极电源运行的示例值为 AVDD1 = 2.5V、AVSS = –2.5V，而单极电源运行的示例值为 AVDD1 = 5V、AVSS = DGND。

Copyright © 2025 Texas Instruments Incorporated

7.3.6.2 AVDD2

AVDD2 是以 AVSS 为基准的模拟电源，用于为调制器内核供电。在单极电源工作中，将 AVDD2 连接到 AVDD1 以减少所需的电源电压数量，或将 AVDD2 连接到较低的电源以降低器件功耗。

7.3.6.3 IOVDD

IOVDD 是器件的数字 I/O 电源电压。IOVDD 在内部调节至 1.35V，以便为数字内核供电。IOVDD 的电压电平与模拟电源电压电平无关。

7.3.6.4 上电复位 (POR)

ADC 使用电源监控器来检测上电和电源欠压事件。IOVDD 数字电源的上电或下电上电会导致器件复位。模拟电源的上电或下电上电不会复位 ADC。

图 7-27 展示了 IOVDD 的数字上电阈值和内部 CAPD 电压。当电压高于相应的阈值时，ADC 从复位状态释放。$\overline{\text{DRDY}}$ 在 SPI 通信准备就绪时转换为高电平。如果 START 引脚为高电平，ADC 会立即开始转换，每次转换都会使 $\overline{\text{DRDY}}$ 引脚进行脉冲操作。但是，只有在电源和基准电压稳定后，才会出现有效的转换数据。STATUS 寄存器的 POR_FLAG 位指示器件 POR。写入 1b 以清除该位，以便检测下一个 POR 事件。

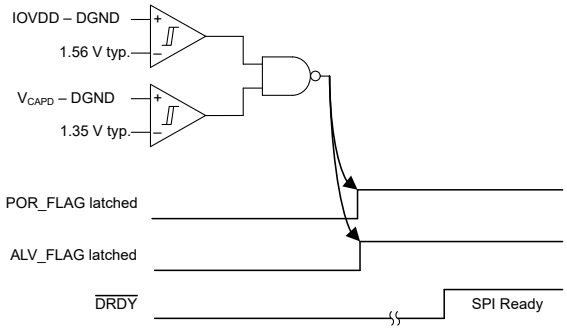


图 7-27. 数字电源阈值

图 7-28 展示了模拟电源的上电阈值。为四种模拟电源电压状况 (AVDD1 – AVSS)、(AVDD1 – DGND)、(AVDD2 – AVSS) 和 (CAPA – AVSS) 使用四个监视器。在上电后所有电源和基准电压均稳定下来时，才能够获得有效的转换数据。当任何模拟电源电压降至低于相应阈值时，设置 STATUS 寄存器的 ALV_FLAG 位。写入 1b 来清除该位，以便检测下一个模拟电源低电压条件。对模拟电源进行下电上电不会复位 ADC。由于 IOVDD 电源上的低电压会复位内部模拟 LDO (CAPA)，因此在设置 POR_FLAG 时会设置模拟低电压标志 (ALV_FLAG)。

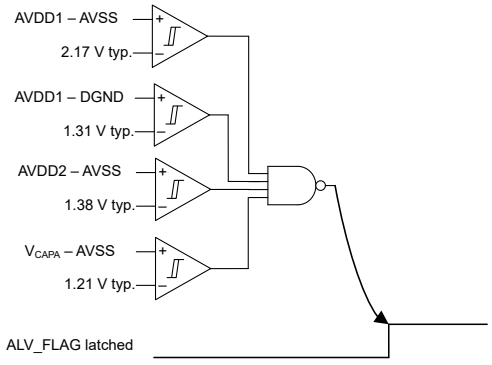


图 7-28. 模拟电源阈值

Copyright © 2025 Texas Instruments Incorporated

7.3.6.5 CAPA 和 CAPD

CAPA 和 CAPD 是内部模拟和数字稳压器的输出电压。这些稳压器可以降低电源电压，从而以更低的功耗运行内部子电路。这些稳压器不用于驱动外部负载。CAPA 是模拟稳压器电压输出，由 AVDD2 供电。该输出电压为 1.6V，以 AVSS 为基准。使用一个 1µF 电容器将 CAPA 旁路至 AVSS。

CAPD 是数字稳压器电压输出，由 IOVDD 供电。稳压器输出为 1.35V，以 DGND 为基准。使用一个 1µF 电容器将 CAPD 旁路至 DGND。

7.3.7 VCM 输出电压

VCM 输出是全差分放大器 (FDA) 输出共模控制输入的偏置电压。偏置电压为 ADC 输入信号确立共模电压。VCM 电压调节至 AVDD1 - AVSS 电源的 1/2 Vs。对于许多类型的 FDA，如果 FDA 和 ADC 使用相同电源，在当共模控制输入悬空时，会提供相同的共模电压。但是，如果 FDA 和 ADC 电源具有不同值，请使用 VCM 电压偏置 FDA 共模电压。如果未使用 VCM 电压，则使引脚保持未连接。通过 CONFIG1 寄存器的 VCM 位来启用 VCM 输出。

7.4 器件功能模式

7.4.1 速度模式

该 ADC 提供电源可扩展速度模式，能够优化信号带宽、数据速率和功耗。对于速度模式之间的数据速率值重叠，使用较高的 OSR 值可以提高动态范围性能。最大速度模式可提供最高的数据速率和信号带宽，而低速模式可更大限度地降低不需要大信号带宽的应用的功耗。用户根据速度模式调整 ADC 时钟频率。有关时钟频率和时钟分频器选项，请参阅*时钟运行*部分。通过 CONFIG2 寄存器的 SPEED_MODE[1:0] 位来选择速度模式。

7.4.2 空闲模式

当转换被停止时，ADC 提供保持完全供电的空闲模式或者进入低功耗待机模式的选项。在空闲模式下，模拟电路保持完全运行，包括对信号和电压基准输入的采样。只有数字滤波器处于非活动状态。当转换重新开始时，数字滤波器开始转换过程。空闲模式（默认）通过 CONFIG2 寄存器的 STBY_MODE 位进行编程。

7.4.3 待机模式

当停止转换时，ADC 可选择低功耗待机模式。当由 CONFIG2 寄存器的 STBY_MODE 位启用后，待机模式功能会自动启用。在待机期间，停止信号和基准电压的采样。当重新开始转换时，信号和基准电压的采样会恢复。当退出待机模式时，第一次转换的延迟时间会增加 24 个 f_{CLK} 周期。

7.4.4 断电模式

通过设置 CONFIG2 寄存器的 PWEDN 位进入断电模式。在断电模式下，模拟和数字部分断电，除了需要一个小偏置电流来维持 SPI 运行，通过清除 PWDN 位来退出断电模式。数字 LDO 还保持激活状态以保持用户寄存器设置。在断电模式下，停止信号和电压基准的采样。通过向 PWDN 位写入 0b 或通过复位器件来退出断电模式。

7.4.5 复位

ADC 在上电时执行自动复位，也可通过 $\overline{\text{RESET}}$ 引脚或 SPI 操作手动复位。复位时，控制逻辑、数字滤波器和 SPI 重启以及用户寄存器复位为默认值。有关在复位后 ADC 什么时候可用于运行的详细信息，请参阅图 5-5。

7.4.5.1 $\overline{\text{RESET}}$ 引脚

$\overline{\text{RESET}}$ 引脚是低电平有效输入。通过将 $\overline{\text{RESET}}$ 置为低电平，然后再恢复为高电平，从而复位 ADC。因为 $\overline{\text{RESET}}$ 引脚有一个内部 20kΩ 上拉电阻器，如果不使用，则不需要将 $\overline{\text{RESET}}$ 置为高电平。$\overline{\text{RESET}}$ 引脚是施密特触发输入，旨在降低噪声灵敏度。请参阅图 5-5，了解 $\overline{\text{RESET}}$ 引脚时序以及在复位后 SPI 通信什么时候可用。由于 ADC 在上电时执行自动复位，因此无需手动复位。

7.4.5.2 通过 SPI 寄存器写入进行复位

将 01011000b 写入 CONTROL 寄存器，通过 SPI 操作对器件复位。向此寄存器写入任何其他值不会导致复位。在 4 线 SPI 模式下，在 $\overline{\text{CS}}$ 置为高电平时，复位在帧末尾生效。在 3 线 SPI 模式中，复位在寄存器写入操作的

Copyright © 2025 Texas Instruments Incorporated

SCLK 的最后一个下降沿上生效。3 线 SPI 模式中的复位要求 SPI 通信与主机同步。如果 SPI 同步丢失，请使用*通过 SPI 输入模式进行复位* 部分中描述的模式来复位器件。通过检查 STATUS 寄存器的 POR_FLAG 来验证复位。

7.4.5.3 通过 SPI 输入模式进行复位

器件提供一种通过长位模式输入进行复位的方法，该方法可以通过 SPI 操作来实现。输入模式不是常规命令格式的一部分。$\overline{CS}$ 必须在整个位序列中保持低电平。有两种可复位 ADC 的输入模式：模式 1 和模式 2。模式 1 包含*至少* 1023 个连续的 1，后跟一个 0。当最终零移入时，器件在 SCLK 的下降沿复位。此模式用于 3 线或 4 线 SPI 模式。图 7-29 展示了模式 1 复位示例。

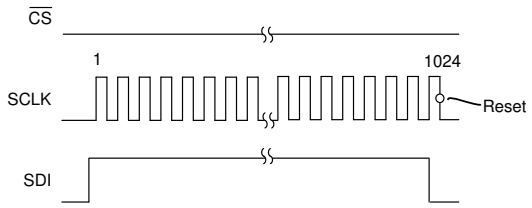


图 7-29. 复位模式 1（3 线或 4 线 SPI 模式）

复位模式 2 仅与 4 线 SPI 模式搭配使用。若要复位，请输入*至少* 1024 个连续的 1（无末尾零值），然后将 $\overline{CS}$ 置为高电平，此时会发生复位。当器件以菊花链模式连接时，请使用模式 2。图 7-30 展示了模式 2 复位示例。

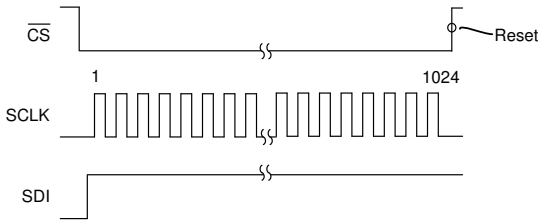


图 7-30. 复位模式 2（4 线 SPI 模式）

7.4.6 同步

转换由 START 引脚（或可选择通过 SPI 操作）进行同步和控制。如果通过 SPI 操作控制转换，则将 START 引脚保持在低电平，以避免与引脚发生竞争。向地址范围为 04h 到 0Eh 的任何寄存器写入数据会导致正在进行的转换重新启动，从而导致失去同步。在这种情况下，有时需要重新同步 ADC。

ADC 有三种同步和控制转换的模式：*同步*、*启动/停止和单次触发* 模式，每个模式都有特定的功能差异。使用 CONFIG2 寄存器的 START_MODE[1:0] 位对所需的同步模式进行编程。只有启动/停止模式和单次触发模式可通过 SPI 操作进行控制。

同步 ADC 后，第一次转换提供完全稳定的数据，但与正常数据周期相比会产生延迟（延时）。需要考虑到数字滤波器的完全稳定所需的延时，该延时取决于特定数据速率和滤波器模式。有关滤波器延时的详细信息，请参阅*数字滤波器* 部分。

7.4.6.1 同步控制模式

在同步控制模式下，无论 START 引脚是高电平还是低电平，ADC 都会连续转换。ADC 在 START 的上升沿同步。同步后，第一个 $\overline{DRDY}$ 下降沿会延迟，以便计入滤波器稳定时间（延迟时间）。在此模式下，可将等于数据速率倍数的单脉冲输入和连续时钟输入施加到 START 引脚。

ADC 在 START 的上升沿同步。如果到下一个 START 上升沿的时间是转换周期的 *n* 倍，在 $\pm 1/f_{CLK}$ 时段内，则 ADC 不会重新同步（*n* = 1、2、3 等）。由于 ADC 转换周期已经与 START 信号周期同步，因此不会发生同步。如果施加的 START 信号的周期*不* 是转换周期的 *n* 倍，则 ADC 会重新同步。由于数字滤波器存在传播延迟，

Copyright © 2025 Texas Instruments Incorporated

START 信号与 $\overline{\text{DRDY}}$ 输出之间存在相位差。图 7-31 展示了当 START 脉冲的周期不等于转换周期的 *n* 倍时与 START 信号的同步。

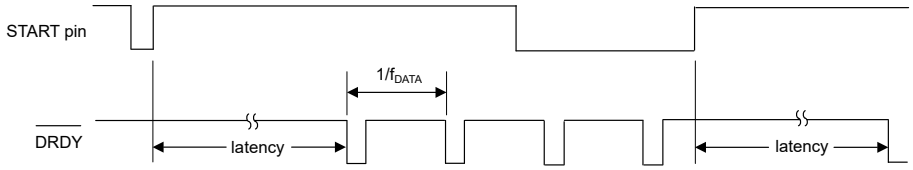


图 7-31. 同步控制模式

7.4.6.2 启动/停止控制模式

启动/停止控制模式是用于启动和停止转换的门控模式。通过将 START 引脚置为高电平，或如果通过 SPI 操作控制转换，则将 1b 写入 CONTROL 寄存器的 START 位来启动转换。

通过将 START 引脚置为低电平，或通过 SPI 操作将 1b 写入 STOP 位，转换会持续到停止。$\overline{\text{DRDY}}$ 在转换启动时驱动为高电平，并在每个转换数据就绪时驱动为低电平。如果在转换过程中 START 被置为低电平或将 1b 写入 STOP 位，则正在进行的转换会运行至完成，然后停止。（有关详细的 START 时序，请参阅图 5-6）。

要重新启动正在进行的转换，请短暂地将 START 从低电平变为高电平，然后再恢复为低电平，或再次向 START 位写入 1b。图 7-32 展示了 START 和 $\overline{\text{DRDY}}$ 操作。如果在启用待机模式后停止了转换，则 $\overline{\text{DRDY}}$ 在下降至低电平三个时钟周期后恢复高电平，否则当未处于待机模式时，$\overline{\text{DRDY}}$ 会保持低电平，直至在转换数据读取期间在第八个 SCLK 边沿强制拉至高电平。如果未读取数据，则 $\overline{\text{DRDY}}$ 会保持低电平，并在下一个 $\overline{\text{DRDY}}$ 下降沿之前生成一个高电平的脉冲信号。

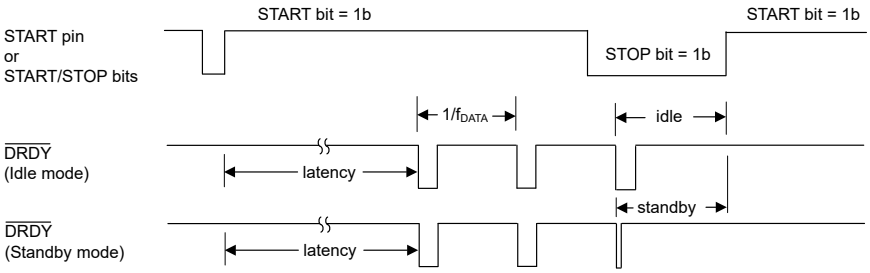


图 7-32. 启动/停止控制模式

7.4.6.3 单次触发控制模式

当 START 拉至高电平时，或者当 START 寄存器的 START 位设置为 1b 时通过 SPI 操作，单次触发控制模式启动单次转换。$\overline{\text{DRDY}}$ 驱动为高电平以指示转换开始，并在转换完成后驱动为低电平。此时数据可用于回读。

将 START 置为低电平或向 STOP 位写入 1b 不会中断正在进行的转换。STOP 位不起作用。要重新启动转换，请短暂地将 START 从低电平变为高电平，然后再恢复为低电平，或再次向 START 位写入 1b。图 7-33 展示了单次触发控制模式运行。启用待机模式后，$\overline{\text{DRDY}}$ 在转换为低电平后需要等待三个时钟周期才能恢复为高电平，否则 $\overline{\text{DRDY}}$ 会保持低电平，直至在 START 的下一个上升沿强制拉至高电平。

Copyright © 2025 Texas Instruments Incorporated

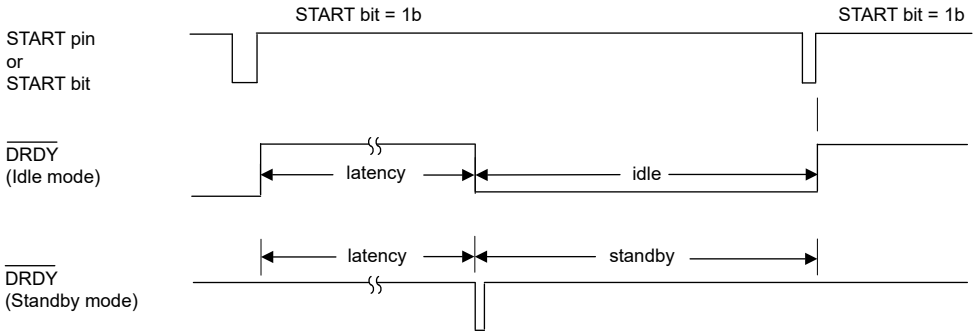


图 7-33. 单次触发控制模式

7.4.7 转换开始延迟时间

当 START 引脚或 START 位被置为有效时，提供可编程延迟时间来延迟第一个转换周期的启动。该延迟时间允许外部元件（例如退出待机模式后的电压基准）稳定，或在通过外部多路复用器切换信号时产生额外的稳定时间。在初始延迟时间之后，后续转换不会延迟。可编程延迟值会增加数字滤波器延迟时间值的时间。有关详细信息，请参阅 FILTER2 寄存器的 DELAY[2:0] 位。

7.4.8 Calibration

ADS127L21 通过用户偏移和增益校准寄存器提供偏移和增益校准。如图 7-34 所示，在乘以 24 位增益校准值之前，从转换数据中减去 24 位偏移校准值。输出数据四舍五入为最终分辨率（16 位或 24 位），并在缩放操作后削波为 +FS 和 –FS 代码值。

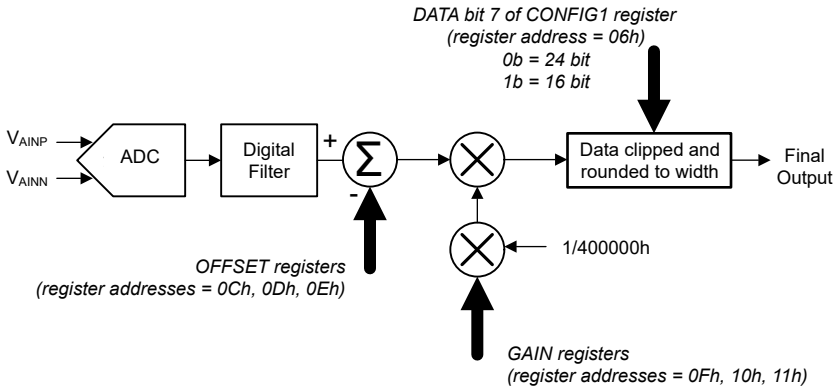


图 7-34. 校准方框图

方程式 20 表示如何校准转换数据：

$$\text{Final Output Data} = (\text{Data} - \text{OFFSET}) \times \text{GAIN} / 400000\text{h} \quad (20)$$

Copyright © 2025 Texas Instruments Incorporated

7.4.8.1 OFFSET2、OFFSET1、OFFSET0 校准寄存器（地址 0Ch、0Dh、0Eh）

偏移校准值是一个 24 位值，由三个以二进制补码格式编码的 8 位寄存器组成。从转换数据中减去偏移值。寄存器 0Ch 是最高有效字节，寄存器 0Dh 是中间字节，寄存器 0Eh 是最低有效字节。如果 ADC 编程为提供 16 位分辨率，则最低有效偏移字节提供低于 LSB 的偏移精度。表 7-13 展示了示例偏移校准值。

表 7-13. OFFSET 寄存器值

OFFSET 寄存器值	已应用偏移
000010h	– 16LSB
000001h	– 1LSB
FFFFFFh	1LSB
FFFFF0h	16LSB

7.4.8.2 GAIN2、GAIN1、GAIN0 校准寄存器（地址 0Fh、10h、11h）

增益校准值是一个 24 位值，由三个采用直接二进制格式编码的 8 位寄存器组成，并在 400000h 时标准化为单位增益。例如，要校正大于 1 的增益误差，增益校准值小于 400000h。寄存器 0Fh 是最高有效字节，寄存器 10h 是中间字节，寄存器 11h 是最低有效字节。表 7-14 展示了增益校准值示例。

表 7-14. GAIN 寄存器值

GAIN 寄存器值	应用的增益
433333h	1.05
400000h	1
3CCCCCh	0.95

7.4.8.3 校准过程

推荐的校准程序如下：

1. 分别将偏移和增益校准寄存器预设为 000000h 和 400000h。
2. 通过短接 ADC 输入来执行偏移校准。或者，短接系统级输入以包含外部放大器级的偏移误差。获取转换数据并将数据的平均值写入偏移校准寄存器。对数据求平均值可降低转换噪声，从而提高校准精度。
3. 通过向 ADC 输入应用校准信号来执行增益校准。在系统级应用此信号可以包含外部缓冲级的增益误差。对于标准输入范围模式，请选择小于满量程输入范围的校准电压，以避免削波输出代码。输出代码被削波会导致校准不准确。例如，使用 V_{REF} = 4.096V 的 3.9V 校准信号。在扩展范围模式下运行时，将校准信号设置为等于 V_{REF} 不会导致输出代码被削波。获取转换数据并对结果求平均值。根据方程式 21 计算增益校准值。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \cdot 400000h \quad (21)$$

例如，使用 4.096V 基准电压的 3.9V 校准电压的预期输出代码为：(3.9V / 4.096V) · 7FFFFFh = 79E000h。

Copyright © 2025 Texas Instruments Incorporated

7.5 编程

7.5.1 串行接口 (SPI)

串行接口用于读取转换数据、配置器件寄存器和控制 ADC 转换。可选的 CRC 模式验证主机和 ADC 之间的无差错数据传输。加载寄存器数据后，额外的 CRC 验证寄存器映射内容。

串行接口包含四个信号：$\overline{CS}$、SCLK、SDI 和 SDO/$\overline{DRDY}$。该接口在外设模式（被动）下运行，其中 SCLK 由主机驱动。该接口与 SPI 模式 1（CPOL = 0 且 CPHA = 1）兼容。在 SPI 模式 1 中，SCLK 在空闲状态下维持低电平，在 SCLK 上升沿更新数据，在 SCLK 下降沿读取数据。该接口支持全双工操作，这意味着可以同时传送输入数据和输出数据。该接口还支持多个 ADC 的菊花链连接，以便简化 SPI 连接。

7.5.1.1 片选 ($\overline{CS}$)

$\overline{CS}$ 是一个低电平有效输入，可实现接口通信。通信帧通过将 $\overline{CS}$ 置为低电平来启动，并通过将 $\overline{CS}$ 置为高电平来结束。当 $\overline{CS}$ 置为高电平时，器件通过解读输入数据的最后 16 位（CRC 模式下为 24 位）来结束帧，而不考虑移入的总位数。当 $\overline{CS}$ 为高电平时，SPI 接口复位，命令被阻止，SDO/$\overline{DRDY}$ 进入高阻抗状态。无论 $\overline{CS}$ 的状态如何，$\overline{DRDY}$ 都是有效输出。将 $\overline{CS}$ 连接至低电平以在 3 线 SPI 模式下运行接口。

7.5.1.2 串行时钟 (SCLK)

SCLK 是串行时钟输入，用于将数据移入和移出 ADC。输出数据在 SCLK 的上升沿更新，输入数据在 SCLK 的下降沿锁存。SCLK 是一种施密特触发输入，旨在提高抗噪性能。尽管 SCLK 具有抗噪性，但应尽可能使 SCLK 保持无噪声，以避免 SCLK 意外转换。避免 SCLK 输入上出现振铃和过冲。SCLK 驱动器上的串联端接电阻器通常可减少振铃。

7.5.1.3 串行数据输入 (SDI)

SDI 是器件的串行接口数据输入。ADC 在 SCLK 的下降沿锁存输入数据。SDI 未激活时处于高电平或低电平空闲状态。

7.5.1.4 串行数据输出/数据就绪 (SDO/$\overline{DRDY}$)

SDO/$\overline{DRDY}$ 是一个双功能输出引脚。可对此引脚进行编程，以便仅提供输出数据，或提供输出数据和数据就绪指示。双功能模式可在单个引脚上多路复用输出数据和数据就绪操作。在 SCLK 的上升沿更新输出数据。当 $\overline{CS}$ 为高电平时，SDO/$\overline{DRDY}$ 引脚处于高阻态。有关双功能操作的详细信息，请参阅 *SDO/$\overline{DRDY}$* 部分。FILTER3 寄存器的 DATA_MODE[1:0] 位对模式进行编程。

7.5.1.5 SPI 帧

通过串行接口进行通信基于帧的概念。帧包含移入或移出数据所需的规定数量 SCLK。帧通过将 $\overline{CS}$ 置为低电平来启动，并通过将 $\overline{CS}$ 置为高电平来结束。当 $\overline{CS}$ 置为高电平时，器件会对输入数据的最后 16 位（或在 CRC 模式下为 24 位）进行解释。无论移入器件的数据量是多少，器件都会解释最后 16 位（或 24 位）。在典型使用中，如果需要，通过用前导零填充帧来调整输入帧的大小以匹配输出帧。但是，如果在全双工模式下不发送和接收数据，则 16 位帧选项（CRC 模式下为 24 位帧）会缩短帧大小。如表 7-15 所示，输出帧大小取决于编程的数据分辨率（16 位或 24 位）以及可选的 STATUS 标头和 CRC 字节。ADC 上电或复位后，默认输出帧大小为 24 位。在 3 线 SPI 模式下，确保输入帧与输出帧的大小匹配以使 SPI 保持同步。

Copyright © 2025 Texas Instruments Incorporated

表 7-15. 输出帧大小

分辨率 (位)	STATUS 字节	CRC 字节	帧大小 (位)
24	否	否	24
24	否	是	32
24	是	否	32
24	是	是	40
16	否	否	16
16	否	是	24
16	是	否	24
16	是	是	32

7.5.1.6 全双工操作

串行接口支持全双工操作。全双工操作允许在一帧中同时发送和接收数据。例如，在输出先前寻址的寄存器数据的同时输入下一个寄存器的寄存器读取命令。此过程可使读取寄存器的吞吐量翻倍。图 7-36 中提供了全双工操作的示例。

7.5.1.7 设备命令

命令用于读取和写入寄存器数据。表 8-1 的寄存器映射包含一系列单字节寄存器，可通过读取和写入操作进行访问。输入命令序列的最小帧长度为两个字节 (CRC 模式下为三个字节)。如果需要，用前导零填充输入命令序列以便与输出数据帧的长度相匹配。在 CRC 模式下，器件会对帧末尾处紧跟 CRC 字节前的两个字节进行解释。表 7-16 展示了 ADS127L21 器件命令。

表 7-16. SPI 命令

说明	BYTE1	BYTE2	字节 3 (可选 CRC 字节)
无操作	00h	00h	D7h
读取寄存器命令	40h + 地址 [4:0]	无关	字节 1 和字节 2 的 CRC
写入寄存器命令	80h + 地址 [4:0]	寄存器数据	字节 1 和字节 2 的 CRC

有一些扩展长度位模式不同于标准命令长度。这些模式会在三线 SPI 操作中复位 ADC 和 SPI 帧。*通过 SPI 输入模式进行复位* 和 *3 线 SPI 模式* 部分介绍了这些模式。

7.5.1.7.1 无操作

无操作命令字节为 <00h 00h>。在不需要命令 (例如读取转换数据) 时使用这些字节。如果启用了 SPI CRC，则需要 CRC 字节 (字节 3)，对于字节 <00h 00h>，始终为 D7h。在数据回读期间将 SDI 保持低电平，但在 CRC 模式下会设置 SPI_ERR 标志，从而阻止将来的寄存器写入操作。在需要寄存器写入操作之前，读取转换数据时应忽略 SPI_ERR 标志。此时，通过写入 1b 来清除 STATUS 寄存器的 SPI_ERR 标志。

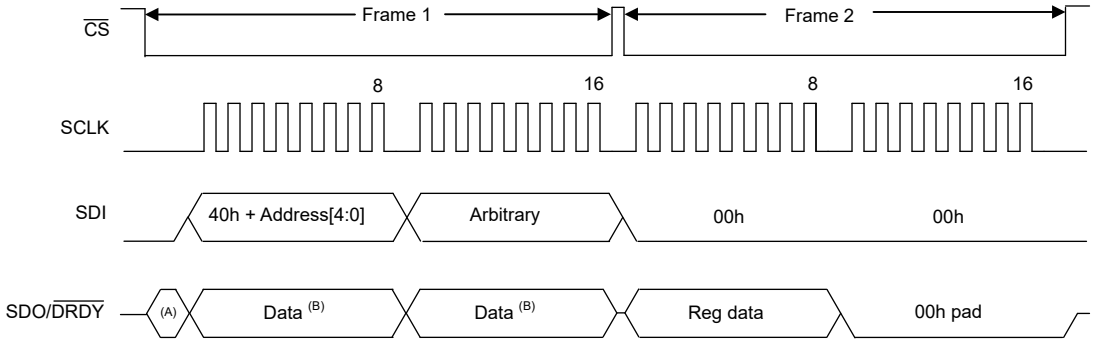
7.5.1.7.2 读取寄存器命令

读取寄存器命令读取寄存器数据。该命令遵循帧外协议，其中读取命令在一帧内发送，而 ADC 在下一帧中响应寄存器数据。命令的第一个字节是添加到 5 位寄存器地址的基本命令值 (40h)。第二个命令字节的值是任意的，但与 CRC 的第一个字节一起使用。对有效地址范围之外的寄存器的响应为 00h。寄存器数据格式是最高有效位优先。

Copyright © 2025 Texas Instruments Incorporated

图 7-35 显示了使用 16 位输出帧大小读取寄存器数据的示例。帧 1 是命令帧，帧 2 是数据响应帧。通过将 $\overline{CS}$ 置为高电平来分隔帧。数据响应帧在寄存器数据字节后填充 00h，以便填充 16 位帧。如果需要，通过将 $\overline{CS}$ 置为高电平来缩短数据字节后的数据响应帧。

如果在全双工模式下运行（例如，在寄存器读取命令的输入期间同时读取 24 位转换数据），则向命令帧填充一个前导 00h 值以匹配数据响应帧的长度。当配置多个寄存器时，全双工操作是可选的，通过在前一个寄存器的数据响应帧期间输入下一个读取寄存器命令来使读取寄存器操作的吞吐量增加一倍。



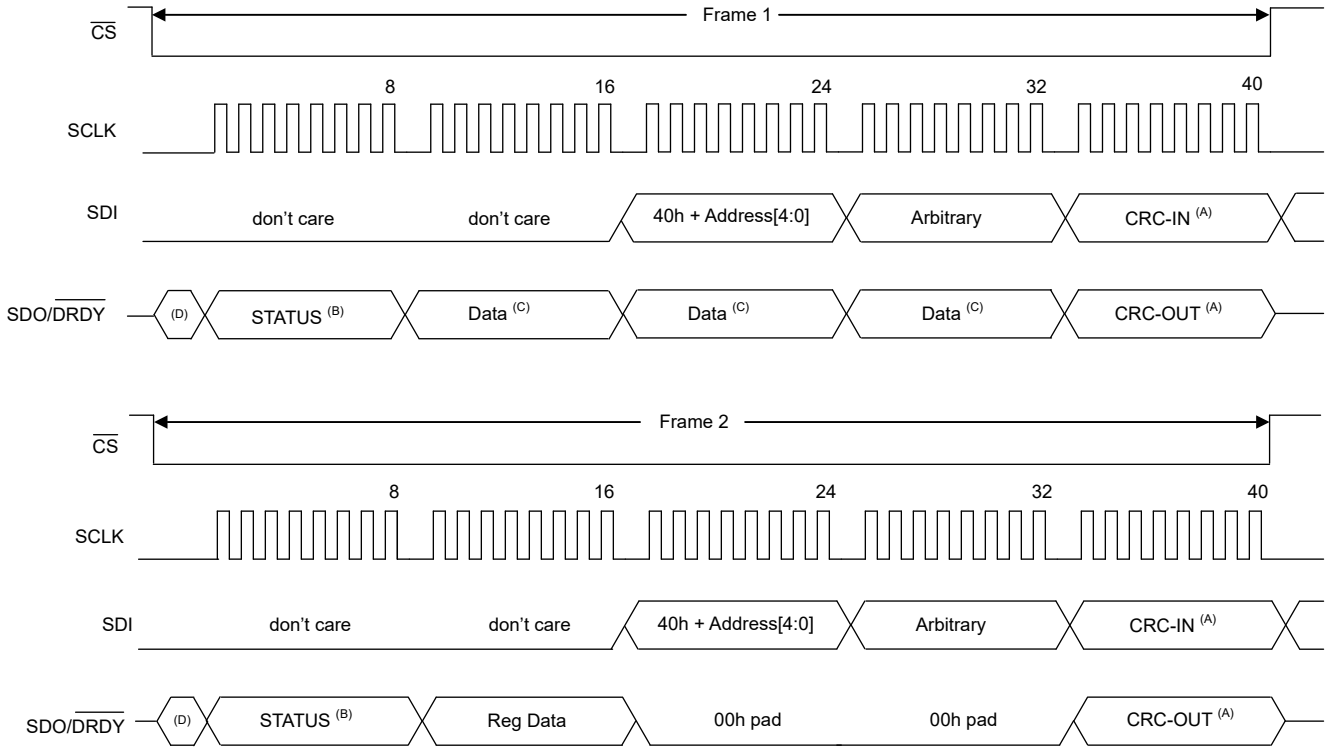
A. 第一个 SCLK 之前 SDO/$\overline{DRDY}$ 的先前状态。

B. 数据是转换数据的 16 位，或者如果是寄存器数据，则数据字段为寄存器数据字节 + 00h。

图 7-35. 读取寄存器数据，最小 16 位帧大小

图 7-36 展示了在全双工操作中使用最大 40 位帧大小的读取寄存器操作示例。在帧 1 中，转换数据的输出与读取寄存器命令的输入同时进行（如果前一帧不是读取寄存器命令）。为了匹配输出数据帧的长度，输入命令用两个无关字节填充。填充的输入字节不包括在 CRC-IN 代码计算中。帧 2 显示与前一个寄存器数据的输出同时进行的下一个读取寄存器命令的输入。在寄存器数据后填充零，以将 CRC-OUT 放置在与转换数据输出帧相同的位置。CRC-OUT 代码包括数据输出帧内的所有前面的字节。STATUS 标头的 SPI_ERR 位指示是否发生 SPI CRC 错误以及是否接受读取寄存器命令。

Copyright © 2025 Texas Instruments Incorporated



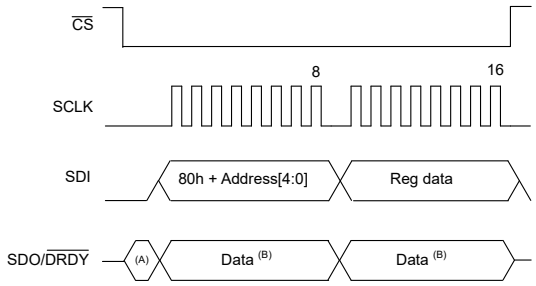
A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
B. 可选的 STATUS 字节。如果禁用了 STATUS，则帧会缩短一个字节。
C. 根据之前的操作，数据字段为转换数据或寄存器数据 + 两个 00h 填充字节。
D. 第一个 SCLK 之前 SDO/$\overline{\text{DRDY}}$ 的先前状态。

图 7-36. 读取寄存器数据，最大 40 位帧大小

7.5.1.7.3 写入寄存器命令

写入寄存器命令写入寄存器数据。写入寄存器操作在单个帧中执行。命令的第一个字节是添加到 5 位寄存器地址的基本值 (80h)。命令的第二个字节是寄存器数据。写入有效地址范围之外的寄存器将被忽略。

图 7-37 展示了使用 16 位帧大小的寄存器写入操作示例。如果在全双工模式下运行（在寄存器写入命令的输入期间同步读取 24 位转换数据），请在输入数据中包含一个或多个前导填充字节，以匹配输出帧的长度。当配置一系列寄存器（忽略转换数据）时，使用最小 16 位帧大小可提高吞吐量。

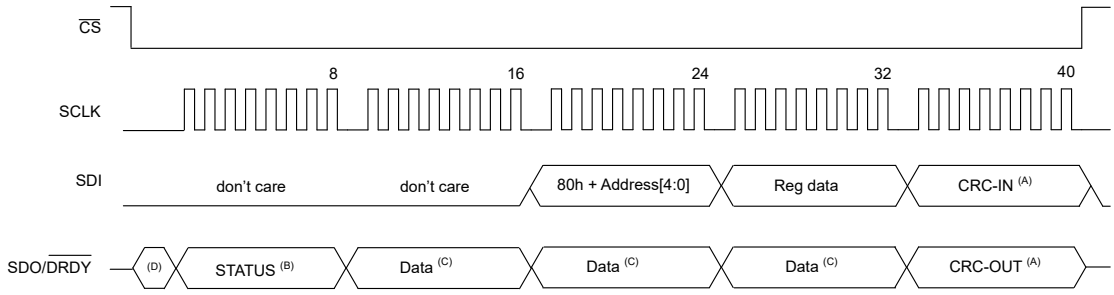


A. 第一个 SCLK 之前 SDO/$\overline{\text{DRDY}}$ 的先前状态。
B. 数据可以是转换数据，或者如果是寄存器数据，则该字段为寄存器数据字节 + 一个 00h 填充字节。

图 7-37. 写入寄存器数据，最小 16 位帧大小

Copyright © 2025 Texas Instruments Incorporated

图 7-38 展示了使用最大 40 位帧大小的写入寄存器操作示例。图中还展示了全双工操作，以便同时显示命令的输入和转换数据的输出。输入帧以两个*无关*字节作为前缀，来匹配输出帧，从而传输所有转换数据字节。通过读回寄存器数据或检查 STATUS 字节的 SPI_ERR 位是否存在输入字节 CRC 错误，验证写入操作是否成功。如果发生输入 SPI CRC 错误，则设置 SPI_ERR，并阻止进一步的寄存器写入操作（STATUS 寄存器除外），直至通过将 1b 写入同一个 SPI_ERR 位来复位。



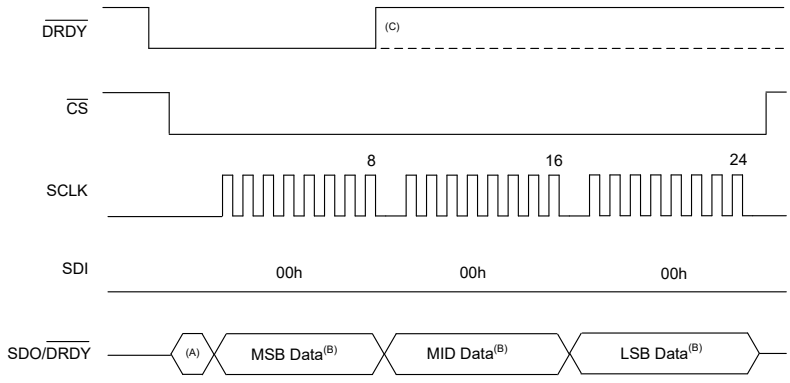
A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
B. 可选的 STATUS 字节。如果禁用了 STATUS，则帧会缩短一个字节。
C. 数据字段为 24 位转换数据，或者如果在前一帧中发送了读取寄存器命令，则为寄存器数据字节 + 两个 00h 填充字节。
D. 第一个 SCLK 之前 SDO/$\overline{\text{DRDY}}$ 的先前状态。

图 7-38. 写入寄存器数据，最大 40 位帧大小

7.5.1.8 读取转换数据

通过将 $\overline{\text{CS}}$ 置为低电平，并通过应用 SCLK 直接移出数据（不使用命令）来读取转换数据。对转换数据进行缓冲，从而在下一个 $\overline{\text{DRDY}}$ 下降沿之前的一个 f_{MOD} 时钟周期内读取数据。在下一个转换数据就绪前可以多次读取转换数据。如果在前一帧中发送了寄存器读取命令，则寄存器数据会替换转换数据。

图 7-39 展示了在禁用 STATUS 和 CRC 字节时读取 24 位转换数据的示例。

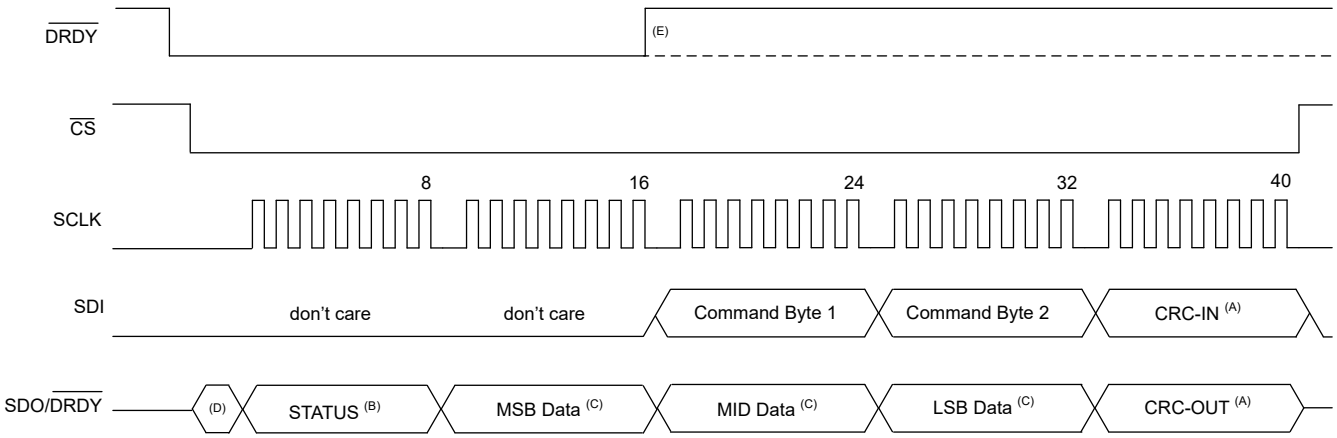


A. 在第一个 SCLK 之前，当 SDO_MODE = 0b 时，SDO/$\overline{\text{DRDY}}$ 是之前的状态。否则，SDO/$\overline{\text{DRDY}}$ 跟随 $\overline{\text{DRDY}}$。
B. 数据字段为两个字节（16 位分辨率）或三个字节（24 位分辨率）。
C. 在同步和启动/停止控制模式下，$\overline{\text{DRDY}}$ 在第八个 SCLK 下降沿恢复高电平。在单次触发控制模式下，$\overline{\text{DRDY}}$ 保持低电平，直至启动新的转换。

图 7-39. 转换数据读取、短格式

图 7-40 是长格式读取数据操作的示例，其中包括 STATUS 字节和 CRC 字节。此示例展示了当寄存器命令是输入，同时转换数据是输出时，可选择使用全双工传输。如果不需要输入命令，则输入字节为 00h、00h 和 D7h。输出 CRC (CRC-OUT) 代码计算包括 STATUS 字节。如果在 MSB 数据的第八个 SCLK 之后停止转换数据回读，则 $\overline{\text{DRDY}}$ 将恢复高电平。然后，STATUS 字节的 DRDY 位变为低电平，以便指示数据读取尝试。

Copyright © 2025 Texas Instruments Incorporated



A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短一个字节。
C. 数据是两个字节（16 位分辨率）或三个字节（24 位分辨率）。
D. 如果 SDO_MODE 位 = 0，则保持 SDO/$\overline{\text{DRDY}}$ 的之前状态，直至 SCLK 开始。否则，SDO/$\overline{\text{DRDY}}$ 跟随 $\overline{\text{DRDY}}$。
E. 在同步和启动/停止控制模式下，$\overline{\text{DRDY}}$ 在第 16 个 SCLK 下降沿（MS 数据字节的第 8 位）恢复高电平。在单次触发控制模式下，$\overline{\text{DRDY}}$ 保持低电平，直至启动新的转换。

图 7-40. 转换数据读取，长格式

正常运行时，转换数据就绪的读数与 $\overline{\text{DRDY}}$ 信号同步，但数据能够异步读取到 $\overline{\text{DRDY}}$。但是，当在靠近 $\overline{\text{DRDY}}$ 下降沿的位置读取转换数据时，可能会不确定输出的是以前的数据还是新的数据。如果 SCLK 移位操作在 $\overline{\text{DRDY}}$ 下降沿之前至少一个 f_{MOD} 时钟周期开始，则提供旧数据。如果移位操作在 $\overline{\text{DRDY}}$ 下降沿*之后*至少一个 f_{MOD} 时钟周期开始，则输出新数据。STATUS 字节的 DRDY 位指示数据是旧数据（以前读取的数据）还是新数据。

7.5.1.8.1 转换数据

转换数据以二进制补码格式进行编码，MSB 在前（符号位），分辨率可编程为 24 位或 16 位。24 位或 16 位分辨率通过 CONFIG1 寄存器的 DATA 位进行编程。由于 16 位量化噪声，16 位数据的 SNR 限制为 98.1dB。表 7-17 展示了 24 位分辨率模式下标准和扩展输入范围的输出代码。当输入信号超过各自的正负满量程值时，转换数据削平为正负满量程代码值。

表 7-17. 24 位温度数据格式

差分输入电压 (V)(1)	24 位输出数据(2)	
	标准范围	扩展范围
$1.25 \cdot k \cdot V_{REF} \cdot (2^{23} - 1) / 2^{23}$	7FFFFFh	7FFFFFh
$k \cdot V_{REF} \cdot (2^{23} - 1) / 2^{23}$	7FFFFFh	666666h
$k \cdot V_{REF} / 2^{23}$	000001h	000001h
0	000000h	000000h
$-k \cdot V_{REF} / 2^{23}$	FFFFFFh	FFFFFFh
$-k \cdot V_{REF}$	800000h	99999Ah
$-1.25 \cdot k \cdot V_{REF}$	800000h	800000h

(1) K = 1 倍或 2 倍输入范围选项。
(2) 理想输出数据，不包括偏移和增益误差以及 OSR 值小于 32 时更低的分辨率。

7.5.1.8.2 数据就绪

有多种方法可用于确定转换数据何时准备好回读。
1. 硬件：监控 $\overline{\text{DRDY}}$ 或 SDO/$\overline{\text{DRDY}}$ 引脚

Copyright © 2025 Texas Instruments Incorporated

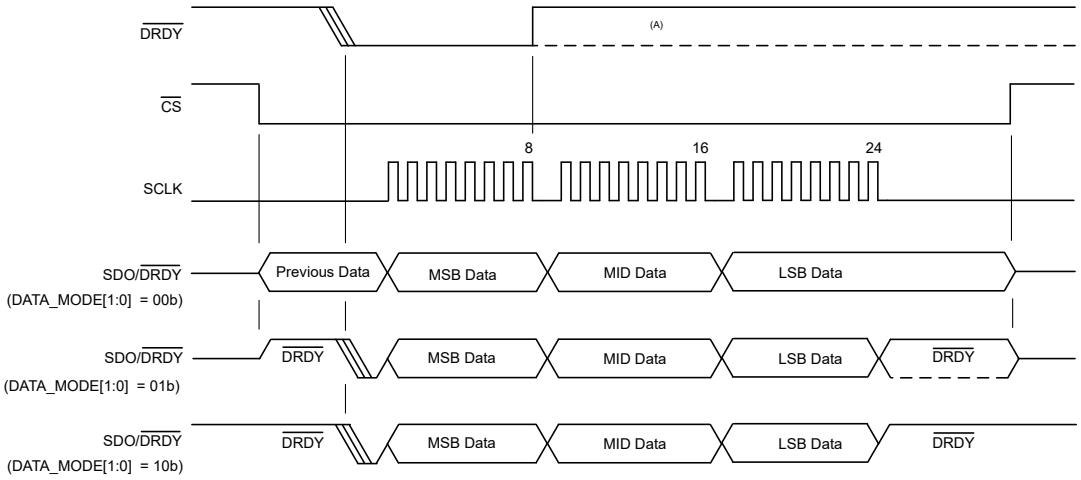
2. 软件：监控 STATUS 字节的 DRDY 位
3. 时钟计数：计算用于预测数据何时就绪的 ADC 时钟数

7.5.1.8.2.1 $\overline{\text{DRDY}}$

$\overline{\text{DRDY}}$ 是数据就绪输出信号。当转换开始或重新同步时，$\overline{\text{DRDY}}$ 驱动为高电平；而当转换数据就绪时，DRDY 驱动为低电平。在转换数据读取期间，$\overline{\text{DRDY}}$ 在第 8 个 SCLK 处被驱动回高电平。此行为适用于同步和启动/停止控制模式。在一次性控制模式下，$\overline{\text{DRDY}}$ 在转换数据读取期间保持低电平。如果将 ADC 编程为进入待机模式（STBY_MODE 位 = 1b），$\overline{\text{DRDY}}$ 将在转换为低电平后三个 f_{CLK} 周期驱动回高电平。如果未读取转换数据，$\overline{\text{DRDY}}$ 会在下一个下降沿之前产生高脉冲。有关每个转换控制模式的 $\overline{\text{DRDY}}$ 操作的详细信息，请参阅*同步*部分。无论 $\overline{\text{CS}}$ 为高电平还是低电平，$\overline{\text{DRDY}}$ 都是有源输出。

7.5.1.8.2.2 SDO/$\overline{\text{DRDY}}$

SDO/$\overline{\text{DRDY}}$ 是一个双功能输出引脚。该引脚可编程为固定数据输出模式或自动将模式从数据就绪（不读取数据）更改为数据输出模式（读取数据）。在自动模式下，该引脚取代了 $\overline{\text{DRDY}}$ 引脚的功能，以节省 SPI I/O 线的数量。当处于自动模式且 $\overline{\text{CS}}$ 为低电平时，SDO/$\overline{\text{DRDY}}$ 会镜像 $\overline{\text{DRDY}}$ 引脚，直到 SCLK 的第一个上升沿。此时，该引脚更改为数据输出模式。当数据读取操作完成时，该引脚会恢复到 $\overline{\text{DRDY}}$ 模式。数据读取操作在 SCLK 的第 24 个下降沿完成，或者如果包括 CRC 和 STATUS 字节，则在第 40 个下降沿完成。DATA_MODE[1:0] 位 = 01b 可设置自动模式。10b 设置也启用自动模式，但在 $\overline{\text{CS}}$ 为高电平时将 SDO/$\overline{\text{DRDY}}$ 保持为有效输出。图 7-41 说明了 SDO/$\overline{\text{DRDY}}$ 的运行。



A. 在同步和启动/停止控制模式下，$\overline{\text{DRDY}}$ 在第八个 SCLK 下降沿（MSB 数据的第八位）恢复为高电平。在单次触发控制模式下，$\overline{\text{DRDY}}$ 保持低电平，直至启动新的转换。

图 7-41. SDO/$\overline{\text{DRDY}}$ 和 $\overline{\text{DRDY}}$ 功能

7.5.1.8.2.3 DRDY 位

确定数据就绪的软件方法是轮询 DRDY 位（STATUS 字节的位 0）。当 DRDY = 1b 时，数据是上一次数据读取操作中的新数据，否则提供的数据是之前的数据。读取数据后，该位将保持清零状态，直到下一个转换数据就绪。为了避免丢失数据，至少像输出数据速率一样轮询该位。

7.5.1.8.2.4 时钟计数

确定数据何时就绪的另一种方法是计算时钟周期。这种方法只有在使用外部时钟时才可行，因为内部时钟振荡器无法观察到。同步或转换开始后，第一次转换的时钟周期数比正常转换数据周期大。第一次转换的时钟周期等于延迟时间，如*数字滤波器*部分所列。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.8.3 STATUS 字节

STATUS 是一个作为转换数据前缀的可选字节。有关 STATUS 字节字段说明，请参阅表 8-5。通过设置 CONFIG3 寄存器的 STATUS 位来启用 STATUS 字节。与转换数据一起发送的 STATUS 字节具有与 STATUS 寄存器相同的内容。

7.5.1.9 菊花链运行

在使用多个 ADC 的同步采样系统中，菊花链串连接可减少主机控制器的 SPI I/O 数量。菊花链连接将一个器件的 SPI 输出链接到下一个器件的 SPI 输入。此连接会使链接的器件对主机控制器显示为单个逻辑器件。菊花链运行无需特殊编程，只需应用额外的移位时钟即可访问链中的所有器件。为了简化操作，请为每个器件编程相同的 SPI 帧大小。例如，当启用所有器件的 CRC 选项时，会产生一个 32 位的帧大小。

图 7-42 展示了以菊花链配置连接的四个器件。ADS127L21 (1) 的 SDI 连接到主机 SPI 数据输出，ADS127L21 (4) 的 SDO/$\overline{\text{DRDY}}$ 连接到主机 SPI 数据输入。该链中的所有器件同时进行移位操作。每个 ADC 完成转换数据移动后，SDI 的移入数据出现在 SDO/$\overline{\text{DRDY}}$ 中。此引脚随后驱动链中下一个器件的 SDI。移位操作将继续，直至到达链中的最后一个器件。当 $\overline{\text{CS}}$ 置为高电平时，SPI 帧结束，此时将解释移入每个器件的数据。将 SDO/$\overline{\text{DRDY}}$ 引脚编程为仅数据输出模式。

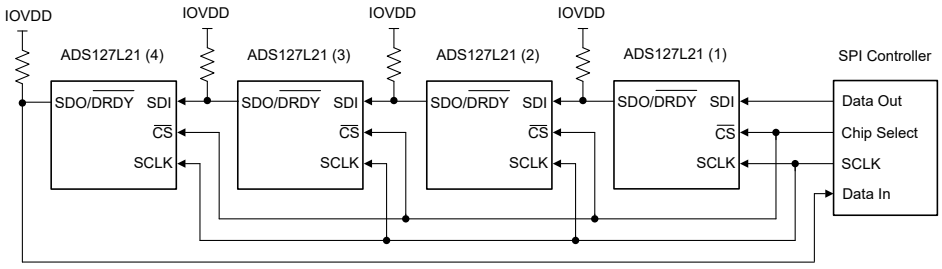


图 7-42. 菊花链连接

图 7-43 展示了在器件上电后的初始通信时使用的每个器件的 24 位帧大小。

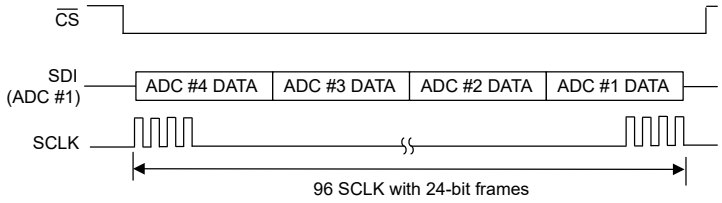
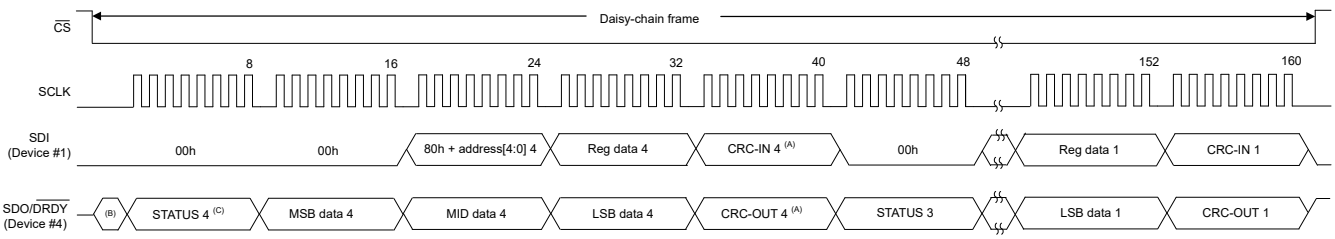


图 7-43. 24 位数据输入序列

为了输入数据，主机首先移入用于链中最后一个器件的数据。每个 ADC 的输入字节数的大小与输出帧大小相匹配。默认帧大小为 24 位，因此最初每个 ADC 需要三个字节，方法是在两个命令字节前添加一个填充字节作为前缀。首先是 ADC (4) 的输入数据，然后是 ADC (3) 的输入数据，依此类推。

图 7-44 展示了图 7-42 的菊花链写入寄存器操作的详细输入数据序列。显示了每个 ADC 的 40 位帧（24 位数据，启用了 STATUS 和 CRC 字节）。每个 ADC 的命令操作可能不同。读取寄存器操作需要第二个帧操作来读取寄存器数据。



A. 可选的 CRC 字节。如果禁用了 CRC，则各个帧会缩短一个字节。

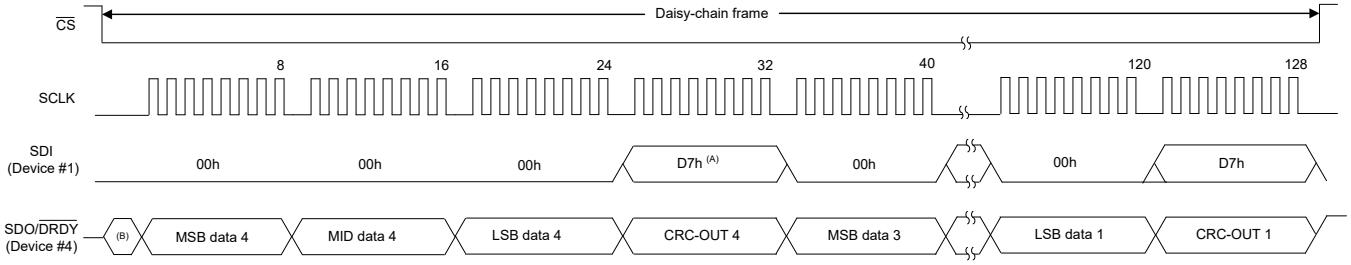
Copyright © 2025 Texas Instruments Incorporated

B. 在应用 SCLK 之前 SDO/$\overline{\text{DRDY}}$ 的前一状态。

C. 可选的 STATUS 字节。如果禁用了 STATUS，则各个帧会缩短一个字节。

图 7-44. 菊花链连接中的寄存器数据写入

图 7-45 显示了从图 7-42 中提供的器件连接中读取转换数据的时钟序列。此示例说明了 32 位输出帧（24 位数据，启用了 CRC 字节）。ADC (4) 的输出数据排在第一位，然后是 ADC (3) 的数据，依此类推。每帧的位数乘以链中的器件数就会得到移出数据所需的时钟数。在此示例中，32 位输出帧 × 四个器件得到 128 个总时钟。



A. 可选的 CRC 字节。如果禁用了 CRC，则各个帧会缩短一个字节。

B. 在应用 SCLK 之前 SDO/$\overline{\text{DRDY}}$ 的前一状态。

图 7-45. 菊花链连接中的转换数据读取

以菊花链配置连接的器件数上限受 SCLK 信号频率、数据速率和每帧位数的限制。方程式 22 用于计算链中允许的最大器件数。由于来自每个 ADC 的数据也是串行读取的，因此同样的限制也适用于并行连接的 SPI。

$$\text{Maximum devices in a chain} = \lfloor f_{SCLK} / (f_{DATA} \cdot \text{bits per frame}) \rfloor \quad (22)$$

例如，菊花链连接的器件的数量上限是：$\lfloor 20\text{MHz} / (100\text{kHz} \cdot 32) \rfloor = 6$。此处假设 f_{SCLK} = 20MHz，f_{DATA} = 100kSPS，并使用 32 位帧。

7.5.1.10 3 线 SPI 模式

ADC 可通过将 $\overline{\text{CS}}$ 接地来选择 3 线 SPI 操作。通过在上电时或复位后将 $\overline{\text{CS}}$ 接地，进入 3 线模式。3 线 SPI 模式由 STATUS 寄存器的 7 (CS_MODE) 位来指示。当 $\overline{\text{CS}}$ 置为高电平时，器件会变为 4 线 SPI 模式。

由于 $\overline{\text{CS}}$ 不再在 3 线模式下控制帧时序，因此 ADC 会对 SCLK 进行计数以确定帧的开始和结束。确保 SCLK 位数由主机控制并且与输出帧的大小相匹配。每帧的位数取决于器件配置。表 7-15 中给出了输出帧的大小。由于帧时序由 SCLK 的数量决定，因此应避免 SCLK 意外转换，例如在上电时发生的转换。

3 线 SPI 模式和 4 线模式支持相同的指令格式和时钟，但 3 线模式没有 $\overline{\text{CS}}$ 切换。其余寄存器的帧之间没有等待时间要求。但可编程滤波器系数的读取/写入操作除外，这种情况下的帧之间需要 $10f_{CLK}$ 周期延迟。

7.5.1.10.1 3 线 SPI 模式帧复位

在 3 线 SPI 模式下，意外的 SCLK 转换可能会导致帧错位，从而导致 SPI 同步丢失。如图 7-46 所示，通过发送 SPI 复位模式，可以重新同步 SPI。复位模式在第 64 个 SCLK 出现，至少连续 63 个 1，后跟一个 0。第 65 个 SCLK 启动一个新的 SPI 帧。或者，通过切换 $\overline{\text{RESET}}$ 或通过*通过 SPI 输入模式进行复位*部分中所述的复位模式完全复位 ADC。

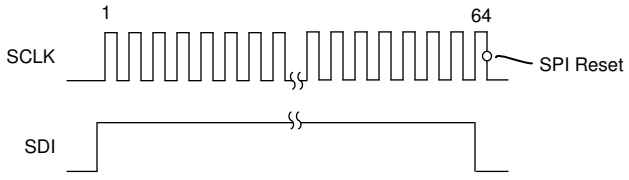


图 7-46. 3 线模式 SPI 复位模式

Copyright © 2025 Texas Instruments Incorporated

7.5.1.11 SPI CRC

SPI 循环冗余校验 (CRC) 是一种 SPI 校验代码，用于检测与主机控制器之间的传输错误。主机将一个输入 CRC 字节与 SDI 上的输入数据一起传输，ADC 将一个 CRC 字节与 SDO/$\overline{\text{DRDY}}$ 上的输出数据一起传输。通过 CONFIG3 寄存器的 SPI_CRC 位启用 SPI CRC 错误检查。

主机通过对两个命令字节进行计算，生成 CRC 代码。填充到帧开头的任何输入字节都不包括在 CRC 计算中。ADC 根据在两个输入命令字节上计算的内部代码来检查输入命令 CRC 代码。如果 CRC 代码不匹配，则不会执行命令，并且会在 STATUS 字节中设置 SPI_ERR 位。除了 STATUS 寄存器，还阻止寄存器写入操作，以便可以通过将 1b 写入 SPI_ERR 位来清除 SPI CRC 错误。除非在寄存器读取命令的 SPI 帧中检测到 SPI_CRC 错误，否则不会阻止寄存器读取操作。

用于计算输出 CRC 代码的字节数取决于帧中传输的数据量。输出 CRC 代码之前的所有数据字节都用于 CRC 计算。表 7-18 展示了用于输出 CRC 计算的字节数。

表 7-18. 输出 CRC 代码的字节计数

字节计数	字节字段说明
2	16 位转换数据
2	寄存器数据的一个字节 + 00h 填充字节
3	16 位转换数据 + STATUS 字节
3	24 位转换数据
3	寄存器数据的一个字节 + 两个 00h 填充字节
4	24 位转换数据 + STATUS 字节
4	寄存器数据的一个字节 + 三个 00h 填充字节

CRC 值是具有 CRC 多项式的可变长度参数按位异或 (XOR) 运算的 8 位或 16 位余数。ADS127L21 根据 CRC 功能使用 8 位和 16 位 CRC 长度。8 位 CRC 用于 SPI、主程序存储器和 IIR 滤波器系数。8 位 CRC 基于 CRC-8-ATM (HEC) 多项式：$X^8 + X^2 + X^1 + 1$。多项式的九个系数为：1 00000111。

16 位 CRC 专门用于 128 FIR 滤波器系数。16 位 CRC 基于 CRC-16-IBM 多项式：$X^{16} + X^{15} + X^2 + 1$。17 个系数为 1 10000000 00000101。

Copyright © 2025 Texas Instruments Incorporated

以下程序会计算 CRC 值：

1. 通过在 LSB 中附加 0 来将初始数据值左移 8 位（16 位 CRC 为 16 位），从而创建新的数据值。
2. 使用 FFh（16 位 CRC 为 FFFFh）对步骤 1 中新数据值的 MSB 执行初始 XOR 运算。
3. 将 CRC 多项式的 MSB 与数据的最左侧的逻辑 1 对齐。
4. 未与 CRC 多项式对齐的数据值位会移出并附加到新 XOR 结果的右侧。将数据值与对齐的 CRC 多项式进行 XOR 运算。XOR 运算会创建一个新的较短长度值。
5. 如果 XOR 结果小于或等于 8 位或 16 位 CRC 长度，该程序结束，生成 8 位或 16 位 CRC 代码结果。否则，使用当前 XOR 结果在步骤 3 继续进行 XOR 运算。循环迭代次数取决于初始数据的值。

7.5.2 寄存器存储器 CRC

CRC 用于检测用户寄存器存储器中的意外更改。寄存器存储器由三个具有相应 CRC 值的空间组成：主程序存储器、FIR 滤波器系数存储器和 IIR 滤波器系数存储器。错误标志指示三个空间中的 CRC 错误（请参阅 STATUS2 寄存器）。这些标志进行“或”运算，以便设置 STATUS1 寄存器的全局寄存器映射 CRC 错误标志 (CRC_ERR)。通过设置 CONFIG3 寄存器的 REG_CRC 位可启用 CRC 功能。

7.5.2.1 主程序存储器 CRC

使用 *SPI CRC* 部分中显示的 8 位 CRC 多项式在寄存器地址 00h 至 11h 之间的范围内计算主程序存储器 CRC。此范围不包括地址 02h、03h 和 04h（STATUS1、STATUS2 和 CONTROL 寄存器）。只要程序存储器发生更改，就向 MAIN_CRC 寄存器写入 CRC 值。ADC 会将该值与内部计算进行比较。如果这些值不匹配，则设置 STATUS2 寄存器中的 M_CRC_ERR 位。此错误与其他 CRC 存储器错误进行“或”运算，并显示在 STATUS1 寄存器的全局 CRC_ERR 中。如果设置了 M_CRC_ERR，请检查存储器内容并更新 CRC 值。让 ADC 延迟计算内部 CRC，然后向该位写入 1b 以进行清除。通过设置 CONFIG3 寄存器的 REG_CRC 位可启用 CRC 错误检测。

由于在器件生产期间可能会在无通知的情况下更改 REV_ID，因此计算 CRC 值时，请读取 REV_ID 寄存器的内容。

7.5.2.2 FIR 滤波器系数 CRC

FIR 滤波器系数 CRC 用于验证 FIR 系数存储器。FIR CRC 值是使用 128 个 32 位 FIR 系数（包括以零值结尾的系数）计算得出的。16 位 CRC 多项式用于 FIR 存储器（有关详细信息，请参阅 *SPI CRC* 部分）。FIR 系数加载到 ADC 后，将 16 位 CRC 值写入两个八位 FIR CRC 寄存器（参阅 FIR_CRC1 和 FIR_CRC0 寄存器）。ADC 会将 CRC 值与内部计算进行比较。如果这些值不匹配，则设置 STATUS2 寄存器中的 F_CRC_ERR 位。该位与其他 CRC 错误标志进行“或”运算，以设置 STATUS1 寄存器的全局 CRC_ERR 位。如果错误标志被置位，则检查 FIR 系数内容并更新 CRC 值，然后禁用并重新启用 REG_CRC 位以清除该位。如果 FIR3 滤波器被 FILTER2 寄存器的 FIR3_DIS 位禁用，则 FIR 系数 CRC 被禁用。

7.5.2.3 IIR 滤波器系数 CRC

IIR 滤波器系数 CRC 会验证 IIR 系数存储器。IIR CRC 值是使用 8 位 CRC 多项式根据 25 个 32 位 IIR 系数计算得出的；请参阅 *SPI CRC* 部分。将 IIR 系数加载到 ADC 后，将 8 位 CRC 值写入 IIR_CRC 寄存器。ADC 会将 CRC 值与内部计算进行比较。如果这些值不匹配，STATUS2 寄存器的 I_CRC_ERR 位将被置位，该位与其他 CRC 错误标志进行逻辑或运算，以设置 STATUS1 寄存器的全局 CRC_ERR 位。如果错误位被置位，则检查 IIR 系数内容并更新 CRC 值，然后禁用并重新启用 REG_CRC 位以清除该位。如果 IIR 滤波器也被 FILTER2 寄存器的 IIR_DIS 位禁用，则 IIR 系数 CRC 被禁用。

Copyright © 2025 Texas Instruments Incorporated

8 寄存器映射

表 8-1 展示了 ADS127L21 寄存器映射。每次执行 SPI 操作时，寄存器数据一次从一个寄存器字节读取或写入一个寄存器字节。FIR_BANK 和 IIR_BANK 寄存器使用单个地址来读取或写入滤波器系数。写入比 CONTROL 寄存器（地址 = 04h）更高的任何寄存器地址都会导致转换重新启动和同步丢失。如果转换停止（START 引脚为低电平或写入 STOP 位），则在寄存器写入后不会重新开始转换。

表 8-1. ADS127L21 寄存器映射概述

地址	寄存器	默认值	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
00h	DEV_ID	02h	DEV_ID[7:0]							
01h	REV_ID	xxh	REV_ID[7:0]							
02h	STATUS1	x1100xxxb	CS_MODE	ALV_FLAG	POR_FLAG	SPI_ERR	CRC_ERR	ADC_ERR	MOD_FLAG	DRDY
03h	STATUS2	00h	RESERVED					I_CRC_ERR	F_CRC_ERR	M_CRC_ERR
04h	CONTROL	00h	RESET[5:0]						启动	STOP
05h	MUX	00h	RESERVED						MUX[1:0]	
06h	CONFIG1	00h	DATA	EXT_RNG	REF_RNG	INP_RNG	VCM	REFP_BUF	AINP_BUF	AINN_BUF
07h	CONFIG2	08h	RESERVED		START_MODE[1:0]		SPEED_MODE[1:0]		STBY_MODE	PWDN
08h	CONFIG3	00h	CLK_SEL	CLK_DIV[1:0]		OUT_DRV	RESERVED	SPI_CRC	REG_CRC	状态
09h	FILTER1	00h	FLTR_SEL[2:0]			FLTR_OSR[4:0]				
0Ah	FILTER2	01h	RESERVED	DELAY[2:0]			FLTR_SEQ	FIR2_DIS	FIR3_DIS	IIR_DIS
0Bh	FILTER3	01h	RESERVED						DATA_MODE[1:0]	
0Ch	OFFSET2	00h	OFFSET[23:16]							
0Dh	OFFSET1	00h	OFFSET[15:8]							
0Eh	OFFSET0	00h	OFFSET[7:0]							
0Fh	GAIN2	40h	GAIN[23:16]							
10h	GAIN1	00h	GAIN[15:8]							
11h	GAIN0	00h	GAIN[7:0]							
12h	MAIN_CRC	00h	MAIN_CRC[7:0]							
13h	FIR_BANK	xxh	FIR_BANK[7:0]							
14h	FIR_CRC1	xxh	FIR_CRC[15:8]							
15h	FIR_CRCx0	xxh	FIR_CRC[7:0]							
16h	IIR_BANK	xxh	IIR_BANK[7:0]							
17h	IIR_CRC	xxh	IIR_CRC[7:0]							

表 8-2 列出了寄存器的访问代码。

表 8-2. 寄存器访问代码

访问类型	代码	说明
读取	R	只读
写入	W	只写入
读取和写入	R/W	读取和写入
复位或默认值	*-n*	复位后的值或默认值

Copyright © 2025 Texas Instruments Incorporated

DEV_ID 寄存器（地址 = 00h）[复位 = 02h]

返回寄存器映射概述。

图 8-1. DEV_ID 寄存器

7	6	5	4	3	2	1	0
DEV_ID[7:0]							
R-02h							

表 8-3. DEV_ID 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID[7:0]	R	02h	器件 ID。 02h = ADS127L21

REV_ID 寄存器（地址 = 01h）[复位 = xxh]

返回寄存器映射概述。

图 8-2. REV_ID 寄存器

7	6	5	4	3	2	1	0
REVID[7:0]							
R-xxxxxxxxb							

表 8-4. REV_ID 寄存器字段说明

位	字段	类型	复位	说明
7:0	REV_ID[7:0]	R	xxxxxxxxb	裸片修订 ID。 裸片修订 ID 可在器件生产期间更改，恕不另行通知。

STATUS1 寄存器（地址 = 02h）[复位 = x1100xxxb]

返回寄存器映射概述。

图 8-3. STATUS1 寄存器

7	6	5	4	3	2	1	0
CS_MODE	ALV_FLAG	POR_FLAG	SPI_ERR	CRC_ERR	ADC_ERR	MOD_FLAG	DRDY
R-xb	R/W-1b	R/W-1b	R/W-0b	R-0b	R-xb	R-xb	R-xb

表 8-5. STATUS1 寄存器字段说明

位	字段	类型	复位	说明
7	CS_MODE	R	xb	$\overline{CS}$ 模式。 此位指示 4 线或 3 线 SPI 模式。在上电时或复位后由 $\overline{CS}$ 的状态来确定模式。 0b = 4 线 SPI 操作（$\overline{CS}$ 处于活动状态） 1b = 3 线 SPI 操作（$\overline{CS}$ 连接至低电平）
6	ALV_FLAG	R/W	1b	模拟电源低电压标志。 此位指示在模拟电源上检测到低电压状况。写入 1b 清除标志，以便检测下一个低电压状况。 0b = 自上次清除标志以来未检测到低电压 1b = 检测到低电压

Copyright © 2025 Texas Instruments Incorporated

表 8-5. STATUS1 寄存器字段说明（续）

位	字段	类型	复位	说明
5	POR_FLAG	R/W	1b	上电复位 (POR) 标志。 此位指示由 IOVDD 电源欠压或用户启动的复位所引起的器件上电复位。写入 1b 清除标志，以便检测下一个复位。 0b = 自上次清除标志起没有复位 1b = 发生器件复位
4	SPI_ERR	R/W	0b	SPI 通信 CRC 错误。 此位指示 SPI CRC 错误。如果设置此位，则会阻止寄存器写入操作，但允许清除错误的 STATUS 寄存器除外（写入 1b 以清除错误）。寄存器读取操作仍然有效。通过 CONFIG4 寄存器的 SPI_CRC 位启用 SPI CRC 错误检测。 0b = 无 SPI CRC 错误 1b = SPI CRC 错误
3	CRC_ERR	R	0b	全局存储器 CRC 错误。 此位是对主存储器、FIR 系数和 IIR 系数 CRC 错误进行逻辑或运算。如果写入相关 CRC 寄存器的值与 ADC 计算不匹配，则会在 STATUS2 寄存器的 I_CRC_ERR、F_CRC_ERR 和 M_CRC_ERR 位设置各个错误位。当清除各个 CRC 错误时，此标志自动清零。设置 CONFIG3 寄存器的 REG_CRC 位以启用存储器 CRC 错误检查。 0b = 无全局存储器 CRC 错误 1b = 全局存储器 CRC 错误
2	ADC_ERR	R	xb	内部 ADC 错误。 ADC_ERR 指示内部错误。执行下电上电或复位器件。 0b = 无 ADC 错误 1b = ADC 错误
1	MOD_FLAG	R	xb	调制器饱和标志。 此位指示转换周期中发生的调制器饱和。该标志在转换周期结束时有效。 0b = 无调制器饱和 1b = 在转换周期中发生调制器饱和
0	DRDY	R	xb	数据就绪位。 当新的转换数据准备就绪时，该位将置为有效。该位是 $\overline{\text{DRDY}}$ 引脚的反向信号。轮询此位代替 $\overline{\text{DRDY}}$ 引脚以确定转换数据是新数据还是来自最后一次读取操作的重复数据。在单次触发控制模式下，此位保持为 1b，直至开始新的转换。 0b = 数据不是新数据 1b = 数据是新数据

Copyright © 2025 Texas Instruments Incorporated

STATUS2 寄存器（地址 = 03h）[复位 = 00h]

返回寄存器映射概述。

图 8-4. STATUS2 寄存器

7	6	5	4	3	2	1	0
RESERVED					I_CRC_ERR	F_CRC_ERR	M_CRC_ERR
R-00000b					R-0b	R-0b	R/W-0b

表 8-6. STATUS2 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R	00000b	保留
2	I_CRC_ERR	R	0b	IIR 系数存储器 CRC 错误。 如果写入 IIR 存储器 CRC 寄存器（寄存器地址 17h）的值与内部计算不匹配，则会将错误标记到此位和 STATUS1 寄存器的全局 CRC_ERR 位。通过更正 IIR_CRC 寄存器值并禁用和重新启用寄存器 CRC 校验（CONFIG3 寄存器的 REG_CRC 位）来清除错误。设置 REG_CRC 位（CONFIG3 寄存器）以启用 IIR 存储器错误检查。 0b = 无 IIR 系数存储器 CRC 错误 1b = IIR 系数存储器 CRC 错误
1	F_CRC_ERR	R	0b	FIR 系数存储器 CRC 错误。 如果写入 FIR 存储器 CRC 寄存器（寄存器地址 14h 和 15h）的值与内部计算不匹配，则会将错误标记到此位和 STATUS1 寄存器的全局 CRC_ERR 位。通过更正 FIR_CRC 寄存器值并禁用和重新启用寄存器 CRC 校验（CONFIG3 寄存器的 REG_CRC 位）来清除错误。设置 REG_CRC 位（CONFIG3 寄存器）以启用寄存器组错误检查。 0b = 无 FIR 系数存储器组 CRC 错误 1b = FIR 系数存储器 CRC 错误
0	M_CRC_ERR	R/W	0b	主存储器 CRC 错误。 如果写入主寄存器存储器 CRC 寄存器（寄存器地址 12h）的值与内部计算不匹配，则会将错误标记到此位和 STATUS1 寄存器的全局 CRC_ERR 位。通过更正 MAIN_CRC 寄存器值，然后向此位写入 1b 来清除错误。设置 REG_CRC 位（CONFIG3 寄存器）以启用寄存器组错误检查。 0b = 无主存储器 CRC 错误 1b = 主存储器 CRC 错误

Copyright © 2025 Texas Instruments Incorporated

CONTROL 寄存器（地址 = 04h）[复位 = 00h]

返回寄存器映射概述。

图 8-5. CONTROL 寄存器

7	6	5	4	3	2	1	0
RESET[5:0]						启动	STOP
W-000000b						W-0b	W-0b

表 8-7. CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESET[5:0]	W	000000b	器件复位。 写入 010110b 以复位 ADC。在同一写入操作中，将相邻的 START 和 STOP 位设置为 00b 以复位 ADC。这些位始终读取 000000b。
1	START	W	0b	开始转换。 通过写入 1b 来启动或重新启动转换。在一次性控制模式下，启动一次转换。在启动/停止控制模式下，转换开始并继续，直到被 STOP 位停止。在转换正在进行时向 START 位写入 1b 会重新启动转换。该位在同步控制模式下无效。向 START 和 STOP 位写入 1b 无效。 START 位为自清零，始终读取 0b。 0b = 无操作 1b = 启动或重新启动转换
0	STOP	W	0b	停止转换。 该位在当前转换完成后停止转换。该位在同步控制模式下无效。向 START 和 STOP 写入 1b 无效。STOP 为自清零，始终读取 0b。 0b = 无操作 1b = 在当前转换完成后停止转换

Copyright © 2025 Texas Instruments Incorporated

MUX 寄存器（地址 = 05h）[复位 = 00h]

返回寄存器映射概述。

图 8-6. MUX 寄存器

7	6	5	4	3	2	1	0
RESERVED						MUX[1:0]	
R-000000b						R/W-00b	

表 8-8. MUX 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	000000b	保留
1:0	MUX[1:0]	R/W	00b	输入多路复用器选择。 这些位选择模拟输入的极性并选择测试模式。有关详细信息，请参阅 *模拟输入* 部分。 00b = 正常输入极性 01b = 反相输入极性 10b = 偏移和噪声测试：AINP 和 AINN 断开，ADC 输入在内部短接至 (AVDD1 + AVSS)/2 11b = 共模测试：ADC 输入在内部短接并连接至 AINP

Copyright © 2025 Texas Instruments Incorporated

CONFIG1 寄存器（地址 = 06h）[复位 = 00h]

返回寄存器映射概述。

图 8-7. CONFIG1 寄存器

7	6	5	4	3	2	1	0
DATA	EXT_RNG	REF_RNG	INP_RNG	VCM	REFP_BUF	AINP_BUF	AINN_BUF
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-9. CONFIG1 寄存器字段说明

位	字段	类型	复位	说明
7	DATA	R/W	0b	数据分辨率选择。 该位会选择输出数据分辨率。 0b = 24 位分辨率 1b = 16 位分辨率
6	EXT_RNG	R/W	0b	扩展输入范围选择。 该位将输入范围扩展了 25%。有关更多详细信息，请参阅*输入范围*部分。 0b = 标准输入范围 1b = 25% 扩展输入范围
5	REF_RNG	R/W	0b	电压基准范围选择。 对该位进行编程可选择低基准电压范围或高基准电压范围，以便与施加的基准电压一致。有关基准电压范围，请参阅*建议运行条件*表。当选择高基准范围时，INP_RNG 位会在内部覆盖 1 倍输入范围。 0b = 低基准范围 1b = 高基准范围
4	INP_RNG	R/W	0b	输入范围选择。 该位会选择 1 倍或 2 倍输入范围。有关更多详细信息，请参阅*输入范围*部分。 0b = 1 倍输入范围 1b = 2 倍输入范围
3	VCM	R/W	0b	VCM 输出使能。 该位会启用 VCM 输出电压引脚。VCM 电压为 (AVDD1 + AVSS) / 2。 0b = 禁用 1b = 启用
2	REFP_BUF	R/W	0b	基准正缓冲器使能。 该位会启用 REFP 基准输入预充电缓冲器。 0b = 禁用 1b = 启用
1	AINP_BUF	R/W	0b	模拟输入正缓冲器使能。 该位会启用 AINP 模拟输入预充电缓冲器。 0b = 禁用 1b = 启用
0	AINN_BUF	R/W	0b	模拟输入负缓冲器使能。 该位会启用 AINN 模拟输入预充电缓冲器。 0b = 禁用 1b = 启用

CONFIG2 寄存器（地址 = 07h）[复位 = 08h]

返回寄存器映射概述。

Copyright © 2025 Texas Instruments Incorporated

图 8-8. CONFIG2 寄存器

7	6	5	4	3	2	1	0
RESERVED		START_MODE[1:0]		SPEED_MODE[1:0]		STBY_MODE	PWDN
R-0b		R/W-00b		R/W-10b		R/W-0b	R/W-0b

表 8-10. CONFIG2 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	00b	保留
5:4	START_MODE[1:0]	R/W	00b	START 模式选择。 这些位对 START 引脚的模式进行编程。有关更多详细信息，请参阅 *同步* 部分。 00b = 启动/停止控制模式 01b = 一次性控制模式 10b = 同步控制模式 11b = 被保留
3:2	SPEED_MODE[1:0]	R/W	10b	速度模式选择。 这些位对器件的速度模式进行编程。所列的 ADC 时钟频率对应于模式。 00b = 低速模式 (f_{CLK} = 3.2MHz) 01b = 中速模式 (f_{CLK} = 12.8MHz) 10b = 高速模式 (f_{CLK} = 25.6MHz) 11b = 最大速度模式 (f_{CLK} = 32.768MHz，仅外部)
1	STBY_MODE	R/W	0b	待机模式选择。 当转换停止时，该位会启用自动待机模式。 0b = 空闲模式；当转换停止时，ADC 保持全功率。 1b = 待机模式；当转换停止时，ADC 断电。转换重新开始时退出待机模式。
0	PWDN	R/W	0b	断电模式选择。 该位使 ADC 断电。除 SPI 操作和数字 LDO 外，所有功能均断电，以保留用户寄存器设置。 0b = 正常运行 1b = 断电模式

Copyright © 2025 Texas Instruments Incorporated

CONFIG3 寄存器（地址 = 08h）[复位 = 00h]

返回寄存器映射概述。

图 8-9. CONFIG3 寄存器

7	6	5	4	3	2	1	0
CLK_SEL	CLK_DIV[1:0]		OUT_DRV	RESERVED	SPI_CRC	REG_CRC	状态
R/W-0b	R/W-00b		R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b

表 8-11. CONFIG3 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_SEL	R/W	0b	时钟选择。 选择内部或外部时钟运行。 0b = 内部振荡器运行 1b = 外部时钟运行
6:5	CLK_DIV[1:0]	R/W	00b	时钟分频器选择。 选择内部或外部时钟的时钟分频因子。通过选择 2 分频和 16 分频时钟分频因子，可以强制中速模式的低延时滤波器 OSR 值为所有其他速度模式的值。有关速度模式的 OSR 值列表，请参阅 FILTER1 寄存器。 00b = f_{CLK} / 1 01b = f_{CLK} / 2 10b = f_{CLK} / 8 11b = f_{CLK} / 16
4	OUT_DRV	R/W	0b	数字输出驱动选择。 选择数字输出的驱动强度。 0b = 全驱动强度 1b = 半驱动强度
3	RESERVED	R	0b	保留
2	SPI_CRC	R/W	0b	SPI CRC 使能。 该位启用 SPI CRC 错误检测。启用后，器件会验证 CRC 输入字节并将 CRC 字节附加到输出数据。如果检测到输入 SPI CRC 错误，则 STATUS 字节的 SPI_ERR 位会置位。向 SPI_ERR 位写入 1b 以清除错误。 0b = 禁用 1b = 启用
1	REG_CRC	R/W	0b	存储器 CRC 使能。 该位会启用主要、IIR 系数和 FIR 系数存储器 CRC 错误检查。如果写入相关 CRC 值寄存器的值与 ADC 计算不匹配，则会向 STATUS2 寄存器的 I_CRC_ERR、F_CRC_ERR 和 M_CRC_ERR 错误位报告各个错误。如果任何 CRC 错误位被置位，则将 STATUS1 寄存器中的全局 CRC 错误位 (CRC_ERR) 置位。更正 CRC 值后，切换 REG_CRC 位以清除 I_CRC_ERR 和 F_CRC_ERR 标志。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

表 8-11. CONFIG3 寄存器字段说明（续）

位	字段	类型	复位	说明
0	STATUS	R/W	0b	STATUS1 字节输出使能。 对该位进行编程，以将 STATUS1 寄存器数据作为转换数据的前缀。 读取寄存器时，STATUS1 寄存器数据也会作为寄存器数据输出的前缀。 0b = 禁用 1b = 启用

FILTER1 寄存器（地址 = 09h）[复位 = 00h]

返回寄存器映射概述。

图 8-10. FILTER1 寄存器

7	6	5	4	3	2	1	0
FLTR_SEL[2:0]			FLTR_OSR[4:0]				
R/W-000b			R/W-00000b				

表 8-12. FILTER1 寄存器字段说明

位	字段	类型	复位	说明
7:5	FLTR_SEL[2:0]	R/W	000b	数字滤波器选择。 这些位的功能取决于由 FLTR_OSR[4:0] 位选择的宽带或 sinc 滤波器模式。 如果由 FLTR_OSR[4:0] 选择宽带滤波器，则这些位选择预设或可编程 FIR 滤波器系数。 000b = 预设 FIR 滤波器系数 001b 至 110b = 保留 111b = 可编程 FIR 滤波器系数 如果由 FLTR_OSR[4:0] 选择 sinc 滤波器，这些位会选择 sinc3 或 sinc4 第一级滤波器。 000b = Sinc4 第一级滤波器 001b = Sinc3 第一级滤波器 010b 至 111b = 保留

Copyright © 2025 Texas Instruments Incorporated

表 8-12. FILTER1 寄存器字段说明（续）

位	字段	类型	复位	说明
4:0	FLTR_OSR[4:0]	R/W	00000b	数字滤波器模式和过采样率选择。 这些位选择过采样率和滤波器模式（宽带或 sinc）。对于 sinc 滤波器模式，由 FLTR_SEL[2:0] 选择的 sincx = sinc3 或 sinc4 滤波器。如果 FIR2 *或* FIR3 被禁用，宽带滤波器 OSR 值会减小 2；如果 FIR2 *和* FIR3 被禁用，宽带滤波器 OSR 值会减小 4。输出数据速率等于 f_{MOD} / OSR。 00000b = 宽带，OSR = 32 00001b = 宽带，OSR = 64 00010b = 宽带，OSR = 128 00011b = 宽带，OSR = 256 00100b = 宽带，OSR = 512 00101b = 宽带，OSR = 1024 00110b = 宽带，OSR = 2048 00111b = 宽带，OSR = 4096 01000b = Sincx，OSR = 12 01001b = Sincx，OSR = 16 01010b = Sincx，OSR = 24 01011b = Sincx，OSR = 32 01100b = Sincx，OSR = 64 01101b = Sincx，OSR = 128 01110b = Sincx，OSR = 256（167 中速模式） 01111b = Sincx，OSR = 333（256 中速模式） 10000b = Sincx，OSR = 512（333 中速模式） 10001b = Sincx，OSR = 667（512 中速模式） 10010b = Sincx，OSR = 1024（667 中速模式） 10011b = Sincx，OSR = 1333（1024 中速模式） 10100b = Sincx，OSR = 2048（1333 中速模式） 10101b = Sincx，OSR = 2667（2048 中速模式） 10110b = Sincx，OSR = 4096（2667 中速模式） 10111b = Sincx，OSR = 5333（4096 中速模式） 11000b = Sincx，OSR = 26667（13333 中速模式） 11001b = Sincx，OSR = 32000（16000 中速模式） 11010b = Sincx，OSR = 96000（48000 中速模式） 11011b = Sincx，OSR = 160000（80000 中速模式） 11100b = Sincx + sinc1，OSR = 26656（13334 中速模式） 11101b = Sincx + sinc1，OSR = 32000（16000 中速模式） 11110b = Sincx + sinc1，OSR = 96000（48000 中速模式） 11111b = Sincx + sinc1，OSR = 160000（80000 中速模式）

Copyright © 2025 Texas Instruments Incorporated

FILTER2 寄存器（地址 = 0Ah）[复位 = 01h]

返回寄存器映射概述。

图 8-11. FILTER2 寄存器

7	6	5	4	3	2	1	0
RESERVED	DELAY[2:0]			FLTR_SEQ	FIR2_DIS	FIR3_DIS	IIR_DIS
R/W-0b	R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-1b

表 8-13. FILTER2 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留
6:4	DELAY[2:0]	R/W	000b	转换启动延迟时间选择。 这些位设定了从 START 引脚为高电平或写入 START 位到第一次转换开始之间的延迟时间 (f_{MOD} = f_{CLK} / 2)。 000b = 0 001b = 4 / f_{MOD} 010b = 8 / f_{MOD} 011b = 16 / f_{MOD} 100b = 32 / f_{MOD} 101b = 128 / f_{MOD} 110b = 512 / f_{MOD} 111b = 1024 / f_{MOD}
3	FLTR_SEQ	R/W	0b	宽带滤波器计算序列。 该位对 IIR 和 FIR3 宽带滤波器段的计算序列进行编程。 0b = FIR3 然后 IIR 1b = IIR 然后 FIR3
2	FIR2_DIS	R/W	0b	宽带滤波器，FIR2 部分禁用。 该位会禁用宽带滤波器的 FIR2 部分。 0b = 启用 1b = 禁用
1	FIR3_DIS	R/W	0b	宽带滤波器，FIR3 部分禁用。 该位会禁用宽带滤波器的 FIR3 部分。 0b = 启用 1b = 禁用
0	IIR_DIS	R/W	1b	宽带滤波器，IIR 部分禁用。 该位会禁用宽带滤波器的 IIR 部分。 0b = 启用 1b = 禁用

Copyright © 2025 Texas Instruments Incorporated

FILTER3 寄存器（地址 = 0Bh）[复位 = 01h]

返回寄存器映射概述。

图 8-12. FILTER3 寄存器

7	6	5	4	3	2	1	0
RESERVED						DATA_MODE[1:0]	
R-000000b						R/W-01b	

表 8-14. FILTER3 寄存器字段说明

位	字段	类型	复位	说明
7:2	Reserved[5:0]	R	000000b	保留
1:0	DATA_MODE[1:0]	R/W	01b	数据输出引脚功能选择。 这些位对 SDO/$\overline{\text{DRDY}}$ 引脚的功能进行编程。对于 SPI 菊花链连接，请使用仅数据输出模式。 00b = SDO/$\overline{\text{DRDY}}$ 引脚为仅数据输出模式 01b = SDO/$\overline{\text{DRDY}}$ 为双模式：数据输出和数据就绪 10b = 与模式 01b 相同，但 SDO/$\overline{\text{DRDY}}$ 在 $\overline{\text{CS}}$ 处于高电平时处于有效状态 11b = 保留

OFFSET2、OFFSET1、OFFSET0 寄存器（地址 = 0Ch、0Dh、0Eh）[复位 = 00h、00h、00h]

返回寄存器映射概述。

图 8-13. OFFSET2、OFFSET1、OFFSET0 寄存器

7	6	5	4	3	2	1	0
OFFSET[23:16]							
R/W-00000000b							
7	6	5	4	3	2	1	0
OFFSET[15:8]							
R/W-00000000b							
7	6	5	4	3	2	1	0
OFFSET[7:0]							
R/W-00000000b							

表 8-15. OFFSET 寄存器字段说明

位	字段	类型	复位	说明
23:0	OFFSET[23:0]	R/W	000000h	用户偏移校准值。 三个寄存器构成 24 位偏移校准字。OFFSET[23:0] 采用二进制补码表示形式，并从转换结果中减去它。偏移运算在增益运算之前。

Copyright © 2025 Texas Instruments Incorporated

GAIN2、GAIN1、GAIN0 寄存器（地址 = 0Fh、10h、11h）[复位 = 40h、00h、00h]

返回寄存器映射概述。

图 8-14. GAIN2、GAIN1、GAIN0 寄存器

7	6	5	4	3	2	1	0
GAIN[23:16]							
R/W-01000000b							
7	6	5	4	3	2	1	0
GAIN[15:8]							
R/W-00000000b							
7	6	5	4	3	2	1	0
GAIN[7:0]							
R/W-00000000b							

表 8-16. GAIN 寄存器字段说明

位	字段	类型	复位	说明
23:0	GAIN[23:0]	R/W	400000h	用户增益校准值。 三个寄存器构成 24 位增益校准字。GAIN[23:0] 是直接二进制表示形式，当增益 = 1 时标准化为 400000h。在执行偏移运算后，转换数据会乘以 GAIN[23:0] / 400000h。

MAIN_CRC 寄存器（地址 = 12h）[复位 = 00h]

返回寄存器映射概述。

图 8-15. MAIN_CRC 寄存器

7	6	5	4	3	2	1	0
MAIN_CRC[7:0]							
R/W-00000000b							

表 8-17. MAIN_CRC 寄存器字段说明

位	字段	类型	复位	说明
7:0	MAIN_CRC[7:0]	R/W	00h	主存储器 CRC 值。 主存储器 CRC 在寄存器 0h 至 1h 范围内计算，跳过寄存器 2h、3h 和 4h，然后在寄存器 5h 至 11h 继续计算。将计算出的 CRC 值写入该寄存器。如果该值与内部计算不匹配，则在 STATUS2 寄存器中设置 M_REG_ERR 位。也会在 STATUS1 寄存器中设置全局 CRC_ERR 位。设置 CONFIG3 寄存器的 REG_CRC 位以启用全部三种类型的存储器 CRC。

Copyright © 2025 Texas Instruments Incorporated

FIR_BANK 寄存器（地址 = 13h）[复位 = xxh]

返回寄存器映射概述。

图 8-16. FIR_BANK 寄存器

7	6	5	4	3	2	1	0
FIR_BANK[7:0]							
R/W-xxh							

表 8-18. FIR_BANK 寄存器字段说明

位	字段	类型	复位	说明
7:0	FIR_BANK[7:0]	R/W	xxh	FIR 可编程滤波器系数寄存器存储器组 该寄存器是一个单地址空间，用于存储可编程 FIR 滤波器存储器的 128 个系数。对同一寄存器地址执行顺序读取和写入操作，使内部指针递增到下一个存储器位置。在读取或写入操作中对另一个寄存器的任何地址更改都会将指向第一个存储器空间的内部指针复位。这些可编程系数的复位值未定义。有关 FIR 系数字节序列，请参阅 *FIR3 滤波器级* 部分。

FIR_CRC1、FIR_CRC0 寄存器（地址 = 14h、15h）[复位 = xxh、xxh]

返回寄存器映射概述。

图 8-17. FIR_CRC1、FIR_CRC0 寄存器

7	6	5	4	3	2	1	0
FIR_CRC1[15:8]							
R/W-xxh							
7	6	5	4	3	2	1	0
FIR_CRC0[7:0]							
R/W-xxh							

表 8-19. FIR_CRC1、FIR_CRC0 寄存器字段说明

位	字段	类型	复位	说明
23:0	FIR_CRC[23:0]	R/W	xxxxh	可编程 FIR 滤波器系数 CRC 值。 可编程 FIR 滤波器系数 CRC 是用户计算的 128、32 位 FIR 滤波器系数值。一个 16 位多项式用于 FIR 系数 CRC ($x^{16} + x^{15} + x^2 + 1$)。FIR_CRC1 是高字节值。如果写入的值与内部计算不匹配，则 STATUS2 寄存器中的 F_REG_ERR 位将置位。也会在 STATUS1 寄存器中设置全局 CRC_ERR 位。设置 CONFIG3 寄存器的 REG_CRC 位以启用全部三种类型的存储器组 CRC。更多详细信息，请参阅 *FIR 滤波器系数 CRC* 部分。

Copyright © 2025 Texas Instruments Incorporated

IIR_BANK 寄存器（地址 = 16h）[复位 = xxh]

返回寄存器映射概述。

图 8-18. IIR_BANK 寄存器

7	6	5	4	3	2	1	0
IIR_BANK[7:0]							
R/W-xxh							

表 8-20. IIR_BANK 寄存器字段说明

位	字段	类型	复位	说明
7:0	IIR_BANK[7:0]	R/W	xxh	IIR 可编程滤波器系数寄存器组。 该寄存器是一个单地址空间，用于存储 IIR 滤波器的可编程系数。对该寄存器连续的读写操作会使指向下一个存储器字节位置的内部指针递增。有关 IIR 滤波器系数字节序列，请参阅表 7-8。在读取或写入操作期间，对另一个寄存器的任何地址更改都会将该操作重置为第一个 IIR 系数存储器位置。

IIR_CRC 寄存器（地址 = 17h）[复位 = xxh]

返回寄存器映射概述。

图 8-19. IIR_CRC 寄存器

7	6	5	4	3	2	1	0
IIR_CRC[7:0]							
R/W-xxh							

表 8-21. IIR_CRC 寄存器字段说明

位	字段	类型	复位	说明
7:0	IIR_CRC[7:0]	R/W	xxh	IIR 滤波器系数存储器 CRC 值。 IIR 滤波器系数存储器 CRC 是用户计算的整个 IIR 滤波器存储器的值。如果写入的值与内部计算不匹配，则 STATUS2 寄存器中的 I_REG_ERR 位将置位。也会在 STATUS1 寄存器中设置全局 CRC_ERR 位。设置 CONFIG3 寄存器的 REG_CRC 位以启用全部三种类型的存储器组 CRC。更多详细信息，请参阅 *IIR 滤波器系数 CRC* 部分。

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

当熟悉输入驱动器、抗混叠滤波器、基准电压、SPI 时钟和 PCB 布局的要求时，可实现 ADS127L21 的高性能特性。以下各节介绍了设计指南。

9.1.1 SPI 操作

尽管 ADC 提供了灵活的 SPI 时钟选项和宽 IOVDD 电压范围，但以下指导原则有助于实现完整的数据表性能。

1. 如果可能，使用与 CLK 信号相位同调的 SCLK 信号（即 2:1、1:1、1:2、1:4 等比率）
2. 更大限度地减小 SCLK 和 CLK 之间的相位偏斜 (< 5ns)
3. 以尽可能低的电压运行 IOVDD 以减少数字噪声耦合
4. 如果 IOVDD ≥ 3.3V，考虑在整个转换周期内持续运行 SCLK，以便在整个转换周期内分散噪声耦合的影响
5. 使 SDO/$\overline{\text{DRDY}}$ 的引线电容保持 ≤ 20pF，从而限制与数字代码转换相关的峰值电流

ADC 在 SCLK 上升沿更新数据，以将数据锁存在 SCLK 下降沿。使用 3.3V IOVDD 电源时，SCLK 信号频率的实际限制为 22MHz。该限制考虑了在 SCLK 上升沿生效后的数据传播延迟时间。假设 SDO/$\overline{\text{DRDY}}$ 信号路径中没有其他延迟，则可以在 f_{DATA} = 512kSPS 且具有 40 位有效载荷的条件下读取 24 位数据。

FIR1 滤波器输出模式提供高达 2.048MSPS 的数据，需要 49.152MHz SCLK 信号来读取 24 位数据。在 SCLK 为 49.152MHz 时读取数据需要非标准 SPI 时钟，方法是将数据锁存在与数据更新相同的上升沿。ADC 数据保持时间规格在更新到新数据之前短暂保留旧数据。通过添加分立式缓冲器而使 SDO/$\overline{\text{DRDY}}$ 信号延迟到外部控制器，可提供额外的保持时间。

9.1.2 输入驱动器

ADC 包含预充电缓冲器，可降低模拟输入驱动器的稳定和带宽要求。如果使用 10MHz 或更低带宽的驱动器，则应启用输入预充电缓冲器。如果驱动器和 ADC 输入之间的距离较长（例如电缆连接），也应启用这些缓冲器。对于更高增益带宽的驱动器，请禁用预充电缓冲器以降低功耗。在任何情况下，在输入预充电缓冲器处于活动状态时都可实现满额定值的 THD 和 SNR 数据表性能。在低速模式下，调制器以较慢的速率运行，因此驱动器有更多的时间在调制器采样间隔之间建立稳定状态。对于低速模式运行，可以在禁用预充电缓冲器的情况下使用低带宽输入驱动器。

9.1.3 抗混叠滤波器

在调制器采样率附近出现的输入信号 ($f_{MOD} = f_{CLK} / 2$) 折返（或混叠）到通带，从而导致数据错误。如果存在混叠，则无法通过后处理来消除频率误差。ADC 输入端的模拟抗混叠滤波器可在被 ADC 混叠之前从输入信号中移除带外频率。抗混叠滤波器所需的阶数取决于所选的 OSR 和 f_{MOD} 下信号衰减的目标值。较大的 OSR 值意味着 f_{DATA} 奈奎斯特频率和 f_{MOD} 之间的频率范围更大，从而使滤波器提供所需的衰减。例如，对于 OSR = 128，超过二十倍频会将 f_{DATA} 和 f_{MOD} 分开。当转角频率 = f_{DATA} 时，三阶 60dB/dec 滤波器可在 f_{MOD} 下提供 120dB 的混叠抑制。

9.1.4 基准电压

为了获得数据表性能，ADC 需要一个具有低噪声和良好驱动强度的基准电压来为采样基准输入充电。由于无论转换是否正在进行，调制器都会持续对基准电压进行采样（待机和断电模式除外），因此基准负载是恒定的。因此，基准电压的不完全稳定会导致系统出现增益误差。通过执行用户校准来消除增益误差。基准输出端的 22 µF 去耦电容器以及与基准输入引脚直接相连的 1 µF 和 0.1 µF 电容器可滤除基准反冲电压。该电压是由电容器采样引起的。ADC 包含一个可选的基准预充电缓冲器，可大大减少反冲电压和增益误差。

Copyright © 2025 Texas Instruments Incorporated

9.1.5 同步采样系统

在多通道系统中使用 ADC 时，同样的设计原则也适用，另外还需要考虑时钟布线、同步、共享基准电压和 SPI 时钟。*同步采样系统中的 ADS127L11 应用简报*讨论了类似的 ADC (ADS127L11) 并提供了在同步采样系统中使用的详细信息。

9.2 典型应用

9.2.1 A 加权滤波器设计

图 9-1 展示了对麦克风信号执行 A 加权频率补偿的 ADS127L21 IIR 滤波器。A 加权会将原始输入频谱整形，以考虑人耳对感知声压级 (SPL) 的频率相关灵敏度。因此，职业健康和安全标准使用 A 加权补偿仪器规定了高噪声环境中的 SPL 暴露限制。图 9-2 展示了 A 加权补偿曲线。

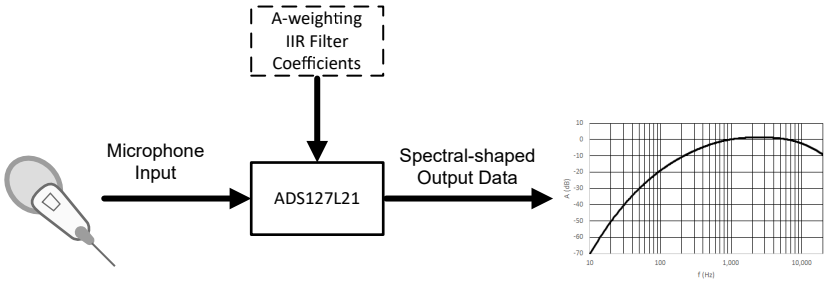


图 9-1. ADS127L21 A 加权补偿

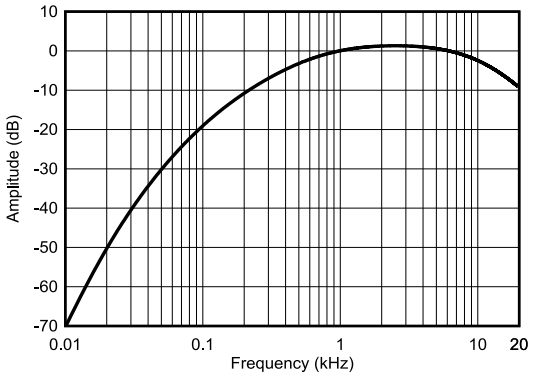


图 9-2. A 加权频率响应

Copyright © 2025 Texas Instruments Incorporated

A 加权补偿由连续时域中的极点指定，以 ANSI S1.43 和 IEC 616672-1 为依据。对于数字滤波器设计，不能直接将连续时间极点用作 Z 域极点。本应用总结了可在 ADS127L21 IIR 数字滤波器中使用的连续时间极点到 Z 域极点变换步骤。

9.2.1.1 设计要求

ANSI A 加权标准根据应用要求指定了三个精度级别。表 9-1 展示了麦克风入射角为 ±22.5° 的仪表级精度水平。因此，此设计可实现低于 0.3dB 的滤波器合规性误差。

表 9-1. ANSI A 加权仪表级精度（±22.5° 麦克风入射角）

频率范围 (Hz)	0 类 (dB)	1 类 (dB)	2 类 (dB)
31.5 至 2000	±0.5	±1	±2
2000 至 4000	±1	+1.5、-1	±2.5
4000 至 5000	±1	+2、-1.5	±3
5000 至 6300	±1.5	+2.5、-2	±3.5
6300 至 8000	±2	+3、-2.5	±4.5
8000 至 10000	±2	+3.5、-3.5	未指定
10000 至 12500	±3	+4、-6.5	未指定

如表 9-2 所示，IIR 滤波器设计的目标误差在 10Hz 至 20kHz 带宽内小于 ±0.3dB。为了符合整个 20kHz 音频带的要求，选择支持 20.6kHz、–0.1dB 带宽的 50kSPS 采样率。

表 9-2. 设计要求

参数	值
频率范围	10Hz 至 20kHz
补偿精度	< ±0.3dB
采样率	50kHz

9.2.1.2 详细设计过程

双线性变换将连续时间函数 H_A (s) 转换为离散时间函数 H_A (z)。从分析角度来看，双线性变换将 z 的函数代入 H_a (s) 中的 s，从而得到 H_a (z)。

方程式 23 展示了 ANSI 标准的 A 加权传递函数。分母极点频率以 Hz 为单位。

$$H_A(f) = 20 \times \mathrm{Log}\left[\frac{12194^2 \times f^4}{(f^2 + 20.6^2) \times \sqrt{(f^2 + 107.7^2) \times (f^2 + 737.9^2)} \times (f^2 + 12194^2)}\right] + 2 \quad (23)$$

方程式 24 展示了方程式 23 的 S 平面转换结果，转换方法是将频率项乘以 2π 来转换为角频率（弧度/秒）。

$$H_A(s) = \frac{7.39014 \times 10^9 \times s^4}{(s + 129.4)^2 \times (s + 767.4) \times (s + 4636) \times (s + 76818)^2} \quad (24)$$

Copyright © 2025 Texas Instruments Incorporated

双线性变换通过方程式 25 代入 H_A (s) 中的变量 s 以生成每个分离的分母项的 H_A (z)。

$$s = \frac{2}{T} \times \frac{1 - z^{-1}}{1 + z^{-1}} \tag{25}$$

其中：

- T = 1 / 50kSPS

在 z 平面变换中，当极点靠近 ADC 奈奎斯特频率 (f_{DATA} / 2) 时，就会产生频率误差。因此，最接近奈奎斯特频率 12,194Hz 的极点的误差由变量 s 的一个新等式补偿，替代方程式 25。方程式 26 显示了变量 s 的新公式。

$$s = \frac{\omega_0}{tan\left[\frac{\omega_0 \times T}{2}\right]} \times \frac{1 - z^{-1}}{1 + z^{-1}} \tag{26}$$

其中：

- $\omega_o = 2\pi \times f$
- f = 转角频率

通过获得变量 *z* 的幂，然后乘以 z^{-1} / z^{-1} 以得到双二阶形式为方程式 27 的 H_A (z) 函数，可以求出 H_A (z) 的值。

$$H(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \tag{27}$$

表 9-3 以十进制和 2.30 十六进制格式展示了 IIR 滤波器设计的双二阶系数值。包括 g_5 的增益系数为 1.0 (40000000h)。*IIR 滤波器级* 部分介绍了系数上传过程。

表 9-3. A 加权 IIR 滤波器系数（十进制，2.30 十六进制格式）

系数(1)	双二阶 1	双二阶 2	双二阶 3	双二阶 4
b_{x0}	0.997417013	0.993278382	0.955663664	0.481661428
	3FD5AE2Bh	3F91DF7Eh	3D2997EEh	1ED38A74h
b_{x1}	-1.994834026	-0.99327838	-0.955663664	0.161859553
	8054A3AAh	C06E2082h	C2D66812h	0A5BE82Ch
b_{x2}	0.997417013	0.00000000	0.00000000	0.00000000
	3FD5AE2Bh	00000000h	00000000h	00000000h
a_{x1}	-1.99483069	-0.986556766	-0.911327329	-0.395604811
	8054B1ACh	C0DC4103h	C5ACD023h	E6AE6929h
a_{x2}	0.994837367	0.00000000	0.00000000	0.039125792
	3FAB6A59h	00000000	00000000h	02810977h
g_x	1.00000000	1.00000000	1.00000000	1.00000000
	40000000h	40000000h	40000000h	40000000h

1. *x* = 双二阶次数。

Copyright © 2025 Texas Instruments Incorporated

9.2.1.3 应用曲线

图 9-3 展示了扫描正弦波信号在 10Hz 至 20kHz 频段内的 ADS127L21 A 加权 IIR 滤波器误差。滤波器符合性误差小于 ±0.3dB 的设计目标。滤波器符合性误差仅针对 ADC，不包括麦克风误差。该滤波器经过缩放，可在 2kHz 满量程信号输入下提供 –1dB 满量程 ADC 输出。通过减小 ADC 输入放大器级的增益，可在过载情况下实现额外的信号余量。

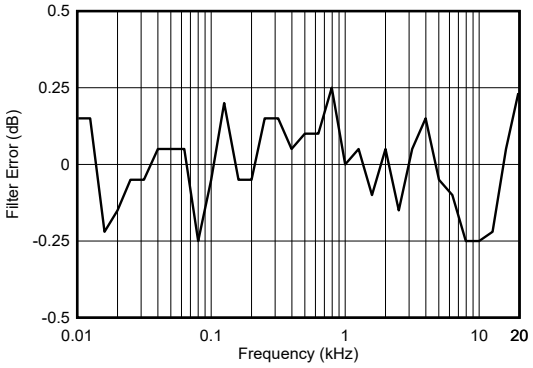


图 9-3. A 加权 IIR 滤波器误差

9.2.2 PGA855 可编程增益放大器

图 9-4 展示了驱动 ADS127L21 输入的 PGA855 可编程增益放大器。PGA855 采用差分输入和差分输出，使用 ±15V 电源，具有 24V 输入能力。PGA 接受单端信号的做法是将单端信号转换为用于驱动 ADC 差分输入的差分信号。由引脚控制的增益可将信号调节至 ADC 输入范围。PGA855 由独立输入和输出电源供电运行。例如，对输入段使用 ±15V 电源，对输出段使用 5V 电源。5V 输出运行模式可防止在 PGA 过驱情况下 ADC 输入过载。ADC 的 VCM 输出会驱动 PGA 输出的共模电压。

此应用的目标是在各种增益设置下评估 PGA 与 ADC 组合的 SNR 和 THD 性能。此外，还将介绍一个双极抗混叠滤波器。

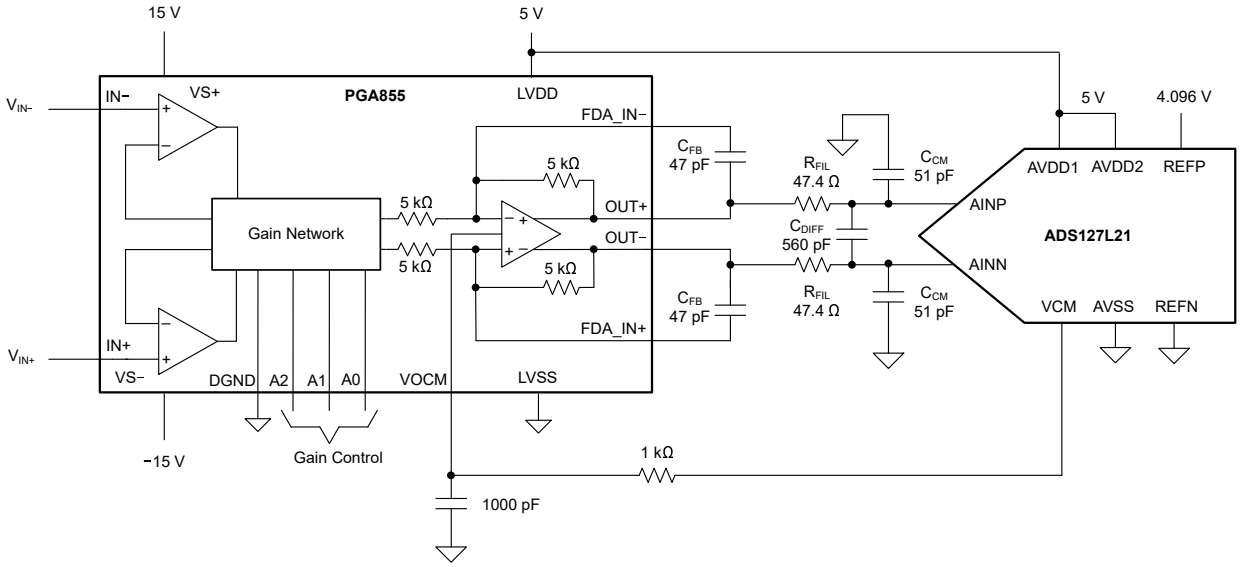


图 9-4. PGA855 驱动器电路

9.2.2.1 设计要求

表 9-4 列出了 PGA855 应用的设计参数。

表 9-4. 设计参数

参数	值
输入电压（V_{PP}，差分）	20V、16V、8V、4V、2V、1V、0.5V、0.25V
ADC 基准电压	4.096V
数据速率	187.5kSPS，OSR = 64
混叠抑制	在 12MHz f_{MOD} 时为 –35dB
测试频率	1kHz
THD（增益 = 1）	< –120dB
SNR（增益 = 1，宽带滤波器）	> 107dB
SNR（增益 = 1，sinc4 滤波器）	> 109dB

9.2.2.2 详细设计过程

两个一阶抗混叠滤波器采用 PGA855 电路实现。请参阅图 9-4，第一个滤波器由 C_{FB} 提供，并与 PGA 5kΩ 反馈电阻并联。PGA 电阻器的绝对容差为 ±15%，因此，应考虑容差对滤波器截止频率的影响。C_{FB} = 47pF 会得到 675kHz 的滤波器截止频率。在电阻器容差的高侧，滤波器频率变为 574kHz。在此容差下，滤波器在宽带滤波器信号频带 (77kHz) 的边缘保持 –0.1dB 平坦度。

第二个抗混叠滤波器位于 ADS127L21 输入端。滤波器值 R_{FIL} = 47.4 Ω 和 C_{DIFF} = 560pF 产生 2.8MHz 的滤波器截止频率。ADC 输入预充电缓冲器可显著降低采样相位输入电荷，从而提高 ADC 输入阻抗以减小增益误差。由于缓冲区的存在，在此设计中通过增加 R_{FIL} 和 C_{DIFF} 来改善抗混叠抑制。

C0G 电介质电容器用在整个信号路径中（C_{FB}、C_{DIFF} 和 C_{CM}），以提供低失真性能。

9.2.2.3 应用曲线

1kHz 正弦波测试信号将生成 SNR 和 THD 数据。幅度经过调整以从 ADC 提供 –0.2dBFS 输出。

表 9-5 总结了在启用 ADC 输入缓冲器的情况下，PGA855 驱动 ADS127L21 的 SNR、ENOB 和 THD 总性能。当增益 = 1 时，宽带滤波器设计可实现 –121.4dB 的 THD 和 107.6dB 的 SNR，sinc4 滤波器设计可实现 109.6dB 的 SNR。

表 9-5. PGA855 和 ADS127L21 性能摘要

PGA 增益 (V/V)	输入 (V_{PP})	SNR (dB)		有效分辨率（位）		THD (dB)
		宽带	SINC4	宽带	SINC4	
0.125	20	106.0	107.6	19.1	19.4	-119.6
0.25	16	107.5	109.0	19.4	19.6	-119.0
0.5	8	107.7	109.8	19.4	19.7	-121.2
1	4	107.6	109.6	19.4	19.7	-121.4
2	2	107.0	109.6	19.3	19.7	-121.4
4	1	105.4	107.4	19.0	19.3	-121.4
8	0.5	101.7	104.0	18.4	18.8	-121.4
16	0.25	96.7	99.1	17.6	17.9	-117.0

Copyright © 2025 Texas Instruments Incorporated

图 9-5 和图 9-6 展示了宽带滤波器和 sinc4 滤波器各自的 1kHz 满量程 FFT 图。由于 sinc4 滤波器的滚降频率，与宽带滤波器相比，SNR 性能平均提高了 2dB。滤波器提供相同的 THD 结果。

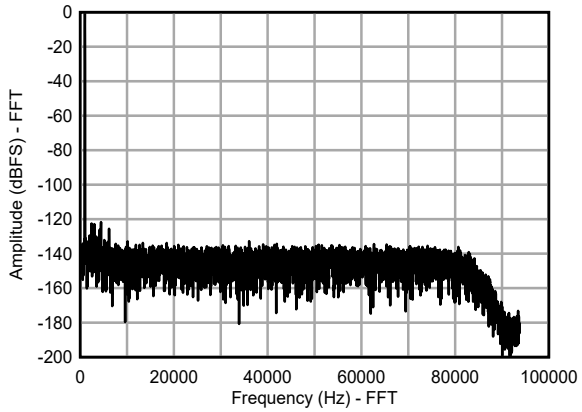


图 9-5. 宽带滤波器性能

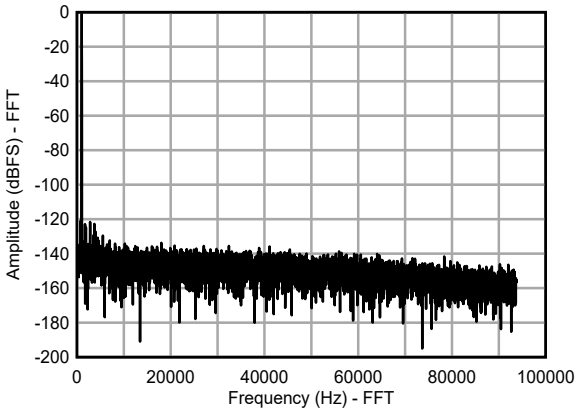


图 9-6. Sinc4 滤波器性能

图 9-7 展示了二级抗混叠滤波器的响应。该滤波器可在 12MHz f_{MOD} 频率下提供 –38dB 抗混叠抑制。

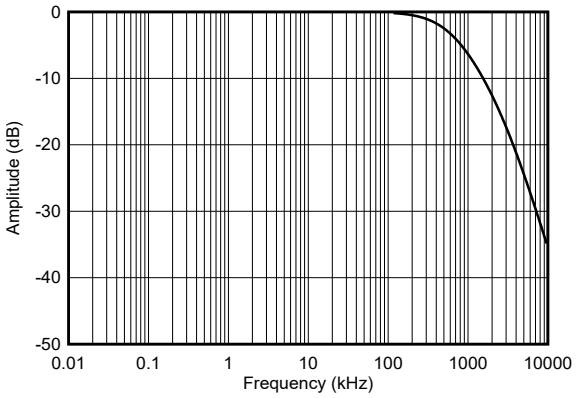


图 9-7. PGA855 抗混叠滤波器响应

Copyright © 2025 Texas Instruments Incorporated

9.2.3 THS4551 抗混叠滤波器设计

图 9-8 展示了精密数据采集系统中使用的 ADS127L21 应用。很多传感器的高频信号含量受到限制。因此，一阶或二阶滤波器足以滤除传感器和放大器的高频噪声，从而防止噪声与通带混叠。然而，在某些应用中，信号是未知的，需要使用高位抗混叠滤波器。此设计的目标是在 ADC 输入端使用 THS4551 FDA 抗混叠滤波器，以调制器采样率 (f_{MOD}) 衰减带外信号。

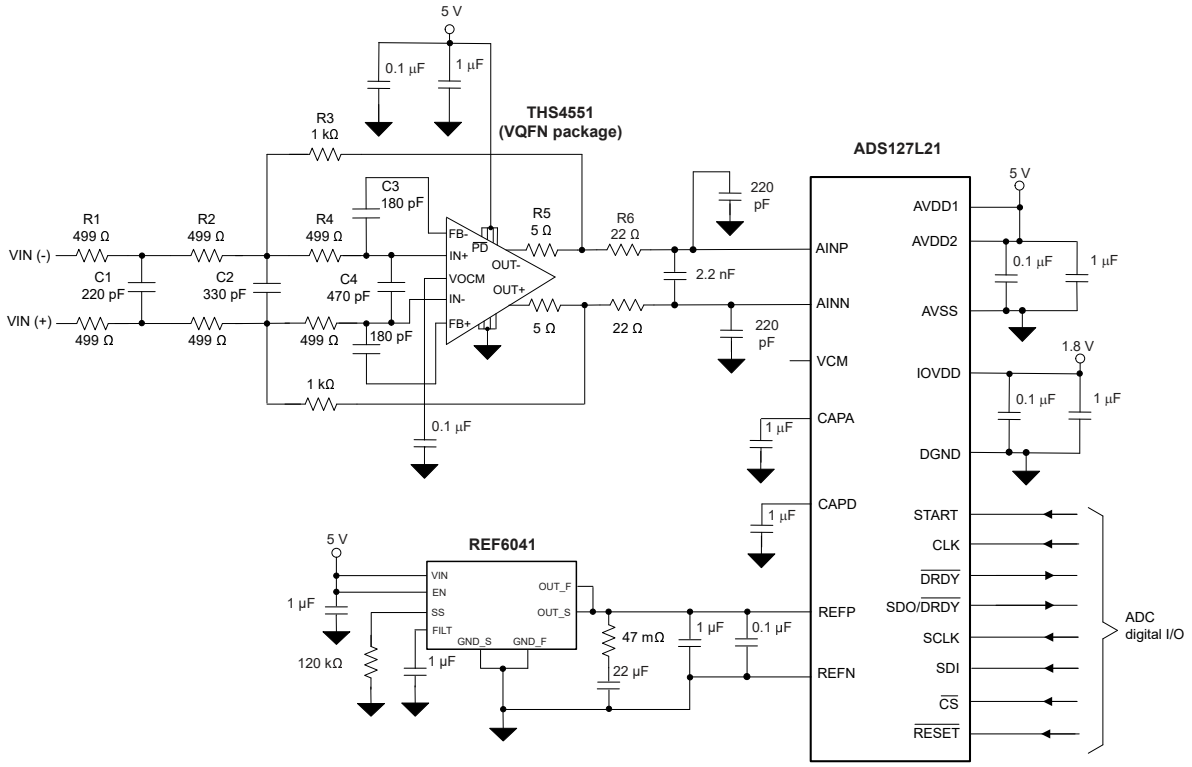


图 9-8. ADS127L21 电路图

9.2.3.1 设计要求

抗混叠滤波器设计的要求是在宽带滤波器模式下使用 OSR = 32 设置，在临界 f_{MOD} 频率下实现 90dB 衰减。高速模式下的临界 f_{MOD} 频率为 12.8MHz。该滤波器专为信号通带内的平坦幅度响应和低群延迟误差而设计。

表 9-6 列出了此设计示例中的目标设计值和实际值。

表 9-6. 抗混叠滤波器设计要求

滤波器参数	目标值	实际值
电压增益	0dB	0dB
12.8MHz 下的混叠抑制	90dB	90dB
–0.1dB 频率	250kHz	260kHz
–3dB 频率	500kHz	550kHz
振幅峰值	20mdB	12mdB
群延迟线性度	0.1 µs	0.017 µs
滤波器和 ADC 的总噪声（165kHz 带宽）	12 µV	11.8 µV

9.2.3.2 详细设计过程

抗混叠滤波器由一个无源一阶输入滤波器、一个有源二阶滤波器和一个无源一阶输出滤波器组成。抗混叠滤波器总体为四阶，在选择低 OSR 值 (32) 时必不可少。OSR 32 会产生 f_{DATA} 奈奎斯特频率和 f_{MOD} 频率之间频率范围

Copyright © 2025 Texas Instruments Incorporated

的不到二十倍频程。该四阶滤波器在此频率范围内提供 90dB 的滚降。f_{MOD} 下的滤波器滚降是滤波器的关键功能。

由于 135MHz 的增益带宽积 (GBP) 和 50ns 的稳定时间，因此为有源滤波器级选择 THS4551 放大器。即使直流增益为 15dB，放大器 GBP 也足以将滤波器滚降保持在 12.8MHz。例如，对于需要增益的应用，10MHz 放大器具有边际 GBP 以完全支持 f_{MOD} 频率下所需的滚降。THS4551 的稳定时间规格也使得该器件成为驱动 ADC 采样输入的理想选择。

有源滤波器段的设计先假设 R 相等，从而降低确定的元件值。滤波器的直流增益为 $R_3 / (R_1 + R_2)$。1kΩ 电阻值足够低，可防止电阻器噪声和放大器输入电流噪声影响 ADC 的噪声。

1kΩ 输入电阻器被分为两个 499Ω 电阻器（R_1 和 R_2），以便使用 C_1 实现一阶滤波器。一阶滤波器与二阶有源滤波器彼此解耦，但共用 R_1 和 R_2 来确定每个滤波器级转角频率。转角频率由 C_1 和 C_1 端子处的戴维南电阻 (R_{TH} = 2 × 250Ω) 给出。

*《ADC 接口应用中 MFB 滤波器的设计方法 应用手册*提供了此示例中使用的滤波器设计公式。对于多反馈有源滤波器拓扑，设计输入为滤波器 f_O 和滤波器 Q。如果任意选择 R_4，则可以确定 C_3 反馈电容器和单个 330pF 差分电容器 (C_2) 的值。在本例中，R_4 为 2 × 499Ω，C_3 为 2 × 180pF。差分电容器 (C_4) 不是滤波器设计的一部分，但有助于改进滤波器相位裕度。5Ω 电阻器 (R_5) 将放大器输出与杂散电容隔离开，以进一步改进滤波器相位裕度。

ADC 输入端的最终级 RC 滤波器有两个用途。首先，滤波器为整个滤波器响应提供第四个极点，从而增大滤波器滚降。该滤波器的另一个用途是电荷库，用于过滤 ADC 的电容器采样输入。电荷库减少了放大器的瞬时电荷需求，保持了低失真和低增益误差，否则会因放大器未完全稳定而降低性能。输入滤波器值为 2 × 22Ω 和 2.2nF。22Ω 电阻器位于 THS4551 滤波器环路外部，用于将放大器输出与 2.2nF 电容器隔离开，以维持相位裕度。

低电压系数 C0G 电容器用在信号路径中的任何位置，以实现低失真特性。放大器增益电阻器的容差为 0.1%，可提供出色的 THD 性能。ADC VCM 输出连接到放大器 VOCM 输入引脚是可选的，因为放大器提供相同的功能。

有关有源滤波器设计和应用的其他示例，请参阅 THS4551 数据表。

9.2.3.3 应用曲线

以下图表由 TINA-TI™ 基于 SPICE 的模拟仿真程序生成。在 THS4551 产品文件夹中下载 THS4551 SPICE 模型。

Copyright © 2025 Texas Instruments Incorporated

图 9-9 展示了抗混叠滤波器的频率响应以及抗混叠滤波器和 ADC 的*总*响应。如该图所示，滤波器提供从奈奎斯特频率到 12.8MHz f_{MOD} 频率的 90dB 阻带衰减。

图 9-10 展示了模拟滤波器群延迟。与 ADC 数字滤波器的 85 µs 群延迟 (34 / f_{DATA}) 相比，0.575 µs 的群延迟很小。模拟滤波器群延迟线性度为 0.017 µs，在 165kHz 通带的边缘达到峰值。

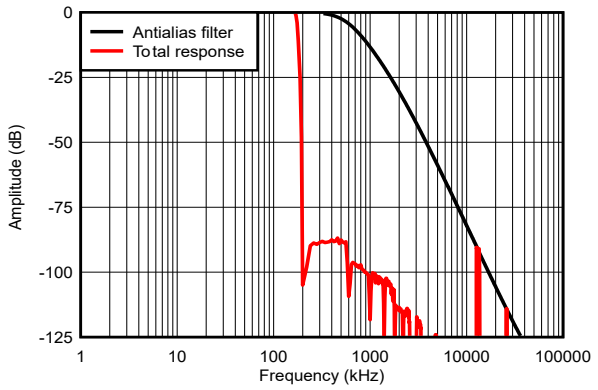


图 9-9. 抗混叠滤波器频率响应

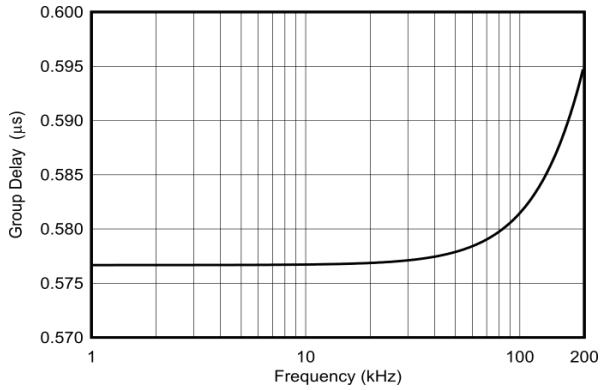


图 9-10. 抗混叠滤波器群延迟

图 9-11 展示了抗混叠滤波器电路的噪声密度、ADC 的噪声密度以及滤波器和 ADC 的组合噪声密度。噪声密度是每 $\sqrt{Hz}$ 带宽绘制的噪声电压与频率间关系图。

图 9-12 展示了从 1Hz 启动频率到 ADC 最终带宽的总噪声。低于 200Hz 时，噪声主要由 THS4551 放大器的 1/f 电压和电流噪声决定。在 200Hz 以上，噪声主要是 ADC 噪声。滤波器和 ADC 在 165kHz 带宽上的组合噪声为 11.8 µV，满足 12 µV 的目标值。

通过代入 THP210 输入驱动器来代替 THS4551，可以提高低频噪声性能。有关详细信息，请参阅 *THP210 和 ADS127L11 性能*应用手册。

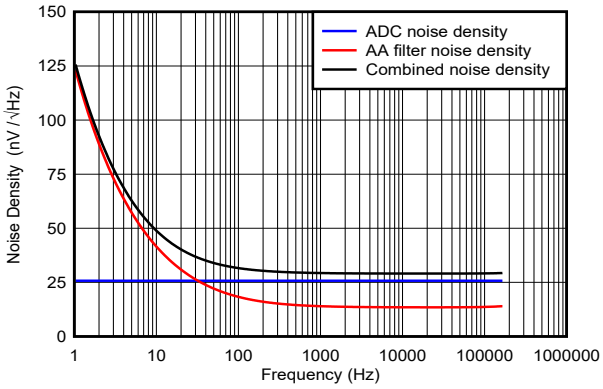


图 9-11. 噪声密度

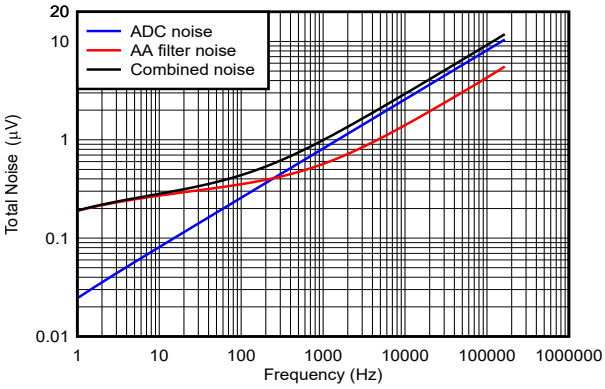


图 9-12. 总噪声

Copyright © 2025 Texas Instruments Incorporated

9.3 电源相关建议

ADC 有三个模拟电源和一个数字电源。电源可按任何顺序进行定序，并且可承受慢速或快速电源电压斜升速率。但是，在任何情况下，都应确保模拟和数字输入不要超过各自的 AVDD1 和 AVSS（模拟）或 IOVDD（数字）电源电压。

电源电压 AVDD1 和 AVSS 决定了模拟输入的范围。只有使用双极电源电压（例如 AVDD1 = 2.5V 和 AVSS = –2.5V）才能处理双极输入信号。只有使用单极电源电压（例如 AVDD1 = 5V 和 AVSS = DGND）才能处理单极输入信号。在中低速模式下运行提供了在 3.3V 和 3V（标称值）下运行 AVDD1 的选项，可降低功耗。

AVDD2 电源电压以 AVSS 为基准。IOVDD 电源电压以 DGND 为基准。一个应用选项是对 AVSS = DGND 的所有电源使用单个 5V 电压。中速和低速模式允许对所有电源使用 3.3V 和 3V 电压的单一选项。表 9-7 展示了 AVDD1、AVSS、AVDD2 和 IOVDD 可能的电源电压。所有电压均为标称值。

表 9-7. 电源配置

模式	模拟配置	AVDD1 – DGND	AVSS – DGND	AVDD2 – DGND	IOVDD – DGND
最大速度	单极	5V	0V	1.8V 至 5V	1.8V 至 5V
	双极	2.5V	-2.5V	0V 至 2.5V	1.8V 至 5V
高速	单极	5V	0V	1.8V 至 5V	1.8V 至 5V
	双极	2.5V	-2.5V	0V 至 2.5V	1.8V 至 5V
中速	单极	3.3V 至 5V	0V	1.8V 至 5V	1.8V 至 5V
	双极	1.65V 至 2.5V	-1.65V 至 -2.5V	0.15V 至 2.5V	1.8V 至 5V
低速	单极	3V 至 5V	0V	1.8V 至 5V	1.8V 至 5V
	双极	1.5V 至 2.5V	-1.5V 至 -2.5V	0.3V 至 2.5V	1.8V 至 5V

器件引脚上的电源旁路对于实现数据表性能至关重要。ADC 还需要用于 CAPA 和 CAPD 引脚以及模拟输入和基准引脚的电容器。使用短而直接的走线将电容器放置在靠近器件引脚的位置，并将具有较小值的电容器放置在最靠近器件引脚的位置。

器件引脚的推荐旁路元件如下：

1. AVDD1 至 AVSS：引脚间的 1µF 和 0.1µF 电容器的并联组合
2. AVDD2 至 AVSS：引脚间的 1µF 和 0.1µF 电容器的并联组合
3. IOVDD 至 DGND：引脚间的 1µF 和 0.1µF 电容器的并联组合
4. CAPA 至 AVSS：引脚间放置的 1µF 电容器
5. CAPD 至 DGND：引脚间放置的 1µF 电容器
6. REFP、REFN：引脚间的 1µF 和 0.1µF 电容器的并联组合
7. AINP、AINN：一般建议串联 22Ω 电阻器，然后在引脚间放置 2.2nF 电容器，从每个引脚到 AVSS 为 220pF 电容器

Copyright © 2025 Texas Instruments Incorporated

图 9-13 展示了配置为单极电源运行的器件的元件放置。

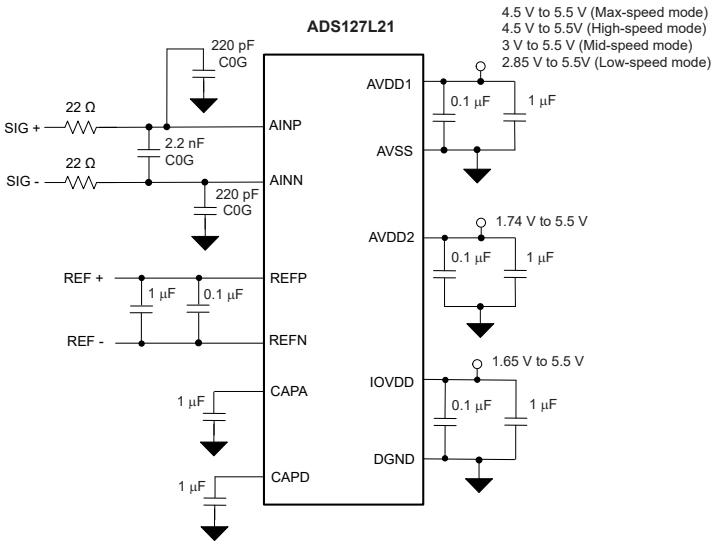


图 9-13. 器件电容器旁路建议

9.4 布局

9.4.1 布局指南

为了实现数据表性能，请使用最小四层 PCB 板，其内层专用于接地平面和电源平面。通过在单个不间断接地平面上组合模拟和数字接地，可实现出色性能。但在某些布局几何形状中，需要使用单独的模拟和数字接地来帮助将数字电流引导至远离模拟接地的位置。例如，来自脉冲 LED 指示灯、继电器等的电流。在这种情况下，请考虑为这些负载提供单独的接地返回路径。当使用单独的模拟和数字接地时，应在 ADC 处接地。

使用电源平面层将电源连接到 ADC。

顶层和底层对模拟和数字信号进行布线。在整个信号链中将输入信号布线为匹配的差分对，以减少差分噪声耦合。避免数字信号与模拟信号交叉或相邻放置。此布局对于时钟输入和 SPI 信号、SCLK 和 SDO/$\overline{\text{DRDY}}$ 等高频数字信号尤其适用。封装的引脚放置更大限度地减少了对数字信号和模拟信号的交叉需求。

将电压基准靠近 ADC 放置。调整基准的方向，使基准接地引脚靠近 ADC REFN 引脚。将基准输入旁路电容器直接放置在 ADC 引脚上。在多通道系统中为每个 ADC 使用基准旁路电容器。将基准接地引脚连接到接地平面（或连接到某些双极电源系统中的 AVSS）的某个点。将 REFP 和 REFN 作为成对布线连接到每个 ADC。

Copyright © 2025 Texas Instruments Incorporated

9.4.2 布局示例

图 9-14 是基于图 9-8 的电路图的布局示例。使用四层 PCB，内层专用于接地平面和电源平面。在放大器输入引脚下方的平面层上使用了切口，以减小杂散电容，从而增加放大器相位裕度。ADS127L21 和 THS4551 WQFN 封装散热焊盘的散热过孔不用于在器件下方的底层放置旁路电容器。将较小的并联电源旁路电容器放置在最靠近器件电源引脚的位置。

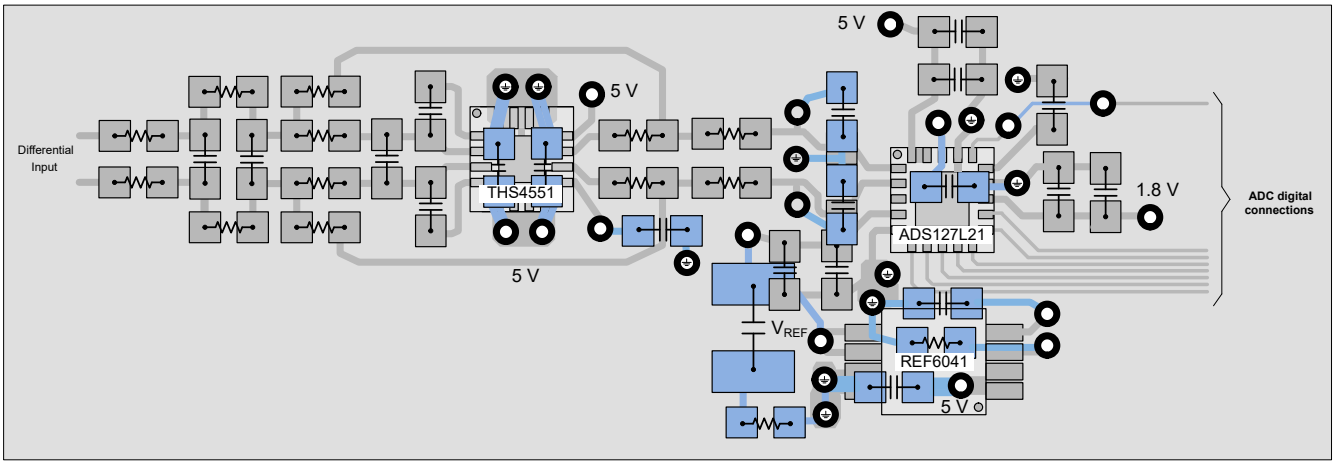


图 9-14. 典型应用电路的布局示例

有关将 WQFN 封装连接到印刷电路板的详细信息，请参阅 *QFN 和 SON PCB 连接* 应用手册。

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*THP210 和 ADS127L11 性能应用手册*
- 德州仪器 (TI)，*PGA855 低噪声、宽带宽、全差分 PGA 数据表*
- 德州仪器 (TI)，*同步采样系统中的 ADS127L11 应用简报*
- 德州仪器 (TI)，*ADS127L11 CRC 计算器*
- 德州仪器 (TI)，*四通道同步 IEPE 振动传感器接口参考设计*
- 德州仪器 (TI)，*THS4551 低噪声、高精度 150MHz 全差分放大器数据表*
- 德州仪器 (TI)，*REF60xx 具有集成 ADC 驱动器缓冲器的高精度电压基准数据表*
- 德州仪器 (TI)，*ADC 接口应用中 MFB 滤波器的设计方法应用手册*
- 德州仪器 (TI)，*QFN 和 SON PCB 连接*应用手册。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2024) to Revision C (August 2025)	Page
• 更改了*建议运行条件*部分中的最大时钟频率规格	5
• 向*电气特性*一节中添加了最大速度模式的最大 INL 规格	6
• 更改了*时序要求*第 I 节和第 II 节中的最小 CLK 周期规格	16
• 向*时钟操作*部分添加了 CLK_DIV[1:0] 同步讨论	50
• 将 *SPI 命令*表和整个文档中的 BYTE1 命令地址字段从 *[3:0]* 更改为 *[4:0]*	73

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (June 2023) to Revision B (April 2024) **Page**

- 更改了*绝对最大额定值* 部分中的数字输入/输出电压最大值规格 4
- 向 *典型特性* 部分中添加了满量程信号 FFT 图 21
- 更改了 *A 加权滤波器设计应用* 部分中的 *详细设计过程* 101

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS127L21IRUKR	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	127L21
ADS127L21IRUKR.A	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	127L21
ADS127L21IRUKT	Active	Production	WQFN (RUK) | 20	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	127L21
ADS127L21IRUKT.A	Active	Production	WQFN (RUK) | 20	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	127L21

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

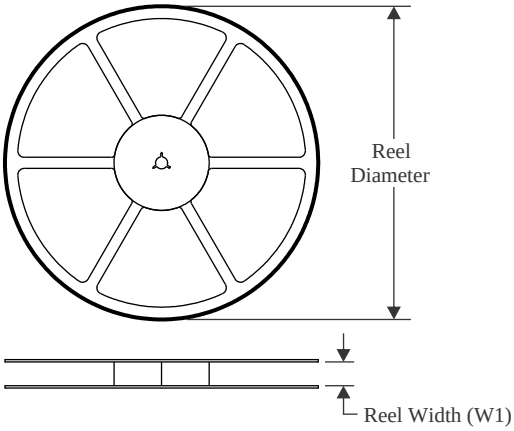
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

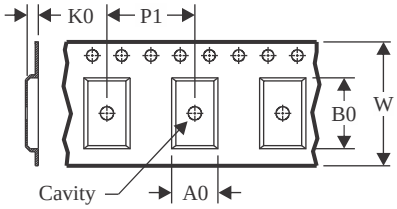
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

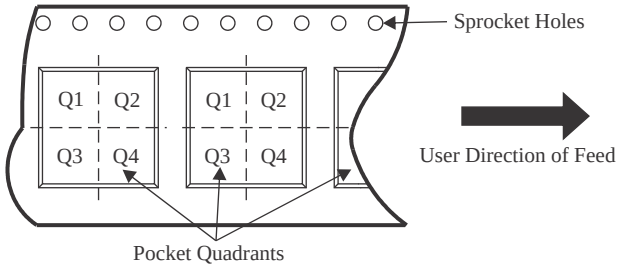


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

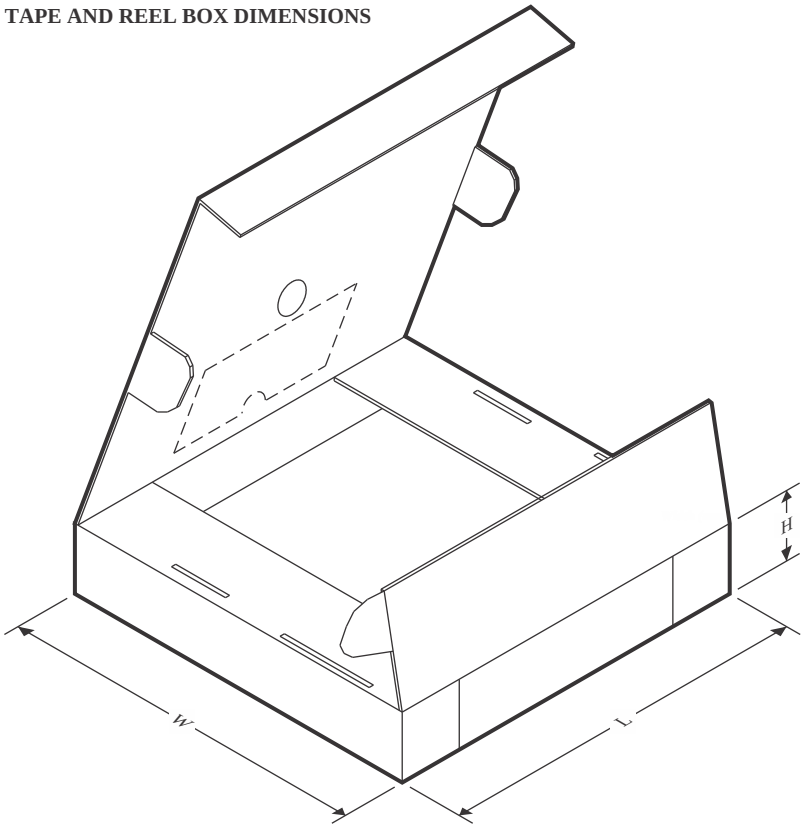
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS127L21IRUKR	WQFN	RUK	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
ADS127L21IRUKT	WQFN	RUK	20	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS127L21IRUKR	WQFN	RUK	20	3000	360.0	360.0	36.0
ADS127L21IRUKT	WQFN	RUK	20	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

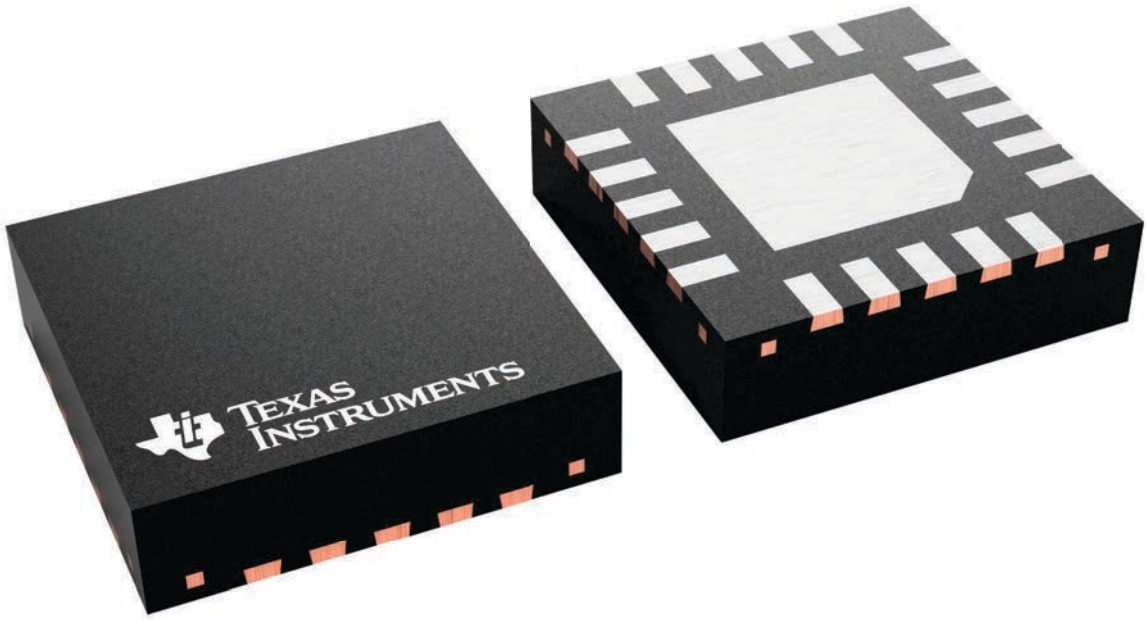
RUK 20

WQFN - 0.8 mm max height

3 x 3, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



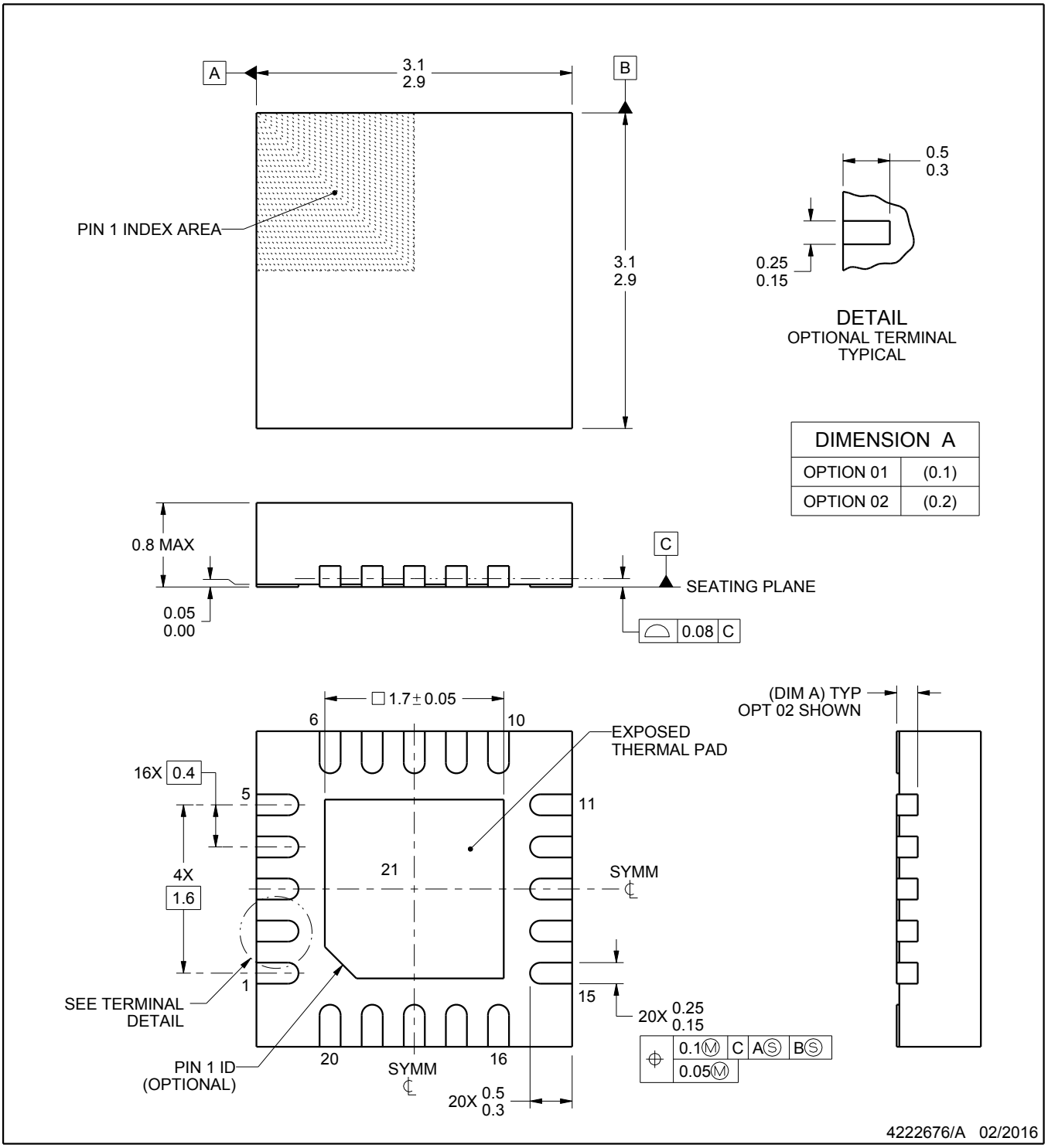
4229651/A

PACKAGE OUTLINE

RUK0020B

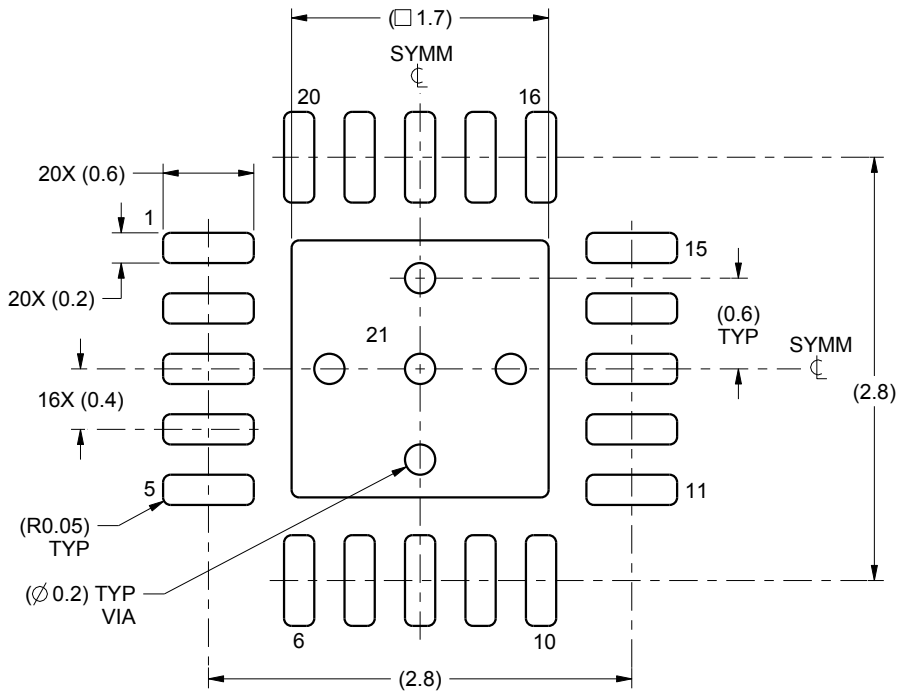
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

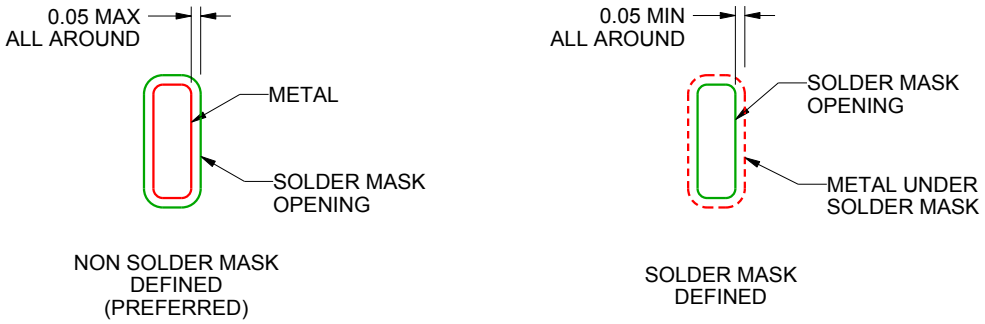


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

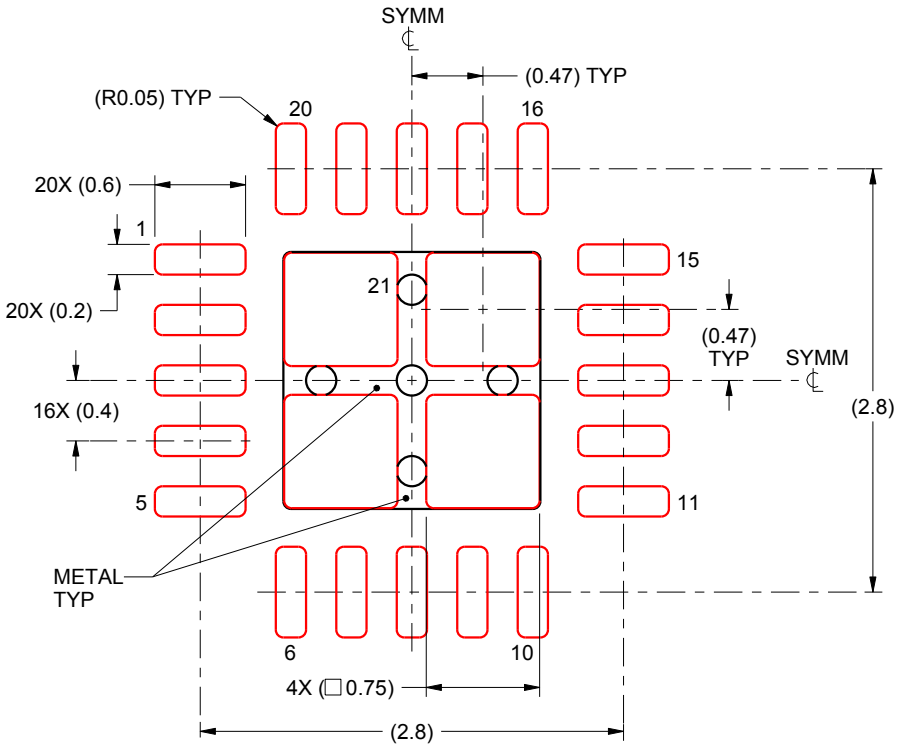


SOLDER MASK DETAILS

4222676/A 02/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4222676/A 02/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月