ADS1278QML-SP 耐辐射 8 通道同步采样 24 位模数转换器

1 特性

- 耐辐射
  - TID 辐射批次验收测试 (RLAT)：50krad
  - 单事件闭锁 (SEL) 对 LET 免疫：125°C 下为 51MeV-cm^2/mg
- 同时采样八个通道
- 高达 128kSPS 的数据速率
- AC 性能：
  - 63kHz 带宽
  - 111dB SNR（高分辨率模式）
  - -108dB 的信噪比 (THD)
- 直流精度：
  - 0.8 µV/°C 温漂
  - 1.3ppm/°C 增益漂移
- 可选操作模式：
  - 高速：128kSPS、106dB SNR
  - 高分辨率：52kSPS、111dB SNR
  - 低功耗：52kSPS、31mW/ch
  - 低速：10kSPS、7mW/ch
- 线性相位数字滤波器
- SPI™ 或帧同步串行接口
- 低采样孔径误差
- 调制器输出选项（数字滤波器旁路）
- 模拟电源：5V
- 数字内核：1.8V
- I/O 电源：1.8V 至 3.3V

2 应用

- 空间系统（卫星、调度、站）
  - 卫星温度和位置感测
  - 轨道观测系统
  - 精密和科学应用
  - 高精度仪器

3 说明

ADS1278QML-SP 是一款 8 通道 24 位 ΔΣ 模数转换器 (ADC)，数据速率高达每秒 128k 个样本 (SPS)，可同时对八个通道进行采样。

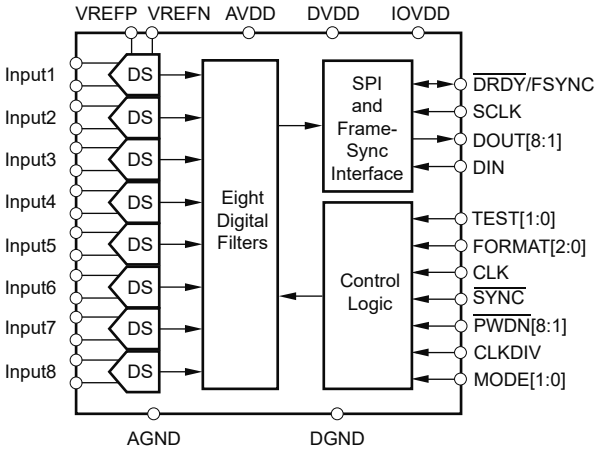
传统上，提供良好漂移性能的工业用 Δ-Σ ADC 使用带有较大通带衰减的数字滤波器。因此，这些 ADC 的信号带宽有限，主要设计用于直流测量。音频应用中的高分辨率 ADC 提供更大的可用带宽，但是与工业用 ADC 相比，它的偏移和漂移技术规格被大大削弱。ADS1278QML-SP 将三种类型的转换器组合在一起，从而实现带有出色 dc 和 ac 技术规格的高精度工业测量。

高阶、斩波稳定调制器在低带内噪声情况下实现极低漂移。板载抽取滤波器抑制调制器和信号带外噪声。这些 ADC 在纹波小于 0.005dB 的情况下提供高达那奎斯特频率 90% 的可用信号带宽。

器件信息

器件型号(1)	等级	封装(2)
5962L2521001VXC	飞行等级 50krad (Si)（–55°C 至 125°C）	84 引脚 HFQ 重量：4.46g（在 ±10% 以内）
5962L2521002VXC	飞行等级 50krad (Si)（–55°C 至 115°C）	

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 质量合格检验.....9
5.7 时序要求：SPI 格式.....10
5.8 时序要求：帧同步格式.....11
5.9 典型特性.....12
6 详细说明.....21
6.1 概述.....21
6.2 功能方框图.....21
6.3 特性说明.....22
6.4 器件功能模式.....39
7 应用和实施.....40
7.1 应用信息.....40
7.2 典型应用.....40
7.3 电源相关建议.....42
7.4 布局.....43
8 器件和文档支持.....45
8.1 接收文档更新通知.....45
8.2 社区资源.....45
8.3 商标.....45
9 修订历史记录.....45
10 机械、封装和可订购信息.....46

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

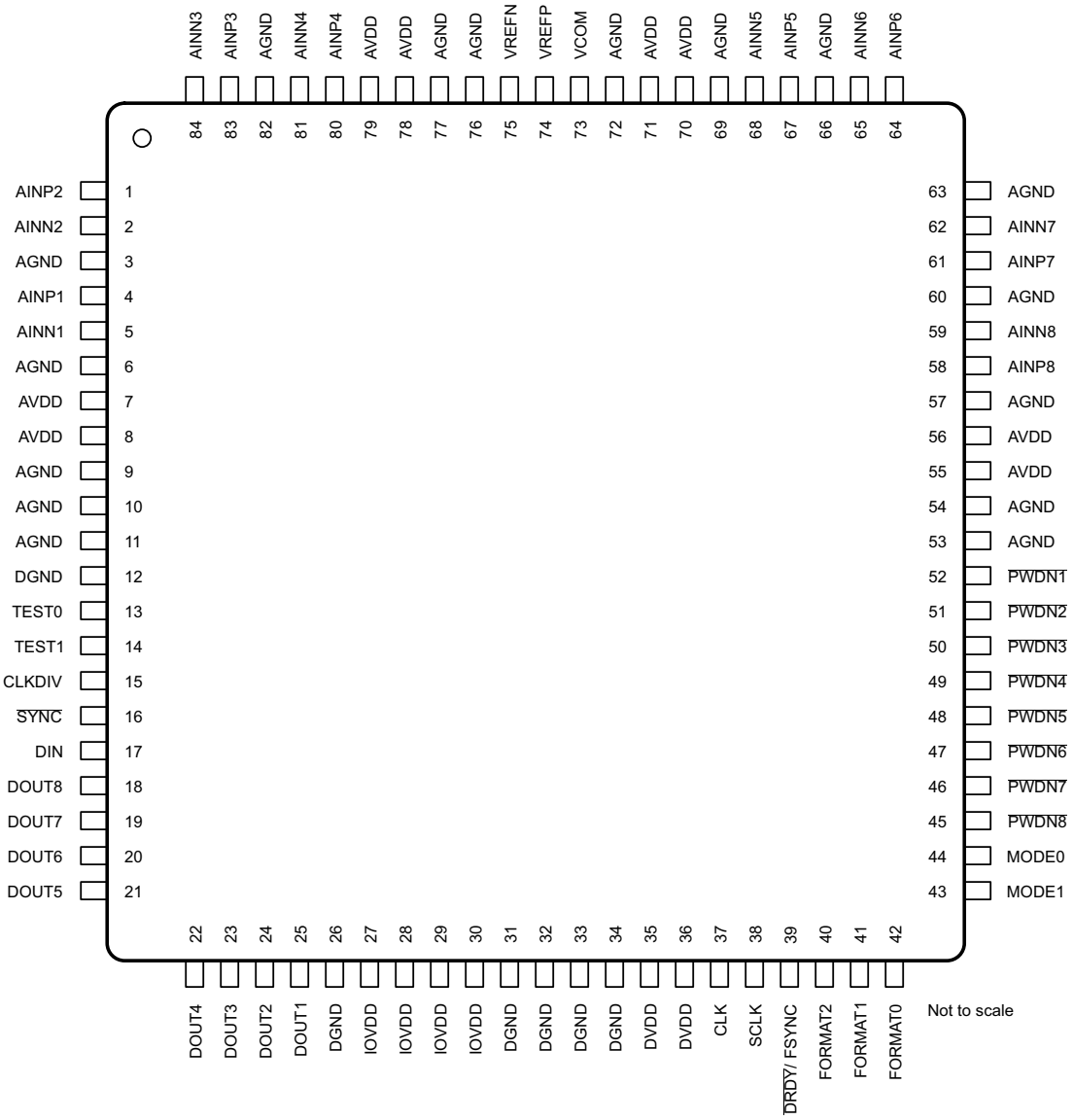


图 4-1. HFQ 封装 84 引脚 CFP 顶视图

引脚功能

引脚		类型	说明
名称	编号		
AGND	3、6、9、10、11、53、54、57、60、63、66、69、72、76、77、82	模拟接地	模拟地；使用单个平面连接到 DGND。
AINP1	4	模拟输入	AINP[8:1] 正模拟输入，通道 8 至 1。
AINP2	1	模拟输入	
AINP3	83	模拟输入	
AINP4	80	模拟输入	
AINP5	67	模拟输入	
AINP6	64	模拟输入	
AINP7	61	模拟输入	
AINP8	58	模拟输入	
AINN1	5	模拟输入	AINN[8:1] 负模拟输入，通道 8 至 1。
AINN2	2	模拟输入	
AINN3	84	模拟输入	
AINN4	81	模拟输入	
AINN5	68	模拟输入	
AINN6	65	模拟输入	
AINN7	62	模拟输入	
AINN8	59	模拟输入	
AVDD	7、8、55、56、70、71、78、79	模拟电源	模拟电源（4.75V 至 5V）。
VCOM	73	模拟输出	AVDD/2 非缓冲电压输出。
VREFN	75	模拟输入	负基准输入。
VREFP	74	模拟输入	正基准输入。
CLK	37	数字输入	时钟输入。
CLKDIV	15	数字输入	CLK 输入分频器控制： 1 = 32.768MHz（仅限高速模式）/ 27MHz 0 = 13.5MHz（低功耗）/ 5.4MHz（低速）
DGND	12、26、31、32、33、34	数字接地	数字地电源。
DIN	17	数字输入	菊花链数据输入。
DOUT1	25	数字输出	DOUT1 是 TDM 数据输出（TDM 模式）。 通道 8 至 1 的 DOUT[8:1] 数据输出。
DOUT2	24	数字输出	
DOUT3	23	数字输出	
DOUT4	22	数字输出	
DOUT5	21	数字输出	
DOUT6	20	数字输出	
DOUT7	19	数字输出	
DOUT8	18	数字输出	
$\overline{\text{DRDY}}$/FSYNC	39	数字输入/输出	帧同步协议：帧时钟输入；SPI 协议：数据就绪输出。
DVDD	35、36	数字电源	数字核心电源（+1.65V 至 +1.95V）。

Copyright © 2026 Texas Instruments Incorporated

引脚功能（续）

引脚		类型	说明
名称	编号		
FORMAT0	42	数字输入	FORMAT[2:0] 选择帧同步/SPI 协议、TDM/离散数据输出、固定/动态位置 TDM 数据和调制器模式/正常工作模式。
FORMAT1	41	数字输入	
FORMAT2	40	数字输入	
IOVDD	27、28、29、30	数字电源	I/O 电源（+1.65V 至 +3.6V）。
MODE0	44	数字输入	MODE[1:0] 选择高速、高分辨率、低功耗或低速模式运行。
MODE1	43	数字输入	
$\overline{\text{PWDN1}}$	52	数字输入	通道 8 至 1 的 $\overline{\text{PWDN}}$[8:1] 断电控制。
$\overline{\text{PWDN2}}$	51	数字输入	
$\overline{\text{PWDN3}}$	50	数字输入	
$\overline{\text{PWDN4}}$	49	数字输入	
$\overline{\text{PWDN5}}$	48	数字输入	
$\overline{\text{PWDN6}}$	47	数字输入	
$\overline{\text{PWDN7}}$	46	数字输入	
$\overline{\text{PWDN8}}$	45	数字输入	
SCLK	38	数字输入/输出	串行时钟输入，调制器时钟输出。
$\overline{\text{SYNC}}$	16	数字输入	同步输入（所有通道）。
TEST0	13	数字输入	TEST[1:0] 测试模式选择：00 = 正常运行；01 = 不使用；11 = 测试模式；10 = 不使用
TEST1	14	数字输入	

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
AVDD 至 AGND		-0.3	5.25	V
AGND 到 DGND		-0.3	0.3	V
DVDD，IOVDD 至 DGND		-0.3	3.6	V
输入电流	瞬时	100		mA
	持续	10		
模拟输入至 AGND		-0.3	AVDD + 0.3	V
数字输入或输出到 DGND		-0.3	DVDD + 0.3	V
结温		-55	150	°C
贮存温度，T_{stg}		-60	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101(2)	250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
T_J	工作结温	5962L2521001VXC	-55		125	°C
		5962L2521002VXC	-55		115	

5.4 热性能信息

热指标(1)		ADS1278QML-SP HFQ (CFP) 84 引脚	单位
$R_{\theta JA}$	结至环境热阻	23.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	9.6	°C/W
$R_{\theta JB}$	结至电路板热阻	11.5	°C/W
ψ_{JT}	结至顶部特征参数	3.0	°C/W
ψ_{JB}	结至电路板特征参数	10.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	7.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

除非另有说明，所有规格的条件为 T_A = –55°C 至 125°C、AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3V、f_{CLK} = 27MHz、VREFP = 2.5V、VREFN = 0V。

参数		测试条件	子组 (1) (2)	–55°C 至 +125° (5962L2521001VXC)			–55°C 至 +115° (5962L2521002VXC)			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
模拟输入										
满量程输入电压 (FSR(3))		V_{IN} = (AINP – AINN)			±V_{REF}			±V_{REF}		V
绝对输入电压		AINP 或 AINN 至 AGND	1、2、3	AGND – 0.1		AVDD + 0.1	AGND – 0.1		AVDD + 0.1	V
共模输入电压 (V_{CM})		V_{CM} = (AINP + AINN) / 2			2.5			2.5		V
差分输入阻抗	高速模式				14			14		kΩ
	高分辨率模式				14			14		
	低功耗模式				28			28		
	低速模式				140			140		
直流性能										
分辨率		无丢码	1、2、3	24			24			位
最大数据速率 (f_{DATA})	高速模式	f_{CLK} = 32.768MHz(5)			128,000			128,000		SPS(4)
		f_{CLK} = 27MHz			105,469			105,469		
	高分辨率模式				52,734			52,734		
	低功耗模式				52,734			52,734		
	低速模式				10,547			10,547		
积分非线性 (INL)(6)		差分输入，V_{CM} = 2.5V	1、2、3		±0.0003	±0.0012		±0.0003	±0.0012	% FSR
偏移误差			1、2、3		0.25	2		0.25	2	mV
偏移漂移					0.8			0.8		µV/°C
增益误差			1、2、3		0.1	0.5		0.1	0.5	% FSR
增益漂移					1.3			1.3		ppm/°C
噪声	高速模式	短接输入	1、2、3		8.5	23		8.5	21	µV rms
	高分辨率模式	短接输入	1、2、3		5.5	14		5.5	13	
	低功耗模式	短接输入	1、2、3		8.5	23		8.5	21	
	低速模式	短接输入	1、2、3		8.0	23		8.0	21	
共模抑制		f_{CM} = 60Hz	1、2、3	90	108		90	108		dB
电源抑制	AVDD	f_{PS} = 60Hz			80			80		dB
	DVDD				85			85		
	IOVDD				105			105		
V_{COM} 输出电压		无负载			AVDD/2			AVDD/2		V
交流性能										
串扰		f = 1kHz，–0.5dBFS(9)			-107			-107		dB
信噪比 (SNR(7)) （未加权）	高速模式		4、5、6	98	106		98	106		dB
	高分辨率模式	V_{REF} = 2.5V	4、5、6	101	110		101	110		
		V_{REF} = 3V			111			111		
	低功耗模式		4、5、6	98	106		98	106		
	低速模式		4、5、6	98	107		98	107		
总谐波失真 (THD)(8)		V_{IN} = 1kHz，–0.5dBFS	4、5、6		-108	-96		-108	-96	dB
无杂散动态范围					109			109		dB
通带纹波					±0.005			±0.005		dB
通带					0.453f_{DATA}			0.453f_{DATA}		Hz
-3dB 带宽					0.49f_{DATA}			0.49f_{DATA}		Hz
阻带衰减	高分辨率模式		4、5、6	95			95			dB
	所有其他模式		4、5、6	100			100			

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，所有规格的条件为 T_A = –55°C 至 125°C、AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3V、f_{CLK} = 27MHz、VREFP = 2.5V、VREFN = 0V。

参数		测试条件	子组 (1) (2)	–55°C 至 +125° (5962L2521001VXC)			–55°C 至 +115° (5962L2521002VXC)			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
阻带	高分辨率模式		4、5、6	0.547 f_{DATA}		127.453 f_{DATA}	0.547 f_{DATA}		127.453 f_{DATA}	Hz
	所有其他模式		4、5、6	0.547 f_{DATA}		63.453 f_{DATA}	0.547 f_{DATA}		63.453 f_{DATA}	Hz
组延迟	高分辨率模式				39/f_{DATA}			39/f_{DATA}		s
	所有其他模式				38/f_{DATA}			38/f_{DATA}		s
趋稳时间（延迟）	高分辨率模式	完全稳定			78/f_{DATA}			78/f_{DATA}		s
	所有其他模式	完全稳定			76/f_{DATA}			76/f_{DATA}		s
电压基准输入										
基准输入电压 (V_{REF}) (V_{REF} = VREFP – VREFN)		f_{CLK} = 27MHz	1、2、3	0.5	2.5	3.1	0.5	2.5	3.1	V
		f_{CLK} = 32.768MHz(5)	1、2、3	0.5	2.5	2.6	0.5	2.5	2.6	V
负基准输入 (VREFN)			1、2、3	AGND – 0.1		AGND + 0.1	AGND – 0.1		AGND + 0.1	V
正基准输入 (VREFP)			1、2、3	VREFN + 0.5		AVDD + 0.1	VREFN + 0.5		AVDD + 0.1	V
基准输入阻抗	高速模式				0.65			0.65		kΩ
	高分辨率模式				0.65			0.65		kΩ
	低功耗模式				1.3			1.3		kΩ
	低速模式				6.5			6.5		kΩ
数字输入/输出（IOVDD = 1.8V 至 3.6V）										
V_{IH}			4、5、6	0.7 IOVDD		IOVDD	0.7 IOVDD		IOVDD	V
V_{IL}			4、5、6	DGND		0.3 IOVDD	DGND		0.3 IOVDD	V
V_{OH}		I_{OH} = 4mA	4、5、6	0.8 IOVDD		IOVDD	0.8 IOVDD		IOVDD	V
V_{OL}		I_{OL} = 4mA	4、5、6	DGND		0.2 IOVDD	DGND		0.2 IOVDD	V
输入泄漏		0 < $V_{IN\ DIGITAL}$ < IOVDD	4、5、6			±11			±10	µA
时钟输入 (f_{CLK})		高速模式(5)	4、5、6	0.1		32.768	0.1		32.768	MHz
		其他模式	1、2、3	0.1		27	0.1		27	MHz
电源										
AVDD			1、2、3	4.75		5	4.75		5	V
DVDD			1、2、3	1.65	1.8	1.95	1.65	1.8	1.95	V
IOVDD			1、2、3	1.65		3.6	1.65		3.6	V
关断电流	AVDD		1、2、3		1	11		1	10	µA
	DVDD		1、2、3		1	52		1	50	µA
	IOVDD		1、2、3		1	12		1	11	µA
AVDD 电流	高速模式		1、2、3		97	148		97	145	mA
	高分辨率模式		1、2、3		97	148		97	145	mA
	低功耗模式		1、2、3		44	66		44	64	mA
	低速模式		1、2、3		9	20		9	20	mA
DVDD 电流	高速模式		1、2、3		23	31		23	30	mA
	高分辨率模式		1、2、3		16	21		16	20	mA
	低功耗模式		1、2、3		12	18		12	17	mA
	低速模式		1、2、3		2.5	7		2.5	7	mA

Copyright © 2026 Texas Instruments Incorporated

除非另有说明，所有规格的条件为 T_A = –55°C 至 125°C、AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3V、f_{CLK} = 27MHz、VREFP = 2.5V、VREFN = 0V。

参数		测试条件	子组 (1) (2)	–55°C 至 +125° (5962L2521001VXC)			–55°C 至 +115° (5962L2521002VXC)			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
IOVDD 电流	高速模式		1、2、3		0.25	1.5		0.25	1	mA
	高分辨率模式		1、2、3		0.125	0.8		0.125	0.6	
	低功耗模式		1、2、3		0.125	0.8		0.125	0.6	
	低速模式		1、2、3		0.035	0.5		0.035	0.3	
功率耗散	高速模式		1、2、3		530	805		530	785	mW
	高分辨率模式		1、2、3		515	785		515	765	
	低功耗模式		1、2、3		245	370		245	355	
	低速模式		1、2、3		50	110		50	110	

(1) 有关子组定义，请参阅质量合格检验表。
(2) 子组仅适用于 –55°C 至 +125°C 列。
(3) FSR = 满标量程 = $2V_{REF}$。
(4) SPS = 每秒样本数。
(5) 对于高速模式，f_{CLK} = 32.768MHz 最大值；对于所有其他模式，则为 27MHz 最大值。当 f_{CLK} > 27MHz 时，运行范围仅为帧同步模式，V_{REF} ≤ 2.6V。
(6) 最佳拟合法。
(7) 最小 SNR 通过 *DC 噪声* 规格的限制进行验证。
(8) THD 包括输入信号的前九个谐波；低速模式包括前五个谐波。
(9) 一个或多个通道之间的最坏通道串扰情况。

5.6 质量合格检验

MIL-STD-883，方法 5005 - 组 A

子组	说明	温度 (°C)
1	静态测试	25
2	静态测试	125
3	静态测试	-55
4	动态测试	25
5	动态测试	125
6	动态测试	-55
7	功能测试	25
8A	功能测试	125
8B	功能测试	-55
9	开关测试	25
10	开关测试	125
11	开关测试	-55
12	稳定时间处于	25
13	稳定时间处于	125
14	稳定时间处于	-55

Copyright © 2026 Texas Instruments Incorporated

5.7 时序要求：SPI 格式

对于 T_A = –55°C 至 125°C，IOVDD = 1.65V 至 3.6V、DVDD = 1.65V 至 1.95V。 (6)

符号	参数	最小值	典型值	最大值	单位
t_{CLK}	CLK 周期 ($1/f_{CLK}$) (1)	37		10,000	ns
t_{CPW}	CLK 正脉冲或负脉冲宽度	15			ns
t_{CONV}	转换周期 ($1 / f_{DATA}$) (2)	256		2560	t_{CLK}
t_{CD} (3)	CLK 的下降沿到 $\overline{DRDY}$ 的下降沿		22		ns
t_{DS} (3)	$\overline{DRDY}$ 的下降沿至第一个 SCLK 的上升沿以检索数据	1			t_{CLK}
t_{MSBPD}	$\overline{DRDY}$ 下降沿至 DOUT MSB 有效（传播延迟）			16	ns
t_{SD} (3)	SCLK 的下降沿到 $\overline{DRDY}$ 的上升沿		18		ns
t_{SCLK} (4)	SCLK 周期	1			t_{CLK}
t_{SPW}	SCLK 正脉冲或负脉冲宽度	0.4			t_{CLK}
t_{DOHD} (3) (5)	SCLK 下降沿至新 DOUT 无效（保持时间）	10			ns
t_{DOPD} (3)	SCLK 下降沿至新 DOUT 有效（传播延迟）			32	ns
t_{DIST}	新 DIN 有效至 SCLK 的下降沿（建立时间）	6			ns
t_{DIHD} (5)	旧 DIN 有效至 SCLK 下降沿（保持时间）	6			ns

(1) f_{CLK} = 27MHz 最大值。
(2) 取决于 MODE[1:0] 和 CLKDIV 选择。请参阅表 6-5 (f_{CLK} / f_{DATA})。
(3) $\overline{DRDY}$ 和 DOUT = 20pF 时的负载。
(4) 为获得出色性能，请将 f_{SCLK} / f_{CLK} 的比率限制为 1、1/2、1/4、1/8 等。
(5) t_{DOHD}（DOUT 保持时间）和 t_{DIHD}（DIN 保持时间）是在相反的最坏情况（数字电源电压和环境温度）下指定的。在同等条件下，DOUT 直接连接到 DIN 时，时序裕度 > 4ns。
(6) 时序参数通过设计在额定温度下进行表征或验证，但未经生产测试。

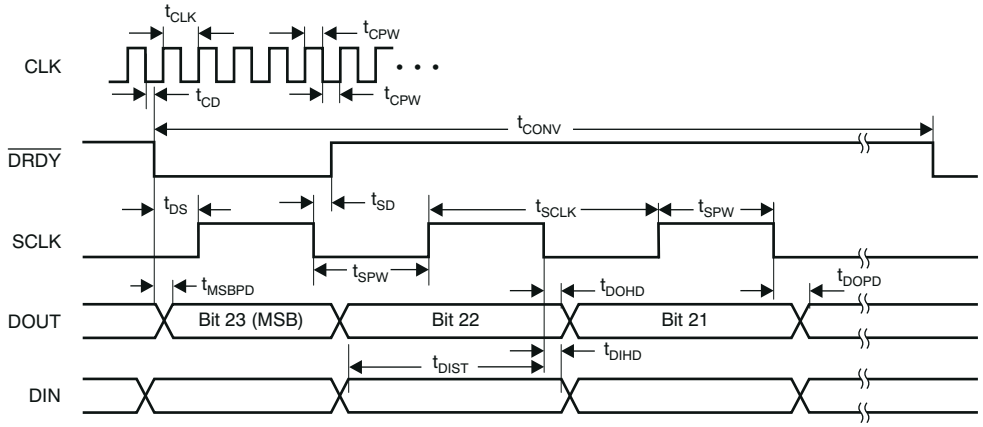


图 5-1. SPI 格式时序特点

Copyright © 2026 Texas Instruments Incorporated

5.8 时序要求：帧同步格式

在自然通风条件下的工作温度范围内测得（除非另有说明）(4)

符号	参数		最小值	典型值	最大值	单位
t_{CLK}	CLK 周期 ($1/f_{CLK}$)	所有模式	37		10,000	ns
		仅限高速模式	30.5			ns
t_{CPW}	CLK 正脉冲或负脉冲宽度		12			ns
t_{CS}	CLK 的下降沿到 SCLK 的下降沿		-0.25		0.25	t_{CLK}
t_{FRAME}	帧周期 ($1 / f_{DATA}$)(1)		256		2560	t_{CLK}
t_{FPW}	FSYNC 正脉冲或负脉冲宽度		1			t_{SCLK}
t_{FS}	FSYNC 的上升沿到 SCLK 的上升沿		5			ns
t_{SF}	SCLK 的上升沿到 FSYNC 的上升沿		5			ns
t_{SCLK}	SCLK 周期(2)		1			t_{CLK}
t_{SPW}	SCLK 正脉冲或负脉冲宽度		0.4			t_{CLK}
t_{DOHD} (5) (3)	SCLK 下降沿至旧 DOUT 无效（保持时间）		10			ns
t_{DOPD} (3)	SCLK 下降沿至新 DOUT 有效（传播延迟）				31	ns
t_{MSBPD}	FSYNC 上升沿至 DOUT MSB 有效（传播延迟）				31	ns
t_{DIST}	新 DIN 有效至 SCLK 的下降沿（建立时间）		6			ns
t_{DIHD} (5)	旧 DIN 有效至 SCLK 下降沿（保持时间）		6			ns

(1) 取决于 MODE[1:0] 和 CLKDIV 选择。请参阅表 6-5 (f_{CLK} / f_{DATA})。
(2) SCLK 必须持续运行并限制为 f_{CLK} 的 1、1/2、1/4 及 1/8。
(3) DOUT = 20pF 时的负载。
(4) 时序参数通过设计在额定温度下进行表征或验证，但未经生产测试。
(5) t_{DOHD}（DOUT 保持时间）和 t_{DIHD}（DIN 保持时间）是在相反的最坏情况（数字电源电压和环境温度）下指定的。在同等条件下，DOUT 直接连接到 DIN 时，时序裕度 > 4ns。

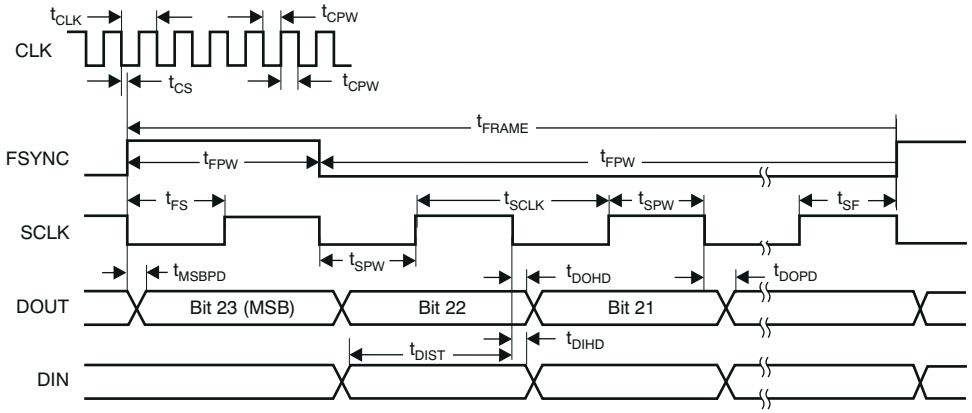


图 5-2. 帧同步格式计时特点

5.9 典型特性

除非另有说明，T_A = 25°C、高速模式下，AVDD = 5V、DVDD = 1.8V、IOVDD = 3.3V、f_{CLK} = 27MHz、VREFP = 2.5V
以及 VREFN = 0V。

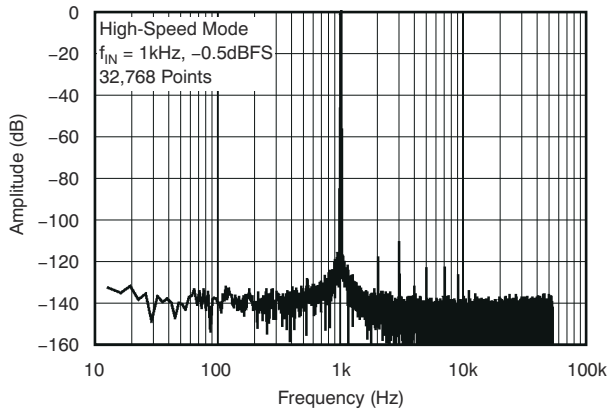


图 5-3. 输出频谱

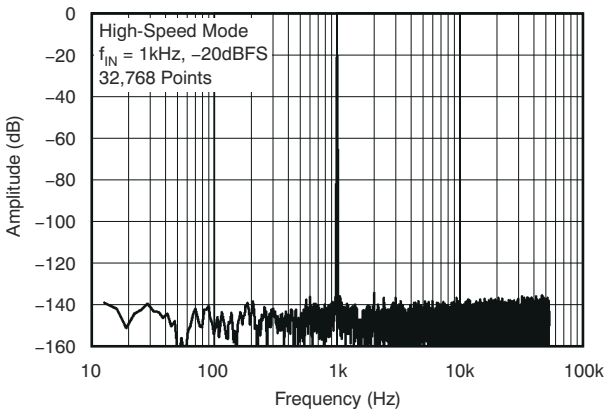


图 5-4. 输出频谱

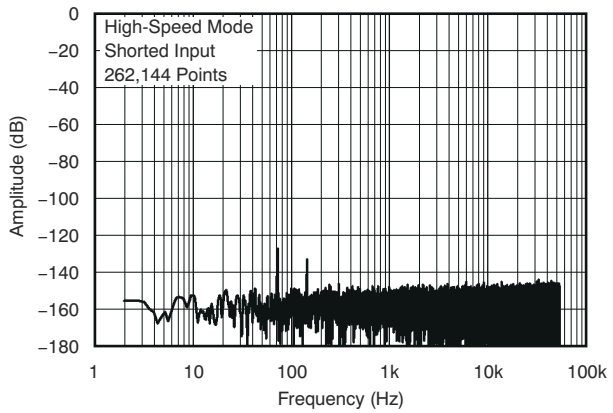


图 5-5. 输出频谱

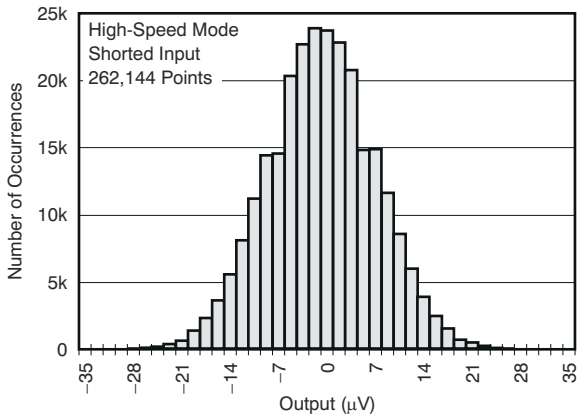


图 5-6. 噪声直方图

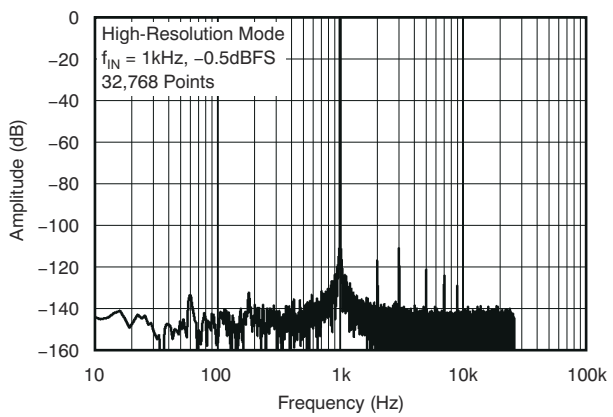


图 5-7. 输出频谱

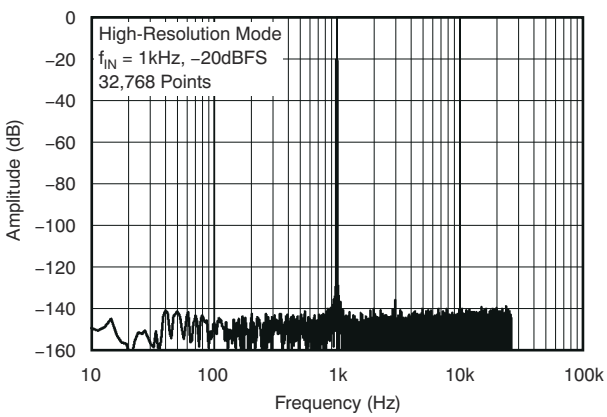


图 5-8. 输出频谱

Copyright © 2026 Texas Instruments Incorporated

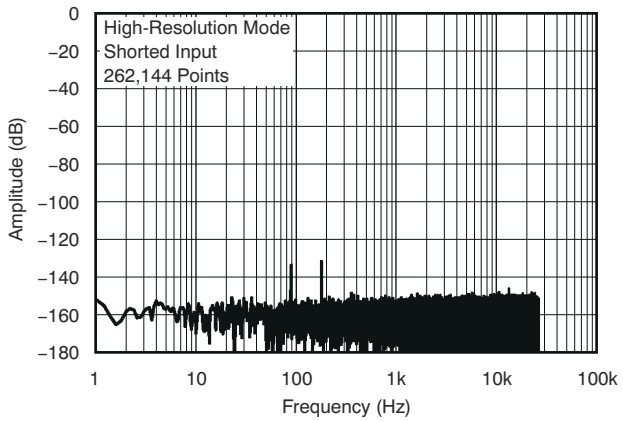


图 5-9. 输出频谱

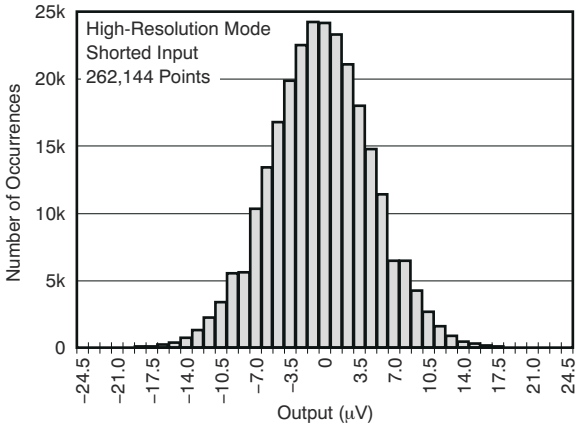


图 5-10. 噪声直方图

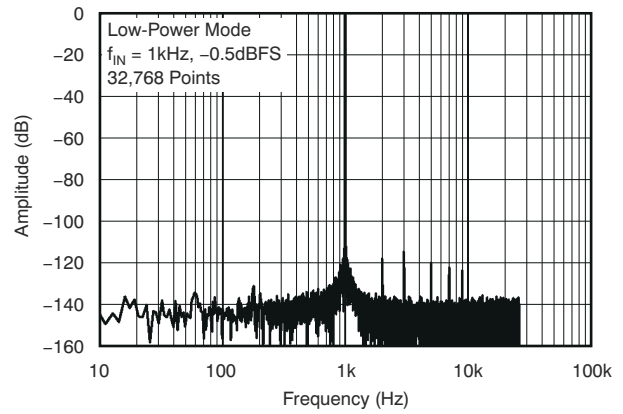


图 5-11. 输出频谱

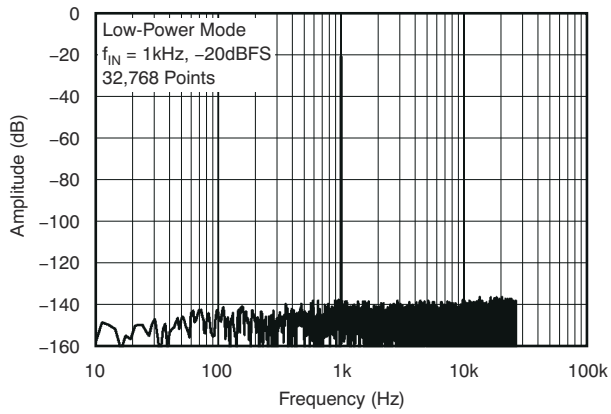


图 5-12. 输出频谱

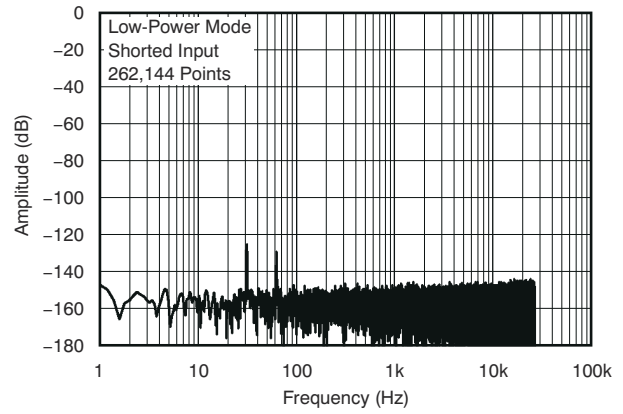


图 5-13. 输出频谱

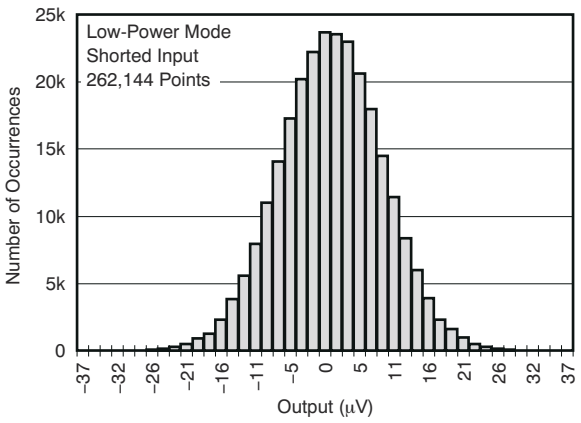


图 5-14. 噪声直方图

Copyright © 2026 Texas Instruments Incorporated

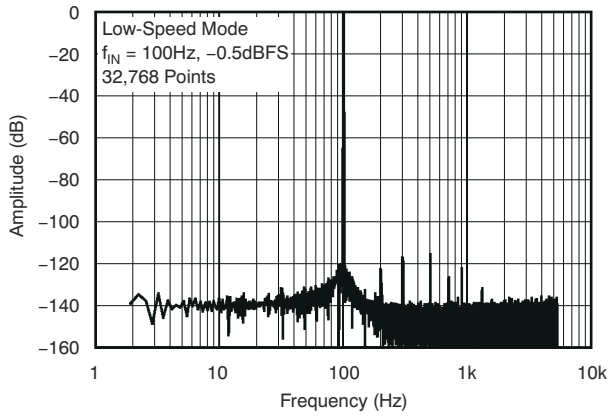


图 5-15. 输出频谱

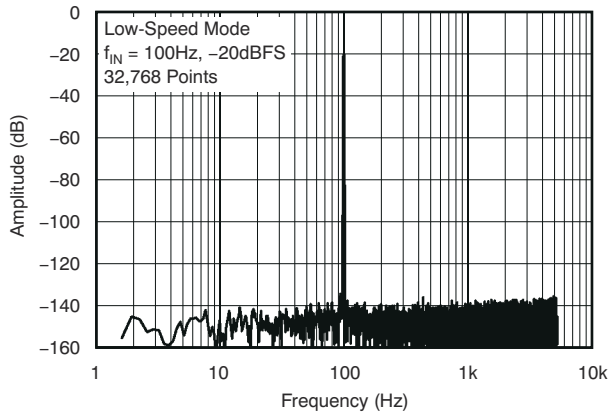


图 5-16. 输出频谱

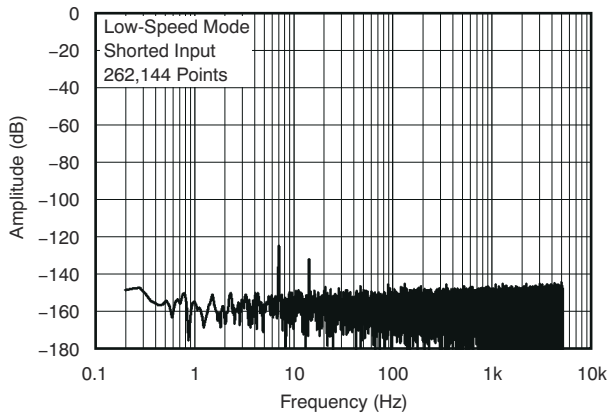


图 5-17. 输出频谱

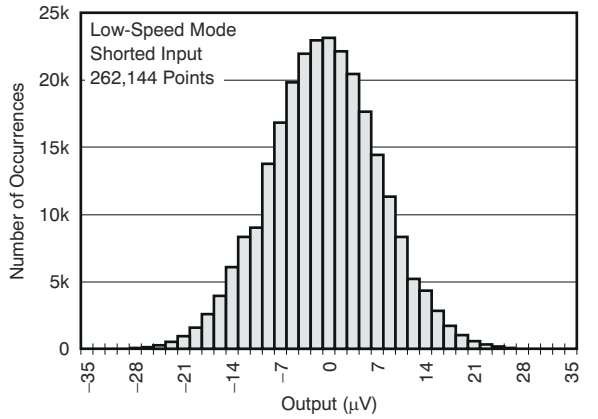


图 5-18. 噪声直方图

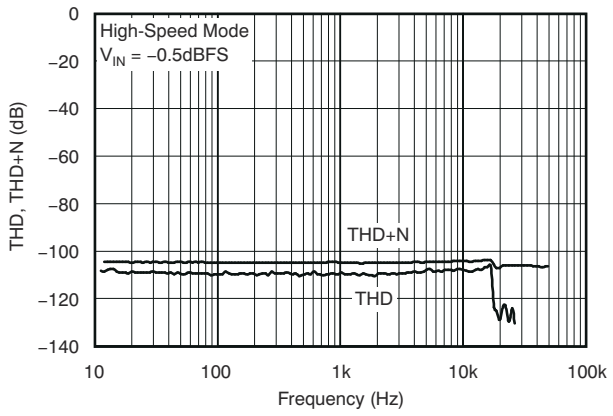


图 5-19. 总谐波失真与频率间的关系

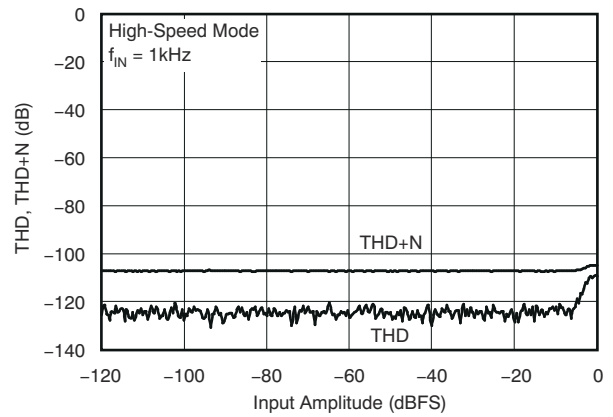


图 5-20. 总谐波失真与输入幅度间的关系

Copyright © 2026 Texas Instruments Incorporated

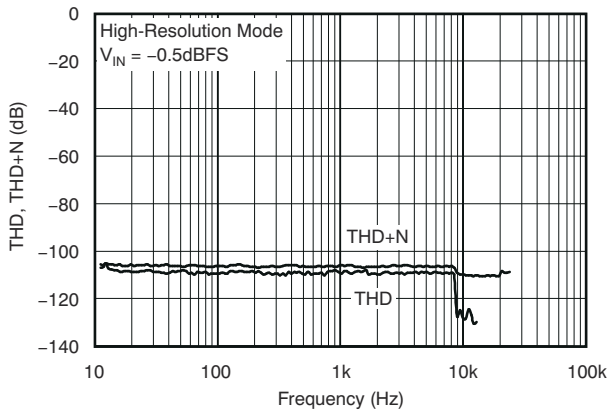


图 5-21. 总谐波失真与频率间的关系

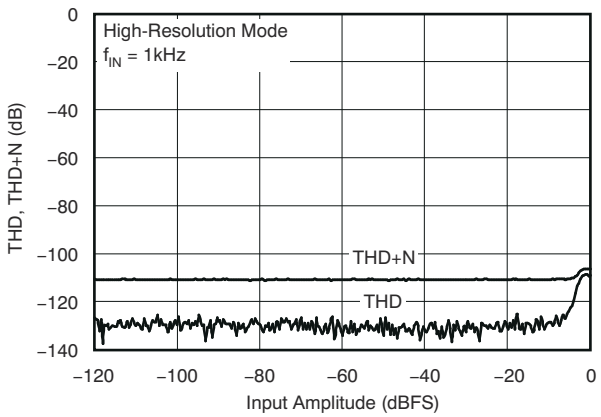


图 5-22. 总谐波失真与输入幅度间的关系

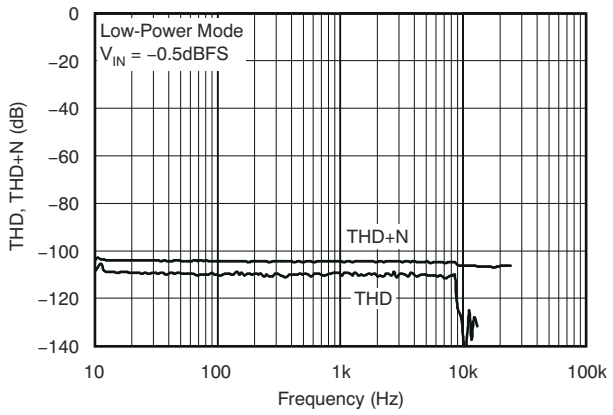


图 5-23. 总谐波失真与频率间的关系

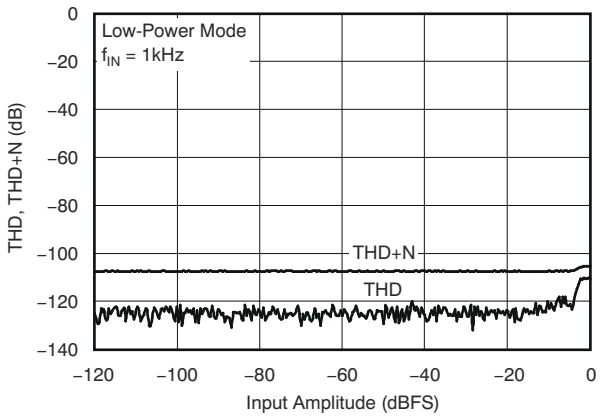


图 5-24. 总谐波失真与输入幅度间的关系

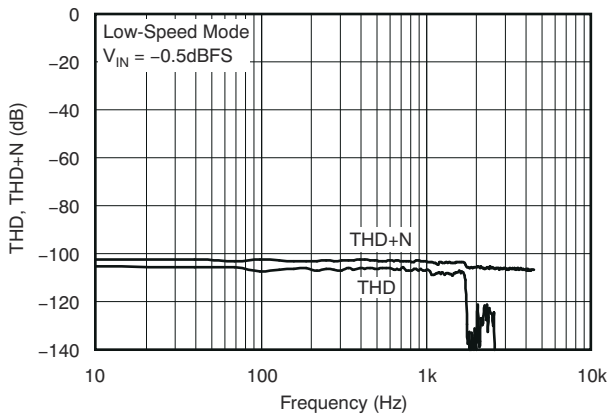


图 5-25. 总谐波失真与频率间的关系

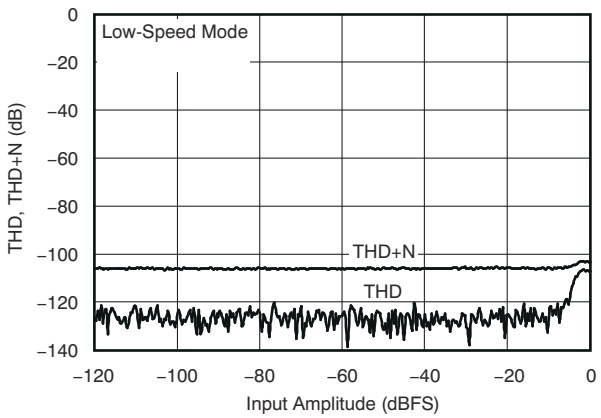


图 5-26. 总谐波失真与输入幅度间的关系

Copyright © 2026 Texas Instruments Incorporated

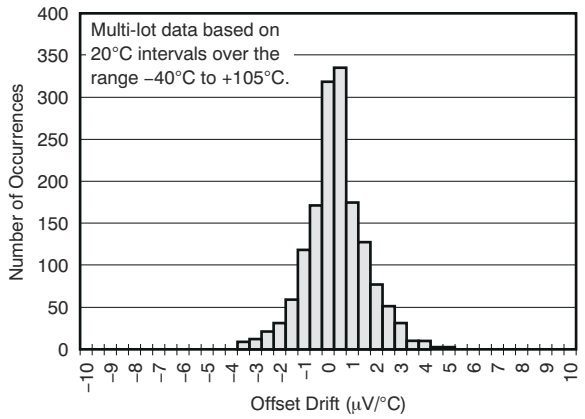


图 5-27. 温漂直方图

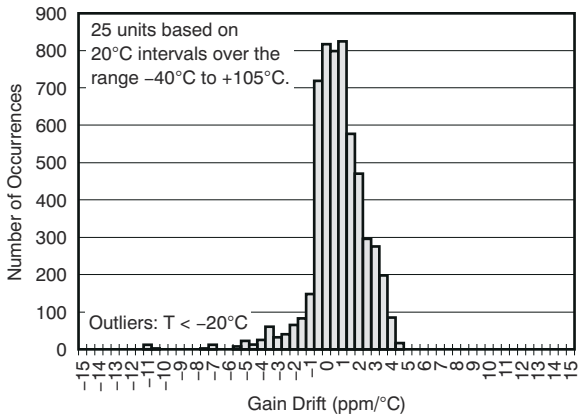


图 5-28. 增益漂移直方图

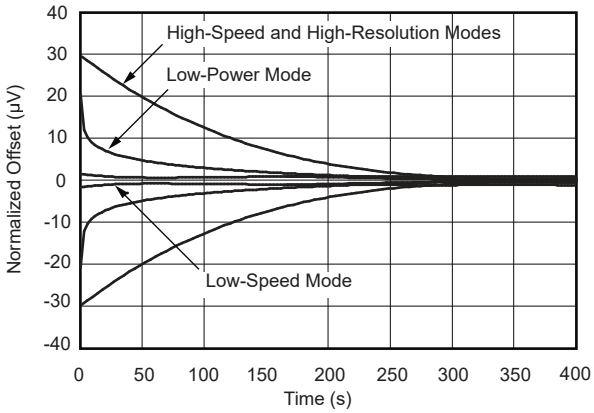


图 5-29. 偏移预热漂移响应带

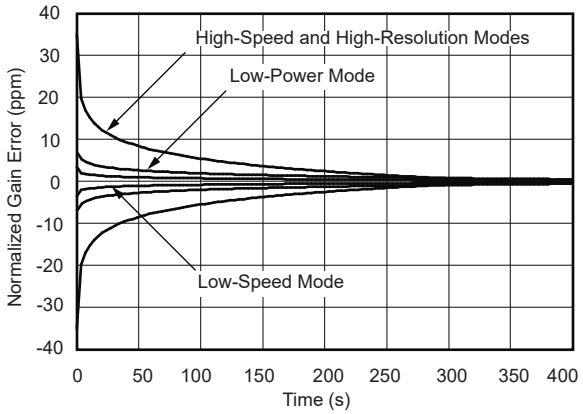


图 5-30. 增益预热漂移响应频带

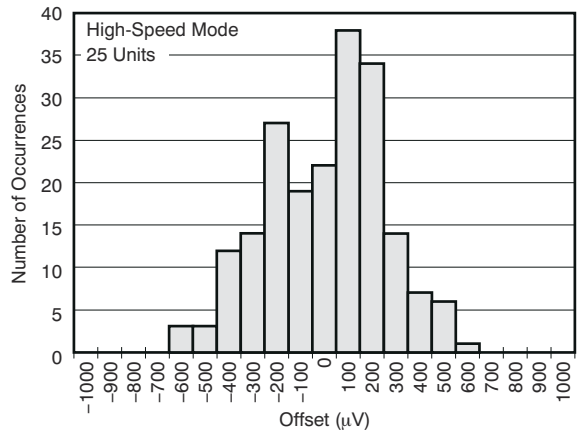


图 5-31. 失调电压误差直方图

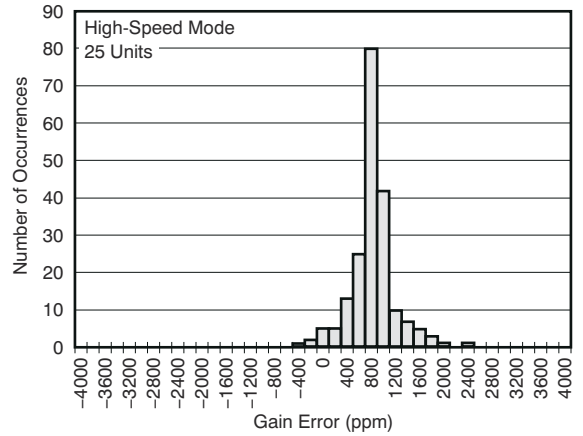


图 5-32. 增益误差直方图

Copyright © 2026 Texas Instruments Incorporated

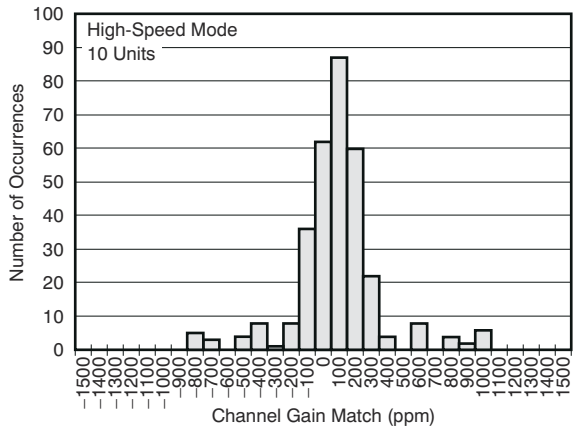


图 5-33. 通道增益匹配直方图

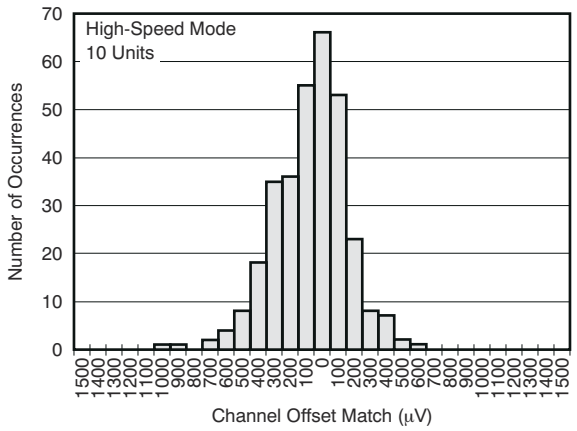


图 5-34. 通道失调电压匹配直方图

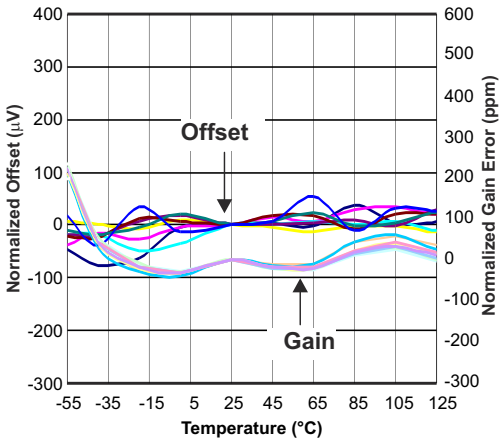


图 5-35. 偏移和增益与温度间的关系

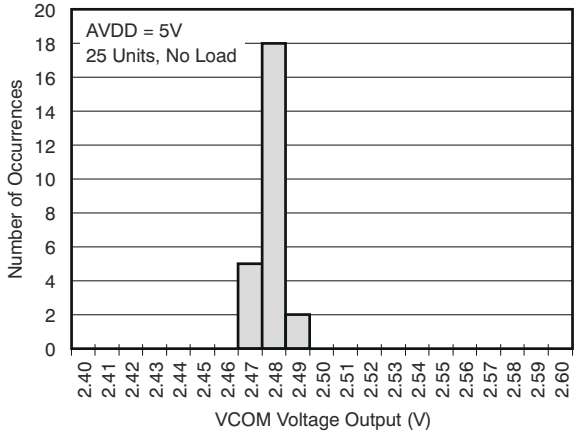


图 5-36. VCOM 电压输出直方图

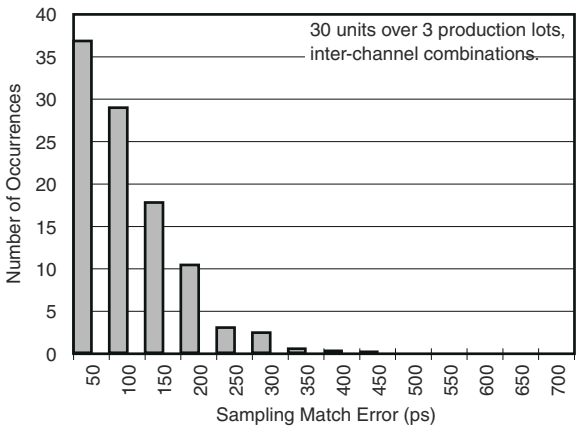


图 5-37. 采样匹配误差直方图

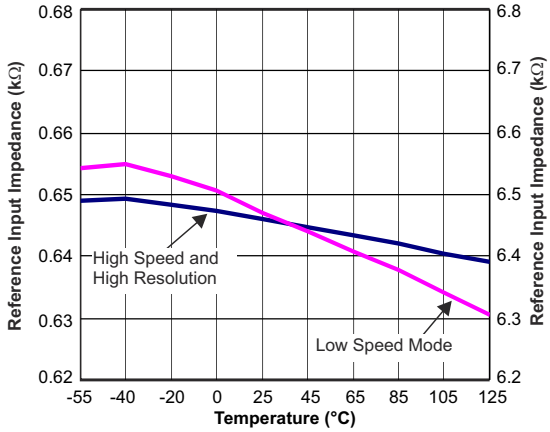


图 5-38. 基准输入差分阻抗与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

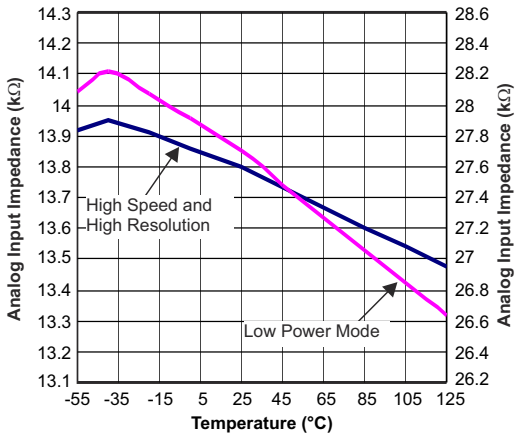


图 5-39. 模拟输入差分阻抗与温度间的关系

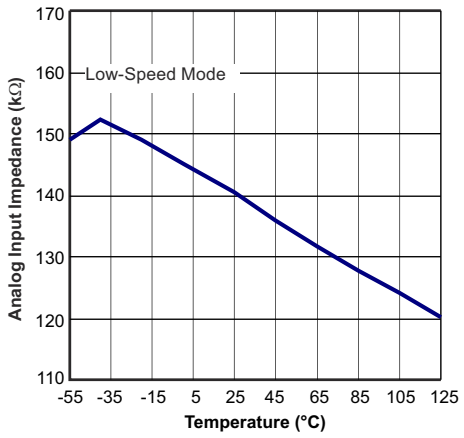


图 5-40. 模拟输入差分阻抗与温度间的关系

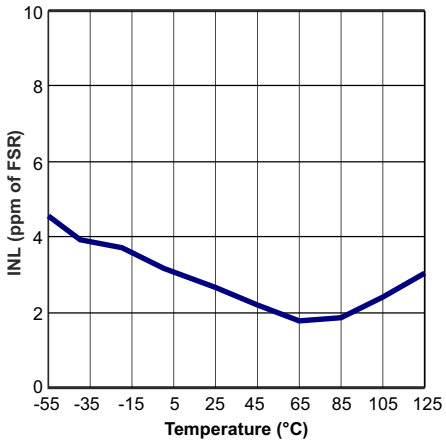


图 5-41. 积分非线性与温度间的关系

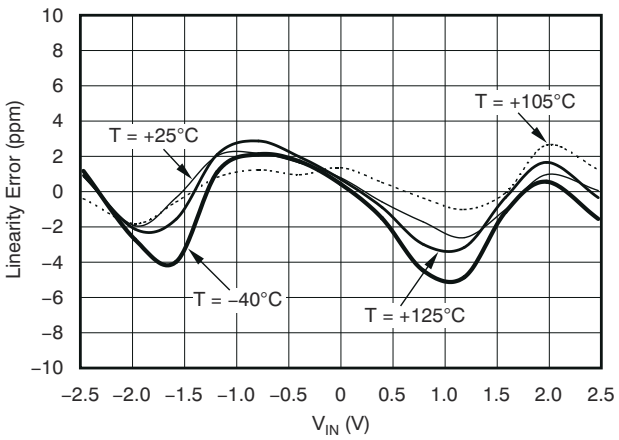


图 5-42. 线性误差与输入电平间的关系

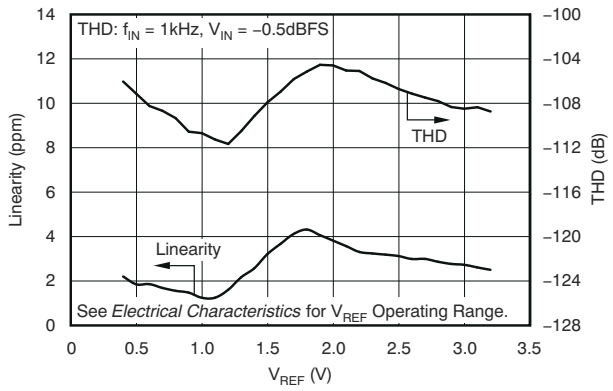


图 5-43. 线性和总谐波失真与基准电压间的关系

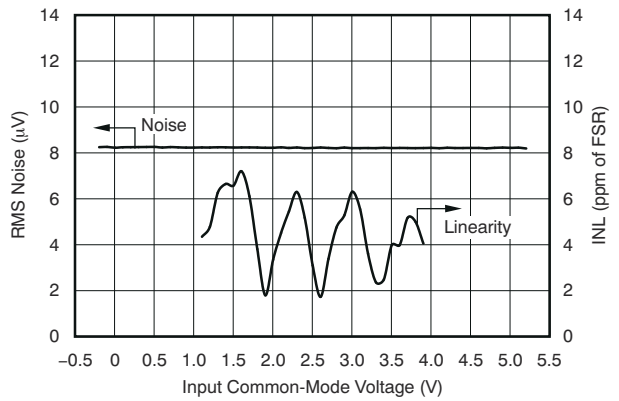


图 5-44. 噪声和线性与输入共模电压间的关系

Copyright © 2026 Texas Instruments Incorporated

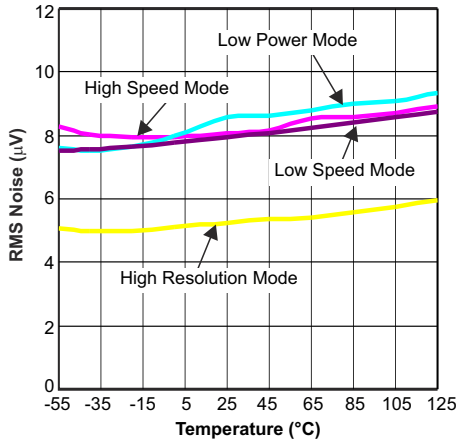


图 5-45. 噪声与温度间的关系

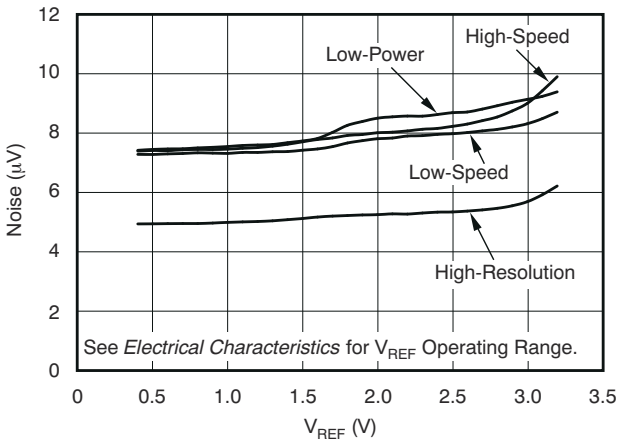


图 5-46. 噪声与基准电压间的关系

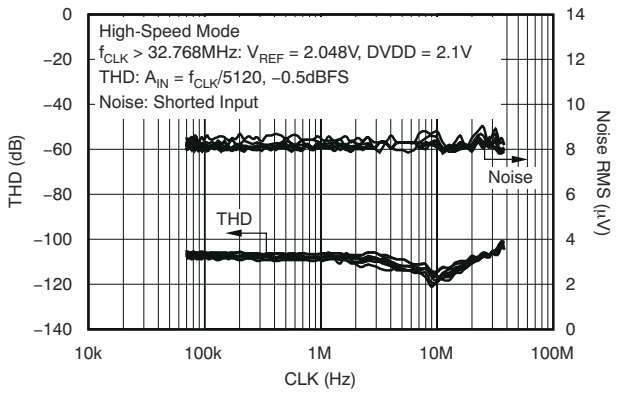


图 5-47. 总谐波失真和噪声与 CLK 间的关系

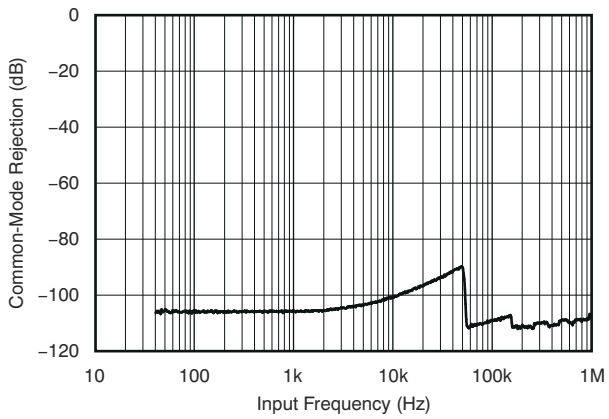


图 5-48. 共模抑制与输入频率间的关系

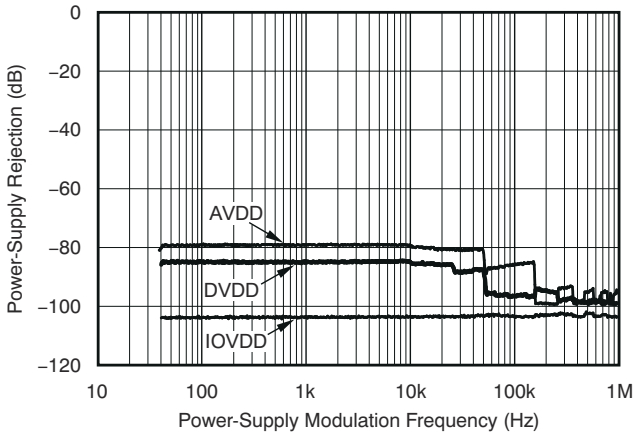


图 5-49. 电源抑制与电源频率间的关系

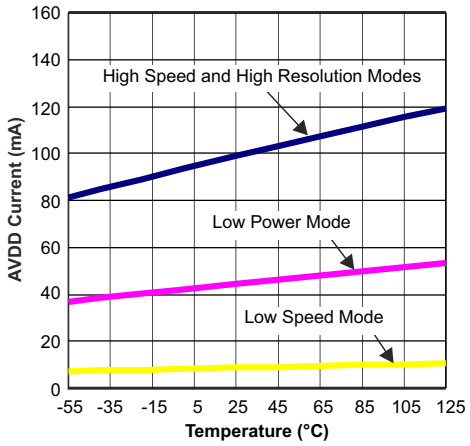


图 5-50. AVDD 电流与温度间的关系

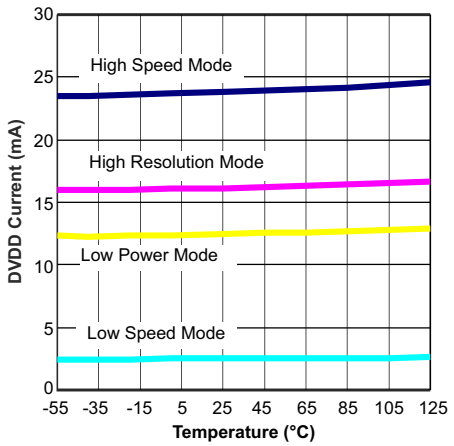


图 5-51. DVDD 电流与温度间的关系

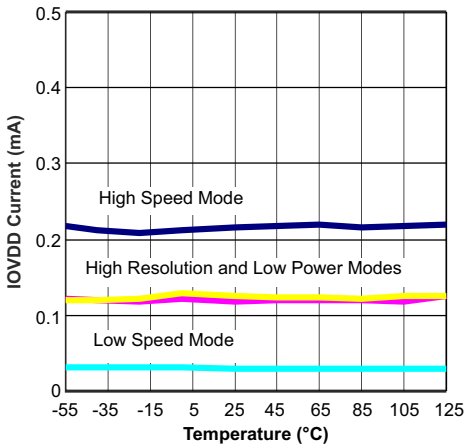


图 5-52. IOVDD 电流与温度间的关系

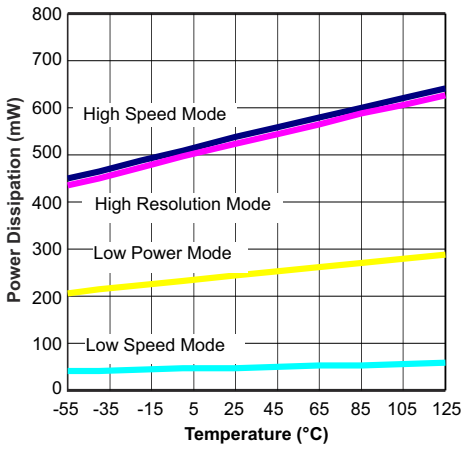


图 5-53. 功耗与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

ADS1278QML-SP 是一款 Δ-Σ ADC，包含八个独立转换器，可并行对八个输入信号进行数字化。

该转换器由两个用于执行 ADC 转换的主要功能块组成：调制器及数字滤波器。调制器对输入信号进行采样并对基准电压进行采样，以生成 1s 密度的输出流。输出流的密度同相对于基准电压的模拟输入电平成正比。脉冲流由生成输出转换结果的内部数字滤波器进行滤波。

在运行中，调制器以较高的速率（通常是最终输出数据速率的 64 倍）对输入信号进行采样。调制器的量化噪声被移至较高的频率范围内，在此范围中内部数字滤波器会去除噪声。过采样可在信号通带内产生很低的噪声水平。

由于输入信号的采样速率非常高，因此在输入信号频率处于调制器采样率之前，不会出现输入信号混叠。由于调制器采样率较高，这种架构大大放宽了外部抗混叠滤波器的要求。

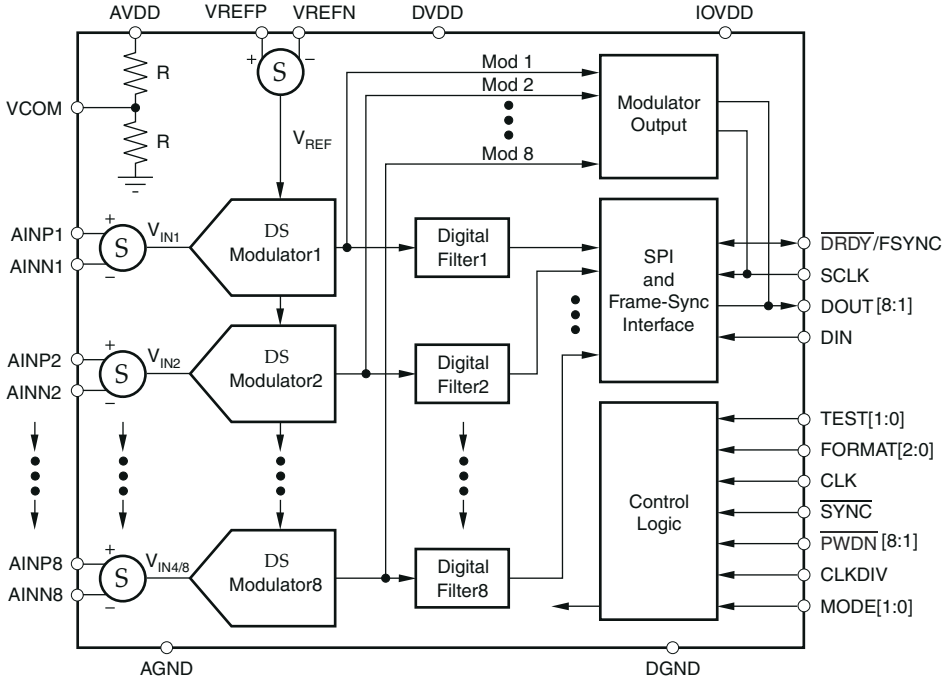
ADS1278QML-SP 是一款八通道 24 位 Δ-Σ ADC。该器件集出色的直流精度及出色的交流性能于一体。功能方框图 显示了器件的主要块。该转换器由八个高级 6 阶斩波稳定 Δ-Σ 调制器和低纹波线性相位 FIR 滤波器组成。调制器根据差分基准 V_{REF} = (VREFP – VREFN) 测量差分输入信号 V_{IN} = (AINP – AINN)。数字滤波器接收调制器信号并且提供低噪声数字输出。为了在速度、分辨率和功率之间进行权衡，支持四种工作模式：

高速、高分辨率、低功耗和低速。表 6-15 总结了每种模式的性能。

在高速模式下，最大数据速率为 128kSPS（以 128kSPS 运行时，必须使用帧同步格式）。在高分辨率模式下，SNR = 111dB (V_{REF} = 3.0V)；在低功耗模式下，功率耗散为每通道 31mW；而在低速模式下，10.5kSPS 时的功率耗散仅为每通道 7mW。可以绕过数字滤波器，从而直接访问调制器输出。

ADS1278QML-SP 是通过简单地设置相应的 I/O 引脚来配置的，无需对寄存器进行编程。通过支持 SPI 及帧同步格式的串行接口来检索数据。 ADS1278QML-SP 具有菊花链可连接输出和外部同步功能，因此可在需要八个以上通道的系统中方便地使用该器件。

6.2 功能方框图



Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 采样孔径匹配

ADS1278QML-SP 转换器使用相同的 CLK 输入运行。CLK 输入控制调制器采样时刻的时序。转换器的设计可以控制采样偏移或通道之间的调制器采样孔径匹配。此外，数字滤波器进行同步，以在同一调制器时钟周期启动卷积相位。此设计使 ADS1278QML-SP 通道之间具有出色的相位匹配。

图 5-37 显示了 ADS1278QML-SP 的器件间通道样本匹配。

6.3.2 频率响应

数字滤波器设定整体频率响应。该滤波器使用多级 FIR 拓扑来提供线性相位，具有超小的通带纹波和高阻带衰减。滤波器系数与 ADS1271 中所用系数相同。数字滤波器的过采样率（即调制器采样率与输出数据速率之比，即 f_{MOD}/f_{DATA}）是所选模式的函数，如表 6-1 所示。

表 6-1. 过采样率与模式间的关系

模式选择	过采样率 (f_{MOD}/f_{DATA})
高速	64
高分辨率	128
低功耗	64
低速	64

Copyright © 2026 Texas Instruments Incorporated

6.3.2.1 高速、低功耗及低速模式

数字滤波器配置在高速、低功耗和低速模式下相同，过采样率设置为 64。图 6-1 显示了标准化为 f_{DATA} 的高速、低功耗和低速模式下的频率响应。图 6-2 显示了通带纹波。图 6-3 展示了从通带到阻带的过渡。总频率响应以调制器频率 f_{MOD} 的 64 倍重复，如图 6-4 所示。

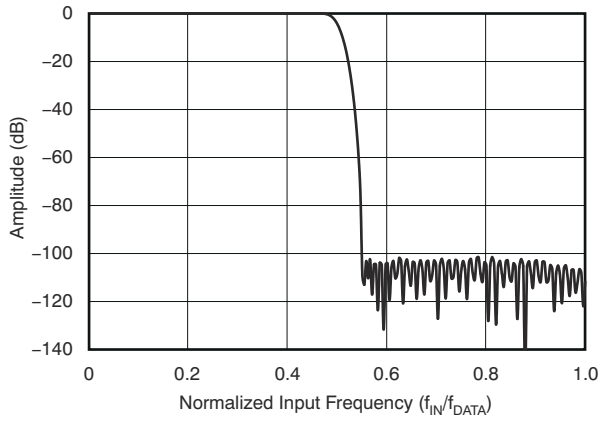


图 6-1. 高速、低功耗及低速模式的频率响应

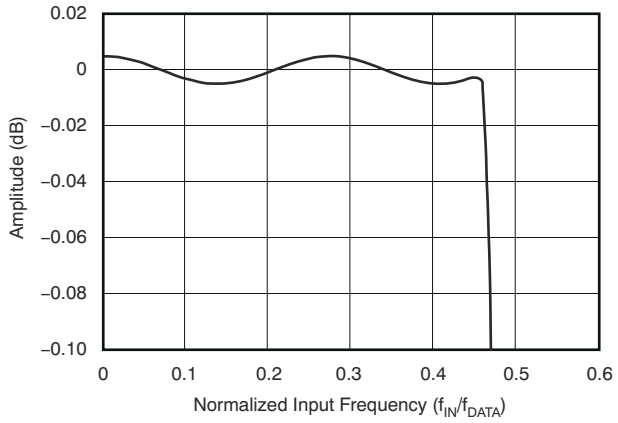


图 6-2. 高速、低功耗及低速模式的通带响应

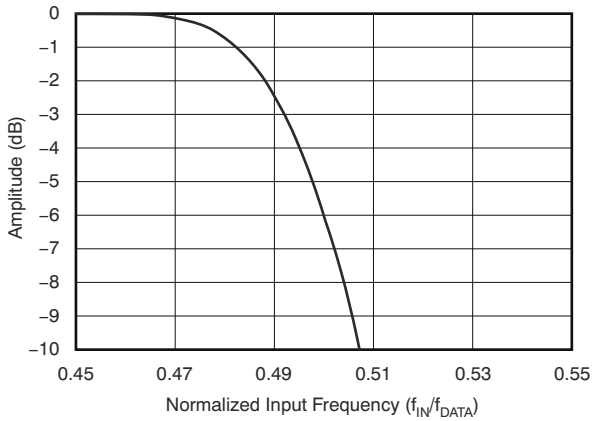


图 6-3. 高速、低功耗及低速模式的过渡带响应

Copyright © 2026 Texas Instruments Incorporated

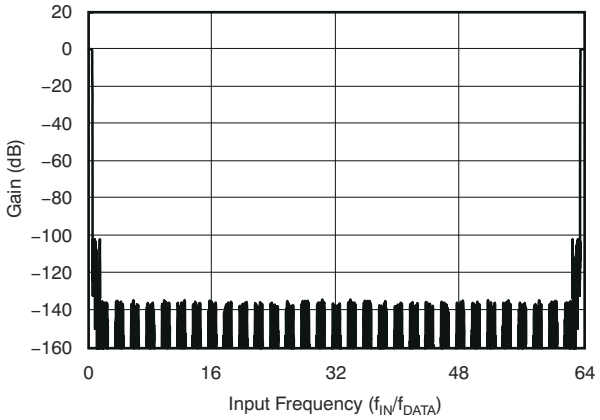


图 6-4. 高速、低功耗和低速模式下 F_{MOD} 的频率响应

这些图像频率如果存在于信号中且未在外部滤波，则会折返（或混叠）到通带中，从而导致误差。ADS1278QML-SP 的阻带提供了 100dB 的频率衰减，这些频率从通带开始并持续到 f_{MOD}。建议在 ADS1278QML-SP 输入前面放置一个抗混叠低通滤波器，以限制可能的高振幅带外信号和噪声。通常，简单的 RC 滤波器就已足够。表 6-2 列出了图像抑制与外部滤波器阶数。

表 6-2. 抗混叠滤波器阶数图像抑制

抗混叠滤波器阶数	图像抑制 (dB)（f_{DATA} 时 f_{-3dB}）	
	HS、LP、LS	HR
1	39	45
2	75	87
3	111	129

6.3.2.2 高分辨率模式

在高分辨率模式下，过采样率为 128。图 6-5 显示了标准化为 f_{DATA} 的高分辨率模式下的频率响应。图 6-6 显示了通带纹波，从通带到阻带的转换如图 6-7 所示。总频率响应以调制器频率 f_{MOD} (128 × f_{DATA}) 的倍数重复，如图 6-8 所示。 ADS1278QML-SP 的阻带提供了 100dB 的频率衰减，这些频率从通带开始并持续到 f_{MOD}。建议在 ADS1278QML-SP 输入前面放置一个抗混叠低通滤波器，以限制可能的高振幅带外信号和噪声。通常，简单的 RC 滤波器就已足够。表 6-2 列出了图像抑制与外部滤波器阶数。

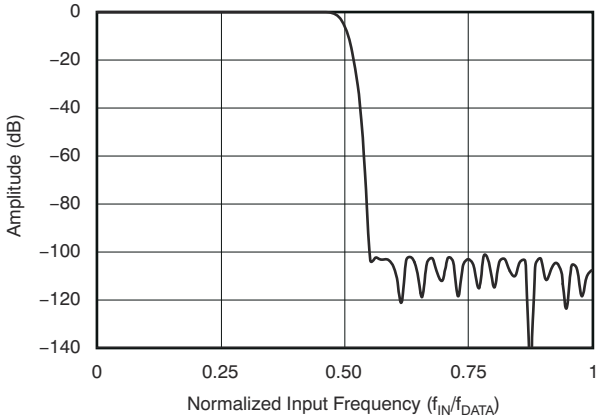


图 6-5. 高分辨率模式的频率响应

Copyright © 2026 Texas Instruments Incorporated

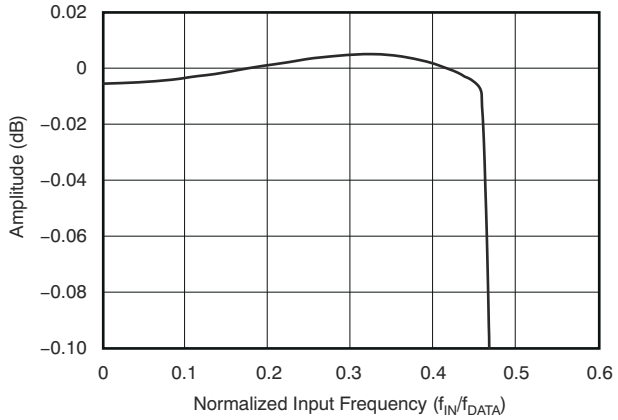


图 6-6. 高分辨率模式的通带响应

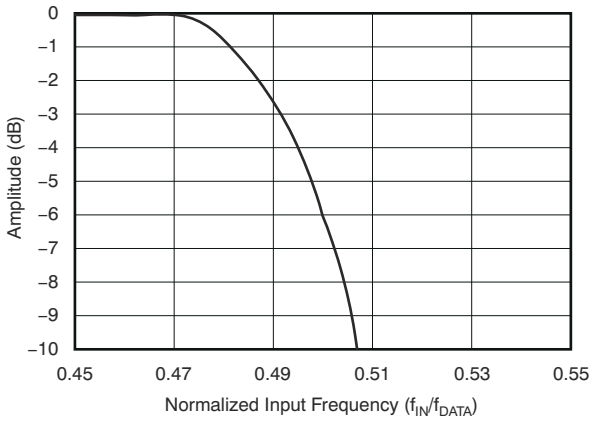


图 6-7. 高分辨率模式的过渡带响应

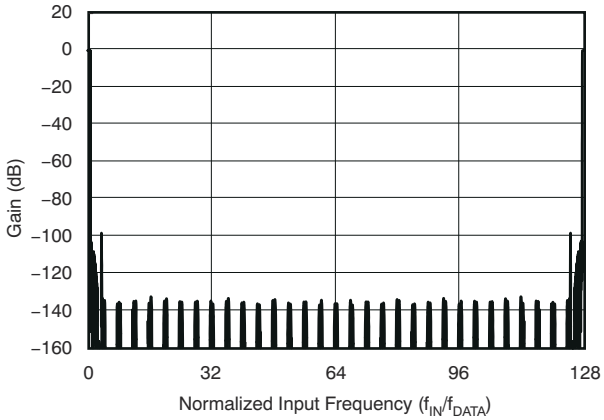


图 6-8. 高分辨率模式下 F_{MOD} 的频率响应

6.3.3 相位响应

ADS1278QML-SP 集成了多级线性相位数字滤波器。线性相位滤波器具备相对于输入频率的恒定延迟时间（恒定群延迟）。此特性意味着从输入信号的任意时刻到输出数据的同一时刻的延时时间是恒定的，与输入信号频率无关。在分析多音信号时，这种行为会导致基本上为零相位误差。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 趋稳时间

与频率和相位响应一样，数字滤波器也决定稳定时间。图 6-9 显示了标准化为转换周期的模拟输入发生阶跃变化后的输出稳定行为。X 轴以转换单位给出。请注意，输入发生阶跃变化后，输出数据在 30 个转换周期之前几乎没有变化。对于高速和低功耗模式，输出数据在 76 个转换周期后完全稳定，对于高分辨率模式，则在 78 个转换周期后完全稳定。

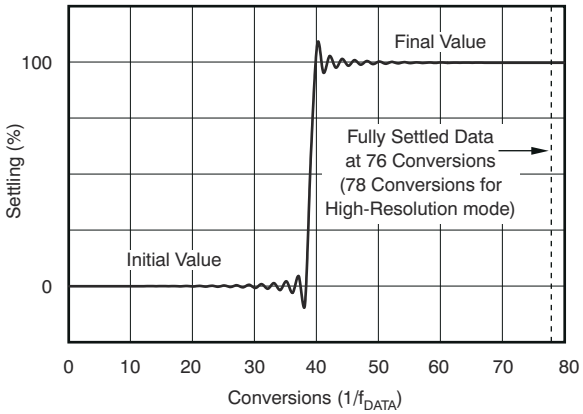


图 6-9. 阶跃响应

6.3.5 数据格式

ADS1278QML-SP 以二进制补码格式输出 24 位数据。

正满标度输入产生 7FFFFFh 的理想输出码，负满标度输出产生 800000h 的理想输入码。对于超出满量程的信号，输出会在这些代码处进行截断。表 6-3 总结了不同输入信号的理想输出代码。

表 6-3. 理想输出代码与输入信号间的关系

输入信号 V_{IN} (AINP – AINN)	理想输出代码(1)
$\geq +V_{REF}$	7FFFFFh
$\frac{+V_{REF}}{2^{23}-1}$	000001h
0	000000h
$\frac{-V_{REF}}{2^{23}-1}$	FFFFFFh
$\leq -V_{REF}\left(\frac{2^{23}}{2^{23}-1}\right)$	800000h

(1) 不包括噪声、INL、失调电压及增益误差的影响。

6.3.6 模拟输入（AINP、AINN）

ADS1278QML-SP 根据共用差分基准 V_{REF} = (VREFP – VREFN)，测量每个差分输入信号 V_{IN} = (AINP – AINN)。最正可测量的差分输入是 $+V_{REF}$，它会产生最大正数字输出代码 7FFFFFh。同样，最负的可测量差分输入是 $-V_{REF}$，这会产生最大负的数字输出代码 800000h。

为了获得最佳性能， ADS1278QML-SP 的输入旨在进行差分驱动。对于单端应用，可以驱动其中一个输入（AINP 或 AINN），而另一个输入为固定输入（通常连接至 AGND 或 2.5V）。将输入固定为 2.5V 可允许双极运行，从而可以充分利用整个转换器范围。

Copyright © 2026 Texas Instruments Incorporated

在 ADS1278QML-SP 测量差分输入信号的同时，绝对输入电压也很重要。该值是任一输入端（AINP 或 AINN）上相对于 AGND 的电压。该电压的范围为：

– 0.1V < (AINN 或 AINP) < AVDD + 0.1V

如果任一输入低于 – 0.4V 或高于 (AVDD + 0.4V)，输入端的 ESD 保护二极管可能会导通。如果这些条件可能存在，可能需要外部肖特基钳位二极管或串联电阻器将输入电流限制在安全值（请参阅绝对最大额定值表）。

ADS1278QML-SP 是一款非常高性能的 ADC。为了获得出色性能，必须使用适当的电路来驱动 ADS1278QML-SP 输入。有关几个推荐电路，请参阅*应用信息*部分。

ADS1278QML-SP 使用开关电容器电路来测量输入电压。内部电容器由输入进行充电，然后放电。图 6-10 显示了这些电路的概念图。开关 S_2 表示调制器电路对采样电容器放电的净效应；实际实现方式有所不同。开关 S_1 和 S_2 的时序如图 6-11 所示。采样时间 (t_{SAMPLE}) 是调制器采样频率 (f_{MOD}) 的倒数，是模式、CLKDIV 输入和 CLK 频率的函数，如表 6-4 所示。

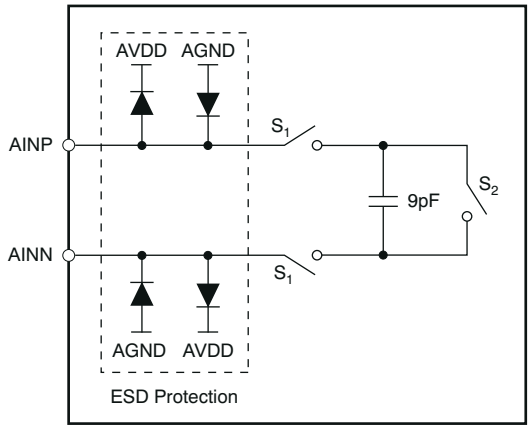


图 6-10. 等效模拟输入电路

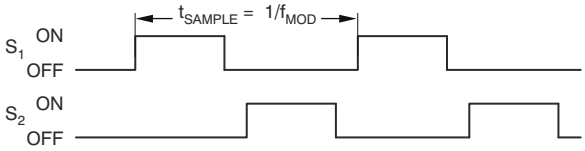


图 6-11. 图 6-10 的 S_1 和 S_2 开关时序

表 6-4. 调制器频率 (F_{MOD}) 模式选择

模式选择	CLKDIV	f_{MOD}
高速	1	f_{CLK} / 4
高分辨率	1	f_{CLK} / 4
低功耗	1	f_{CLK} / 8
	0	f_{CLK} / 4
低速	1	f_{CLK} / 40
	0	f_{CLK} / 8

开关电容器输入呈现的平均负载可以使用有效差分阻抗建模，如图 6-12 所示。请注意，有效阻抗是 f_{MOD} 的函数。

Copyright © 2026 Texas Instruments Incorporated

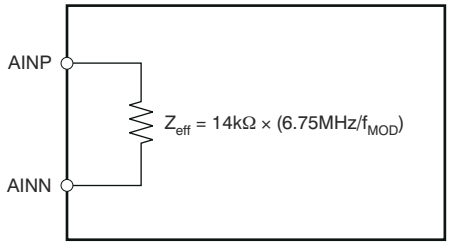


图 6-12. 有效输入阻抗

6.3.7 电压基准输入（VREFP、VREFN）

ADS1278QML-SP ADC 的电压基准是 VREFP 和 VREFN 之间的差分电压：V_{REF} = (VREFP – VREFN)。该电压基准通用于所有通道。基准输入使用类似于模拟输入结构的结构，基准输入上有等效电路，如图 6-13 所示。与模拟输入一样，开关电容器提供的负载可以用有效阻抗建模，如图 6-14 所示。但是，基准输入阻抗除了取决于 f_{MOD} 之外，还取决于活动（已启用）通道的数量。由于启用和禁用通道导致基准输入阻抗发生变化，因此必须注意外部基准的调节和稳定时间，以免影响读数。

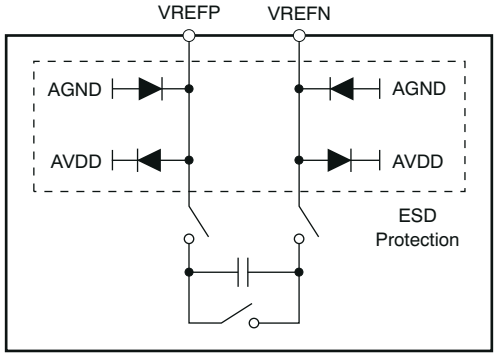
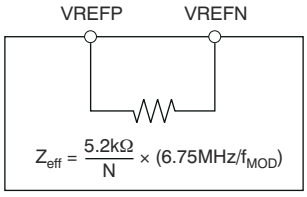


图 6-13. 等效基准输入电路



N = number of active channels.

图 6-14. 有效基准阻抗

ESD 二极管保护基准输入。为防止这些二极管导通，请确保基准引脚上的电压不得比 AGND 低 0.4V 以上，并且同时也不会超出 AVDD 达 0.4V。如果这些条件可能存在，可能需要外部肖特基钳位二极管或串联电阻器将输入电流限制在安全值（请参阅绝对最大额定值表）。

请注意，基准输入的有效工作范围限制为以下参数：

-0.1V ≤ VREFN ≤ +0.1V

VREFN + 0.5V ≤ VREFP ≤ AVDD + 0.1V

6.3.8 时钟输入 (CLK)

ADS1278QML-SP 需要时钟输入来运行。 ADS1278QML-SP 的各个转换器通过相同的时钟输入运行。在最大数据速率下，时钟输入可以是 27MHz 或 13.5MHz（对于低功耗模式），或者 27MHz 或 5.4MHz（对于低速模

Copyright © 2026 Texas Instruments Incorporated

式），具体由 CLKDIV 输入的设置决定。对于高速模式，最大 CLK 输入频率为 32.768MHz。对于高分辨率模式，最大 CLK 输入频率为 27MHz。外部时钟频率 (f_{CLK}) 的选择不会影响 ADS1278QML-SP 的分辨率。使用较慢的 f_{CLK} 可以降低外部时钟缓冲器的功耗。输出数据速率随时钟频率而变化，降至最低时钟频率 f_{CLK} = 100kHz。表 6-5 总结了四种工作模式下时钟输入频率 (f_{CLK}) 与数据速率 (f_{DATA})、最大数据速率和相应最大时钟输入之比。

与任何高速数据转换器一样，高质量、低抖动时钟对于实现出色性能至关重要。晶体时钟振荡器是推荐的时钟源。确保避免时钟输入上出现过多振铃；保持时钟布线尽可能短，并且使用靠近源端的 50Ω 串联电阻器通常会有所帮助。

表 6-5. 时钟输入选项

模式选择	最大值 f_{CLK} (MHz)	CLKDIV	f_{CLK}/f_{DATA}	数据速率 (SPS)
高速	32.768	1	256	128,000
高分辨率	27	1	512	52,734
低功耗	27	1	512	52,734
	13.5	0	256	
低速	27	1	2,560	10,547
	5.4	0	512	

6.3.9 模式选择 (MODE)

ADS1278QML-SP 支持四种工作模式：高速、高分辨率、低功耗和低速。这些模式提供了速度、分辨率和功率的优化。模式选择由数字输入 MODE[1:0] 引脚的状态决定，如表 6-6 所示。 ADS1278QML-SP 在运行期间持续监控 MODE 引脚的状态。

表 6-6. 模式选择

MODE[1:0]	模式选择	最大值 f_{DATA} (1)
00	高速	128,000
01	高分辨率	52,734
10	低功耗	52,734
11	低速	10,547

(1) f_{CLK} = 27MHz 最大值（高速模式下 32.768MHz 最大值）。

使用 SPI 协议时，$\overline{DRDY}$ 在模式发生更改后保持高电平，直至稳定（或有效）数据就绪；请参阅图 6-15 和表 6-7。

在帧同步协议中，DOUT 引脚在模式发生更改后保持低电平，直到稳定的数据就绪；请参阅图 6-15 和表 6-7。可以从器件读取数据以检测 DOUT 何时变成逻辑 1（表示数据有效）。

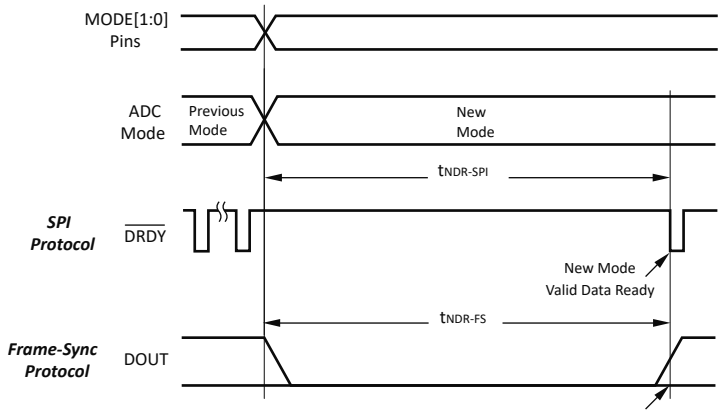


图 6-15. 模式更改时序

表 6-7. 模式更改后的新数据

符号	说明	最小值	典型值	最大值	单位
$t_{NDR-SPI}$	新数据准备就绪的时间 (SPI)			129	转换 ($1/f_{DATA}$)
t_{NDR-FS}	新数据准备就绪的时间（帧同步）	127		128	转换 ($1/f_{DATA}$)

6.3.10 同步 (SYNC)

ADS1278QML-SP 可以通过将 $\overline{SYNC}$ 引脚拉至低电平然后将引脚恢复为高电平来同步。当该引脚变为低电平时，转换过程停止，且数字滤波器使用的内部计数器被复位。当 $\overline{SYNC}$ 引脚恢复高电平时，转换过程重新开始。同步允许转换与外部事件保持一致（例如模拟输入上的外部多路复用器的变化），或通过基准时序脉冲进行调整。

由于 ADS1278QML-SP 转换器使用相同的时钟输入并行运行并使用相同的 $\overline{SYNC}$ 输入控制，因此这些转换器始终彼此同步。内部通道之间的孔径匹配通常小于 500ps。但是，多个器件的同步略有不同。在器件上电时，不同器件之间内部复位阈值的变化可能会导致转换时序的不确定性。

$\overline{SYNC}$ 引脚可用于将多个设备同步到同一 CLK 周期内。图 6-16 说明了 SPI 格式的 $\overline{SYNC}$ 和 CLK 的时序要求。

有关帧同步格式时序要求，请参阅图 6-17。

同步后，有效数据的指示取决于使用的是 SPI 格式还是帧同步格式。

在 SPI 格式中，一旦 $\overline{SYNC}$ 变为低电平，$\overline{DRDY}$ 就会变为高电平；请参见图 6-16。$\overline{SYNC}$ 恢复高电平后，$\overline{DRDY}$ 保持高电平，同时数字滤波器稳定。一旦有效数据准备好进行检索，$\overline{DRDY}$ 就会变为低电平。

在帧同步格式中，$\overline{SYNC}$ 变为低电平时 DOUT 会变为低电平；请参见图 6-17。$\overline{SYNC}$ 恢复高电平后，DOUT 保持低电平，同时数字滤波器稳定。一旦有效数据准备好进行检索，DOUT 就开始输出有效数据。为了正确同步，必须在将 $\overline{SYNC}$ 置为高电平之前建立 FSYNC、SCLK 和 CLK，然后必须保持运行。如果随后时钟输入（CLK、FSYNC 或 SCLK）被中断或复位，请将 $\overline{SYNC}$ 引脚重新置为有效。

为了获得一致的性能，请在器件上电后首次显示数据时将 $\overline{SYNC}$ 重新置为有效。

Copyright © 2026 Texas Instruments Incorporated

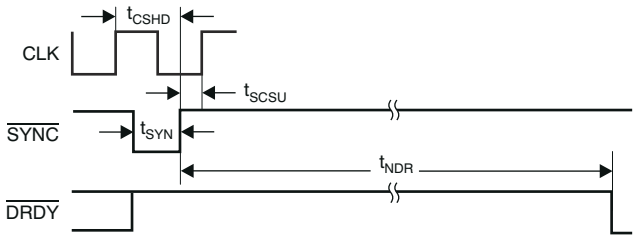


图 6-16. 同步时序（SPI 协议）

表 6-8. SPI 协议

符号	说明	最小值	典型值	最大值	单位
t_{CSHD}	CLK 到 $\overline{SYNC}$ 保持时间	10			ns
t_{SCSU}	$\overline{SYNC}$ 到 CLK 建立时间	5			ns
t_{SYN}	同步脉冲宽度	1			CLK 周期
t_{NDR}	新数据准备就绪的时间			129	转换 ($1/f_{DATA}$)

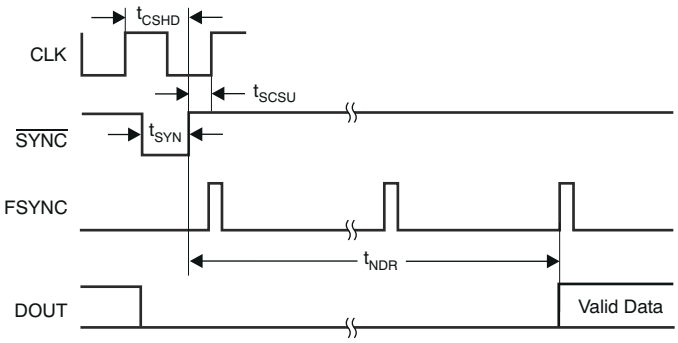


图 6-17. 同步时序（帧同步协议）

表 6-9. 帧同步协议

符号	说明	最小值	典型值	最大值	单位
t_{CSHD}	CLK 到 $\overline{SYNC}$ 保持时间	10			ns
t_{SCSU}	$\overline{SYNC}$ 到 CLK 建立时间	5			ns
t_{SYN}	同步脉冲宽度	1			CLK 周期
t_{NDR}	新数据准备就绪的时间	127		128	转换 ($1/f_{DATA}$)

6.3.11 断电 ($\overline{PWDN}$)

ADS1278QML-SP 的通道可以通过使用 $\overline{PWDN}$ 输入独立断电。要进入断电模式，请将相应的 $\overline{PWDN}$ 引脚保持为低电平至少两个 CLK 周期。要退出断电模式，请将相应的 $\overline{PWDN}$ 引脚恢复为高电平。请注意，当所有通道断电时， ADS1278QML-SP 将进入微瓦（μW）功率状态，其中所有内部偏置都被禁用。在此状态下，必须驱动 TEST[1:0] 输入引脚；所有其他输入引脚可以悬空。 ADS1278QML-SP 输出保持驱动状态。

如图 6-18 和表 6-10 所示，SPI 最多必须经历 130 个转换周期，帧同步必须经历 129 个转换周期，然后才能在退出断电模式后读取数据。来自已运行的通道的数据不受影响。用户软件可通过以下任一方式执行所需的延迟时间：

1. 对于将 $\overline{PWDN}$ 引脚置为高电平后的数据转换次数进行计数。
2. 将 $\overline{PWDN}$ 引脚置为高电平后延迟 $129/f_{DATA}$ 或 $130/f_{DATA}$，然后读取数据。
3. 检测上电通道中的非零数据。

Copyright © 2026 Texas Instruments Incorporated

上电一个或多个通道后，这些通道会相互同步。$\overline{SYNC}$ 引脚不一定用于同步通道。

当一个通道以 TDM 数据格式断电时，该通道的数据要么被强制为零（固定位置 TDM 数据模式）、要么通过将下一个通道的数据移动到转换的数据位置来替换（动态位置 TDM 数据模式）。

在离散数据格式中，数据始终被强制为零。在动态位置 TDM 数据格式模式下为某个通道上电时，通道数据会保持打包状态，直到数据准备就绪，此时数据帧会扩展以包含仅受电的通道数据。有关详细信息，请参阅*数据格式*部分。

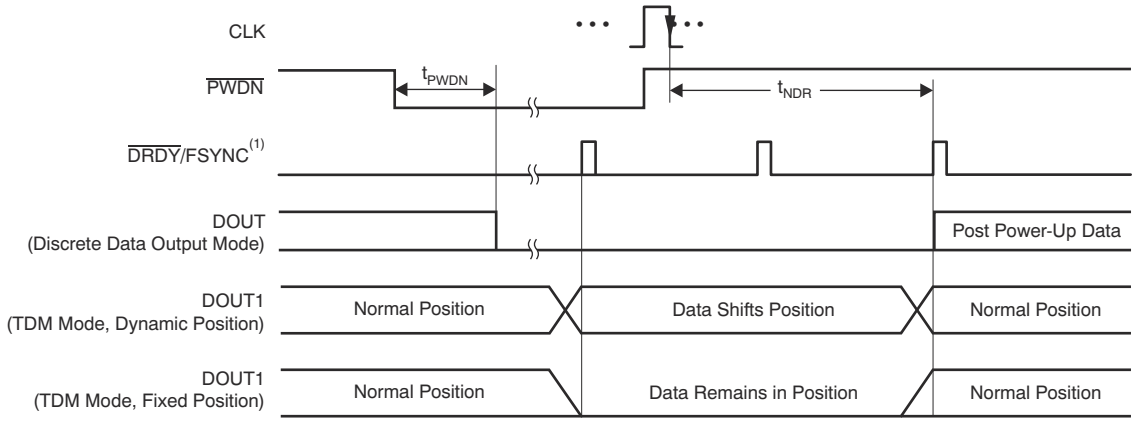


图 6-18. 断电时序

表 6-10. 断电时序

符号	说明	最小值	典型值	最大值	单位
t_{PWDN}	进入省电模式的 $\overline{PWDN}$ 脉冲宽度	2			CLK 周期
t_{NDR}	新数据就绪时间 (SPI)	129		130	转换 ($1/f_{DATA}$)
t_{NDR}	新数据就绪时间（帧同步）	128		129	转换 ($1/f_{DATA}$)

6.3.12 Format[2:0]

可以通过两种接口协议（SPI 或帧同步）和多种数据格式选项（TDM/离散和固定/动态数据位置）从 ADS1278QML-SP 读取数据。FORMAT[2:0] 输入用于在选项中进行选择。表 6-11 列出了可用的选项。有关 DOUT 模式和数据位置的详细信息，请参阅 *DOUT 模式*部分。

表 6-11. 数据输出格式

FORMAT[2:0]	接口协议	DOUT 模式	数据位置
000	SPI	TDM	动态
001	SPI	TDM	固定
010	SPI	分立式	—
011	帧同步	TDM	动态
100	帧同步	TDM	固定
101	帧同步	分立式	—
110	调制器模式	—	—

6.3.13 串行接口协议

从 ADS1278QML-SP 使用串行接口检索的数据。有两种协议可用：SPI 及帧同步。两个接口使用相同引脚：SCLK、$\overline{DRDY}$/FSYNC、DOUT[8:1] 以及 DIN。FORMAT[2:0] 引脚选择所需的接口协议。

Copyright © 2026 Texas Instruments Incorporated

6.3.14 SPI 串行接口

与 SPI 兼容的格式是只读接口。数据为检索做好准备由 $\overline{\text{DRDY}}$ 下降输出指示，并在 SCLK 的下降沿移出（MSB 优先）。当使用多个器件时，该接口可以使用 DIN 输入以菊花链方式连接。有关更多信息，请参阅*菊花链*部分。

备注

注意：SPI 格式的 CLK 输入频率限制为最大值 27MHz。对于高于 27MHz 的 CLK 输入运行（仅限高速模式），请使用帧同步格式。

6.3.14.1 SCLK

串行时钟 (SCLK) 具有施密特触发输入，并在下降沿在 DOUT 上移出数据。当该引脚用于菊花链时，SCLK 还会在 DIN 的下降沿移入数据。器件在下降沿移出数据，用户通常在上升沿移入此数据。

即使 SCLK 输入有滞后现象，也要尽可能保持 SCLK 的清洁，以防止故障意外地移动数据。

SCLK 的运行速度可以同 CLK 频率一样快。SCLK 可以是自由运行的，也可以是转换之间的停止时钟操作。请注意，在 $\overline{\text{DRDY}}$ 的下降沿之后到 SCLK 的第一个上升沿之前，需要一个 f_{CLK}。为获得出色性能，请将 f_{SCLK} / f_{CLK} 的比率限制为 1、1/2、1/4、1/8 等。当器件配置为调制器输出时，SCLK 成为调制器时钟输出（请参阅*调制器输出*部分）。

6.3.14.2 $\overline{\text{DRDY}}$/FSYNC（SPI 格式）

在 SPI 格式中，该引脚用作 $\overline{\text{DRDY}}$ 输出。当数据为检索做好准备时，该引脚变为低电平，然后在随后的第一个 SCLK 的下降沿返回高电平。如果未检索到数据（即 SCLK 保持低电平），$\overline{\text{DRDY}}$ 会在下一个转换数据准备就绪之前发出高脉冲，如图 6-19 所示。在 $\overline{\text{DRDY}}$ 变为低电平之前的一个 CLK 周期之内加载新数据。所有数据必须在此时间之前移出，以避免被覆盖。

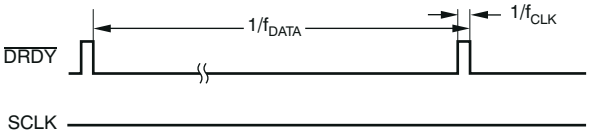


图 6-19. 无回读的 $\overline{\text{DRDY}}$ 时序

6.3.14.3 DOUT

转换数据在 DOUT[8:1] 上输出。$\overline{\text{DRDY}}$ 变为低电平后，MSB 数据在 DOUT[8:1] 上有效。后续位随着 SCLK 的每个下降沿而移位。如果是菊花链连接，在所有通道数据移出后，使用 DIN 移入的数据会显示在 DOUT 上。当器件配置为调制器输出时，DOUT[8:1] 成为每个通道的调制器数据输出（请参阅*调制器输出*部分）。

6.3.14.4 DIN

当多个 ADS1278QML-SP 要以菊花链形式连接在一起时，使用此输入。第一个器件的 DOUT1 引脚连接到下一个器件的 DIN 引脚，甚至更多。DIN 可与 SPI 或者帧同步格式一起使用。数据在 SCLK 的下降沿移入。当仅使用一个 ADS1278QML-SP 时，请将 DIN 连接至低电平。有关更多信息，请参阅*菊花链*部分。

6.3.15 帧同步串行接口

帧同步格式类似于音频 ADC 上常用的接口。帧同步以目标方式运行 - 用户必须提供成帧信号 FSYNC（类似于立体声音频 ADC 上的*左/右时钟*）和串行时钟 SCLK（类似于音频 ADC 上的*位时钟*）。数据首先输出 MSB，或在 FSYNC 的上升沿进行*左对齐*。使用帧同步格式时，FSYNC 和 SCLK 输入必须按照*时序要求*中所示的关系连续运行：*帧同步格式*表。

6.3.15.1 SCLK

串行时钟 (SCLK) 具有施密特触发输入，并在下降沿在 DOUT 上移出数据。当该引脚用于菊花链时，SCLK 还会在 DIN 的下降沿移入数据。即使 SCLK 有滞后现象，也要尽可能保持 SCLK 的清洁，以防止故障意外地移动数据。使用帧同步格式时，SCLK 必须连续运行。如果 SCLK 关断，数据回读可能会损坏。只要周期数足以将数据

Copyright © 2026 Texas Instruments Incorporated

输出从一帧内所有通道移动，帧周期（FSYNC 时钟）内 SCLK 的数量可以是 CLK 周期的任何 2 次幂比（1、1/2、1/4 等）。当器件配置为调制器输出时，SCLK 成为调制器时钟输出（请参阅*调制器输出*部分）。

6.3.15.2 $\overline{\text{DRDY}}$/FSYNC（帧同步格式）

在帧同步格式中，该引脚用作 FSYNC 输入。帧同步输入 (FSYNC) 可设置帧周期，该周期必须与数据速率相同。每个 FSYNC 周期所需 f_{CLK} 周期数取决于模式选择和 CLKDIV 输入。表 6-5 指示每帧的 CLK 周期数 (f_{CLK}/f_{DATA})。如果 FSYNC 周期不是正确的值，数据回读可能会损坏。

6.3.15.3 DOUT

转换数据在 DOUT[8:1] 上移出。FSYNC 变为高电平后，MSB 数据在 DOUT[8:1] 上变为有效。后续位随着 SCLK 的每个下降沿而移位。如果是菊花链连接，在所有通道数据移出后，使用 DIN 移入的数据会显示在 DOUT[8:1] 上。当器件配置为调制器输出时，DOUT 成为调制器数据输出（请参阅*调制器输出*部分）。

6.3.15.4 DIN

当多个 ADS1278QML-SP 要以菊花链形式连接在一起时，使用此输入。DIN 可接合 SPI 或帧同步格式一起使用。数据在 SCLK 的下降沿移入。当仅使用一个 ADS1278QML-SP 时，请将 DIN 连接至低电平。有关更多信息，请参阅*菊花链*部分。

6.3.16 DOUT 模式

对于 SPI 和帧同步接口协议，数据以并行数据格式（离散模式）通过单个通道 DOUT 引脚移出，或者所有通道的数据以串行格式通过公共引脚 DOUT1（TDM 模式）移出。

6.3.16.1 TDM 模式

在 TDM（时分多路复用）数据输出模式下，所有通道的数据都在单个引脚 (DOUT1) 上按顺序移出。如图 6-20 所示，先移出通道 1 的数据、然后移出通道 2 的数据，等等。移出最后一个通道的数据后，将跟随来自 DIN 输入的数据。DIN 用于以菊花链形式连接附加 ADS1278QML-SP 或其他兼容器件的数据输出。请注意、当 ADS1278QML-SP 的所有通道都被禁用时，该接口会被禁用，从而也会禁用 DIN 输入。当器件的一个或多个通道断电时，TDM 模式的数据格式可以是固定的，也可以是动态的。

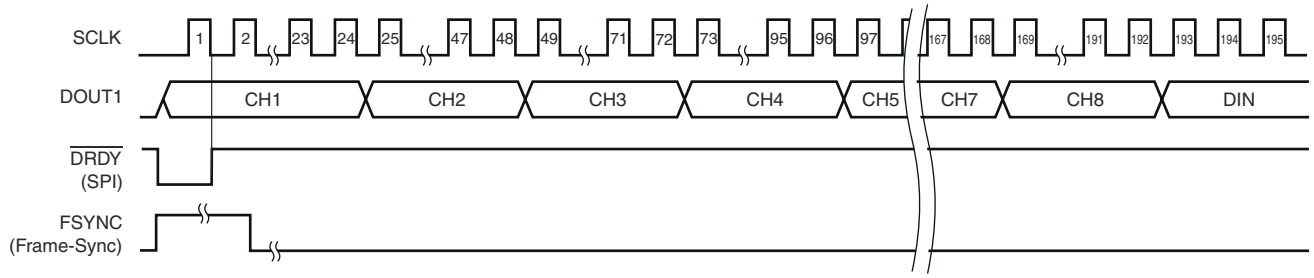


图 6-20. TDM 模式（启用所有通道）

6.3.16.2 TDM 模式，固定位置数据

在此 TDM 数据输出模式下，无论通道是否断电，通道的数据位置都保持固定。如果通道断电，数据将强制为零，但在数据流中占据相同的位置。图 6-21 显示了通道 1 和通道 3 已断电时的数据流。

6.3.16.3 TDM 模式，动态位置数据

在此 TDM 数据输出模式下，当通道断电时，来自较高通道的数据会在数据流中移动一个位置，以填充腾出的数据时隙。图 6-22 显示了通道 1 和通道 3 已断电时的数据流。

6.3.16.4 离散数据输出模式

在离散数据输出模式下，使用单个通道数据输出引脚 DOUT[8:1] 并行移出通道数据。在第 24 个 SCLK 之后，通道数据被强制为零。对于断电通道，数据也会强制为零。图 6-23 显示了离散数据输出格式。

Copyright © 2026 Texas Instruments Incorporated

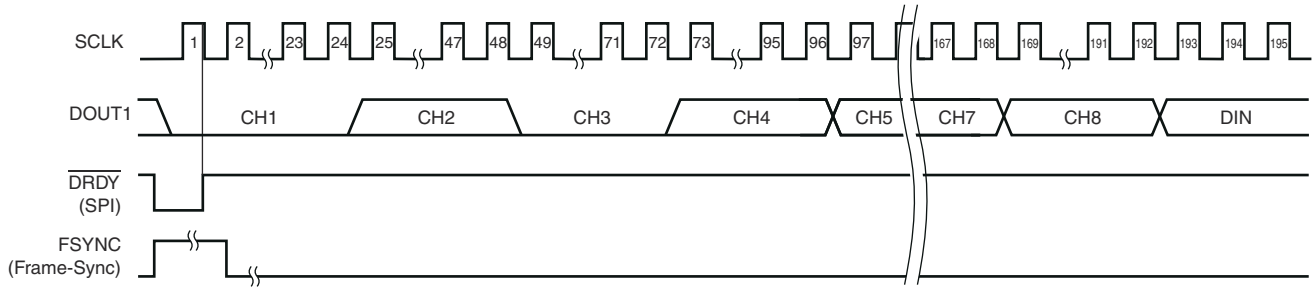


图 6-21. TDM 模式、固定位置数据（显示通道 1 及 3 断电）

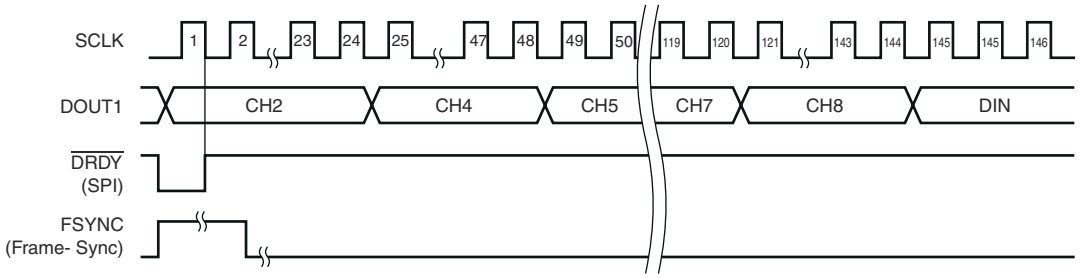


图 6-22. TDM 模式、动态位置数据（显示通道 1 和 3 断电）

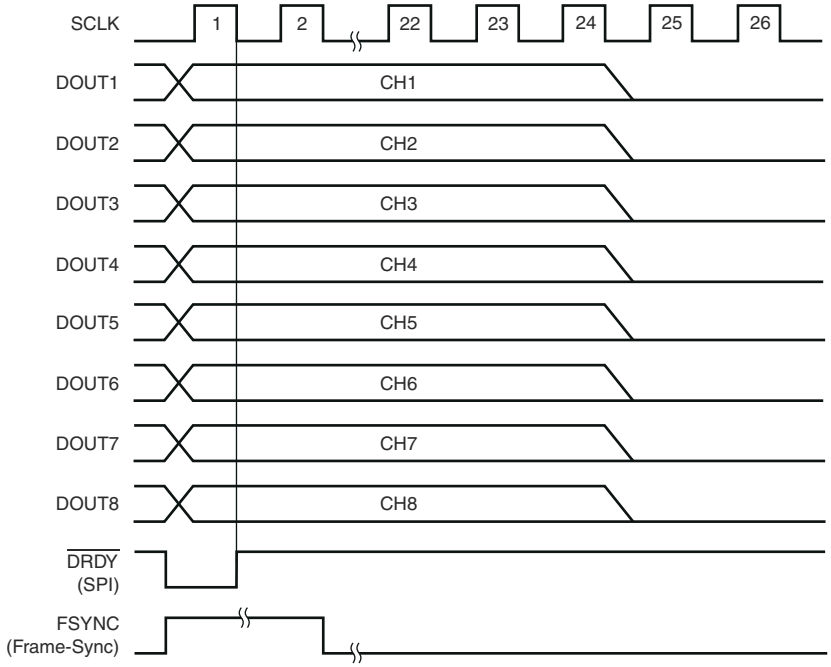


图 6-23. 离散数据输出模式

6.3.17 菊花链

多个 ADS1278QML-SP 可以通过菊花链方式连接在一起，以便在单个引脚上输出数据。一个器件的 DOUT1 数据输出引脚连接至下一个器件的 DIN。如图 6-24 所示，器件 1 的 DOUT1 引脚向控制器提供输出数据，器件 2 的 DIN 接地。图 6-25 显示了读回数据时的数据格式。

Copyright © 2026 Texas Instruments Incorporated

以这种方式用菊花链方式连接的最大通道数受频率 f_{SCLK}、模式选择和 CLKDIV 输入的限制。f_{SCLK} 的频率必须足够高，才能在一个 f_{DATA} 周期内将数据从所有通道完全移出。表 6-12 列出了 $f_{SCLK} = f_{CLK}$ 时菊花链通道的最大数量。

为了增加链中可能的数据通道数量，可以使用分段 DOUT 方案来生成两个数据流。图 6-26 展示了四个 ADS1278QML-SP，其中成对的 ADS1278QML-SP 以菊花链连接在一起。每个菊花链对的通道数据并行移出，并由处理器通过独立的数据通道接收。

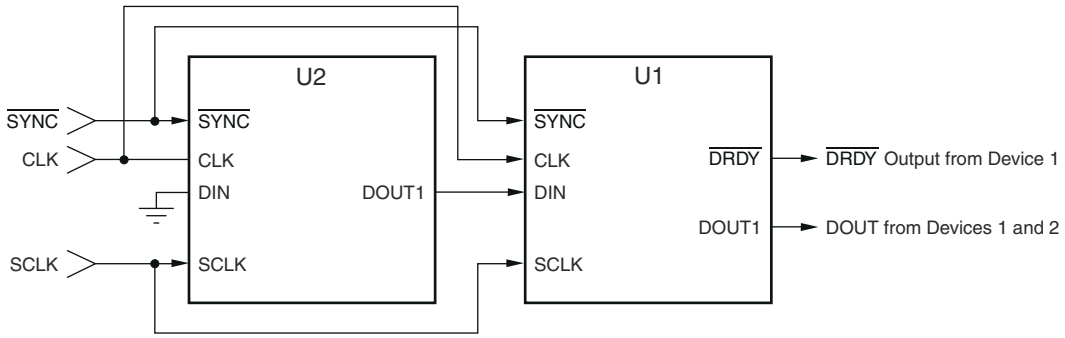
表 6-12. 菊花链中的最大通道数 ($F_{SCLK} = F_{CLK}$)

模式选择	CLKDIV	最大通道数量
高速	1	10
高分辨率	1	21
低功耗	1	21
	0	10
低速	1	106
	0	21

无论接口协议是 SPI 还是帧同步，都要通过将 $\overline{SYNC}$ 输入连接在一起来同步所有器件。在 SPI 协议中同步时、仅监控一个 ADS1278QML-SP 的 $\overline{DRDY}$ 输出。

在帧同步接口协议中，来自所有器件的数据在 FSYNC 的上升沿之后准备就绪。

由于 DOUT1 和 DIN 都在 SCLK 的下降沿移位，因此 DOUT1 上的传播延迟会在 DIN 上产生建立时间。尽可能减小 SCLK 中的偏斜以避免违反时序的情况。



链接的器件的数量受 SCLK 速率及器件模式的限制。

图 6-24. 两个器件的菊花链、SPI 协议（Format[2:0] = 000 或 001）

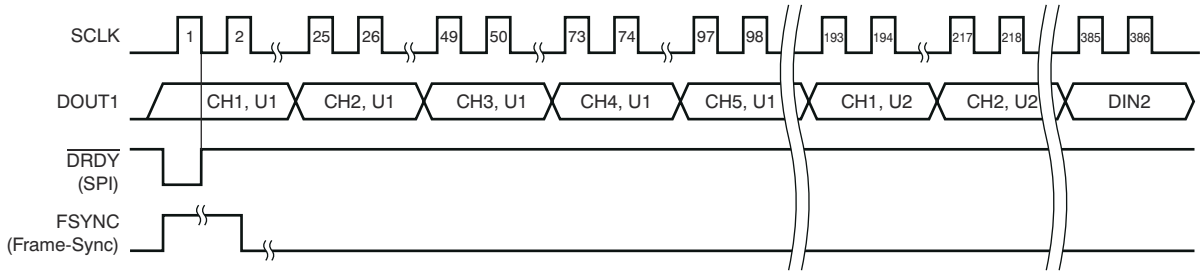
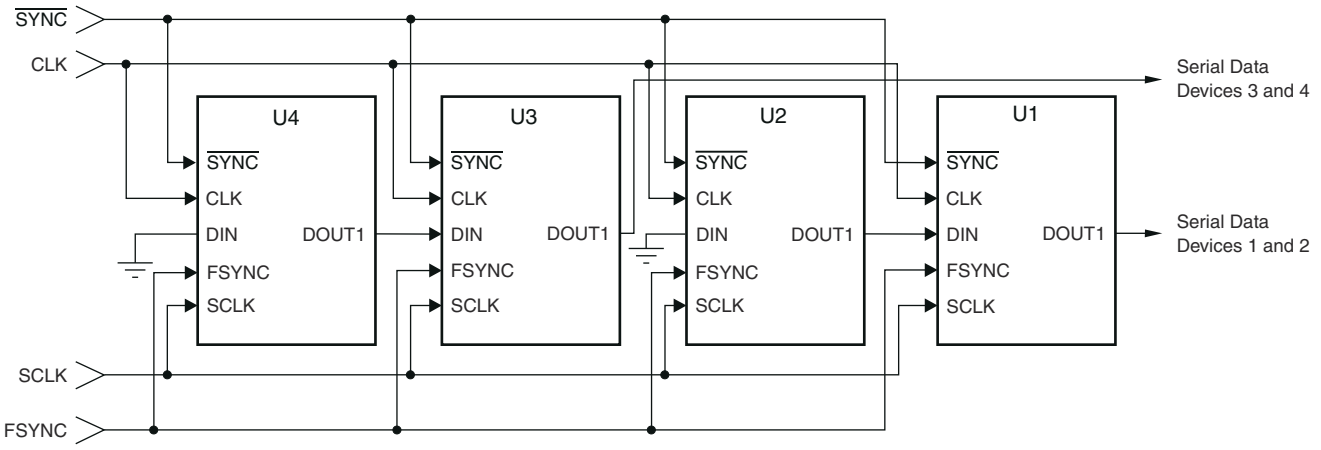


图 6-25. 图 6-24 的菊花链数据格式

Copyright © 2026 Texas Instruments Incorporated



链接的器件的数量受 SCLK 速率及器件模式的限制。

图 6-26. 分段式 DOUT 菊花链、帧同步协议（Format[2:0] = 011 或 100）

6.3.18 调制器输出

ADS1278QML-SP 集成了 6 阶单位斩波稳定调制器，后跟一个生成转换结果的多级数字滤波器。调制器的数据流输出可直接使用，从而绕过内部数字滤波器。禁用数字滤波器，减小 DVDD 电流，如表 6-13 所示。在此模式下，需要在 ASIC、FPGA 或类似器件中实现的外部数字滤波器。要调用调制器输出，连接 FORMAT[2:0]，如图 6-27 所示。然后，DOUT[8:1] 成为每个通道的调制器数据流输出，SCLK 成为调制器时钟输出。$\overline{\text{DRDY}}$/FSYNC 引脚成为未使用输出，可以将其忽略。禁用帧同步和 SPI 的正常操作，并且 SCLK 的功能从输入变为输出，如图 6-27 中所示。

表 6-13. 调制器输出时钟频率

模式 [1:0]	CLKDIV	调制器时钟输出 (SCLK)	DVDD (mA)
00	1	f_{CLK} / 4	8
01	1	f_{CLK} / 4	7
10	1	f_{CLK} / 8	4
	0	f_{CLK} / 4	4
11	1	f_{CLK} / 40	1
	0	f_{CLK} / 8	1

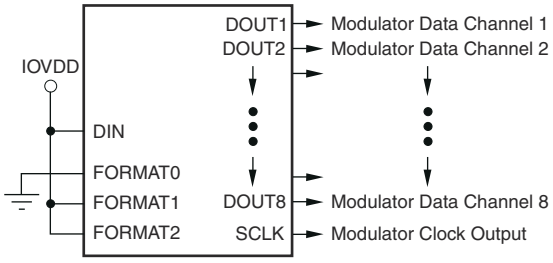


图 6-27. 调制器输出

在调制器输出模式下，调制器时钟输出 (SCLK) 的频率取决于 ADS1278QML-SP 的模式选择。表 6-13 列出了调制器时钟输出频率和 DVDD 电流与器件模式间的关系。

图 6-28 展示了调制器时钟和数据输出的时序关系。

Copyright © 2026 Texas Instruments Incorporated

数据输出是调制的 1s 密度数据流。当 V_{IN} = +V_{REF} 时，1s 密度约为 80%，而当 V_{IN} = –V_{REF} 时，1s 密度约为 20%。

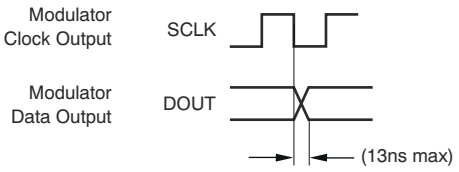


图 6-28. 调制器输出时序

6.3.19 使用 Test[1:0] 输入进行引脚测试

ADS1278QML-SP 的测试模式功能允许对数字 I/O 引脚进行连续性测试。在这种模式下，数字引脚的正常功能被禁用，并通过内部逻辑成对路由到彼此，如表 6-14 所示。左列中的引脚驱动右列中的输出引脚。**注意：**一些数字输入引脚变成输出；这些输出必须包含在设计中。模拟输入、电源和接地引脚均保持正常连接。通过设置引脚 TEST [1:0] = 11 来启用测试模式。对于转换器正常运行，设置 TEST[1:0] = 00。请勿使用“01”或“10”。

表 6-14. 测试模式引脚映射 (Test[1:0] = 11)

测试模式引脚映射	
输入引脚	**输出引脚**
$\overline{\text{PWDN}}$1	DOUT1
$\overline{\text{PWDN}}$2	DOUT2
$\overline{\text{PWDN}}$3	DOUT3
$\overline{\text{PWDN}}$4	DOUT4
$\overline{\text{PWDN}}$5	DOUT5
$\overline{\text{PWDN}}$6	DOUT6
$\overline{\text{PWDN}}$7	DOUT7
$\overline{\text{PWDN}}$8	DOUT8
MODE0	DIN
MODE1	$\overline{\text{SYNC}}$
FORMAT0	CLKDIV
FORMAT1	FSYNC/ $\overline{\text{DRDY}}$
FORMAT2	SCLK

6.3.20 VCOM 输出

VCOM 引脚提供等于 AVDD/2 的电压输出。该输出的预期用途是设置模拟输入驱动器的输出共模电平。输出的驱动能力有限；因此，输出只能用于驱动高阻抗节点 (> 1MΩ)。在某些情况下，可能需要外部缓冲器。建议使用 0.1 µ F 旁路电容器来减少噪声拾取。

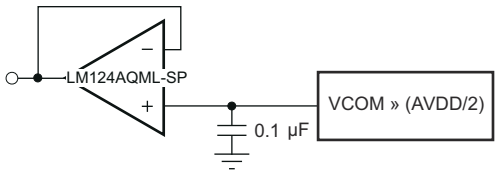


图 6-29. VCOM 输出

Copyright © 2026 Texas Instruments Incorporated

6.4 器件功能模式

表 6-15. 工作模式性能摘要

模式	最大数据传输速率 (SPS)	通带 (kHz)	SNR (dB)	噪声 (μV_{RMS})	功耗/通道 (mW)
高速	128,000	57,984	106	8.5	70
高分辨率	52,734	23,889	110	5.5	64
低功耗	52,734	23,889	106	8.5	31
低速	10,547	4,798	107	8.0	7

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

ADS1278QML-SP 是一款耐辐射高分辨率 ΔΣ ADC，非常适合精密感测和高精度仪器应用。该器件集成了八个 24 位同步采样 ADC，减少了将八个模拟信号数字化所需的电路板面积。

7.2 典型应用

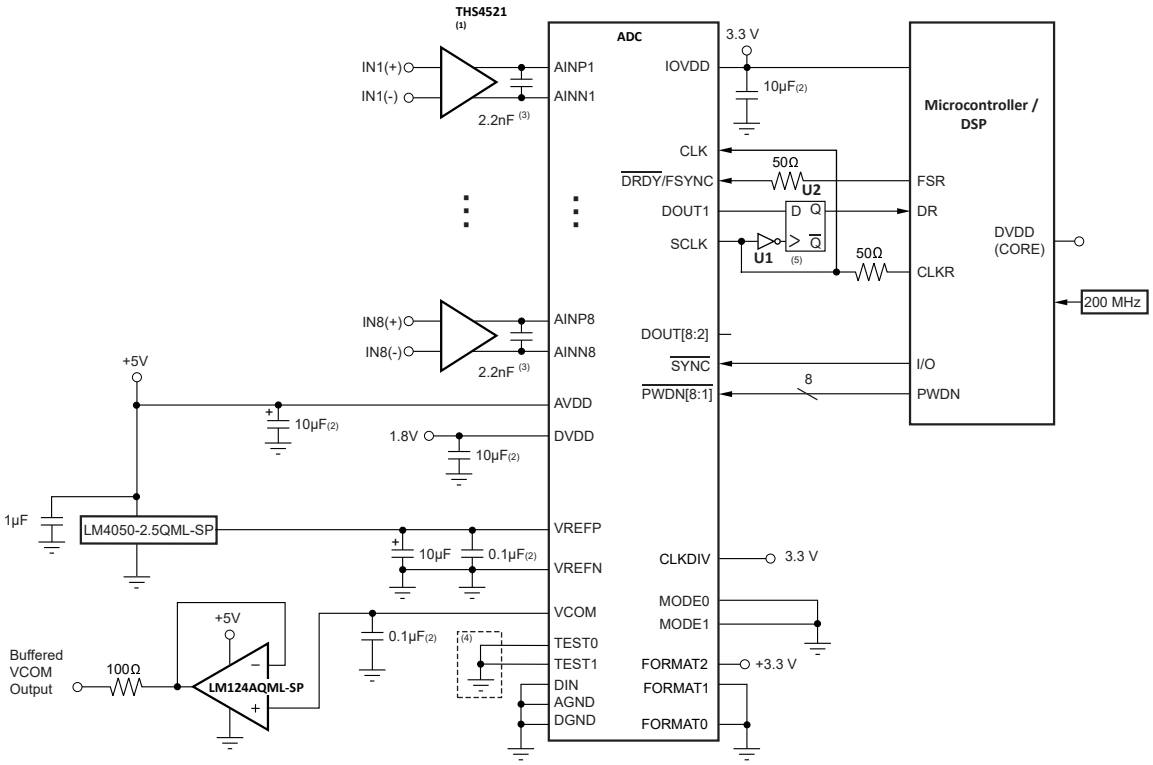


图 7-1. 典型应用原理图

1. 可能需要外部肖特基钳位二极管或串联电阻，以防止输入端出现过压。将 THS4521 驱动器靠近 ADC 输入。
2. 表示陶瓷电容器。
3. 表示 COG 陶瓷电容器。
4. 可选。用于引脚测试模式。
5. U1：SN74LVC1G04；U2：SN74LVC2G74。这些可选元件对 ADC 数据输出重新计时以连接到 TMS320VC5509。

7.2.1 设计要求

根据要由 ADS1278QML-SP 数字化的感测应用的精度和速度要求，用户必须首先确定理想的器件配置。表 7-1 展示了器件在每种配置下达到最大 fCLKIN 时可能的配置。前四列表示用户定义的器件输入（通过 I/O 引脚），而斜体行表示可作为参考设计使用的 ADS1278EVM-CVAL EVM 的默认配置。如图所示，使用高分辨率模式时可实现 52734 SPS 的最大数据速率，这会产生 111dB 的典型 SNR 或 18 位的 ENOB。

Copyright © 2026 Texas Instruments Incorporated

表 7-1. ADS1278QML-SP 配置模式

模式	CLKDIV	f_{CLK}/f_{MOD}	f_{CLKIN_max} (MHz)	过采样 (f_{MOD}/f_{DATA})	f_{MOD} (MHz)	f_{DATA_max} (SPS)	f_{CLKIN}/f_{MOD}
高速	1	4	32.768	64	8.192	128000	4
高速	1	4	32.768	64	8.192	128000	4
高速	*1*	*4*	*27*	*64*	*6.75*	*105469*	*4*
高分辨率	1	4	27	128	6.75	52734	4
低功耗	1	8	27	64	3.375	52734	8
低功耗	0	4	13.5	64	3.375	52734	4
低速	1	40	27	64	0.675	10547	40
低速	0	8	5.4	64	0.675	10547	8

7.2.2 详细设计过程

要从 ADS1278QML-SP 获得指定的性能，必须考虑以下布局和元件指南。

1. **电源：**该器件需要三个电源才能工作：DVDD、IOVDD 和 AVDD。DVDD 的允许范围为 1.65V 至 1.95V；IOVDD 的范围为 1.65V 至 3.6V；AVDD 限制为 4.75V 至 5V。对于所有电源，请使用一个 10 µF 钽电容器，该电容器通过 0.1 µF 陶瓷电容器进行旁路，并靠近器件引脚放置。或者，可以使用单个 10 µF 陶瓷电容器。电源必须相对无噪声，不得与产生电压尖峰的器件（例如继电器、LED 显示驱动器等）共用。如果使用开关电源，则电压纹波必须较低（小于 2mV）且开关频率超出转换器通带。
2. **接地平面：**可以使用连接 AGND 及 DGND 引脚的单个接地平面。如果使用单独的数字接地和模拟接地，请在转换器处将接地端连接在一起。
3. **数字输入：**使用 50Ω 串联电阻器，源端接器件的数字输入。电阻器必须放置在靠近数字源驱动端（振荡器、逻辑门、DSP 等）的位置，此放置有助于减少数字线路上的振铃（振铃会导致 ADC 性能下降）。
4. **模拟/数字电路：**将模拟电路（输入缓冲器，基准）和相关的轨迹放置在一起，使它们远离数字电路（DSP、微控制器、逻辑）。避免数字引线穿过模拟引线以减少噪声耦合及串扰。
5. **基准输入：**在基准输入 VREFP 与 VREFN 之间直接使用具有 0.1 µF 陶瓷电容器的最小 10 µF 钽电容器。基准输入必须由低阻抗源驱动。为了获得出色性能，基准电压的带内噪声必须小于 3 μV_{RMS}。如果噪声高于该水平的基准，可能需要外部基准滤波。
6. **模拟输入：**为了实现指定性能，模拟输入引脚必须以差分方式驱动。真差分驱动器或变压器（交流应用）可用于此目的。使用较短的直接布线将模拟输入布线（AINP、AINN）作为一对布线从缓冲器路由到转换器，并远离数字引线。必须在模拟输入引脚 AINP 与 AINN 之间直接使用 1nF 至 10nF 的电容器。必须使用低 k 电介质（例如 COG 或者薄膜类型）来保持低 THD。可以使用从每个模拟输入到接地的电容器。这些电容器不得大于差分电容器尺寸的 1/10（通常为 100pF），以保持交流共模性能。
7. **元件放置：**将电源、模拟输入及基准输入旁路电容器尽可能靠近器件引脚放置。此布局对于值较小的陶瓷电容器尤其重要。与较小的陶瓷电容器相比，较大的（大容量）去耦电容器距离器件更远。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

图 7-2 说明了器件的噪声（也即 SNR）如何由所使用的模式确定。

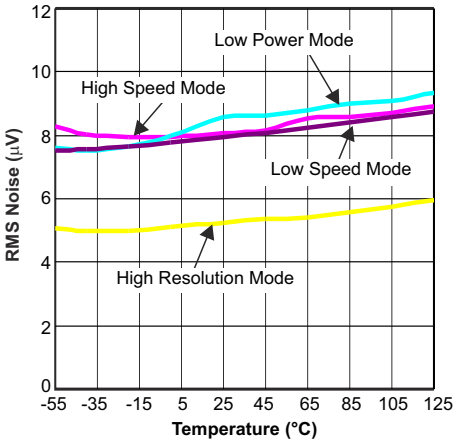


图 7-2. 噪声与温度间的关系

7.3 电源相关建议

ADS1278QML-SP 有三个电源：AVDD、DVDD 和 IOVDD。AVDD 是为调制器供电的模拟电源，DVDD 是为数字内核供电的数字电源，IOVDD 是数字 I/O 电源。如果需要，可将 IOVDD 和 DVDD 电源连接在一起 (1.8V)。为了达到额定性能，必须将 0.1 µ F 和 10 µ F 电容器尽可能靠近电源引脚放置，以旁路掉电源。可以用单个 10 µ F 陶瓷电容器替代两个电容器。

图 7-3 显示了 ADS1278QML-SP 的启动序列。上电时，首先启动 DVDD 电源，然后是 IOVDD，最后是 AVDD。检查电源序列的顺序是否正确，包括每个电源的斜升速率。如果电源连接在一起，则可以对 DVDD 和 IOVDD 同时进行时序控制。每个电源都有一个内部复位电路，其输出相加可生成全局上电复位。电源超过复位阈值后，在转换器启动转换过程之前会对 2^{18} f_{CLK} 周期进行计数。在 CLK 周期之后， ADS1278QML-SP 抑制 129 次转换的数据，从而能够输出完全稳定的数据。在 SPI 协议中，$\overline{DRDY}$ 在此间隔内保持高电平。在帧同步协议中，DOUT 被强制为零。必须在驱动任何模拟或数字引脚之前施加电源。为了获得一致的性能，请在器件上电后首次显示数据时将 $\overline{SYNC}$ 置为有效。

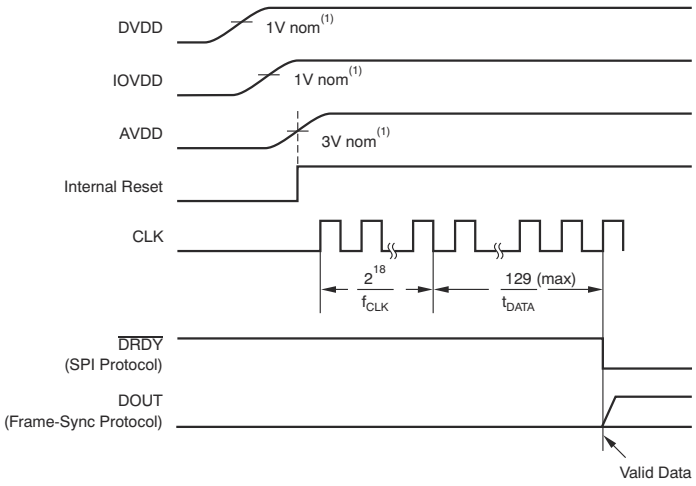


图 7-3. 启动序列

Copyright © 2026 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

在任何混合信号系统设计中，电源和接地设计都发挥着重要作用。该器件会区分两个不同的接地端：AVSS（模拟地）及 DGND（数字地）。在使用热电偶进行温度感测等低频应用中，布置印刷电路板 (PCB) 以使用单个接地层已经足够，但必须注意避免接地回路。接地环路充当环路天线，接收会转换为电压波动的干扰电流。这些波动实际上是噪声，会降低高分辨率应用中的系统性能。在接地平面上放置元件和布线时，请密切注意接地电流所走的路径。避免数字功能的返回电流通过靠近模拟敏感器件或者布线的位置。

此外，数字器件靠近模拟信号链可能会在系统中引起不必要的噪声。噪声的一个主要来源是任何数字电路（例如数据输出串行器或者接收数据的微处理器）的开关噪声。对于该器件，必须注意验证器件内模拟电源和数字电源之间的交互是否保持在尽可能低的水平。数字和模拟部分耦合和传输的噪声范围取决于每个电源及接地连接的有效电感。电源和接地引脚的有效电感越小，噪声抑制效果越好。因此，多个引脚用于连接到数字接地端。在整个 PCB 布局设计过程中，必须使用适当的平面和层厚度来保持低电感特性。

为避免通过电源引脚产生噪声耦合，TI 建议使敏感输入引脚远离 DVDD 和 DGND 平面。请勿将连接到这些引脚的布线或过孔穿过这些平面；也就是说，避免在模拟输入引脚下方出现数字电源平面。必须注意尽可能减少电感并使数字信号远离模拟部分。

模拟输入表示 ADC 的最敏感节点，因为总系统精度取决于保持此信号完整性的程度。ADC 的模拟差分输入布线必须紧密耦合且对称，以实现共模抑制。这些输入的长度必须尽可能短，以更大限度地减少暴露于潜在噪声源的情况。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 布局示例

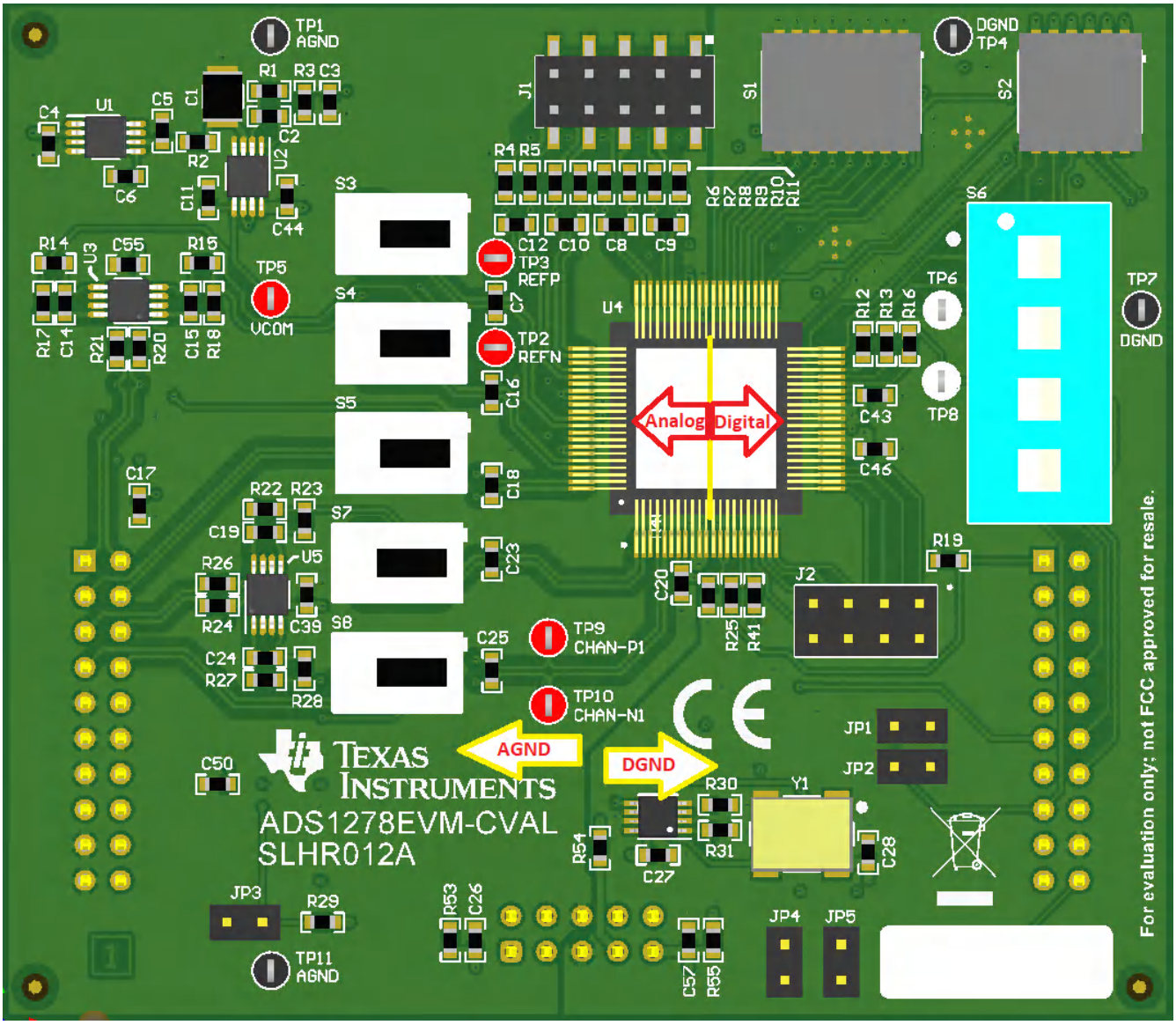


图 7-4. ADS1278QML-SP 布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 社区资源

8.3 商标

SPI™ is a trademark of Motorola, Inc.
所有商标均为其各自所有者的财产。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
January 2026	*	初始发行版

Copyright © 2026 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962L2521001VXC	Active	Production	null (null) |	72 | SMALL T&R	ROHS Exempt	Call TI	Call TI	-55 to 125	5962L2521001VXC ADS1278-SP
ADS1278QMLV/EM	Active	Production	CFP (HFQ) | 84	72 | SMALL T&R	ROHS Exempt	Call TI	Call TI	-55 to 125	ADS1278QML/EM EVAL ONLY

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

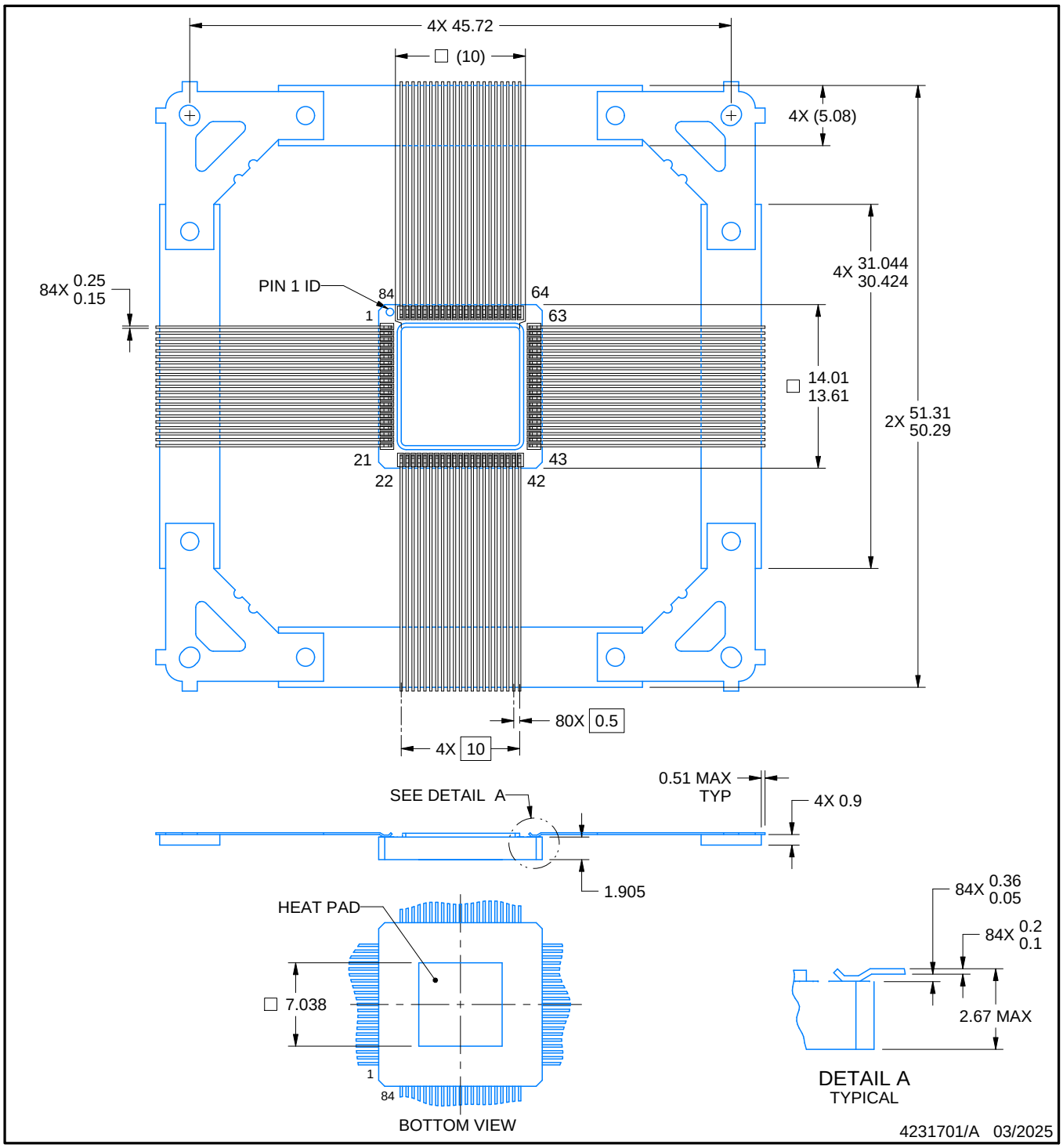
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

HFQ0084A

PACKAGE OUTLINE

CFP - 2.67 mm max height

CFP



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Ceramic quad flatpack with flat leads brazed to non-conductive tie bar carrier.
4. This package is hermetically sealed with a metal lid.
5. The leads are gold plated and can be solder dipped.
6. The lid and the heat sink are connected to ground leads.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月