

ADS1x4S1x 具有 PGA、电压基准、序列发生器、数字比较器和 SPI 的 16 位和 24 位、8 通道和 18 通道 128kSPS Δ - Σ ADC

1 特性

- 低功耗 (低至 64 μ A)
- 宽电源电压范围：
 - 模拟：1.74V 至 3.6V
 - 数字：1.65V 至 5.25V
- 可编程增益: 0.5 至 256
- 可编程数据速率 (高达 128kSPS) 和速度模式，用于权衡功耗和噪声性能
- 使用单周期趋稳数字滤波器在 20SPS 或 25SPS 下实现同步 50Hz 和 60Hz 抑制
- 具有 8 (ADS1x4S14) 或 18 (ADS1x4S18) 独立可选输入的模拟多路复用器
- 双匹配可编程电流源
- 内部可编程电压基准：1.25V 或 2.5V，漂移为 35ppm/ $^{\circ}$ C (最大)
- 内部 1% (最大) 高精度振荡器
- 内部温度传感器
- 八个通用 I/O (可配置为推挽或开漏输出)
- 具有 24 个可独立编程配置、数字比较器的序列发生器
- SPI 兼容接口，具有可选的 CRC 和菊花链功能

2 应用

- 现场发送器：
 - 温度、压力、应变、流量
- PLC 和 DCS 模拟输入模块
- 温度控制器
- 患者监护系统

3 说明

ADS1x4S1x 是精密低功耗 16 位和 24 位模数转换器 (ADC)，提供了许多集成功能，可降低最常见传感器测量应用中的系统成本和元件数量。该器件通过灵活的输入多路复用器 (MUX)、低噪声可编程增益放大器 (PGA)、可编程低漂移电压基准、两个可编程激励电流源、振荡器和温度传感器实现多达 18 个模拟输入。

四种速度模式以及 3.9SPS 至 128kSPS 的可编程输出数据速率，可优化每种应用的功耗和噪声性能。

封装信息

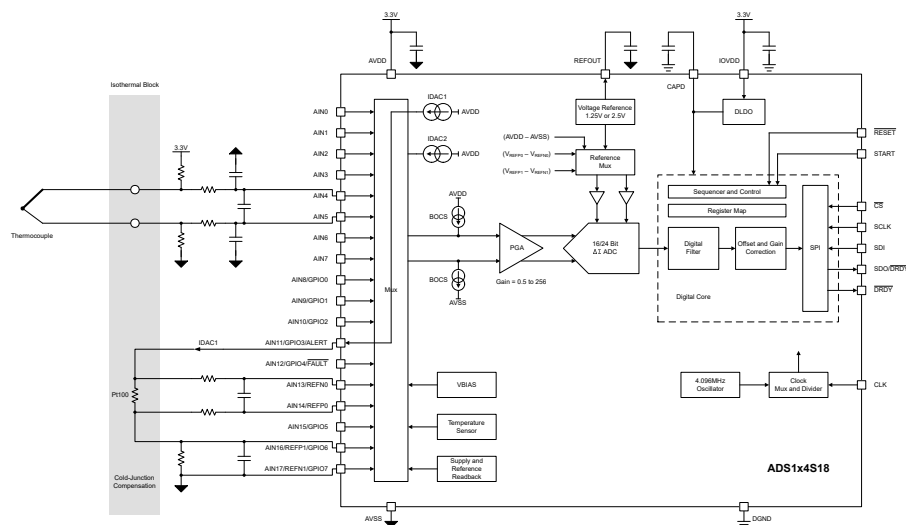
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADS1x4S1x	PBS (TQFP, 32)	7.00mm $\times$ 7.00mm

(1) 有关更多信息，请参阅[机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 $\times$ 宽) 为标称值，并包括引脚 (如适用)。

表 3-1. 器件信息

器件型号	分辨率	模拟输入
ADS114S14	16 位	8
ADS114S18	16 位	18
ADS124S14	24 位	8
ADS124S18	24 位	18



使用 2 线 Pt100 RTD 通过冷端补偿
进行 K 型热电偶测量



内容

1 特性	1	7.5.3 串行接口通信结构	71
2 应用	1	7.5.4 器件命令	74
3 说明	1	7.5.5 连续读取模式	77
4 引脚配置和功能	3	7.5.6 菊花链运行	80
5 规格	7	7.5.7 3 线 SPI 模式	82
5.1 绝对最大额定值	7	7.5.8 监控新转换数据	82
5.2 ESD 等级	7	7.5.9 DRDY 引脚行为	84
5.3 建议运行条件	8	7.5.10 寄存器映射 CRC	87
5.4 热性能信息	8	7.5.11 转换数据格式	88
5.5 电气特性	9	8 寄存器映射	89
5.6 时序要求	16	8.1 状态和通用配置页面寄存器	90
5.7 开关特性	16	8.2 步骤配置页面寄存器	119
5.8 计时示意图	16	9 应用和实施	145
5.9 典型特性	17	9.1 应用信息	145
6 参数测量信息	18	9.1.1 串行接口连接	145
6.1 噪声性能	18	9.1.2 未使用的输入和输出	146
7 详细说明	35	9.1.3 连接多个器件	147
7.1 概述	35	9.1.4 器件初始化和启动序列发生器	148
7.2 功能方框图	35	9.1.5 序列发生器配置策略示例	150
7.3 特性说明	36	9.2 典型应用	151
7.3.1 模拟输入和多路复用器	36	9.2.1 软件可配置 RTD 测量输入	151
7.3.2 可编程增益放大器 (PGA)	38	9.2.2 使用 2 线 RTD 通过冷端补偿进行热电偶测量	156
7.3.3 电压基准	38	9.2.3 具有温度补偿的电阻式电桥传感器测量	157
7.3.4 功率可扩展速度模式	39	9.2.4 自主电源监控	159
7.3.5 时钟源	39	9.3 电源相关建议	162
7.3.6 Δ - Σ 调制器	40	9.3.1 电源	162
7.3.7 数字滤波器	40	9.3.2 电源排序	162
7.3.8 激励电流源 (IDAC)	51	9.3.3 电源去耦	162
7.3.9 烧毁电流源 (BOCS)	51	9.4 布局	163
7.3.10 偏置电压发生器 (VBIAS)	51	9.4.1 布局指南	163
7.3.11 通用 IO (GPIO)	52	9.4.2 布局示例	163
7.3.12 偏移和增益校准系数	52	10 器件和文档支持	165
7.3.13 数字比较器	54	10.1 相关文档	165
7.3.14 系统监控器	55	10.2 接收文档更新通知	165
7.3.15 监控器和状态标志	57	10.3 支持资源	165
7.4 器件功能模式	60	10.4 商标	165
7.4.1 上电和复位	60	10.5 静电放电警告	165
7.4.2 工作模式	62	10.6 术语表	165
7.5 编程	69	11 修订历史记录	165
7.5.1 串行接口 (SPI)	69	12 机械、封装和可订购信息	165
7.5.2 串行接口信号	69		

4 引脚配置和功能

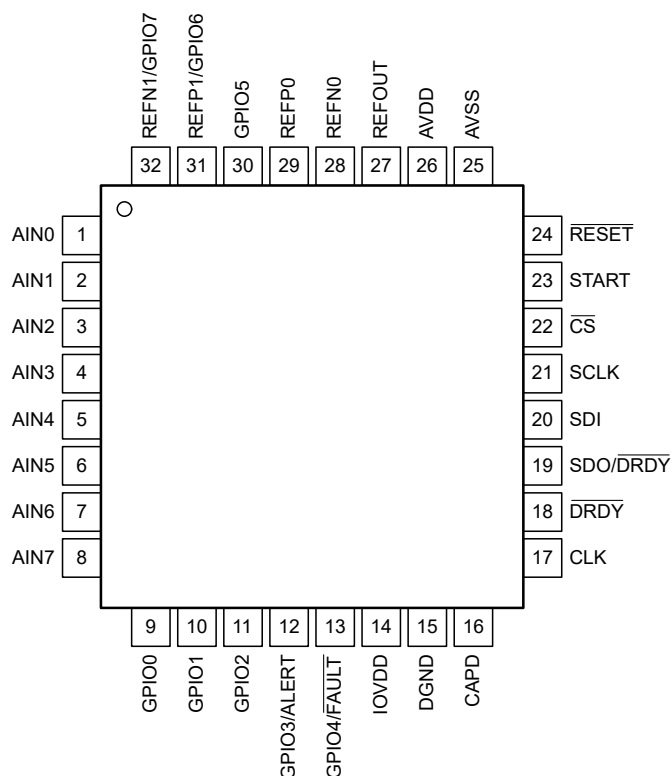


图 4-1. ADS1x4S14，PBS 封装，
32 引脚 TQFP，顶视图

表 4-1. ADS1x4S14 引脚功能

引脚		类型	说明 ⁽¹⁾
名称	编号		
AIN0	1	模拟输入	模拟输入 0
AIN1	2	模拟输入	模拟输入 1
AIN2	3	模拟输入	模拟输入 2
AIN3	4	模拟输入	模拟输入 3
AIN4	5	模拟输入	模拟输入 4
AIN5	6	模拟输入	模拟输入 5
AIN6	7	模拟输入	模拟输入 6
AIN7	8	模拟输入	模拟输入 7
AVDD	26	模拟电源	正模拟电源。将 100nF 电容器连接至 AVSS。
AVSS	25	模拟电源	负模拟电源。
CAPD	16	数字电源	内部 DLDO 输出。将 100nF 电容器连接至 DGND。
CLK	17	数字输入	外部时钟输入 ⁽⁵⁾
CS	22	数字输入	芯片选择输入。低电平有效。 ⁽⁵⁾
DGND	15	接地	数字接地
DRDY	18	数字输出	数据就绪输出 ^{(3) (5)}
GPIO0	9	数字 IO	通用数字输入/输出 0 ^{(2) (4)}
GPIO1	10	数字 IO	通用数字输入/输出 1 ^{(2) (4)}

表 4-1. ADS1x4S14 引脚功能 (续)

引脚		类型	说明 ⁽¹⁾
名称	编号		
GPIO2	11	数字 IO	通用数字输入/输出 2 ^{(2) (4)}
GPIO3/ALERT	12	数字 IO	通用数字输入/输出 3。 ^{(2) (4)} 引脚可配置为专用数字比较器 ALERT 输出。
GPIO4/FAULT	13	数字 IO	通用数字输入/输出 4。 ^{(2) (4)} 引脚可配置为专用 FAULT 输出。
GPIO5	30	数字 IO	通用数字输入/输出 5 ^{(2) (4)}
IOVDD	14	数字电源	数字电源。将 100nF 电容器连接至 DGND。
REFN0	28	模拟输入	负外部基准输入 0
REFN1/ GPIO7	32	模拟输入/ 数字 IO	负外部基准输入 1。 通用数字输入/输出 7。 ^{(2) (4)}
REFOUT	27	模拟输出	内部电压基准输出。将 100nF 电容器连接至 AVSS。
REFP0	29	模拟输入	正外部基准输入 0
REFP1/ GPIO6	31	模拟输入/ 数字 IO	正外部基准输入 1。 通用数字输入/输出 6。 ^{(2) (4)}
RESET	24	数字输入	复位输入。低电平有效。连接至 IOVDD 的内部 20k Ω 上拉电阻。 ⁽⁵⁾
SCLK	21	数字输入	串行数据时钟输入 ⁽⁵⁾
SDI	20	数字输入	串行数据输入 ⁽⁵⁾
SDO/DRDY	19	数字输出	串行数据输出和数据就绪指示 ^{(3) (5)}
启动	23	数字输入	转换启动控制输入 ⁽⁵⁾

(1) 有关如何连接未使用的引脚的详细信息，请参阅 [未使用的输入和输出](#) 一节。

(2) 可配置为推挽或漏极开路输出。

(3) 推挽式输出。

(4) 以 AVDD 为基准的逻辑电平。

(5) 以 IOVDD 为基准的逻辑电平。

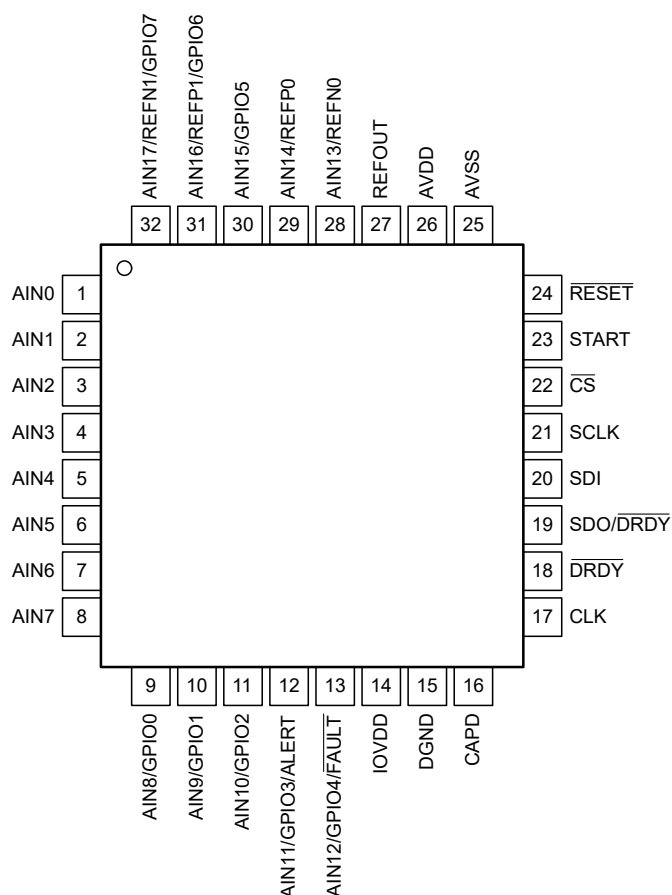


图 4-2. ADS1x4S18，PBS 封装，
32 引脚 TQFP，顶视图

表 4-2. ADS1x4S18 引脚功能

引脚		类型	说明 ⁽¹⁾
名称	编号		
AIN0	1	模拟输入	模拟输入 0
AIN1	2	模拟输入	模拟输入 1
AIN2	3	模拟输入	模拟输入 2
AIN3	4	模拟输入	模拟输入 3
AIN4	5	模拟输入	模拟输入 4
AIN5	6	模拟输入	模拟输入 5
AIN6	7	模拟输入	模拟输入 6
AIN7	8	模拟输入	模拟输入 7
AIN8/ GPIO0	9	模拟输入/ 数字 IO	模拟输入 8。 通用数字输入/输出 0。(2) (4)
AIN9/ GPIO1	10	模拟输入/ 数字 IO	模拟输入 9。 通用数字输入/输出 1。(2) (4)
AIN10/ GPIO2	11	模拟输入/ 数字 IO	模拟输入 10。 通用数字输入/输出 2。(2) (4)
AIN11/ GPIO3/ALERT	12	模拟输入/ 数字 IO	模拟输入 11。 通用数字输入/输出 3。(2) (4) 引脚可配置为专用数字比较器 ALERT 输出。

表 4-2. ADS1x4S18 引脚功能 (续)

引脚		类型	说明 ⁽¹⁾
名称	编号		
AIN12/ GPIO4/FAULT	13	模拟输入/ 数字 IO	模拟输入 12。 通用数字输入/输出 4。 ^{(2) (4)} 引脚可配置为专用 FAULT 输出。
AIN13/REFN0	28	模拟输入	模拟输入 13。负外部基准输入 0。
AIN14/REFP0	29	模拟输入	模拟输入 14。正外部基准输入 0。
AIN15/ GPIO5	30	模拟输入/ 数字 IO	模拟输入 15。 通用数字输入/输出 5。 ^{(2) (4)}
AIN16/REFP1/ GPIO6	31	模拟输入/ 数字 IO	模拟输入 16。正外部基准输入 1。 通用数字输入/输出 6。 ^{(2) (4)}
AIN17/REFN1/ GPIO7	32	模拟输入/ 数字 IO	模拟输入 17。负外部基准输入 1。 通用数字输入/输出 7。 ^{(2) (4)}
AVDD	26	模拟电源	正模拟电源。将 100nF 电容器连接至 AVSS。
AVSS	25	模拟电源	负模拟电源。
CAPD	16	数字电源	内部 DLDO 输出。将 100nF 电容器连接至 DGND。
CLK	17	数字输入	外部时钟输入 ⁽⁵⁾
CS	22	数字输入	芯片选择输入。低电平有效。 ⁽⁵⁾
DGND	15	接地	数字接地
DRDY	18	数字输出	数据就绪输出 ^{(3) (5)}
IOVDD	14	数字电源	数字电源。将 100nF 电容器连接至 DGND。
REFOUT	27	模拟输出	内部电压基准输出。将 100nF 电容器连接至 AVSS。
RESET	24	数字输入	复位输入。低电平有效。连接至 IOVDD 的内部 20k Ω 上拉电阻。 ⁽⁵⁾
SCLK	21	数字输入	串行数据时钟输入 ⁽⁵⁾
SDI	20	数字输入	串行数据输入 ⁽⁵⁾
SDO/DRDY	19	数字输出	串行数据输出和数据就绪指示 ^{(3) (5)}
启动	23	数字输入	转换启动控制输入 ⁽⁵⁾

(1) 有关如何连接未使用的引脚的详细信息，请参阅 [未使用的输入和输出](#) 一节。

(2) 可配置为推挽或漏极开路输出。

(3) 推挽式输出。

(4) 以 AVDD 为基准的逻辑电平。

(5) 以 IOVDD 为基准的逻辑电平。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	-0.3	5	V
	AVSS 至 DGND	-2.5	0.3	V
	IOVDD 至 DGND	-0.3	5.5	V
	IOVDD 至 AVSS		8	V
模拟输入电压	AINx、REFPx、REFNx	AVSS - 0.3	AVDD + 0.3	V
数字输入电压	GPIOx	AVSS - 0.3	AVDD + 0.3	V
数字输入电压	CS、SCLK、SDI、SDO/DRDY、DRDY、RESET、CLK、START	DGND - 0.3	IOVDD + 0.3	V
输入电流	连续, 除电源引脚外的任何引脚	-10	10	mA
温度	结温, T _J		140	°C
	贮存温度, T _{stg}	-60	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±750	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源						
	模拟电源 (单极、AVSS = DGND)	AVDD 至 AVSS , I _{IDAC} ≤ 500μA	1.74		3.6	V
		AVDD 至 AVSS , I _{IDAC} > 500μA , 或内部 V _{REF} = 2.5V	2.7		3.6	
	模拟电源 (双极)	AVDD 至 AVSS , I _{IDAC} ≤ 500μA	1.74		3.6	V
		AVDD 至 AVSS , I _{IDAC} > 500μA , 或内部 V _{REF} = 2.5V	2.7		3.6	
		AVDD 至 DGND	0.85			
		AVSS 至 DGND	-1.2 × AVDD		0	
	数字电源	IOVDD 至 DGND	1.65		5.25	V
模拟输入 ⁽¹⁾						
V _{AINx}	绝对输入电压	增益 = 0.5 至 10	AVSS		AVDD - 0.35	V
		增益 = 16 至 256	AVSS + 0.35		AVDD - 0.4	
V _{IN}	差动输入电压 ⁽²⁾	单极标准二进制编码	0		V _{REF} /增益	V
		二进制补码编码	- V _{REF} /增益		V _{REF} /增益	
电压基准输入						
V _{REF}	差分基准输入电压	V _{REF} = (V _{REFPx} - V _{REFNx})	0.5		AVDD	V
V _{REFNx}	绝对负基准电压	负基准缓冲器已禁用	AVSS - 0.05			V
		负基准缓冲器已启用	AVSS + 0.1			V
V _{REFPx}	绝对正基准电压	正基准缓冲器已禁用			AVDD + 0.05	V
		正基准缓冲器已启用			AVDD - 0.1	V
外部时钟源 ⁽³⁾						
f _{CLK}	外部时钟频率		3	4.096	4.15	MHz
	占空比		40	50	60	%
通用输入 (GPIO)						
	输入电压		AVSS		AVDD	V
数字输入 (GPIO 以外)						
	输入电压		DGND		IOVDD	V
温度范围						
	额定环境温度		-40		125	°C
T _A	工作环境温度		-50		125	°C

(1) A_{INP} 和 A_{INN} 表示 PGA 正输入和负输入。任何可用的模拟输入 (A_{INx}) 均可通过输入多路复用器选择为 A_{INP} 或 A_{INN} 。

(2) $V_{IN} = (V_{AINP} - V_{AINN})$. 排除失调电压误差和增益误差的影响。

(3) 使用内部振荡器时, 不需要外部时钟。

5.4 热性能信息

热指标 ⁽¹⁾		TQFP (PBS)	单位
		32 引脚	
$R_{\theta JA}$	结至环境热阻	63.2	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	21.2	°C/W
$R_{\theta JB}$	结至电路板热阻	34.4	°C/W
Ψ_{JT}	结至顶部特征参数	0.6	°C/W
Ψ_{JB}	结至电路板特征参数	34.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

最小值和最大值规格的适用条件 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为 $AVDD = 1.74\text{V}$ 至 3.6V ， $IOVDD = 1.65\text{V}$ 至 5.25V ， $AVSS = \text{DGND}$ 、内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
	绝对输入电流 ⁽¹⁾	所有增益，f _{DATA} = 20SPS 或 25SPS， 全局斩波已启用或禁用， V _{AINx(MIN)} ≤ V _{AINx} ≤ V _{AINx(MAX)} ，V _{IN} = 0V	-2	±0.3	2	nA
	绝对输入电流漂移 ⁽¹⁾	所有增益，f _{DATA} = 20SPS 或 25SPS， 全局斩波已启用或禁用， V _{AINx(MIN)} ≤ V _{AINx} ≤ V _{AINx(MAX)} ，V _{IN} = 0V		2		pA/°C
	差分输入电流 ⁽¹⁾	所有增益，f _{DATA} = 20SPS 或 25SPS， 全局斩波已启用或禁用， V _{CM} = (AVDD + AVSS)/2， -V _{REF} /增益 ≤ V _{IN} ≤ V _{REF} /增益	-1	±0.1	1	nA
	差分输入电流漂移 ⁽¹⁾	所有增益，f _{DATA} = 20SPS 或 25SPS， 全局斩波已启用或禁用， V _{CM} = (AVDD + AVSS)/2， -V _{REF} /增益 ≤ V _{IN} ≤ V _{REF} /增益		2		pA/°C
PGA						
	增益设置		0.5、1、2、4、 5、8、10、 16、20、32、 50、64、100、 128、200、256			
系统性能						
	分辨率（无代码丢失）	ADS114S1x	16			位
		ADS124S1x	24			
f _{DATA}	输出数据速率	速度模式 0 (f _{MOD} = 32kHz)	3.9		4k	SPS
		速度模式 1 (f _{MOD} = 256kHz)	10		32k	
		速度模式 2 (f _{MOD} = 512kHz)	10		64k	
		速度模式 3 (f _{MOD} = 1024kHz)	10		128k	
INL	积分非线性	V _{CM} = (AVDD + AVSS)/2，最佳拟合		5	15	ppm _{FSR}
V _{IO}	输入偏移电压	T _A = 25°C，增益 ≤ 1，禁用全局斩波	-350	±50	350	μV
		T _A = 25°C，增益 = 2 至 10，禁用全局斩波	-200	±20	200	
		T _A = 25°C，增益 ≥ 16，禁用全局斩波	-50	±10	50	
		T _A = 25°C，增益 ≤ 1，启用全局斩波	-6	±0.5	6	
		T _A = 25°C，增益 ≥ 2，启用全局斩波	-2.5	±0.2	2.5	
	偏移漂移	增益 ≤ 10，禁用全局斩波		50	300	nV/°C
		增益 ≥ 16，禁用全局斩波		20	125	
		增益 ≤ 1，启用全局斩波		10	50	
		增益 ≥ 2，启用全局斩波		2	20	
	增益误差	T _A = 25°C，所有增益，外部基准	-0.08	±0.01	0.08	%
	增益漂移	所有增益，外部基准		0.5	2.5	ppm/°C
	噪声（输入参考）		请参阅 噪声性能 部分			
CMRR	共模抑制比	在直流		120		dB
		f _{CM} = 50Hz 或 60Hz (±1Hz)， f _{DATA} = 10SPS、20SPS 或 25SPS		130		
		f _{CM} = 50Hz (±1Hz)，f _{DATA} = 10SPS，16.7SPS 或 50SPS		130		
		f _{CM} = 60Hz (±1Hz)，f _{DATA} = 10SPS 或 60SPS		130		
		f _{CM} = 50Hz 或 60Hz (±1Hz)、f _{DATA} > 60SPS		120		

ADS114S14, ADS114S18, ADS124S14, ADS124S18

ZHDS348 – AUGUST 2026

最小值和最大值规格的适用条件 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为 $AVDD = 1.74\text{V}$ 至 3.6V ， $IOVDD = 1.65\text{V}$ 至 5.25V ， $AVSS = \text{DGND}$ 、内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位	
PSRR	电源抑制比	AVDD 为直流		115		dB	
		IOVDD 为直流		120			
NMRR	常模抑制比	f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 10SPS , sinc3	92	102		dB	
		f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 10SPS, sinc3 , 外部 f _{CLK} = 4.096MHz	102				
		f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 10SPS , sinc4	122	136			
		f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 10SPS, sinc4 , 外部 f _{CLK} = 4.096MHz	136				
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 16.7SPS , sinc3	91	102			
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 16.7SPS , sinc3, 外部 f _{CLK} = 4.096MHz	102				
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 16.7SPS , sinc4	121	135			
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 16.7SPS , sinc4, 外部 f _{CLK} = 4.096MHz	135				
		f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 20SPS	83	95			
		f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 20SPS , 外部 f _{CLK} = 4.096MHz	95				
		f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 25SPS	58	63			
		f _{IN} = 50Hz 或 60Hz (±1Hz) , f _{DATA} = 25SPS , 外部 f _{CLK} = 4.096MHz	63				
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 50SPS , sinc3	91	101			
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 50SPS , sinc3, 外部 f _{CLK} = 4.096MHz	101				
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 50SPS , sinc4	121	135			
		f _{IN} = 50Hz (±1Hz) , f _{DATA} = 50SPS , sinc4, 外部 f _{CLK} = 4.096MHz	135				
		f _{IN} = 60Hz (±1Hz) , f _{DATA} = 60SPS , sinc3	91	103			
		f _{IN} = 60Hz (±1Hz) , f _{DATA} = 60SPS , sinc3, 外部 f _{CLK} = 4.096MHz	103				
		f _{IN} = 60Hz (±1Hz) , f _{DATA} = 60SPS , sinc4	122	137			
		f _{IN} = 60Hz (±1Hz) , f _{DATA} = 60SPS , sinc4, 外部 f _{CLK} = 4.096MHz	137				
电压基准输入							
	绝对输入电流	禁用基准缓冲器，速度模式 0 ⁽²⁾	-2	±1	2	μA/V	
		禁用基准缓冲器，速度模式 1 ⁽²⁾	-7	±6	7		
		禁用基准缓冲器，速度模式 2 ⁽²⁾	-8	±7	8		
		禁用基准缓冲器，速度模式 3 ⁽²⁾	-9	±8	9		
		启用基准缓冲器，速度模式 0	-2	±0.2	2	nA	
		启用基准缓冲器，速度模式 1		4	9		
		启用基准缓冲器，速度模式 2		9	17		
		启用基准缓冲器，速度模式 3		17	33		
内部电压基准							
V _{REF}	输出电压	(AVDD - AVSS) < 2.7V		1.25		V	
		(AVDD - AVSS) ≥ 2.7V		1.25、2.5			
	精度	T _A = 25°C	-0.1	±0.01	0.1	%	
	温度漂移			14	35	ppm/°C	
	输出电流	V _{REF} = 1.25V，灌电流或拉电流	-5		5	mA	
		V _{REF} = 2.5V，(AVDD - AVSS) ≥ 2.75V，灌电流或拉电流	-10		5		

最小值和最大值规格的适用条件 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为 $\text{AVDD} = 1.74\text{V}$ 至 3.6V ， $\text{IOVDD} = 1.65\text{V}$ 至 5.25V ， $\text{AVSS} = \text{DGND}$ 、内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I _{REF_SC}	短路电流限制	灌电流或源		±30		mA
PSRR	电源抑制比	AVDD 为直流		90		dB
	负载调整	负载电流 = - 5mA 至 0mA (拉电流)		75		μV/mA
	容性负载稳定性		50	100	1300	nF
	基准噪声	f = 0.1Hz 至 10Hz，REFOUT 上的 100nF 电容器		4		ppm _{pp}
	启动时间	从断电模式，REFOUT 上的 100nF 电容器，0.01% 趋稳			10	ms
内部振荡器						
f _{OSC}	频率			4.096		MHz
	精度		-1		1	%
温度传感器						
T _{Offset}	输出电压	T _A = 25°C		120		mV
T _{TC}	温度系数			400		μV/°C
VBIAS						
	输出电压			(AVDD + AVSS)/2		V
	容性负载驱动能力	在启用 VBIAS 时，连接至各模拟输入端的全部电容器总和。			10	μF
	输出阻抗			200	300	Ω
烧毁电流源 (BOCS)						
	电流设置			0.2、1、10		μA
	精度	灌电流和拉电流		±2		%
激励电流源 (IDAC)						
	电流设置	IDAC 单位电流 = 1μA		1 至 100		μA
		IDAC 单位电流 = 10μA，(AVDD - AVSS) < 2.7V		10 至 500		
		IDAC 单位电流 = 10μA，(AVDD - AVSS) ≥ 2.7V		10 至 1000		
	顺从电压	I _{IDAC} < 100μA，电流相对于 (AVDD - 1V) 的变化小于 1%	AVSS		AVDD - 0.3	V
		I _{IDAC} ≥ 100μA，电流相对于 (AVDD - 1V) 的变化小于 1%	AVSS		AVDD - 0.4	
	精度	T _A = 25°C	-3	±0.4	3	%
	IDAC 之间电流不匹配	I _{IDAC} ≤ 10μA，IDAC1 和 IDAC2 设置为相同的值，T _A = 25°C		0.5	1.5	%
		I _{IDAC} ≥ 20μA，IDAC1 和 IDAC2 设置为相同的值，T _A = 25°C		0.05	0.3	
	温度漂移			25	150	ppm/°C
	温度漂移匹配	I _{IDAC} ≤ 10μA，IDAC1 和 IDAC2 设置为相同的值		10	50	ppm/°C
		I _{IDAC} ≥ 20μA，IDAC1 和 IDAC2 设置为相同的值		1	10	
监测器						
TH _{IOVDD_POR}	IOVDD POR 释放阈值			1.55		V
TH _{AVDD_UV}	AVDD 欠压阈值 ⁽³⁾		1.2		1.5	V
TH _{REF_UV}	基准欠压阈值 ⁽³⁾	REF_UV_SEL = 0b	0.45		0.65	V
		REF_UV_SEL = 1b	0.9		1.1	
	系统监控器电压回读精度	(AVDD - AVSS) / 8		±0.5		%
		(IOVDD - DGND) / 8		±0.5		
		V _{DLDO} / 4		±0.5		
		(V _{REFPx} - V _{REFNx}) / 8		±0.5		

ADS114S14, ADS114S18, ADS124S14, ADS124S18

ZHDS348 – AUGUST 2026

最小值和最大值规格的适用条件 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为 $AVDD = 1.74\text{V}$ 至 3.6V ， $IOVDD = 1.65\text{V}$ 至 5.25V ， $AVSS = \text{DGND}$ 、内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用输入/输出 (GPIO)					
V_{IL}	逻辑输入电平, 低	$AVSS$	$AVSS + 0.3$ ($AVDD - AVSS$)		V
V_{IH}	逻辑输入电平, 高	$AVSS + 0.7$ ($AVDD - AVSS$)		$AVDD$	V
V_{OL}	逻辑输出电平, 低	$AVSS$	$AVSS + 0.2$ ($AVDD - AVSS$)		V
V_{OH}	逻辑输出电平, 高	$AVSS + 0.8$ ($AVDD - AVSS$)		$AVDD$	V
	输入迟滞		10		mV
数字输入/输出					
V_{IL}	逻辑输入电平, 低	DGND		$0.3 IOVDD$	V
V_{IH}	逻辑输入电平, 高	$0.7 IOVDD$		$IOVDD$	V
V_{OL}	逻辑输出电平, 低	DGND		$0.2 IOVDD$	V
V_{OH}	逻辑输出电平, 高	$0.8 IOVDD$		$IOVDD$	V
	输入迟滞		180		mV
	输入电流	$DGND \leq V_{\text{Digital Input}} \leq IOVDD$	-1	1	μA

最小值和最大值规格的适用条件 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为 $AVDD = 1.74\text{V}$ 至 3.6V ， $IOVDD = 1.65\text{V}$ 至 5.25V ， $AVSS = \text{DGND}$ 、内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模拟电源电流 (AVDD = 3.3V、AVSS = DGND、外部基准、禁用基准缓冲器、禁用 IDAC、VIN = 0V)					
IAVDD	模拟电源电流	断电模式	0.7	4	μA
		待机模式	15	25	
		转换模式，速度模式 0，增益 = 0.5 至 2	60	68	
		转换模式，速度模式 0，增益 = 4 和 5	61	71	
		转换模式，速度模式 0，增益 = 8 至 50	68	78	
		转换模式，速度模式 0，增益 = 64 至 256	63	73	
		转换模式，速度模式 1，增益 = 0.5 至 2	155	175	
		转换模式，速度模式 1，增益 = 4 和 5	180	200	
		转换模式，速度模式 1，增益 = 8 至 50	225	255	
		转换模式，速度模式 1，增益 = 64 至 256	280	310	
		转换模式，速度模式 2，增益 = 0.5 至 2	345	380	
		转换模式，速度模式 2，增益 = 4 和 5	390	430	
		转换模式，速度模式 2，增益 = 8 至 50	485	540	
		转换模式，速度模式 2，增益 = 64 至 256	705	790	
		转换模式，速度模式 3，增益 = 0.5 至 2	600	655	
		转换模式，速度模式 3，增益 = 4 和 5	705	780	
		转换模式，速度模式 3，增益 = 8 至 50	935	1050	
		转换模式，速度模式 3，增益 = 64 至 256	1155	1300	
每个功能的额外模拟电源电流 (AVDD = 3.3V，VREF = 2.5V)					
IAVDD	模拟电源电流	内部电压基准，速度模式 0	4.5	6	μA
		内部电压基准，速度模式 1	25	28	
		内部电压基准，速度模式 2	35	40	
		内部电压基准，速度模式 3	65	75	
		启用 REFP 或 REFN 缓冲器，速度模式 0	4.5	6	
		启用 REFP 或 REFN 缓冲器，速度模式 1	25	28	
		启用 REFP 或 REFN 缓冲器，速度模式 2	35	40	
		启用 REFP 或 REFN 缓冲器，速度模式 3	65	75	
		启用 REFP 和 REFN 缓冲器，速度模式 0	6.5	9	
		启用 REFP 和 REFN 缓冲器，速度模式 1	32	40	
		启用 REFP 和 REFN 缓冲器，速度模式 2	50	60	
		启用 REFP 和 REFN 缓冲器，速度模式 3	102	120	
		IDAC 开销，IDAC 单位电流 = 1μA	4	6	
		IDAC 开销，IDAC 单位电流 = 10μA	14	20	
		VBIAS (空载)	11	18	

ADS114S14, ADS114S18, ADS124S14, ADS124S18

ZHDS348 – AUGUST 2026

最小值和最大值规格的适用条件 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为 $AVDD = 1.74\text{V}$ 至 3.6V ， $IOVDD = 1.65\text{V}$ 至 5.25V ， $AVSS = \text{DGND}$ 、内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模拟电源电流 (AVDD = 1.8V、AVSS = DGND、外部基准、禁用基准缓冲器、禁用 IDAC、VIN = 0V)					
IAVDD	模拟电源电流	断电模式	0.5	4	μA
		待机模式	12	22	
		转换模式，速度模式 0，增益 = 0.5 至 2	55	63	
		转换模式，速度模式 0，增益 = 4 和 5	57	66	
		转换模式，速度模式 0，增益 = 8 至 50	63	73	
		转换模式，速度模式 0，增益 = 64 至 256	59	68	
		转换模式，速度模式 1，增益 = 0.5 至 2	140	170	
		转换模式，速度模式 1，增益 = 4 和 5	160	190	
		转换模式，速度模式 1，增益 = 8 至 50	205	235	
		转换模式，速度模式 1，增益 = 64 至 256	255	290	
		转换模式，速度模式 2，增益 = 0.5 至 2	310	345	
		转换模式，速度模式 2，增益 = 4 和 5	355	395	
		转换模式，速度模式 2，增益 = 8 至 50	450	505	
		转换模式，速度模式 2，增益 = 64 至 256	660	750	
		转换模式，速度模式 3，增益 = 0.5 至 2	540	595	
		转换模式，速度模式 3，增益 = 4 和 5	640	720	
		转换模式，速度模式 3，增益 = 8 至 50	870	985	
		转换模式，速度模式 3，增益 = 64 至 256	1080	1220	
每个功能的额外模拟电源电流 (AVDD = 1.8V，VREF = 1.25V)					
IAVDD	模拟电源电流	内部电压基准，速度模式 0	3.5	5	μA
		内部电压基准，速度模式 1	16	20	
		内部电压基准，速度模式 2	26	32	
		内部电压基准，速度模式 3	55	70	
		启用 REFP 或 REFN 缓冲器，速度模式 0	3.5	5	
		启用 REFP 或 REFN 缓冲器，速度模式 1	16	20	
		启用 REFP 或 REFN 缓冲器，速度模式 2	26	32	
		启用 REFP 或 REFN 缓冲器，速度模式 3	55	70	
		启用 REFP 和 REFN 缓冲器，速度模式 0	5.5	8	
		启用 REFP 和 REFN 缓冲器，速度模式 1	25	30	
		启用 REFP 和 REFN 缓冲器，速度模式 2	42	52	
		启用 REFP 和 REFN 缓冲器，速度模式 3	100	120	
		IDAC 开销，IDAC 单位电流 = 1μA	4	6	
		IDAC 开销，IDAC 单位电流 = 10μA	14	20	
		VBIAS (空载)	11	18	

最小值和最大值规格的适用条件 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ；典型值规格的适用条件为 $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为 $AVDD = 1.74\text{V}$ 至 3.6V ， $IOVDD = 1.65\text{V}$ 至 5.25V ， $AVSS = \text{DGND}$ 、内部基准、内部振荡器、所有速度模式、所有数据速率、所有增益设置和全局斩波已禁用（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
数字电源电流 (IOVDD = 3.3V , 所有数据速率, SPI 未激活)						
I _{IOVDD}	数字电源电流	断电模式		2.2	20	μA
		待机模式, 速度模式 0		8	26	
		待机模式, 速度模式 1		22	40	
		待机模式, 速度模式 2		32	50	
		待机模式, 速度模式 3		50	70	
		转换模式, 速度模式 0 (OSR = 8)		11	30	
		转换模式, 速度模式 1 (OSR = 8)		42	64	
		转换模式, 速度模式 2 (OSR = 8)		72	100	
		转换模式, 速度模式 3 (OSR = 8)		129	163	
		转换模式, 速度模式 0 (OSR ≥ 64)		10	27	
		转换模式, 速度模式 1 (OSR ≥ 64)		34	53	
		转换模式, 速度模式 2 (OSR ≥ 64)		54	75	
		转换模式, 速度模式 3 (OSR ≥ 64)		97	120	
数字电源电流 (IOVDD = 1.8V , 所有数据速率, SPI 未激活)						
I _{IOVDD}	数字电源电流	断电模式		2	19	μA
		待机模式, 速度模式 0		8	25	
		待机模式, 速度模式 1		22	40	
		待机模式, 速度模式 2		30	50	
		待机模式, 速度模式 3		48	66	
		转换模式, 速度模式 0 (OSR = 8)		11	28	
		转换模式, 速度模式 1 (OSR = 8)		41	63	
		转换模式, 速度模式 2 (OSR = 8)		70	95	
		转换模式, 速度模式 3 (OSR = 8)		127	160	
		转换模式, 速度模式 0 (OSR ≥ 64)		9	27	
		转换模式, 速度模式 1 (OSR ≥ 64)		33	52	
		转换模式, 速度模式 2 (OSR ≥ 64)		53	74	
		转换模式, 速度模式 3 (OSR ≥ 64)		94	120	

- 输入电流随速度模式、数据速率、增益和全局斩波模式设置成比例缩放。
- 电流会流入 REFP_x 并从 REFN_x 中流出。
- 欠压监测器始终会在低于指定最小值的情况下跳闸，而不会在高于指定最大值的情况下跳闸。

5.6 时序要求

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
$t_{c(SC)}$	SCLK 周期	60	$1/(4 f_{DATA})$	ns
$t_{w(SCL)}$	脉冲持续时间, SCLK 低电平的时间	20		ns
$t_{w(SCH)}$	脉冲持续时间, SCLK 高电平的时间	30		ns
$t_{d(CSSC)}$	延迟时间, $\overline{CS}$ 下降沿后的第一个 SCLK 上升沿	10		ns
$t_{d(SCCS)}$	延迟时间, 最后一个 SCLK 下降沿后的 $\overline{CS}$ 上升沿	10		ns
$t_{w(CSH)}$	脉冲持续时间, $\overline{CS}$ 为高电平	30		ns
$t_{su(DI)}$	建立时间, SCLK 下降沿前的 SDI 有效	8		ns
$t_{h(DI)}$	保持时间, SDI 在 SCLK 下降沿后有效	8		ns
$t_{d(fr2fr)}$	3 线制 SPI 模式下帧之间的延迟时间	0		ns
$t_{h(DIIR)}$	保持时间, SDI 高电平强制接口重新同步（仅限 3 线 SPI 模式）。接口重新同步发生在 SDI 再次处于低电平的第一个 SCLK 下降沿。	63		t_{SCLK}
$t_{d(POR)}$	在 IOVDD 超过最小 IOVDD 电压后的第一个 SCLK 上升沿的延迟时间	5		ms
$t_{d(RST)}$	延迟时间, 在 $\overline{RESET}$ 上升沿之后或使用 SPI 复位模式或 $RESET[7:0]$ 位字段在软件复位之后 SPI 通信启动	500		μs
$t_{w(RSL)}$	脉冲持续时间, $\overline{RESET}$ 低电平以生成器件复位	200		ns
$t_{w(STH)}$	START 高电平至启动转换的脉冲持续时间	8		t_{MOD}

5.7 开关特性

在工作环境温度范围内, $C_{LOAD} = 20pF$ （除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
$t_{p(CSDO)}$	传播延迟时间, $\overline{CS}$ 下降沿至 $SDO/\overline{DRDY}$ 驱动			25	ns
$t_{p(CSDOZ)}$	传播延迟时间, $\overline{CS}$ 上升沿至 $SDO/\overline{DRDY}$ 高阻抗状态			25	ns
$t_{p(SCDO)}$	传播延迟时间, SCLK 上升沿至有效 $SDO/\overline{DRDY}$			28	ns
$t_{w(DRH)}$	脉冲持续时间, $\overline{DRDY}$ 为高电平	2			t_{MOD}
$t_{p(SCDR)}$	传播延迟时间, 转换结果 MSB 读取到 $\overline{DRDY}$ 返回高电平的第 8 个 SCLK 下降沿			5	t_{MOD}
$t_{p(DODR)}$	传播延迟时间, $SDO/\overline{DRDY}$ 从 SDO 模式转换为 $\overline{DRDY}$ 模式的读取操作的最后一个 SCLK 下降沿	SDO_DRDY = 1b		50	ns
$t_{p(GPIO)}$	传播延迟时间, 寄存器写入命令到 GPIOx 输出有效的 $\overline{CS}$ 上升沿			100	ns

5.8 计时示意图

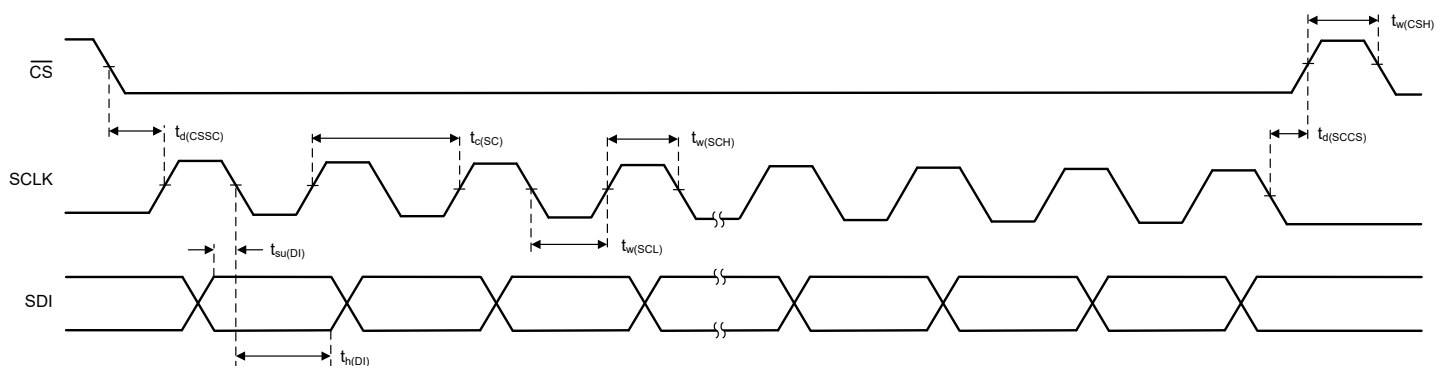


图 5-1. 串行接口时序要求

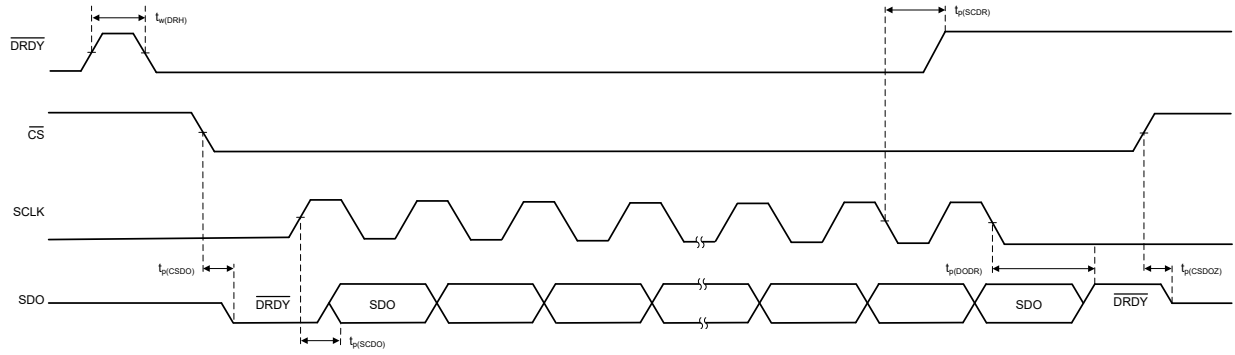


图 5-2. 串行接口开关特性

5.9 典型特性

$T_A = 25^\circ\text{C}$ (除非另有说明)

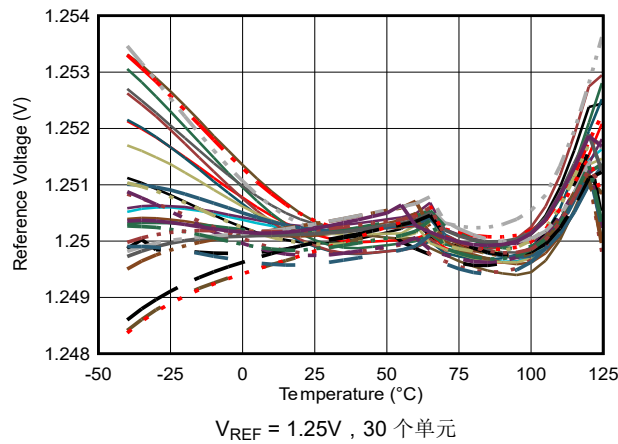


图 5-3. 内部基准电压与温度间的关系

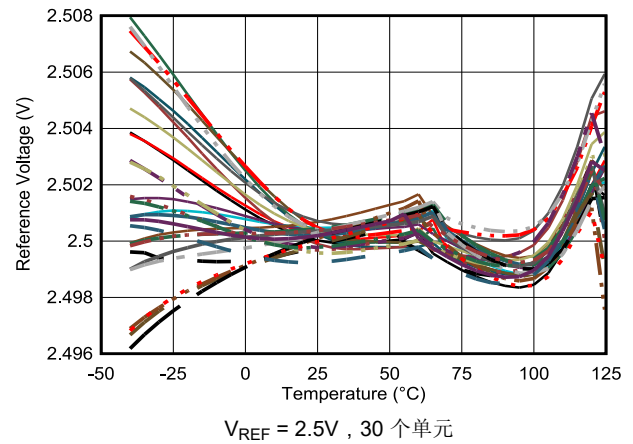


图 5-4. 内部基准电压与温度间的关系

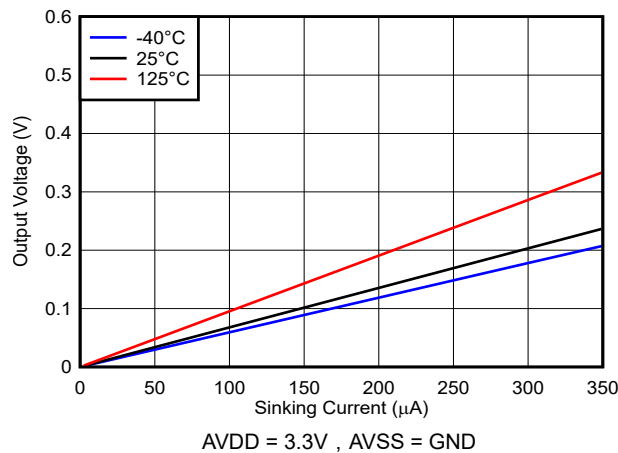


图 5-5. GPIO 引脚输出电压与灌电流间的关系

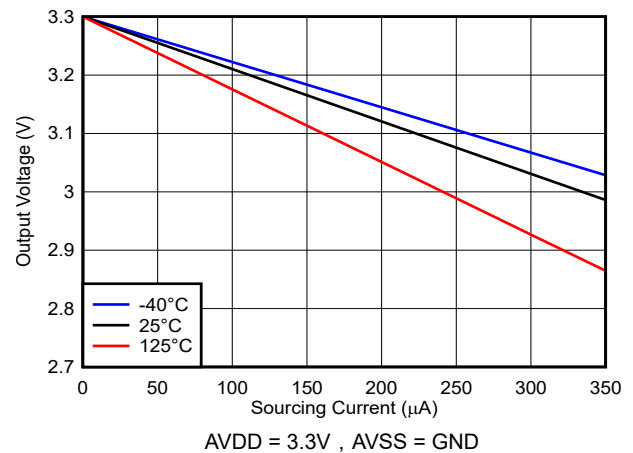


图 5-6. GPIO 引脚输出电压与拉电流间的关系

6 参数测量信息

6.1 噪声性能

$\Delta-\Sigma$ ($\Delta \Sigma$) 模数转换器 (ADC) 基于过采样原理。 $\Delta \Sigma$ ADC 的输入信号在高频下 (调制器频率) 进行采样, 随后在数字域中进行滤波和抽取, 从而在相应输出数据速率下生成转换结果。调制器频率与输出数据速率的比值称为过采样率 (OSR)。通过增加 OSR 并降低输出数据速率, ADC 的噪声性能可以被优化。即当输出数据速率下降时, 获取一个转换结果需要对内部调制器的更多样本求取平均值, 因此输入参考噪声下降。增大增益还可降低输入参考噪声, 这在测量低电平信号时特别有用。

表 6-1 到表 6-8 汇总了在 $T_A = 25^\circ\text{C}$ 条件下使用 $f_{\text{CLK}} = 4.096\text{MHz}$ 时的典型噪声性能。显示的数据是典型的输入参考噪声结果 (e_n), 单位为 μVRMS , 其中模拟输入短接在一起。至少使用 1,000 次连续转换或 10 秒连续转换 (以先发生者为准) 来测量 RMS 噪声。由于噪声具有随机性质, 所以重复的噪声测量会产生更高或更低的噪声结果。

根据所选编码方案, 使用 方程式 1 或 方程式 2 从提供的 μVRMS 数字计算有效分辨率。

$$\text{Binary two's complement coding: Effective Resolution} = \ln[(2 \times V_{\text{REF}} / \text{Gain}) / e_{n(\text{RMS})}] / \ln(2) \quad (1)$$

$$\text{Unipolar straight binary coding: Effective Resolution} = \ln[(V_{\text{REF}} / \text{Gain}) / e_{n(\text{RMS})}] / \ln(2) \quad (2)$$

以 μV_{PP} 为单位的输入参考噪声 (e_n) 可以估算为 $e_{n(\text{PP})} = 6.6 \times e_{n(\text{RMS})}$ 。根据所选编码方案, 使用 方程式 3 或 方程式 4 从估算的 μV_{PP} 数字计算无噪声分辨率。

$$\text{Binary two's complement coding: Noise-free Resolution} = \ln[(2 \times V_{\text{REF}} / \text{Gain}) / e_{n(\text{PP})}] / \ln(2) \quad (3)$$

$$\text{Unipolar straight binary coding: Noise-free Resolution} = \ln[(V_{\text{REF}} / \text{Gain}) / e_{n(\text{PP})}] / \ln(2) \quad (4)$$

使用短接输入时的输入参考噪声性能只会随基准电压发生不显著变化。也就是说, 表 6-1 到表 6-8 也适用于其他基准电压值。

在全局斩波模式下, 器件会在输入交换的情况下对 ADC 的两次测量结果求平均值。全局斩波模式可显著降低器件的输入失调电压, 并将噪声降低为原来的 $1/\sqrt{2}$ 。

噪声数据使用 24 位版本的器件进行测量。对于 16 位器件, 以 LSB 大小对噪声数据进行削波。

**表 6-1. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 0 ($f_{MOD} = 32kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	4000	333.94	168.20	85.70	42.75	43.27	22.06	22.15	11.12
16	2000	51.64	25.75	14.02	8.32	8.36	5.81	5.82	3.29
24	1333	36.41	18.51	10.27	6.43	6.45	4.64	4.64	2.67
32	1000	31.69	15.40	8.88	5.61	5.61	4.14	4.12	2.37
64	500	22.05	11.26	6.25	3.91	3.92	2.84	2.86	1.65
128	250	15.47	7.91	4.38	2.85	2.79	2.00	2.05	1.13
256	125	11.00	5.50	3.02	1.95	2.02	1.47	1.44	0.84
512	62.5	8.05	3.95	2.23	1.32	1.39	0.99	0.99	0.59
640	50	6.85	3.42	2.11	1.24	1.24	0.89	0.93	0.51
1024	31.25	5.61	2.81	1.56	1.01	0.98	0.69	0.68	0.43
2048	15.63	3.84	1.91	1.14	0.64	0.69	0.48	0.55	0.29
4096	7.81	2.95	1.28	0.78	0.60	0.46	0.37	0.29	0.23
8192	3.91	4.18	1.06	0.57	0.29	2.48	3.90	0.25	0.13
532	60	7.65	3.80	2.21	1.40	1.37	1.02	1.06	0.58
640	50	7.04	3.58	2.01	1.19	1.24	0.88	0.92	0.52
1920	16.7	4.22	2.22	1.07	0.69	0.69	0.51	0.51	0.29
3200	10	3.43	1.61	0.81	0.48	0.64	0.44	0.44	0.24
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	4000	497.79	249.35	125.99	63.17	63.89	32.16	32.38	16.41
16	2000	78.04	39.07	20.21	11.14	11.37	7.21	7.13	3.96
24	1333	42.42	21.42	11.76	7.17	7.32	5.18	5.15	2.90
32	1000	34.09	17.61	9.71	6.03	6.06	4.35	4.47	2.55
64	500	23.85	11.73	6.74	4.18	4.19	3.14	3.10	1.77
128	250	17.00	8.56	4.69	2.99	3.03	2.15	2.21	1.24
256	125	11.81	6.20	3.27	2.17	2.09	1.59	1.57	0.86
512	62.5	7.85	3.98	2.29	1.53	1.48	1.10	1.17	0.63
640	50	7.63	3.81	2.11	1.34	1.35	0.96	0.96	0.56
1024	31.25	6.11	2.92	1.55	1.07	1.06	0.77	0.83	0.48
2048	15.63	4.25	2.27	1.19	0.75	0.74	0.45	0.50	0.33
4096	7.81	2.96	1.48	0.70	0.54	0.45	0.39	0.43	0.26
8192	3.91	4.60	3.63	3.59	0.37	0.35	0.29	0.27	0.18
532	60	7.96	4.02	2.42	1.44	1.41	1.10	1.04	0.61
640	50	7.13	3.79	2.02	1.31	1.26	1.01	1.04	0.53
1920	16.7	4.18	2.18	1.29	0.82	0.78	0.64	0.54	0.33
3200	10	3.42	1.60	0.89	0.61	0.66	0.43	0.46	0.27

表 6-1. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 0 ($f_{MOD} = 32kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	500	27.08	13.51	7.64	4.79	4.79	3.62	3.49	2.03
128	250	20.09	10.39	5.81	3.75	3.73	2.76	2.76	1.57
256	125	15.30	7.43	4.16	2.78	2.73	2.09	2.08	1.14
512	62.5	11.19	5.38	3.08	2.01	1.98	1.43	1.40	0.83
640	50	9.83	5.09	3.02	1.70	1.73	1.31	1.33	0.70
1024	31.25	8.48	4.07	2.47	1.51	1.47	1.06	1.04	0.60
2048	15.63	6.13	2.94	1.55	0.90	1.10	0.81	0.69	0.41
4096	7.81	4.19	2.26	1.11	0.58	0.62	0.52	0.55	0.34
8192	3.91	3.31	1.42	0.65	0.57	0.44	0.29	0.32	0.19
532	60	10.74	5.67	3.12	1.93	1.91	1.35	1.46	0.84
640	50	9.62	5.14	2.80	1.83	1.87	1.32	1.26	0.72
1920	16.7	5.28	3.22	1.70	1.05	1.00	0.79	0.80	0.42
3200	10	4.34	2.05	1.18	0.73	0.77	0.60	0.61	0.30
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
1280	25	8.45	4.06	2.46	1.31	1.44	1.09	1.09	0.64
1600	20	8.39	3.87	2.10	1.31	1.27	0.98	0.98	0.52

(1) 使用 $f_{CLK} = 4.096MHz$

**表 6-2. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 0 ($f_{MOD} = 32kHz$),
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	4000	11.32	6.11	6.11	3.68	3.61	2.56	2.57	2.17
16	2000	3.30	2.39	2.35	1.84	1.87	1.62	1.60	1.54
24	1333	2.64	1.93	1.91	1.53	1.56	1.36	1.37	1.28
32	1000	2.33	1.71	1.71	1.37	1.37	1.21	1.22	1.14
64	500	1.65	1.19	1.21	0.97	0.96	0.87	0.86	0.84
128	250	1.21	0.84	0.85	0.68	0.67	0.60	0.60	0.57
256	125	0.83	0.61	0.59	0.49	0.50	0.42	0.43	0.40
512	62.5	0.58	0.43	0.42	0.34	0.35	0.30	0.31	0.27
640	50	0.52	0.36	0.38	0.29	0.31	0.26	0.27	0.28
1024	31.25	0.42	0.28	0.29	0.24	0.22	0.22	0.21	0.20
2048	15.63	0.29	0.21	0.21	0.15	0.16	0.14	0.16	0.14
4096	7.81	0.20	0.15	0.11	0.13	0.12	0.11	0.11	0.10
8192	3.91	0.16	0.09	0.10	0.60	0.60	0.51	0.50	0.06
532	60	0.59	0.41	0.43	0.33	0.34	0.31	0.30	0.28
640	50	0.51	0.37	0.38	0.28	0.32	0.26	0.27	0.25
1920	16.7	0.28	0.21	0.21	0.17	0.19	0.16	0.17	0.15
3200	10	0.24	0.15	0.18	0.13	0.14	0.12	0.12	0.12
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	4000	16.15	8.57	8.61	4.78	4.79	3.09	3.12	2.46
16	2000	3.93	2.62	2.66	2.06	2.01	1.72	1.74	1.65
24	1333	2.88	2.10	2.08	1.69	1.67	1.45	1.45	1.38
32	1000	2.54	1.83	1.83	1.48	1.48	1.29	1.32	1.24
64	500	1.74	1.30	1.28	1.04	1.04	0.92	0.92	0.86
128	250	1.24	0.90	0.90	0.73	0.69	0.66	0.67	0.61
256	125	0.88	0.64	0.63	0.52	0.53	0.48	0.46	0.43
512	62.5	0.63	0.44	0.45	0.35	0.36	0.31	0.32	0.30
640	50	0.55	0.39	0.41	0.33	0.33	0.29	0.28	0.28
1024	31.25	0.45	0.36	0.34	0.26	0.23	0.22	0.23	0.23
2048	15.63	0.29	0.23	0.23	0.17	0.16	0.17	0.16	0.15
4096	7.81	0.22	0.17	0.14	0.14	0.14	0.12	0.13	0.08
8192	3.91	0.14	0.74	0.12	0.61	0.11	0.09	0.09	0.09
532	60	0.62	0.42	0.46	0.35	0.36	0.32	0.32	0.30
640	50	0.56	0.41	0.39	0.33	0.36	0.28	0.30	0.26
1920	16.7	0.31	0.23	0.23	0.19	0.19	0.18	0.17	0.15
3200	10	0.25	0.15	0.17	0.16	0.14	0.12	0.12	0.13

表 6-2. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 0 ($f_{MOD} = 32kHz$),
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	500	2.03	1.47	1.44	1.17	1.18	1.05	1.04	1.01
128	250	1.59	1.12	1.13	0.92	0.89	0.81	0.81	0.80
256	125	1.18	0.83	0.82	0.70	0.69	0.57	0.60	0.55
512	62.5	0.83	0.62	0.59	0.47	0.48	0.42	0.45	0.41
640	50	0.76	0.53	0.53	0.44	0.44	0.38	0.38	0.36
1024	31.25	0.58	0.41	0.43	0.34	0.37	0.31	0.32	0.27
2048	15.63	0.43	0.30	0.31	0.26	0.24	0.21	0.23	0.20
4096	7.81	0.31	0.21	0.22	0.16	0.19	0.16	0.16	0.14
8192	3.91	0.17	0.17	0.16	0.14	0.12	0.10	0.10	0.13
532	60	0.82	0.57	0.56	0.47	0.46	0.41	0.41	0.40
640	50	0.70	0.54	0.55	0.43	0.41	0.40	0.40	0.38
1920	16.7	0.42	0.31	0.34	0.24	0.26	0.22	0.24	0.22
3200	10	0.35	0.22	0.26	0.17	0.19	0.19	0.16	0.18
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
1280	25	0.65	0.43	0.47	0.37	0.37	0.36	0.33	0.31
1600	20	0.53	0.41	0.44	0.36	0.36	0.32	0.30	0.26

(1) 使用 $f_{CLK} = 4.096MHz$

**表 6-3. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 1 ($f_{MOD} = 256kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	32000	333.78	168.00	82.88	43.99	43.67	24.14	24.07	12.74
16	16000	50.84	26.10	14.89	10.02	9.97	8.36	8.38	5.09
24	10667	35.72	18.45	10.84	7.68	7.78	6.80	6.67	4.03
32	8000	29.85	15.90	9.36	6.75	6.78	5.85	5.84	3.56
64	4000	21.52	11.14	6.51	4.78	4.71	4.13	4.09	2.57
128	2000	15.22	7.83	4.63	3.35	3.33	2.92	2.92	1.79
256	1000	10.57	5.53	3.31	2.38	2.36	2.09	2.06	1.26
512	500	7.35	3.96	2.32	1.65	1.68	1.44	1.47	0.91
640	400	6.83	3.47	2.08	1.47	1.48	1.28	1.31	0.81
1024	250	5.42	2.78	1.59	1.15	1.18	1.02	1.04	0.63
2048	125	3.82	1.97	1.16	0.84	0.83	0.76	0.74	0.45
4096	62.5	2.86	1.38	0.87	0.59	0.61	0.56	0.53	0.33
8192	31.25	2.11	0.94	0.58	0.37	0.44	0.36	0.37	0.21
4256	60	2.44	1.41	0.80	0.58	0.60	0.51	0.51	0.30
5120	50	2.28	1.23	0.76	0.51	0.55	0.48	0.50	0.29
15360	16.7	1.38	0.70	0.44	0.32	0.30	0.26	0.25	0.16
25600	10	1.04	0.54	0.31	0.24	0.24	0.19	0.23	0.13
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	32000	498.66	248.93	125.39	63.67	63.33	33.37	33.24	17.04
16	16000	78.11	39.13	20.97	12.81	12.65	9.62	9.61	5.75
24	10667	41.84	21.61	12.42	8.46	8.46	7.35	7.34	4.46
32	8000	33.79	17.18	10.11	7.08	7.15	6.26	6.19	3.87
64	4000	22.81	11.79	7.22	5.12	5.08	4.43	4.53	2.73
128	2000	16.25	8.27	5.03	3.54	3.58	3.11	3.12	1.94
256	1000	11.33	5.90	3.54	2.52	2.51	2.22	2.22	1.37
512	500	7.95	4.24	2.49	1.77	1.80	1.54	1.56	0.98
640	400	7.28	3.76	2.25	1.62	1.58	1.43	1.41	0.87
1024	250	5.79	2.92	1.73	1.26	1.23	1.13	1.13	0.68
2048	125	4.15	2.08	1.26	0.90	0.93	0.77	0.76	0.49
4096	62.5	2.91	1.46	0.86	0.62	0.64	0.56	0.54	0.32
8192	31.25	1.92	0.93	0.64	0.46	0.41	0.37	0.42	0.24
4256	60	2.86	1.58	0.84	0.61	0.61	0.53	0.52	0.34
5120	50	2.56	1.35	0.77	0.56	0.59	0.51	0.52	0.32
15360	16.7	1.44	0.76	0.46	0.33	0.30	0.30	0.28	0.17
25600	10	0.92	0.56	0.38	0.27	0.31	0.26	0.23	0.13

表 6-3. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 1 ($f_{MOD} = 256kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	4000	25.90	13.66	8.14	5.75	5.72	5.04	5.02	3.12
128	2000	20.21	10.37	6.33	4.49	4.45	3.91	3.90	2.41
256	1000	14.89	7.72	4.55	3.30	3.29	2.89	2.88	1.79
512	500	10.69	5.54	3.36	2.31	2.34	2.08	2.08	1.28
640	400	9.69	4.90	2.98	2.13	2.11	1.87	1.87	1.16
1024	250	7.84	3.92	2.39	1.70	1.72	1.48	1.45	0.92
2048	125	5.52	2.86	1.68	1.18	1.20	1.05	1.06	0.64
4096	62.5	3.73	2.07	1.19	0.83	0.90	0.77	0.75	0.44
8192	31.25	2.82	1.41	0.83	0.55	0.60	0.55	0.56	0.34
4256	60	3.92	2.03	1.26	0.78	0.83	0.77	0.76	0.45
5120	50	3.47	1.61	1.06	0.80	0.81	0.66	0.64	0.42
15360	16.7	2.10	0.99	0.66	0.45	0.41	0.36	0.36	0.24
25600	10	1.53	0.87	0.51	0.29	0.37	0.30	0.29	0.19
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
10240	25	2.71	1.54	0.82	0.66	0.63	0.56	0.54	0.31
12800	20	2.56	1.33	0.80	0.54	0.54	0.52	0.48	0.30

(1) 使用 $f_{CLK} = 4.096MHz$

**表 6-4. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 1 ($f_{MOD} = 256kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	32000	12.65	8.18	8.11	4.10	4.04	3.03	3.05	2.65
16	16000	5.14	4.48	4.43	2.21	2.22	2.01	2.00	1.87
24	10667	4.11	3.67	3.65	1.84	1.85	1.64	1.63	1.56
32	8000	3.61	3.18	3.16	1.61	1.62	1.44	1.46	1.35
64	4000	2.55	2.27	2.28	1.16	1.17	1.04	1.05	1.00
128	2000	1.80	1.61	1.61	0.83	0.81	0.75	0.74	0.70
256	1000	1.27	1.14	1.13	0.58	0.58	0.53	0.54	0.49
512	500	0.89	0.80	0.79	0.41	0.41	0.37	0.37	0.35
640	400	0.80	0.72	0.73	0.37	0.36	0.34	0.33	0.31
1024	250	0.64	0.57	0.57	0.28	0.29	0.27	0.27	0.26
2048	125	0.46	0.39	0.39	0.21	0.20	0.19	0.18	0.17
4096	62.5	0.33	0.26	0.27	0.15	0.15	0.14	0.13	0.12
8192	31.25	0.24	0.18	0.18	0.10	0.10	0.09	0.09	0.10
4256	60	0.33	0.28	0.28	0.14	0.14	0.12	0.13	0.12
5120	50	0.27	0.27	0.24	0.13	0.13	0.12	0.12	0.11
15360	16.7	0.17	0.15	0.15	0.08	0.08	0.07	0.07	0.07
25600	10	0.13	0.10	0.11	0.06	0.06	0.06	0.05	0.05
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	32000	17.24	10.27	10.10	5.14	5.14	3.52	3.56	2.89
16	16000	5.73	4.90	4.85	2.45	2.39	2.12	2.16	2.00
24	10667	4.49	3.94	3.98	1.97	1.97	1.75	1.78	1.65
32	8000	3.82	3.41	3.38	1.70	1.72	1.55	1.55	1.45
64	4000	2.78	2.44	2.45	1.25	1.26	1.14	1.16	1.08
128	2000	1.94	1.71	1.72	0.89	0.88	0.80	0.79	0.75
256	1000	1.36	1.22	1.22	0.64	0.62	0.57	0.56	0.54
512	500	0.95	0.87	0.88	0.43	0.44	0.40	0.40	0.38
640	400	0.88	0.75	0.77	0.39	0.40	0.37	0.36	0.34
1024	250	0.69	0.59	0.60	0.31	0.31	0.29	0.28	0.27
2048	125	0.47	0.43	0.43	0.23	0.22	0.20	0.20	0.19
4096	62.5	0.35	0.31	0.30	0.15	0.15	0.15	0.14	0.14
8192	31.25	0.26	0.21	0.21	0.11	0.11	0.11	0.10	0.09
4256	60	0.33	0.29	0.30	0.15	0.16	0.14	0.13	0.12
5120	50	0.30	0.28	0.27	0.14	0.15	0.13	0.13	0.12
15360	16.7	0.17	0.16	0.16	0.07	0.07	0.08	0.08	0.07
25600	10	0.13	0.10	0.11	0.06	0.06	0.06	0.05	0.05

表 6-4. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 1 ($f_{MOD} = 256kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	4000	3.13	2.75	2.77	1.43	1.42	1.29	1.30	1.23
128	2000	2.42	2.14	2.15	1.09	1.10	1.00	1.00	0.94
256	1000	1.77	1.59	1.58	0.80	0.81	0.73	0.73	0.69
512	500	1.27	1.12	1.11	0.58	0.57	0.53	0.52	0.51
640	400	1.15	1.02	1.03	0.52	0.52	0.48	0.48	0.45
1024	250	0.92	0.81	0.80	0.41	0.42	0.38	0.38	0.36
2048	125	0.64	0.55	0.59	0.30	0.29	0.27	0.28	0.25
4096	62.5	0.46	0.42	0.42	0.21	0.21	0.19	0.20	0.18
8192	31.25	0.31	0.29	0.26	0.13	0.14	0.13	0.13	0.13
4256	60	0.46	0.41	0.41	0.20	0.20	0.19	0.17	0.17
5120	50	0.40	0.37	0.37	0.18	0.19	0.16	0.17	0.15
15360	16.7	0.22	0.23	0.21	0.10	0.09	0.11	0.10	0.09
25600	10	0.19	0.15	0.16	0.07	0.08	0.08	0.07	0.07
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
10240	25	0.32	0.30	0.29	0.16	0.15	0.14	0.14	0.13
12800	20	0.31	0.26	0.25	0.15	0.14	0.13	0.13	0.12

(1) 使用 $f_{CLK} = 4.096MHz$

**表 6-5. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 2 ($f_{MOD} = 512kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	64000	331.89	168.39	85.04	43.16	42.80	22.34	22.83	11.94
16	32000	50.16	25.61	13.71	8.45	8.25	6.40	6.48	4.36
24	21333	35.15	18.04	9.80	6.33	6.37	5.04	5.21	3.52
32	16000	29.85	14.94	8.40	5.48	5.42	4.45	4.33	3.01
64	8000	20.97	10.63	6.05	3.84	3.84	3.20	3.19	2.18
128	4000	14.78	7.42	4.24	2.77	2.73	2.24	2.24	1.55
256	2000	10.41	5.35	3.03	1.93	1.91	1.57	1.56	1.10
512	1000	7.25	3.77	2.12	1.36	1.35	1.12	1.11	0.77
640	800	6.70	3.35	1.89	1.20	1.22	1.00	0.99	0.70
1024	500	5.22	2.60	1.48	0.96	0.96	0.79	0.79	0.54
2048	250	3.63	1.81	1.07	0.69	0.68	0.56	0.55	0.38
4096	125	2.47	1.33	0.78	0.50	0.47	0.39	0.38	0.28
8192	62.5	1.84	0.91	0.53	0.35	0.32	0.30	0.30	0.20
8512	60	1.68	0.94	0.50	0.34	0.33	0.28	0.27	0.18
10240	50	1.73	0.83	0.49	0.31	0.32	0.26	0.25	0.15
30720	16.7	1.04	0.53	0.29	0.16	0.19	0.15	0.14	0.10
51200	10	0.91	0.38	0.20	0.13	0.13	0.11	0.13	0.07
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	64000	493.10	249.35	125.06	62.77	61.69	31.82	32.39	16.85
16	32000	76.71	38.45	19.94	11.30	11.26	7.74	7.72	4.93
24	21333	40.69	20.62	11.58	7.22	7.26	5.58	5.59	3.80
32	16000	33.05	16.36	9.26	5.91	5.91	4.73	4.76	3.24
64	8000	22.27	11.34	6.56	4.15	4.12	3.37	3.37	2.33
128	4000	15.69	7.90	4.47	2.92	2.91	2.40	2.41	1.66
256	2000	11.18	5.52	3.17	2.06	2.03	1.68	1.70	1.16
512	1000	7.83	3.98	2.20	1.44	1.43	1.20	1.20	0.82
640	800	7.04	3.59	2.01	1.30	1.33	1.07	1.09	0.73
1024	500	5.59	2.78	1.61	1.04	1.04	0.84	0.84	0.57
2048	250	3.86	1.97	1.13	0.71	0.74	0.61	0.60	0.40
4096	125	2.77	1.44	0.83	0.52	0.53	0.42	0.43	0.29
8192	62.5	1.94	1.02	0.61	0.38	0.34	0.29	0.27	0.22
8512	60	1.91	0.98	0.56	0.38	0.35	0.27	0.30	0.19
10240	50	1.85	0.96	0.51	0.33	0.34	0.26	0.27	0.18
30720	16.7	1.09	0.56	0.28	0.19	0.18	0.16	0.16	0.10
51200	10	0.83	0.40	0.22	0.17	0.13	0.12	0.13	0.09

表 6-5. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 2 ($f_{MOD} = 512kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	8000	25.43	12.93	7.26	4.75	4.72	4.72	4.72	4.72
128	4000	19.81	10.13	5.62	3.64	3.65	3.65	3.65	3.65
256	2000	14.62	7.30	4.12	2.68	2.72	2.72	2.72	2.72
512	1000	10.40	5.34	3.00	1.93	1.94	1.94	1.94	1.94
640	800	9.25	4.76	2.67	1.74	1.72	1.72	1.72	1.72
1024	500	7.48	3.88	2.13	1.37	1.38	1.38	1.38	1.38
2048	250	5.27	2.72	1.53	0.98	0.97	0.97	0.97	0.97
4096	125	3.79	1.93	1.04	0.68	0.67	0.67	0.67	0.67
8192	62.5	2.81	1.32	0.74	0.48	0.49	0.49	0.49	0.49
8512	60	2.64	1.35	0.78	0.49	0.48	0.48	0.48	0.48
10240	50	2.31	1.27	0.68	0.43	0.45	0.45	0.45	0.45
30720	16.7	1.41	0.64	0.42	0.25	0.26	0.26	0.26	0.26
51200	10	1.13	0.48	0.31	0.21	0.22	0.22	0.22	0.22
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
20480	25	1.96	1.01	0.57	0.35	0.33	0.30	0.29	0.18
25600	20	1.77	0.90	0.49	0.33	0.31	0.27	0.26	0.17

(1) 使用 $f_{CLK} = 4.096MHz$

**表 6-6. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 2 ($f_{MOD} = 512kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	64000	12.25	7.13	7.19	4.03	3.98	2.73	2.71	2.12
16	32000	4.37	3.58	3.54	2.13	2.15	1.71	1.72	1.44
24	21333	3.48	2.90	2.90	1.73	1.76	1.40	1.41	1.19
32	16000	3.04	2.49	2.52	1.51	1.52	1.23	1.21	1.05
64	8000	2.16	1.83	1.81	1.09	1.10	0.90	0.89	0.76
128	4000	1.54	1.27	1.27	0.77	0.78	0.63	0.63	0.54
256	2000	1.07	0.90	0.89	0.54	0.55	0.44	0.44	0.38
512	1000	0.76	0.64	0.64	0.38	0.39	0.32	0.32	0.27
640	800	0.68	0.57	0.58	0.35	0.34	0.28	0.28	0.24
1024	500	0.55	0.45	0.44	0.28	0.27	0.22	0.22	0.19
2048	250	0.38	0.30	0.31	0.20	0.20	0.16	0.16	0.13
4096	125	0.27	0.22	0.23	0.13	0.14	0.11	0.11	0.10
8192	62.5	0.18	0.16	0.15	0.10	0.10	0.08	0.08	0.07
8512	60	0.19	0.15	0.16	0.10	0.09	0.08	0.08	0.06
10240	50	0.17	0.14	0.14	0.09	0.09	0.07	0.07	0.06
30720	16.7	0.10	0.09	0.08	0.05	0.05	0.04	0.04	0.04
51200	10	0.08	0.06	0.07	0.04	0.04	0.03	0.03	0.03
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	64000	16.74	9.54	9.32	5.01	5.05	3.22	3.21	2.35
16	32000	5.01	3.91	3.88	2.34	2.37	1.85	1.83	1.52
24	21333	3.85	3.15	3.08	1.90	1.89	1.51	1.52	1.28
32	16000	3.25	2.69	2.65	1.64	1.61	1.31	1.31	1.12
64	8000	2.33	1.94	1.90	1.16	1.16	0.95	0.95	0.82
128	4000	1.64	1.35	1.37	0.82	0.83	0.68	0.67	0.57
256	2000	1.14	0.96	0.97	0.59	0.59	0.48	0.47	0.42
512	1000	0.83	0.67	0.67	0.41	0.41	0.33	0.34	0.29
640	800	0.74	0.61	0.60	0.37	0.37	0.30	0.30	0.26
1024	500	0.58	0.48	0.48	0.29	0.29	0.24	0.24	0.21
2048	250	0.41	0.34	0.34	0.21	0.21	0.17	0.17	0.14
4096	125	0.30	0.25	0.24	0.14	0.14	0.12	0.12	0.11
8192	62.5	0.21	0.17	0.17	0.11	0.10	0.09	0.08	0.07
8512	60	0.19	0.16	0.17	0.10	0.10	0.08	0.08	0.07
10240	50	0.20	0.15	0.16	0.09	0.10	0.08	0.08	0.07
30720	16.7	0.12	0.09	0.07	0.05	0.06	0.05	0.04	0.04
51200	10	0.08	0.08	0.07	0.04	0.04	0.04	0.03	0.03

表 6-6. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 2 ($f_{MOD} = 512kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	8000	2.62	2.19	2.21	1.33	1.33	1.08	1.09	0.94
128	4000	2.03	1.71	1.68	1.04	1.04	0.85	0.84	0.71
256	2000	1.49	1.24	1.25	0.76	0.76	0.62	0.62	0.53
512	1000	1.07	0.89	0.90	0.54	0.55	0.44	0.44	0.39
640	800	0.97	0.80	0.82	0.49	0.49	0.40	0.40	0.34
1024	500	0.77	0.66	0.64	0.40	0.40	0.31	0.32	0.28
2048	250	0.54	0.45	0.45	0.29	0.27	0.23	0.22	0.20
4096	125	0.40	0.32	0.32	0.19	0.19	0.17	0.16	0.14
8192	62.5	0.27	0.23	0.23	0.13	0.14	0.11	0.11	0.10
8512	60	0.29	0.23	0.22	0.14	0.14	0.11	0.11	0.09
10240	50	0.25	0.20	0.21	0.12	0.12	0.10	0.10	0.09
30720	16.7	0.14	0.12	0.13	0.07	0.07	0.06	0.05	0.05
51200	10	0.11	0.08	0.08	0.06	0.05	0.05	0.05	0.04
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
20480	25	0.19	0.17	0.17	0.10	0.10	0.08	0.08	0.07
25600	20	0.18	0.15	0.14	0.09	0.09	0.08	0.07	0.06

(1) 使用 $f_{CLK} = 4.096MHz$

**表 6-7. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 3 ($f_{MOD} = 1024kHz$)
 $AVDD = 3.3V$, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	128000	341.43	169.44	84.79	43.36	43.99	24.02	24.33	13.26
16	64000	50.75	26.14	14.60	9.62	9.50	8.46	8.61	5.90
24	42667	35.50	18.32	10.35	7.44	7.39	6.85	6.81	4.81
32	32000	30.36	15.58	8.89	6.37	6.33	5.98	5.94	4.14
64	16000	21.38	10.84	6.34	4.49	4.46	4.17	4.18	2.95
128	8000	15.17	7.72	4.47	3.14	3.17	2.94	2.96	2.07
256	4000	10.54	5.45	3.21	2.26	2.24	2.10	2.09	1.48
512	2000	7.42	3.88	2.25	1.59	1.61	1.50	1.49	1.05
640	1600	6.77	3.52	2.02	1.42	1.42	1.33	1.31	0.92
1024	1000	5.36	2.75	1.58	1.14	1.12	1.03	1.05	0.73
2048	500	3.80	1.94	1.12	0.79	0.78	0.75	0.74	0.52
4096	250	2.68	1.33	0.80	0.57	0.56	0.52	0.53	0.38
8192	125	1.90	0.92	0.59	0.39	0.39	0.37	0.36	0.26
17024	60	1.30	0.66	0.39	0.28	0.26	0.25	0.25	0.18
20480	50	1.21	0.58	0.36	0.26	0.26	0.23	0.24	0.16
61440	16.7	0.67	0.35	0.20	0.15	0.14	0.14	0.13	0.10
102400	10	0.50	0.29	0.15	0.11	0.11	0.11	0.12	0.07
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	128000	495.16	252.54	125.84	62.89	63.57	32.77	33.04	17.70
16	64000	77.33	38.98	20.79	12.25	12.30	9.67	9.76	6.55
24	42667	41.27	21.32	12.09	8.11	8.19	7.45	7.34	5.16
32	32000	32.99	16.83	9.84	6.83	6.92	6.32	6.48	4.51
64	16000	22.60	11.61	6.88	4.78	4.81	4.55	4.56	3.20
128	8000	15.83	8.43	4.84	3.40	3.42	3.16	3.14	2.25
256	4000	11.33	5.77	3.40	2.39	2.44	2.25	2.26	1.58
512	2000	8.06	4.08	2.41	1.72	1.69	1.59	1.59	1.13
640	1600	7.15	3.69	2.16	1.53	1.50	1.40	1.44	1.01
1024	1000	5.68	2.89	1.69	1.18	1.22	1.13	1.15	0.79
2048	500	4.07	2.02	1.21	0.85	0.85	0.80	0.79	0.55
4096	250	2.81	1.45	0.86	0.61	0.59	0.57	0.57	0.40
8192	125	2.04	1.04	0.61	0.43	0.40	0.39	0.40	0.28
17024	60	1.38	0.76	0.40	0.30	0.28	0.28	0.28	0.19
20480	50	1.30	0.65	0.38	0.27	0.28	0.23	0.27	0.17
61440	16.7	0.71	0.37	0.24	0.16	0.16	0.14	0.14	0.10
102400	10	0.54	0.36	0.19	0.12	0.14	0.11	0.13	0.07

表 6-7. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 3 ($f_{MOD} = 1024kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 0.5 至 16 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		0.5	1	2	4	5	8	10	16
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	16000	25.74	13.43	7.79	5.51	5.44	5.12	5.12	3.55
128	8000	19.86	10.28	5.98	4.25	4.20	3.94	3.98	2.80
256	4000	14.70	7.59	4.40	3.16	3.16	2.91	2.89	2.05
512	2000	10.61	5.46	3.21	2.28	2.25	2.09	2.11	1.48
640	1600	9.49	4.88	2.88	2.01	2.04	1.87	1.89	1.33
1024	1000	7.67	3.95	2.28	1.60	1.61	1.51	1.50	1.06
2048	500	5.45	2.80	1.64	1.17	1.15	1.07	1.05	0.75
4096	250	3.79	2.02	1.16	0.81	0.79	0.74	0.74	0.55
8192	125	2.65	1.38	0.83	0.59	0.56	0.54	0.54	0.37
17024	60	1.93	0.91	0.57	0.38	0.40	0.39	0.38	0.26
20480	50	1.77	0.89	0.52	0.36	0.36	0.34	0.35	0.24
61440	16.7	1.01	0.54	0.33	0.22	0.22	0.19	0.20	0.13
102400	10	0.87	0.36	0.21	0.16	0.17	0.16	0.15	0.11
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
40960	25	1.35	0.67	0.40	0.30	0.29	0.29	0.26	0.20
51200	20	1.18	0.65	0.39	0.27	0.26	0.24	0.23	0.17

(1) 使用 $f_{CLK} = 4.096MHz$

**表 6-8. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 3 ($f_{MOD} = 1024kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256**

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	128000	13.38	8.66	8.56	4.93	4.89	3.59	3.52	2.81
16	64000	5.98	4.92	4.93	2.95	2.96	2.39	2.39	2.00
24	42667	4.82	3.94	4.05	2.47	2.44	1.96	1.99	1.67
32	32000	4.19	3.41	3.44	2.08	2.09	1.70	1.68	1.45
64	16000	2.95	2.46	2.46	1.50	1.51	1.22	1.22	1.03
128	8000	2.11	1.75	1.75	1.07	1.07	0.88	0.86	0.74
256	4000	1.47	1.25	1.24	0.75	0.75	0.62	0.60	0.52
512	2000	1.06	0.88	0.88	0.53	0.53	0.43	0.43	0.37
640	1600	0.92	0.79	0.78	0.48	0.47	0.38	0.39	0.32
1024	1000	0.74	0.63	0.63	0.38	0.39	0.31	0.31	0.26
2048	500	0.52	0.44	0.43	0.27	0.27	0.22	0.22	0.19
4096	250	0.37	0.31	0.31	0.19	0.19	0.15	0.16	0.13
8192	125	0.25	0.22	0.22	0.14	0.13	0.10	0.11	0.09
17024	60	0.18	0.15	0.15	0.10	0.09	0.08	0.08	0.06
20480	50	0.16	0.14	0.13	0.08	0.08	0.07	0.07	0.06
61440	16.7	0.10	0.08	0.07	0.05	0.05	0.04	0.04	0.04
102400	10	0.08	0.07	0.07	0.04	0.04	0.03	0.03	0.03
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 10000b)									
8	128000	17.76	10.67	10.66	5.87	5.84	3.98	4.05	3.06
16	64000	6.59	5.35	5.19	3.18	3.21	2.57	2.54	2.15
24	42667	5.15	4.30	4.33	2.60	2.60	2.09	2.09	1.76
32	32000	4.46	3.71	3.73	2.24	2.28	1.83	1.83	1.54
64	16000	3.16	2.63	2.66	1.61	1.64	1.31	1.31	1.13
128	8000	2.26	1.87	1.88	1.15	1.13	0.92	0.92	0.80
256	4000	1.58	1.34	1.33	0.81	0.81	0.66	0.66	0.56
512	2000	1.14	0.95	0.95	0.56	0.57	0.46	0.46	0.39
640	1600	1.01	0.85	0.85	0.51	0.50	0.42	0.41	0.36
1024	1000	0.78	0.67	0.67	0.40	0.41	0.33	0.32	0.28
2048	500	0.56	0.47	0.45	0.29	0.29	0.24	0.23	0.20
4096	250	0.39	0.34	0.34	0.20	0.20	0.16	0.17	0.14
8192	125	0.28	0.23	0.24	0.14	0.15	0.12	0.11	0.10
17024	60	0.20	0.17	0.16	0.10	0.10	0.08	0.08	0.07
20480	50	0.18	0.15	0.15	0.09	0.09	0.08	0.07	0.06
61440	16.7	0.10	0.08	0.09	0.06	0.05	0.04	0.05	0.03
102400	10	0.07	0.06	0.06	0.04	0.04	0.03	0.04	0.03

表 6-8. 输入参考噪声 (以 μV_{RMS} 为单位), 速度模式 3 ($f_{MOD} = 1024kHz$)
AVDD = 3.3V, 禁用全局斩波模式, 内部 2.5V 基准, 增益 = 20 至 256 (续)

OSR	数据速率 (SPS) ⁽¹⁾	增益							
		20	32	50	64	100	128	200	256
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11101b)									
64	16000	3.61	3.04	3.04	1.83	1.83	1.51	1.48	1.28
128	8000	2.78	2.36	2.34	1.43	1.42	1.16	1.15	0.99
256	4000	2.09	1.71	1.72	1.06	1.04	0.84	0.85	0.73
512	2000	1.47	1.24	1.24	0.76	0.75	0.61	0.61	0.53
640	1600	1.32	1.12	1.12	0.68	0.68	0.55	0.55	0.47
1024	1000	1.05	0.89	0.88	0.54	0.54	0.44	0.44	0.37
2048	500	0.74	0.63	0.63	0.38	0.38	0.31	0.31	0.27
4096	250	0.53	0.45	0.44	0.27	0.27	0.22	0.22	0.18
8192	125	0.38	0.32	0.30	0.18	0.19	0.15	0.16	0.13
17024	60	0.26	0.21	0.22	0.14	0.13	0.11	0.11	0.09
20480	50	0.25	0.20	0.19	0.12	0.12	0.09	0.10	0.08
61440	16.7	0.14	0.12	0.11	0.07	0.07	0.06	0.05	0.05
102400	10	0.10	0.09	0.09	0.05	0.06	0.04	0.04	0.04
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)									
40960	25	0.20	0.17	0.17	0.10	0.09	0.08	0.08	0.07
51200	20	0.18	0.16	0.16	0.10	0.09	0.07	0.07	0.06

(1) 使用 $f_{CLK} = 4.096MHz$

7 详细说明

7.1 概述

ADS1x4S1x 是低功耗 16 位和 24 位 $\Delta\Sigma$ ADC，提供了许多集成功能，可降低最常见传感器测量应用中的系统成本和元件数量。这些器件采用 7mm × 7mm TQFP-32 封装。

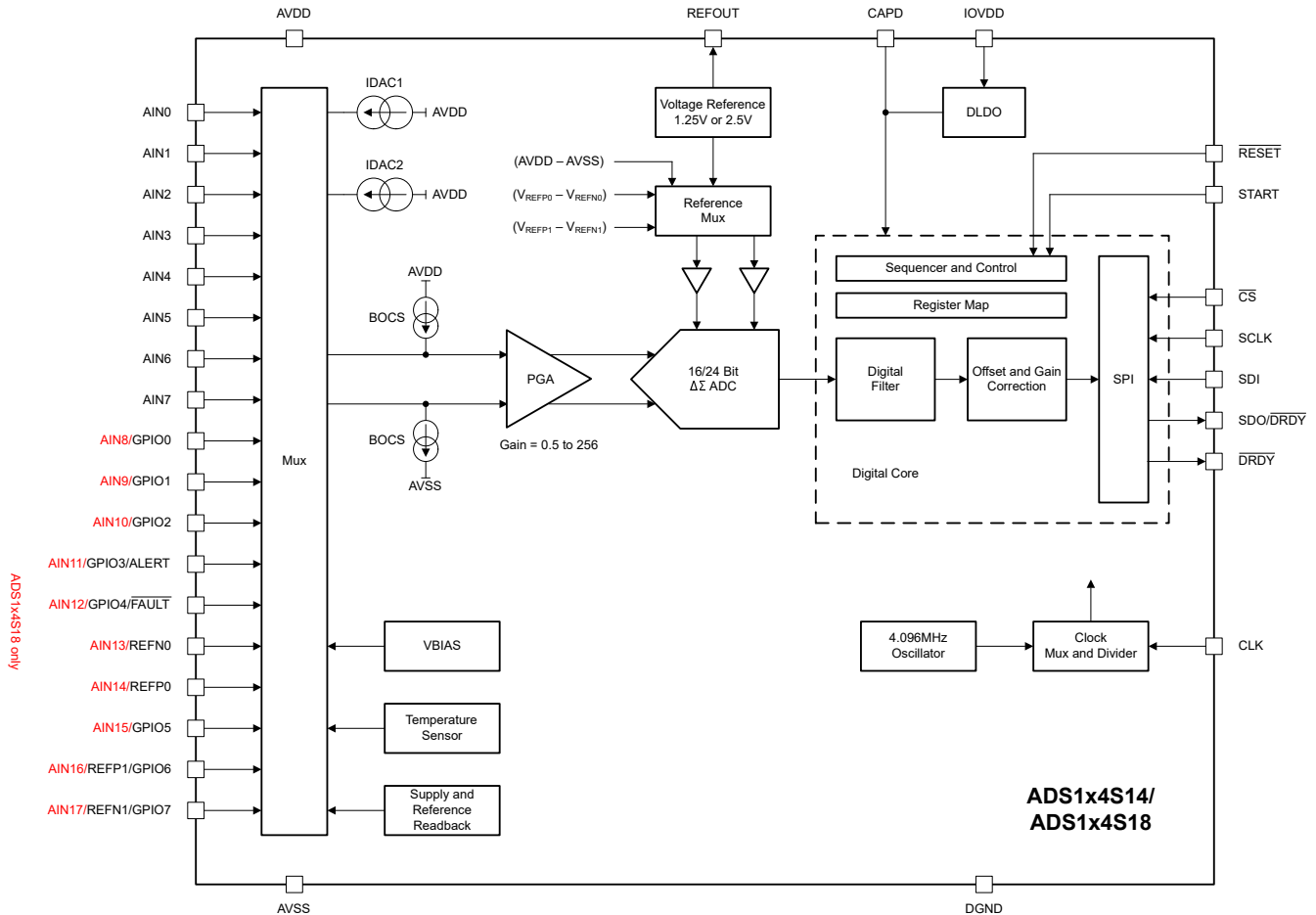
主要集成模拟特性包括：

- 灵活的输入多路复用器，允许选择 8 (ADS1x4S14) 或 18 (ADS1x4S18) 模拟输入或 AVSS 中的任何一个作为正或负输入。
- 可编程增益为 0.5 至 256 的低噪声、高输入阻抗 PGA。
 - 增益 0.5 可用于测量大于所选基准电压的信号。
 - 对于 0.5 到 10 之间的增益设置，可以进行单端测量，其中负输入连接到 AVSS。
- 低漂移电压基准可编程为 1.25V 或 2.5V。REFOUT 引脚上提供了内部电压基准的缓冲版本，可用于偏置外部电路。
- 两个外部差分基准输入对 (REFP0, REFN0 和 REFP1, REFN1)，具有可单独启用和禁用的可选基准缓冲器。
- 两个匹配的传感器激励电流源 (IDAC)，此类电流源可路由到 8 (ADS1x4S14) 或 18 (ADS1x4S18) 模拟输入中的任何一个，用于偏置电阻式传感器，例如热敏电阻、电阻式温度检测器 (RTD) 或桥式传感器。可采用精细粒度对 1 μ A 和 1mA 之间的激励电流进行编程。
- 一组用于传感器故障检测的可编程烧毁电流源。
- 一个建立器件主时钟的低漂移 4.096MHz 振荡器。或者，可以提供外部时钟。
- 线性温度传感器。
- 偏置电压发生器 (VBIAS) 用于偏置浮动传感器 (例如热电偶)。
- 模拟电源和基准欠压监控器。根据电路实现方式，基准欠压监控器对于检测传感器开路情况特别有用。
- 与 ADS1x4S18 上的模拟输入共享的八个通用输入/输出引脚 (GPIO)。可为每个通用输出单独选择推挽或开漏输出配置。GPIO 使用基于模拟电源的逻辑电平。

这些器件还包含多种数字特性，以适应各种应用：

- 四种速度模式可优化每种应用的功耗和噪声性能。
- 根据所选速度模式，可通过调整集成数字滤波器的过采样率 (OSR) 来实现 3.9SPS 至 128kSPS 的输出数据速率。在 20SPS 和 25SPS 的输出数据速率下，数字滤波器提供同步 50Hz 和 60Hz 线路周期抑制并实现单周期趋稳。
- 序列发生器可在无需主机控制器交互的情况下扫描多达 24 个可独立编程的序列步骤配置。
- 可将失调电压和温漂降至最低的全局斩波模式。
- 每个序列步骤的用户偏移和增益校准寄存器。
- 每个序列步骤具有可配置的高低阈值的数字比较器。例如，数字比较器与序列发生器一起用于自主电源电压监控。使用专用数字比较器 ALERT 输出引脚来中断，并向主机控制器通知已跳变比较器。
- 一个与 SPI 兼容的串行接口，用于读取转换和寄存器数据以及配置和控制该器件。当 $\overline{CS}$ 引脚永久连接至低电平时，可以进行 3 线 SPI 操作，以减少所需的数字通信信号的数量。该接口允许通过菊花链中的一条 SPI 总线与多个器件进行通信。
- 数据完整性功能，例如 SPI CRC、寄存器映射 CRC 和内部存储器 CRC，用于检测通信故障和意外位翻转。
- 在两种输出数据编码方案之间进行选择：二进制补码和单极标准二进制格式。单极标准二进制格式对差分输入信号始终为正的的应用很有用。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入和多路复用器

ADS1x4S1x 包含一个灵活的输入多路复用器；请参阅图 7-1。使用 STEPx_AINP[4:0] 和 STEPx_AINN[4:0] 位选择 8 (ADS1x4S14) 或 18 (ADS1x4S18) 模拟输入中的任何一个作为 PGA 的正输入或负输入。此外，可以选择内部 AVSS 连接作为正或负 PGA 输入。

多路复用器还会将两个集成激励电流源路由到 8 (ADS1x4S14) 或 18 (ADS1x4S18) 模拟输入引脚中的任何一个，以偏置电阻式传感器（电桥、RTD 和热敏电阻）。

此外，ADS1x4S1x 包含以下系统监控功能，可使用 STEPx_SYS_MON[2:0] 位通过多路复用器选择这些功能进行测量：

- PGA 的输入可以一起短接至 $1/2 V_s ((AVDD + AVSS) / 2)$ ，以测量和校准内部信号链的输入失调电压。
- 集成温度传感器，可提供与器件温度成比例的输出信号。
- 两个衰减的外部基准电压中的任何一个 $(V_{REFPx} - V_{REFNx}) / 8$ 。
- 衰减模拟电源和数字电源， $((AVDD - AVSS) / 8)$ 、 $(IOVDD / 8)$ 和 $(V_{DLDO} / 4)$ 。

连接到 AVDD 和 AVSS 的静电放电 (ESD) 二极管可保护输入。为防止 ESD 二极管导通，任何输入端的绝对电压必须保持在方程式 5 提供的范围内：

$$AVSS - 0.3V < V_{AINx} < AVDD + 0.3V \quad (5)$$

可能需要外部肖特基钳位二极管或串联电阻器将输入电流限制在安全值（请参阅绝对最大额定值表）。过度驱动器件上未选择的输入可能会影响其他输入引脚上发生的转换。

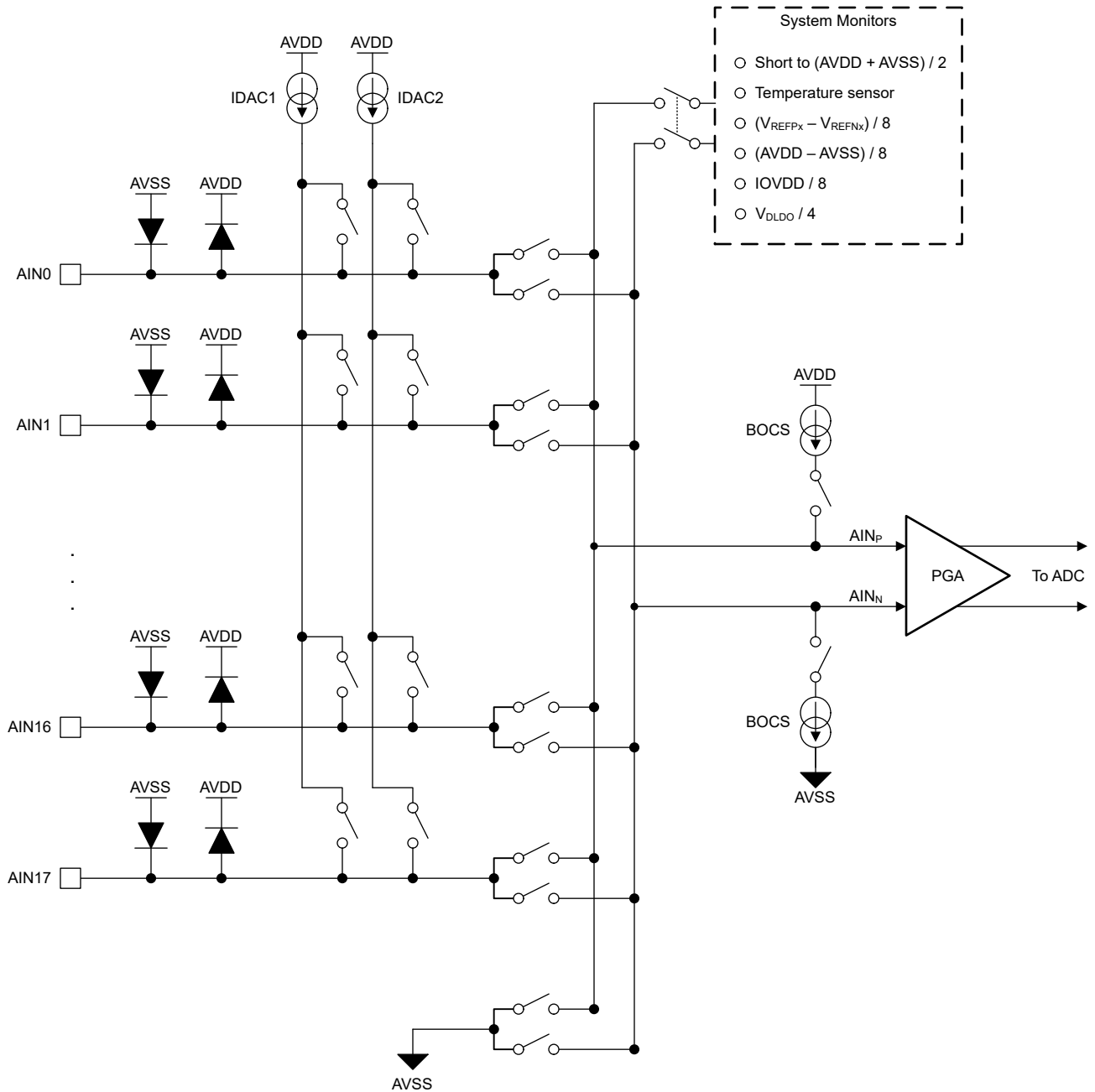


图 7-1. 输入多路复用器 (ADS1x4S18)

7.3.2 可编程增益放大器 (PGA)

ADS1x4S1x 集成了一个低漂移、低噪声、高输入阻抗的可编程增益放大器 (PGA)。使用 STEP_x_GAIN[3:0] 位可配置增益为 0.5、1、2、4、5、8、10、16、20、32、50、64、100、128、200 或 256 的 PGA。PGA 的满量程输入电压范围 (FSR) 由增益设置、基准电压和转换数据编码设置定义，如 [方程式 6](#) 和 [方程式 7](#) 所示：

$$\text{Binary two's complement coding: FSR} = \pm V_{\text{REF}} / \text{Gain} \quad (6)$$

$$\text{Unipolar straight binary coding: FSR} = 0\text{V to } +V_{\text{REF}} / \text{Gain} \quad (7)$$

[表 7-1](#) 分别针对 1.25V 和 2.5V 基准电压使用二进制补码编码显示了相应的标称满量程范围。

表 7-1. PGA 满标量程 (二进制补码编码)

增益设置	V _{REF} = 1.25V	V _{REF} = 2.5V
0.5	±2.5V	±5V
1	±1.25V	±2.5V
2	±0.625V	±1.25V
4	±0.313V	±0.625V
5	±0.25V	±0.5V
8	±0.156V	±0.313V
10	±0.125V	±0.25V
16	±78.125mV	±0.156V
20	±62.5mV	±0.125V
32	±39.063mV	±78.125mV
50	±25mV	±50mV
64	±19.531mV	±30.063mV
100	±12.5mV	±25mV
128	±9.766mV	±19.531mV
200	±6.25mV	±12.5mV
256	±4.883mV	±9.766mV

根据增益设置，PGA 需满足特定的电压余量要求才能保持在线性工作范围内，对于 [建议运行条件](#) 中的绝对输入电压参数指定的所选正负模拟输入，必须满足此要求。即使对于原则上超出这些限值的 FSR 设置，正负 PGA 输入也都需要保持在这些电压限值内。例如，假设 AVDD = 3.3V，AVSS = GND，增益 = 0.5，V_{REF} = 2.5V，采用单极编码方案且 AINN 连接至 GND。在这种情况下，AINP 需要保持在 0V 和 (3.3V - 0.35V) = 2.95V 之间。因此，仅使用完整代码范围 (FSR = 0V 至 5V) 的一部分。

对于增益设置 0.5 至 10，器件允许在负模拟输入保持在 AVSS 的情况下进行单端测量。在这种情况下，负模拟输入可以使用多路复用器的模拟输入之一或内部 AVSS 连接从外部连接到 AVSS。这些器件提供单极、标准二进制转换数据编码方案，可使用 STEP_x_CODING 位进行选择。由于完整代码范围映射到 0V 至 +V_{REF}/增益电压范围，因此该编码方案有利于单端测量。

对于增益设置 16 至 256，PGA 需要在正负模拟输入上从 AVSS 和 AVDD 获得一些电压余量。

PGA 在空闲模式下保持运行状态，但在待机和断电模式下关断。

7.3.3 电压基准

ADC 需要一个基准电压才能运行。基准电压幅度与 PGA 增益设置共同确定了 ADC 满标量程。使用 STEP_x_REF_SEL[1:0] 位从以下基准源之一进行选择：

- 内部电压基准
- REFP0 和 REFN0 引脚之间连接的外部基准 (V_{REF} = V_{REFP0} - V_{REFN0})

- REFP1 和 REFN1 引脚之间连接的外部基准 ($V_{REF} = V_{REFP1} - V_{REFN1}$)
- 模拟电源 ($V_{REF} = AVDD - AVSS$)

7.3.3.1 内部基准

器件集成了精密、低漂移电压基准。使用 REF_VAL 位在 1.25V 至 2.5V 基准电压选项之间选择。更改 REF_VAL 位设置时，留出至少 10ms 让器件在开始任何转换之前切换基准值。内部电压基准需要 AVDD 电源有一定的电压余量才能按照 [电气特性](#) 表中所指定的方式运行。选择 2.5V 基准值时，请记住该余量。

即使选择外部基准或模拟电源作为基准源，也将始终启用内部基准。内部电压基准仅在断电模式下断电。

REFOUT 引脚提供内部基准电压的缓冲版本。REFOUT 引脚既可以拉出电流，也可以灌入电流，以偏置外部电路。在 REFOUT 和 AVSS 间连接一个 100nF 电容器。可以使用高达 1.3 μ F 的更大电容值来帮助滤除更多噪声，但代价是基准启动时间更长。为了确保内部电压基准的稳定性，即使 REFOUT 引脚未用于偏置任何外部电路，即使选择了外部基准之一或模拟电源作为基准源，也需要使用电容器。请记住器件上电、复位或在开始任何转换之前退出省电模式时的基准趋稳时间。

7.3.3.2 外部基准

该器件提供两个差分外部基准输入对，即 REFP0、REFN0 和 REFP1、REFN1。REFPx 和 REFNx 之间的差分电压 ($x = 0$ 或 1) 为 ADC 建立了基准电压 $V_{REF} = V_{REFPx} - V_{REFNx}$ 。差分基准输入允许自由调节基准共模电压。但是，基准电压的极性必须为正。也就是说， V_{REFPx} 需要大于 V_{REFNx} 。请遵循 [建议运行条件](#) 中有关绝对和差分基准输入电压的要求。

在 ADS1x4S18 REFP0、REFN0 和 REFP1 上，REFN1 输入分别与 AIN14、AIN13 和 AIN16、AIN17 引脚组合。即使输入配置为外部基准输入，AIN13、AIN14、AIN16 和 AIN17 仍然可以用作模拟输入。

7.3.3.3 基准缓冲器

这些器件提供两个独立可选的基准输入缓冲器来降低基准输入电流。使用 STEPx_REFP_BUF_EN 和 STEPx_REFN_BUF_EN 位分别启用或禁用正基准缓冲器和负基准缓冲器。

当所选的外部负基准输入 (REFNx) 为 AVSS 时，禁用负基准缓冲器。当所选的外部正基准输入 (REFPx) 为 AVDD 时，禁用正基准缓冲器。选择内部电压基准或模拟电源作为基准源时，禁用两个基准缓冲器。

基准缓冲器在空闲模式下保持运行状态，但在待机和断电模式下关断。

7.3.4 功率可扩展速度模式

这些器件还提供了四种速度模式来权衡功耗、分辨率和数据速率。每种速度模式对应于特定调制器时钟频率和器件偏置电流设置。速度模式 3 ($f_{MOD} = 1.024\text{MHz}$) 在 10SPS 数据速率设置下提供最高数据速率 (高达 128kSPS) 和最低噪声。相比之下，速度模式 0 ($f_{MOD} = 32\text{kHz}$) 尽可能地降低功耗，代价是噪声性能。根据所需的数据速率、分辨率和器件功耗要求，使用 SPEED_MODE[1:0] 位来选择速度模式。速度模式全局应用于器件，无法针对每个单独的序列步骤进行配置。

7.3.5 时钟源

ADS1x4S1x 需要一个主时钟才能运行。主时钟通过以下两种方式之一提供：

- 内部低漂移 4.096MHz 振荡器或
- CLK 输入引脚上的外部时钟

使用 CLK_SEL 位选择时钟源。在器件上电或器件复位后，默认情况下会选择内部主振荡器作为时钟源。

Δ - Σ ADC 的调制器时钟源自主时钟。时钟分频器根据所选速度模式将主时钟频率 (f_{CLK}) 除以分频因子，以创建调制器频率 ($f_{MOD} = f_{CLK} / \text{DIV}$)。表 7-2 显示了每个速度模式的相应时钟分频器设置以及标称调制器频率。

表 7-2. 时钟分频器设置

速度模式	时钟分频器 (DIV)	调制器频率 (f_{MOD}) ⁽¹⁾
0	128	32kHz

表 7-2. 时钟分频器设置 (续)

速度模式	时钟分频器 (DIV)	调制器频率 (f_{MOD}) ⁽¹⁾
1	16	256kHz
2	8	512kHz
3	4	1.024MHz

(1) 使用 $f_{CLK} = 4.096\text{MHz}$ 的标称时钟频率。

7.3.6 Δ - Σ 调制器

ADS1x4S1x 使用固有稳定性的三阶 Δ - Σ 调制器。该调制器以调制器频率 ($f_{MOD} = 1 / t_{MOD}$) 对模拟输入电压进行采样，并将模拟输入转换为表示输入信号与基准电压之比的单密度位流。调制器将转换器的噪声整形至高频率，再由数字滤波器去除噪声。

7.3.7 数字滤波器

Δ - Σ 调制器位流馈入数字滤波器。低通数字滤波器会滤波并抽取低分辨率、高速的调制器输出，以采用输出数据速率 f_{DATA} 生成高分辨率 ADC 数据。根据 [方程式 8](#) 定义，抽取因子称为过采样率 (OSR)。

$$OSR = f_{MOD} / f_{DATA} \quad (8)$$

OSR 决定了数字滤波器中应用于调制器输出的平均量，因此也决定了滤波器带宽和转换噪声。较高的 OSR 可导致较低的滤波器带宽和更佳的噪声性能。

使用 STEPx_FLTR_OSR[4:0] 位选择 OSR，并与 STEPx_FLTR_MODE 位配合，在以下数字滤波器类型之间进行选择：

- OSR 范围为 8 至 102400 的 Sinc3 或 Sinc4 滤波器。
- OSR 固定为 32 的 Sinc4 滤波器，后跟范围为 2 至 3200 的 Sinc1 滤波器。
- 有限脉冲响应 (FIR) 滤波器，具有 20SPS 和 25SPS 的速度模式独立数据速率选项，可提供同步 50Hz 和 60Hz 线路周期抑制。

图 7-2 展示了数字滤波器架构。

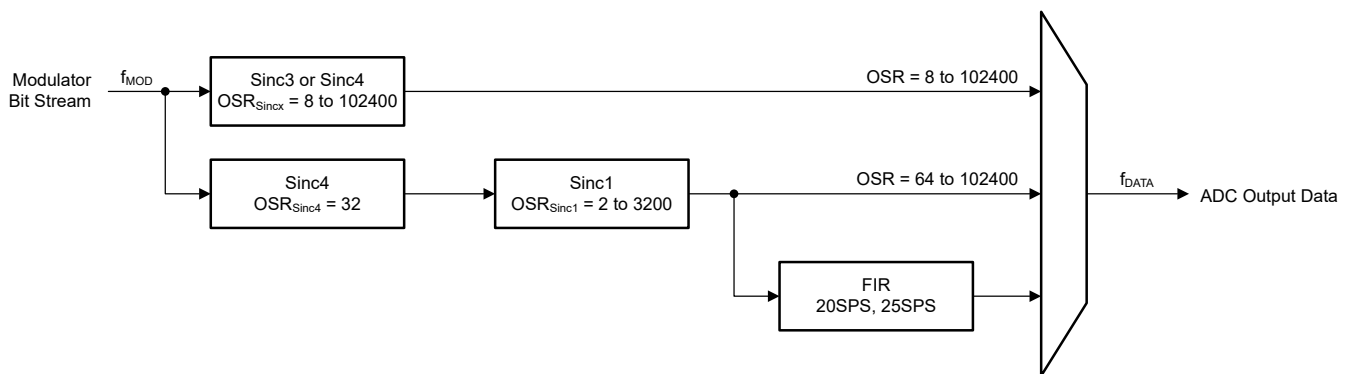


图 7-2. 数字滤波器架构

7.3.7.1 Sinc3 和 Sinc4 滤波器

STEPx_FLTR_OSR[4:0] 位设置 00000b 至 10000b 决定 Sinc3 或 Sinc4 滤波器的 OSR 设置。使用 STEPx_FLTR_MODE 位选择 Sinc 滤波器阶数 (Sinc3 或 Sinc4)。与 Sinc3 滤波器相比，Sinc4 滤波器可产生更好的噪声性能，但会增加趋稳时间。当使用超过 10000b 的 STEPx_FLTR_OSR[4:0] 位设置时，STEPx_FLTR_MODE 位无效。

对于 STEP_x_FLTR_OSR[4:0] 位设置 00000b 至 01100b，表 7-3 概述了各种速度模式生成的输出数据速率。数据速率与 f_{CLK} 成比例缩放。

表 7-3. Sinc3 和 Sinc4 滤波器输出数据速率

OSR	输出数据速率 (f _{DATA}) ⁽¹⁾			
	速度模式 0 (f _{MOD} = 32kHz)	速度模式 1 (f _{MOD} = 256kHz)	速度模式 2 (f _{MOD} = 512kHz)	速度模式 3 (f _{MOD} = 1.024MHz)
8	4kSPS	32kSPS	64kSPS	128kSPS
16	2kSPS	16kSPS	32kSPS	64kSPS
24	1.33kSPS	10.67kSPS	21.33kSPS	42.67kSPS
32	1kSPS	8kSPS	16kSPS	32kSPS
64	500SPS	4kSPS	8kSPS	16kSPS
128	250SPS	2kSPS	4kSPS	8kSPS
256	125SPS	1kSPS	2kSPS	4kSPS
512	62.5SPS	500SPS	1kSPS	2kSPS
640	50SPS	400SPS	800SPS	1.6kSPS
1024	31.25SPS	250SPS	500SPS	1kSPS
2048	15.63SPS	125SPS	250SPS	500SPS
4096	7.81SPS	62.5SPS	125SPS	250SPS
8192	3.91SPS	31.25SPS	62.5SPS	125SPS

(1) 基于 f_{CLK} = 4.096MHz 的标称时钟频率

对于 STEP_x_FLTR_OSR[4:0] 位设置 01101b 至 10000b，器件会根据所选速度模式调整 OSR 设置，以在四种速度模式中的每一种模式下实现 10SPS、16.7SPS、50SPS 或 60SPS 所需的输出数据速率。表 7-4 列出了每种速度模式的 OSR 设置。由于输出数据速率与时钟频率成正比，因此请使用内部振荡器或标称频率为 f_{CLK} = 4.096MHz 的外部时钟来实现列出的数据速率。

该数字滤波器在 16.7SPS 和 50SPS 的输出数据速率下提供 50Hz 线路周期抑制。在 60SPS 下，数字滤波器提供 60Hz 线路周期抑制。在 10SPS 下，数字滤波器可抑制 50Hz 和 60Hz 的线路周期频率。有关该器件的 50Hz 和 60Hz 线路周期抑制功能的更多详细信息，请参阅 [50Hz 和 60Hz 线路周期抑制](#) 部分。

表 7-4. 具有线路周期抑制功能的输出数据速率的 Sinc3 和 Sinc4 滤波器 OSR 设置

输出数据速率 ⁽¹⁾ (f _{DATA})	OSR			
	速度模式 0 (f _{MOD} = 32kHz)	速度模式 1 (f _{MOD} = 256kHz)	速度模式 2 (f _{MOD} = 512kHz)	速度模式 3 (f _{MOD} = 1.024MHz)
10SPS	3200	25600	51200	102400
16.7SPS	1920	15360	30720	61440
50SPS	640	5120	10240	20480
60SPS	532	4256	8512	17024

(1) 基于 f_{CLK} = 4.096MHz 的标称时钟频率

Sinc 滤波器的频率响应由 [方程式 9](#) 给出。

$$|H(f)| = \left| \frac{\sin \left[\frac{A\pi f}{f_{\text{MOD}}} \right]}{A \sin \left[\frac{\pi f}{f_{\text{MOD}}} \right]} \right|^x \quad (9)$$

其中：

- f = 信号频率
- f_{MOD} = 调制器频率
- A = Sinc 滤波器 OSR
- x = Sinc 滤波器的阶数 (3 或 4)

表 7-5 列出了两个 Sinc 滤波器阶数的 - 3dB 频率。

表 7-5. Sinc 滤波器 - 3dB 频率

SINC 滤波器阶数	- 3dB 频率
Sinc3	$0.262 \times f_{\text{DATA}}$
Sinc4	$0.227 \times f_{\text{DATA}}$

图 7-3 和图 7-4 显示了归一化为输出数据速率的 Sinc 滤波器的滤波器频率响应。Sinc 滤波器在输出数据速率的整数倍上具有无限衰减，但 f_{MOD} 的整数倍除外，如图 7-4 中所示。与所有数字滤波器一样，该频率响应以调制器频率 f_{MOD} 的整数倍重复。在接近 $n \times f_{\text{MOD}}$ ($n = 1, 2, 3$ 等) 的输入频率下，数字滤波器不会提供衰减。数据速率和滤波器陷波频率随 f_{MOD} 而变化。

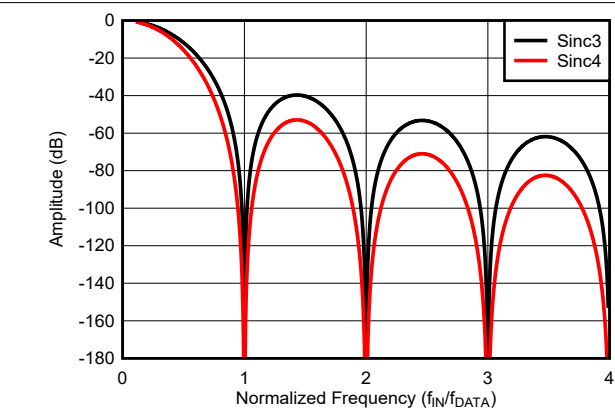


图 7-3. Sinc3 和 Sinc4 滤波器频率响应

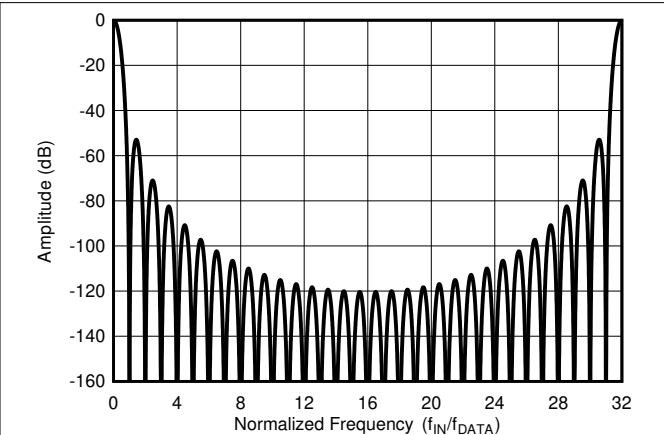


图 7-4. f_{MOD} 的 Sinc4 频率响应 (OSR = 32)

7.3.7.2 Sinc4 + Sinc1 滤波器

STEPx_FLTR_OS[4:0] 位设置 10001b 至 11101b 确定级联 Sinc4 + Sinc1 滤波器路径的 OSR 设置。在这些设置下，Sinc4 滤波器以固定 OSR = 32 运行。Sinc1 滤波器的 OSR 设置范围为 2 至 3200，以产生 64 至 102400 的组合 OSR 范围。与 Sinc3 或 Sinc4 滤波器相比，级联的 Sinc4 + Sinc1 滤波器路径可提供更短的趋稳时间，但会降低噪声性能。

对于 STEPx_FLTR_OS[4:0] 位设置 10001b 至 11001b，表 7-6 概述了根据 OSR 设置为各种速度模式生成的输出数据速率。数据速率与 f_{CLK} 成比例缩放。

表 7-6. Sinc4 + Sinc1 滤波器输出数据速率

OSR	- 3dB 频率	输出数据速率 (f_{DATA}) ⁽¹⁾			
		速度模式 0 ($f_{\text{MOD}} = 32\text{kHz}$)	速度模式 1 ($f_{\text{MOD}} = 256\text{kHz}$)	速度模式 2 ($f_{\text{MOD}} = 512\text{kHz}$)	速度模式 3 ($f_{\text{MOD}} = 1.024\text{MHz}$)
64	$0.342 \times f_{\text{DATA}}$	500SPS	4kSPS	8kSPS	16kSPS
128	$0.410 \times f_{\text{DATA}}$	250SPS	2kSPS	4kSPS	8kSPS
256	$0.434 \times f_{\text{DATA}}$	125SPS	1kSPS	2kSPS	4kSPS
512	$0.440 \times f_{\text{DATA}}$	62.5SPS	500SPS	1kSPS	2kSPS
640	$0.441 \times f_{\text{DATA}}$	50SPS	400SPS	800SPS	1.6kSPS

表 7-6. Sinc4 + Sinc1 滤波器输出数据速率 (续)

OSR	- 3dB 频率	输出数据速率 (f_{DATA}) ⁽¹⁾			
		速度模式 0 ($f_{\text{MOD}} = 32\text{kHz}$)	速度模式 1 ($f_{\text{MOD}} = 256\text{kHz}$)	速度模式 2 ($f_{\text{MOD}} = 512\text{kHz}$)	速度模式 3 ($f_{\text{MOD}} = 1.024\text{MHz}$)
1024	$0.442 \times f_{\text{DATA}}$	31.25SPS	250SPS	500SPS	1kSPS
2048	$0.442 \times f_{\text{DATA}}$	15.63SPS	125SPS	250SPS	500SPS
4096	$0.442 \times f_{\text{DATA}}$	7.81SPS	62.5SPS	125SPS	250SPS
8192	$0.442 \times f_{\text{DATA}}$	3.91SPS	31.25SPS	62.5SPS	125SPS

(1) 基于 $f_{\text{CLK}} = 4.096\text{MHz}$ 的标称时钟频率

对于 STEP_x_FLTR_OS[4:0] 位设置 11010b 至 11101b，器件会根据所选速度模式调整 OSR 设置，以在四种速度模式中的每一种模式下实现 10SPS、16.7SPS、50SPS 或 60SPS 所需的输出数据速率。表 7-7 列出了每种速度模式的 OSR 设置。由于输出数据速率与时钟频率成正比，因此请使用内部振荡器或标称频率为 $f_{\text{CLK}} = 4.096\text{MHz}$ 的外部时钟来实现列出的数据速率。

该数字滤波器在 16.7SPS 和 50SPS 的输出数据速率下提供 50Hz 线路周期抑制。在 60SPS 下，数字滤波器提供 60Hz 线路周期抑制。在 10SPS 下，数字滤波器可抑制 50Hz 和 60Hz 的线路周期频率。有关该器件的 50Hz 和 60Hz 线路周期抑制功能的更多详细信息，请参阅 [50Hz](#) 和 [60Hz 线路周期抑制](#) 部分。

表 7-7. 具有线路周期抑制功能的输出数据速率的 Sinc4 + Sinc1 滤波器 OSR 设置

输出数据速率 ⁽¹⁾ (f_{DATA})	- 3dB 频率	OSR			
		速度模式 0 ($f_{\text{MOD}} = 32\text{kHz}$)	速度模式 1 ($f_{\text{MOD}} = 256\text{kHz}$)	速度模式 2 ($f_{\text{MOD}} = 512\text{kHz}$)	速度模式 3 ($f_{\text{MOD}} = 1.024\text{MHz}$)
10SPS	4.4Hz	3200	25600	51200	102400
16.7SPS	7.4Hz	1920	15360	30720	61440
50SPS	22.1Hz	640	5120	10240	20480
60SPS	26.6Hz	544	4256	8544	17056

(1) 基于 $f_{\text{CLK}} = 4.096\text{MHz}$ 的标称时钟频率

表 7-6 和表 7-7 中给出了各种 Sinc 滤波器配置的 - 3dB 频率。

组合 Sinc4 + Sinc1 滤波器的频率响应由 方程式 10 给出。

$$|H(f)| = \left| \frac{\sin \left[\frac{A\pi f}{f_{\text{MOD}}} \right]}{A \sin \left[\frac{\pi f}{f_{\text{MOD}}} \right]} \right|^4 \cdot \left| \frac{\sin \left[\frac{AB\pi f}{f_{\text{MOD}}} \right]}{B \sin \left[\frac{A\pi f}{f_{\text{MOD}}} \right]} \right| \quad (10)$$

其中：

- f = 信号频率
- f_{MOD} = 调制器频率
- A = Sinc4 滤波器 OSR = 32
- B = Sinc1 滤波器 OSR

图 7-5 和图 7-6 展示了归一化为 Sinc1 OSR 为 4、8、16 和 32 的输出数据速率的级联 Sinc4 + Sinc1 滤波器的滤波器频率响应示例。Sinc 滤波器在输出数据速率的整数倍上具有无限衰减，但 f_{MOD} 的整数倍除外。与所有数字滤波器一样，该频率响应以调制器频率 f_{MOD} 的整数倍重复。在接近 $n \times f_{\text{MOD}}$ ($n = 1, 2, 3$ 等) 的输入频率下，数字滤波器不会提供衰减。数据速率和滤波器陷波频率随 f_{MOD} 而变化。

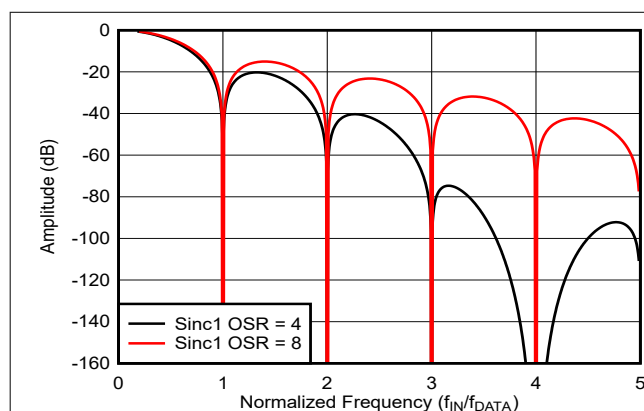


图 7-5. Sinc4 + Sinc1 频率响应
(Sinc4 OSR = 32)

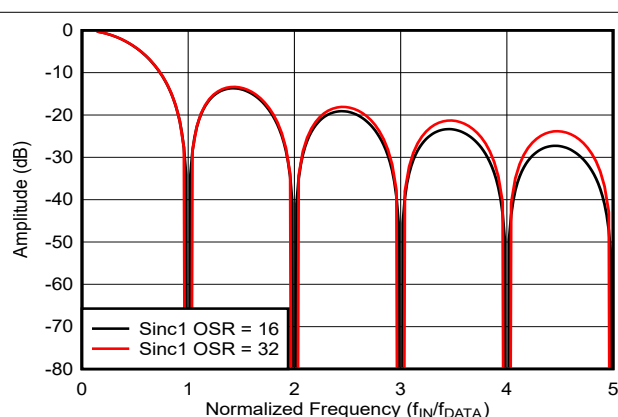


图 7-6. Sinc4 + Sinc1 频率响应
(Sinc4 OSR = 32)

7.3.7.3 FIR 滤波器

除了 Sinc 滤波器之外，这些器件还提供两个 FIR 滤波器选项，它们可产生同步 50Hz 和 60Hz 线路周期抑制，同时提供单周期趋稳行为。使用 STEPx_FLTR_OSR[4:0] 位在 20SPS 和 25SPS 数据速率选项之间进行选择。FIR 滤波器根据选定的速度模式调整 OSR，以在所有四种速度模式下提供 20SPS 和 25SPS 的数据速率，如表 7-8 所示。有关使用 FIR 滤波器时该器件的 50Hz 和 60Hz 线路周期抑制功能的更多详细信息，请参阅 [50Hz 和 60Hz 线路周期抑制](#) 部分。

表 7-8. FIR 滤波器 OSR 设置

输出数据速率 ⁽¹⁾	- 3dB 频率	OSR			
		速度模式 0 (f _{MOD} = 32kHz)	速度模式 1 (f _{MOD} = 256kHz)	速度模式 2 (f _{MOD} = 512kHz)	速度模式 3 (f _{MOD} = 1.024MHz)
20SPS	13.2Hz	1600	12800	25600	51200
25SPS	15.1Hz	1280	10240	20480	40960

(1) 基于 f_{CLK} = 4.096MHz 的标称时钟频率

图 7-7 至图 7-10 展示了两种 FIR 滤波器配置的滤波器频率响应。表 7-8 中给出了两种 FIR 滤波器的 - 3dB 频率。

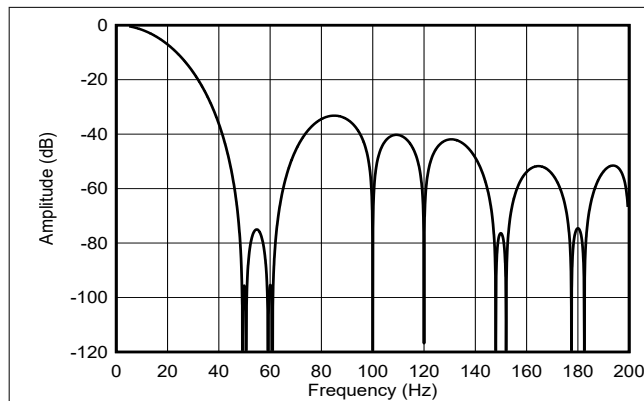


图 7-7. 20SPS 频率响应

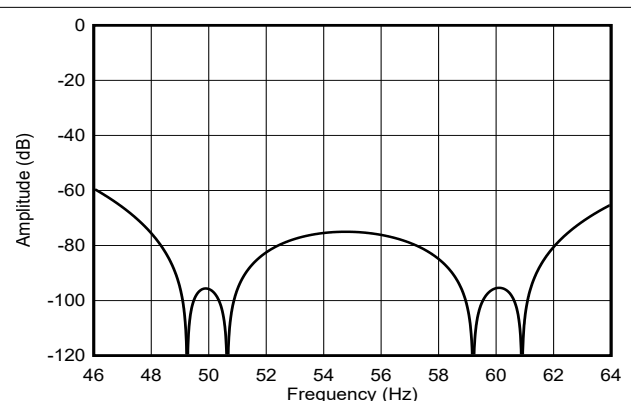


图 7-8. 20SPS 频率响应 (缩放)

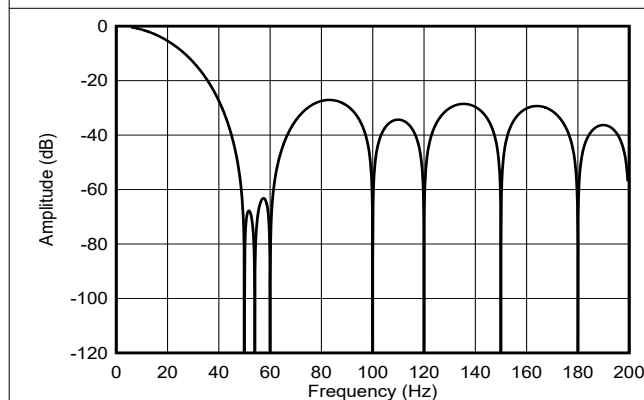


图 7-9. 25SPS 频率响应

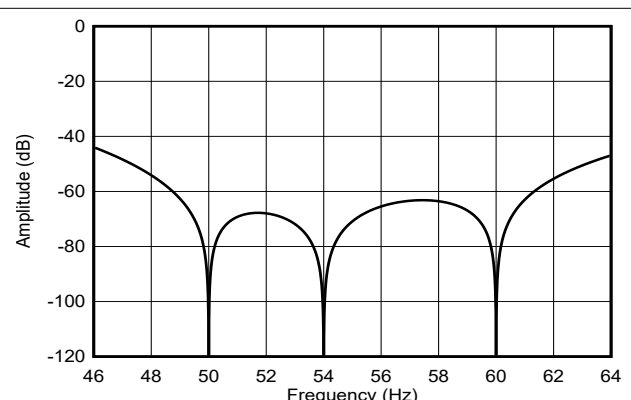


图 7-10. 25SPS 频率响应 (缩放)

7.3.7.4 50Hz 和 60Hz 线路周期抑制

在特定的滤波器类型和数据速率设置下，数字滤波器可抑制常见的 50Hz 和 60Hz 线路周期频率。表 7-9 总结了在假设 4.096MHz 的标称器件时钟无容差且线路周期频率变化 $\pm 1\text{Hz}$ 的情况下，这些设置的正常模式抑制。使用内部振荡器运行器件时，请考虑振荡器容差，如电气特性表中的 NMRR 参数规格所示。

表 7-9. 50Hz 和 60Hz 线路周期抑制

滤波器类型	输出数据速率 ⁽¹⁾ (f_{DATA})	NMRR	
		50Hz $\pm 1\text{Hz}$	60Hz $\pm 1\text{Hz}$
Sinc4	10SPS	136dB	142dB
	16.7SPS	135dB	86dB
	50SPS	135dB	–
	60SPS	–	137dB
Sinc3	10SPS	102dB	107dB
	16.7SPS	102dB	65dB
	50SPS	101dB	–
	60SPS	–	103dB
Sinc4 + Sinc1	10SPS	34dB	36dB
	16.7SPS	34dB	22dB
	50SPS	34dB	–
	60SPS	–	35dB
FIR	20SPS	95dB	102dB
	25SPS	63dB	63dB

(1) 基于 $f_{\text{CLK}} = 4.096\text{MHz}$ 的标称时钟频率

7.3.7.5 数字滤波器延迟

当序列发生器为转换选择新的序列步骤时，数字滤波器会复位并需要一段时间才能提供稳定的输出数据。该时间称为延迟时间。ADS1x4S1x 会在内部隐藏未稳定的数据，并通过将 $\overline{\text{DRDY}}$ 引脚拉低电平以及将 $\overline{\text{DRDY}}$ 位设为 1b 来指示已获得稳定的转换数据。一个序列步骤内的第二次和所有后续转换的转换周期等于 $t_{\text{DATA}} = 1 / f_{\text{DATA}} = \text{OSR} / f_{\text{MOD}}$ ，如图 7-11 所示。

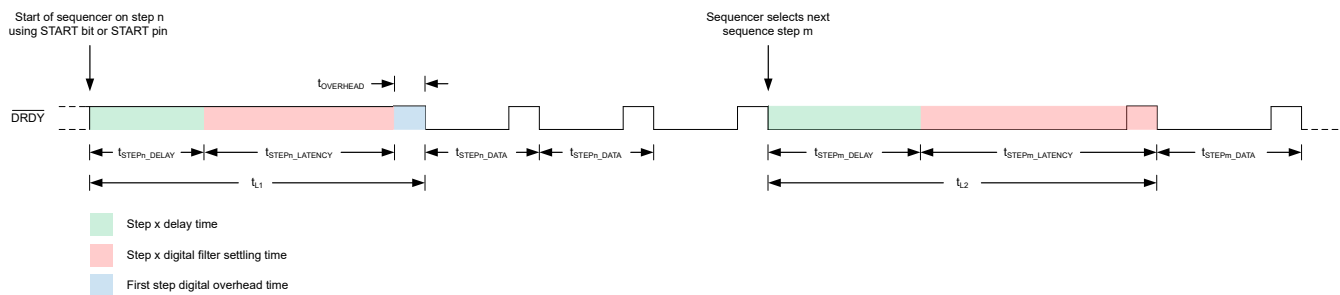


图 7-11. 延迟时间和转换周期

使用 $\overline{\text{START}}$ 位或 $\overline{\text{START}}$ 引脚启动或重新启动序列发生器后，第一个序列步骤的第一次转换的延迟为 t_{L1} ，如图 7-11 所示。延迟时间 t_{L1} 从 $\overline{\text{START}}$ 位设为 1b 的寄存器写入帧的 $\overline{\text{CS}}$ 上升沿或 $\overline{\text{START}}$ 引脚上升沿开始测量，到第一个 $\overline{\text{DRDY}}$ 下降沿结束。由于 SPI 中的 $\overline{\text{CS}}$ 信号时钟域被调制器时钟域上运行的数字滤波器逻辑锁存，因此使用方程式 11 计算的延迟时间存在 $\pm 1 t_{\text{MOD}}$ 的不确定性。

当序列发生器在 $\text{SEQ_MOD}[1:0] = 10\text{b}$ 或 11b 模式下运行时，第二个和所有后续序列步骤的第一次转换的延迟为 t_{L2} ，如图 7-11 所示。延迟时间 t_{L2} 是指从上一个序列步骤最后一次转换的 $\overline{\text{DRDY}}$ 下降沿到新序列步骤第一次转换的 $\overline{\text{DRDY}}$ 下降沿的时间，如图 7-11 所示。

此外，可以增加每个步骤的可编程延迟时间，以在序列发生器选择新的序列步骤后延迟转换周期的启动。此延迟时间允许外部元件进入趋稳状态，例如在退出待机模式后电压基准的趋稳，或当序列发生器在不同器件配置的序列步骤之间切换时提供额外的趋稳时间。仅对序列步骤的第一次转换增加延迟时间，如图 7-11 所示。序列步骤内的后续转换不会延迟。使用 $\text{STEPx_DELAY}[6:0]$ 位为每个序列步骤配置单独的延迟时间。

启动或重新启动序列发生器后完成第一个序列步骤的第一次转换的时间遵循方程式 11。

当使用序列发生器模式 $\text{SEQ_MODE}[1:0] = 10\text{b}$ 或 11b 时，第二个和所有后续序列步骤的第一个转换的完成时间遵循方程式 12。

$$t_{L1} = t_{\text{STBY_DELAY}} + t_{\text{STEPx_DELAY}} + t_{\text{OVERHEAD}} + t_{\text{STEPx_LATENCY}} \quad (11)$$

$$t_{L2} = t_{\text{STEPx_DELAY}} + t_{\text{STEPx_LATENCY}} \quad (12)$$

其中：

- $t_{\text{STEPx_LATENCY}}$ 是表 7-10 和表 7-11 中给出的延迟时间
- $t_{\text{STEPx_DELAY}}$ 是通过 $\text{STEPx_DELAY}[6:0]$ 位确定的延迟时间
- 从空闲模式 ($\text{STBY_MODE} = 0\text{b}$) 启动序列发生器时， $t_{\text{STBY_DELAY}} = 0$ 。
当从待机模式 ($\text{STBY_MODE} = 1\text{b}$) 启动序列发生器时，器件会在用户可编程延迟时间之前增加取决于速度模式的延迟时间，以允许内部电路唤醒：
 - $t_{\text{STBY_DELAY}} = 5 t_{\text{MOD}}$ (速度模式 0)
 - $t_{\text{STBY_DELAY}} = 27 t_{\text{MOD}}$ (速度模式 1、速度模式 2)
 - $t_{\text{STBY_DELAY}} = 35 t_{\text{MOD}}$ (速度模式 3)
- $t_{\text{OVERHEAD}} = 11 t_{\text{MOD}}$

表 7-10. 具有 OSR 设置的 Sinc 滤波器延迟

OSR	以 $t_{MOD}^{(1)}$ 为单位的延迟 (绝对时间 ⁽²⁾)			
	速度模式 0 ($f_{MOD} = 32\text{kHz}$)	速度模式 1 ($f_{MOD} = 256\text{kHz}$)	速度模式 2 ($f_{MOD} = 512\text{kHz}$)	速度模式 3 ($f_{MOD} = 1.024\text{MHz}$)
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 00000b 至 01100b)				
8	38 (1.188 ms)	46 (0.180 ms)	46 (0.090 ms)	62 (0.061 ms)
16	70 (2.188 ms)	78 (0.305 ms)	78 (0.152 ms)	94 (0.092 ms)
24	102 (3.188 ms)	110 (0.430 ms)	110 (0.215 ms)	126 (0.123 ms)
32	134 (4.188 ms)	142 (0.555 ms)	142 (0.277 ms)	158 (0.154 ms)
64	262 (8.188 ms)	270 (1.055 ms)	270 (0.527 ms)	286 (0.279 ms)
128	518 (16.19 ms)	526 (2.055 ms)	526 (1.027 ms)	542 (0.529 ms)
256	1030 (32.19 ms)	1038 (4.055 ms)	1038 (2.027 ms)	1054 (1.029 ms)
512	2054 (64.19 ms)	2062 (8.055 ms)	2062 (4.027 ms)	2078 (2.029 ms)
640	2566 (80.19 ms)	2574 (10.05 ms)	2574 (5.027 ms)	2590 (2.529 ms)
1024	4102 (128.2 ms)	4110 (16.05 ms)	4110 (8.027 ms)	4126 (4.029 ms)
2048	8198 (256.2 ms)	8206 (32.05 ms)	8206 (16.03 ms)	8222 (8.029 ms)
4096	16390 (512.2 ms)	16398 (64.05 ms)	16398 (32.03 ms)	16414 (16.03 ms)
8192	32774 (1024 ms)	32782 (128.1 ms)	32782 (64.03 ms)	32798 (32.03 ms)
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 00000b 至 01100b)				
8	30 (0.938 ms)	38 (0.148 ms)	38 (0.074 ms)	54 (0.053 ms)
16	54 (1.688 ms)	62 (0.242 ms)	62 (0.121 ms)	78 (0.076 ms)
24	78 (2.438 ms)	86 (0.336 ms)	86 (0.168 ms)	102 (0.100 ms)
32	102 (3.188 ms)	110 (0.430 ms)	110 (0.215 ms)	126 (0.123 ms)
64	198 (6.188 ms)	206 (0.805 ms)	206 (0.402 ms)	222 (0.217 ms)
128	390 (12.19 ms)	398 (1.555 ms)	398 (0.777 ms)	414 (0.404 ms)
256	774 (24.19 ms)	782 (3.055 ms)	782 (1.527 ms)	798 (0.779 ms)
512	1542 (48.19 ms)	1550 (6.055 ms)	1550 (3.027 ms)	1566 (1.529 ms)
640	1926 (60.19 ms)	1934 (7.555 ms)	1934 (3.777 ms)	1950 (1.904 ms)
1024	3078 (96.19 ms)	3086 (12.05 ms)	3086 (6.027 ms)	3102 (3.029 ms)
2048	6150 (192.2 ms)	6158 (24.05 ms)	6158 (12.03 ms)	6174 (6.029 ms)
4096	12294 (384.2 ms)	12302 (48.05 ms)	12302 (24.03 ms)	12318 (12.03 ms)
8192	24582 (768.2 ms)	24590 (96.05 ms)	24590 (48.03 ms)	24606 (24.03 ms)
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 10001b 至 11001b)				
64	166 (5.188 ms)	174 (0.680 ms)	174 (0.340 ms)	190 (0.186 ms)
128	230 (7.188 ms)	238 (0.930 ms)	238 (0.465 ms)	254 (0.248 ms)
256	358 (11.19 ms)	366 (1.430 ms)	366 (0.715 ms)	382 (0.373 ms)
512	614 (19.19 ms)	622 (2.430 ms)	622 (1.215 ms)	638 (0.623 ms)
640	742 (23.19 ms)	750 (2.930 ms)	750 (1.465 ms)	766 (0.748 ms)
1024	1126 (35.19 ms)	1134 (4.430 ms)	1134 (2.215 ms)	1150 (1.123 ms)
2048	2150 (67.19 ms)	2158 (8.430 ms)	2158 (4.215 ms)	2174 (2.123 ms)
4096	4198 (131.2 ms)	4206 (16.43 ms)	4206 (8.215 ms)	4222 (4.123 ms)
8192	8294 (259.2 ms)	8302 (32.43 ms)	8302 (16.21 ms)	8318 (8.123 ms)

(1) $t_{MOD} = 1 / f_{MOD}$ (2) 基于 $f_{CLK} = 4.096\text{MHz}$ 的标称时钟频率。

表 7-11. 具有固定数据速率设置的 Sinc 和 FIR 滤波器的延迟

输出数据速率	以 $t_{MOD}^{(1)}$ 为单位的延迟 (绝对时间 ⁽²⁾)			
	速度模式 0 ($f_{MOD} = 32\text{kHz}$)	速度模式 1 ($f_{MOD} = 256\text{kHz}$)	速度模式 2 ($f_{MOD} = 512\text{kHz}$)	速度模式 3 ($f_{MOD} = 1.024\text{MHz}$)
SINC4 滤波器 (STEPx_FLTR_MODE = 0b、STEPx_FLTR_OSR[4:0] = 01101b 至 10000b)				
10SPS	2134 (66.69 ms)	17038 (66.55 ms)	34062 (66.53 ms)	68126 (66.53 ms)
16.7SPS	2566 (80.19 ms)	20494 (80.05 ms)	40974 (80.03 ms)	81950 (80.03 ms)
50SPS	7686 (240.2 ms)	61454 (240.1 ms)	122894 (240.0 ms)	245790 (240.0 ms)
60SPS	12806 (400.2 ms)	102414 (400.1 ms)	204814 (400.0 ms)	409630 (400.0 ms)
SINC3 滤波器 (STEPx_FLTR_MODE = 1b、STEPx_FLTR_OSR[4:0] = 01101b 至 10000b)				
10SPS	1602 (50.06 ms)	12782 (49.93 ms)	25550 (49.90 ms)	51102 (49.90 ms)
16.7SPS	1926 (60.19 ms)	15374 (60.05 ms)	30734 (60.03 ms)	61470 (60.03 ms)
50SPS	5766 (180.2 ms)	46094 (180.1 ms)	92174 (180.0 ms)	184350 (180.0 ms)
60SPS	9606 (300.2 ms)	76814 (300.1 ms)	153614 (300.0 ms)	307230 (300.0 ms)
SINC4 + SINC1 滤波器 (STEPx_FLTR_OSR[4:0] = 11010b 至 11101b)				
10SPS	646 (20.19 ms)	4366 (17.05 ms)	8654 (16.90 ms)	17182 (16.78 ms)
16.7SPS	742 (23.19 ms)	5230 (20.43 ms)	10350 (20.21 ms)	20606 (20.12 ms)
50SPS	2022 (63.2 ms)	15470 (60.4 ms)	30830 (60.2 ms)	61566 (60.1 ms)
60SPS	3302 (103.2 ms)	25710 (100.4 ms)	51310 (100.2 ms)	102526 (100.1 ms)
FIR 滤波器 (STEPx_FLTR_OSR[4:0] = 11110b 至 11111b)				
20SPS	1726 (53.94 ms)	12934 (50.52 ms)	25734 (50.26 ms)	51350 (50.15 ms)
25SPS	1406 (43.94 ms)	10374 (40.52 ms)	20614 (40.26 ms)	41110 (40.15 ms)

(1) $t_{MOD} = 1 / f_{MOD}$ 。

(2) 基于 $f_{CLK} = 4.096\text{MHz}$ 的标称时钟频率。

7.3.7.6 全局斩波模式

ADS1x4S1x 的信号链使用极低漂移、斩波稳定的 PGA 和 $\Delta - \Sigma$ 调制器，以提供极低的偏移误差和偏移漂移。然而，在正常测量中仍然存在少量的失调漂移。因此，器件包含可选全局斩波模式，以减少温度和时间范围内的失调误差和温漂，以便达到极低水平。当通过设置 GC_EN 位来启用全局斩波模式时，器件执行两次连续转换并使用备用输入信号极性来消除偏移误差。第一个转换采用正常输入极性。全局斩波控制逻辑会反转输入极性，并复位数字滤波器以进行第二次转换。两次转换的平均值将得出最终的偏移校正结果。图 7-12 展示了全局斩波实现的方框图。 V_{OFS} 模拟 PGA 和 ADC 的组合内部偏移电压。全局斩波模式仅降低该器件固有的失调电压。连接到模拟输入的外部电路中的任何失调电压不受全局斩波模式的影响。

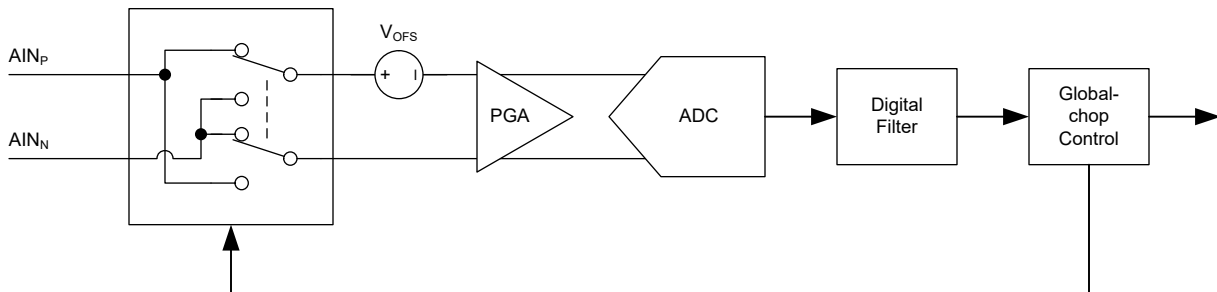


图 7-12. 全局斩波模式控制图

全局斩波模式的操作顺序如下：

- **Conversion C1** : $V_{AINP} - V_{AINN} - V_{OFS} \rightarrow$ 转换开始后扣留的第一次转换
- **Conversion C2** : $V_{AINN} - V_{AINP} - V_{OFS} \rightarrow$ 输出 1 = $(V_{C1} - V_{C2}) / 2 = V_{AINP} - V_{AINN}$
- **Conversion C3** : $V_{AINP} - V_{AINN} - V_{OFS} \rightarrow$ 输出 2 = $(V_{C3} - V_{C2}) / 2 = V_{AINP} - V_{AINN}$
- ...

新序列步骤的第一个转换结果（输出 1）可在器件执行两次稳定转换后获得。因此，启用全局斩波模式时的延迟时间 t_{GC_L1} 和 t_{GC_L2} 比禁用全局斩波模式时的延迟时间更长。延迟时间的测量方式与 [数字滤波器延迟](#) 一节中所述的方式相同。

启动或重新启动序列发生器后，输出第一个序列步骤的第一个转换结果的时间遵循 [方程式 13](#)。

当使用序列发生器模式 $SEQ_MODE[1:0] = 10b$ 或 $11b$ 时，第二个和所有后续序列步骤的第一个转换结果的输出时间遵循 [方程式 14](#)。

同一序列步骤上的后续转换在 t_{GC_DATA} 中完成，计算方法为 [方程式 15](#)。

$$t_{GC_L1} = t_{STBY_DELAY} + 2 \times (t_{STEPx_DELAY} + t_{STEPx_LATENCY}) + t_{OVERHEAD} \quad (13)$$

$$t_{GC_L2} = 2 \times (t_{STEPx_DELAY} + t_{STEPx_LATENCY}) \quad (14)$$

$$t_{GC_DATA} = t_{STEPx_DELAY} + t_{STEPx_LATENCY} \quad (15)$$

其中：

- $t_{STEPx_LATENCY}$ 是 [表 7-10](#) 和 [表 7-11](#) 中给出的延迟时间
- t_{STEPx_DELAY} 是通过 $STEPx_DELAY[6:0]$ 位确定的延迟时间
- 从空闲模式 ($STBY_MODE = 0b$) 启动序列发生器时， $t_{STBY_DELAY} = 0$ 。
当从待机模式 ($STBY_MODE = 1b$) 启动序列发生器时，器件会在用户可编程延迟时间之前增加取决于速度模式的延迟时间，以允许内部电路唤醒：
 - $t_{STBY_DELAY} = 5 t_{MOD}$ (速度模式 0)
 - $t_{STBY_DELAY} = 27 t_{MOD}$ (速度模式 1、速度模式 2)
 - $t_{STBY_DELAY} = 35 t_{MOD}$ (速度模式 3)
- $t_{OVERHEAD} = 11 t_{MOD}$

该器件会在反转输入极性后等待可编程延迟时间，然后再开始下一次转换，以使内部电路稳定下来。在某些情况下，必须增加可编程延迟时间以实现外部元件稳定。

全局斩波模式可将 ADC 噪声降低 $\sqrt{2}$ 倍，因为两个转换是平均值。将 [表 6-1](#) 到 [表 6-8](#) 中的输入参考噪声值除以 $\sqrt{2}$ ，即可得出启用全局切分模式时的噪声性能。

数字滤波器陷波在全局斩波模式下不会变化。不过，在 $f_{GC_DATA} / 2$ 的倍数处会出现额外的滤波凹槽。

7.3.8 激励电流源 (IDAC)

这些器件包含两个可编程的匹配电流源 (IDAC1 和 IDAC2)。电流源为电阻式温度器件 (RTD)、热敏电阻、二极管和其他需要恒流偏置的电阻传感器提供激励电流。每个电流源都可独立编程为 $1\mu\text{A}$ 到 1mA 之间的输出值。

结合使用 STEPx_I1MAG[3:0] 和 STEPx_I2MAG[3:0] 位与 STEPx_IUNIT[1:0] 位, 为每个 IDAC 设置所需的输出电流。STEPx_IUNIT 位将 IDAC1 和 IDAC2 的基极电流设置为 $1\mu\text{A}$ 或 $10\mu\text{A}$ 。STEPx_I1MAG[3:0] 和 STEPx_I2MAG[3:0] 位用作该基极电流的乘数, 以配置单独的 IDAC1 和 IDAC2 输出电流。

当两个 IDAC 设置为相同的电流值时, 可实现电流源之间的最佳匹配。在三线 RTD 应用中, 匹配的电流源可用于消除传感器引线电阻引起的误差 (有关更多详细信息, 请参阅 [软件可配置 RTD 测量输入](#) 部分)。

每个电流源都可以使用 STEPx_I1MUX[4:0] 和 STEPx_I2MUX[4:0] 位路由到任何 AINx 模拟输入。如果需要高达 2mA 的激励电流值, 也可以通过将 STEPx_I1MUX[4:0] 和 STEPx_I2MUX[4:0] 设置为相同的位值, 将两个电流源组合到同一引脚上。在 ADS1x4S18 上, 无论 IDAC 布线如何, 模拟输入 AIN8 至 AIN17 都可以配置为模拟输入、基准输入或 GPIO。被选为电流源输出的引脚同时仍可用作模拟输入或基准输入。图 7-1 显示通过输入多路复用器进行的 IDAC 连接。

电流源需要为 AVDD 电源提供电压余量才能运行。这种电压余量也称为顺从电压。驱动电阻负载时, 请注意不要超过 IDAC 的顺从电压, 否则不会始终满足 IDAC 电流的指定精度。有关 IDAC 顺从电压规格, 请参阅 [电气特性表](#)。

IDAC 在空闲模式下保持运行状态, 但在待机和断电模式下关断。

7.3.9 烧毁电流源 (BOCS)

为了帮助检测潜在的传感器故障, ADS1x4S1x 提供了一对可编程烧毁电流源 (BOCS)。使用 STEPx_BOCS[1:0] 位来启用电流源并将值设置为 $0.2\mu\text{A}$ 、 $1\mu\text{A}$ 或 $10\mu\text{A}$ 。

BOCS 连接到内部多路复用器之后的 PGA 输入。启用后, 一个 BOCS 将电流从 AVDD 拉至所选的正模拟输入 (AINP), 另一个 BOCS 将电流从所选的负模拟输入 (AINN) 灌入 AVSS。

如果外部传感器开路或传感器线断开, 这些 BOCS 会将正输入拉至 AVDD, 将负输入拉至 AVSS, 从而产生满量程读数。满量程读数还可指示传感器过载或基准电压缺失。

接近零的读数可能指示传感器短路。将传感器短路状况与正常读数区分开来可能很困难, 尤其是在输入端使用了 RC 滤波器时。电流源会在外部滤波电阻器和内部多路复用器的残余电阻上产生压降。这意味着, 即使传感器短路, PGA 输入端也会出现小电压, 因此 ADC 输出大于零的电压。内部多路复用器的剩余电阻通常介于 AVDD = 3.3V 时的约 400Ω 和 AVDD = 1.8V 时的 $1.6\text{k}\Omega$ 之间。

启用烧毁电流源后, 功能传感器的 ADC 读数可能会损坏。因此, 在执行精密测量时应禁用烧毁电流源, 并仅在专用诊断性测量期间启用 BOCS 来测试传感器故障情况。

使用全局斩波模式 (GC_EN = 1b) 时禁用 BOCS。烧毁电流源的功能与全局斩波模式不兼容。

烧毁电流源在空闲模式下保持运行状态, 但在待机和断电模式下会关闭。

7.3.10 偏置电压发生器 (VBIAS)

ADS1x4S1x 集成了一个偏置电压发生器 VBIAS, 它提供一个等于模拟电源电压一半的缓冲电压 $(\text{AVDD} + \text{AVSS})/2$ 。可以使用 VBIAS_AINx 位在模拟输入 AIN0 至 AIN7 上建立偏置电压。VBIAS 可同时路由到多个模拟输入。偏置电压的目的是将浮动传感器 (例如隔离式热电偶) 的信号电平转换到 PGA 的输入范围内。将悬空传感器的一根引线连接到启用了 VBIAS 的模拟输入。

偏置电压发生器的启动时间取决于引脚负载电容。总电容包括从 VBIAS 连接到 AVDD、AVSS 和接地的任何电容。表 7-12 列出了各种外部负载电容的典型 VBIAS 电压趋稳时间。在开始转换之前, 确保 VBIAS 电压完全趋稳。

表 7-12. VBIAS 稳定时间

负载电容	稳定时间
0.1 μ F	200 μ s
1 μ F	2.5ms
10 μ F	12ms

7.3.11 通用 IO (GPIO)

ADS1x4S1x 提供八个通用输入和输出 (GPIO)。这些 GPIO 的逻辑电平以 AVDD 和 AVSS 电源为基准。在 ADS1x4S18 上, GPIO 与模拟输入共享。使用 GPIOx_CFG[1:0] (x = 0 至 7) 位将引脚配置为具有推挽或开漏特性的模拟输入、数字输入或数字输出。

使用 STEPx_GPIOx_DAT_OUT 位设置 GPIO 的数字输出电平。当 GPIOx 配置为模拟或数字输入时, STEPx_GPIOx_DAT_OUT 位设置无效。

GPIOx_DAT_IN 位指示 GPIOx 引脚的回读值, 与引脚是否配置为数字输入或输出无关。当 GPIOx 配置为模拟输入时, GPIOx_DAT_IN 位读回 0b。

此外, 还提供了以下特殊功能:

- GPIO3 可配置为数字比较器警报 ALERT 输出。
- GPIO4 可配置为 $\overline{\text{FAULT}}$ 指示输出。

在省电模式下, 任何配置为 GPIO 数字输出的模拟输入都转换为 Hi-Z 状态。为了在断电期间保持特定的 GPIO 逻辑电平, 请考虑在相应 GPIO 引脚上使用外部上拉或下拉电阻器。

7.3.11.1 ALERT 输出

通过设置 GPIO3_CFG = 10b 或 11b 和 GPIO3_SRC = 1b, 将 GPIO3 配置为数字比较器 ALERT 输出。COMP_ALERTn 标志决定了这种情况下的 GPIO3/ALERT 输出状态。根据应用要求, ALERT 引脚可配置为低电平有效或高电平有效输出。使用 ALERT_PIN_POL 位选择 ALERT 输出引脚的极性。有关详细信息, 请参阅表 7-13。

表 7-13. ALERT 输出状态图

ALERT_PIN_POL 位	COMP_ALERTn 标志	ALERT 输出
0b	0b	低
1b	0b	高
0b	1b	高
1b	1b	低

7.3.11.2 $\overline{\text{FAULT}}$ 输出

通过设置 GPIO4_CFG = 10b 或 11b 和 GPIO4_SRC = 1b, 将 GPIO4 配置为 $\overline{\text{FAULT}}$ 输出。当 SAD_FAULTn 状态位为 0b 时, $\overline{\text{FAULT}}$ 引脚为低电平, 以指示故障。在 GPIO4 与 DGND 之间连接一个下拉电阻器还可检测潜在的器件复位, 因为该引脚在复位期间和之后会恢复为高阻态模拟输入。

使用 FAULT_PIN_BEHAVIOR 位从以下 $\overline{\text{FAULT}}$ 输出行为中进行选择:

- 静态输出。发生故障时 $\overline{\text{FAULT}}$ 输出为低电平, 否则输出为高电平。
- 检测信号输出。发生故障时 $\overline{\text{FAULT}}$ 输出为低电平, 否则输出是频率为 $f_{\text{MOD}} / 256$ 的 50% 占空比信号。主机可以监测检测信号频率以检测潜在的器件时钟故障。

7.3.12 偏移和增益校准系数

ADS1x4S1x 通过使用用户可编程的偏移和增益校准寄存器 (STEPx_OFFSET_CAL[23:0]、STEPx_GAIN_CAL[15:0]) , 能够校正每个序列步骤的偏移和增益误差。如图 7-13 所示, 在乘以 16 位增益校正

值之前，从转换数据中减去 24 位偏移校正值。输出数据四舍五入为最终分辨率（ADS114S1x 为 16 位，ADS124S1x 为 24 位），并在缩放操作后削波为 +FS 和 -FS 代码值。由于 ADS1x4S1x 寄存器是易失性的，因此必须将偏移和增益校准系数存储在外部非易失性存储器中，并在每次设备上电或复位时将其编程到偏移和增益校准寄存器中。

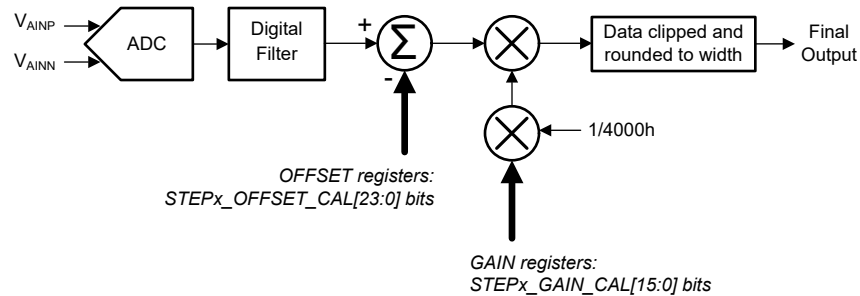


图 7-13. 校准逻辑方框图

方程式 16 表示如何校准转换数据：

$$\text{Final Output Data} = (\text{Data} - \text{OFFSET}) \times \text{GAIN} / 4000\text{h} \quad (16)$$

24 位偏移校准值总是以二进制补码格式提供，无论 STEP_x_CODING 位设置如何，并编程到 STEP_x_OFFSET_CAL[23:0] 位字段，该字段跨越 STEP_x_OFFSET_CAL_MSB、STEP_x_OFFSET_CAL_ISB 和 STEP_x_OFFSET_CAL_LSB 寄存器。对于 16 位器件 ADS114S1x，将 STEP_x_OFFSET_CAL_LSB 寄存器设置为 00h。表 7-14 展示了示例偏移校准值。使用方程式 17 计算偏移校准值的 LSB 大小。

$$\text{Offset Calibration LSB Size} = (2 \times V_{\text{REF}}) / (2^{24}) \quad (17)$$

表 7-14. 失调电压校准值示例

STEP _x _OFFSET_CAL[23:0] 值	应用的失调电压校准
000010h	- 16LSB
000001h	- 1LSB
FFFFFFh	1LSB
FFFFF0h	16LSB

16 位增益校准值以标准二进制格式提供，并标准化为 4000h 时的单位增益。增益校准值编程到 STEP_x_GAIN_CAL[15:0] 位字段。增益校准值的一个 LSB 等于增益校正因子 $1/2^{16} = 0.000015$ 。例如，要校正大于 1 的增益误差，计算出的增益校准值小于 4000h。

表 7-15 展示了增益校准值示例。

表 7-15. 增益校准值示例

STEP _x _GAIN_CAL[15:0] 值	应用的增益校准
FFFFh	3.999939
4333h	1.05
4001h	1.000015
4000h	1
3FFFh	0.999985
3CCCh	0.95

当选择了系统监控器来测量相应的序列阶跃时，器件会忽略 STEP_x_OFFSET_CAL[23:0] 和 STEP_x_GAIN_CAL[15:0] 值，即当 STEP_x_SYS_MON[2:0] 被设置为 000b 以外的值时。

推荐的校准程序如下：

1. 将偏移和增益校准寄存器分别预设为 STEP_x_OFFSET_CAL[23:0] = 000000h 和 STEP_x_GAIN_CAL[15:0] = 4000h。
2. 利用相应的系统监测器设置 (STEP_x_SYS_MON[2:0] = 001b) 在内部短路 ADC 输入，或在系统级外部短路输入，以包括外部滤波器级的偏移误差，从而执行偏移校准。获取多个转换数据并将数据的平均值写入偏移校准寄存器。对数据求平均值可降低转换噪声，从而提高校准精度。请记住，如果测量使用单极直接二进制格式 (STEP_x_CODING = 1b)，则应将测量的偏移值转换为二进制补码格式。
3. 将精确校准信号应用于 ADC 的输入端或在系统级执行增益校准，以包括外部滤波器级的增益误差。选择小于满量程输入范围的校准电压，以避免输出代码被削波。输出代码被削波会导致校准不准确。例如，使用 V_{REF} = 2.5V 的 2.4V 校准信号。根据方程式 18 计算增益校准值。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \times 4000h \quad (18)$$

例如，使用 2.5V 基准电压、2.4V 校准电压和增益 = 1 的预期输出代码为：(2.4V / LSB size) = 7AE148h，其中 LSB 大小 = $2 \times 2.5V / (2^{24})$ 。例如，如果实际测量的输出代码是 75750h，则增益校准系数计算结果为 1.05。写入 STEP_x_GAIN_CAL[15:0] 位字段的增益校准值为：(1.05 - 1) / (1 / 2¹⁶) = 4333h。

7.3.13 数字比较器

ADS1x4S1x 提供了一个数字比较器功能，可针对每个序列步骤单独配置。使用 STEP_x_COMP_HIGH_TH[15:0] 和 STEP_x_COMP_LOW_TH[15:0] 位字段配置比较器高阈值和低阈值。STEP_x_COMP_HIGH_TH_EN 和 STEP_x_COMP_LOW_TH_EN 位确定比较器触发的阈值。启用高阈值和低阈值，以实现窗口比较器功能。

比较器将序列步骤的每个转换结果与启用阈值进行比较。如果转换结果超过阈值，内部警报计数器将递增。只要此步骤的转换结果降至阈值以下，该内部警报计数器就会复位。警报计数器还会在每个序列步骤开始时或在 COMP_ALERT_n 标志被清除时复位。当警报计数器等于 STEP_x_COMP_NUM[1:0] 位字段中编程的数字时，数字比较器跳变。这意味着，在 STEP_x_COMP_NUM[1:0] 位字段中编程的数字决定了一个序列步骤上的连续转换次数在使比较器跳变之前需要超过阈值。当任何序列步骤上的比较器跳变时，COMP_ALERT_n 位设置为 0b，COMP_ALERT_STEP_INDICATOR[4:0] 指示哪个序列步骤触发了比较器警报。

COMP_ALERT_n 标志为锁存。超范围条件消失后，主机需要向 COMP_ALERT_n 位写入 1b 以将该位清除为 1b。COMP_ALERT_STEP_INDICATOR[4:0] 同时清除为 1111b。

当 COMP_ALERT_n 标志为 0b 时，SAD_FAULT_n 标志也设置为 0b，除非 COMP_ALERT_n_MASK 位设置为 1b 以屏蔽 COMP_ALERT_n 标志，以免驱动 SAD_FAULT_n 标志。

表 7-16 总结了控制数字比较器行为的寄存器位。有关更多详细信息，请参阅 [寄存器映射](#) 部分中相应的位字段说明。

表 7-16. 数字比较器状态和配置位

寄存器位	说明
状态和通用配置页	
COMP_ALERT _n	数字比较器警报标志指示其中一个序列步骤上的数字比较器已跳变。
COMP_ALERT_STEP_INDICATOR[4:0]	数字比较器警报步骤指示器指示当 COMP_ALERT _n 标志为 0b 时哪个序列步骤导致了比较器超范围条件。
COMP_ALERT _n _MASK	COMP_ALERT _n 故障屏蔽位决定 COMP_ALERT _n 标志是否会影响 SAD_FAULT _n 标志。
步骤 x 配置页	
STEP _x _COMP_HIGH_TH_EN	启用序列步骤 x 的数字比较器高阈值检测。
STEP _x _COMP_LOW_TH_EN	启用序列步骤 x 的数字比较器低阈值检测。
STEP _x _COMP_HIGH_TH[15:0]	设置序列步骤 x 的数字比较器高阈值。大于高阈值的转换结果会使内部警报计数器递增。

表 7-16. 数字比较器状态和配置位 (续)

寄存器位	说明
STEPx_COMP_LOW_TH[15:0]	设置序列步骤 x 的数字比较器低阈值。小于低阈值的转换结果会使内部警报计数器递增。
STEPx_COMP_NUM[1:0]	比较器警报计数器阈值决定了在器件通过 COMP_ALERTn 标志指示警报之前, 序列步骤 x 的转换结果需要超过比较器阈值的连续转换次数。

图 7-14 说明了包含 16 次转换、启用比较器高阈值且比较器警报计数器阈值设置为 4 (STEPx_NUM_CONV[4:0] = 01111b、STEPx_COMP_HIGH_TH_EN = 1b、STEPx_COMP_NUM[1:0] = 10b) 的序列步骤的数字比较器行为。

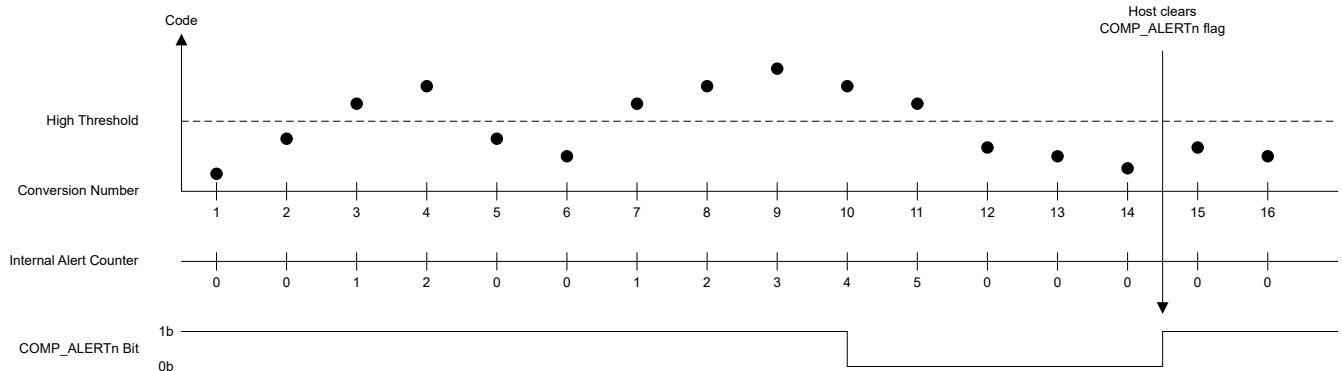


图 7-14. 数字比较器行为

除了 COMP_ALERTn 标志之外, GPIO3 还可以配置为 ALERT 输出引脚, 以指示跳变比较器, 如 [ALERT 输出](#) 部分所述。

7.3.14 系统监控器

这些器件提供一组系统监控功能, 可在内部路由到 PGA 输入, 以便通过输入多路复用器进行测量。使用 STEPx_SYS_MON[2:0] 位从以下系统监控器之一进行选择:

- PGA 的输入可以一起短接至 $1/2 V_s$ ($(AVDD + AVSS) / 2$), 以测量和校准内部信号链的输入失调电压。
- 集成温度传感器, 可提供与器件温度成比例的输出信号。
- 两个衰减的外部基准电压中的任何一个, $(V_{REFPx} - V_{REFNx}) / 8$
- 衰减模拟电源和数字电源, $((AVDD - AVSS) / 8)$ 、 $(IOVDD / 8)$ 和 $(V_{DLDO} / 4)$ 。

如果选择了其中一个系统监控器, STEPx_AINP[4:0] 和 STEPx_AINN[4:0] 位无效, 并且模拟输入与 PGA 断开连接。由 STEPx_REF_SEL[1:0] 位选择的电压基准用于系统监控器测量。监控其中一个外部电压基准或模拟电源时, 请选择一个与受监控电压不同的电压基准。使用 STEPx_GAIN[3:0] 位为每次测量选择适当的增益设置。

在测量其中一个系统监控器时, 用户偏移和增益校准寄存器值 (STEPx_OFFSET_CAL[23:0]、STEPx_GAIN_CAL[15:0]) 不会应用于转换结果。

7.3.14.1 内部短路 (失调电压校准)

系统监控器提供了将两个 PGA 输入 (AINP 和 AINN) 短接到 $1/2 ((AVDD + AVSS) / 2)$ 的选项。该选项可用于测量和校准器件失调电压。在输入短接的情况下获取多个读数, 并对结果求平均值以降低噪声的影响。将测量的偏移值存储在 STEPx_OFFSET_CAL[23:0] 位字段中。然后, 器件会自动从序列步骤 x 的每个转换结果中减去该值。或者, 将偏移值存储在微控制器中, 从而从每个转换结果中减去该值。

7.3.14.2 内部温度传感器

ADS1x4S1x 提供用于测量芯片温度的集成式温度传感器 (TS)。温度传感器输出一个与芯片温度成比例的电压。[电气特性](#) 表中指定了温度传感器的输出电压特性 (TS_{Offset} 、 TS_{TC})。

方程式 19 显示了如何将测得的温度传感器输出电压转换为芯片温度：

$$\text{Die temperature } [^{\circ}\text{C}] = 25^{\circ}\text{C} + (\text{Measured voltage} - \text{TS}_{\text{Offset}}) / \text{TS}_{\text{TC}} \quad (19)$$

为 PGA 选择一个增益设置，以使应用中可能出现的最大温度传感器输出电压小于 V_{REF} /增益。

7.3.14.3 外部基准电压回读

系统监测器可以监测 REFP0 和 REFN0 之间连接的两个外部基准电压中的任何一个，或者监测 REFP1 和 REFN1 引脚之间连接的两个外部基准电压。为此，请选择相应的衰减后的外部基准电压 $(V_{\text{REFPx}} - V_{\text{REFNx}}) / 8$ 进行测量。

7.3.14.4 电源回读

系统监控器允许监控模拟和数字电源。为此，请选择衰减模拟电源 $((\text{AVDD} - \text{AVSS}) / 8)$ 、衰减数字 IO 电源 $(\text{IOVDD} / 8)$ 或数字内核电源 $(V_{\text{DLDO}} / 4)$ 进行测量。

7.3.15 监控器和状态标志

ADS1x4S1x 提供一组具有相应状态标志的监控器，用于检测特定器件或系统故障并向主机指示故障。表 7-17 概述了可用的监测器。有些监控器需要使用专用监控器使能位来启用。如果监控器能检测到故障，则相应的低电平激活故障标志会设置为 0b。除了与通信相关的监控器故障标志外，在故障条件消除之后，主机必须将故障标志清零为 1b。监控器故障标志可在多个 STATUS 寄存器中读出。

表 7-17. 监测器概述

监控器名称	监控器使能位	监控器故障标志	故障标志复位机制
复位	不适用	RESETn	写入 1b 以将位清除为 1b
AVDD 欠压	不适用	AVDD_UVn	写入 1b 以将位清除为 1b
基准欠压	REF_UV_EN	REF_UVn	写入 1b 以将位清除为 1b
SPI CRC	SPI_CRC_EN	SPI_CRC_FAULTn	根据前一个 SPI 帧的 CRC 结果在每个新 SPI 帧中进行更新
寄存器映射 CRC	REG_MAP_CRC_EN	REG_MAP_CRC_FAULTn	写入 1b 以将位清除为 1b
内存映射 CRC	不适用	MEM_FAULTn	复位或断电重启器件
寄存器写入故障	不适用	REG_WRITE_FAULTn	使用下一个寄存器写入命令进行更新
数字比较器	STEPx_COMP_LOW_TH_EN, STEPx_COMP_HIGH_TH_EN	COMP_ALERTn	写入 1b 以将位清除为 1b

除了监控标志之外，各种状态寄存器还包括表 7-18 中列出的其他状态和指示符位。有关更多详细信息，请参阅相应的位说明和 [状态和通用配置页面寄存器](#) 部分。

表 7-18. 状态和指示器位概述

名称	位	说明
电源、ADC 和数字故障聚合标志	SAD_FAULTn	指示是否设置了 SUPPLY_STATUS、ADC_STATUS 或 DIGITAL_STATUS 寄存器中的任何单独故障标志。
DRDY 指示器	DRDY	指示在当前 SPI 帧内读取的转换数据是新数据还是来自上次读取操作的重复数据。
序列发生器步骤指示器	STEP_INDICATOR[4:0]	指示用于最新转换结果的步骤页面配置，该结果当前可读取。
转换计数器	CONV_COUNT[3:0]	一个计数器，随着每次新的转换而递增，以跟踪当前可供读数的转换情况。
序列计数器	SEQ_COUNT[3:0]	当 SEQ_MODE[1:0] = 11b 时，序列计数器指示最新转换结果所属的序列运行，该结果当前可读取。
序列发生器活动标志	SEQ_ACTIVE	指示转换当前是否正在进行还是序列发生器停止且器件处于空闲、待机或省电模式。
寄存器映射 CRC 故障页指示器	CRC_FAULT_PAGE[4:0]	指示当 REG_MAP_CRC_FAULTn 指示 CRC 故障时哪个寄存器页显示 CRC 错误。
数字比较器警报阶跃指示器	COMP_ALERT_STEP_INDICATOR[4:0]	指示设置 COMP_ALERTn 标志时哪个序列步骤具有比较器超范围。
寄存器页指示器	PAGE_INDICATOR[7:0]	指示器件当前选择的用于读取和写入寄存器的寄存器页面。

这些器件可以输出一个 STATUS 标头作为 SDO 上的每个帧的前两个字节，而不会使用寄存器读取命令按需读取 STATUS_MSB 或 STATUS_LSB 寄存器。使用 STATUS_EN 位启用 STATUS 标头传输。16 位 STATUS 标头由 STATUS_MSB[7:0] 和 STATUS_LSB[7:0] 寄存器位串联而成。

除了 SAD_FAULTn 标志外，GPIO4 还可以配置为故障输出引脚，以指示任何器件故障，如 [FAULT 输出](#) 部分中所述。

7.3.15.1 复位 (RESETn 标志)

RESETn 标志指示自上次将该位清除为 1b 以来是否发生器件复位。写入 1b 以将 RESETn 位清除为 1b。

器件上电后，RESETn 标志为 0b。

7.3.15.2 AVDD 欠压监测器 (AVDD_UVn 标志)

如果模拟电源降至 AVDD 欠压阈值 (TH_{AVDD_UV}) 以下，AVDD 欠压监测器会将 AVDD_UVn 位设为 0b。写入 1b 以将 AVDD_UVn 位清除为 1b。

器件上电后，AVDD_UVn 标志为 0b。

除了在断电模式下，AVDD 欠压监测器始终处于运行状态。即使 AVDD 电源未降至 AVDD 欠压阈值以下，在进入断电模式时 AVDD_UVn 也会设置为 0b。在使用 REF_VAL 位更改内部电压基准值时，AVDD_UVn 位可能意外设置为 0b。

只要 IOVDD 电源仍然存在，当模拟电源电压降至 AVDD 阈值以下时，器件就不会复位。

7.3.15.3 基准欠压监测器 (REF_UVn 标志)

如果某一序列步骤中由 STEPx_REF_SEL[1:0] 位选择的参考电压降至参考欠压阈值 (TH_{REF_UV}) 以下，则参考欠压监测器将 REF_UVn 位设置为 0b。可以使用 REF_UV_SEL 位在两个不同的欠压阈值之间进行选择。可使用 REF_UV_EN 位启用基准欠压监测器。写入 1b 以将 REF_UVn 位清除为 1b。

当器件正在转换且在转换开始延迟期间处于非活动状态时，或者当器件处于空闲、待机或断电模式时，监测器仅检测基准欠压条件。

7.3.15.4 SPI CRC 故障 (SPI_CRC_FAULTn 标志)

SPI_CRC_FAULTn 标志指示 SDI 上在前一个 SPI 帧中是否发生 SPI CRC 故障。在发生 SPI CRC 故障的帧中，会阻止执行该命令，而执行无操作命令。后续帧中的命令不会被阻止。在每个新 SPI 帧中，根据前一个 SPI 帧的 CRC 结果更新 SPI_CRC_FAULTn 位。使用 SPI_CRC_EN 位启用 SPI CRC。此外，允许使用 STATUS_EN 位来传输 STATUS 标头，以获得有关任何 SPI CRC 故障的通知。有关 SPI CRC 实现的详细信息，请参阅 [SPI CRC](#) 部分。

7.3.15.5 寄存器映射 CRC 故障 (REG_MAP_CRC_FAULTn 标志)

REG_MAP_CRC_FAULTn 标志指示是否由于意外的寄存器位翻转而发生了寄存器映射 CRC 故障。此外，CRC_FAULT_PAGE[4:0] 位指示哪个寄存器页显示 CRC 错误。如果多个寄存器页面存在 CRC 错误，则该指示器指向存在 CRC 错误的第一个寄存器页面地址。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。但是，无论 REG_MAP_CRC_EN 位设置如何，寄存器映射 CRC 在待机和断电模式下都会停止。写入 1b 以将 REG_MAP_CRC_FAULTn 位清除为 1b。有关寄存器映射 CRC 实现的详细信息，请参阅 [寄存器映射 CRC](#) 部分。

7.3.15.6 内部存储器故障 (MEM_FAULTn 标志)

MEM_FAULTn 标志指示是否发生了存储器映射 CRC 故障。与寄存器映射 CRC 类似，该器件使用存储器映射 CRC 来检查内部存储器中是否存在意外位更改。更改内部内存位会导致器件行为不确定或器件性能下降。除了在待机和断电模式下，存储器映射 CRC 始终启用，并会不断计算内部存储器映射中的 CRC 值。器件会将计算结果与生产中存储在内存映射中的内存映射 CRC 值进行比较。如果内部计算结果与存储的存储器映射 CRC 值不匹配，则 MEM_FAULTn 标志将设置为 0b。发生内存映射 CRC 故障时，器件不会执行其他操作。当 MEM_FAULTn 位为 0b 时，执行下电上电或复位器件。

7.3.15.7 寄存器写入故障 (REG_WRITE_FAULTn 标志)

REG_WRITE_FAULTn 标志指示是否发生了对无效寄存器地址的写入访问。无效寄存器地址被写入时会设置此标志，并在下一个寄存器写入命令时更新。

从无效寄存器地址读取不会设置此标志，但可通过读取命令的 SPI 帧内的地址指示位检测到。在这种情况下，地址指示字节读取 FFh。

器件不会检测是否将无效的寄存器页面地址写入 PAGE_POINTER 寄存器。但是，对无效寄存器页面的任何寄存器写入尝试都会触发 REG_WRITE_FAULTn 标志。

7.3.15.8 数字比较器警报 (COMP_ALERTn 标志)

如果任何序列步骤上的比较器跳变，数字比较器会将 COMP_ALERTn 位设置为 0b。写入 1b 以将 COMP_ALERTn 位清除为 1b。更多详细信息，请参阅[数字比较器](#)部分。

7.4 器件功能模式

7.4.1 上电和复位

ADS1x4S1x 通过以下三种方式之一复位：

- 上电复位 (POR)
- 将 **RESET** 引脚置为低电平 (硬件复位)。
- 写入 **RESET_CODE[7:0]** 位字段 (软件复位)
- 发送 **SPI** 复位模式 (软件复位)

发生复位后，用户寄存器复位为相应的默认设置，并且器件处于空闲模式；无转换启动。复位过程完成后，可以与器件进行 **SPI** 通信。请参阅[时序要求](#)，以了解在开始与器件通信之前的各种复位事件后要考虑的时序规格。

DRDY 引脚上从低电平转换到高电平表示 **SPI** 已为通信做好准备，如[图 7-15](#) 和[图 7-16](#) 所示。在此之前，器件会忽略任何 **SPI** 通信，并且 **SDO** 保持低电平。

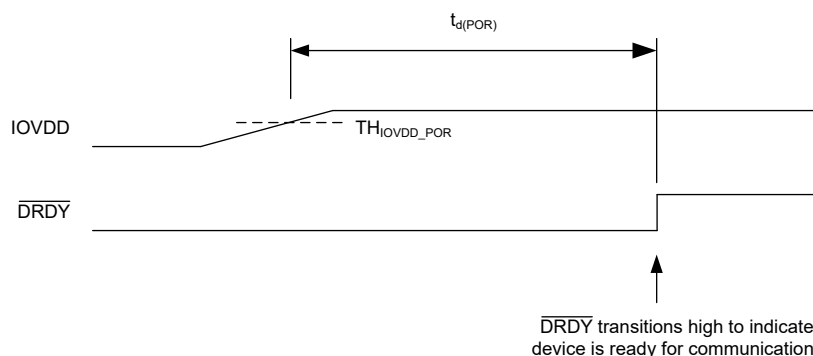


图 7-15. POR 后的 **DRDY** 引脚行为

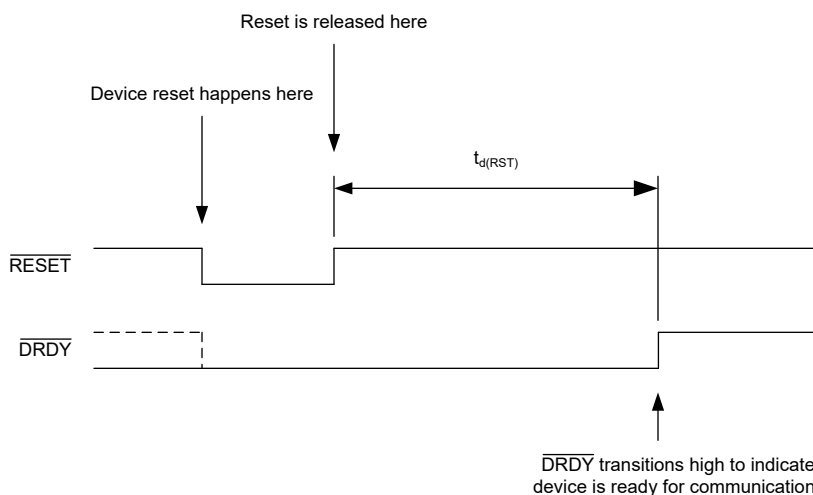


图 7-16. 使用 **RESET** 引脚进行器件复位后的 **DRDY** 引脚行为

RESETn 位指示自上次将 **RESETn** 位清零为 1b 以来是否发生复位。在器件复位后立即将 **RESETn** 位清零为 1b，以便获取运行期间发生意外器件复位的通知。

7.4.1.1 上电复位 (POR)

上电复位 (POR) 电路使器件保持复位状态，直到 IOVDD 电源超过 POR 阈值 (TH_{IOVDD_POR})。上电复位电路还可确保在发生欠压事件 (IOVDD 电源电压降至 IOVDD POR 阈值以下) 的情况下，器件开始在已知正常的状态下运行。AVDD 上的欠压事件不会导致器件复位，但会通过 AVDD_UVn 标志来指示。

7.4.1.2 $\overline{RESET}$ 引脚

$\overline{RESET}$ 引脚为低电平有效输入。通过将 $\overline{RESET}$ 置为低电平，然后再恢复为高电平，从而复位 ADC。因为 $\overline{RESET}$ 引脚有一个内部 $20k\Omega$ 上拉电阻器，所以 $\overline{RESET}$ 引脚在不使用时可以保持断开。 $\overline{RESET}$ 引脚是施密特触发输入，旨在降低噪声灵敏度。

7.4.1.3 通过寄存器写入进行复位

通过向 RESET_CODE[7:0] 位字段写入 01011010b (5Ah) 来启动软件复位。向此位字段写入任何其他值都不会导致复位。在 4 线 SPI 模式下，在 $\overline{CS}$ 置为高电平时，复位在帧末尾生效。在 3 线 SPI 模式中，复位在寄存器写入操作的最后一个 SCLK 下降沿上生效。3 线 SPI 模式中的复位要求 SPI 与 SPI 主机同步。如果无法保证 SPI 同步，请使用 [通过 SPI 输入模式进行复位](#) 部分中所述的模式来复位器件。

7.4.1.4 通过 SPI 输入模式进行复位

器件还可通过 SPI 操作复位，方法是在 SDI 上输入特殊位模式。这种输入模式不遵循常规 SPI 命令格式。有两种输入模式可用于复位 ADC。

模式 1 包含至少 1023 个连续的 1，后跟一个 0。当最终零移入时，器件在 SCLK 的下降沿复位。此模式可用于 3 线或 4 线 SPI 模式。图 7-17 展示了模式 1 复位示例。

复位模式 2 仅适用于 4 线 SPI 模式。若要复位，请输入至少 1024 个连续的 1 (无末尾零值)，然后将 $\overline{CS}$ 置为高电平，此时会发生复位。当多个器件采用菊花链连接时，请使用模式 2。图 7-18 展示了模式 2 复位示例。

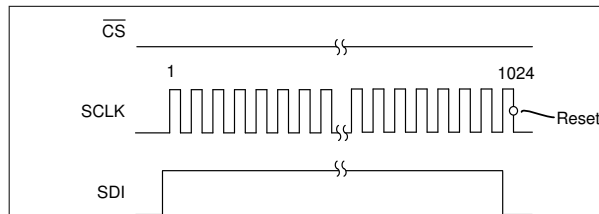


图 7-17. 复位模式 1
(3 线或 4 线 SPI 模式)

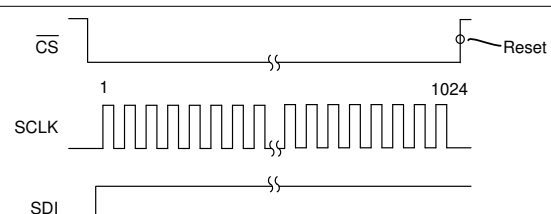


图 7-18. 复位模式 2
(4 线 SPI 模式)

7.4.2 工作模式

ADS1x4S1x 提供四种工作模式：待机、空闲、省电和序列发生器模式。图 7-19 显示了器件如何在不同工作模式之间转换。

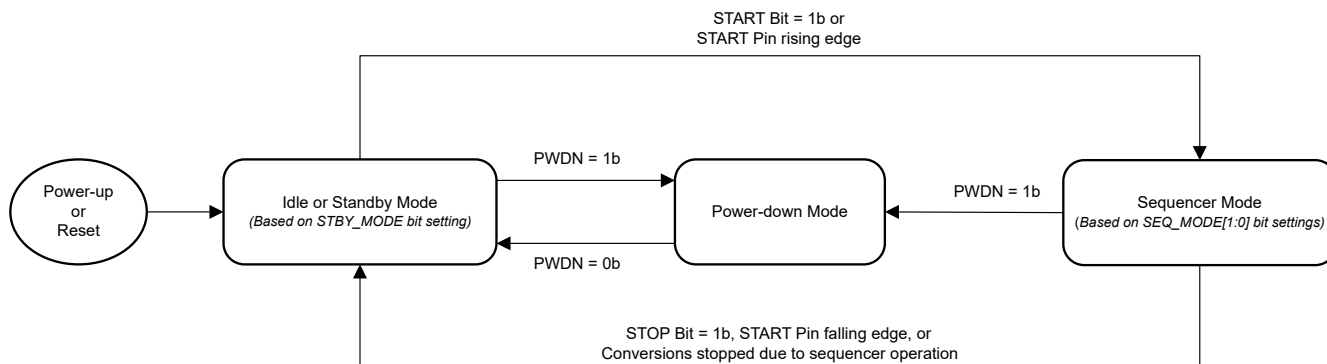


图 7-19. 工作模式状态图

7.4.2.1 空闲和待机模式

复位后，器件处于空闲模式。所有模拟电路都根据相应的寄存器位默认设置上电，但无转换正在进行，数字滤波器保持在复位状态。

将 **START** 位设置为 1b 或将 **START** 引脚设置为高电平，以便器件退出空闲或待机模式并启动序列发生器。当序列发生器停止时，器件会根据 **STBY_MODE** 位设置切换至空闲或待机模式。**STEP_INIT[4:0]** 指针决定了器件处于空闲或待机模式时使用的步进页面配置，无论相应的步进页面是否启用（忽略 **STEP_x_EN** 位设置）。如果需要在空闲期间以特定方式配置 **IDAC** 或任何配置为数字输出的 **GPIO** 需要驱动特定的输出电平，则在序列发生器停止时选择适当的步骤页面非常重要。

在待机模式下，无论寄存器位设置如何，**ADC**、**PGA**、**IDAC**、**BOCS**、基准缓冲器、寄存器映射 **CRC** 和存储器映射 **CRC** 都会断电。内部电压基准和振荡器在待机模式下保持上电状态。

当序列器停止时，使用待机模式以节省功耗。与从空闲模式启动序列发生器时的延迟时间相比，从待机模式启动序列发生器时第一次转换的延迟时间更长，如 [数字滤波器延迟](#) 部分所述。

有关更多详细信息，请参阅 [启动和停止序列发生器](#) 部分。

7.4.2.2 断电模式

在断电模式下，除了保留用户寄存器设置必需的电路外，所有模拟和数字电路均断电。仍然可以进行 **SPI** 通信。将 **PWDN** 位设置为 1b 以立即关闭器件电源；任何正在进行的转换都会中止。在省电模式下：

- **AVDD_UVn** 位设置为 0b
- 转换数据清零
- 转换计数器 (**CONV_COUNT[3:0]**) 复位为 Fh
- 序列步进指示器 (**STEP_INDICATOR[4:0]**) 复位为 00h
- 序列计数器 (**SEQ_COUNT[3:0]**) 复位为 0h
- 任何配置为 **GPIO** 数字输出的模拟输入都转换为 Hi-Z 状态。为了在断电期间保持特定的 **GPIO** 逻辑电平，请考虑在相应 **GPIO** 引脚上对 **AVDD** 使用外部上拉电阻器或对 **AVSS** 使用下拉电阻器。

在省电模式下会忽略 **START** 位和 **START** 引脚。将 **PWDN** 位设置为 0b 以退出省电模式。在开始任何转换之前，让内部电压基准在退出省电模式时启动并趋稳。

7.4.2.3 序列发生器模式

ADS1x4S1x 的转换通过 [序列发生器](#) 以及 **START** 和 **STOP** 位或 **START** 引脚来控制。序列发生器根据序列发生器模式配置 (**SEQ_MODE[1:0]** 位设置) 调度转换。

这些器件提供多达 24 种独特的配置设置（步骤 $x = 0$ 至 23），这些设置可以在器件初始化期间编程到序列发生器步骤配置寄存器页面中。每个步骤配置页面都允许用户选择器件设置，例如输入多路复用器、PGA 增益、电压基准源、数字滤波器类型和 OSR、激励电流源幅度和路由、GPIO 数据输出和数字比较器阈值。有关每个序列步骤所有可用配置选项的详细信息，请参阅 [步骤配置寄存器](#) 部分。

表 7-19 介绍了当主机启动序列发生器时，SEQ_MODE[1:0] 位如何确定序列发生器的操作。

表 7-19. 定序器模式

SEQ_MODE[1:0]	序列发生器操作
00b	该器件执行一次由 STEP_INIT[4:0] 指针定义的序列步骤。在此序列发生器模式下会忽略步骤使能位 (STEP_x_EN)。STEPx_NUM_CONV[4:0] 位决定该序列步骤执行的连续转换次数。如果 STEPx_NUM_CONV[4:0] = 00000b，执行单次转换。在不提供序列发生器的 TI ADC 中，这通常称为单次转换模式。在转换 STEPx_NUM_CONV[4:0] 位定义的转换次数后，器件会返回空闲或待机模式，具体取决于 STBY_MODE 位设置。有关详细的序列发生器操作流程，请参阅图 7-20。
01b	器件持续转换由 STEP_INIT[4:0] 指针定义的序列步骤。这在不提供序列发生器的 TI ADC 中通常称为连续转换模式。在此序列发生器模式下会忽略步骤使能位 (STEP_x_EN) 和 STEPx_NUM_CONV[4:0] 位。通过将 STOP 位设置为 1b 或将 START 引脚置为低电平来停止转换。有关详细的序列发生器操作流程，请参阅图 7-21。
10b	该器件会在 STEP_INIT[4:0] 指针定义的步进与步骤 23 之间执行一次所有已启用步骤的序列。使用 STEP_x_EN 位以在序列中包含一个步骤。如果由 STEP_INIT[4:0] 指针定义的步骤被禁用，则不执行序列。完成最后一个启用的序列步骤的转换后，器件将返回到闲置或待机模式，具体取决于 STBY_MODE 位设置。有关详细的序列发生器操作流程，请参阅图 7-22。
11b	从 STEP_INIT[4:0] 指针定义的步骤开始，器件执行完整的已启用步骤序列并连续重复。在完成序列中最后一个已启用步骤的转换后，器件从第一个已启用步骤开始执行新的序列运行。第一个启用步骤可能与 STEP_INIT[4:0] 指针中定义的步骤不同。使用 STEP_x_EN 位以在序列中包含一个步骤。如果由 STEP_INIT[4:0] 指针定义的步骤被禁用，则不执行序列。通过将 STOP 位设置为 1b 或将 START 引脚置为低电平来停止序列发生器。有关详细的序列发生器操作流程，请参阅图 7-22。

图 7-20、图 7-21 和图 7-22 说明了不同序列发生器模式的序列发生器行为。流程图显示了使用起始位和停止位控制序列发生器时的行为。可以改为使用 START 引脚，如 [启动和停止序列发生器 \(START/STOP 位和 START 引脚\)](#) 部分所述。

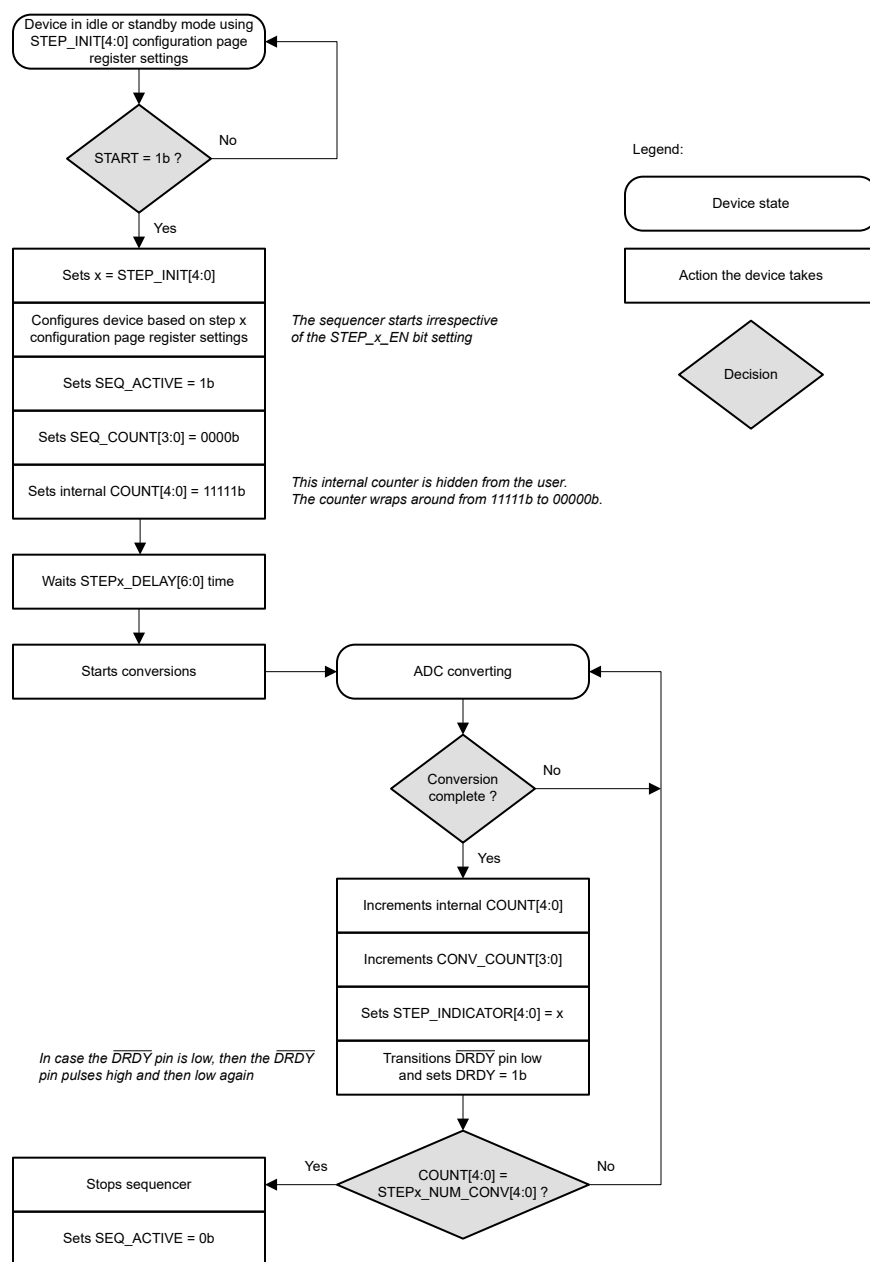


图 7-20. 序列发生器运行流程图 (SEQ_MODE[1:0] = 00b)

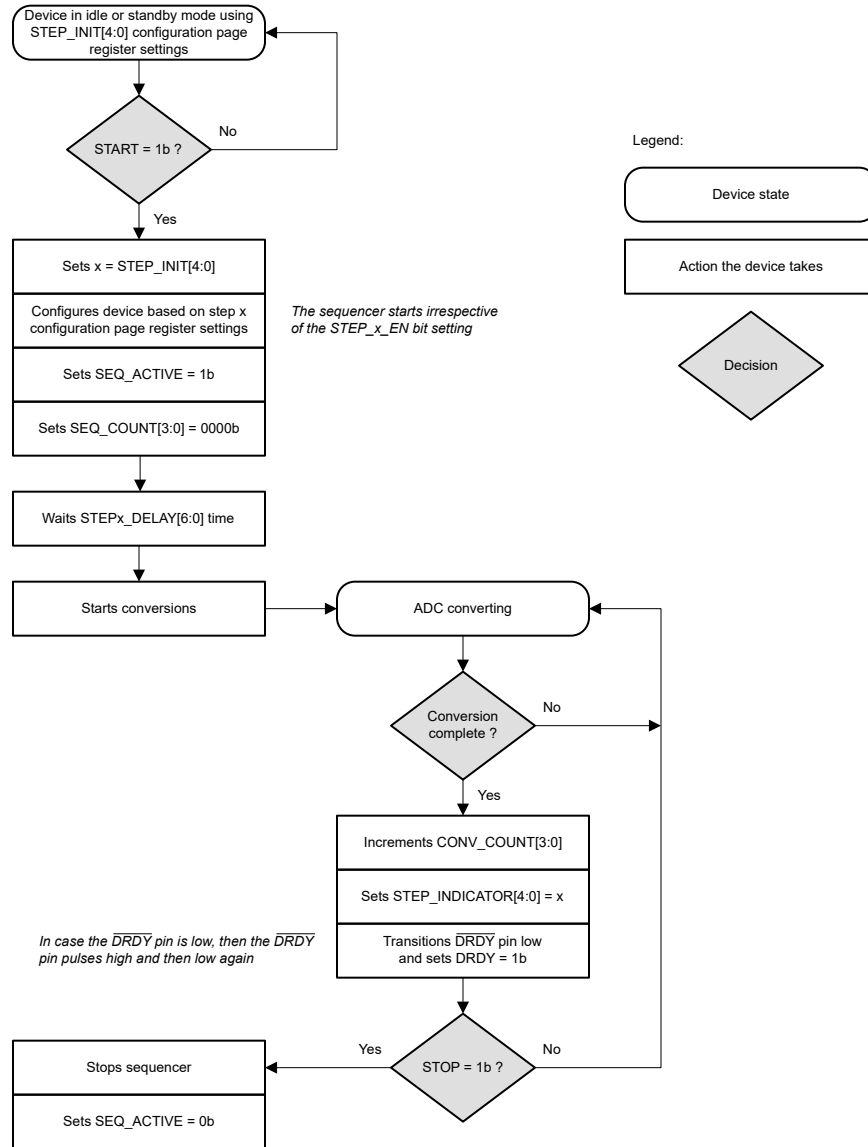


图 7-21. 序列发生器运行流程图 (SEQ_MODE[1:0] = 01b)

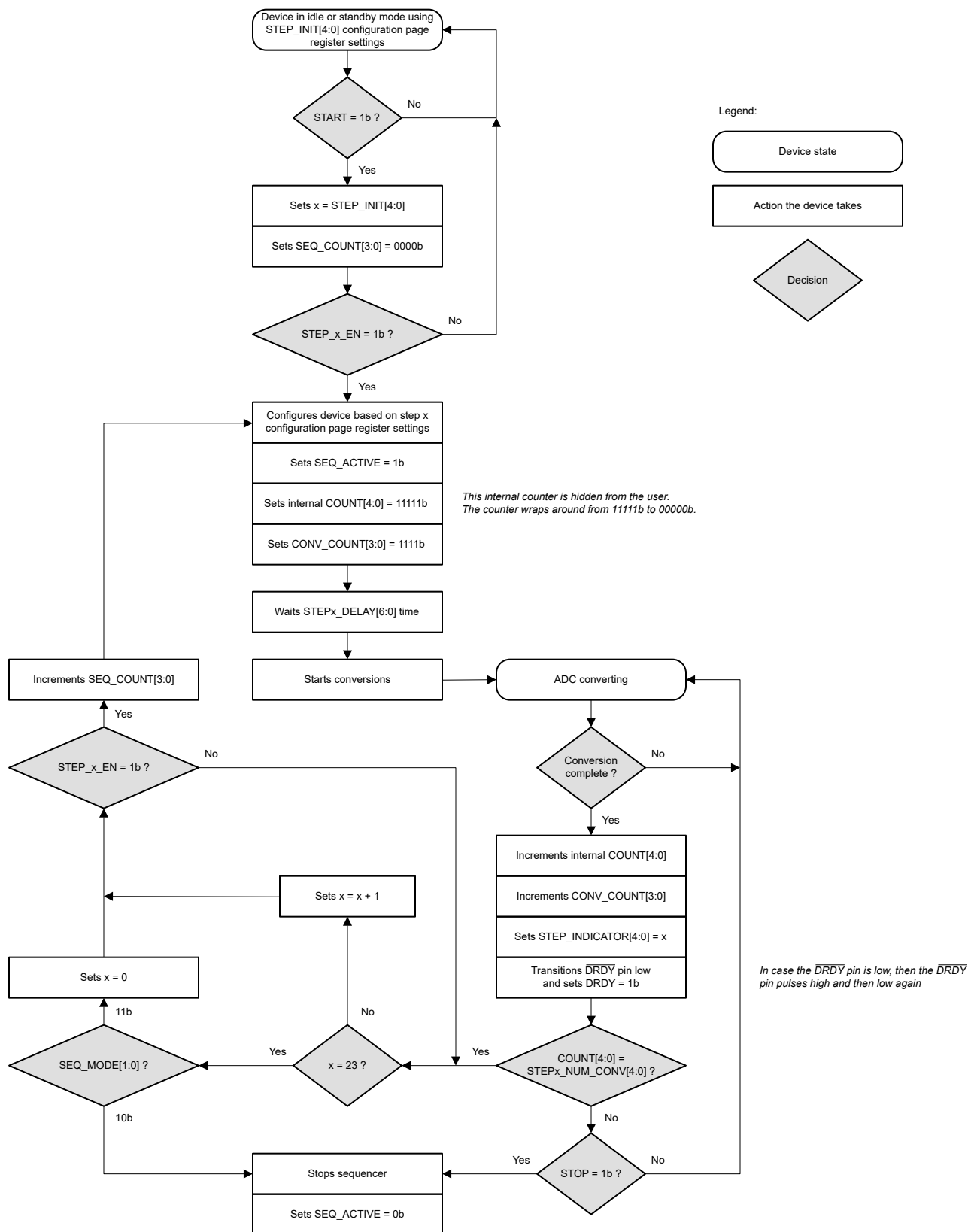


图 7-22. 序列发生器运行流程图 (SEQ_MODE[1:0] = 10b 或 11b)
(STOP_BEHAVIOR[1:0] = 01b)

7.4.2.3.1 配置序列发生器

使用表 7-20 中总结的各种位配置序列发生器操作和行为。有关更多详细信息，请参阅[寄存器映射](#)部分中相应的位字段说明。

表 7-20. 序列发生器配置位

寄存器位 ⁽¹⁾	说明
状态和通用配置页	
STEP_INIT[4:0]	该指针确定了序列发生器启动时用于第一次转换的步骤页配置。在空闲或待机模式下，无论页面是由相应的 STEP_x_EN 位启用还是禁用，该指针都会选择活动步骤页面配置。
SEQ_MODE[1:0]	如 序列发生器模式 部分所述选择序列发生器操作。
STOP_BEHAVIOR[1:0]	确定序列发生器在主机请求停止序列发生器时如何停止。
STEP_x_EN	当 SEQ_MODE[1:0] = 10b 或 11b 时，各个使能位选择一个要包含在序列中的步骤。当 SEQ_MODE[1:0] = 00b 或 01b 时，则会忽略这些位。
步骤 x 配置页	
STEPx_NUM_CONV[4:0]	确定序列发生器在相应的序列步骤上执行多少次连续转换。在一个步骤的这些连续转换之间，数字滤波器不会复位。当 SEQ_MODE[1:0] = 01b 时，则会忽略这些位。
STEPx_DELAY[6:0]	确定序列发生器在选择步骤配置页面后开始转换之前等待的时间。这是为了能够对所选测量信号进行任何趋稳。在此延迟时间内，数字滤波器保持复位状态。

(1) x = 0 至 23 表示单独的步骤页面配置。

有关如何为配置访问不同的寄存器页，请参阅[寄存器映射](#)部分。[器件初始化和启动序列发生器](#)部分显示了有关如何配置序列发生器的示例。

当序列发生器处于运行状态时，请勿更改各个步骤配置页上的任何寄存器设置。对任何步骤配置页面的任何写入操作都会立即停止序列发生器。

7.4.2.3.2 启动和停止序列发生器 (START/STOP 位和 START 引脚)

要启动序列发生器，请将 1b 写入 START 位或将 START 引脚设置为高电平。写入 STEP_INIT[4:0] 位字段的值决定了序列发生器为第一次转换选择的序列步骤配置。STEP_INIT[4:0] = 00000b 指向步骤配置页 0，而 STEP_INIT[4:0] = 10111b 指向最后一个可用的步骤配置页 23。[图 9-4](#) 说明了如何使用流程图启动序列发生器。

START 位在写入 CONVERSION_CTRL 寄存器的 SPI 帧的 $\overline{CS}$ 上升沿 (4 线 SPI 模式) 或最后一个 SCLK 下降沿 (3 线 SPI 模式) 生效。有关寄存器写入命令的 SPI 帧的详细信息，请参阅[写入寄存器命令](#)部分。

将 STOP 位设置为 1b 或将 START 引脚设置为低电平以停止序列发生器。STOP_BEHAVIOR[1:0] 位决定序列发生器的停止方式。有关详细信息，请参阅 STOP_BEHAVIOR[1:0] 位字段说明。在序列发生器停止后，最后一次转换结果仍可读出。在断电模式下，只有器件复位后才会清除转换结果，或者在新转换结果可用时覆盖转换结果。

当序列发生器停止时，器件会根据 STBY_MODE 位设置返回至空闲或待机模式。STEP_INIT[4:0] 位字段决定了器件处于空闲或待机模式时使用的步骤配置页面，无论相应的步骤页面是否启用 (会忽略 STEP_x_EN 位设置)。这意味着，当退出断电模式或转换停止时，器件会转换到由 STEP_INIT[4:0] 位字段确定的步骤页面配置。如果在待机或空闲模式下将 STEP_INIT[4:0] 指针设置为 18h 至 1Fh 之间的无效值，则步骤 23 的配置将生效。如果需要在空闲期间以特定方式配置 IDAC 或任何配置为数字输出的 GPIO 需要驱动特定的输出电平，则在序列发生器停止时选择适当的步骤页面非常重要。在空闲或待机模式下，STEP_INIT[4:0] 指针指向的页面上的寄存器位更改立即生效。

在控制序列发生器时，请记住以下器件行为：

- 同时向 **START** 和 **STOP** 位写入 **1b** 无效。
- 通过 **START** 和 **STOP** 位控制序列发生器时，将 **START** 引脚保持为低电平。类似地，使用 **START** 引脚控制序列发生器时，请勿使用 **START** 和 **STOP** 位。
- **START** 引脚通常对边沿敏感。**START** 引脚上升沿等效于将 **START** 位设置为 **1b**，**START** 引脚下降沿等效于将 **STOP** 位设置为 **1b**。但是，**START** 引脚会在上电、器件复位期间以及写入会停止序列发生器的器件寄存器时变为电平敏感。因此，在这些事件期间将 **START** 引脚保持在低电平，以避免序列发生器意外启动。
- 写入 **SEQUENCER_CFG** 寄存器后，需要执行另一个 **SPI** 事务（例如无操作命令），然后才能使用 **START** 引脚启动转换。**START** 位没有此限制，可以在写入 **SEQUENCER_CFG** 寄存器后立即写入该位来启动转换。
- 在转换正在进行时，将 **START** 位设置为 **1b** 或将 **START** 引脚再次设置为低电平和高电平会中止正在进行的转换，并使用 **STEP_INIT[4:0]** 位字段中指示的步骤配置页面重新启动序列发生器。
- 如果 **DRDY** 为低电平，则序列发生器启动时器件会将 **DRDY** 引脚驱动为高电平，但仍可以读取旧转换数据，直到新转换可用为止。
- 对以下寄存器的任何写入操作都会立即停止序列发生器，而由 **STOP_BEHAVIOR[1:0]** 位选择的序列发生器停止行为无关：
 - 状态和通用配置页面上寄存器地址为 **10h** 至 **1Fh** 之间的任何寄存器，但地址为 **17h** 的寄存器除外。
 - 任何步骤配置页面上的任何寄存器。

7.4.2.3.3 序列发生器状态位

步骤指示器 (**STEP_INDICATOR[4:0]**)、转换计数器 (**CONV_COUNT[3:0]**) 和序列计数器 (**SEQ_COUNT[3:0]**) 提供有关当前可读出的最新转换结果的信息（如表 7-18 中所述）以及相应的寄存器位说明。

当序列发生器处于激活状态且转换正在进行时，**SEQ_ACTIVE** 状态位读数为 **1b**。

7.5 编程

7.5.1 串行接口 (SPI)

串行接口用于读取转换数据、配置器件寄存器和控制 ADC 转换。

串行接口包含四条线路： $\overline{\text{CS}}$ 、SCLK、SDI 和 SDO/ $\overline{\text{DRDY}}$ 。此外，还提供专用的 $\overline{\text{DRDY}}$ 输出引脚。主机始终驱动 SCLK，并且器件充当外设。该接口仅支持 SPI 配置（CPOL = 0 且 CPHA = 1），其中 SCLK 在空闲状态下保持低电平，数据在 SCLK 上升沿更新，并锁存在 SCLK 下降沿。

该接口支持全双工操作，这意味着可以同时传送输入数据和输出数据。该接口还支持多个 ADC 的菊花链连接。

7.5.2 串行接口信号

7.5.2.1 片选 ($\overline{\text{CS}}$)

$\overline{\text{CS}}$ 是一个低电平有效输入，可实现接口通信。通信帧通过将 $\overline{\text{CS}}$ 置为低电平来启动，并通过将 $\overline{\text{CS}}$ 置为高电平来结束。当 $\overline{\text{CS}}$ 置为高电平时，器件通过解读输入数据的最后 16 位（SPI CRC 启用时为 24 位）来结束帧，而不考虑移入的总位数。当 $\overline{\text{CS}}$ 为高电平时，SPI 复位，命令被阻止，SDO/ $\overline{\text{DRDY}}$ 进入高阻抗状态。无论 $\overline{\text{CS}}$ 的状态如何，专用 $\overline{\text{DRDY}}$ 引脚都为有效输出。可将 $\overline{\text{CS}}$ 连接至低电平以在 3 线 SPI 模式下运行该接口。

7.5.2.2 串行时钟 (SCLK)

SCLK 是串行时钟输入，用于将数据移入和移出 ADC。SDO 上的数据在 SCLK 的上升沿更新，SDI 上的数据在 SCLK 的下降沿锁存。SCLK 是一种施密特触发输入，旨在提高抗噪性能。尽管 SCLK 具有抗噪性，但应尽可能使 SCLK 保持无噪声，以避免 SCLK 意外转换。避免 SCLK 输入上出现振铃和过冲。SCLK 驱动器上的串联端接电阻器可减少振铃。

7.5.2.3 串行数据输入 (SDI)

SDI 是串行接口数据输入。SDI 用于向器件输入数据。输入数据在 SCLK 的下降沿锁存。SDI 未激活时处于高电平或低电平空闲状态。

7.5.2.4 串行数据输出/数据就绪 (SDO/ $\overline{\text{DRDY}}$)

SDO/ $\overline{\text{DRDY}}$ 是一个双功能输出引脚。可对此引脚进行编程，以便仅提供输出数据，或提供输出数据和数据就绪指示。SDO_MODE 位选择该模式。双功能模式可在单个引脚上多路复用输出数据和数据就绪操作。此模式可取代专用 $\overline{\text{DRDY}}$ 引脚的功能，以减少连接到主机所需的 SPI I/O 线路数量。

输出数据在 SCLK 的上升沿更新。当 $\overline{\text{CS}}$ 为高电平时，SDO/ $\overline{\text{DRDY}}$ 引脚处于高阻态。

当编程为双功能模式（SDO_MODE = 1b）且 $\overline{\text{CS}}$ 处于低电平时，SDO/ $\overline{\text{DRDY}}$ 会对 $\overline{\text{DRDY}}$ 进行镜像，直至 SCLK 的第一个上升沿为止，此时引脚会更改模式以提供数据输出。当数据读取操作完成时，该引脚会恢复到镜像 $\overline{\text{DRDY}}$ 。图 7-23 展示了 SDO/ $\overline{\text{DRDY}}$ 引脚的行为。

在仅输出数据模式（SDO_MODE = 0b）下，如果在 SDO 上移出最后一个数据后主机没有发送任何额外的 SCLK 脉冲，则 SDO 保持在发送的最后一位的电平，如图 7-23 中所示。

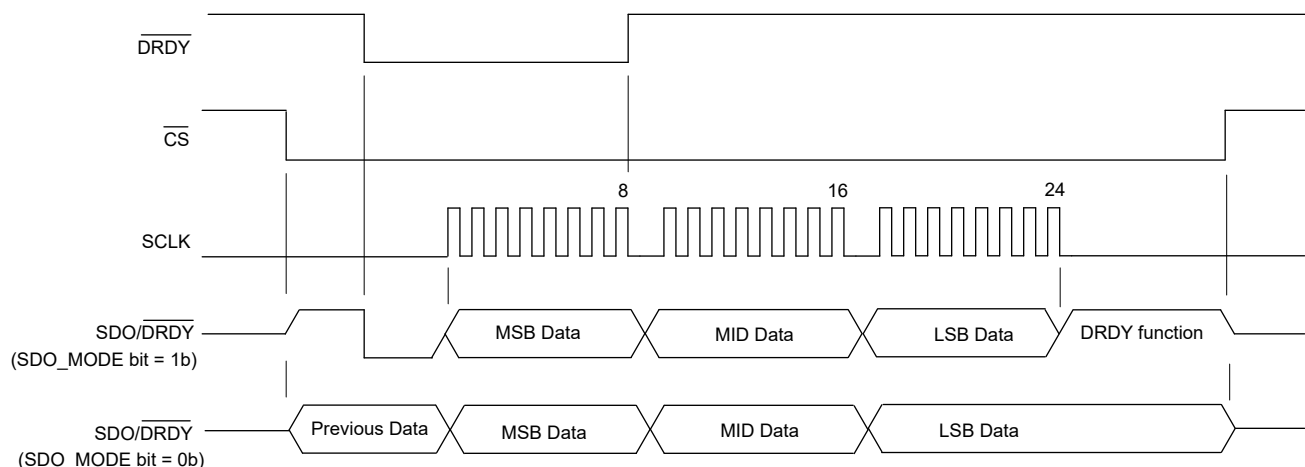


图 7-23. $\text{SDO}/\overline{\text{DRDY}}$ 和 $\overline{\text{DRDY}}$ 行为
(24 位器件 , STATUS 标头和 CRC 已禁用)

7.5.2.5 数据就绪 ($\overline{\text{DRDY}}$) 引脚

$\overline{\text{DRDY}}$ 引脚的下降沿指示新转换数据完成。即使在 $\overline{\text{CS}}$ 为高电平时, $\overline{\text{DRDY}}$ 输出也始终被驱动。当序列发生器启动时, $\overline{\text{DRDY}}$ 驱动为高电平, 而当转换数据就绪时, 驱动为低电平。 $\overline{\text{DRDY}}$ 在 MSB 转换数据读取的第八个 SCLK 下降沿驱动回高电平, 如图 7-23 所示。如果未读取转换数据, $\overline{\text{DRDY}}$ 会在下一个下降沿之前产生高脉冲 $t_{\text{W(DRH)}}$ 。每当器件编程为在转换停止后进入待机模式 (STBY_MODE 位 = 1b) 时, $\overline{\text{DRDY}}$ 在转换为低电平后 4 个 t_{MOD} 将被驱动回高电平。

有关 $\overline{\text{DRDY}}$ 引脚操作的详细信息, 请参阅 [DRDY 引脚行为](#) 部分。

7.5.3 串行接口通信结构

7.5.3.1 SPI 帧

通过串行接口进行通信基于帧的概念。帧包含数据移入 SDI 或移出 SDO 所需的规定数量 SCLK。帧通过将 $\overline{CS}$ 置为低电平来启动，并通过将 $\overline{CS}$ 置为高电平来结束。当 $\overline{CS}$ 置为高电平时，器件会对输入数据的最后 16 位（或在启用 SPI CRC 时为 24 位）进行解释，而不管移入器件的数据量是多少。

该接口是全双工的，也就是说该接口能够在 SDO 上发送数据，同时在 SDI 上接收数据。通常，如果需要，可通过用前导零填充帧来调整输入帧的大小，以匹配输出帧。但是，如果仅写入器件而忽略 SDO 上的数据，则帧可以缩短为最小 16 位（或在启用 SPI CRC 时为 24 位）。图 7-24 和图 7-25 分别显示了 16 位和 24 位器件的典型通信帧结构。在这些示例中，转换数据在 SDO 上移出。如图所示，SDI 上的命令字节（加上可选的 CRC-IN 字节）始终在帧内右对齐。SDO 上的数据字节（加上可选的 STATUS 标头和 CRC-OUT 字节）始终在帧内左对齐。

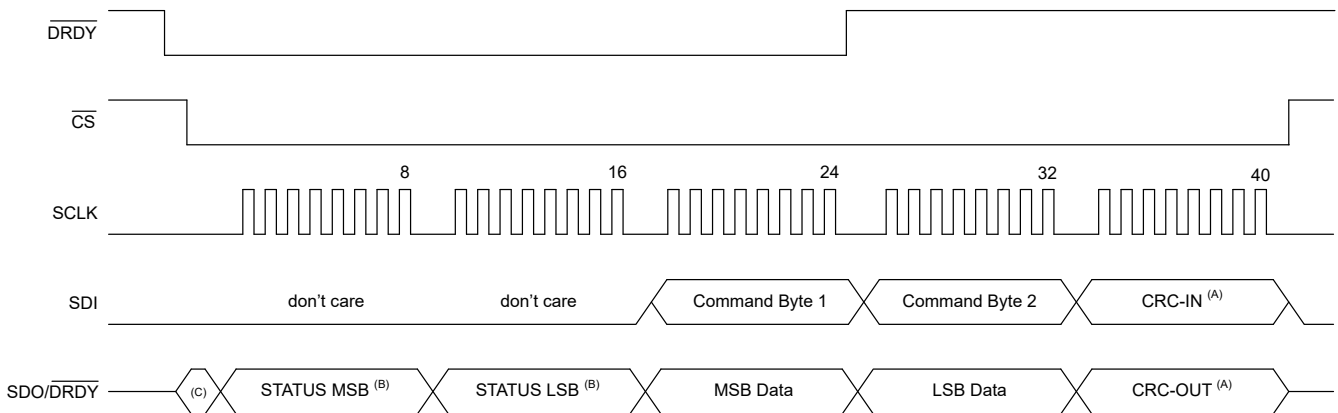
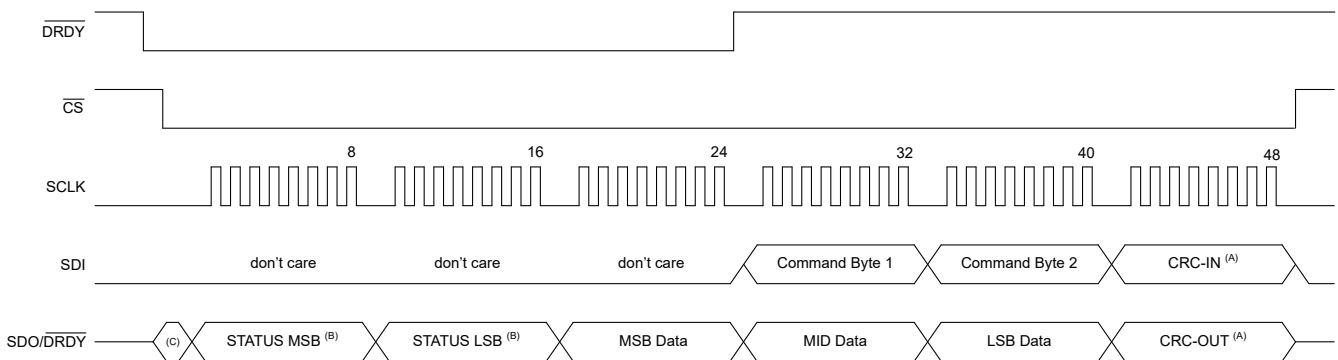


图 7-24. 典型通信帧 (16 位器件)



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 如果 SDO_MODE = 0b，则保持 SDO/ $\overline{DRDY}$ 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/ $\overline{DRDY}$ 跟随 $\overline{DRDY}$ 。

图 7-25. 典型通信帧 (24 位器件)

如表 7-21 所示，输出帧大小取决于数据分辨率（16 位或 24 位）、可选的 STATUS 标头（两个字节）和可选的 CRC 字节。

表 7-21. 输出帧大小

分辨率	STATUS 标头	CRC 字节	帧大小
16 位	否	否	16 位
16 位	否	是	24 位
16 位	是	否	32 位
16 位	是	是	40 位
24 位	否	否	24 位
24 位	否	是	32 位
24 位	是	否	40 位
24 位	是	是	48 位

在 4 线 SPI 模式下，将帧扩展到表 7-21 中给出的帧大小之外时，器件开始在 SDO 上移出数据，而这些数据系在帧开始时移入 SDI。此行为是为了支持菊花链运行，如菊花链运行部分所述。

连续读取模式在 4 线 SPI 模式中可用，可以在不转换 $\overline{CS}$ 的情况下检索任意数量的寄存器数据，并且帧会扩展以容纳额外的数据。有关详细信息，请参阅连续读取模式部分。在连续读取模式下，输出帧大小不受限制。

在 3 线 SPI 模式下，输入帧必须与表 7-21 中指定的输出帧的大小匹配才能使 SPI 保持同步。有关详细信息，请参阅 3 线 SPI 模式部分。

7.5.3.2 STATUS 标头

ADS1x4S1x 会在 SDO 上的每个帧中，将可选的 STATUS 标头作为前两个字节输出。使用 STATUS_EN 位启用 STATUS 标头传输。16 位 STATUS 标头由 STATUS_MSB[7:0] 和 STATUS_LSB[7:0] 寄存器位串联而成。部分故障标志、DRDY 位、转换计数器和序列步骤指示器都包含在这些位中。有关详细信息，请参阅监控器和状态标志部分以及状态和通用配置页面寄存器部分中的相应寄存器位说明。

7.5.3.3 SPI CRC

SPI 循环冗余校验 (CRC) 是一种校验码，用于检测与主机控制器之间的传输错误。主机在 SDI 上一起传输一个 CRC-IN 字节与 ADC 输入数据，器件在 SDO 上一起传输一个 CRC-OUT 字节与输出数据。可使用 SPI_CRC_EN 位启用 SPI CRC。此外，支持使用 STATUS_EN 位来传输 STATUS 标头，以获得有关任何 SPI 输入 CRC 故障的通知。

主机通过两个命令字节来计算 CRC-IN 代码。填充到帧开头的任何输入字节都不会纳入 CRC-IN 计算。ADC 根据在两个收到的输入命令字节上计算的内部代码来检查输入命令 CRC-IN 代码。如果 CRC-IN 代码不匹配，则不会执行命令，并将 SPI_CRC_FAULTn 位设置为 0b。

SPI_CRC_FAULTn 位作为 STATUS 标头的一部分输出，以立即指示前一帧中发生了 CRC 错误。SPI_CRC_FAULTn 位在下一个 SPI 帧中自动清除，前提是当前帧中没有发生 SPI CRC 错误。

用于计算输出 CRC 代码的字节数取决于 SDO 帧中传输的数据字节量。表 7-22 展示了输出 CRC 计算中包含的字节数。

表 7-22. 输出 CRC 涵盖的数据

操作	器件分辨率	启用 STATUS 标头	字节计数	输出 CRC 涵盖的数据
读取转换数据	16 位	否	2	16 位转换数据
读取转换数据	16 位	是	4	16 位 STATUS 标头 + 16 位转换数据
读取寄存器数据	16 位	否	2	8 位寄存器数据 + 8 位地址字节
读取寄存器数据	16 位	是	4	16 位 STATUS 标头 + 8 位寄存器数据 + 8 位地址字节
读取转换数据	24 位	否	3	24 位转换数据
读取转换数据	24 位	是	5	16 位 STATUS 标头 + 24 位转换数据
读取寄存器数据	24 位	否	3	8 位寄存器数据 + 8 位地址字节 + 8 位 00h 填充字节
读取寄存器数据	24 位	是	5	16 位 STATUS 标头 + 8 位寄存器数据 + 8 位地址字节 + 8 位 00h 填充

CRC 代码计算值为可变长度参数与 CRC 多项式进行逐位异或 (XOR) 运算后的 8 位余数。CRC 基于 CRC-8-ATM (HEC) 多项式： $X^8 + X^2 + X^1 + 1$ 。多项式的九个系数为：100000111。CRC 计算值初始化为全 1，以便在 SDI 和 SDO/DRDY 始终处于高电平或低电平时检测错误。

图 7-26 展示了 CRC 计算的直观表示。以下是计算 CRC 值的过程：

- 向 8 位移位寄存器中预加载种子值 FFh，该寄存器在对应 CRC 多项式 (07h) 的位置设有 XOR 模块。
- 从最高有效位 (MSB) 开始逐位移入所有数据位，并在每位移入后重新计算移位寄存器的值。
- 所有数据位移入完成后，移位寄存器中的值即为计算所得的 CRC 值。

可从[此处](#)下载的示例 C 语言代码包含一种可能的 CRC 实现方案。

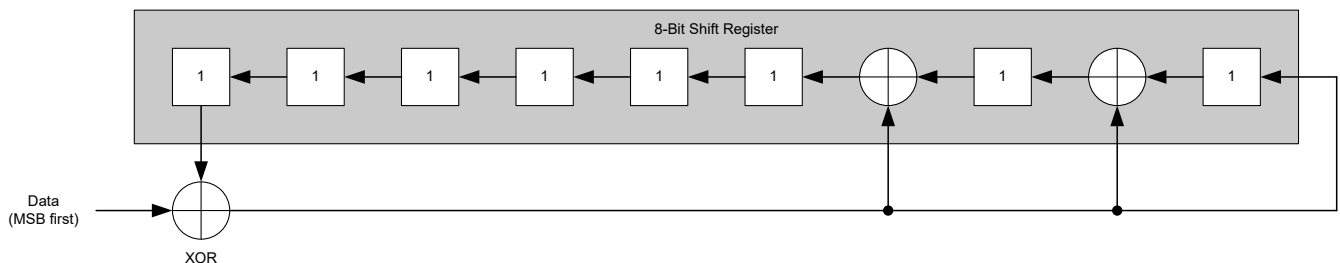


图 7-26. CRC 计算的可视化表示

7.5.4 器件命令

命令用于读取和写入寄存器数据。寄存器映射包含一系列单字节 (8 位) 寄存器，可通过读取和写入操作进行访问。输入命令序列的最小帧长度为 16 位 (使能了 SPI CRC 时为 24 位)。如果需要，可以使用前导零填充输入命令序列以便与输出数据帧的长度相匹配。当启用了 SPI CRC 时，器件会将帧末尾处的 CRC-IN 字节前的两个字节解释为命令类型。表 7-23 展示了 ADS1x4S1x 命令。

表 7-23. SPI 命令

说明	BYTE 1	BYTE 2	字节 3 (可选 CRC-IN 字节)
无操作 (读取转换数据)	00h	00h	D7h
读取寄存器命令	40h + 地址 [5:0]	无关	字节 1 和字节 2 的 CRC-IN
写入寄存器命令	80h + 地址 [5:0]	寄存器数据	字节 1 和字节 2 的 CRC-IN

器件支持比标准命令长度更长的特殊扩展长度位模式。这些模式用于复位 ADC 以及在 3 线 SPI 模式中复位帧。[通过 SPI 输入模式进行复位](#) 和 [3 线 SPI 模式帧重新对齐](#) 部分介绍了扩展位模式。

器件锁存命令的实例取决于 SPI 模式：

- 4 线 SPI 模式： $\overline{\text{CS}}$ 的上升沿
- 3 线 SPI 模式：SPI 帧的最后一个 SCLK 下降沿 (包括 CRC 模式下的 CRC-OUT 字节)

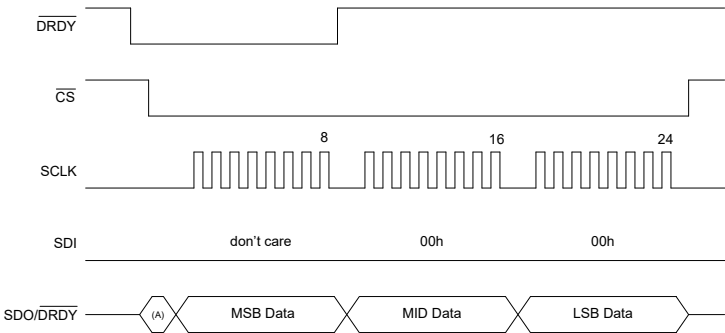
7.5.4.1 无操作 (读取转换数据)

无操作命令字节为 00h 和 00h。不同时发送读取或写入寄存器命令时，可使用此命令来读取转换数据。如果启用了 SPI CRC 校验，则需要 CRC 字节 (字节 3)，对于字节 00h 和 00h，始终为 D7h。SDI 可在数据回读期间保持低电平，但在 CRC 模式下，SPI_CRC_FAULTn 位设置为 0b。在读取转换数据时可以忽略 SPI_CRC_FAULTn 标志，并且在每个新 SPI 帧中更新一次。

对转换数据进行缓冲，从而在下一个 $\overline{\text{DRDY}}$ 下降沿之前的一个 f_{MOD} 时钟周期内读取数据。转换数据在下一个转换数据准备就绪前可以多次读取，永不损坏。如果在前一帧中发送了寄存器读取命令，则该寄存器数据会替换转换数据。

在转换数据读取期间，即转换数据 MSB 字节的传输完成时， $\overline{\text{DRDY}}$ 在第八个 SCLK 下降沿被驱动回高电平。

图 7-27 展示了在禁用 STATUS 标头和 CRC 字节时读取 24 位转换数据的示例。

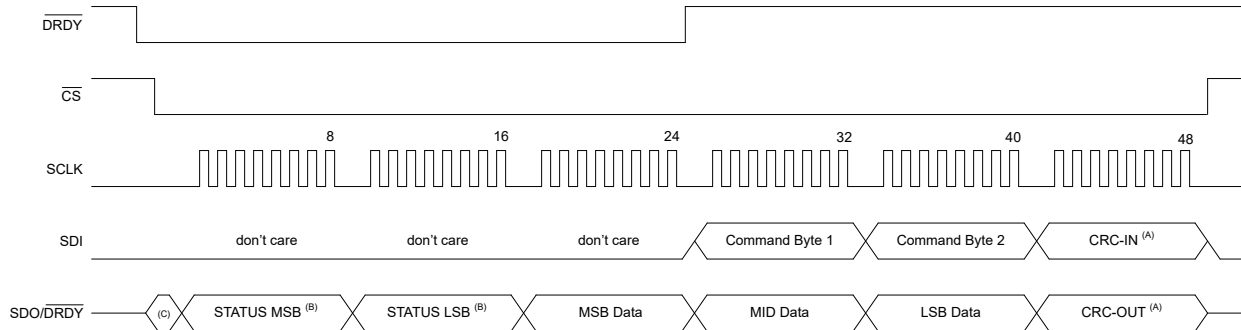


A. 如果 SDO_MODE = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-27. 读取转换数据 (24 位器件，STATUS 标头和 CRC 已禁用)

图 7-28 是启用了 STATUS 标头和 CRC 字节时的读取转换数据操作示例。此示例还展示了当命令是输入、同时转换数据是输出时，可选择使用全双工传输。如果不需要输入命令，则输入字节为 00h、00h 和 D7h。输出 CRC (CRC-OUT) 代码的计算包括 STATUS 标头。

当转换数据 MSB 字节的传输完成时， $\overline{\text{DRDY}}$ 在第 24 个 SCLK 下降沿被驱动回高电平。如果数据未被完全读取，即在转换数据 MSB 字节传输之后、帧结束之前的任何时间停止读取操作，则也是如此。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 如果 SDO_MODE = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 $\overline{\text{DRDY}}$ 。

图 7-28. 读取转换数据 (24 位器件，STATUS 标头和 CRC 已启用)

转换数据可与 $\overline{\text{DRDY}}$ 异步读取。但是，当在靠近 $\overline{\text{DRDY}}$ 下降沿的位置读取转换数据时，可能会不确定输出的是以前的数据还是新的数据。如果 SCLK 移位操作在 $\overline{\text{DRDY}}$ 下降沿之前至少一个 f_{MOD} 时钟周期开始，则提供旧数据。如果移位操作在 $\overline{\text{DRDY}}$ 之后至少一个 f_{MOD} 时钟周期开始，则输出新数据。在任何一种情况下，数据都不会损坏。当启用了 STATUS 标头传输时，DRDY 位指示在当前帧中传输的数据是旧数据 (之前读取的数据， $\text{DRDY} = 0b$) 还是新数据 ($\text{DRDY} = 1b$)。

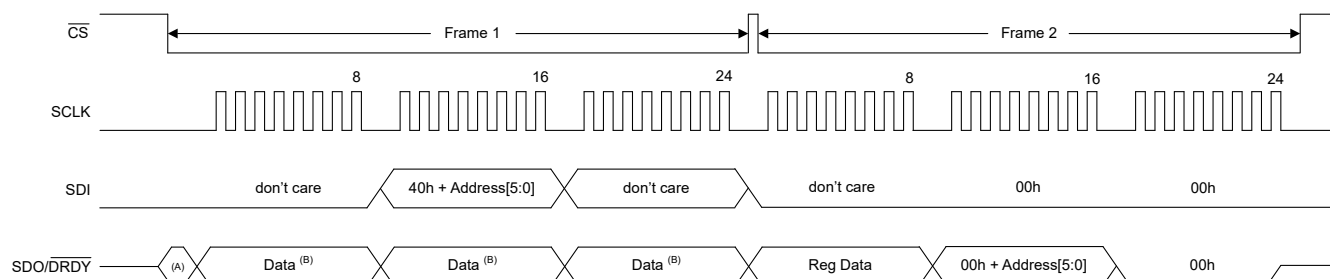
7.5.4.2 读取寄存器命令

使用读取寄存器命令读取寄存器数据。该命令遵循两帧协议，其中读取命令在一帧内发送，而 ADC 在下一帧中以寄存器数据作为响应。命令的第一个字节是添加到 6 位寄存器地址的基本命令值 (40h)。第二个命令字节的值是任意的，但与 CRC 计算的第一个字节一起使用。

图 7-29 显示了在禁用 STATUS 标头和 CRC 的情况下，24 位器件读取寄存器数据的示例。帧 1 是命令帧，帧 2 是数据响应帧。通过将 CS 置为高电平来分隔帧。数据响应帧返回请求的寄存器数据字节，后跟寄存器地址指示字节，以及一个用于补足 24 位帧的 00h 填充字节。寄存器数据的最高有效位先对齐。6 位寄存器地址在寄存器地址指示字节内右对齐 (在 MSB 位置填充 00b)。如果需要，通过将 CS 置为高电平可在寄存器数据字节后缩短数据响应帧。

从有效地址范围之外的寄存器地址读取会返回 00h 作为寄存器数据，并在寄存器地址指示字节中返回 FFh 以指示错误。

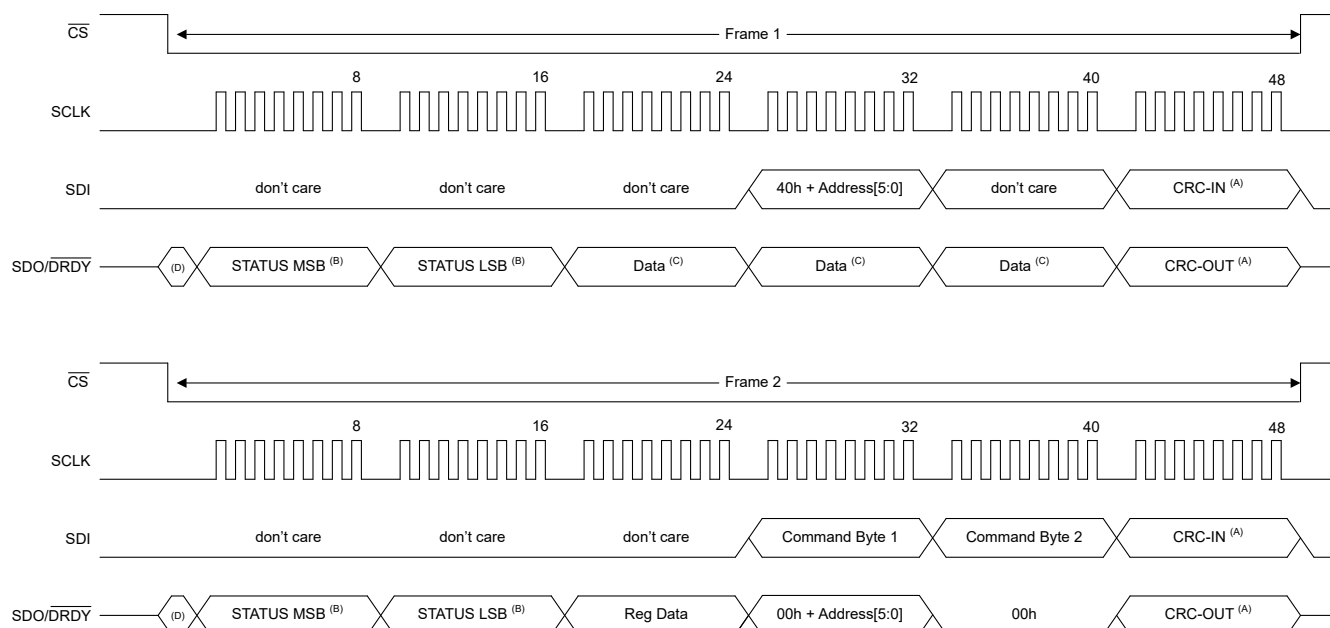
当读取多个寄存器时，可以选择全双工运行，通过在前一个寄存器的数据响应帧期间输入下一个读取寄存器命令，使读取寄存器操作的吞吐量翻倍。



- A. 第一个 SCLK 之前是 SDO/DRDY 的先前状态。
 B. 数据是转换数据的 24 位，或者如果在前一帧中发送了读取寄存器命令，则数据字段为寄存器数据字节 + 地址指示字节 + 00h 填充。

图 7-29. 读取寄存器数据 (24 位器件，STATUS 标头和 CRC 已禁用)

图 7-30 显示了在启用 STATUS 标头和 CRC 的情况下，24 位器件的寄存器读取操作的示例。在帧 1 中，转换数据的输出与读取寄存器命令的输入同时进行（当前一帧不是读取寄存器命令时）。为了匹配输出数据帧的长度，输入命令用三个无关字节填充。填充的输入字节不包括在 CRC-IN 代码计算中。帧 2 显示与请求的寄存器数据的输出同时进行的下一个命令的输入。CRC-OUT 代码包括数据输出帧内的所有前面的字节。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
 B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
 C. 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址指示字节 + 00h 填充。
 D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

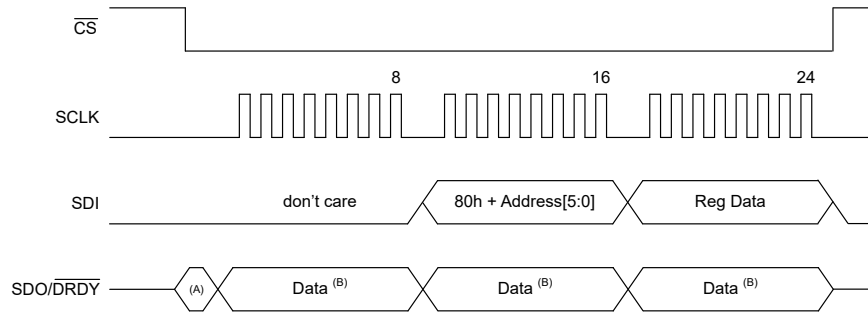
图 7-30. 读取寄存器数据 (24 位器件，STATUS 标头和 CRC 已启用)

7.5.4.3 写入寄存器命令

使用写入寄存器命令写入寄存器数据。写入寄存器操作在单个帧中执行。命令的第一个字节是添加到 6 位寄存器地址的基本值 (80h)。命令的第二个字节是寄存器数据。

写入有效地址范围之外的寄存器将被忽略，并且 REG_WRITE_FAULTn 位设置为 0b 以指示错误。

图 7-31 显示了在禁用 STATUS 标头和 CRC 的情况下，24 位器件的寄存器写入操作的示例。如果需要配置一系列寄存器而无需同时读取转换数据，则可以使用缩短的 16 位帧来提高吞吐量。缩短的 SPI 帧无法在 3 线 SPI 模式下或在菊花链中运行器件时使用。

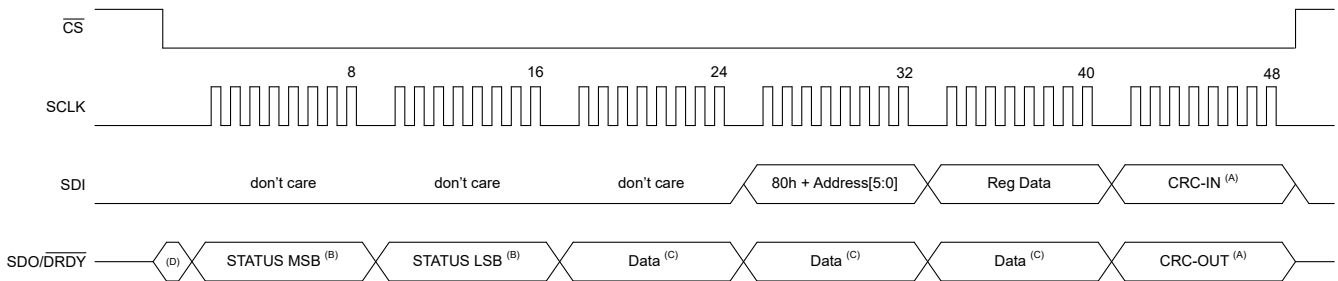


- A. 第一个 SCLK 之前 SDO/DRDY 的先前状态。
- B. 数据是转换数据，或者如果在前一帧中发送了读取寄存器命令，则数据字段为寄存器数据字节 + 地址指示字节 + 00h 填充。

图 7-31. 写入寄存器数据 (24 位器件，STATUS 标头和 CRC 已禁用)

图 7-32 显示了在启用 STATUS 标头和 CRC 的情况下，24 位器件的写入寄存器操作的示例。图中还展示了全双工操作，以便同时显示命令的输入和转换数据的输出。输入帧以三个无关字节作为前缀，来匹配输出帧，从而传输所有转换数据字节。如果需要配置一系列寄存器而无需同时读取转换数据，则可以使用缩短的 24 位帧来提高吞吐量。

通过读回寄存器数据或检查 SPI_CRC_FAULTn 位是否有输入 CRC 错误，来验证寄存器写入操作是否成功。如果发生 SPI CRC 输入错误，SPI_CRC_FAULTn 标志会在下一帧中读取 0b，并且写入操作会被忽略。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 数据字段是转换数据，或者如果在前一帧中发送了读取寄存器命令，则为寄存器数据字节 + 地址指示字节 + 00h 填充。
- D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

图 7-32. 写入寄存器数据 (24 位器件，STATUS 标头和 CRC 已启用)

7.5.5 连续读取模式

ADS1x4S1x 提供了连续读取模式。在连续读取模式下，可以在不转换 CS 的情况下检索任意数量的寄存器数据，并且帧会扩展以容纳额外的数据。这简化了读取大量寄存器数据的过程，并减少了控制 CS 线路的微控制器外设的开销。

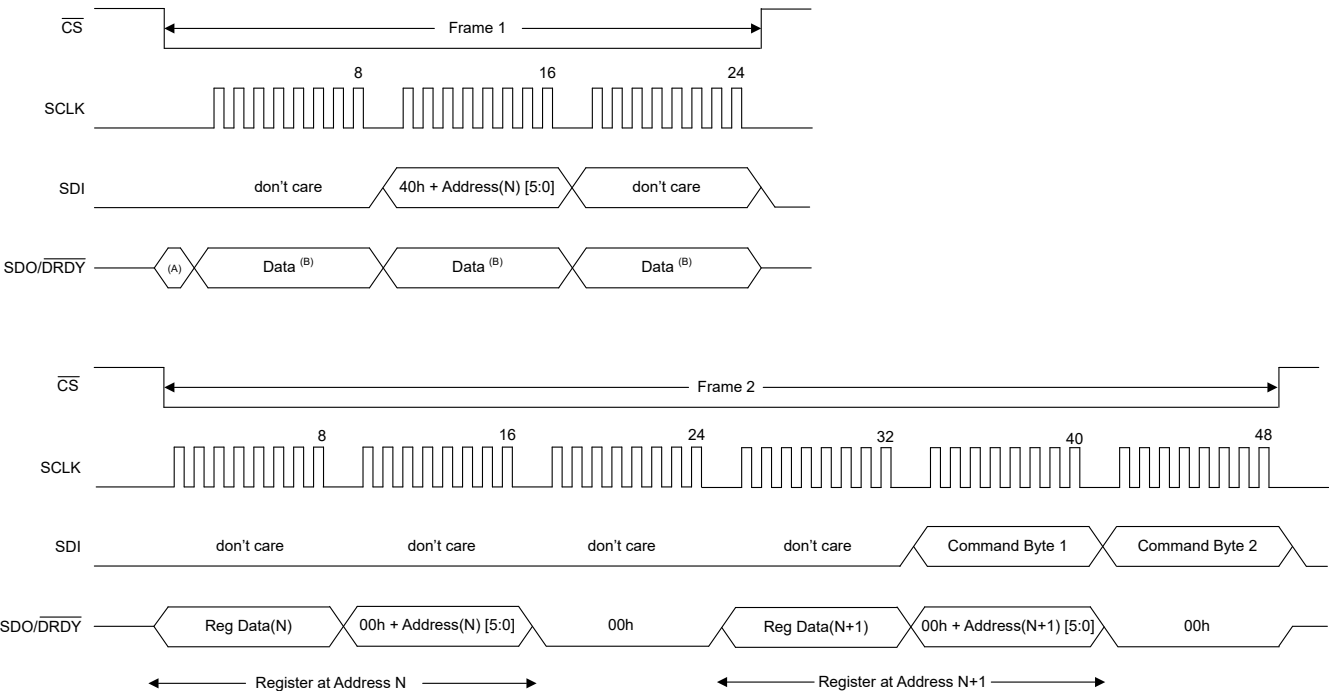
设置 CONT_READ_EN 位将启用连续读取模式。在 CONT_READ_EN 位从 0b 更改为 1b 的 SPI 帧之后的下一个帧中，SPI 切换到连续读取模式。

通过将 CONT_READ_EN 位设置回 0b，使 SPI 返回单路读取模式。

7.5.5.1 在连续读取模式下读取寄存器

在连续读取模式下，使用 [读取寄存器命令](#) 部分中所述的相同命令帧来读取寄存器数据。数据响应帧会返回一个或多个寄存器数据字节，具体取决于 $\overline{\text{CS}}$ 被驱动回高电平的时间。第一个寄存器数据字节从命令帧中指定的地址读取。然后，对于每个后续寄存器读取操作，寄存器地址都会自动递增 1。如果下一个寄存器地址指向无效的寄存器，也是如此。对有效地址范围之外的寄存器的响应对数据字节为 00h，对于地址指示器字节为 FFh。

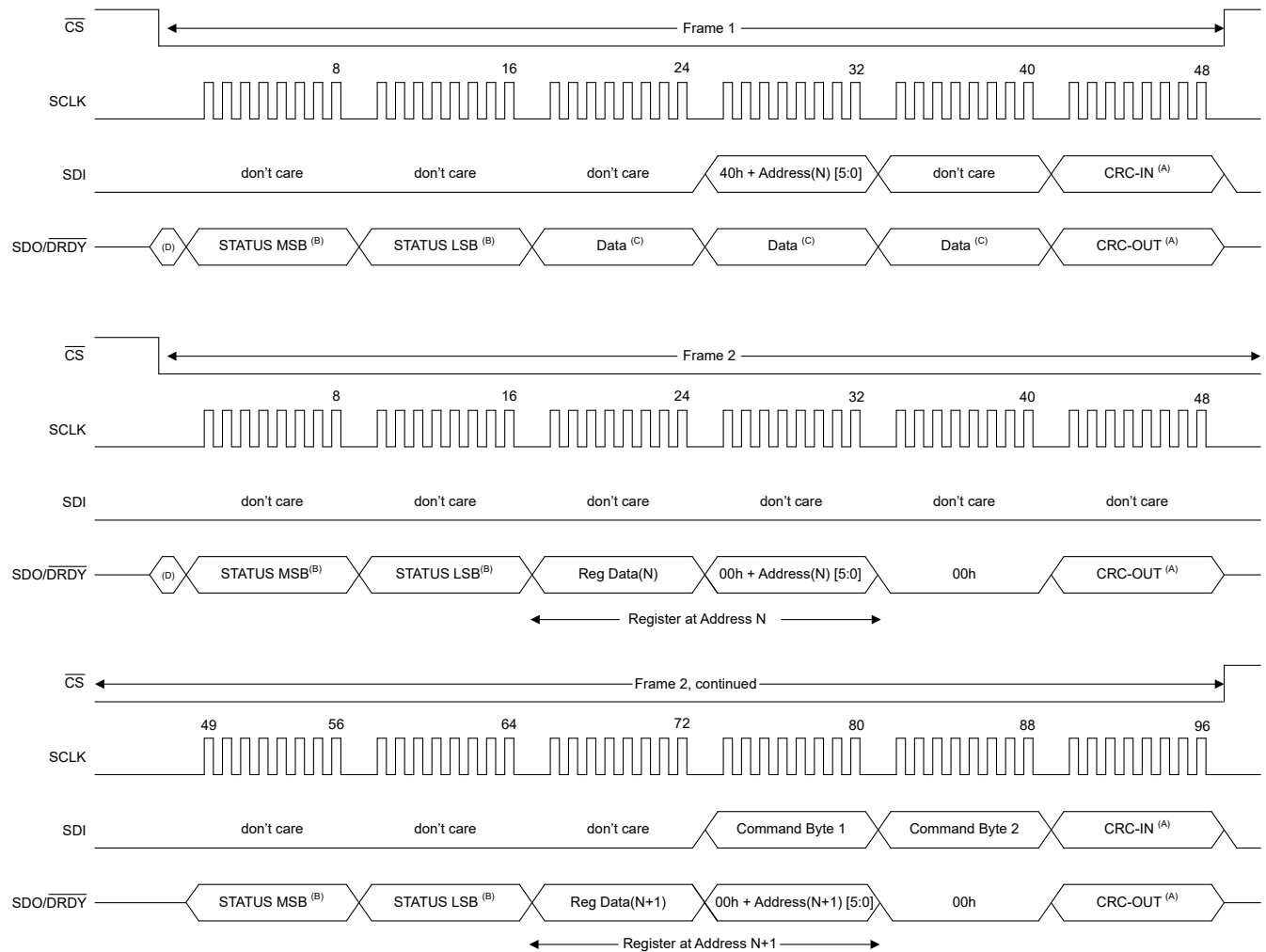
图 7-33 显示了在禁用 STATUS 标头和 CRC 的情况下，24 位器件在连续读取模式中读取寄存器数据的示例。该示例显示了如何读取两个连续寄存器 N 和 N+1，但在 $\overline{\text{CS}}$ 保持为低电平达到额外的时钟周期时，可以读取任意数量的寄存器。



- A. 第一个 SCLK 之前是 SDO/DRDY 的先前状态。
B. 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址字节 + 00h 填充。

图 7-33. 连续读取模式下的读取寄存器数据
(24 位器件，STATUS 标头和 CRC 已禁用)

图 7-34 显示了在启用 STATUS 标头和 CRC 的情况下，24 位器件在连续读取模式中的寄存器读取操作的示例。在输入和输出帧中，不考虑字节和 00h 填充字节用于匹配数据帧协议，如 [读取寄存器命令](#) 部分所述。该示例显示了如何读取两个连续寄存器 N 和 N+1，但在 $\overline{\text{CS}}$ 保持为低电平达到额外的时钟周期时，可以读取任意数量的寄存器。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址字节 + 00h 填充。
- D. 第一个 SCLK 之前是 SDO/DRDY 的先前状态。

**图 7-34. 连续读取模式下的读取寄存器数据
(24 位器件，STATUS 标头和 CRC 已启用)**

7.5.6 菊花链运行

在使用多个 ADC 的系统中，可以采用菊花链串来连接器件，以减少 SPI 连接的数量。菊花链连接将一个器件的 SPI 输出 (SDO) 连接到下一个器件的 SPI 输入 (SDI)，因此链中的器件对主机控制器显示为单个逻辑器件。菊花链运行无需特殊编程。应用额外的移位时钟来访问链中的所有器件。为了简化操作，对每个器件的 SPI 帧大小进行编程（例如，当启用所有器件的 CRC 选项时，从而产生 24 位（16 位器件）或 32 位（24 位器件）帧大小）。

图 7-35 显示了以菊花链配置连接的四个器件。ADS1x4S1x (1) 的 SDI 连接到主机 SPI 数据输出，ADS1x4S1x (4) 的 SDO/DRDY 连接到主机 SPI 数据输入。该链中的所有器件同时进行移位操作。每个 ADC 移出转换数据后，SDI 的数据出现在 SDO/DRDY 中，以驱动链中下一个器件的 SDI。移位操作将继续，直至到达链中的最后一个器件。当 $\overline{CS}$ 置为高电平时，SPI 帧结束，此时将解释移入每个器件的数据。对于菊花链运行，将 SDO/DRDY 引脚编程为仅数据输出模式 (SDO_MODE = 0b) 并禁用连续读取模式 (CONT_READ_EN = 0b)。

将每个器件的 SDO/DRDY 引脚上的上拉电阻器连接到 IOVDD。当 $\overline{CS}$ 为高电平时，SDO/DRDY 变为高阻态。因此，当 $\overline{CS}$ 为高电平时，上拉电阻器用于避免链中的下一个器件上出现悬空的 SDI 输入。

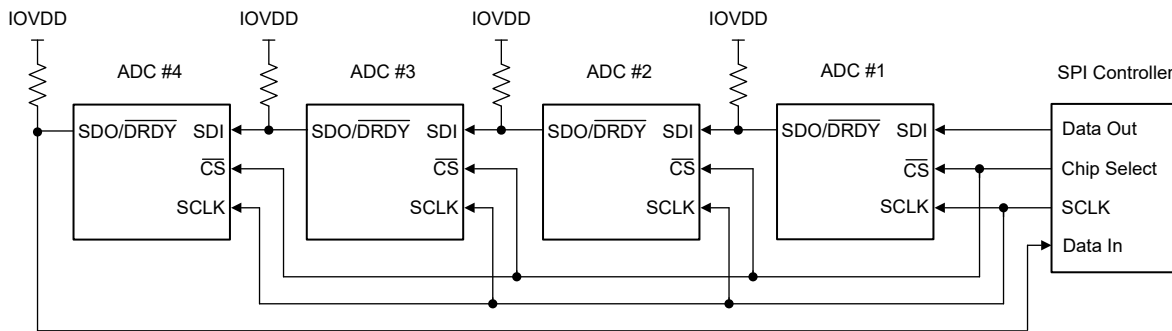


图 7-35. 菊花链连接

图 7-36 展示了以菊花链连接的四个 24 位器件（STATUS 标头和 CRC 已禁用）的帧结构。

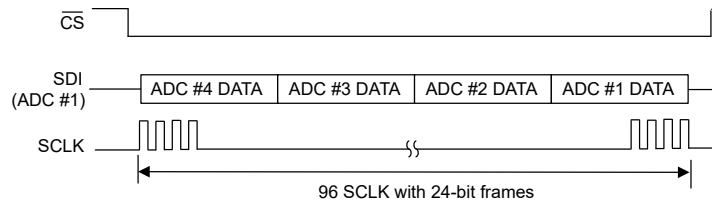
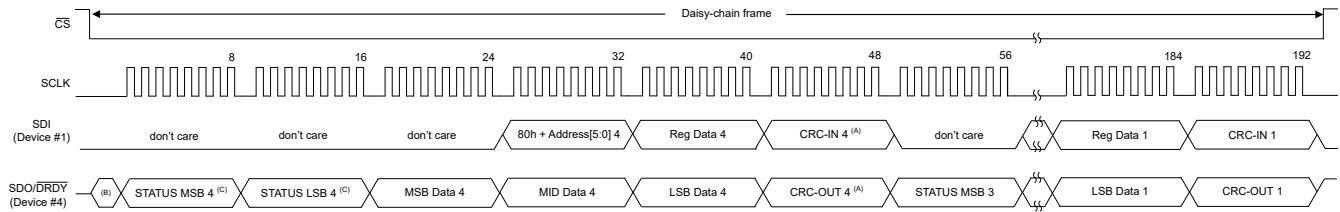


图 7-36. 菊花链数据输入序列
(四个 24 位器件，STATUS 标头和 CRC 已禁用)

为了输入数据，主机首先移入用于链中最后一个器件的数据。每个 ADC 的输入字节数的大小与输出帧大小相匹配。默认帧大小为 24 位（对于 24 位器件），因此最初每个 ADC 需要三个字节，方法是在两个命令字节前添加一个填充字节作为前缀。首先是 ADC #4 的输入数据，然后是 ADC #3 的输入数据，依此类推。

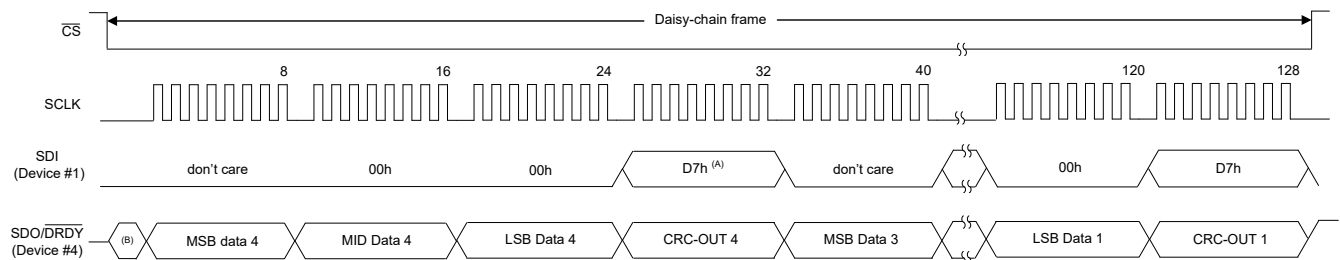
图 7-37 展示了图 7-35 的菊花链写入寄存器操作的详细输入数据序列。显示了每个 ADC 的 48 位帧（24 位数据，启用了 STATUS 标头和 CRC）。每个 ADC 的命令操作可能不同。寄存器读取操作需要第二个帧操作来读取寄存器数据。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
B. 在应用 SCLK 之前 SDO/DRDY 的前一状态。
C. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。

图 7-37. 菊花链连接中的写入寄存器数据
(四个 24 位器件，STATUS 标头和 CRC 已启用)

图 7-38 显示了从图 7-35 中提供的器件连接中读取转换数据的数据序列。此示例说明了 32 位输出帧 (24 位数据，启用了 CRC)。ADC (4) 的转换数据在序列中最先移出，然后是 ADC (3) 的数据，依此类推。移出数据所需的总 SCLK 数由每帧位数乘以链中的器件数得出。在此示例中，32 位输出帧 × 四个器件得到 128 个总时钟。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
B. 在应用 SCLK 之前 SDO/DRDY 的前一状态。

图 7-38. 菊花链连接中的读取转换数据
(四个 24 位器件，STATUS 标头已禁用，CRC 已启用)

如方程式 20 所示，以菊花链配置连接的器件数上限受 SCLK 信号频率、所选数据速率和每帧位数的限制。

$$\text{Maximum devices in a chain} = \lfloor f_{\text{SCLK}} / (f_{\text{DATA}} \times \text{bits per frame}) \rfloor \quad (20)$$

例如，如果 $f_{\text{SCLK}} = 10\text{MHz}$ ， $f_{\text{DATA}} = 64\text{kSPS}$ ，并且使用了 32 位帧，则菊花链连接的器件的数量上限是：
 $\lfloor 10\text{MHz} / (64\text{kHz} \times 32) \rfloor = 4$ 。

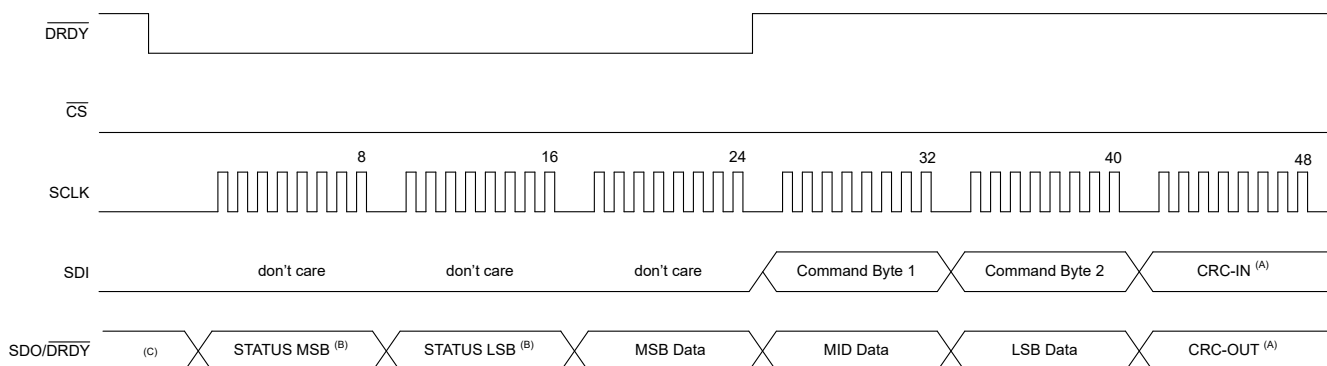
7.5.7 3 线 SPI 模式

通过将 $\overline{\text{CS}}$ 引脚永久连接到 GND，器件可以在 3 线 SPI 模式下运行。当 $\overline{\text{CS}}$ 在上电时或复位后连接至低电平时，器件在 3 线 SPI 模式下运行。只要 $\overline{\text{CS}}$ 置为高电平，器件就会变为 4 线 SPI 模式。

由于 $\overline{\text{CS}}$ 不再在 3 线 SPI 模式下控制帧长度，因此 ADC 会对 SCLK 进行计数以确定帧的开始和结束。SCLK 数量必须由主机控制并且必须与输出帧的大小相匹配。每帧的位数取决于器件分辨率和配置。表 7-21 中显示了输出帧的大小。由于帧时序由 SCLK 的数量决定，因此应避免 SCLK 意外转换，例如可能在上电时发生的转换。

除了没有 $\overline{\text{CS}}$ 切换功能外，3 线 SPI 模式与支持的指令格式和时钟与 4 线模式相同。图 7-39 显示了在 3 线 SPI 模式下读取转换数据的示例。

器件的菊花链连接在 3 线 SPI 模式下无法实现，并且连续读取模式也不可用。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 如果 SDO_MODE = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-39.3 线 SPI 模式下的读取转换数据 (24 位器件, STATUS 标头和 CRC 已启用)

7.5.7.1 3 线 SPI 模式帧重新对齐

在 3 线 SPI 模式下，意外的 SCLK 会导致帧错位，从而导致与主机的帧同步丢失。如图 7-40 所示，通过发送 SPI 重新对齐模式，无需器件复位即可重新同步 SPI。重新对齐模式在第 64 个 SCLK 出现，至少连续 63 个 1，后跟一个 0。第 65 个 SCLK 启动一个新的 SPI 帧。器件还可接受包含超过 63 个连续 1 后跟一个 0 的重新对齐模式。在这种情况下，新帧从在 0 之后 SCLK 上升沿开始。或者，可以通过切换 **RESET** 引脚或通过使用 [通过 SPI 输入模式进行复位](#) 部分中所述的复位模式完全复位 ADC。

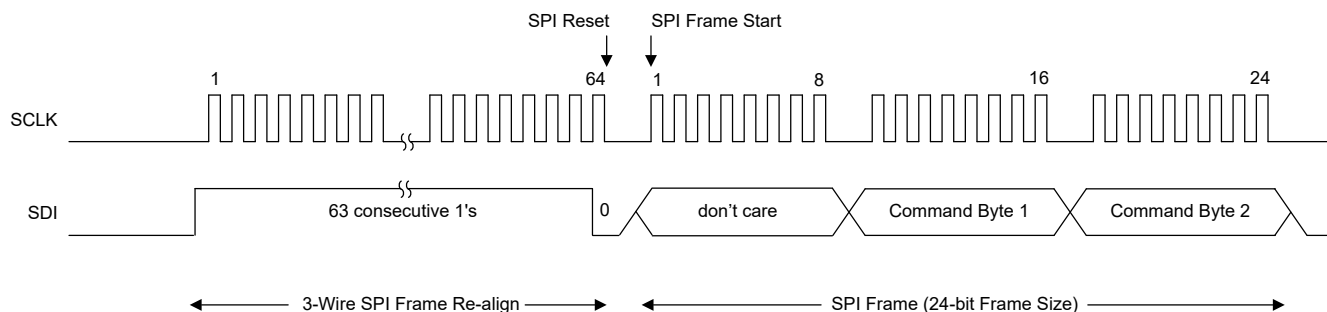


图 7-40.3 线模式 SPI 重新对齐模式 (24 位器件)

7.5.8 监控新转换数据

有多种方法可用于确定转换数据何时准备好检索。

1. 监控 $\overline{\text{DRDY}}$ 或 $\text{SDO}/\overline{\text{DRDY}}$ 引脚。
2. 评估作为 STATUS 标头的一部分传输的 DRDY 位和转换计数器。
3. 使用外部时钟进行时钟计数：计算用于预测数据何时就绪的 ADC 主时钟数。

7.5.8.1 $\overline{\text{DRDY}}$ 引脚或 $\text{SDO}/\overline{\text{DRDY}}$ 引脚监控

$\overline{\text{DRDY}}$ 是专用的数据就绪输出引脚， $\text{SDO}/\overline{\text{DRDY}}$ 引脚是双功能输出引脚。有关 $\overline{\text{DRDY}}$ 引脚的说明，请参阅 [数据就绪 \(\$\overline{\text{DRDY}}\$ \) 引脚](#) 部分；有关 $\text{SDO}/\overline{\text{DRDY}}$ 引脚的说明，请参阅 [串行数据输出/数据就绪 \(\$\text{SDO}/\overline{\text{DRDY}}\$ \)](#) 部分。

$\overline{\text{DRDY}}$ 引脚的下降沿表示新转换已完成。将 $\overline{\text{DRDY}}$ 引脚连接到主机控制器的由下降沿触发的支持中断的 GPIO。在主机检测到 $\overline{\text{DRDY}}$ 信号下降沿后，主机在下一个 $\overline{\text{DRDY}}$ 下降沿之前读取转换数据。如果支持中断的 GPIO 不可用，主机可以监控 $\overline{\text{DRDY}}$ 引脚电平。逻辑低电平表示尚未读取最新的可用转换结果。逻辑高电平表示没有新转换结果可用，并且之前已读取最新的转换结果。可以随时读取转换数据，而无需担心数据损坏。

使用 $\text{SDO_MODE} = 1b$ 设置启用双功能后， $\text{SDO}/\overline{\text{DRDY}}$ 引脚的使用方式与专用 $\overline{\text{DRDY}}$ 引脚类似。然而，与 $\overline{\text{DRDY}}$ 引脚相比， $\text{SDO}/\overline{\text{DRDY}}$ 引脚仅在 $\overline{\text{CS}}$ 为低电平时驱动。这意味着，主机必须断开 $\overline{\text{CS}}$ 线路才能评估 $\text{SDO}/\overline{\text{DRDY}}$ 信号。

7.5.8.2 读取 DRDY 位和转换计数器

确定何时可以读取新数据的软件方法是评估作为 STATUS 标头组成部分的 DRDY 位。为此，使用 STATUS_EN 位在 SDO 上启用 STATUS 标头传输。可以使用两种方法来评估 DRDY 位：

- 主机定期读取完整的 SPI 帧以接收 STATUS 标头与转换数据。如果该帧中的 DRDY 位读取为 1b，则接收到的转换数据是新数据。如果 DRDY 位为 0b，则主机会丢弃该帧中接收到的转换数据，因为之前已读取相同的转换结果。
- 主机定期发送一个短 8 位 SPI 帧来读取在 SDO 上第一个字节内传输的 DRDY 位。仅当 DRDY 位读取为 1b 时，主机才会发送一个完整的 SPI 帧来接收 STATUS 标头与新转换数据。这种对 SPI 帧进行短循环的方法无法在 3 线 SPI 模式下或在菊花链中运行器件时使用。

为了避免丢失数据，至少像对输出数据速率那样频繁地评估 DRDY 位。

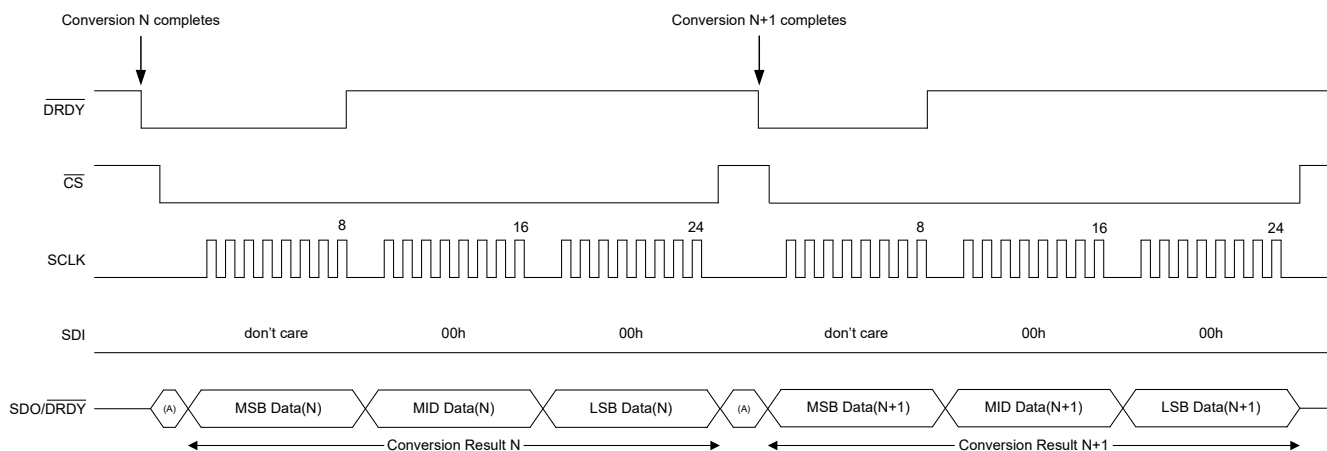
此外，作为 STATUS 标头的一部分发送的转换计数器可指示在当前 SPI 帧中检索到的转换计数。主机评估转换计数器，以了解主机是多次读取同一转换结果，还是主机错过了读取转换结果。

7.5.8.3 时钟计数

确定新数据何时就绪的另一种方法是计算 ADC 主时钟周期数，因为每次转换都需要确定数量的时钟周期。这种方法只有在使用外部时钟时才可行，因为内部时钟振荡器无法观察到。当序列发生器选择新的转换序列步骤时，完成第一次转换所需的时钟周期数比此序列步骤的所有后续转换所需的时钟周期数更大。有关详细信息，请参阅 [数字滤波器延迟](#) 部分。

7.5.9 $\overline{\text{DRDY}}$ 引脚行为

本部分详细介绍各种情况下的 $\overline{\text{DRDY}}$ 引脚行为。每当新转换数据完成时 $\overline{\text{DRDY}}$ 转换为低电平。如图 7-41 所示， $\overline{\text{DRDY}}$ 在转换数据 MSB 读取的第八个 SCLK 下降沿转换为高电平。

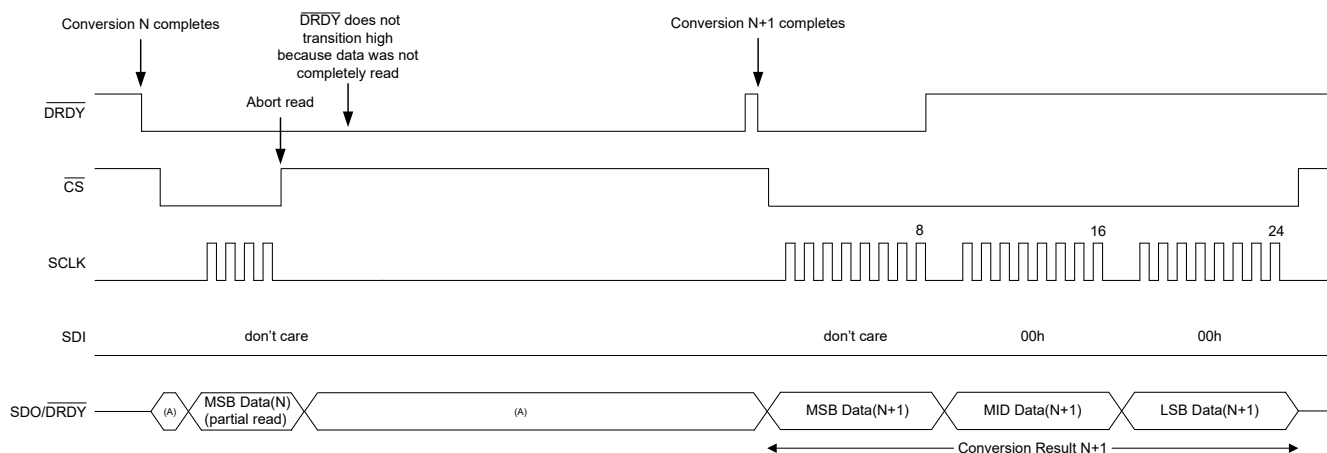


A. 如果 SDO_MODE 位 = 0b，则保持 SDO/ $\overline{\text{DRDY}}$ 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/ $\overline{\text{DRDY}}$ 跟随 $\overline{\text{DRDY}}$ 。

图 7-41. $\overline{\text{DRDY}}$ 引脚行为：读取最新的可用转换数据

如果在完成新转换时 $\overline{\text{DRDY}}$ 为低电平，则 $\overline{\text{DRDY}}$ 在 $\overline{\text{DRDY}}$ 下降沿之前会将 $t_{w(\text{DRH})}$ 驱动为高电平（请参阅图 7-42）。

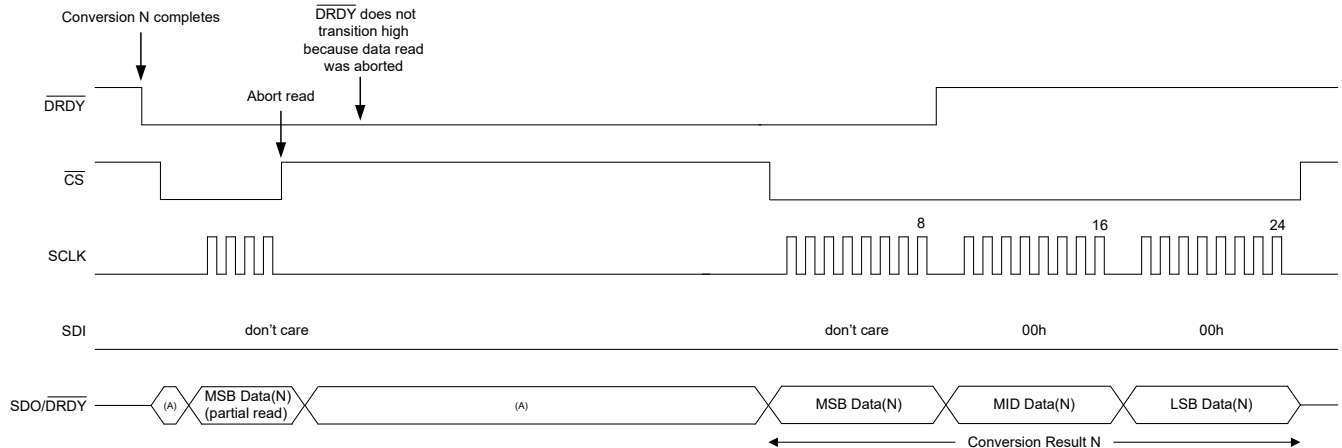
如果 $\overline{\text{CS}}$ 在转换数据 MSB 读取的第八个 SCLK 之前驱动为高电平，则 $\overline{\text{DRDY}}$ 保持低电平，指示未读取转换数据（请参阅图 7-42 和图 7-43）。



A. 如果 SDO_MODE 位 = 0b，则保持 SDO/ $\overline{\text{DRDY}}$ 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/ $\overline{\text{DRDY}}$ 跟随 $\overline{\text{DRDY}}$ 。

图 7-42. $\overline{\text{DRDY}}$ 引脚行为：在新的转换完成之前未完成转换数据的读取

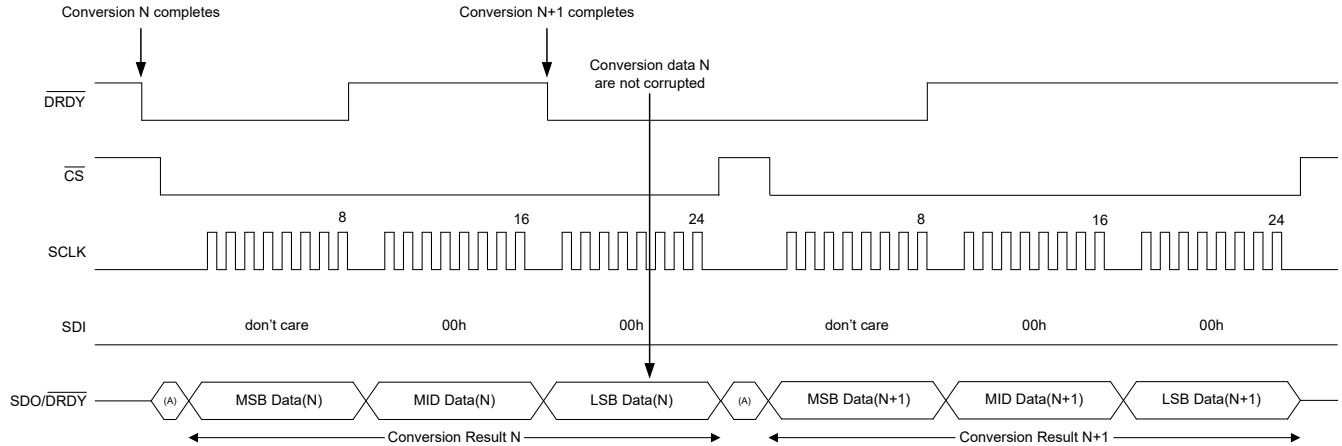
图 7-43 显示了在新转换完成之前，可以多次读取相同的转换数据。转换计数器（STATUS_LSB 寄存器中的 CONV_COUNT[3:0] 位）指示是否再次读取相同的数据或是否读取新数据。



A. 如果 SDO_MODE 位 = 0b，则保持 SDO/DRDY 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-43. DRDY 引脚行为：转换数据的未完成读取后跟相同转换数据的完全读取

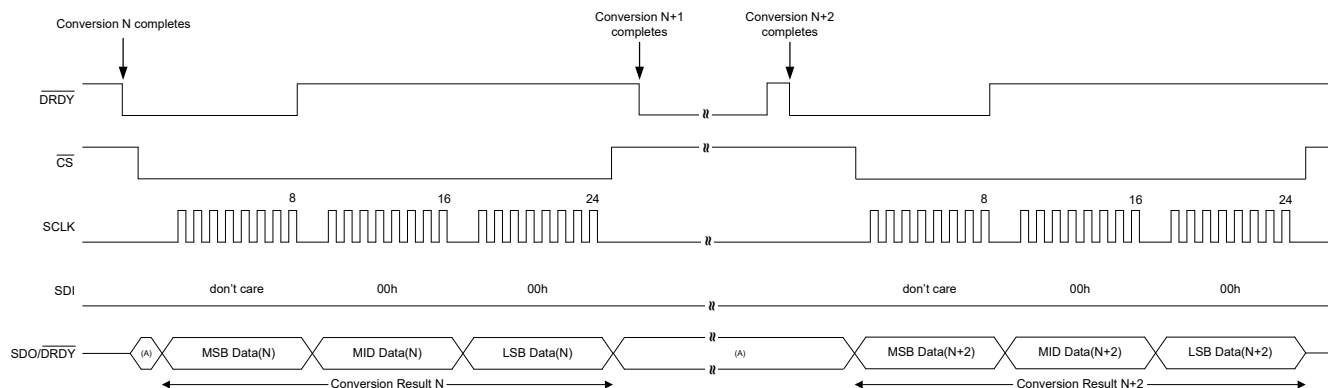
如果在读取转换数据 N 的同时完成新的转换 N+1，该器件可避免数据损坏。在转换数据 N 读取完成之前，转换数据 N+1 都被保存在内部缓冲器中。在下一帧中，转换数据 N+1 会被加载到 SDO 输出缓冲器中。在这种情况下，读取转换数据 N 后，DRDY 不会转换为高电平，以指示新的转换数据 N+1 可供读出（请参阅图 7-44）。



A. 如果 SDO_MODE 位 = 0b，则保持 SDO/DRDY 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-44. DRDY 引脚行为：在新的转换完成时读取转换数据

图 7-45 说明了当主机在转换 N+2 完成之前未读取数据时，转换数据 N+1 会丢失。在这种情况下，转换计数器有助于检测主机是否错过了读取中间转换结果。



A. 如果 SDO_MODE 位 = 0b, 则保持 SDO/DRDY 的先前状态, 直至第一个 SCLK 上升沿。否则, SDO/DRDY 跟随 DRDY。

图 7-45. DRDY 引脚行为：错过读取中间转换结果

每当器件编程为在转换停止后进入待机模式 (STBY_MODE 位 = 1b) 时, DRDY 在转换为低电平后 4 个 t_{MOD} 将被驱动回高电平。图 7-46 显示了进入待机模式时 DRDY 引脚行为的示例。

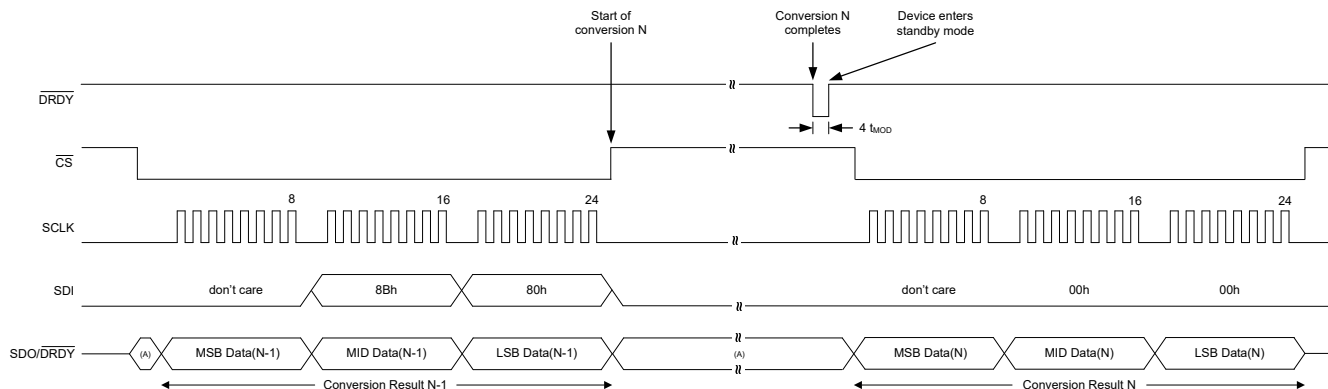


图 7-46. DRDY 引脚行为：进入待机模式

在此特定场景 (STBY_MODE 位 = 1b) 中, 轮询 DRDY 位或 DRDY 引脚的状态以检查转换的完成情况并不现实, 因为 DRDY 引脚处于低电平的时间段。使用其他可用选项之一来确定新数据何时可用, 例如 DRDY 引脚下降沿、轮询转换计数器, 或等待不少于转换周期的固定时长。

7.5.10 寄存器映射 CRC

寄存器映射 CRC 可以检测寄存器映射内容的意外位变化。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。当启用寄存器映射 CRC 时，器件会持续为 24 个寄存器页面中的每一个计算独立的 8 位 CRC 值，并将内部 CRC 计算结果与用户分别在 GENERAL_CFG_REG_MAP_CRC_VALUE[7:0] 和 STEP_x_REG_MAP_CRC_VAL[7:0] 位字段中提供的 CRC 值进行比较。如果内部 CRC 计算结果与一页或多页上相应用户提供的寄存器映射 CRC 值不匹配，REG_MAP_CRC_FAULT_n 标志设置为 0b，CRC_FAULT_PAGE[4:0] 位字段指向发生 CRC 错误的第一个寄存器页面。发生寄存器映射 CRC 故障时，器件不会执行其他操作。

表 7-24 展示了寄存器映射 CRC 每页涵盖的寄存器地址空间。

表 7-24. 每个寄存器页面的寄存器映射 CRC 涵盖的寄存器地址空间

寄存器页	涵盖的寄存器地址空间	用户提供的寄存器映射 CRC 值位字段
状态和通用配置	10h 至 1Fh	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]
步骤 x 配置 (x = 0 至 23)	00h 至 14h	STEP _x _REG_MAP_CRC_VAL[7:0]

每页的 CRC 计算从所覆盖的第一个寄存器的 MSB 开始，到所覆盖的最后一个寄存器的 LSB 结束，使用 CRC-8-ATM (HEC) 多项式： $X^8 + X^2 + X^1 + 1$ 。多项式的九个系数为：100000111。有关 CRC 计算的详细信息，请参阅 [SPI CRC](#) 部分。CRC 计算使用种子值 FFh 进行初始化。

REG_MAP_CRC_FAULT_n 标志不会立即指示意外的位变化，因为 CRC 计算是串行实现的。可能会经过长达 $t_{p(REG_MAP_CRC)} = 208$ 个 t_{MOD} 周期后，REG_MAP_CRC_FAULT_n 标志才指示故障。

按照以下步骤更改寄存器位，不会意外导致 REG_MAP_CRC_FAULT_n 指示：

- 通过设置 REG_MAP_CRC_EN = 0b 禁用寄存器映射 CRC
- 等待故障响应时间 $t_{p(REG_MAP_CRC)}$
- 如果 REG_MAP_CRC_FAULT_n 故障标志设置为 0b，则通过向 REG_MAP_CRC_FAULT_n 位写入 1b 来清除故障标志
- 可选：确认 REG_MAP_CRC_FAULT_n 故障标志已清除为 1b
- 根据需要更改器件寄存器位
- 根据新寄存器映射设置更新 GENERAL_CFG_REG_MAP_CRC_VALUE[7:0] 和 STEP_x_REG_MAP_CRC_VAL[7:0] 位字段。请记住根据 REG_MAP_CRC_EN 位的 1b 来计算 GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]。
- 通过设置 REG_MAP_CRC_EN = 1b 启用寄存器映射 CRC

也可以在启用寄存器映射 CRC 时更改寄存器位，如以下过程所述，但可能会导致意外的 REG_MAP_CRC_FAULT_n 指示。

- 在启用寄存器映射 CRC 时，根据需要更改寄存器位
- 根据新寄存器映射设置更新 GENERAL_CFG_REG_MAP_CRC_VALUE[7:0] 和 STEP_x_REG_MAP_CRC_VAL[7:0] 位
- 等待故障响应时间 $t_{p(REG_MAP_CRC)}$
- 如果 REG_MAP_CRC_FAULT_n 故障标志设置为 0b，则通过向 REG_MAP_CRC_FAULT_n 位写入 1b 来清除故障标志
- 可选：确认 REG_MAP_CRC_FAULT_n 故障标志已清除为 1b

无论 REG_MAP_CRC_EN 位设置如何，寄存器映射 CRC 在待机和断电模式下都会停止。

7.5.11 转换数据格式

转换数据根据 STEP_x_CODING 位设置进行编码。默认情况下，转换数据以二进制补码格式进行编码，MSB 在最前面（符号位）。将 STEP_x_CODING 位设置为 1b 可实现单极直接二进制格式。表 7-25 和表 7-26 分别显示了 16 位和 24 位器件的输出代码。在二进制补码格式中，当输入信号超过各自的正负满量程值时，转换数据削平为正负满量程代码。在单极标准二进制格式中，当输入信号超过满量程值时，转换数据削平为满量程代码，而当输入信号值低于零时削平为零代码。

表 7-25. 理想输出代码与输入信号间的关系（16 位器件）

差动输入电压 (V)	理想输出代码 ⁽¹⁾	
	二进制补码格式 (编码 = 0b)	单极标准二进制格式 (编码 = 1b)
$\geq \text{FSR} \times (2^{16} - 1) / 2^{16}$	7FFFh	FFFFh
$\geq \text{FSR} \times (2^{15} - 1) / 2^{15}$		FFFEh
$\text{FSR} / 2^{15}$	0001h	0002h
0	0000h	0000h
$-\text{FSR} / 2^{15}$	FFFFh	
$-\text{FSR} \times (2^{15} - 1) / 2^{15}$	8001h	
$\leq -\text{FSR}$	8000h	

(1) 理想输出数据，不包括偏移、增益、线性度和噪声误差。

表 7-26. 理想输出代码与输入信号间的关系（24 位器件）

差动输入电压 (V)	理想输出代码 ⁽¹⁾	
	二进制补码格式 (编码 = 0b)	单极标准二进制格式 (编码 = 1b)
$\geq \text{FSR} \times (2^{24} - 1) / 2^{24}$	7FFFFFFh	FFFFFFh
$\geq \text{FSR} \times (2^{23} - 1) / 2^{23}$		FFFFFEh
$\text{FSR} / 2^{23}$	000001h	000002h
0	000000h	000000h
$-\text{FSR} / 2^{23}$	FFFFFFh	
$-\text{FSR} \times (2^{23} - 1) / 2^{23}$	800001h	
$\leq -\text{FSR}$	800000h	

(1) 理想输出数据，不包括偏移、增益、线性度和噪声误差。

8 寄存器映射

ADS1x4S1x 寄存器空间分为多个寄存器页，如表 8-1 所示。

表 8-1. 寄存器页面概述

页面地址	页面名称
00h	状态和通用配置
01h	步骤 0 配置
02h	步骤 1 配置
...	...
18h	步骤 23 配置

“状态和通用配置页”（第 0 页）保存状态信息和一般配置设置，这些信息和设置会在所有序列步骤中全局应用于器件。有关状态和通用配置页的寄存器映射，请参阅[状态和通用配置页面寄存器](#)部分。

每个序列步骤配置都具有单独的寄存器页（页 1 至 24），称为“步骤配置页”。所有步骤配置寄存器及其位字段均使用前缀“STEPx”，其中 x = 0 至 23，表示序列步骤编号。有关步骤配置页 x 的寄存器映射，请参阅[步骤配置页面寄存器](#)部分。

使用位于每页上寄存器地址 3Fh 处的 PAGE_POINTER 寄存器选择一个寄存器页进行配置。上电并复位后，选择第 0 页。要选择另一页进行配置，请将新寄存器页的地址写入 PAGE_POINTER[7:0] 位字段。此后，器件会选择新页，所有以下寄存器读取和写入操作都会在该新页上生效。读回 PAGE_INDICATOR 寄存器，以确认器件切换到了正确的页面地址。

8.1 状态和通用配置页面寄存器

表 8-2 列出了状态和通用配置页面寄存器的存储器映射寄存器。表 8-2 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-2. 寄存器映射

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
ID 寄存器 - 寄存器映射 CRC 未涵盖										
00h	DEVICE_ID	XXh	RESERVED		CH_CNT[1:0]		DEV_ID[3:0]			
01h	REVISION_ID	XXh	REV_ID[7:0]							
状态寄存器 (聚合位) - 未包括在寄存器映射 CRC 中										
02h	STATUS_MSB	00h	STEP_INDICATOR[4:0]					SAD_FAULTn	RESETn	DRDY
03h	STATUS_LSB	FFh	CONV_COUNT[3:0]			RESERVED		REG_WRITE_F AULTn	SPI_CRC_FAU LTn	
状态寄存器 (单个位) - 未包括在寄存器映射 CRC 中										
04h	SUPPLY_STATUS	BFh	RESERVED	AVDD_UVn	RESERVED					
05h	ADC_STATUS	FFh	COMP_ALERT n	RESERVED		REF_UVn	RESERVED			
06h	DIGITAL_STATUS	FFh	MEM_FAULTn	RESERVED	CRC_FAULT_PAGE[4:0]					REG_MAP_CR C_FAULTn
07h	COMP_ALERT_STAT US	FFh	RESERVED			COMP_ALERT_STEP_INDICATOR[4:0]				
状态寄存器 (GPIO) - 未包括在寄存器映射 CRC 中										
08h	GPIO_DATA_INPUT	00h	GPIO7_DAT_IN	GPIO6_DAT_IN	GPIO5_DAT_IN	GPIO4_DAT_IN	GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
状态寄存器 (序列发生器) - 未包括在寄存器映射 CRC 中										
09h	SEQ_STATUS	07h	SEQ_ACTIVE	SEQ_COUNT[3:0]				RESERVED		
0Ah	RESERVED	00h	RESERVED							
转换控制和复位寄存器 - 未包括在寄存器映射 CRC 中										
0Bh	CONVERSION_CTRL	00h	启动	STEP_INIT[4:0]					RESERVED	STOP
0Ch	RESET	00h	RESET_CODE[7:0]							
通用配置寄存器										
10h	ADC_CFG	00h	RESERVED	REF_VAL	CLK_SEL	GC_EN	SPEED_MODE[1:0]		STBY_MODE	PWDN
11h	DIGITAL_CFG	00h	SPARE[4:0]					STATUS_EN	SDO_MODE	CONT_READ_ EN
12h	VBIAS	00h	VBIAS_AIN7	VBIAS_AIN6	VBIAS_AIN5	VBIAS_AIN4	VBIAS_AIN3	VBIAS_AIN2	VBIAS_AIN1	VBIAS_AIN0
13h	GPIO_CFG0	00h	GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
14h	GPIO_CFG1	00h	GPIO7_CFG[1:0]		GPIO6_CFG[1:0]		GPIO5_CFG[1:0]		GPIO4_CFG[1:0]	
15h	GPIO_CFG2	08h	RESERVED			COMP_ALERT n_MASK	FAULT_PIN_BE HAVIOR	ALERT_PIN_P OL	GPIO4_SRC	GPIO3_SRC
16h	MONITOR_CFG	04h	RESERVED				REF_UV_EN	REF_UV_SEL	REG_MAP_CR C_EN	SPI_CRC_EN
17h	RESERVED	00h	RESERVED							
18h	SPARE	00h	SPARE[7:0]							
序列发生器配置寄存器										
19h	SEQUENCER_CFG	50h	SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		RESERVED			
1Ah	SEQUENCE_STEP_E N_0	01h	STEP_7_EN	STEP_6_EN	STEP_5_EN	STEP_4_EN	STEP_3_EN	STEP_2_EN	STEP_1_EN	STEP_0_EN
1Bh	SEQUENCE_STEP_E N_1	00h	STEP_15_EN	STEP_14_EN	STEP_13_EN	STEP_12_EN	STEP_11_EN	STEP_10_EN	STEP_9_EN	STEP_8_EN
1Ch	SEQUENCE_STEP_E N_2	00h	STEP_23_EN	STEP_22_EN	STEP_21_EN	STEP_20_EN	STEP_19_EN	STEP_18_EN	STEP_17_EN	STEP_16_EN
保留寄存器										
1Dh	RESERVED	00h	RESERVED							
1Eh	RESERVED	00h	RESERVED							
1Fh	RESERVED	00h	RESERVED							
寄存器映射 CRC 值寄存器										
3Dh	REG_MAP_CRC	00h	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							
页面指示器和指针寄存器										
3Eh	PAGE_INDICATOR	00h	PAGE_INDICATOR[7:0]							

表 8-2. 寄存器映射 (续)

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
3Fh	PAGE_POINTER	00h	PAGE_POINTER[7:0]							

复杂的位访问类型经过编码可适应小型表单元。表 8-3 展示了适用于此部分中访问类型的代码。

表 8-3. 状态和通用配置页面寄存器访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.1.1 DEVICE_ID 寄存器 (地址 = 00h) [复位 = XXh]

返回到[汇总表](#)。

图 8-1. DEVICE_ID 寄存器

7	6	5	4	3	2	1	0
RESERVED		CH_CNT[1:0]		DEV_ID[3:0]			
R-00b		R-xxb		R-xxxxb			

表 8-4. DEVICE_ID 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	00b	保留 始终读为 00b。
5:4	CH_CNT[1:0]	R	xxb	通道数 11b = 18 个模拟输入 10b = 8 个模拟输入
3:0	DEV_ID[3:0]	R	xxxxb	器件 ID 0010b = 16 位 0011b = 24 位

8.1.2 REVISION_ID 寄存器 (地址 = 01h) [复位 = XXh]

返回到[汇总表](#)。

图 8-2. REVISION_ID 寄存器

7	6	5	4	3	2	1	0
REV_ID[7:0]							
R-xxxxxxx b							

表 8-5. REVISION_ID 寄存器字段说明

位	字段	类型	复位	说明
7:0	REV_ID[7:0]	R	xxxxxxx b	修订 ID 值如有变更，恕不另行通知。

8.1.3 STATUS_MSB 寄存器 (地址 = 02h) [复位 = 00h]

返回到[汇总表](#)。

图 8-3. STATUS_MSB 寄存器

7	6	5	4	3	2	1	0
STEP_INDICATOR[4:0]				SAD_FAULTn		RESETn	DRDY
R-00000b				R-0b		R/W-0b	R-0b

表 8-6. STATUS_MSB 寄存器字段描述

位	字段	类型	复位	说明
7:3	STEP_INDICATOR[4:0]	R	00000b	序列步骤指示器 指示用于最新转换结果的步骤页面配置，该结果当前可读取。在器件复位后、断电模式下或写入 SEQUENCER_CFG 寄存器时，步骤指示器复位为 00h。在转换计数器 (CONV_COUNT[3:0]) 复位为 Fh 的同时，序列计数器 (SEQ_COUNT[3:0]) 复位为 0h 并且转换数据清除。
2	SAD_FAULTn	R	0b	电源、ADC 和数字故障标志 指示 SUPPLY_STATUS、ADC_STATUS 或 DIGITAL_STATUS 寄存器中是否设置了任何单个故障标志。要清除此位，必须将 SUPPLY_STATUS、ADC_STATUS 和 DIGITAL_STATUS 寄存器中的所有位清除为 1b。如果使用 COMP_ALERTn_MASK 位使 COMP_ALERTn 位为 0b，则可以屏蔽 COMP_ALERTn 位，使其无法设置 SAD_FAULTn 标志。 0b = 发生了故障 1b = 未发生故障
1	RESETn	R/W	0b	复位标志 指示发生了器件复位。写入 1b 以将位清除为 1b。 0b = 发生了复位 1b = 未发生复位
0	DRDY	R	0b	数据就绪指示位 DRDY 位是 $\overline{\text{DRDY}}$ 引脚的反向信号。通过使用 STATUS_EN 位启用 STATUS 标头的传输，可以利用 DRDY 位作为指示。DRDY 位指示在当前 SPI 帧内读取的转换数据是新数据还是来自上次读取操作的重复数据。使用寄存器读取命令轮询 DRDY 位不可靠，因为在读取寄存器命令传输的帧期间 DRDY 位已经恢复为 0b。 0b = 数据不是新数据 1b = 数据是新数据

8.1.4 STATUS_LSB 寄存器 (地址 = 03h) [复位 = FFh]

返回到[汇总表](#)。

图 8-4. STATUS_LSB 寄存器

7	6	5	4	3	2	1	0
CONV_COUNT[3:0]				RESERVED		REG_WRITE_FAULT _n	SPI_CRC_FAULT _n
R-1111b				R-11b		R-1b	R-1b

表 8-7. STATUS_LSB 寄存器字段描述

位	字段	类型	复位	说明
7:4	CONV_COUNT[3:0]	R	1111b	转换计数器 每次新转换完成时，转换计数器都会递增。达到计数器值 Fh 后，计数器会在完成下一次转换时回滚到 0h。仅在断电模式下、器件复位之后或写入 SEQUENCER_CFG 寄存器时，计数器才会复位为 Fh。在序列步骤指示器 (STEP_INDICATOR[4:0]) 复位为 00h 的同时，序列计数器 (SEQ_COUNT[3:0]) 复位为 0h 并且转换数据清除。在复位、断电或写入 SEQUENCER_CFG 寄存器之后完成第一次转换时，计数器读数为 0h。SEQ_MODE[1:0] = 10b 或 11b 时，计数器在步骤第一次转换时读数始终 0h。SEQ_MODE[1:0] = 00b 或 01b 时，完成新步骤页面配置上的转换后，计数器值不会恢复为 0h。如果需要，通过在开始具有新的步骤页面配置的转换之前写入 SEQUENCER_CFG 寄存器将计数器复位为 Fh。当转换计数器作为 STATUS 标头的一部分输出 (STATUS_EN = 1b) 时，器件会确保转换计数器值始终与在同一帧中输出的 ADC 转换结果匹配。
3:2	RESERVED	R	11b	保留 始终读为 11b。
1	REG_WRITE_FAULT _n	R	1b	寄存器写入访问故障标志 指示在上次寄存器写入操作期间发生了对无效寄存器地址的写入访问。无效寄存器地址被写入时会设置此标志，并在下一个寄存器写入命令时更新。从无效寄存器地址读取不会设置此标志，但可通过读取命令的 SPI 帧内的地址指示检测到。 0b = 发生了故障 1b = 未发生故障
0	SPI_CRC_FAULT _n	R	1b	SPI CRC 故障标志 指示前一个 SPI 帧中的 SDI 上发生了 SPI CRC 故障。在发生 SPI CRC 故障的帧中，会阻止执行该命令，而执行无操作命令。后续帧中的命令不会被阻止。在每个新 SPI 帧中，根据前一个 SPI 帧的 CRC 结果更新此位。使用 SPI_CRC_EN 位启用 SPI CRC。此外，允许使用 STATUS_EN 位来传输 STATUS 标头，以获得有关任何 SPI CRC 故障的通知。 0b = 发生了故障 1b = 未发生故障

8.1.5 SUPPLY_STATUS 寄存器 (地址 = 04h) [复位 = BFh]

返回到[汇总表](#)。

图 8-5. SUPPLY_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED	AVDD_UVn	RESERVED					
R-1b	R/W-0b	R-111111b					

表 8-8. SUPPLY_STATUS 寄存器字段描述

位	字段	类型	复位	说明
7	RESERVED	R	1b	保留 始终读为 1b。
6	AVDD_UVn	R/W	0b	AVDD 欠压故障标志 指示 AVDD 电源电压降至 AVDD 欠压阈值以下。即使 AVDD 电源未降至 AVDD 欠压阈值以下，进入断电模式时 AVDD_UVn 也始终设置为 0b。写入 1b 以将位清除为 1b。 0b = 发生了故障 1b = 未发生故障
5:0	RESERVED	R	111111b	保留 始终读为 111111b。

8.1.6 ADC_STATUS 寄存器 (地址 = 05h) [复位 = FFh]

返回到[汇总表](#)。

图 8-6. ADC_STATUS 寄存器

7	6	5	4	3	2	1	0
COMP_ALERTn	RESERVED		REF_UVn	RESERVED			
R/W-1b	R-11b		R/W-1b	R-1111b			

表 8-9. ADC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	COMP_ALERTn	R/W	1b	数字比较器警报标志 指示触发的序列步骤之一上的数字比较器。 COMP_ALERT_STEP_INDICATOR[4:0] 位字段指示哪个序列步骤导致了警报。写入 1b 以将位清除为 1b。如果 GPIO3 被配置为 ALERT 输出，则清除该位也会复位 ALERT 输出。除非 COMP_ALERTn_MASK 设置为 1b，否则此标志会产生 SAD_FAULTn。无论 COMP_ALERTn_MASK 的状态如何，该标志始终驱动 ALERT 输出。 0b = 发生了警报 1b = 未发生警报
6:5	RESERVED	R	11b	保留 始终读为 11b。
4	REF_UVn	R/W	1b	基准电压欠压故障标志 指示在某个序列步骤上 STEPx_REF_SEL[1:0] 位选择的基准电压降至所选的基准欠压阈值以下。可使用 REF_UV_EN 位启用基准欠压监测器。使用 REF_UV_SEL 位选择基准欠压阈值。写入 1b 以将位清除为 1b。 0b = 发生了故障 1b = 未发生故障
3:0	RESERVED	R	1111b	保留 始终读为 1111b。

8.1.7 DIGITAL_STATUS 寄存器 (地址 = 06h) [复位 = FFh]

返回到[汇总表](#)。

图 8-7. DIGITAL_STATUS 寄存器

7	6	5	4	3	2	1	0
MEM_FAULTn	RESERVED	CRC_FAULT_PAGE[4:0]				REG_MAP_CRC_FAULTn	
R/W-1b	R-1b	R-11111b				R/W-1b	

表 8-10. DIGITAL_STATUS 寄存器字段描述

位	字段	类型	复位	说明
7	MEM_FAULTn	R/W	1b	内部存储器故障标志 指示内部存储器中发生了存储器映射 CRC 故障。当该位为 0b 时，执行下电上电或复位器件。 0b = 发生了故障 1b = 未发生故障
6	RESERVED	R	1b	保留 始终读为 1b。
5:1	CRC_FAULT_PAGE[4:0]	R	11111b	寄存器映射 CRC 故障页面指示器 指示当 REG_MAP_CRC_FAULTn 指示 CRC 故障时哪个寄存器页显示 CRC 错误。如果多个寄存器页面存在 CRC 错误，则该指示器指向存在 CRC 错误的第一个寄存器页面地址。当通过提供正确的寄存器映射 CRC 值纠正了 CRC_FAULT_PAGE[4:0] 位字段指示的页面上的 CRC 错误，并且另一个寄存器页面上存在另一个 CRC 错误时，CRC_FAULT_PAGE[4:0] 位字段不会自动更新。向 REG_MAP_CRC_FAULTn 位字段写入 1b 后，REG_MAP_CRC_FAULTn 再次设置为 0b，并且 CRC_FAULT_PAGE[4:0] 位字段指向下一个存在寄存器映射 CRC 错误的其余第一个页面地址。当 REG_MAP_CRC_FAULTn 标志清除为 1b 时，该位字段清除为 11111b。
0	REG_MAP_CRC_FAULTn	R/W	1b	寄存器映射 CRC 故障标志 指示在状态和通用配置页面 (寄存器地址空间为 10h 到 1Fh) 或任何步骤配置页面 (寄存器地址为 00h 到 14h) 上发生了寄存器映射 CRC 故障。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。写入 1b 以将位清除为 1b。 0b = 发生了故障 1b = 未发生故障

8.1.8 COMP_ALERT_STATUS 寄存器 (地址 = 07h) [复位 = FFh]

返回到[汇总表](#)。

图 8-8. COMP_ALERT_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED				COMP_ALERT_STEP_INDICATOR[4:0]			
R-111b				R-11111b			

表 8-11. COMP_ALERT_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	111b	保留 始终读为 111b。
4:0	COMP_ALERT_STEP_INDICATOR[4:0]	R	11111b	数字比较器警报步骤指示器 指示当设置 COMP_ALERTn 标志时哪个序列步骤具有比较器超范围条件。 当 COMP_ALERTn 位清除为 1b 时，位清除为 11111b。

8.1.9 GPIO_DATA_INPUT 寄存器 (地址 = 08h) [复位 = 00h]

返回到[汇总表](#)。

图 8-9. GPIO_DATA_INPUT 寄存器

7	6	5	4	3	2	1	0
GPIO7_DAT_IN	GPIO6_DAT_IN	GPIO5_DAT_IN	GPIO4_DAT_IN	GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. GPIO_DATA_INPUT 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO7_DAT_IN	R	0b	GPIO7 数据 配置为数字输入或输出时 GPIO7 的回读值。当 GPIO 功能禁用 (GPIO7_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
6	GPIO6_DAT_IN	R	0b	GPIO6 数据 配置为数字输入或输出时 GPIO6 的回读值。当 GPIO 功能禁用 (GPIO6_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
5	GPIO5_DAT_IN	R	0b	GPIO5 数据 配置为数字输入或输出时 GPIO5 的回读值。当 GPIO 功能禁用 (GPIO5_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
4	GPIO4_DAT_IN	R	0b	GPIO4 数据 当配置为数字输入、数字输出或静态 $\overline{\text{FAULT}}$ 输出时 GPIO4 的读回值。当 GPIO 功能被禁用 (GPIO4_CFG[1:0] = 00b) 或 GPIO4 配置为具有检测信号功能的 $\overline{\text{FAULT}}$ 输出 (GPIO4_CFG[1:0] = 10b 或 11b, GPIO4_SRC = 1b, FAULT_PIN_BEHAVIOR = 1b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
3	GPIO3_DAT_IN	R	0b	GPIO3 数据 当配置为数字输入、数字输出或 ALERT 输出时 GPIO3 的读回值。当 GPIO 功能禁用 (GPIO3_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
2	GPIO2_DAT_IN	R	0b	GPIO2 数据 配置为数字输入或输出时 GPIO2 的回读值。当 GPIO 功能禁用 (GPIO2_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
1	GPIO1_DAT_IN	R	0b	GPIO1 数据 配置为数字输入或输出时 GPIO1 的回读值。当 GPIO 功能禁用 (GPIO1_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平
0	GPIO0_DAT_IN	R	0b	GPIO0 数据 配置为数字输入或输出时 GPIO0 的回读值。当 GPIO 功能禁用 (GPIO0_CFG[1:0] = 00b) 时，位读取为 0b。 0b = 低电平 1b = 高电平

8.1.10 SEQ_STATUS 寄存器 (地址 = 09h) [复位 = 07h]

返回到[汇总表](#)。

图 8-10. SEQ_STATUS 寄存器

7	6	5	4	3	2	1	0
SEQ_ACTIVE	SEQ_COUNT[3:0]					RESERVED	
R-0b	R-0000b					R-111b	

表 8-13. SEQ_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	SEQ_ACTIVE	R	0b	序列发生器激活标志 指示转换当前是否正在进行还是转换停止且器件处于空闲、待机或断电模式。 0b = 序列发生器未激活；没有正在进行的转换 1b = 序列发生器已激活；正在进行转换
6:3	SEQ_COUNT[3:0]	R	0000b	序列计数器 当 SEQ_MODE[1:0] = 11b 时，序列计数器指示最新转换结果所属的序列运行，该结果当前可读取。在新序列运行的第一次转换完成时序列计数器递增。第一个序列运行的第一次转换完成时，计数器读数为 0h。在第二个序列运行的第一次转换完成时，计数器读数为 1h。达到计数器值 Fh 后，计数器会在下一个序列运行的第一次转换完成时回滚到 0h。将 START 位设置为 1b 后在完成第一次转换时或在 START 引脚的上升沿，计数器复位为 0h。在断电模式下或器件复位后，写入 SEQUENCER_CFG 寄存器时，计数器立即复位为 0h。同时，序列步骤指示器 (STEP_INDICATOR[4:0]) 复位为 00h，转换计数器 (CONV_COUNT[3:0]) 复位为 Fh，并且转换数据清除。当 SEQ_MODE[1:0] = 00b、01b 或 10b 时，序列计数器读数始终为 0h。
2:0	RESERVED	R	111b	保留 始终读为 111b。

8.1.11 CONVERSION_CTRL 寄存器 (地址 = 0Bh) [复位 = 00h]

返回到[汇总表](#)。

图 8-11. CONVERSION_CTRL 寄存器

7	6	5	4	3	2	1	0
启动	STEP_INIT[4:0]					RESERVED	STOP
R/W-0b	R/W-00000b					R-0b	R/W-0b

表 8-14. CONVERSION_CTRL 寄存器字段描述

位	字段	类型	复位	说明
7	启动	R/W	0b	启动或重新启动 ADC 转换 使用 STEP_INIT[4:0] 位字段中指示的步骤配置页面写入 1b 以启动或重新启动转换。SEQ_MODE[1:0] 位决定转换和序列发生器行为。向 START 和 STOP 位写入 1b 无效。START 位会自行清除并且始终为 0b。 0b = 无操作 1b = 启动或重启转换
6:2	STEP_INIT[4:0]	R/W	00000b	初始执行步骤选择器 确定了序列发生器在将 START 位设置为 1b 时或将 START 引脚置为高电平时为第一次转换选择的序列步骤配置。如果 STEP_INIT[4:0] 设置为 18h 和 1Fh 之间的值，则不会启动转换或序列。STEP_INIT[4:0] 位字段还决定了器件处于空闲或待机模式时使用的步骤配置页面，无论相应的步骤页面是否启用（会忽略 STEP_x_EN 位设置）。这意味着，当退出断电模式或转换停止时，器件会转换到由 STEP_INIT[4:0] 位字段确定的步骤页面配置。如果在待机或空闲模式下将 STEP_INIT[4:0] 设置为 18h 至 1Fh 之间的值，则步骤 23 的配置将生效。
1	RESERVED	R	0b	保留 始终读为 0b。
0	STOP	R/W	0b	停止 ADC 转换 写入 1b 以停止转换。STOP_BEHAVIOR[1:0] 位决定停止行为。向 START 和 STOP 位写入 1b 无效。在转换停止后，或者在正在进行的转换停止之前设置 START 位时，STOP 位会清除为 0b。 0b = 无操作 1b = 停止转换

8.1.12 RESET 寄存器 (地址 = 0Ch) [复位 = 00h]

返回到[汇总表](#)。

图 8-12. RESET 寄存器

7	6	5	4	3	2	1	0
RESET_CODE[7:0]							
R/W-00000000b							

表 8-15. RESET 寄存器字段说明

位	字段	类型	复位	说明
7:0	RESET_CODE[7:0]	R/W	00000000b	器件复位寄存器 写入 01011010b 以复位 ADC。这些位始终读取 00000000b。

8.1.13 ADC_CFG 寄存器 (地址 = 10h) [复位 = 00h]

返回到[汇总表](#)。

图 8-13. ADC_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED	REF_VAL	CLK_SEL	GC_EN	SPEED_MODE[1:0]	STBY_MODE	PWDN	
R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b	R/W-0b	R/W-0b	

表 8-16. ADC_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留 始终读为 0b。
6	REF_VAL	R/W	0b	内部基准电压值选择 选择内部基准的电压。始终启用内部电压基准。 0b = 1.25V 1b = 2.5V
5	CLK_SEL	R/W	0b	时钟选择 选择器件的时钟源。 0b = 内部振荡器 1b = CLK 引脚提供的外部时钟
4	GC_EN	R/W	0b	全局斩波模式启用 启用全局斩波模式。启用后，器件会自动交换模拟输入并获取两次连续转换的平均值，以抵消内部失调电压。 0b = 禁用 1b = 启用
3:2	SPEED_MODE[1:0]	R/W	00b	速度模式选择 选择器件的速度模式。 00b = 速度模式 0 ($f_{MOD} = 32kHz$) 01b = 速度模式 1 ($f_{MOD} = 256kHz$) 10b = 速度模式 2 ($f_{MOD} = 512kHz$) 11b = 速度模式 3 ($f_{MOD} = 1024kHz$)
1	STBY_MODE	R/W	0b	待机模式选择 此位会启用在停止转换后自动激活低功耗待机模式的功能。 0b = 空闲模式；转换停止时，器件保持全功率。 1b = 待机模式；当转换停止时，器件转换到低功耗待机模式。转换重新开始时退出待机模式。
0	PWDN	R/W	0b	断电模式选择 除了保留用户寄存器设置必需的电路外，将所有电路断电。仍然可以进行 SPI 通信。在断电模式下，步骤指示器 (STEP_INDICATOR[4:0]) 复位为 00h，转换计数器 (CONV_COUNT[3:0]) 复位为 Fh、序列计数器 (SEQ_COUNT[3:0]) 复位为 0h，转换数据清除，START 位和 START 引脚被忽略。将 PWDN 位设置为 1b 会立即关闭器件电源；任何正在进行的转换都会中止。任何配置为 GPIO 数字输出的模拟输入在断电模式下都转换为 Hi-Z 状态。为了在断电期间保持特定逻辑电平，请考虑在相应 GPIO 引脚上使用外部上拉或下拉电阻器。 0b = 工作模式 1b = 断电模式

8.1.14 DIGITAL_CFG 寄存器 (地址 = 11h) [复位 = 00h]

返回到[汇总表](#)。

图 8-14. DIGITAL_CFG 寄存器

7	6	5	4	3	2	1	0
SPARE[4:0]				STATUS_EN		SDO_MODE	CONT_READ_EN
R/W-00000b				R/W-0b		R/W-0b	R/W-0b

表 8-17. DIGITAL_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:3	SPARE[4:0]	R/W	00000b	备用寄存器位 以 R/W 位的形式提供, 用于检查寄存器映射 CRC。位设置无效。
2	STATUS_EN	R/W	0b	STATUS 标头输出启用 启用 STATUS 标头 (STATUS_MSB + STATUS_LSB 寄存器) 作为每个 SPI 帧的前两个字节在 SDO 上传输的功能。 0b = 禁用 1b = 启用
1	SDO_MODE	R/W	0b	SDO/ $\overline{\text{DRDY}}$ 模式选择 选择 SDO/ $\overline{\text{DRDY}}$ 引脚的模式: 仅数据输出功能, 或数据输出和数据就绪双模功能。在菊花链中运行器件时, 请使用仅数据输出模式。 0b = 仅数据输出模式 1b = 双模式: 数据输出和数据就绪
0	CONT_READ_EN	R/W	0b	连续读取模式启用 启用连续读取模式, 从而允许在 4 线 SPI 模式下在单个 SPI 帧内读取多个连续寄存器。在菊花链中或 3 线 SPI 模式下运行器件时, 禁用连续读取模式。 0b = 禁用 1b = 启用

8.1.15 VBIAS 寄存器 (地址 = 12h) [复位 = 00h]

返回到[汇总表](#)。

图 8-15. VBIAS 寄存器

7	6	5	4	3	2	1	0
VBIAS_AIN7	VBIAS_AIN6	VBIAS_AIN5	VBIAS_AIN4	VBIAS_AIN3	VBIAS_AIN2	VBIAS_AIN1	VBIAS_AIN0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-18. VBIAS 寄存器字段说明

位	字段	类型	复位	说明
7	VBIAS_AIN7	R/W	0b	AIN7 VBIAS 选择 在 AIN7 引脚上启用 VBIAS。 0b = 禁用 1b = 启用
6	VBIAS_AIN6	R/W	0b	AIN6 VBIAS 选择 在 AIN6 引脚上启用 VBIAS。 0b = 禁用 1b = 启用
5	VBIAS_AIN5	R/W	0b	AIN5 VBIAS 选择 在 AIN5 引脚上启用 VBIAS。 0b = 禁用 1b = 启用
4	VBIAS_AIN4	R/W	0b	AIN4 VBIAS 选择 在 AIN4 引脚上启用 VBIAS。 0b = 禁用 1b = 启用
3	VBIAS_AIN3	R/W	0b	AIN3 VBIAS 选择 在 AIN3 引脚上启用 VBIAS。 0b = 禁用 1b = 启用
2	VBIAS_AIN2	R/W	0b	AIN2 VBIAS 选择 在 AIN2 引脚上启用 VBIAS。 0b = 禁用 1b = 启用
1	VBIAS_AIN1	R/W	0b	AIN1 VBIAS 选择 在 AIN1 引脚上启用 VBIAS。 0b = 禁用 1b = 启用
0	VBIAS_AIN0	R/W	0b	AIN0 VBIAS 选择 在 AIN0 引脚上启用 VBIAS。 0b = 禁用 1b = 启用

8.1.16 GPIO_CFG0 寄存器 (地址 = 13h) [复位 = 00h]

返回到[汇总表](#)。

图 8-16. GPIO_CFG0 寄存器

7	6	5	4	3	2	1	0
GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-19. GPIO_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:6	GPIO3_CFG[1:0]	R/W	00b	GPIO3 配置 配置 GPIO3 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入。ADS1x4S14：引脚处于高阻态。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
5:4	GPIO2_CFG[1:0]	R/W	00b	GPIO2 配置 配置 GPIO2 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入。ADS1x4S14：引脚处于高阻态。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
3:2	GPIO1_CFG[1:0]	R/W	00b	GPIO1 配置 配置 GPIO1 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入。ADS1x4S14：引脚处于高阻态。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
1:0	GPIO0_CFG[1:0]	R/W	00b	GPIO0 配置 配置 GPIO0 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入。ADS1x4S14：引脚处于高阻态。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)

8.1.17 GPIO_CFG1 寄存器 (地址 = 14h) [复位 = 00h]

返回到[汇总表](#)。

图 8-17. GPIO_CFG1 寄存器

7	6	5	4	3	2	1	0
GPIO7_CFG[1:0]		GPIO6_CFG[1:0]		GPIO5_CFG[1:0]		GPIO4_CFG[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-20. GPIO_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:6	GPIO7_CFG[1:0]	R/W	00b	GPIO7 配置 配置 GPIO7 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入或 REFN1 输入。ADS1x4S14：引脚作为 REFN1 输入。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
5:4	GPIO6_CFG[1:0]	R/W	00b	GPIO6 配置 配置 GPIO6 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入或 REFP1 输入。ADS1x4S14：引脚作为 REFP1 输入。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
3:2	GPIO5_CFG[1:0]	R/W	00b	GPIO5 配置 配置 GPIO5 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入。ADS1x4S14：引脚处于高阻态。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)
1:0	GPIO4_CFG[1:0]	R/W	00b	GPIO4 配置 配置 GPIO4 引脚行为。 00b = ADS1x4S18：引脚作为模拟输入。ADS1x4S14：引脚处于高阻态。 01b = 数字输入 10b = 推挽式数字输出 (具有读回功能) 11b = 开漏数字输出 (具有回读功能)

8.1.18 GPIO_CFG2 寄存器 (地址 = 15h) [复位 = 08h]

返回到[汇总表](#)。

图 8-18. GPIO_CFG2 寄存器

7	6	5	4	3	2	1	0
RESERVED			COMP_ALERTn_MASK	FAULT_PIN_BEHAVIOR	ALERT_PIN_POL	GPIO4_SRC	GPIO3_SRC
R-000b			R/W-0b	R/W-1b	R/W-0b	R/W-0b	R/W-0b

表 8-21. GPIO_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 0000b。
4	COMP_ALERTn_MASK	R/W	0b	比较器警报屏蔽 确定 COMP_ALERTn 是否会影响 SAD_FAULTn。当 GPIO3 配置为 ALERT 输出时，无论该屏蔽位的状态如何，COMP_ALERTn 都会触发 ALERT 引脚。 0b = 禁用屏蔽。COMP_ALERTn 会触发 SAD_FAULTn。 1b = 启用屏蔽。COMP_ALERTn 不会触发 SAD_FAULTn，但仍会触发 ALERT 引脚。
3	FAULT_PIN_BEHAVIOR	R/W	1b	$\overline{\text{FAULT}}$ 引脚行为选择 当 GPIO4 配置为 $\overline{\text{FAULT}}$ 输出 (GPIO4_CFG[1:0] = 10b 或 11b , GPIO4_SRC = 1b) 时，选择 $\overline{\text{FAULT}}$ 引脚的行为。 0b = 静态。发生故障时输出为低电平，否则输出为高电平。 1b = 检测信号。发生故障时输出为低电平，否则输出是频率为 $f_{\text{MOD}}/256$ 的 50% 占空比信号。
2	ALERT_PIN_POL	R/W	0b	ALERT 引脚极性选择 当 GPIO3 配置为 ALERT 输出 (GPIO3_CFG[1:0] = 10b 或 11b , GPIO3_SRC = 1b) 时，选择 ALERT 输出引脚的极性。 0b = 低电平有效 1b = 高电平有效
1	GPIO4_SRC	R/W	0b	GPIO4 数据源选择 当 GPIO4 配置为数字输出时，选择 GPIO4 引脚的数据源。当 SAD_FAULTn 标志为 0b 时， $\overline{\text{FAULT}}$ 引脚为低电平。 0b = GPIO4_DAT_OUT 位 1b = SAD_FAULTn 标志。引脚用作 $\overline{\text{FAULT}}$ 输出。
0	GPIO3_SRC	R/W	0b	GPIO3 数据源选择 当 GPIO3 配置为数字输出时，选择 GPIO3 引脚的数据源。 0b = GPIO3_DAT_OUT 位 1b = COMP_ALERTn 标志。引脚用作数字比较器 ALERT 输出。

8.1.19 MONITOR_CFG 寄存器 (地址 = 16h) [复位 = 04h]

返回到[汇总表](#)。

图 8-19. MONITOR_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED			RESERVED	REF_UV_EN	REF_UV_SEL	REG_MAP_CRC_EN	SPI_CRC_EN
R-000b			R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-0b

表 8-22. MONITOR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 000b。
4	RESERVED	R/W	0b	保留 始终写入 0b。
3	REF_UV_EN	R/W	0b	基准欠压监控器启用 使电压基准监控器能够检测在某个序列步骤上使用 STEPx_REF_SEL[1:0] 位的所选电压基准何时降至欠压监控器阈值以下。 0b = 禁用 1b = 启用
2	REF_UV_SEL	R/W	1b	电压基准欠压监控器阈值选择 选择电压基准欠压监控器阈值。 0b = 550mV 1b = 1V
1	REG_MAP_CRC_EN	R/W	0b	寄存器映射 CRC 启用 为状态和通用配置页面 (寄存器地址为 10h 到 1Fh) 和步骤配置页面 (寄存器地址为 00h 到 14h) 启用寄存器映射 CRC。 0b = 禁用 1b = 启用
0	SPI_CRC_EN	R/W	0b	SPI CRC 启用 在 SDI 和 SDO 上启用 SPI CRC。 0b = 禁用 1b = 启用

8.1.20 SPARE 寄存器 (地址 = 18h) [复位 = 00h]

返回到[汇总表](#)。

图 8-20. SPARE 寄存器

7	6	5	4	3	2	1	0
SPARE[7:0]							
R/W-00000000b							

表 8-23. SPARE 寄存器字段说明

位	字段	类型	复位	说明
7:0	SPARE[7:0]	R/W	00000000b	备用寄存器位 以 R/W 位的形式提供，用于检查寄存器映射 CRC。位设置无效。

8.1.21 SEQUENCER_CFG 寄存器 (地址 = 19h) [复位 = 50h]

返回到[汇总表](#)。

图 8-21. SEQUENCER_CFG 寄存器

7	6	5	4	3	2	1	0
SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		RESERVED		RESERVED	
R/W-01b		R/W-01b		R-00b		R/W-00b	

表 8-24. SEQUENCER_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	SEQ_MODE[1:0]	R/W	01b	序列发生器模式选择 选择序列发生器的工作模式。当 STEP_INIT[4:0] 设置为 18h 和 1Fh 之间的值时，任何序列发生器模式下都不会启动转换或序列。 00b = 执行一次由 STEP_INIT[4:0] 指针定义的序列步骤。在此序列发生器模式下会忽略步骤启用位 (STEP_x_EN)。STEPx_NUM_CONV[4:0] 位决定该序列步骤的连续转换次数。 01b = 连续转换由 STEP_INIT[4:0] 指针定义的序列步骤。在此序列发生器模式下会忽略步骤启用位 (STEP_x_EN) 和 STEPx_NUM_CONV[4:0] 位。 10b = 执行一次由 STEP_INIT[4:0] 指针定义的步骤和步骤 23 之间所有已启用步骤的序列。使用 STEP_x_EN 位以在序列中包含一个步骤。如果由 STEP_INIT[4:0] 指针定义的步骤被禁用，则不执行序列。 11b = 从 STEP_INIT[4:0] 指针定义的步骤开始，执行所有已启用步骤的序列并不断重复序列。使用 STEP_x_EN 位以在序列中包含一个步骤。如果由 STEP_INIT[4:0] 指针定义的步骤被禁用，则不执行序列。
5:4	STOP_BEHAVIOR[1:0]	R/W	01b	序列停止行为选择 选择将 STOP 位设置为 1b 或 START 引脚上出现下降沿时的器件行为。 00b = 立即停止。任何正在进行的转换都会中止。 01b = 在当前转换完成后停止。 10b = 在当前序列步骤完成后停止。如果使用此模式时 SEQ_MODE[1:0] = 01b，则在当前转换完成后停止。 11b = 在完整序列完成后停止。如果使用此模式时 SEQ_MODE[1:0] = 00b，则在当前序列步骤完成后停止。如果使用此模式时 SEQ_MODE[1:0] = 01b，则在当前转换完成后停止。
3:2	RESERVED	R	00b	保留 始终读为 00b。
1:0	RESERVED	R/W	00b	保留 始终写入 00b。

8.1.22 SEQUENCE_STEP_EN_0 寄存器 (地址 = 1Ah) [复位 = 01h]

返回到[汇总表](#)。

图 8-22. SEQUENCE_STEP_EN_0 寄存器

7	6	5	4	3	2	1	0
STEP_7_EN	STEP_6_EN	STEP_5_EN	STEP_4_EN	STEP_3_EN	STEP_2_EN	STEP_1_EN	STEP_0_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b

表 8-25. SEQUENCE_STEP_EN_0 寄存器字段说明

位	字段	类型	复位	说明
7	STEP_7_EN	R/W	0b	序列发生器步骤 7 启用 0b = 禁用步骤 1b = 启用步骤
6	STEP_6_EN	R/W	0b	序列发生器步骤 6 启用 0b = 禁用步骤 1b = 启用步骤
5	STEP_5_EN	R/W	0b	序列发生器步骤 5 启用 0b = 禁用步骤 1b = 启用步骤
4	STEP_4_EN	R/W	0b	序列发生器步骤 4 启用 0b = 禁用步骤 1b = 启用步骤
3	STEP_3_EN	R/W	0b	序列发生器步骤 3 启用 0b = 禁用步骤 1b = 启用步骤
2	STEP_2_EN	R/W	0b	序列发生器步骤 2 启用 0b = 禁用步骤 1b = 启用步骤
1	STEP_1_EN	R/W	0b	序列发生器步骤 1 启用 0b = 禁用步骤 1b = 启用步骤
0	STEP_0_EN	R/W	1b	序列发生器步骤 0 启用 0b = 禁用步骤 1b = 启用步骤

8.1.23 SEQUENCE_STEP_EN_1 寄存器 (地址 = 1Bh) [复位 = 00h]

返回到[汇总表](#)。

图 8-23. SEQUENCE_STEP_EN_1 寄存器

7	6	5	4	3	2	1	0
STEP_15_EN	STEP_14_EN	STEP_13_EN	STEP_12_EN	STEP_11_EN	STEP_10_EN	STEP_9_EN	STEP_8_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-26. SEQUENCE_STEP_EN_1 寄存器字段说明

位	字段	类型	复位	说明
7	STEP_15_EN	R/W	0b	序列发生器步骤 15 启用 0b = 禁用步骤 1b = 启用步骤
6	STEP_14_EN	R/W	0b	序列发生器步骤 14 启用 0b = 禁用步骤 1b = 启用步骤
5	STEP_13_EN	R/W	0b	序列发生器步骤 13 启用 0b = 禁用步骤 1b = 启用步骤
4	STEP_12_EN	R/W	0b	序列发生器步骤 12 启用 0b = 禁用步骤 1b = 启用步骤
3	STEP_11_EN	R/W	0b	序列发生器步骤 11 启用 0b = 禁用步骤 1b = 启用步骤
2	STEP_10_EN	R/W	0b	序列发生器步骤 10 启用 0b = 禁用步骤 1b = 启用步骤
1	STEP_9_EN	R/W	0b	序列发生器步骤 9 启用 0b = 禁用步骤 1b = 启用步骤
0	STEP_8_EN	R/W	0b	序列发生器步骤 8 启用 0b = 禁用步骤 1b = 启用步骤

8.1.24 SEQUENCE_STEP_EN_2 寄存器 (地址 = 1Ch) [复位 = 00h]

返回到[汇总表](#)。

图 8-24. SEQUENCE_STEP_EN_2 寄存器

7	6	5	4	3	2	1	0
STEP_23_EN	STEP_22_EN	STEP_21_EN	STEP_20_EN	STEP_19_EN	STEP_18_EN	STEP_17_EN	STEP_16_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-27. SEQUENCE_STEP_EN_2 寄存器字段说明

位	字段	类型	复位	说明
7	STEP_23_EN	R/W	0b	序列发生器步骤 23 启用 0b = 禁用步骤 1b = 启用步骤
6	STEP_22_EN	R/W	0b	序列发生器步骤 22 启用 0b = 禁用步骤 1b = 启用步骤
5	STEP_21_EN	R/W	0b	序列发生器步骤 21 启用 0b = 禁用步骤 1b = 启用步骤
4	STEP_20_EN	R/W	0b	序列发生器步骤 20 启用 0b = 禁用步骤 1b = 启用步骤
3	STEP_19_EN	R/W	0b	序列发生器步骤 19 启用 0b = 禁用步骤 1b = 启用步骤
2	STEP_18_EN	R/W	0b	序列发生器步骤 18 启用 0b = 禁用步骤 1b = 启用步骤
1	STEP_17_EN	R/W	0b	序列发生器步骤 17 启用 0b = 禁用步骤 1b = 启用步骤
0	STEP_16_EN	R/W	0b	序列发生器步骤 16 启用 0b = 禁用步骤 1b = 启用步骤

8.1.25 REG_MAP_CRC 寄存器 (地址 = 3Dh) [复位 = 00h]

返回到[汇总表](#)。

图 8-25. REG_MAP_CRC 寄存器

7	6	5	4	3	2	1	0
GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							
R/W-00000000b							

表 8-28. REG_MAP_CRC 寄存器字段说明

位	字段	类型	复位	说明
7:0	GENERAL_CFG_REG_M AP_CRC_VALUE[7:0]	R/W	00000000b	状态和通用配置页面的寄存器映射 CRC 值 该值为用户计算的寄存器 10h 至 1Fh 的 CRC 值。

8.1.26 PAGE_INDICATOR 寄存器 (地址 = 3Eh) [复位 = 00h]

返回到[汇总表](#)。

图 8-26. PAGE_INDICATOR 寄存器

7	6	5	4	3	2	1	0
PAGE_INDICATOR[7:0]							
R-00000000b							

表 8-29. PAGE_INDICATOR 寄存器字段说明

位	字段	类型	复位	说明
7:0	PAGE_INDICATOR[7:0]	R	00000000b	寄存器页面指示器 读取寄存器页面指示器以验证当前选择用于读取和写入寄存器的寄存器页面。

8.1.27 PAGE_POINTER 寄存器 (地址 = 3Fh) [复位 = 00h]

返回到[汇总表](#)。

图 8-27. PAGE_POINTER 寄存器

7	6	5	4	3	2	1	0
PAGE_POINTER[7:0]							
R/W-00000000b							

表 8-30. PAGE_POINTER 寄存器字段说明

位	字段	类型	复位	说明
7:0	PAGE_POINTER[7:0]	R/W	00000000b	寄存器页面指针 写入寄存器页面指针以选择所需的寄存器页面以读取和写入寄存器。

8.2 步骤配置页面寄存器

表 8-31 列出了“步骤配置页面寄存器”寄存器的存储器映射寄存器。表 8-31 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-31. 寄存器映射

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
输入多路复用器配置寄存器											
00h	STEPx_AINP_CFG	12h	RESERVED			STEPx_AINP[4:0]					
01h	STEPx_AINN_CFG	12h	RESERVED			STEPx_AINN[4:0]					
ADC 配置寄存器											
02h	STEPx_GAIN_REF_CFG	01h	STEPx_REFP_BUF_EN	STEPx_REFN_BUF_EN	STEPx_REF_SEL[1:0]		STEPx_GAIN[3:0]				
03h	STEPx_DIGITAL_CFG	00h	SPARE[1:0]		STEPx_CODING	STEPx_NUM_CONV[4:0]					
数字滤波器配置寄存器											
04h	STEPx_FLTR_CFG	01h	SPARE[1:0]		STEPx_FLTR_MODE	STEPx_FLTR_OSR[4:0]					
05h	STEPx_DELAY_CFG	00h	RESERVED	STEPx_DELAY[6:0]							
偏移和增益校准系数寄存器											
06h	STEPx_OFFSET_CAL_MSB	00h	STEPx_OFFSET_CAL[23:16]								
07h	STEPx_OFFSET_CAL_ISB	00h	STEPx_OFFSET_CAL[15:8]								
08h	STEPx_OFFSET_CAL_LSB	00h	STEPx_OFFSET_CAL[7:0]								
09h	STEPx_GAIN_CAL_MSB	40h	STEPx_GAIN_CAL[15:8]								
0Ah	STEPx_GAIN_CAL_LSB	00h	STEPx_GAIN_CAL[7:0]								
系统监控寄存器											
0Bh	STEPx_SYSMON_CFG	00h	RESERVED		STEPx_BOCS[1:0]		RESERVED	STEPx_SYS_MON[2:0]			
激励电流源配置寄存器											
0Ch	STEPx_IDAC_MAG_CFG	00h	STEPx_I2MAG[3:0]				STEPx_I1MAG[3:0]				
0Dh	STEPx_IDAC1_MUX_CFG	1Fh	STEPx_IUNIT	RESERVED		STEPx_I1MUX[4:0]					
0Eh	STEPx_IDAC2_MUX_CFG	1Fh	RESERVED			STEPx_I2MUX[4:0]					
GPIO 输出数据寄存器											
0Fh	STEPx_GPIO_DATA_OUT	00h	STEPx_GPIO7_DAT_OUT	STEPx_GPIO6_DAT_OUT	STEPx_GPIO5_DAT_OUT	STEPx_GPIO4_DAT_OUT	STEPx_GPIO3_DAT_OUT	STEPx_GPIO2_DAT_OUT	STEPx_GPIO1_DAT_OUT	STEPx_GPIO0_DAT_OUT	
数字比较器配置寄存器											
10h	STEPx_COMPARATOR_HIGH_THRESHOLD_MSB	00h	STEPx_COMP_HIGH_TH[15:8]								
11h	STEPx_COMPARATOR_HIGH_THRESHOLD_LSB	00h	STEPx_COMP_HIGH_TH[7:0]								
12h	STEPx_COMPARATOR_LOW_THRESHOLD_MSB	00h	STEPx_COMP_LOW_TH[15:8]								
13h	STEPx_COMPARATOR_LOW_THRESHOLD_LSB	00h	STEPx_COMP_LOW_TH[7:0]								
14h	STEPx_COMPARATOR_CFG	00h	RESERVED				STEPx_COMP_NUM[1:0]		STEPx_COMP_HIGH_TH_EN	STEPx_COMP_LOW_TH_EN	
寄存器映射 CRC 值寄存器											
3Dh	STEPx_REG_MAP_CRC	0Eh	STEPx_REG_MAP_CRC_VALUE[7:0]								
页面指示器和指针寄存器											
3Eh	STEPx_PAGE_INDICATOR	00h	STEPx_PAGE_INDICATOR[7:0]								

表 8-31. 寄存器映射 (续)

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
3Fh	STEPx_PAGE_POINTER	00h	STEPx_PAGE_POINTER[7:0]							

复杂的位访问类型经过编码可适应小型表单元。表 8-32 展示了适用于此部分中访问类型的代码。

表 8-32. 步骤配置页面寄存器访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.2.1 STEPx_AINP_CFG 寄存器 (地址 = 00h) [复位 = 12h]

返回到[汇总表](#)。

图 8-28. STEPx_AINP_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				STEPx_AINP[4:0]			
R-000b				R/W-10010b			

表 8-33. STEPx_AINP_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 000b。
4:0	STEPx_AINP[4:0]	R/W	10010b	正多路复用器输入选择 为 ADC 选择正模拟输入。即使输入配置为 REFPx 和 REFNx 输入，ADS1x4S18 上的模拟输入 AIN13、AIN14、AIN16 和 AIN17 仍然可以用作模拟输入。当模拟输入配置为 GPIO 时，模拟输入仍可以通过多路复用器选择，并用于测量 GPIO 引脚上的电压。如果启用了任何系统监控器，则会忽略 STEPx_AINP 位设置。也就是说，当 STEPx_SYS_MON[3:0] 被设置为 0000b 以外的任何值时。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18)、AVSS (ADS1x4S14) 01001b = AIN9 (ADS1x4S18)、AVSS (ADS1x4S14) 01010b = AIN10 (ADS1x4S18)、AVSS (ADS1x4S14) 01011b = AIN11 (ADS1x4S18)、AVSS (ADS1x4S14) 01100b = AIN12 (ADS1x4S18)、AVSS (ADS1x4S14) 01101b = AIN13 (ADS1x4S18)、AVSS (ADS1x4S14) 01110b = AIN14 (ADS1x4S18)、AVSS (ADS1x4S14) 01111b = AIN15 (ADS1x4S18)、AVSS (ADS1x4S14) 10000b = AIN16 (ADS1x4S18)、AVSS (ADS1x4S14) 10001b = AIN17 (ADS1x4S18)、AVSS (ADS1x4S14) 10010b = AVSS 10011b = AVSS 10100b = AVSS 10101b = AVSS 10110b = AVSS 10111b = AVSS 11000b = AVSS 11001b = AVSS 11010b = AVSS 11011b = AVSS 11100b = AVSS 11101b = AVSS 11110b = AVSS 11111b = 开路

8.2.2 STEPx_AINN_CFG 寄存器 (地址 = 01h) [复位 = 12h]

返回到[汇总表](#)。

图 8-29. STEPx_AINN_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				STEPx_AINN[4:0]			
R-000b				R/W-10010b			

表 8-34. STEPx_AINN_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 000b。
4:0	STEPx_AINN[4:0]	R/W	10010b	负多路复用器输入选择 为 ADC 选择负模拟输入。即使输入配置为 REFPx 和 REFNx 输入，ADS1x4S18 上的模拟输入 AIN13、AIN14、AIN16 和 AIN17 仍然可以用作模拟输入。当模拟输入配置为 GPIO 时，模拟输入仍可以通过多路复用器选择，并用于测量 GPIO 引脚上的电压。如果启用了任何系统监控器，则会忽略 STEPx_AINN 位设置。也就是说，当 STEPx_SYS_MON[3:0] 被设置为 0000b 以外的任何值时。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18)、AVSS (ADS1x4S14) 01001b = AIN9 (ADS1x4S18)、AVSS (ADS1x4S14) 01010b = AIN10 (ADS1x4S18)、AVSS (ADS1x4S14) 01011b = AIN11 (ADS1x4S18)、AVSS (ADS1x4S14) 01100b = AIN12 (ADS1x4S18)、AVSS (ADS1x4S14) 01101b = AIN13 (ADS1x4S18)、AVSS (ADS1x4S14) 01110b = AIN14 (ADS1x4S18)、AVSS (ADS1x4S14) 01111b = AIN15 (ADS1x4S18)、AVSS (ADS1x4S14) 10000b = AIN16 (ADS1x4S18)、AVSS (ADS1x4S14) 10001b = AIN17 (ADS1x4S18)、AVSS (ADS1x4S14) 10010b = AVSS 10011b = AVSS 10100b = AVSS 10101b = AVSS 10110b = AVSS 10111b = AVSS 11000b = AVSS 11001b = AVSS 11010b = AVSS 11011b = AVSS 11100b = AVSS 11101b = AVSS 11110b = AVSS 11111b = 开路

8.2.3 STEPx_GAIN_REF_CFG 寄存器 (地址 = 02h) [复位 = 01h]

返回到[汇总表](#)。

图 8-30. STEPx_GAIN_REF_CFG 寄存器

7	6	5	4	3	2	1	0
STEPx_REFP_BUF_EN	STEPx_REFN_BUF_EN	STEPx_REF_SEL[1:0]		STEPx_GAIN[3:0]			
R/W-0b	R/W-0b	R/W-00b		R/W-0001b			

表 8-35. STEPx_GAIN_REF_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	STEPx_REFP_BUF_EN	R/W	0b	正基准缓冲器启用 启用正基准缓冲器。当选择内部基准或模拟电源作为基准源时，禁用正基准缓冲器。 0b = 禁用 1b = 启用
6	STEPx_REFN_BUF_EN	R/W	0b	负基准缓冲器启用 启用负基准缓冲器。当选择内部基准或模拟电源作为基准源时，禁用负基准缓冲器。 0b = 禁用 1b = 启用
5:4	STEPx_REF_SEL[1:0]	R/W	00b	基准电压选择 选择 ADC 的基准电压。选择外部电压基准输入对 REFP1 和 REFN1 时，设置 GPIO6_CFG[1:0] = 00b 和 GPIO7_CFG[1:0] = 00b。 00b = 内部电压基准 01b = 外部电压基准 (REFP0、REFN0) 10b = 外部电压基准 (REFP1、REFN1) 11b = AVDD - AVSS
3:0	STEPx_GAIN[3:0]	R/W	0001b	PGA 增益选择 选择 PGA 的增益。 0000b = 0.5 0001b = 1 0010b = 2 0011b = 4 0100b = 5 0101b = 8 0110b = 10 0111b = 16 1000b = 20 1001b = 32 1010b = 50 1011b = 64 1100b = 100 1101b = 128 1110b = 200 1111b = 256

8.2.4 STEPx_DIGITAL_CFG 寄存器 (地址 = 03h) [复位 = 00h]

返回到[汇总表](#)。

图 8-31. STEPx_DIGITAL_CFG 寄存器

7	6	5	4	3	2	1	0
SPARE[1:0]		STEPx_CODING	STEPx_NUM_CONV[4:0]				
R/W-00b		R/W-0b	R/W-00000b				

表 8-36. STEPx_DIGITAL_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	SPARE[1:0]	R/W	00b	备用寄存器位 以 R/W 位的形式提供，用于检查寄存器映射 CRC。位设置无效。
5	STEPx_CODING	R/W	0b	转换数据编码选择 选择转换数据的编码。 0b = 二进制补码 1b = 单极标准二进制
4:0	STEPx_NUM_CONV[4:0]	R/W	00000b	转换编号选择 决定了在此序列步骤中要执行的连续转换次数。器件可以每步骤进行一次 (00000b) 和 32 (11111b) 转换。当 SEQ_MODE[1:0] = 01b 时，位字段无效。

8.2.5 STEPx_FLTR_CFG 寄存器 (地址 = 04h) [复位 = 01h]

返回到[汇总表](#)。

图 8-32. STEPx_FLTR_CFG 寄存器

7	6	5	4	3	2	1	0
SPARE[1:0]		STEPx_FLTR_MODE		STEPx_FLTR_OSR[4:0]			
R/W-00b		R/W-0b		R/W-00001b			

表 8-37. STEPx_FLTR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	SPARE[1:0]	R/W	00b	备用寄存器位 以 R/W 位的形式提供, 用于检查寄存器映射 CRC。位设置无效。
5	STEPx_FLTR_MODE	R/W	0b	数字滤波器模式选择 选择第一级数字滤波器类型。 0b = Sinc4 1b = Sinc3
4:0	STEPx_FLTR_OSR[4:0]	R/W	00001b	数字滤波器 OSR 或数据速率选择 选择数字滤波器的 OSR 或输出数据速率。对于指明了 OSR 的设置, 输出数据速率计算公式为 $f_{DATA} = f_{MOD} / OSR$ 。所使用的 sinc 滤波器类型在括号中指定。Sincx 是基于 STEPx_FLTR_MODE 设置的 sinc3 或 sinc4 滤波器。对于指定输出数据速率 (f_{DATA}) 设置, 数字滤波器会根据所选的速度模式自动调整 OSR。所述的输出数据速率在 $f_{CLK} = 4.096\text{MHz}$ 的标称时钟频率下有效。数据速率与振荡器频率成正比。在 20SPS 和 25SPS 的输出数据速率下, 数字滤波器提供 50Hz 和 60Hz 线路周期抑制并实现单周期趋稳。 00000b = OSR = 8 (Sincx) 00001b = OSR = 16 (Sincx) 00010b = OSR = 24 (Sincx) 00011b = OSR = 32 (Sincx) 00100b = OSR = 64 (Sincx) 00101b = OSR = 128 (Sincx) 00110b = OSR = 256 (Sincx) 00111b = OSR = 512 (Sincx) 01000b = OSR = 640 (Sincx) 01001b = OSR = 1024 (Sincx) 01010b = OSR = 2048 (Sincx) 01011b = OSR = 4096 (Sincx) 01100b = OSR = 8192 (Sincx) 01101b = $f_{DATA} = 60\text{SPS}$ (Sincx) 01110b = $f_{DATA} = 50\text{SPS}$ (Sincx) 01111b = $f_{DATA} = 16.7\text{SPS}$ (Sincx) 10000b = $f_{DATA} = 10\text{SPS}$ (Sincx) 10001b = OSR = 64 (Sinc4 OSR = 32 + Sinc1 OSR = 2) 10010b = OSR = 128 (Sinc4 OSR = 32 + Sinc1 OSR = 4) 10011b = OSR = 256 (Sinc4 OSR = 32 + Sinc1 OSR = 8) 10100b = OSR = 512 (Sinc4 OSR = 32 + Sinc1 OSR = 16) 10101b = OSR = 640 (Sinc4 OSR = 32 + Sinc1 OSR = 20) 10110b = OSR = 1024 (Sinc4 OSR = 32 + Sinc1 OSR = 32) 10111b = OSR = 2048 (Sinc4 OSR = 32 + Sinc1 OSR = 64) 11000b = OSR = 4096 (Sinc4 OSR = 32 + Sinc1 OSR = 128) 11001b = OSR = 8192 (Sinc4 OSR = 32 + Sinc1 OSR = 256) 11010b = $f_{DATA} = 60\text{SPS}$ (Sinc4 OSR = 32 + Sinc1) 11011b = $f_{DATA} = 50\text{SPS}$ (Sinc4 OSR = 32 + Sinc1) 11100b = $f_{DATA} = 16.7\text{SPS}$ (Sinc4 OSR = 32 + Sinc1) 11101b = $f_{DATA} = 10\text{SPS}$ (Sinc4 OSR = 32 + Sinc1) 11110b = $f_{DATA} = 25\text{SPS}$ (FIR) 11111b = $f_{DATA} = 20\text{SPS}$ (FIR)

8.2.6 STEPx_DELAY_CFG 寄存器 (地址 = 05h) [复位 = 00h]

返回到[汇总表](#)。

图 8-33. STEPx_DELAY_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED	STEPx_DELAY[6:0]						
R-0b	R/W-0000000b						

表 8-38. STEPx_DELAY_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留 始终读为 0b。
6:0	STEPx_DELAY[6:0]	R/W	0000000b	转换启动延迟时间选择 确定了序列发生器在序列步骤开始第一次转换之前添加的延迟时间。切换输入极性时，该延迟也适用于全局斩波模式下的每次转换。 $n = \text{STEPx_DELAY}[6:0]$ 位值 (范围为 0 至 127) 额外延迟时间 = $n^2 \times t_{\text{MOD}}$ $n = 0$ 时不添加额外的延迟时间。仅应用器件固有延迟时间。 当 $n \geq 1$ 时，已编程的延迟时间会添加到器件固有延迟时间中。

8.2.7 STEP_x_OFFSET_CAL_MSB 寄存器 (地址 = 06h) [复位 = 00h]

返回到[汇总表](#)。

图 8-34. STEP_x_OFFSET_CAL_MSB 寄存器

7	6	5	4	3	2	1	0
STEP _x _OFFSET_CAL[23:16]							
R/W-00000000b							

表 8-39. STEP_x_OFFSET_CAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _OFFSET_CAL[23:16]	R/W	00000000b	偏移校准系数，MSB 偏移校准位 [23:16]。无论 STEP _x _CODING 位设置如何，都以二进制补码格式提供 STEP _x _OFFEST_CAL[23:0] 值。

8.2.8 STEP_x_OFFSET_CAL_ISB 寄存器 (地址 = 07h) [复位 = 00h]

返回到[汇总表](#)。

图 8-35. STEP_x_OFFSET_CAL_ISB 寄存器

7	6	5	4	3	2	1	0
STEP _x _OFFSET_CAL[15:8]							
R/W-00000000b							

表 8-40. STEP_x_OFFSET_CAL_ISB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _OFFSET_CAL[15:8]	R/W	00000000b	偏移校准系数，ISB 偏移校准位 [15:8]。无论 STEP _x _CODING 位设置如何，都以二进制补码格式提供 STEP _x _OFFEST_CAL[23:0] 值。

8.2.9 STEP_x_OFFSET_CAL_LSB 寄存器 (地址 = 08h) [复位 = 00h]

返回到[汇总表](#)。

图 8-36. STEP_x_OFFSET_CAL_LSB 寄存器

7	6	5	4	3	2	1	0
STEP _x _OFFSET_CAL[7:0]							
R/W-00000000b							

表 8-41. STEP_x_OFFSET_CAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _OFFSET_CAL[7:0]	R/W	00000000b	偏移校准系数，LSB 偏移校准位 [7:0]。无论 STEP _x _CODING 位设置如何，都以二进制补码格式提供 STEP _x _OFFEST_CAL[23:0] 值。对于 16 位器件版本 (ADS114S1x)，将 STEP _x _OFFSET_CAL[7:0] 位设置为 00h。

8.2.10 STEP_x_GAIN_CAL_MSB 寄存器 (地址 = 09h) [复位 = 40h]

返回到[汇总表](#)。

图 8-37. STEP_x_GAIN_CAL_MSB 寄存器

7	6	5	4	3	2	1	0
STEP _x _GAIN_CAL[15:8]							
R/W-01000000b							

表 8-42. STEP_x_GAIN_CAL_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _GAIN_CAL[15:8]	R/W	01000000b	增益校准系数，MSB 增益校准位 [15:8]。以标准二进制格式提供 STEP _x _GAIN_CAL[15:0] 值。 器件将 STEP _x _GAIN_CAL[15:0] 寄存器值除以 4000h，然后将结果与转换数据相乘。

8.2.11 STEPx_GAIN_CAL_LSB 寄存器 (地址 = 0Ah) [复位 = 00h]

返回到[汇总表](#)。

图 8-38. STEPx_GAIN_CAL_LSB 寄存器

7	6	5	4	3	2	1	0
STEPx_GAIN_CAL[7:0]							
R/W-00000000b							

表 8-43. STEPx_GAIN_CAL_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_GAIN_CAL[7:0]	R/W	00000000b	增益校准系数，LSB 增益校准位 [7:0]。以标准二进制格式提供 STEPx_GAIN_CAL[15:0] 值。器件将 STEPx_GAIN_CAL[15:0] 寄存器值除以 4000h，然后将结果与转换数据相乘。

8.2.12 STEPx_SYSMON_CFG 寄存器 (地址 = 0Bh) [复位 = 00h]

返回到[汇总表](#)。

图 8-39. STEPx_SYSMON_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED		STEPx_BOCS[1:0]		RESERVED	STEPx_SYS_MON[2:0]		
R-00b		R/W-00b		R/W-0b	R/W-000b		

表 8-44. STEPx_SYSMON_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	00b	保留 始终读为 00b。
5:4	STEPx_BOCS[1:0]	R/W	00b	烧毁电流源和灌电流选择 启用并选择烧毁电流源和灌电流的值。使用全局斩波模式 (GC_EN = 1b) 时禁用烧毁电流源。 00b = 禁用 01b = 0.2μA 10b = 1μA 11b = 10μA
3	RESERVED	R/W	0b	保留 始终写入 0b
2:0	STEPx_SYS_MON[2:0]	R/W	000b	系统监控器输入选择 选择系统监控器之一作为 PGA 的输入。选择了其中一个系统监控器时，STEPx_AINP[4:0] 和 STEPx_AINN[4:0] 位无效。选择了系统监控器时，模拟输入与 PGA 断开连接。由 STEPx_REF_SEL[1:0] 位选择的电压基准用于系统监控器测量。对于 STEPx_SYS_MON[3:0] = 0011b (或分别为 0100b)，选择 STEPx_REF_SEL[1:0] 而不是 01b (或分别为 10b)。对于 STEPx_SYS_MON[3:0] = 0101b，选择 STEPx_REF_SEL[1:0] 而不是 11b。使用 STEPx_GAIN[3:0] 位为每次测量选择适当的增益设置。当选择系统监控器进行测量时，会忽略 STEPx_OFFSET_CAL[23:0] 和 STEPx_GAIN_CAL[15:0] 值。 000b = 禁用 (未选择监控器) 001b = 正负 PGA 输入与 (AVDD + AVSS)/2 进行内部短接 010b = 内部温度传感器 011b = 外部 (V _{REFP0} - V _{REFN0})/8 100b = 外部 (V _{REFP1} - V _{REFN1})/8 101b = (AVDD - AVSS)/8 110b = (IOVDD - DGND)/8 111b = V _{DLD0} /4

8.2.13 STEPx_IDAC_MAG_CFG 寄存器 (地址 = 0Ch) [复位 = 00h]

返回到[汇总表](#)。

图 8-40. STEPx_IDAC_MAG_CFG 寄存器

7	6	5	4	3	2	1	0
STEPx_I2MAG[3:0]				STEPx_I1MAG[3:0]			
R/W-0000b				R/W-0000b			

表 8-45. STEPx_IDAC_MAG_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	STEPx_I2MAG[3:0]	R/W	0000b	IDAC2 幅值选择 选择激励电流源 IDAC2 的值。 0000b = 禁用 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT
3:0	STEPx_I1MAG[3:0]	R/W	0000b	IDAC1 幅值选择 选择激励电流源 IDAC1 的值。 0000b = 禁用 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT

8.2.14 STEP_x_IDAC1_MUX_CFG 寄存器 (地址 = 0Dh) [复位 = 1Fh]

返回到[汇总表](#)。

图 8-41. STEP_x_IDAC1_MUX_CFG 寄存器

7	6	5	4	3	2	1	0
STEP _x _IUNIT	RESERVED			STEP _x _I1MUX[4:0]			
R/W-0b	R-00b			R/W-11111b			

表 8-46. STEP_x_IDAC1_MUX_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	STEP _x _IUNIT	R/W	0b	IDAC 单位电流选择 为激励电流源 IDAC1 和 IDAC2 选择单位电流。 0b = IUNIT = 1μA 1b = IUNIT = 10μA
6:5	RESERVED	R	00b	保留 始终读为 00b。
4:0	STEP _x _I1MUX[4:0]	R/W	11111b	IDAC1 输出引脚选择 选择 IDAC1 的输出引脚。如果需要, 可以将 IDAC1 和 IDAC2 路由到同一引脚。用作 IDAC1 输出的模拟输入仍然可以用作模拟或基准输入。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18), 断开连接 (ADS1x4S14) 01001b = AIN9 (ADS1x4S18), 断开连接 (ADS1x4S14) 01010b = AIN10 (ADS1x4S18), 断开连接 (ADS1x4S14) 01011b = AIN11 (ADS1x4S18), 断开连接 (ADS1x4S14) 01100b = AIN12 (ADS1x4S18), 断开连接 (ADS1x4S14) 01101b = AIN13 (ADS1x4S18), 断开连接 (ADS1x4S14) 01110b = AIN14 (ADS1x4S18), 断开连接 (ADS1x4S14) 01111b = AIN15 (ADS1x4S18), 断开连接 (ADS1x4S14) 10000b = AIN16 (ADS1x4S18), 断开连接 (ADS1x4S14) 10001b = AIN17 (ADS1x4S18), 断开连接 (ADS1x4S14) 10010b = 断开连接 10011b = 断开连接 10100b = 断开连接 10101b = 断开连接 10110b = 断开连接 10111b = 断开连接 11000b = 断开连接 11001b = 断开连接 11010b = 断开连接 11011b = 断开连接 11100b = 断开连接 11101b = 断开连接 11110b = 断开连接 11111b = 断开连接

8.2.15 STEP_x_IDAC2_MUX_CFG 寄存器 (地址 = 0Eh) [复位 = 1Fh]

返回到[汇总表](#)。

图 8-42. STEP_x_IDAC2_MUX_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				STEP _x _I2MUX[4:0]			
R-000b				R/W-11111b			

表 8-47. STEP_x_IDAC2_MUX_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 000b。
4:0	STEP _x _I2MUX[4:0]	R/W	11111b	IDAC2 输出引脚选择 选择 IDAC2 的输出引脚。如果需要, 可以将 IDAC1 和 IDAC2 路由到同一引脚。用作 IDAC2 输出的模拟输入仍然可以用作模拟或基准输入。 00000b = AIN0 00001b = AIN1 00010b = AIN2 00011b = AIN3 00100b = AIN4 00101b = AIN5 00110b = AIN6 00111b = AIN7 01000b = AIN8 (ADS1x4S18), 断开连接 (ADS1x4S14) 01001b = AIN9 (ADS1x4S18), 断开连接 (ADS1x4S14) 01010b = AIN10 (ADS1x4S18), 断开连接 (ADS1x4S14) 01011b = AIN11 (ADS1x4S18), 断开连接 (ADS1x4S14) 01100b = AIN12 (ADS1x4S18), 断开连接 (ADS1x4S14) 01101b = AIN13 (ADS1x4S18), 断开连接 (ADS1x4S14) 01110b = AIN14 (ADS1x4S18), 断开连接 (ADS1x4S14) 01111b = AIN15 (ADS1x4S18), 断开连接 (ADS1x4S14) 10000b = AIN16 (ADS1x4S18), 断开连接 (ADS1x4S14) 10001b = AIN17 (ADS1x4S18), 断开连接 (ADS1x4S14) 10010b = 断开连接 10011b = 断开连接 10100b = 断开连接 10101b = 断开连接 10110b = 断开连接 10111b = 断开连接 11000b = 断开连接 11001b = 断开连接 11010b = 断开连接 11011b = 断开连接 11100b = 断开连接 11101b = 断开连接 11110b = 断开连接 11111b = 断开连接

8.2.16 STEP_x_GPIO_DATA_OUT 寄存器 (地址 = 0Fh) [复位 = 00h]

返回到[汇总表](#)。

图 8-43. STEP_x_GPIO_DATA_OUT 寄存器

7	6	5	4	3	2	1	0
STEP _x _GPIO7_DAT_OUT	STEP _x _GPIO6_DAT_OUT	STEP _x _GPIO5_DAT_OUT	STEP _x _GPIO4_DAT_OUT	STEP _x _GPIO3_DAT_OUT	STEP _x _GPIO2_DAT_OUT	STEP _x _GPIO1_DAT_OUT	STEP _x _GPIO0_DAT_OUT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-48. STEP_x_GPIO_DATA_OUT 寄存器字段说明

位	字段	类型	复位	说明
7	STEP _x _GPIO7_DAT_OUT	R/W	0b	GPIO7 数据 配置为数字输出时 GPIO7 的写入值。当 GPIO7 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
6	STEP _x _GPIO6_DAT_OUT	R/W	0b	GPIO6 数据 配置为数字输出时 GPIO6 的写入值。当 GPIO6 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
5	STEP _x _GPIO5_DAT_OUT	R/W	0b	GPIO5 数据 配置为数字输出时 GPIO5 的写入值。当 GPIO5 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
4	STEP _x _GPIO4_DAT_OUT	R/W	0b	GPIO4 数据 配置为数字输出时 GPIO4 的写入值。当 GPIO4 配置为数字输入或 $\overline{\text{FAULT}}$ 作为数据源的数字输出时，位设置无效。 0b = 低电平 1b = 高电平
3	STEP _x _GPIO3_DAT_OUT	R/W	0b	GPIO3 数据 配置为数字输出时 GPIO3 的写入值。当 GPIO3 配置为数字输入或 ALERT 作为数据源的数字输出时，位设置无效。 0b = 低电平 1b = 高电平
2	STEP _x _GPIO2_DAT_OUT	R/W	0b	GPIO2 数据 配置为数字输出时 GPIO2 的写入值。当 GPIO2 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
1	STEP _x _GPIO1_DAT_OUT	R/W	0b	GPIO1 数据 配置为数字输出时 GPIO1 的写入值。当 GPIO1 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平
0	STEP _x _GPIO0_DAT_OUT	R/W	0b	GPIO0 数据 配置为数字输出时 GPIO0 的写入值。当 GPIO0 配置为数字输入时，位设置无效。 0b = 低电平 1b = 高电平

8.2.17 STEP_x_COMPARATOR_HIGH_THRESHOLD_MSB 寄存器 (地址 = 10h) [复位 = 00h]

返回到[汇总表](#)。

图 8-44. STEP_x_COMPARATOR_HIGH_THRESHOLD_MSB 寄存器

7	6	5	4	3	2	1	0
STEP _x _COMP_HIGH_TH[15:8]							
R/W-00000000b							

表 8-49. STEP_x_COMPARATOR_HIGH_THRESHOLD_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _COMP_HIGH_TH[15:8]	R/W	00000000b	比较器高阈值，MSB 比较器高阈值位 [15:8]。STEP_x_COMP_HIGH_TH[15:0] 值设置序列步骤 x 的数字比较器高阈值。大于高阈值的转换结果会使警报计数器递增。使用 STEP_x_COMP_HIGH_TH_EN 位启用高阈值。阈值的编码遵循 STEP_x_CODING 位。 单极标准二进制：LSB 大小 = (V_{REF})/(Gain x 2¹⁶) 双极性二进制补码：LSB 大小 = (2 x V_{REF}) / (Gain x 2¹⁶)

8.2.18 STEP_x_COMPARATOR_HIGH_THRESHOLD_LSB 寄存器 (地址 = 11h) [复位 = 00h]

返回到[汇总表](#)。

图 8-45. STEP_x_COMPARATOR_HIGH_THRESHOLD_LSB 寄存器

7	6	5	4	3	2	1	0
STEP _x _COMP_HIGH_TH[7:0]							
R/W-00000000b							

表 8-50. STEP_x_COMPARATOR_HIGH_THRESHOLD_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _COMP_HIGH_TH[7:0]	R/W	00000000b	比较器高阈值，LSB 比较器高阈值位 [7:0]。STEP _x _COMP_HIGH_TH[15:0] 值设置序列步骤 x 的数字比较器高阈值。大于高阈值的转换结果会使警报计数器递增。使用 STEP _x _COMP_HIGH_TH_EN 位启用高阈值。阈值的编码遵循 STEP _x _CODING 位。 单极标准二进制：LSB 大小 = (V _{REF})/(Gain x 2 ¹⁶) 双极性二进制补码：LSB 大小 = (2 x V _{REF}) / (Gain x 2 ¹⁶)

8.2.19 STEP_x_COMPARATOR_LOW_THRESHOLD_MSB 寄存器 (地址 = 12h) [复位 = 00h]

返回到[汇总表](#)。

图 8-46. STEP_x_COMPARATOR_LOW_THRESHOLD_MSB 寄存器

7	6	5	4	3	2	1	0
STEP _x _COMP_LOW_TH[15:8]							
R/W-00000000b							

表 8-51. STEP_x_COMPARATOR_LOW_THRESHOLD_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _COMP_LOW_TH[15:8]	R/W	00000000b	比较器低阈值，MSB 比较器低阈值位 [15:8]。STEP_x_COMP_LOW_TH[15:0] 值设置序列步骤 x 的数字比较器低阈值。小于低阈值的转换结果会使警报计数器递增。使用 STEP_x_COMP_LOW_TH_EN 位启用低阈值。阈值的编码遵循 STEP_x_CODING 位。 单极标准二进制：LSB 大小 = $(V_{REF}) / (\text{Gain} \times 2^{16})$ 双极性二进制补码：LSB 大小 = $(2 \times V_{REF}) / (\text{Gain} \times 2^{16})$

8.2.20 STEP_x_COMPARATOR_LOW_THRESHOLD_LSB 寄存器 (地址 = 13h) [复位 = 00h]

返回到[汇总表](#)。

图 8-47. STEP_x_COMPARATOR_LOW_THRESHOLD_LSB 寄存器

7	6	5	4	3	2	1	0
STEP _x _COMP_LOW_TH[7:0]							
R/W-00000000b							

表 8-52. STEP_x_COMPARATOR_LOW_THRESHOLD_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _COMP_LOW_TH[7:0]	R/W	00000000b	比较器低阈值，LSB 比较器低阈值位 [7:0]。STEP _x _COMP_LOW_TH[15:0] 值设置序列步骤 x 的数字比较器低阈值。小于低阈值的转换结果会使警报计数器递增。使用 STEP _x _COMP_LOW_TH_EN 位启用低阈值。阈值的编码遵循 STEP _x _CODING 位。 单极标准二进制：LSB 大小 = (V _{REF})/(Gain x 2 ¹⁶) 双极性二进制补码：LSB 大小 = (2 x V _{REF}) / (Gain x 2 ¹⁶)

8.2.21 STEP_x_COMPARATOR_CFG 寄存器 (地址 = 14h) [复位 = 00h]

返回到[汇总表](#)。

图 8-48. STEP_x_COMPARATOR_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				STEP _x _COMP_NUM[1:0]		STEP _x _COMP_HIG H_TH_EN	STEP _x _COMP_LOW _TH_EN
R-0000b				R/W-00b		R/W-0b	R/W-0b

表 8-53. STEP_x_COMPARATOR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0000b	保留 始终读为 0000b。
3:2	STEP _x _COMP_NUM[1:0]	R/W	00b	比较器警报计数器阈值 连续转换的次序列步骤 x 的转换结果需要超过比较器阈值，然后才会由 COMP_ALERT _n 标志指示警报。当序列步骤启动或转换结果降至阈值以下 时，内部警报计数器就会复位。 00b = 1 01b = 2 10b = 4 11b = 8
1	STEP _x _COMP_HIGH_TH _EN	R/W	0b	比较器高阈值启用 启用数字比较器的高阈值。 0b = 禁用 1b = 启用
0	STEP _x _COMP_LOW_TH _EN	R/W	0b	比较器低阈值启用 启用数字比较器的低阈值。 0b = 禁用 1b = 启用

8.2.22 STEP_x_REG_MAP_CRC 寄存器 (地址 = 3Dh) [复位 = 0Eh]

返回到[汇总表](#)。

图 8-49. STEP_x_REG_MAP_CRC 寄存器

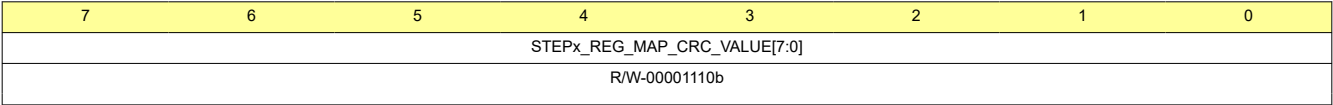


表 8-54. STEP_x_REG_MAP_CRC 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP _x _REG_MAP_CRC_VALUE[7:0]	R/W	00001110b	步骤 x 配置页面的寄存器映射 CRC 值 该值为用户计算的寄存器 00h 至 14h 的 CRC 值。

8.2.23 STEPx_PAGE_INDICATOR 寄存器 (地址 = 3Eh) [复位 = 00h]

返回到[汇总表](#)。

图 8-50. STEPx_PAGE_INDICATOR 寄存器

7	6	5	4	3	2	1	0
STEPx_PAGE_INDICATOR[7:0]							
R-00000000b							

表 8-55. STEPx_PAGE_INDICATOR 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_PAGE_INDICATO R[7:0]	R	00000000b	寄存器页面指示器 读取寄存器页面指示器以验证当前选择用于读取和写入寄存器的寄存器页 面。

8.2.24 STEPx_PAGE_POINTER 寄存器 (地址 = 3Fh) [复位 = 00h]

返回到[汇总表](#)。

图 8-51. STEPx_PAGE_POINTER 寄存器

7	6	5	4	3	2	1	0
STEPx_PAGE_POINTER[7:0]							
R/W-00000000b							

表 8-56. STEPx_PAGE_POINTER 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_PAGE_POINTER[7:0]	R/W	00000000b	寄存器页面指针 写入寄存器页面指针以选择所需的寄存器页面以读取和写入寄存器。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

9.1.1 串行接口连接

图 9-1 显示了 ADS1x4S1x 的基本接口连接。虚线表示可选的连接。在此示例中，CLK 引脚连接到 DGND，以显示使用内部振荡器的运行情况。

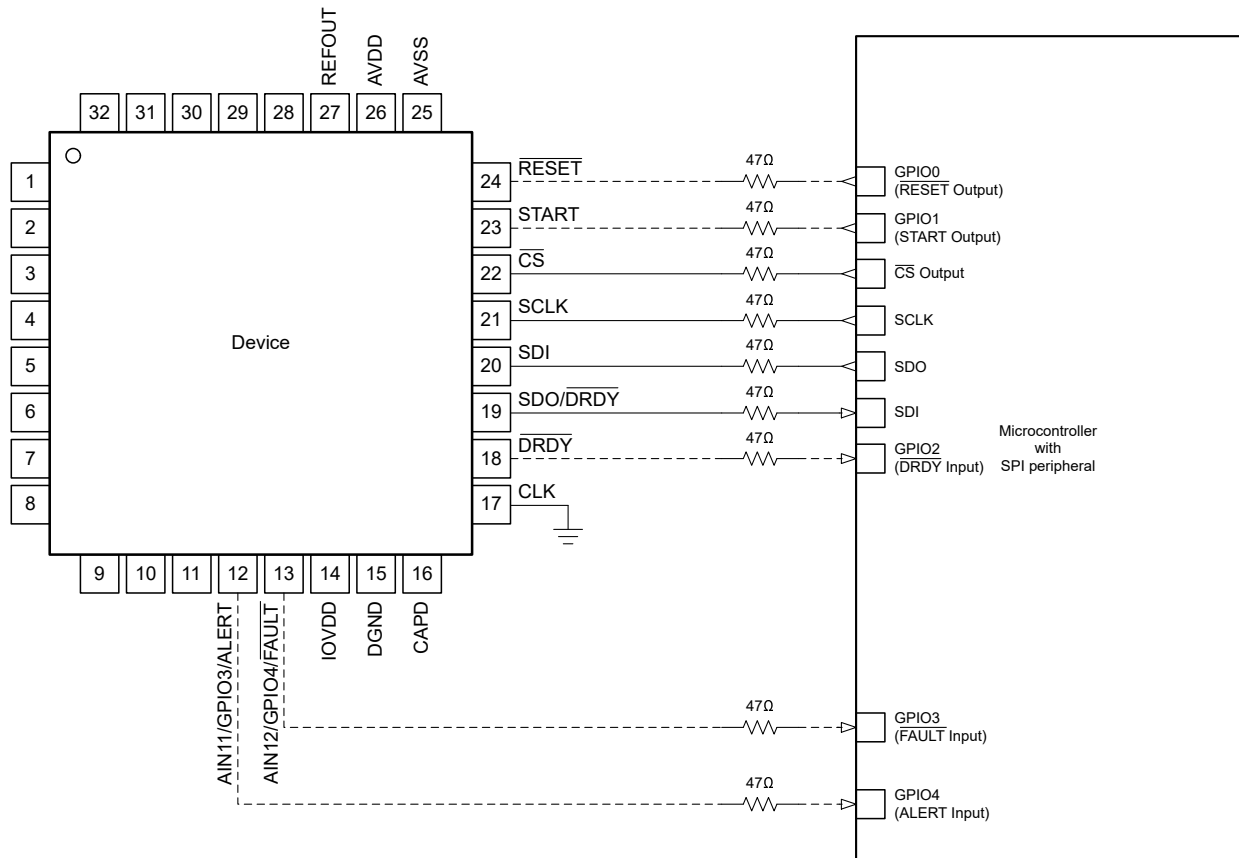


图 9-1. 串行接口连接

大多数微控制器 SPI 外设可以与器件连接。该接口仅支持 SPI 配置 (CPOL = 0 且 CPHA = 1)，其中 SCLK 在空闲状态下保持低电平，并且数据在 SCLK 上升沿进行传输或更改；在 SCLK 下降沿锁存或读取数据。

$\overline{CS}$ 引脚可以永久连接到 DGND，以在 3 线 SPI 模式下运行器件。

以下引脚连接是可选的：

- $\overline{RESET}$ 引脚
- $\overline{START}$ 引脚
- 将专用 $\overline{DRDY}$ 引脚路由到主机控制器的由下降沿触发的支持中断的 GPIO，以防需要通过中断指示新的数据就绪。

- 如果除了通过故障标志进行故障指示之外，还需要通过引脚进行故障指示，则将 $\overline{\text{FAULT}}$ 引脚连接到主机控制器。为此，将 GPIO4/ $\overline{\text{FAULT}}$ 引脚配置为 $\overline{\text{FAULT}}$ 输出 (GPIO4_CFG = 10b 或 11b 且 GPIO4_SRC = 1b)。如果 $\overline{\text{FAULT}}$ 引脚配置为开漏输出，则在该引脚与 IOVDD 之间增加上拉电阻器。
- 如果除了通过 COMP_ALERTn 标志指示之外，还需要通过引脚进行数字比较器状态指示，则将 ALERT 引脚连接到主机控制器。为此，将 GPIO3/ALERT 引脚配置为 ALERT 输出 (GPIO3_CFG = 10b 或 11b 且 GPIO3_SRC = 1b)。如果 ALERT 引脚配置为开漏输出，则在该引脚与 IOVDD 之间增加上拉电阻器。

如果不使用上述任何可选引脚，请遵循 [未使用的输入和输出](#) 部分中的指南。

如果在器件或微控制器加电期间需要驱动特定信号电平，可以将上拉或下拉电阻置于数字输入和输出信号线上。

或者，将电阻器与所有数字输入和输出引脚串联。典型串联电阻值的范围为 10 Ω 至 50 Ω 。该电阻可使急剧的信号转换变得平滑、抑制过冲，并提供一定的过压保护。必须注意满足所有 SPI 时序要求，因为额外的电阻器与数字信号线上的总线电容相互作用。

9.1.2 未使用的输入和输出

对于未使用的器件引脚连接，请遵循以下指南：

- 将任何未使用的模拟输入 (AINx) 保持悬空或将未使用的模拟输入连接到 AVSS。
- 将任何未使用的基准输入 (REFPx、REFNx) 保持悬空或将未使用的基准输入连接到 AVSS。
- 如果使用内部振荡器，请将 CLK 引脚连接至 DGND。
- 如果通过 SPI 控制转换启动，请将 START 引脚连接到 DGND。
- 如果未使用 $\overline{\text{DRDY}}$ 引脚，则将其保持悬空，或者通过弱上拉电阻器将 $\overline{\text{DRDY}}$ 引脚连接到 IOVDD。
- 如果主机未驱动 $\overline{\text{RESET}}$ 引脚，请将 $\overline{\text{RESET}}$ 引脚连接到 IOVDD。 $\overline{\text{RESET}}$ 引脚还具有一个连接 IOVDD 的内部上拉电阻器。
- 使用 GPIOx_CONFIG[1:0] 位将未使用的 GPIOx (x = 0 至 7) 引脚配置为高阻态输入，并将未使用的 GPIO 引脚保持悬空或将未使用的 GPIO 引脚连接到 AVSS。

9.1.3 连接多个器件

ADS1x4S1x 提供了两种在单条 SPI 总线上运行多个器件的方法：

- 为所有器件使用一个 $\overline{\text{CS}}$ 信号进行菊花链连接，如 [菊花链运行](#) 一节所述。主机串行数据输出连接到链中第一个器件的 SDI 以传输数据。链中第一个器件的 SDO 信号连接到下一个器件的 SDI 信号，依此类推。主机控制器从链中最后一个器件的 SDO 信号接收数据。所有器件共享同一个 SCLK 信号。这种方法允许主机同时与链中的所有器件通信。但是，根据链中连接的器件数量，SPI 帧可能会变得很长。
- 为每个器件使用专用的 $\overline{\text{CS}}$ 信号，如 [图 9-2](#) 所示。在这种情况下，所有器件共享 SCLK、SDI 和 SDO/DRDY 信号。只有 $\overline{\text{CS}}$ 为低电平的器件才会驱动 SDO/DRDY 引脚。 $\overline{\text{CS}}$ 为高电平的所有其他器件的 SDO/DRDY 输出处于高阻态，以避免 SDO 线路上发生争用。主机控制器逐一与各器件进行接口通信。

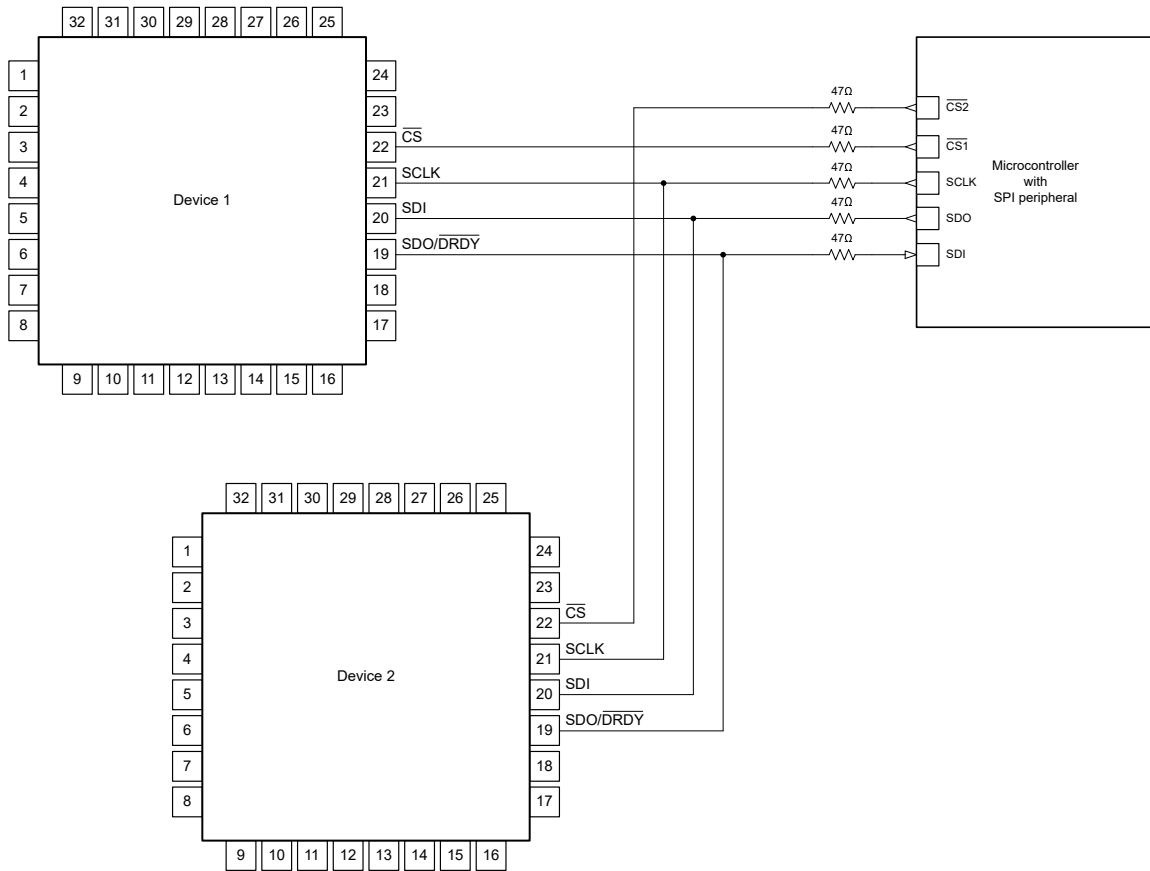


图 9-2. 使用单个 $\overline{\text{CS}}$ 信号的多器件串行接口连接

9.1.4 器件初始化和启动序列发生器

图 9-3 和图 9-4 说明了初始化 ADS1x4S1x 和启动序列发生器分别所需的序列步骤。在本例中：

- STATUS 标头输出已启用
- 序列发生器模式 `SEQ_MODE[1:0] = 11b` 与两个启用的序列步骤（步骤 0 和步骤 1）一起使用
- 该器件使用专用的 `DRDY` 引脚来指示主机控制器是否可以使用新转换数据

将主机控制器的 SPI 配置为 `CPOL = 0` 和 `CPHA = 1`。将连接到器件 `DRDY` 引脚的主机控制器 GPIO 配置为下降沿触发的中断输入。

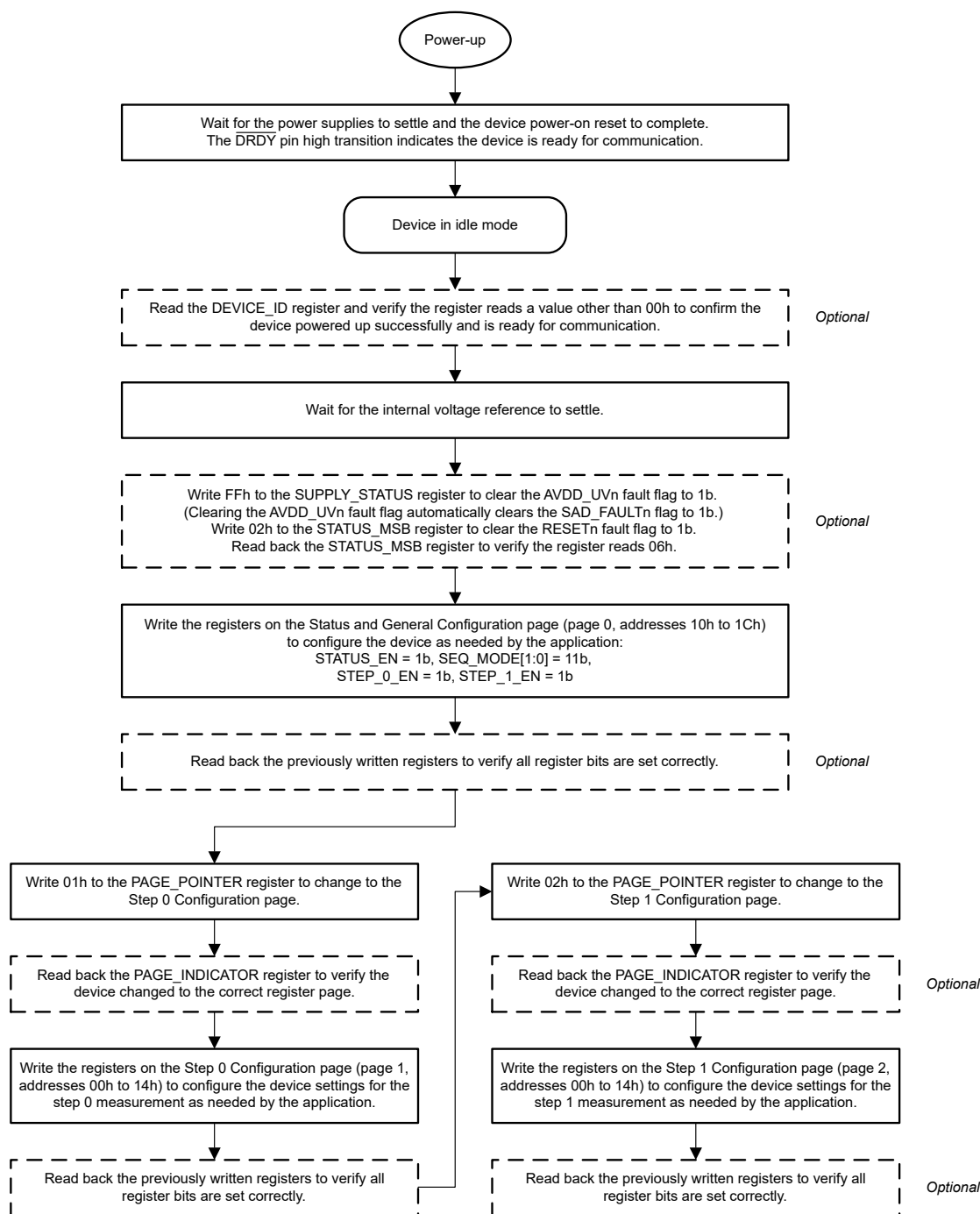


图 9-3. 器件初始化流程图

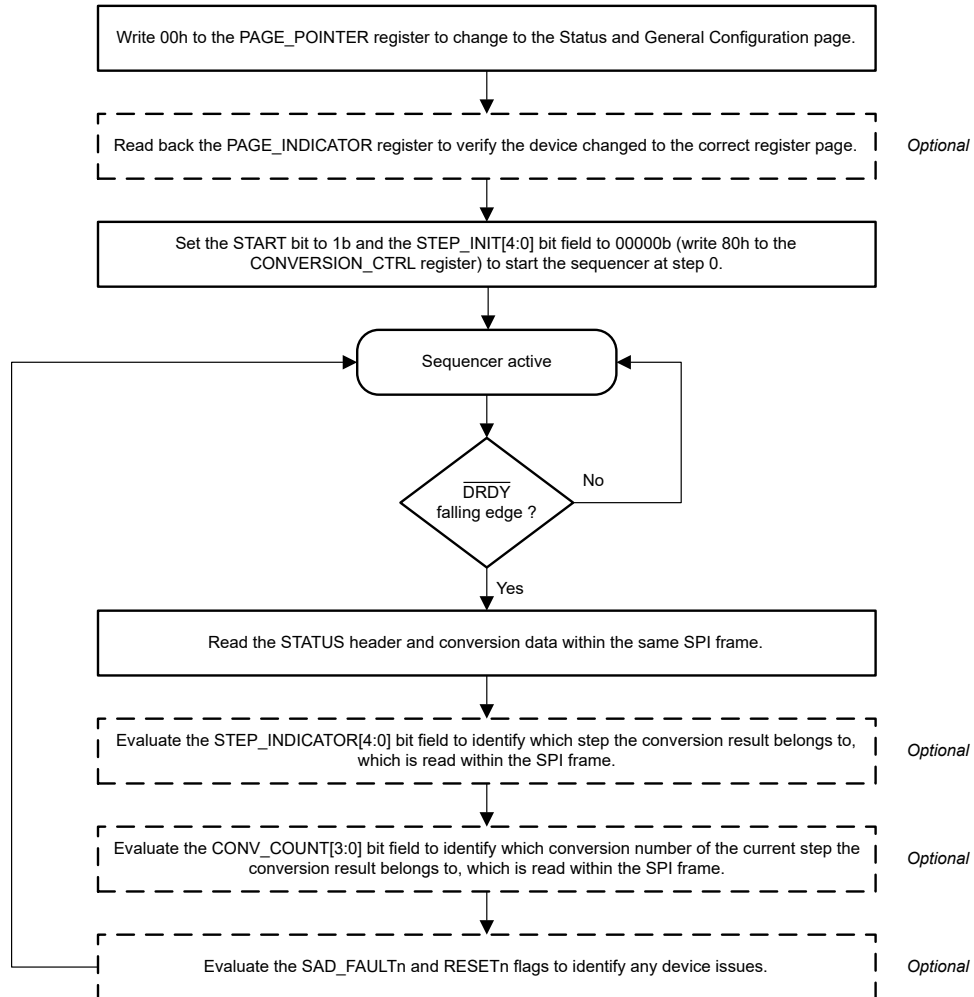


图 9-4. 启动序列发生器并读取转换数据流程图

9.1.5 序列发生器配置策略示例

以下部分介绍了两种配置序列发生器的策略，以防需要比其他序列步骤配置更频繁地测量一步配置。假设应用需要三种不同的测量（A、B、C），此时每次测量都需要不同的步进配置。配置 A 的测量频率需要是配置 B 和 C 的两倍。这意味着，所需的测量序列是 A-B-A-C。此外，配置 A 需要进行十次连续测量，而配置 B 和 C 分别只需要一次测量。可以通过两种方法之一实施该示例序列：

1. 按如下方式配置步骤配置页面：

- 步骤 0 = 配置 A (STEP0_NUM_CONV[4:0] = 01001b)
- 步骤 1 = 配置 B (STEP1_NUM_CONV[4:0] = 00000b)
- 步骤 2 = 配置 A (STEP2_NUM_CONV[4:0] = 01001b)
- 步骤 3 = 配置 C (STEP3_NUM_CONV[4:0] = 00000b)

使用 STEP_0_EN 至 STEP_3_EN 位启用步骤 0 至 3，并将序列发生器配置为模式 SEQ_MODE[1:0] = 11b。然后，从步骤 0 启动序列发生器。序列发生器执行序列 A-B-A-C-A-B-A-C……直到被主机停止。

2. 按如下方式配置步骤配置页面：

- 步骤 0 = 配置 A (STEP0_NUM_CONV[4:0] = 01001b)
- 步骤 1 = 配置 B (STEP1_NUM_CONV[4:0] = 00000b)
- 步骤 2 = 配置 C (STEP2_NUM_CONV[4:0] = 00000b)

使用 STEP_0_EN 至 STEP_2_EN 位启用步骤 0 至 2，并将序列发生器配置为模式 SEQ_MODE[1:0] = 00b。主机单独启动每个序列步骤以执行所需的序列：

- 启动步骤 0 (将 80h 写入 CONVERSION_CTRL 寄存器) 并读取以下十个转换结果。
- 启动步骤 1 (将 84h 写入 CONVERSION_CTRL 寄存器) 并读取以下转换结果。
- 启动步骤 0 (将 80h 写入 CONVERSION_CTRL 寄存器) 并读取以下十个转换结果。
- 启动步骤 2 (将 88h 写入 CONVERSION_CTRL 寄存器) 并读取以下转换结果。
- 启动步骤 0，以此类推。

如果器件提供的 24 个序列步骤不足以使用第一个选项实现应用的特定序列要求，请使用第二个选项。使用第二个选项的另一个原因是可编程用户延迟无法提供实现所需序列步长时序的粒度或灵活性。

9.2 典型应用

9.2.1 软件可配置 RTD 测量输入

ADS1x4S1x 整合了所有必要的功能（例如激励电流源、缓冲外部基准输入和 PGA），可实现比例式 RTD 测量输入模块，通过软件配置它可适应 2 线、3 线和 4 线 RTD。图 9-5 展示了此类软件可配置 RTD 测量输入模块的实现示例。

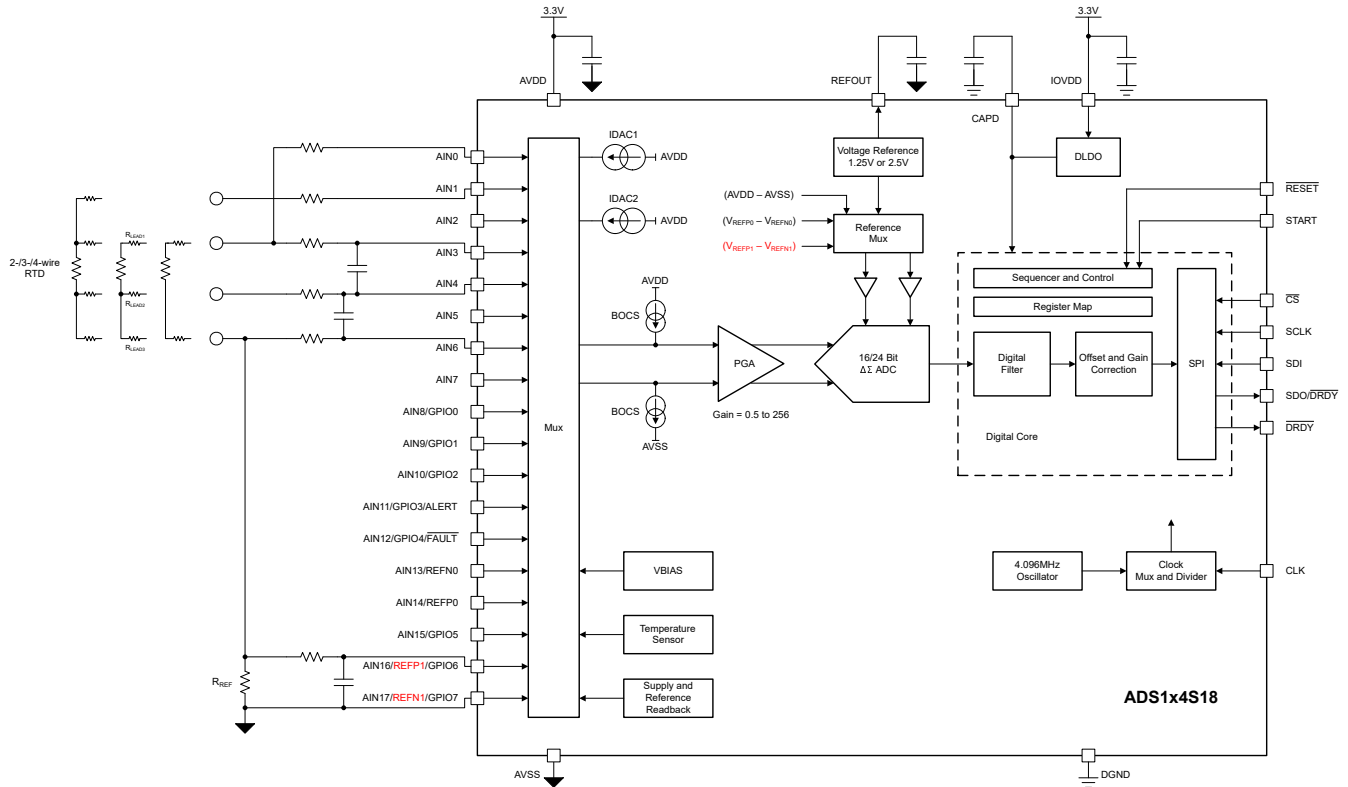


图 9-5. 软件可配置 RTD 测量输入

9.2.1.1 设计要求

表 9-1. 设计参数

设计参数	值
电源电压	3.3V
支持的 RTD 类型	2、3、4 线制 Pt100
电流消耗	500 μ A (最大值)
温度测量范围	-200°C 至 +850°C
$T_A = 25^\circ\text{C}$ 时的测量准确度	$\pm 0.1^\circ\text{C}$
50Hz 或 60Hz ($\pm 1\text{Hz}$) 下的线路周期抑制	80dB (最小值)
RTD 端子上的最大过压	$\pm 10\text{V}$

9.2.1.2 详细设计过程

图 9-5 中的电路采用比例式测量配置。换言之，传感器信号（即本例中 RTD 上的电压）和 ADC 的基准电压来自同一激励源。因此，由温度漂移或激励源噪声导致的误差会抵消，因为这些误差对于传感器信号和基准都是常见的。

要使用该器件实现比例式 RTD 测量，请使用 STEPx_I1MUX[4:0] 位将 IDAC1 路由到 AIN1 (对于 4 线 RTD 连接) 或 AIN0 (对于 2 线和 3 线 RTD 连接)。使用 STEPx_IUNIT 和 STEPx_I1MAG[3:0] 位选择激励电流源值。激励电流经过 RTD 和精密低漂移基准电阻 R_{REF} 流至接地。在基准电阻器 (如方程式 21 所示) 上生成的电压 V_{REF} 用作 ADC 基准电压。为此，使用 STEPx_REF_SEL[1:0] 位在引脚 REFP1 和 REFN1 之间选择外部电压基准。

$$V_{REF} = I_{IDAC1} \times R_{REF} \quad (21)$$

为了简化以下讨论，RTD 的各引线电阻值 (R_{LEADx}) 设置为零。如方程式 22 所示，IDAC1 会激发 RTD 以产生与温度相关 RTD 值和 IDAC1 值成正比的电压 (V_{RTD})。

$$V_{RTD} = R_{RTD} \times I_{IDAC1} \quad (22)$$

使用 STEPx_AINP[4:0] 和 STEPx_AINN[4:0] 位选择模拟输入，以根据 RTD 类型测量 V_{RTD} ：

- 对于 2 线 RTD，在 $AIN_P = AIN3$ 和 $AIN_N = AIN6$ 之间测量。
- 对于 3 线或 4 线 RTD，在 $AIN_P = AIN3$ 和 $AIN_N = AIN4$ 之间测量。

该器件使用 PGA 在内部放大 RTD 两端的电压，并将生成的电压与基准电压进行比较，以根据方程式 23 生成数字输出代码。

$$\text{Code} / 2^n = V_{RTD} \times \text{Gain} / V_{REF} = (R_{RTD} \times I_{IDAC1} \times \text{Gain}) / (I_{IDAC1} \times R_{REF}) \quad (23)$$

$$\text{Code} / 2^n = (R_{RTD} \times \text{Gain}) / R_{REF} \quad (24)$$

其中 n 取决于所选的编码方案和 ADC 分辨率：

- $n = 15$ (16 位 ADC，二进制补码格式)
- $n = 16$ (16 位 ADC，单极标准二进制格式)
- $n = 23$ (24 位 ADC，二进制补码格式)
- $n = 24$ (24 位 ADC，单极标准二进制格式)

如方程式 24 所示，输出代码仅取决于 RTD 的值、PGA 增益和基准电阻 (R_{REF})，而不取决于 IDAC1 值。因此，激励电流的绝对精度和温度漂移无关紧要。然而，由于基准电阻的值直接影响测量结果，因此选择具有良好初始精度和极低温度系数的基准电阻对于限制 R_{REF} 引入的测量误差非常重要。

基准电阻 R_{REF} 不仅用于为器件生成基准电压，还用于将 RTD 引线上的电压设置在 PGA 的指定绝对输入电压范围内。这在使用大于 10 的 PGA 增益时非常重要，因为当使用大于 10 的增益时，PGA 需要相对于 GND 存在余量才能运行。

设计电路时，还必须注意满足 IDAC 的顺从电压要求。IDAC 要求在到 GND 的电流路径上产生的最大压降等于或小于规定的顺从电压，才能精确运行。

如设计要求中所述，此设计示例讨论了 Pt100 元件的电路实现，该元件测量的温度范围为 -200°C 到 $+850^{\circ}\text{C}$ 。选择 Pt100 的激励电流作为 $I_{IDAC1} = 400\mu\text{A}$ ，以满足本示例所需的功率预算。如前所述，除了为 ADC 产生基准电压之外， R_{REF} 上的电压还设置 RTD 测量的绝对输入电压。通常，选择可保持 IDAC 顺从电压并满足 PGA 绝对输入电压要求的最大基准电压。将共模电压设置为等于或低于模拟电源的一半是良好的设计起点。在本例中，1.6V 用作目标共模电压。因此，使用方程式 25 计算 R_{REF} 的值。 R_{REF} 的稳定性对于在整个温度范围内和时间范围内实现良好的测量精度至关重要。

$$R_{REF} = V_{REF} / I_{IDAC1} = 1.6\text{V} / 400\mu\text{A} = 4\text{k}\Omega \quad (25)$$

最后一步，选择 PGA 增益以使最大输入信号与 ADC 的 FSR 相匹配。Pt100 的电阻值会随温度升高而增加。因此，要测量的最大电压 (V_{INMAX}) 出现在正温度极点。根据 NIST 表，在 850°C 处 Pt100 的等效电阻约为 391Ω 。Pt100 两端的电压等于方程式 26：

$$V_{INMAX} = V_{RTD} \text{ (at } 850^{\circ}\text{C)} = R_{RTD} \text{ (at } 850^{\circ}\text{C)} \times I_{IDAC1} = 391\ \Omega \times 400\mu\text{A} = 156.4\text{mV} \quad (26)$$

使用 1.6V 基准时可应用的最大增益计算结果为 $(1.6\text{V} / 156.4\text{mV}) = 10.23$ 。ADS1x4S1x 中可用的下一个较小 PGA 增益设置为 10。当增益为 10 时，该器件提供 FSR 值，如[方程式 27](#) 中所述：

$$\text{FSR} = \pm V_{REF} / \text{Gain} = \pm 1.6\text{V} / 10 = \pm 160\text{mV} \quad (27)$$

此范围允许 IDAC 和基准电阻器的初始精度和漂移存在裕度。

为了将 ADC 功耗保持在最低水平，使用 SPEED_MODE[1:0] 位选择速度模式 0 ($f_{MOD} = 32\text{kHz}$)。为了满足 50Hz 和 60Hz 的线路周期抑制要求，使用 STEPx_FLTR_OSR[4:0] 位选择 20SPS 输出数据速率。选择采用相同 20SPS 输出数据速率设置的更快速度模式时，测量分辨率（由 ADC 噪声决定）会升高，但代价是功耗更高。但是，测量精度（由 ADC 直流误差决定，例如增益和偏移误差）在很大程度上不受速度模式设置影响。

模拟和正基准输入端的串联电阻的主要用途是保护器件输入免受任何过压条件的影响。如果应用中 RTD 端子上可能出现过压情况，请选择串联电阻值时，将流入模拟和正基准输入的电流限制在 10mA 以下。本例中选择了 2.2k Ω 的串联电阻值，以便在 RTD 端子上存在高达 $\pm 10\text{V}$ 的过压时将输入电流限制在 5mA 以下。在选择电阻值时，请考虑串联电阻与进入模拟和基准输入端的输入电流之间的相互作用。串联电阻器上产生的压降会导致潜在的偏移误差。此外，串联电阻器与输入电容器一起构成一阶 RC 抗混叠滤波器。对于此 Δ - Σ ADC，RC 滤波器的确切转角频率并不是很关键。一般建议是选择一个至少比 ADC 调制器频率低 10 倍的转角频率。

选择 IDAC、 R_{REF} 、PGA 增益和串联电阻的值后，确保仔细检查这些设置是否满足 PGA 的绝对输入电压要求以及 IDAC 的顺从电压。计算中包括 IDAC1 的 RTD 引线电阻和 IDAC1 输出引脚上的串联电阻器产生的压降。

本例中 3 线 RTD 的引线补偿通过实施两步测量方法实现。

1. 在步骤一中，测量 AIN3 和 AIN4 之间的电压 (V_1)。
2. 在第二个测量步骤中，测量 AIN3 和 AIN6 之间的电压 (V_2)。

[方程式 28](#) 和 [方程式 29](#) 代表这两个测量值。

$$V_1 = I_{IDAC1} (R_{LEAD1} + R_{RTD}) \quad (28)$$

$$V_2 = I_{IDAC1} (R_{LEAD1} + R_{RTD} + R_{LEAD3}) \quad (29)$$

假设所有三个引线电阻具有相同的值 R_{LEAD} 是合理的。因此，使用 [方程式 30](#) 来计算引线补偿 RTD 电压。

$$V_{RTD} = 2 \times V_1 - V_2 = 2 \times [I_{IDAC1} (R_{LEAD} + R_{RTD})] - I_{IDAC1} (2 \times R_{LEAD} + R_{RTD}) = I_{IDAC1} \times R_{RTD} \quad (30)$$

[表 9-2](#) 展示了本设计示例中各种测量的关键寄存器位设置。

表 9-2. RTD 测量寄存器位设置

寄存器位	2-WIRE RTD	3-WIRE RTD		4-WIRE RTD
		V ₁	V ₂	
SPEED_MODE[1:0]	00b (速度模式 0)			
STEPx_FLTR_OSR[4:0]	11111b (f _{DATA} = 20SPS)			
STEPx_GAIN[3:0]	0110b (增益 = 10)			
STEPx_REFP_BUF_EN	1b (REFP 缓冲器启用)			
STEPx_REFN_BUF_EN	0b (REFN 缓冲器禁用)			
STEPx_REF_SEL[1:0]	10b (REFP1 和 REFN1 之间的外部基准)			
STEPx_IUNIT	1b (IUNIT = 10 μ A)			
STEPx_I1MAG[3:0]	0101b (I _{IDAC1} = 40 × IUNIT)			
STEPx_I1MUX[4:0]	00000b (AIN0)	00000b (AIN0)	00000b (AIN0)	00001b (AIN1)

表 9-2. RTD 测量寄存器位设置 (续)

寄存器位	2-WIRE RTD	3-WIRE RTD		4-WIRE RTD
		V ₁	V ₂	
STEPx_AINP[4:0]	00011b (AIN3)	00011b (AIN3)	00011b (AIN3)	00011b (AIN3)
STEPx_AINN[4:0]	00110b (AIN6)	00100b (AIN4)	00110b (AIN6)	00100b (AIN4)

如需详细了解 RTD 测量电路以及使用 TI ADC 的实现, 请参阅 [RTD 测量基本指南](#) 应用手册。使用精密 $\Delta-\Sigma$ ADC 进行 RTD 断线检测应用手册中讨论了使用与 ADS1x4S1x 中集成的功能类似的功能进行传感器故障检测的各种策略。此处提供了使用 C 代码的软件库, 展示了如何在主机控制器中实现 RTD 线性化算法。

9.2.1.3 应用性能曲线图

图 9-6 和图 9-7 展示了 4 线 Pt100 的测量结果。测量在 $T_A = 25^\circ\text{C}$ 时使用精密电阻器而非 4 线 Pt100 进行。图 9-6 展示了在未进行任何校准的情况下以及在系统偏移和增益校准之后的电阻测量误差。图 9-7 中相应的温度测量误差使用 NIST 表根据图 9-6 中的偏移和增益误差校正数据计算得出。

该设计符合 [设计要求](#) 中给出的所需温度测量精度。但是, 图 9-7 中显示的测量误差不包括 RTD 的误差。

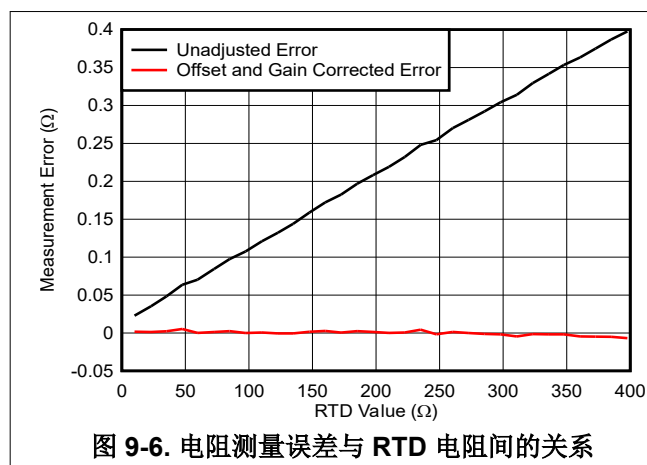


图 9-6. 电阻测量误差与 RTD 电阻间的关系

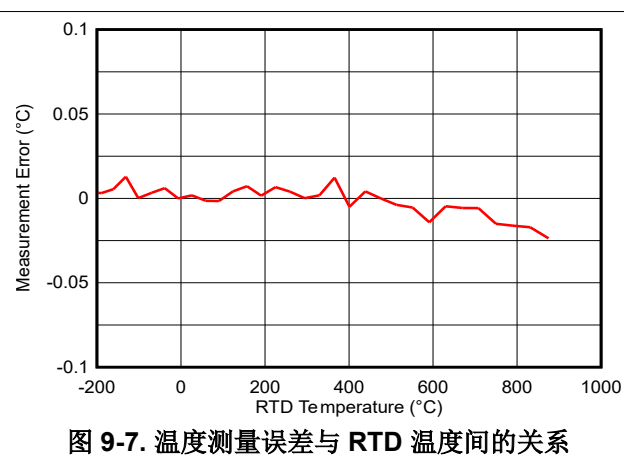


图 9-7. 温度测量误差与 RTD 温度间的关系

9.2.1.4 设计变体 — 使用两个 IDAC 实现自动引线补偿的 3 线 RTD 测量

图 9-5 中所示的电路实现需要进行两次测量来补偿 3 线 RTD 的引线电阻。或者, 利用第二个 IDAC 实现自动 3 线 RTD 引线补偿, 如图 9-8 所示, 这不需要单独的引线电阻测量步骤。

为此, 将 IDAC2 路由到 AIN7, 并将 AIN7 连接到端子连接到 AIN4 前面的串联电阻的点。在该配置中, 将两个激励电流值从 $400\ \mu\text{A}$ 更改为 $200\ \mu\text{A}$ (或将基准电阻值从 $4\text{k}\Omega$ 更改为 $2\text{k}\Omega$), 并将 PGA 增益从 10 更改为 20。AIN3 和 AIN4 之间的单次测量足以获得引线补偿 RTD 值。使用 [方程式 31](#) 来计算此实现中的 3 线 RTD 的电阻。

$$\text{Code} / 2^n = (R_{\text{RTD}} \times \text{Gain}) / (2 \times R_{\text{REF}}) \quad (31)$$

其中 n 遵循 [方程式 24](#) 的准则。

更多详细信息, 请参阅 [RTD 测量基本指南](#) 应用手册。

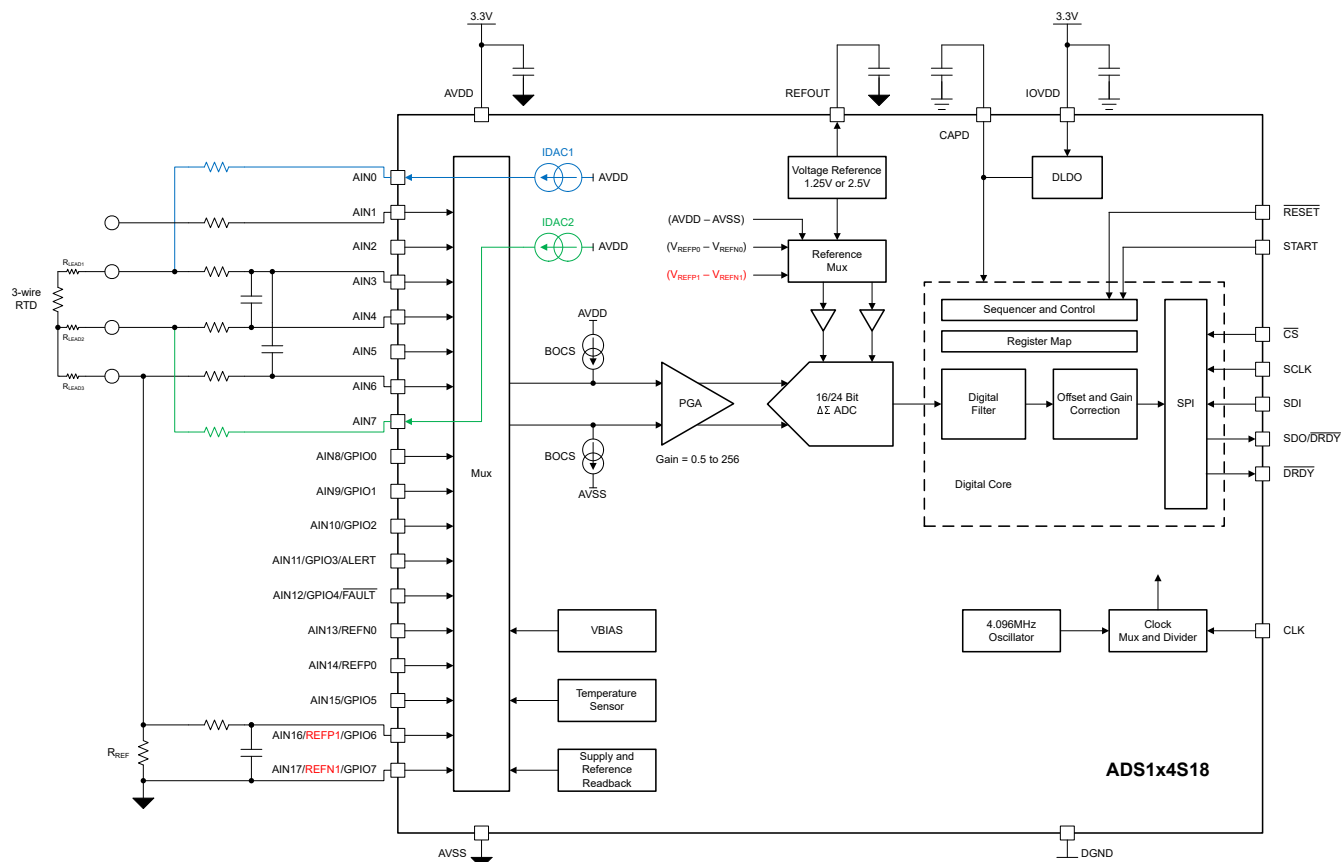


图 9-8. 使用两个 IDAC 进行自动引线补偿的 3 线 RTD 测量实现方案

9.2.2 使用 2 线 RTD 通过冷端补偿进行热电偶测量

图 9-9 展示了使用 2 线 RTD 进行冷端温度测量的热电偶测量实现方式。其他用来测量冷端温度的方法也可用于 ADS1x4S1x，例如热敏电阻（例如 TMP61）、模拟输出温度传感器（例如 LMT70A）或使用集成温度传感器。

方程式 32 提供了 ADC 代码与在 AIN4 和 AIN5 之间测量的热电偶电压 (V_{TC}) 之间的关系。

$$\text{Code} / 2^n = (V_{TC} \times \text{Gain}) / V_{REF} \quad (32)$$

其中 n 遵循 方程式 24 的准则。

该电路实现的一个重要方面是热电偶的偏置，旨在使热电偶端子上的电压满足 ADS1x4S1x 的输入电压要求。在此示例中，RC 滤波器前面的上拉和下拉电阻（通常在 $1\text{M}\Omega$ 至 $10\text{M}\Omega$ 的范围内）用于将热电偶输出电压偏置到 $AVDD/2$ 。同时，上拉电阻和下拉电阻可用作检测传感器连接是否开路的手段。在传感器连接开路的情况下，正模拟输入 (AIN4) 会拉至 $AVDD$ ，负模拟输入 (AIN5) 会拉至 GND 。这种情况会导致测量结果超出热电偶的正常测量范围。

还可以使用许多其他方法来偏置热电偶。例如，可以通过将 $REFOUT$ 连接到负热电偶端子而非下拉电阻来使用基准输出电压。如需详细了解热电偶测量电路以及使用 TI ADC 的实现，请参阅 [热电偶测量基本指南](#) 应用手册。此处提供了使用 C 代码的软件库，展示了如何在主机控制器中实现热电偶线性和冷端补偿算法。

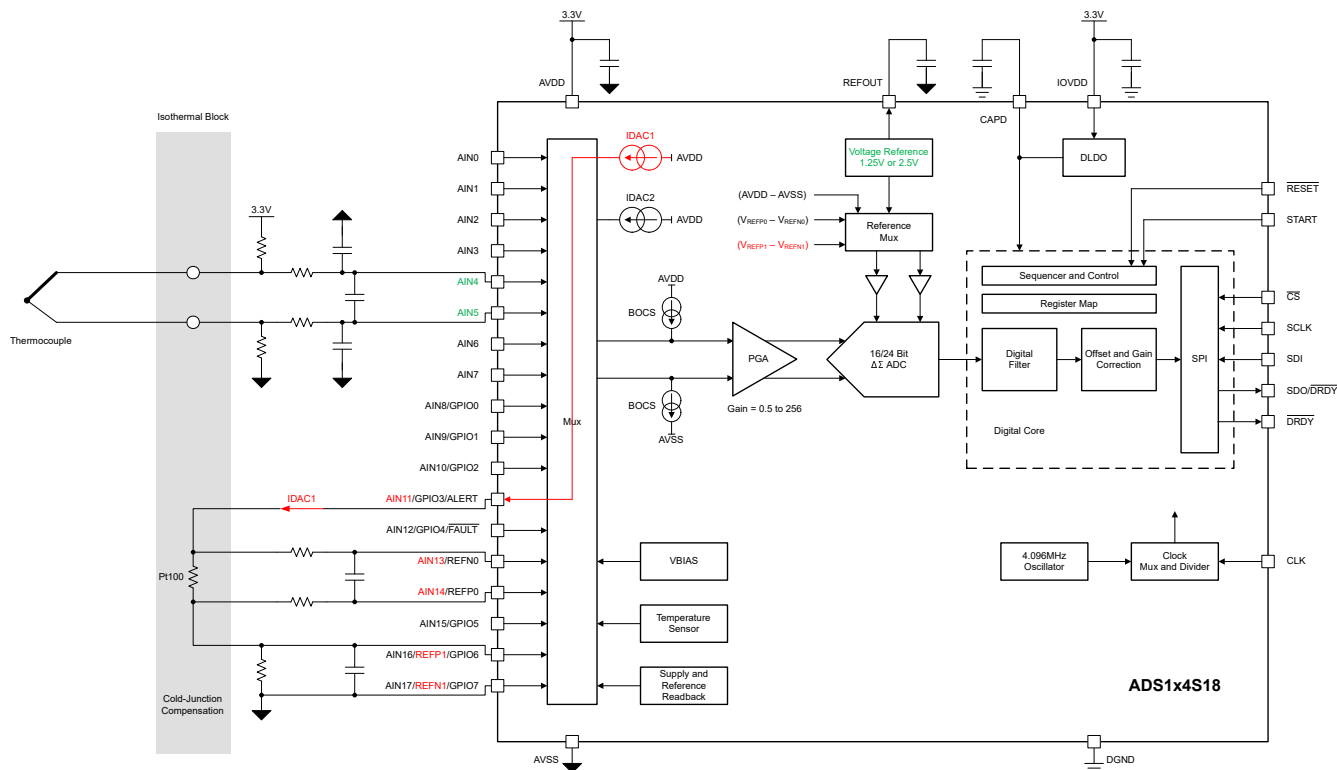


图 9-9. 使用 2 线 RTD 通过冷端补偿进行热电偶测量

9.2.3 具有温度补偿的电阻式电桥传感器测量

图 9-10 和图 9-11 显示了两个示例，说明如何使用 ADS1x4S1x 实现具有温度补偿的电阻式电桥传感器测量。在主机控制器中通常使用电桥温度来补偿电桥温漂。

图 9-10 的电路实现使用模拟电源来激励电桥传感器。使用电桥激励电压作为 ADC 的外部基准电压来实现比例式电桥测量。也可以使用其中一个集成激励电流源来激励电桥，而不使用模拟电源。方程式 33 至方程式 35 以压力传感器为例，展示了如何推导 ADC 输出代码与施加的电桥信号之间的关系。方程式 35 显示此比例式电路实现中的输出代码与激励电压无关。

$$V_{\text{Bridge}} = V_{\text{AIN6}} - V_{\text{AIN7}} = (\text{Pressure}_{\text{APL}} / \text{Pressure}_{\text{MAX}}) \times \text{Sensitivity} \times V_{\text{Excitation}} \quad (33)$$

$$\text{Code} / 2^n = V_{\text{Bridge}} \times \text{Gain} / V_{\text{REF}} \quad (34)$$

$$\text{Code} / 2^n = (\text{Pressure}_{\text{APL}} / \text{Pressure}_{\text{MAX}}) \times \text{Sensitivity} \times \text{Gain} \quad (35)$$

其中：

- $V_{\text{Excitation}} = V_{\text{REF}} = \text{AVDD}$
- 压力_{APL} = 施加的压力
- 压力_{MAX} = 压力传感器的最大测量值。表示电桥传感器输出满量程输出信号时的压力
- 灵敏度 = 电桥传感器的灵敏度，通常以 mV/V 的电桥激励指定
- n 遵循方程式 24 的指导原则

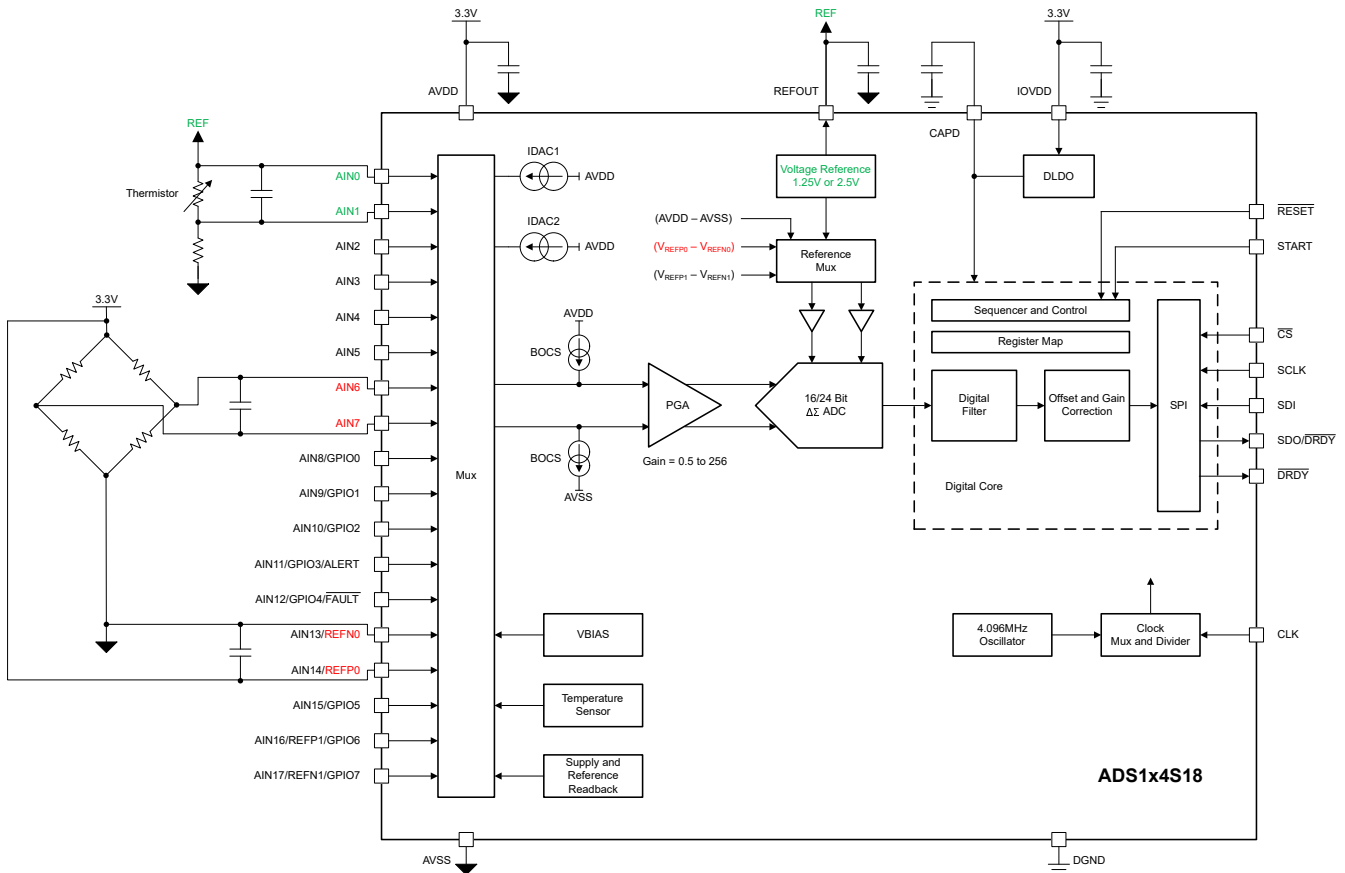


图 9-10. 电阻式电桥传感器测量示例 1
(使用模拟电源作为电桥激励，使用热敏电阻进行电桥温度测量)

该示例展示了用于测量电桥温度的热敏电阻。在本例中，使用基准电压输出来实现比例式热敏电阻测量。根据 [方程式 37](#) 得出的转换结果仅取决于偏置电阻器 (R_{BIAS}) 和 PGA 增益设置。

$$V_{Thermistor} = V_{AIN0} - V_{AIN1} = V_{REF} \times R_{Thermistor} / (R_{Thermistor} + R_{BIAS}) \quad (36)$$

$$Code / 2^n = (V_{Thermistor} \times Gain) / V_{REF} = (R_{Thermistor} \times Gain) / (R_{Thermistor} + R_{BIAS}) \quad (37)$$

其中 n 遵循 [方程式 24](#) 的准则。

[图 9-11](#) 展示了一种替代电路实现方案，其中基准输出用于激励电桥，而与温度相关的电桥电阻测量 ($AIN0$ 和 $AIN5$ 之间的测量) 用于确定电桥温度。与上面的热敏电阻测量类似，电桥电阻测量也是比例式，仅取决于偏置电阻和 PGA 增益设置，如 [方程式 38](#) 所示。

$$Code / 2^n = (R_{Bridge} \times Gain) / (R_{Bridge} + R_{BIAS}) \quad (38)$$

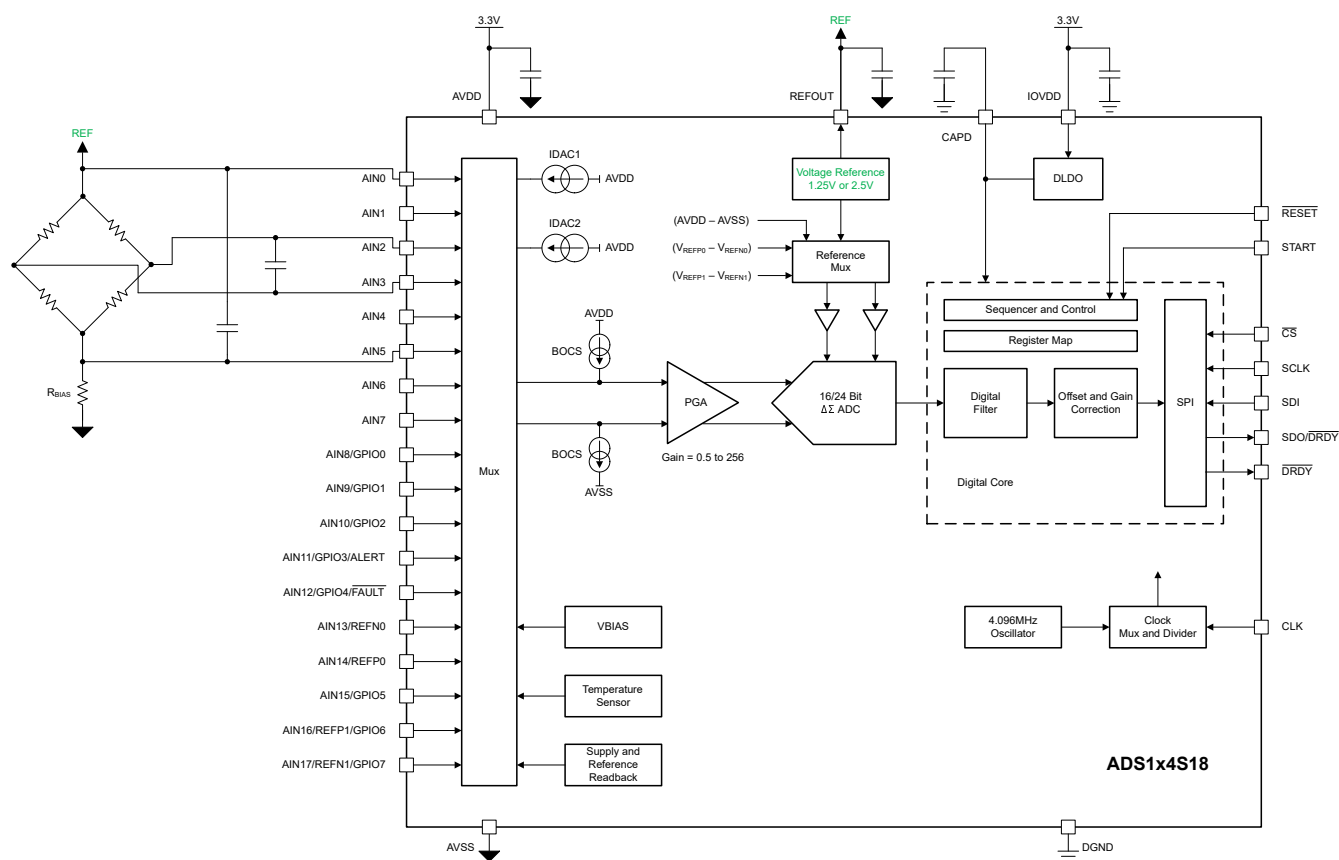


图 9-11. 电阻式电桥传感器测量示例 2
(使用基准输出作为电桥激励，电桥电阻作为温度测量)

对于需要定期将电桥传感器断电以实现省电的应用，使用其中一个 GPIO 输出来控制电桥传感器和 GND 之间的开关。

如需详细了解电阻式电桥传感器测量电路以及使用 TI ADC 的实现，请参阅 [电桥测量基本指南](#) 应用手册。

9.2.4 自主电源监控

由于 ADS1x4S1x 具有集成序列发生器和数字比较器，因此是实现自主电源监控功能的理想选择。图 9-12 展示了一个示例配置，该配置利用数字比较器 ALERT 输出来监控三个电源轨，从而向主机通知任何电源过压或欠压情况。主机在上电后配置 ADS114S18 并启动序列发生器。此后，无需主机与器件进行交互。主机仅监控 ALERT 引脚以获得有关任何电源故障情况的通知。

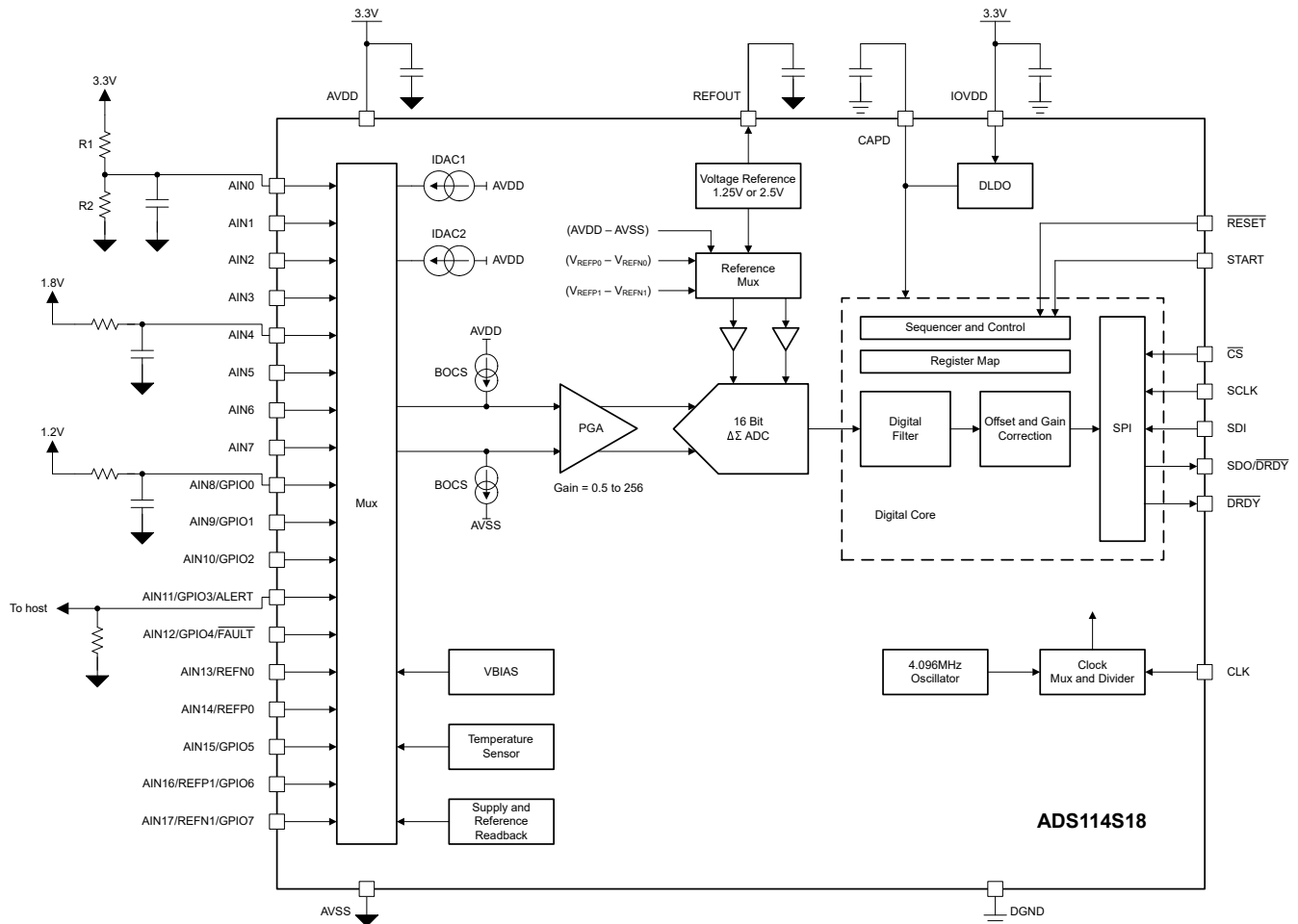


图 9-12. 电源监控示例

9.2.4.1 设计要求

表 9-3. 设计参数

设计参数	值
过压阈值 (3.3V 电源轨)	3.5V
欠压阈值 (3.3V 电源轨)	3.1V
欠压阈值 (1.8V 电源轨)	1.69V
欠压阈值 (1.2V 电源轨)	1.13V

9.2.4.2 详细设计过程

由于器件输入电压限制，使用 3.3V AVDD 电源为 ADS114S18 监控 3.3V 电源轨需要先衰减电源电压，然后再将信号馈送到 ADC 输入。请参阅 [建议运行条件](#) 表中的最大绝对输入电压规格。为了在设计中留出裕度，选择的电阻分压器值 R1 和 R2 应确保在 3.6V 电源轨电压下，模拟输入端的输入信号小于 2.5V。在此配置中，ADS114S18 可以使用增益 = 1 和内部 2.5V 基准来测量超过 3.5V 过压阈值的电源轨电压。使用 R1 = 50kΩ 和 R2 = 100kΩ 可将 3.3V 电压轨的标称 ADC 输入电压设置为 2.2V。3.5V 过压阈值可产生 2.33V 的输入电压、3.1V 欠压阈值和 2.07V 的输入电压。

该器件可以使用增益 = 1 和内部 2.5V 基准直接测量 1.8V 和 1.2V 电源轨，无需任何衰减。

在系统设计的下一步中，计算三个电压轨的数字比较器阈值。该设计采用 ADS114S18 的单极直接二进制编码，因为只需测量正输入电压。在此前提下，使用增益 = 1 和内部 2.5V 基准的 LSB 大小计算结果为：

$$\text{LSB size} = V_{\text{REF}} / (\text{Gain} \times 2^{16}) = 2.5\text{V} / 2^{16} = 38.15 \mu\text{V} \quad (39)$$

使用 [方程式 40](#) 来计算三个电压轨的数字比较器高阈值和低阈值代码值。

$$\text{Threshold Code} = V_{\text{Threshold}} / \text{LSB size} \quad (40)$$

例如，将 3.3V 电源轨欠压检测的数字比较器低阈值设置为 $2.07\text{V} / 38.15 \mu\text{V} = 54176$ ，这相当于十六进制代码 D3A0h。

接下来，选择序列发生器操作。此示例使用三个序列步骤，每个电源轨测量一个步骤。使用序列发生器模式 SEQ_MODE[1:0] = 11b 以实现不需要任何主机交互的自主电源轨监控器。该监控系统示例在切换到下一个电压轨测量之前，对每个电压轨进行四次连续的测量。比较器警报计数器阈值设置为两次，以便每个步骤上的两次连续测量值需要超过阈值，然后再使比较器跳变。

所需的速度模式和数字滤波器设置取决于所需的系统故障检测时间。

按照 [ALERT 输出](#) 部分所述，将 GPIO3 配置为低电平有效、推挽 ALERT 输出。此外，在 ALERT 引脚上添加一个下拉电阻器。在这种情况下，即使在 ADS114S18 断电或复位时，ALERT 引脚上的低电平也会向主机发出电源故障信号，因为 GPIO3 在器件复位期间恢复为高阻态 High-Z 输入。

[表 9-4](#) 总结了此示例的关键器件寄存器位设置。

表 9-4. 电源监控寄存器位设置

寄存器位	序列步骤 0 3.3V 电源轨	序列步骤 1 1.8V 电源轨	序列步骤 2 1.2V 电源轨
状态和通用配置页			
REF_VAL	1b (2.5V 内部基准)		
GPIO3_CFG[1:0]	10b (GPIO3 配置为推挽数字输出)		
ALERT_PIN_POL	0b (ALERT 输出是低电平有效)		
GPIO3_SRC	1b (COMP_ALERTn 标志控制 GPIO3 输出)		
SEQ_MODE[1:0]	11b (序列发生器持续启动新的序列运行)		
STEP_INIT[4:0]	00000b (在序列步骤 0 上启动初始序列)		
STEP_x_EN	STEP_0_EN = 1b	STEP_1_EN = 1b	STEP_2_EN = 1b

表 9-4. 电源监控寄存器位设置 (续)

寄存器位	序列步骤 0 3.3V 电源轨	序列步骤 1 1.8V 电源轨	序列步骤 2 1.2V 电源轨
步骤 x 配置页			
STEPx_AINP[4:0]	00000b (AIN0)	00100b (AIN4)	01000b (AIN8)
STEPx_AINN[4:0]	10010b (选择内部 AVSS 连接作为负输入)		
STEPx_REF_SEL[1:0]	00b (内部电压基准)		
STEPx_GAIN[3:0]	0001b (增益 = 1)		
STEPx_CODING	1b (单极标准二进制编码)		
STEPx_NUM_CONV[4:0]	00011b (每步四次连续转换)		
STEPx_COMP_HIGH_TH[15:0]	EEEFh (2.33V)	无关	无关
STEPx_COMP_LOW_TH[15:8]	D3A0h (2.07V)	AD0Eh (1.69V)	73B6h (1.13V)
STEPx_COMP_NUM[1:0]	01b (两次超过阈值的连续转换会触发数字比较器)		
STEPx_COMP_HIGH_TH_EN	1b	0b	0b
STEPx_COMP_LOW_TH_EN	1b		

9.3 电源相关建议

9.3.1 电源

该器件需要两个外部电源：模拟（AVDD 至 AVSS）和数字（IOVDD 至 DGND）。模拟电源可从数字电源中独立选择。此外，模拟电源同时提供单极（例如，AVDD = 3.3V、AVSS = 0V）和双极电源（例如，AVDD = 1.5V、AVSS = -1.5V）。也可以使用非对称双极模拟电源，例如 AVDD = 2V 和 AVSS = -1V。

IOVDD 电源设置串行接口引脚（ $\overline{\text{CS}}$ 、SCLK、SDI、SDO/ $\overline{\text{DRDY}}$ ）和 START、 $\overline{\text{RESET}}$ 、 $\overline{\text{DRDY}}$ 和 CLK 引脚的逻辑电平。AVDD 电源设置 GPIO（GPIO0 至 GPIO7）的逻辑电平。

集成的 DLDO 可为器件创建 1.4V 数字内核电源。

9.3.2 电源排序

电源可以按任何顺序排序，但是在任何情况下，任何模拟或数字输入都不得超过各自的模拟或数字电源电压和电流限制。在 IOVDD 电源稳定后等待 $t_{d(POR)}$ ，然后再与器件通信，以便完成上电复位过程。

9.3.3 电源去耦

良好的电源去耦对于实现卓越器件性能至关重要。AVDD 必须使用至少为 100nF 的电容器去耦合到 AVSS。IOVDD 必须使用至少为 100nF 的电容器去耦合到 DGND。此外，内部 DLDO 输出在 CAPD 和 DGND 之间需要一个 100nF 电容器。图 9-13 和图 9-14 分别显示了单极和双极模拟电源运行的典型电源去耦示例。

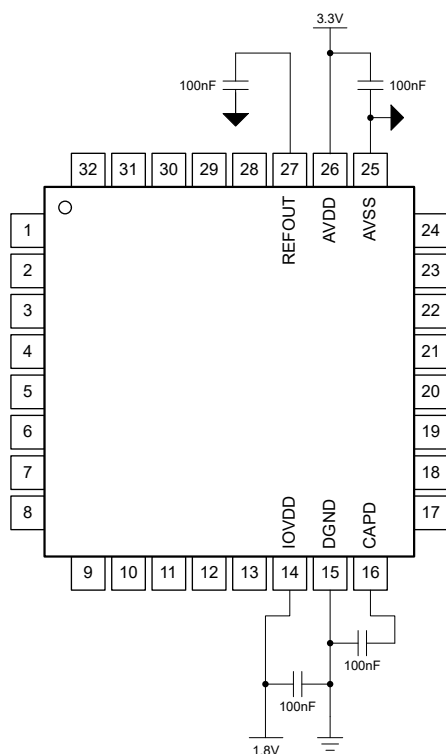


图 9-13. 电源去耦
单极模拟电源

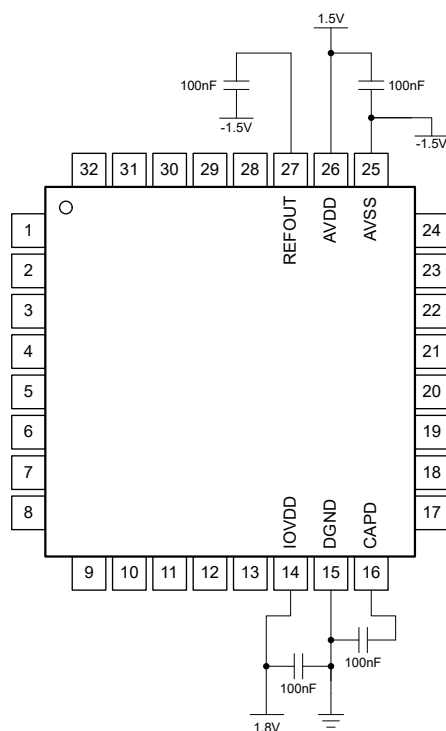


图 9-14. 电源去耦
双极模拟电源

使用低阻抗接头将电源旁路电容器放置在尽可能靠近器件电源引脚的位置。使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得增强的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

9.4 布局

9.4.1 布局指南

下面的 ADS1x4S1x 布局基本建议有助于达到可能的 ADC 最佳性能。

- 为了获得最佳性能，请将一个完整 PCB 层专用于接地平面，在该层上不要进行任何其他信号布线。
- 对电源去耦电容器使用陶瓷电容器（例如 X7R 级）。不建议使用高 K 电容器（Y5V）。使用短而直接的引线将所需的电容器放置在尽可能靠近器件引脚的位置。将旁路电容器放置在尽可能靠近器件的同一层上可产生最佳结果。
- 使数字引线远离所有模拟输入和相关元件，以尽可能地减少干扰。
- 提供良好的接地返回路径。信号返回电流在阻抗最小的路径上流动。如果接地平面被切割或有其他引线阻止电流在信号引线旁边流动，则必须找到另一条路径返回到源以完成电路。如果强制进入更大的路径，信号辐射的可能性会增加。敏感信号更容易受到 EMI 干扰的影响。
- 考虑布线的电阻和电感。通常，输入端的引线具有电阻，这些电阻会与输入偏置电流发生反应，从而导致额外的误差电压。减小源信号和返回电流所包围的环路面积可减小路径中的电感。减小电感可降低 EMI 拾取，并减小器件输入端的高频阻抗。
- 注意布局中的寄生热电偶。从每个模拟输入到传感器的不同金属元件可能会形成寄生热电偶，从而增加测量的偏移。对于测量源的两个输入，差分输入必须相匹配。
- 为模拟输入端的 RC 滤波器使用 C0G 电容器。
- 用接地填充物填充信号层上的空白区域。
- 应用外部时钟时，确保时钟没有过冲和毛刺。放置在时钟缓冲器上的拉电流终端电阻器通常有助于减少过冲。时钟输入上的干扰可能会导致转换数据中出现噪声。

9.4.2 布局示例

图 9-15 显示了使用单极模拟电源的 ADS1x4S1x 基本布局示例。

此布局示例使用了以下指南：

- 对 AVSS 和 DGND 使用单个公共 GND 平面。
- C20 和 C22 是电源去耦电容器。将 C20 和 C22 放置在尽可能靠近相应电源引脚的位置。
- 通过去耦电容器将 AVSS 和 DGND 引脚连接路由到接地平面。
- C21 是 CAPD 引脚到 DGND 之间的所需电容器。将 C21 放置在尽可能靠近 CAPD 引脚的位置。
- C23 是 REFOUT 引脚与 AVSS 之间所需的电容器。将 C23 放置在尽可能靠近 REFOUT 引脚的位置。
- 所示为差分模拟输入对 AIN0-AIN1、AIN2-AIN3、AIN4-AIN5、AIN6-AIN7、AIN8-AIN9、AIN10-AIN11、AIN13-AIN14 和 AIN16-AIN17 的差分 and 共模抗混叠 RC 滤波器。
- AIN12 和 AIN15 配置为相对于内部 AVSS 连接的单端测量。
- 显示了数字信号线的可选串联电阻器（R15、R16、R17、R18、R19、R21）。串联电阻器有助于通过平滑信号边沿来减少数字线路上的过冲和振铃。
- 由于使用了内部振荡器，CLK 引脚连接到 DGND。
- START 引脚连接到 DGND，因为使用 START 和 STOP 位控制序列发生器。
- $\overline{CS}$ 引脚有一个连接到 IOVDD 的可选上拉电阻器，以便在系统加电期间使 $\overline{CS}$ 保持高电平。
- RESET 引脚有一个连接到 IOVDD 的可选上拉电阻。

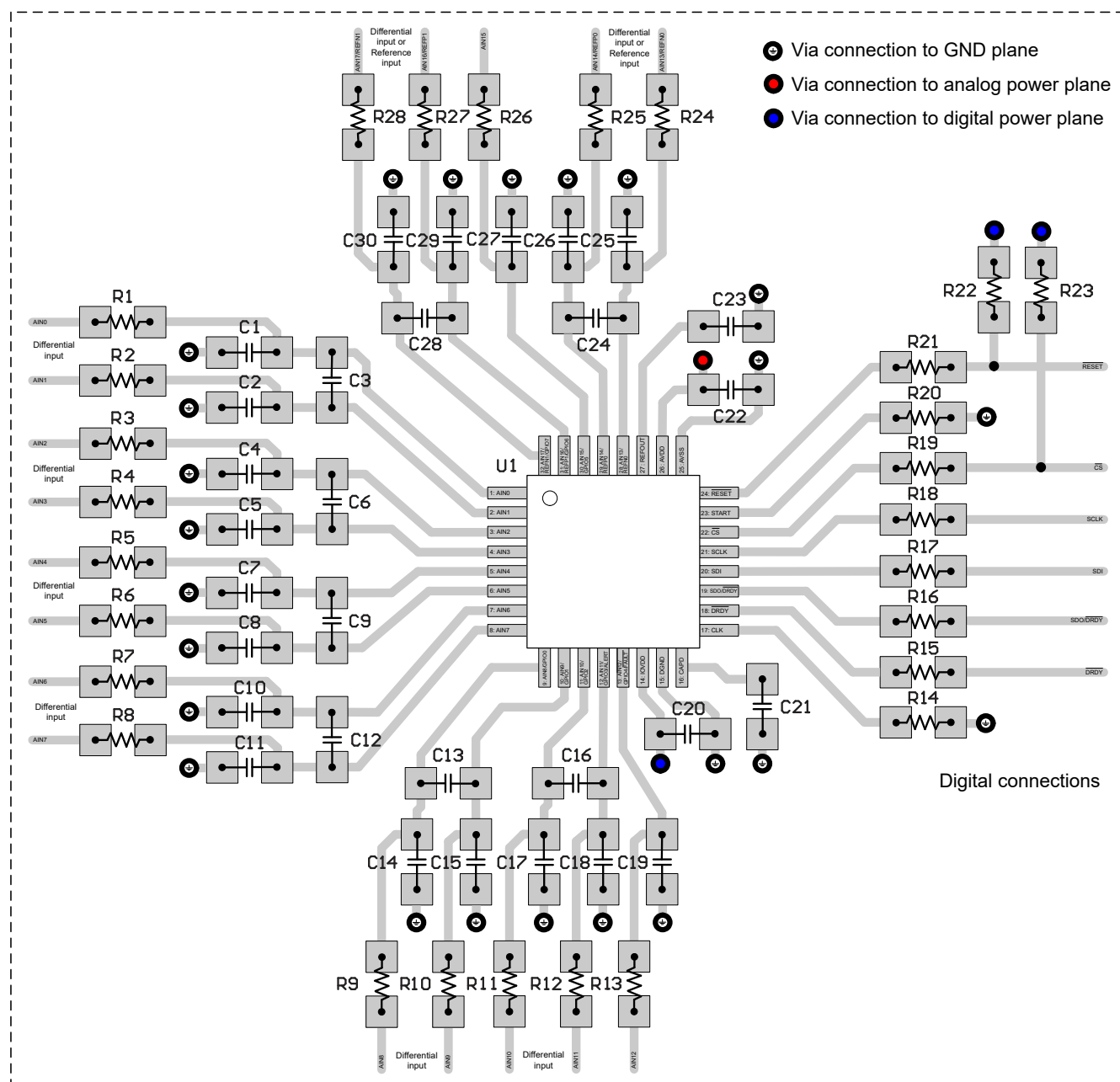


图 9-15. 布局示例

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 相关文档

1. 德州仪器 (TI), [RTD 测量基本指南](#)应用手册
2. 德州仪器 (TI), [使用精密 \$\Delta\$ - \$\Sigma\$ ADC 进行 RTD 断线检测](#)应用手册
3. 德州仪器 (TI), [热电偶测量基本指南](#)应用手册
4. 德州仪器 (TI), [电桥测量基本指南](#)应用手册
5. 德州仪器 (TI), [适用于精密 ADC 的温度传感器 \(RTD、热电偶、热敏电阻\) 固件](#)工具页面

10.2 接收文档更新通知

要接收文档更新通知, 请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
August 2026	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS114S18IPBSR	Active	Production	TQFP (PBS) 32	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-50 to 125	A114S18
ADS124S18IPBSR	Active	Production	TQFP (PBS) 32	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-50 to 125	A124S18

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

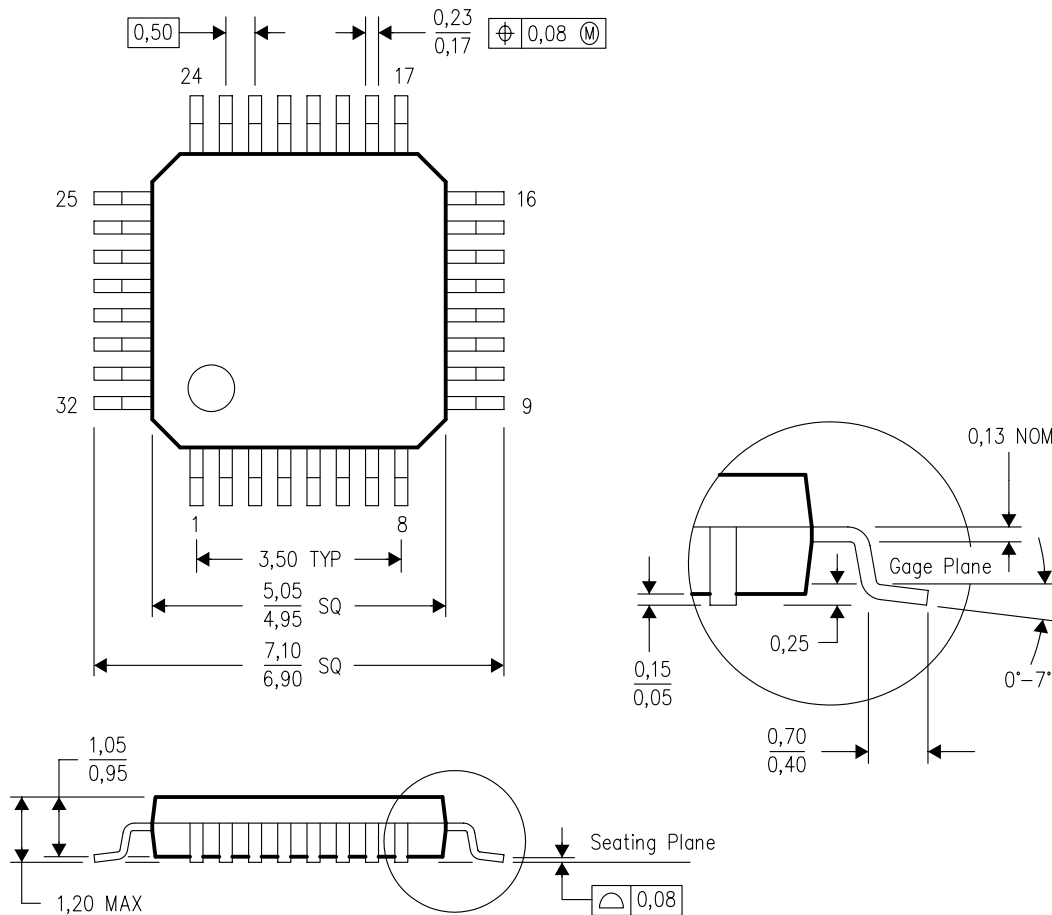
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PBS (S-PQFP-G32)

PLASTIC QUAD FLATPACK



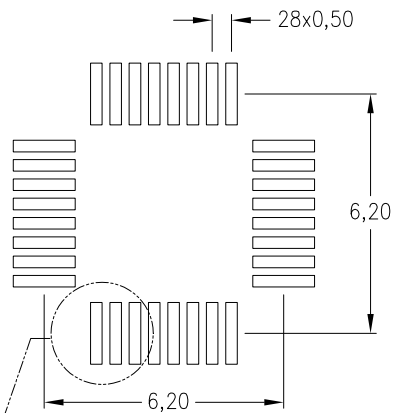
4087735/B 07/05

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.

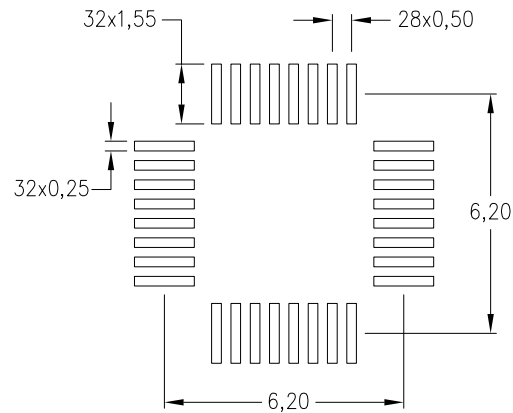
PBS (S-PQFP-G32)

PLASTIC QUAD FLATPACK

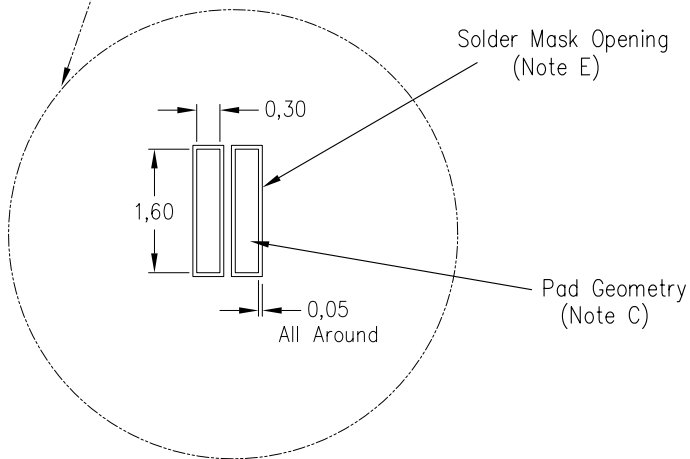
Example Board Layout
(Note C)



0,127mm Thick Stencil Design Example
(Note D)



Non Solder Mask
Defined Pad



4212229/A 10/11

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - E. Customers should contact their board fabrication site for recommended solder mask tolerances between and around signal pads.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月