ADC34RF72 四通道 16 位 1.5GSPS 射频采样数据转换器

1 特性

- 16 位四通道 1.5GSPS ADC
- 噪声频谱密度：−163.7dBFS/Hz
- 热噪声：75.6dBFS
- 噪声系数：14.4dB
- 单核（非交错）ADC 架构
- 孔径抖动：40fs
- 经缓冲的模拟输入
- 满量程输入：1.44Vpp (4.1dBm)
- 全功率输入带宽 (-3dB)：1.8GHz
- 超低近端残留相位噪声：
  - −140dBc/Hz（1GHz、10kHz 偏移）
- 频谱性能（f_{IN} = 1GHz，-1dBFS）：
  - SNR_{flat}：72.1dBFS
  - HD2、3：68dBc
  - 非 HD2、3：93dBFS
- 96 抽头/通道可编程 FIR 均衡器滤波器
- 12 位小数延迟滤波器
- 数字下变频器 (DDC)
  - 多达 8 个 DDC
  - 复杂输出：/2、/3、/4、/5 至 /32768 抽取
  - 48 位 NCO 相位同调跳频
  - 快速跳频：< 1 µs
- JESD204B/C 串行数据接口
  - 最大通道速率：24.75Gbps
- 误码率 (CER)：1E-15 错误/样本
- 功耗：1.1W/通道 (1.5GSPS)

2 应用

- 相控阵雷达
- 晶圆检查
- 频谱分析仪
- 软件定义无线电 (SDR)
- 电子战
- 高速数字转换器
- 电缆基础设施
- 通信基础设施

3 说明

ADC34RF72 是一款 16 位、1.5GSPS（非交错）、四通道模数转换器 (ADC)。该器件旨在实现超高信噪比 (SNR)，并提供 −163.7dBFS/Hz 的噪声频谱密度。使用内部均值计算模式时，NSD 可以改善至低至 −168.7dBFS/Hz。缓冲模拟输入支持 50Ω、100Ω 和 200Ω 的可编程内部端接阻抗，全功率输入带宽为 1.8GHz (−3dB)。

该器件包含多种数字处理功能，例如用于均衡的 96 抽头/通道可编程 FIR 滤波器、12 位小数延迟滤波器和多个数字下变频器 (DDC)。有八个 DDC 支持 /2、/3 和 /5 的抽取因子，最高可达 /32768。48 位 NCO 支持相位同调跳频。

ADC34RF72 支持 JESD204B/C 串行数据接口，具有高达 24.75Gbps 的接口速率。高能效 ADC 架构在 1.5Gsps 时的功耗为 1.1W/通道，并以较低的采样率提供功率调节。

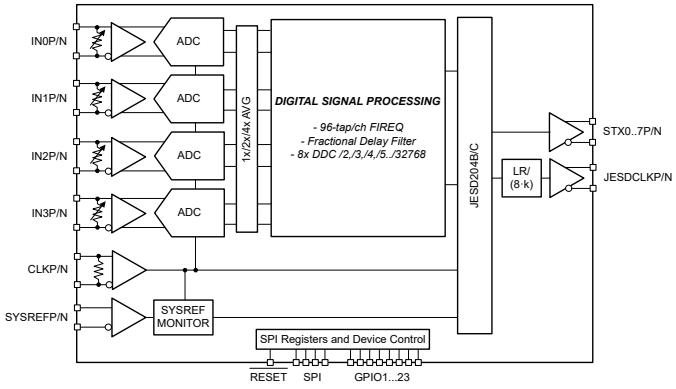
封装信息

器件型号	封装(1)	封装尺寸(2)
ADC34RF72	FCCSP	13.8mm x 13.8mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件比较

器件型号	通道数
ADC32RF72	2
ADC34RF72	4



方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 8
5.1 绝对最大额定值 8
5.2 ESD 等级 8
5.3 建议运行条件 8
5.4 热性能信息 9
5.5 电气特性 - 功耗 9
5.6 电气特性 - 直流规格 10
5.7 电气特性 - 交流规格 11
5.8 时序要求 12
5.9 典型特性 13
6 参数测量信息 19
7 详细说明 20
7.1 概述 20
7.2 功能方框图 20
7.3 特性说明 21
7.4 器件功能模式 57
7.5 编程 59
8 应用和实施 61
8.1 应用信息 61
8.2 典型应用：频谱分析仪 61
8.3 典型应用：时间域数字转换器 64
8.4 初始化设置 66
8.5 电源相关建议 67
8.6 布局 68
9 器件和文档支持 70
9.1 文档支持 70
9.2 接收文档更新通知 70
9.3 支持资源 70
9.4 商标 70
9.5 静电放电警告 70
9.6 术语表 70
10 修订历史记录 70
11 机械、封装和可订购信息 71

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	GND	STX5N	STX5P	STX6N	STX6P	GND	STX7N	STX7P	GND	STX3P	STX3N	GND	STX2P	STX2N	STX1P	STX1N	GND	A
B	STX4P	GND	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	AVDD12	GND	STX0P	B
C	STX4N	GPIO15	LVDSD29N	LVDSD26N	LVDSD23N	LVDSD21N	LVDSD18N	DVDD09	JESDCLKN	GND	LVDSD2N	LVDSD5N	LVDSD7N	LVDSD10N	LVDSD13N	GPIO22	STX0N	C
D	GND	GPIO16	LVDSD29P	LVDSD26P	LVDSD23P	LVDSD21P	LVDSD18P	DVDD09	JESDCLKP	GND	LVDSD2P	LVDSD5P	LVDSD7P	LVDSD10P	LVDSD13P	GPIO23	GND	D
E	LVDS DCLK1P	LVDSD31N	LVDSD28N	LVDSD25N	LVDSD22N	LVDSD20N	LVDSD17N	DVDD09	AVDD18	GND	LVDSD1N	LVDSD4N	LVDSD6N	LVDSD9N	LVDSD12N	LVDSD15N	LVDS DCLK0P	E
F	LVDS DCLK1N	LVDSD31P	LVDSD28P	LVDSD25P	LVDSD22P	LVDSD20P	LVDSD17P	DVDD09	AVDD12	GND	LVDSD1P	LVDSD4P	LVDSD6P	LVDSD9P	LVDSD12P	LVDSD15P	LVDS DCLK0N	F
G	LVDS FCLK1P	LVDSD30N	LVDSD27N	LVDSD24N	GND	LVDSD19N	LVDSD16N	DVDD09	GND	GND	LVDSD0N	LVDSD3N	GND	LVDSD8N	LVDSD11N	LVDSD14N	LVDS FCLK0P	G
H	LVDS FCLK1N	LVDSD30P	LVDSD27P	LVDSD24P	AVDD18	LVDSD19P	LVDSD16P	DVDD09	GND	GND	LVDSD0P	LVDSD3P	AVDD18	LVDSD8P	LVDSD11P	LVDSD14P	LVDS FCLK0N	H
J	$\overline{\text{RESET}}$	GPIO12	GPIO9	$\overline{\text{SYNC}}$	NC	GND	GND	DVDD09	GND	GND	GND	GND	AVDD18	NC	GPIO3	$\overline{\text{SEN}}$	GPIO19	J
K	NC	GPIO13	GPIO10	GPIO1	NC	GND	GND	DVDD09	GND	GND	GND	GND	DVDD09	NC	SCLK	GPIO17	GPIO20	K
L	NC	GPIO14	SDOUT	GPIO8	AVDD GPIO18	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	DVDD09	GPIO2	SDIO	GPIO18	GPIO21	L
M	GND	GND	AVDD12	AVDD12	GND	AVDD18	GND	AVDD12	GND	GND	AVDD12	GND	AVDD18	AVDD12	AVDD12	GND	GND	M
N	AVDD18	GND	AVDD12	AVDD12	GND	AVDD18	TIME STAMPP	AVDD12	GND	GND	AVDD12	GND	AVDD18	AVDD12	AVDD12	GND	AVDD18	N
P	IN2N	GND	AVDD12	AVDD12	GND	AVDD18	TIME STAMPN	AVDD12	GND	GND	AVDD12	GND	AVDD18	AVDD12	AVDD12	GND	IN0P	P
R	IN2P	GND	AVDD12	AVDD12	GND	AVDD18	GND	GND	GND	GND	GND	GND	AVDD18	AVDD12	AVDD12	GND	IN0N	R
T	AVDD18	GND	AVDD18	AVDD18	GND	GND	VCM	AVDDCLK18	AVDDCLK12	AVDDCLK12	AVDDCLK18	VCM	GND	AVDD18	AVDD18	GND	AVDD18	T
U	GND	GND	IN3N	IN3P	GND	SYSREFN	SYSREFP	GND	CLKN	CLKP	GND	AVDDCLK12	GND	IN1N	IN1P	GND	GND	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

图 4-1. 289 焊球倒装芯片 BGA
（顶视图）

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
AVDD12	B3、B4、B5、B6、B7、B8、B9、B10、B11、B12、B13、B14、B15、F9、M3、M4、M8、M11、M14、M15、N3、N4、N8、N11、N14、N15、P3、P4、P8、P11、P14、P15、R3、R4、R14、R15	P	模拟 1.2V 电源。建议使用低噪声 LDO。
AVDDCLK12	T9、T10、U12	P	时钟电源，1.2V。建议使用低噪声 LDO
AVDD18	E9、H5、H13、J13、M6、M13、N1、N6、N13、N17、P6、P13、R6、R13、T1、T3、T4、T14、T15、T17	P	模拟 1.8V 电源。建议使用低噪声 LDO
AVDDCLK18	T8、T11	P	时钟电源，1.8V。建议使用低噪声 LDO
AVDDGPIO18	L5	P	用于 GPIO 引脚的 1.8V 电源。
CLKN、CLKP	U9、U10	I	差分时钟输入。内部差分 100Ω 端接和自偏置至 0.7V 的共模电压。应该在外部进行交流耦合。
DVDD09	C8、D8、E8、F8,G8、H8、J8,K8、K13、L6,L7、L8,L9、L10、L11、L12、L13	P	数字电源，0.9V。建议使用直流/直流开关稳压器。
GND	A1、A6、A9、A12、A17、B2、B16、C10、D1、D10、D17、E10、F10、G5、G9、G10、G13、H9、H10、J6、J7、J9、J10、J11、J12、K6、K7、K9、K10、K11、K12、M1、M2、M5、M7、M9、M10、M12、M16、M17、N2、N5、N9、N10、N12、N16、P2、P5、P9、P10、P12、P16、R2、R5、R7、R8、R9、R10、R11、R12、R16、T2、T5、T6、T13、T16、U1、U2、U5、U8、U11、U13、U16、U17	G	接地，0V
GPIO1、GPIO2、GPIO3	K4、L14、J15	I/O	可以通过 SPI 写入为 GPIO 引脚分配不同的功能。请参阅 GPIO 控制。
GPIO8、GPIO9、GPIO10	L4、J3、K3、	I/O	
GPIO12 至 GPIO23	J2、K2、L2、C2、D2、K16、L16、J17、K17、L17、C16、D16	I/O	
IN0N、IN0P	R17、P17	I	差分模拟输入，通道 0。内部可编程 50Ω、100Ω 和 200Ω 端接。
IN1N、INIP	U14、U15	I	差分模拟输入，通道 1。内部可编程 50Ω、100Ω 和 200Ω 端接。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	说明
名称	编号		
IN2N、IN2P	P1、R1	I	差分模拟输入，通道 2。内部可编程 50Ω、100Ω 和 200Ω 端接。
IN3N、IN3P	U3、U4	I	差分模拟输入，通道 3。内部可编程 50Ω、100Ω 和 200Ω 端接。
JESDCLKN、JESDCLKP	C9、D9	O	差分 JESD 输出时钟。LVDS 逻辑电平。可配置为串行器/解串器通道速率除以 (8 x k)。默认情况下，该功能会断电，引脚可以保持悬空。该输出时钟直接源自内部串行器/解串器 PLL，不提供确定性延迟。
LVDSDCLK0N、LVDSDCLK0P	F17、E17	O	差分 LVDS 位时钟输出。 在软件中尚不受支持。保持为“无连接”
LVDSDCLK1N、LVDSDCLK1P	F1、E1	O	
LVDSFCLK0N、LVDSFCLK0P	H17、G17	O	差分 LVDS 帧时钟输出。 在软件中尚不受支持。保持为“无连接”
LVDSFCLK1N、LVDSFCLK1P	H1、G1	O	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	说明
名称	编号		
LVDSD0N、LVDSD0P	G11、H11	O	LVDS 输出接口 在软件中尚不受支持。保持为“无连接”
LVDSD1N、LVDSD1P	E11、F11	O	
LVDSD2N、LVDSD2P	C11、D11	O	
LVDSD3N、LVDSD3P	G12、H12	O	
LVDSD4N、LVDSD4P	E12、F12	O	
LVDSD5N、LVDSD5P	C12、D12	O	
LVDSD6N、LVDSD6P	E13、F13	O	
LVDSD7N、LVDSD7P	C13、D13	O	
LVDSD8N、LVDSD8P	G14、H14	O	
LVDSD9N、LVDSD9P	E14、F14	O	
LVDSD10N、LVDSD10P	C14、D14	O	
LVDSD11N、LVDSD11P	G15、H15	O	
LVDSD12N、LVDSD12P	E15、F15	O	
LVDSD13N、LVDSD13P	C15、D15	O	
LVDSD14N、LVDSD14P	G16、H16	O	
LVDSD15N、LVDSD15P	E16、F16	O	
LVDSD16N、LVDSD16P	G7、H7	O	
LVDSD17N、LVDSD17P	E7、F7	O	
LVDSD18N、LVDSD18P	C7、D7	O	
LVDSD19N、LVDSD19P	G6、H6	O	
LVDSD20N、LVDSD20P	E6、F6	O	
LVDSD21N、LVDSD21P	C6、D6	O	
LVDSD22N、LVDSD22P	E5、F5	O	
LVDSD23N、LVDSD23P	C5、D5	O	
LVDSD24N、LVDSD24P	G4、H4	O	
LVDSD25N、LVDSD25P	E4、F4	O	
LVDSD26N、LVDSD26P	C4、D4	O	
LVDSD27N、LVDSD27P	G3、H3	O	
LVDSD28N、LVDSD28P	E3、F3	O	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
LVDSD29N、LVDSD29P	C3、D3	O	LVDS 输出接口 在软件中尚不受支持。保持为“无连接”
LVDSD30N、LVDSD30P	G2、H2	O	
LVDSD31N、LVDSD31P	E2、F2	O	
NC	J5、J14、K1、K5、K14、L1	-	不连接
$\overline{\text{RESET}}$	J1	I	硬件复位。低电平有效。该引脚具有内部 10kΩ 下拉电阻器至 AVDD18。
SCLK	K15	I	串行接口时钟输入。该引脚具有内部 10kΩ 下拉电阻器。
SDIO	L15	I/O	串行接口数据输入/输出。该引脚具有内部 10kΩ 下拉电阻器。
SDOUT	L3	O	串行接口数据输出。
$\overline{\text{SEN}}$	J16	I	串行接口使能。低电平有效。该引脚具有内部 10kΩ 下拉电阻器至 AVDD18。
STX0N、STX0P	C17、B17	O	差分高速串行 JESD204B/C 输出数据接口，通道 0
STX1N、STX1P	A16、A15	O	差分高速串行 JESD204B/C 输出数据接口，通道 1
STX2N、STX2P	A14、A13	O	差分高速串行 JESD204B/C 输出数据接口，通道 2
STX3N、STX3P	A11、A10	O	差分高速串行 JESD204B/C 输出数据接口，通道 3
STX4N、STX4P	C1、B1	O	差分高速串行 JESD204B/C 输出数据接口，通道 4
STX5N、STX5P	A2、A3	O	差分高速串行 JESD204B/C 输出数据接口，通道 5
STX6N、STX6P	A4、A5	O	差分高速串行 JESD204B/C 输出数据接口，通道 6
STX7N、STX7P	A7、A8	O	差分高速串行 JESD204B/C 输出数据接口，通道 7
$\overline{\text{SYNC}}$	J4	I	JESD 低电平有效 SYNC 输入。当 SYNC 为低电平且器件已配置时，器件在 JESD 通道上发送 K 字符。
SYSREFN、SYSREFP	U6、U7	I	差分 SYSREF 输入（100Ω 差分终端，自偏置到 1.2V）。支持交流和直流耦合。
TIMESTAMPN、TIMESTAMPP	P7、N7	I	在软件中尚不受支持。可连接至 GND。
VCM	T7、T12	O	共模电压基准输出。两个引脚在内部短接在一起。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数	测试条件	最小值	最大值	单位
电源电压范围，AVDD18		-0.5	2.1	V
电源电压范围，AVDD12		-0.3	1.4	
电源电压范围，AVDDCLK18		-0.5	2.1	
电源电压范围，AVDDCLK12		-0.3	1.4	
电源电压范围，DVDD09		-0.3	1.2	
电源电压范围，AVDDGPIO18		-0.5	2.1	
施加到输入引脚的电压	IN0P/N、IN1P/N、IN2P/N、IN3P/N	-0.5	2.1	
	CLKP/N	-0.3	1.4	
	SYSREFP/N、TSTAMPP/N	-0.3	2.1	
	GPIO0..23、$\overline{\text{RESET}}$、SCLK、$\overline{\text{SEN}}$、SDIO、$\overline{\text{SYNC}}$	-0.5	2.1	
结温，T_J			125	℃
贮存温度，T_{stg}		-65	150	

(1) 应力超出*绝对最大额定值*中列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)	150	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
AVDD18	1.8V 模拟电源		1.75	1.8	1.85	V
AVDD12	1.2V 模拟电源		1.175	1.2	1.225	
AVDDCLK18	1.8V 时钟电源		1.75	1.8	1.85	
AVDDCLK12	1.2V 时钟电源		1.175	1.2	1.225	
DVDD09	0.9V 数字电源		0.875	0.9	0.925	
AVDDGPIO18	1.8V GPIO 电源		1.75	1.8	1.85	
T_A	自然通风条件下的工作温度		-40		105	℃
T_J	工作结温				110(1)	

(1) 长时间高于此结温使用可能会增加器件的时基故障 (FIT) 率。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		ADC34RF72 ANH (BGA) 289 焊球	单位
$R_{\Theta JA}$	结至环境热阻	15.4	℃/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	0.5	°C/W
$R_{\Theta JB}$	结至电路板热阻	4.2	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	4.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告 (SPRA953)。

5.5 电气特性 - 功耗

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入条件下指定。

参数		测试条件	最小值	典型值	最大值	单位
I_{AVDD18}	电源电流，1.8V 模拟电源	旁路模式 LMFS = 8-4-1-1		600	750	mA
I_{AVDD12}	电源电流，1.2V 模拟电源			1300	1850	
$I_{AVDDCLK18}$	电源电流，1.8V 时钟电源			110	200	
$I_{AVDDCLK12}$	电源电流，1.2V 时钟电源			90	290	
I_{DVDD09}	电源电流，0.9V 数字电源			1600	2000	
$I_{AVDDGPIO18}$	电源电流，1.8V GPIO 电源			5		
P_{DIS}	功率耗散			4.4		W
断电模式						
P_{DIS}	快速断电模式功耗	快速唤醒时间		2.2		W
P_{DIS}	全局断电模式功耗			0.4		

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性 - 直流规格

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入条件下指定。

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
	无丢码		16			位
DNL	微分非线性	F_{IN} = 10MHz		0.3		LSB
INL	积分非线性	F_{IN} = 10MHz		2.5		LSB
V_{OS_ERR}	偏移误差			0.9		%FSR
$GAIN_{ERR}$	增益误差			1.0		%FSR
$GAIN_{Matching}$	通道间增益匹配			0.1		dB
ADC 模拟输入（IN0P/N、IN1P/N、IN2P/N、IN3P/N）						
FS	满量程输入	差分		1.4375		Vpp
V_{ICM}	输入共模电压		1.25	1.35	1.45	V
Z_{IN}	差分输入阻抗	100MHz 处的差分阻抗		100		Ω
V_{OCM}	输出共模电压			1.35		V
BW	模拟输入带宽 (-3dB)			1.8		GHz
CMRR	共模抑制比	F_{IN} = 100MHz		30		dB
时钟输入 (CLKP/N)						
输入时钟频率			500		1500	MHz
V_{ID}	差分输入电压		0.6	2.0	2.8	Vpp
V_{ICM}	输入共模电压			0.7		V
Z_{IN}	差分输入阻抗	1.5GHz 处的差分阻抗		100		Ω
时钟占空比			30	50	70	%
SYSREF 输入 (SYSREFP/N)						
V_{ID}	差分输入电压		350	450	800	mVpp
V_{ICM}	输入共模电压		1.05	1.2	1.325	V
数字输入（GPIO1..23、$\overline{RESET}$、SCLK、$\overline{SEN}$、SDIO、$\overline{SYNC}$）						
V_{IH}	高电平输入电压		1.15			V
V_{IL}	低电平输入电压				0.65	V
I_{IH}	高电平输入电流		-250		250	uA
I_{IL}	低电平输入电流		-250		250	uA
C_I	输入电容			2		pF
数字输出（SDIO、SDOUT）						
V_{OH}	高电平输出电压	I_{LOAD} = -400 µA	AVDDGPIO18 – 0.1	AVDDGPIO18		V
V_{OL}	低电平输出电压	I_{LOAD} = 400 µA			0.1	V
CML 串行器/解串器输出：STX[0..7]P/N						
V_{OD}	串行器/解串器发送器输出振幅	差分峰峰值		950		mVpp
V_{OCM}	串行器/解串器发送器输出共模			450		mV
Z_{TX}	串行器/解串器发送器单端终端阻抗			50		Ω
	发送器短路电流	发送器引脚短接至 –0.25V 和 1.45V 之间的任何电压	-100		100	mA

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性 - 交流规格

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、100Ω 端接、DDC 旁路模式、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入条件下指定。

参数		测试条件	最小值(2)	典型值	最大值	单位
交流精度						
NSD_{flat}	噪声频谱密度	f_{IN} = 600MHz，A_{IN} = -20dBFS		-163.7		dBFS/Hz
NF	噪声系数（100Ω 端接）	f_{IN} = 600MHz，A_{IN} = -20dBFS		14.4		dB
SNR	信噪比	f_{IN} = 100MHz		73.0		dBFS
SNR_{flat} (1)	在奈奎斯特区域内从 100MHz 到 FS/2 测量的信噪比	f_{IN} = 100MHz	72.0	75.3		dBFS
		f_{IN} = 600MHz		73.4		
		f_{IN} = 600MHz，A_{IN} = -20dBFS		75.5		
		f_{IN} = 900MHz		72.1		
		f_{IN} = 1.4GHz		69.0		
$SINAD_{flat}$ (1)	信噪比和失真比	f_{IN} = 100MHz		74.3		dBFS
ENOB	有效位数	f_{IN} = 100MHz		11.8		位
THD	总谐波失真（前五个谐波）	f_{IN} = 100MHz		82		dBc
		f_{IN} = 600MHz		74		
		f_{IN} = 900MHz		68		
		f_{IN} = 1.4GHz		57		
HD2	第二谐波失真	f_{IN} = 100MHz	74	88		dBc
		f_{IN} = 600MHz		77		
		f_{IN} = 900MHz		74		
		f_{IN} = 1.4GHz		64		
HD3	第三谐波失真	f_{IN} = 100MHz	74	83		dBc
		f_{IN} = 600MHz		77		
		f_{IN} = 900MHz		68		
		f_{IN} = 1.4GHz		58		
非 HD2,3	无杂散动态范围（不包括 HD2 和 HD3）	f_{IN} = 100MHz	80	95		dBFS
		f_{IN} = 600MHz		90		
		f_{IN} = 900MHz		93		
		f_{IN} = 1.4GHz		79		
IMD3	双音互调失真	f_1 = 100MHz，f_2 = 200MHz，A_{IN} = -7dBFS/单音		89		dBFS
		f_1 = 0.9GHz，f_2 = 1.0GHz，A_{IN} = -7dBFS/单音		76		

(1) 有关 SNR_{flat} 和 NSD_{flat} 的详细说明，请参阅参数测量信息
(2) SNR_{flat}、HD3 和非 HD23 的最小值由最终测试确定；HD2 由工作台表征确定。

Copyright © 2025 Texas Instruments Incorporated

5.8 时序要求

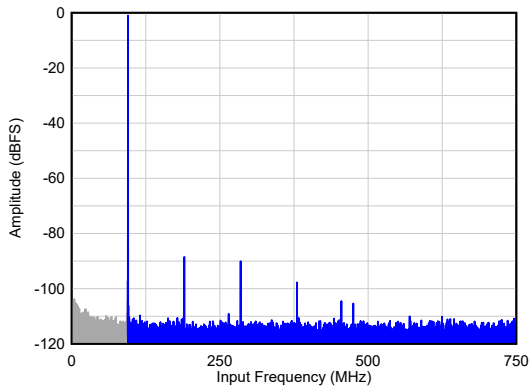
最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、DDC 旁路模式、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入条件下指定。

参数		测试条件	最小值	标称值	最大值	单位
ADC 时序规格						
T_{AD}	孔径延迟			0.15		ns
	孔径延迟变化			0.05		ns
T_A	孔径抖动			40		fs
CER	误码率			1e-15		错误/样本
	唤醒时间	快速断电（JESD 保持活动状态）后数据有效的时间（数据表值的 SNR 在 2dB 以内）			5	us
延时：t_{PD} + t_{ADC}						
t_{PD}	传播延迟			1		ns
t_{ADC}	从采样瞬间到 JESD 输出的 ADC 延时	DDC 旁路、LMFS = 8411		524		ADC 时钟周期
串行编程接口（SCLK、SEN、SDIO）- 输入						
$f_{CLK(SCLK)}$	串行时钟频率		1		50	MHz
$t_{S(SEN)}$	SEN 到 SCLK 的上升沿		10			ns
$t_{H(SEN)}$	通过 SCLK 上升沿进行 SEN		10			ns
$t_{SU(SDIO)}$	SDIO 到 SCLK 的上升沿		10			ns
$t_{H(SDIO)}$	通过 SCLK 上升沿进行 SDIO		10			ns
串行编程接口（SDIO、SDOUT）- 输出						
$t_{(OZD)}$	SDIO 三态到被驱动				10	ns
$t_{(ODZ)}$	SDIO 数据到三态				14	ns
$t_{(OD)}$	从 SCLK 的下降沿到 SDIO 有效				10	ns
时序：SYSREFP/N						
$t_{s(SYSREF)}$	建立时间，SYSREFP/N 有效至 CLKP/N 上升沿			50		ps
$t_{h(SYSREF)}$	保持时间，SYSREFP/N 有效至 CLKP/N 上升沿			50		ps
CML 串行器/解串器输出：STX[0..7]P/N						
f_{Serdes}	串行器/解串器比特率		4.0		24.75	Gbps
R_J	随机抖动			0.45		ps
D_J	确定性抖动			12.5		ps
T_J	总抖动、峰峰值			19.7		ps

Copyright © 2025 Texas Instruments Incorporated

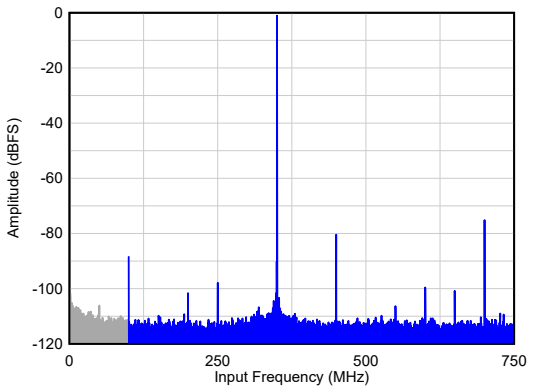
5.9 典型特性

除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入、100Ω 端接条件下测得



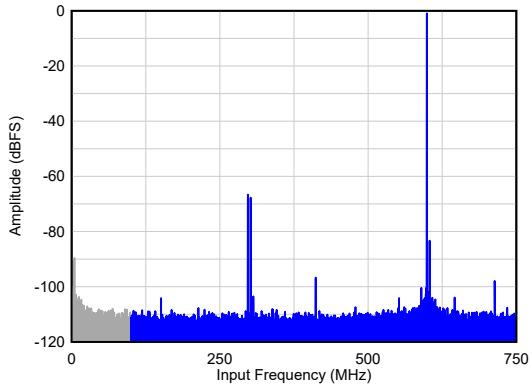
SNR_{flat} = 74.6dBFS

图 5-1. F_{IN} = 100MHz 时的单音 FFT



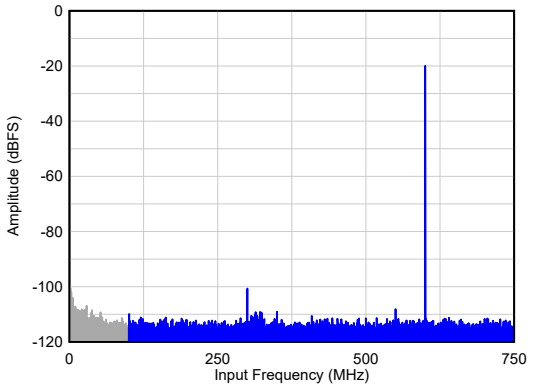
SNR_{flat} = 73.7dBFS

图 5-2. F_{IN} = 300MHz 时的单音 FFT



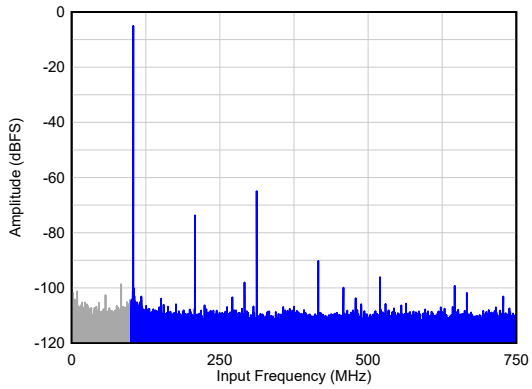
SNR_{flat} = 71.5dBFS

图 5-3. F_{IN} = 900MHz 时的单音 FFT



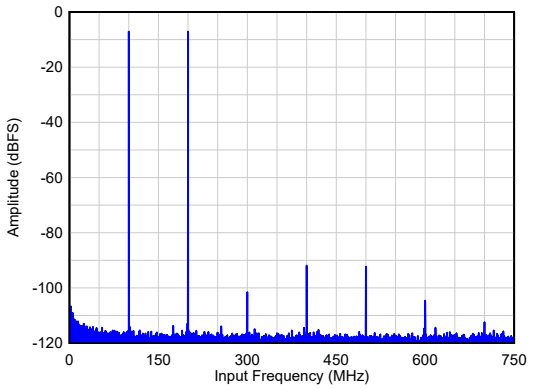
SNR_{flat} = 74.6dBFS、A_{IN} = -20dBFS

图 5-4. F_{IN} = 900MHz 时的单音 FFT



SNR_{flat} = 67.8dBFS

图 5-5. F_{IN} = 1400MHz 时的单音 FFT



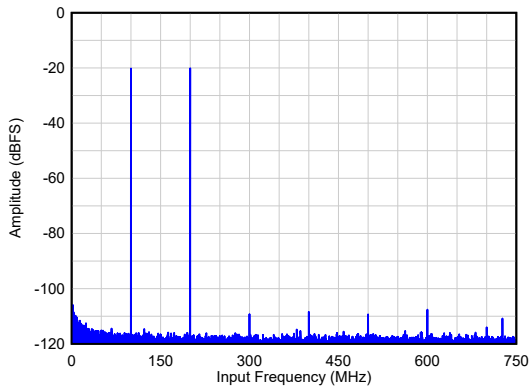
A_{IN} = -7dBFS/音

图 5-6. F_{IN} = 100MHz/200MHz 时的双音 FFT

Copyright © 2025 Texas Instruments Incorporated

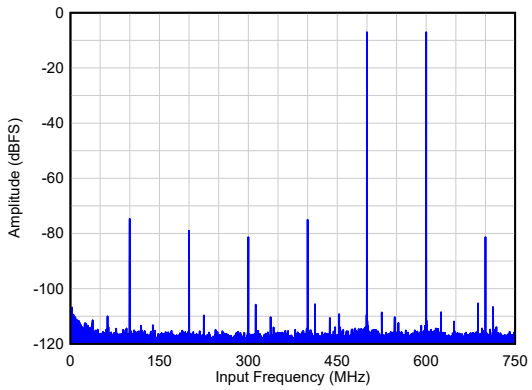
5.9 典型特性（续）

除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入、100Ω 端接条件下测得



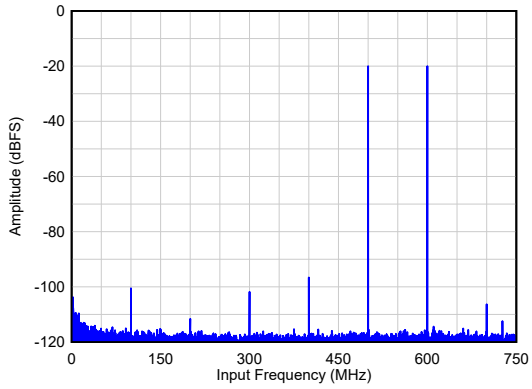
A_{IN} = -20dBFS/音

图 5-7. F_{IN} = 100MHz/200MHz 时的双音 FFT



A_{IN} = -7dBFS/音

图 5-8. F_{IN} = 900MHz/1000MHz 时的双音 FFT



A_{IN} = -20dBFS/音

图 5-9. F_{IN} = 900MHz/1000MHz 时的双音 FFT

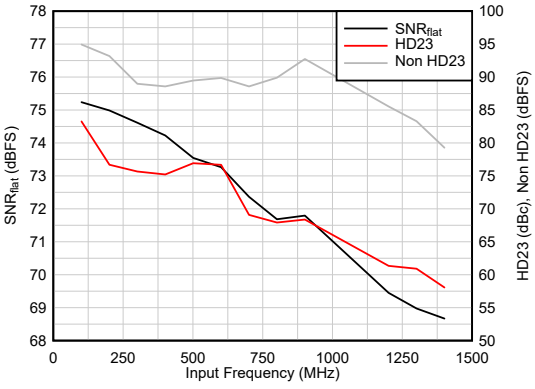
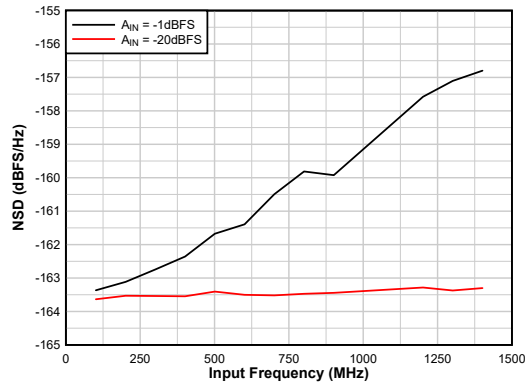
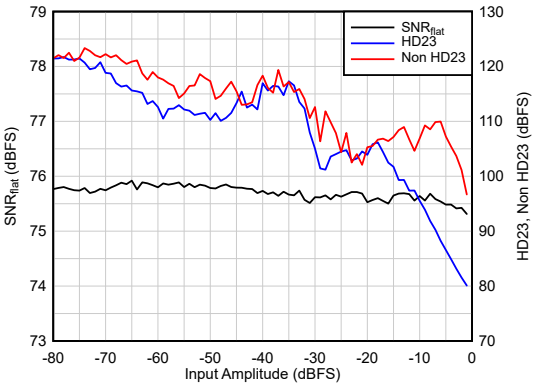


图 5-10. 交流性能与 F_{IN} 间的关系



端接 = 50ohm

图 5-11. NSD 性能与 F_{IN} 间的关系



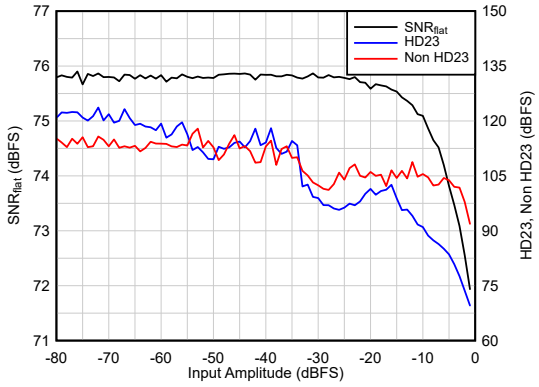
F_{IN} = 100MHz

图 5-12. 交流性能与 A_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入、100Ω 端接条件下测得



F_{IN} = 900MHz

图 5-13. 交流性能与 A_{IN} 间的关系

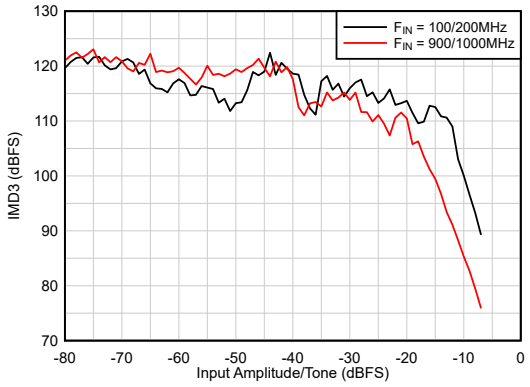
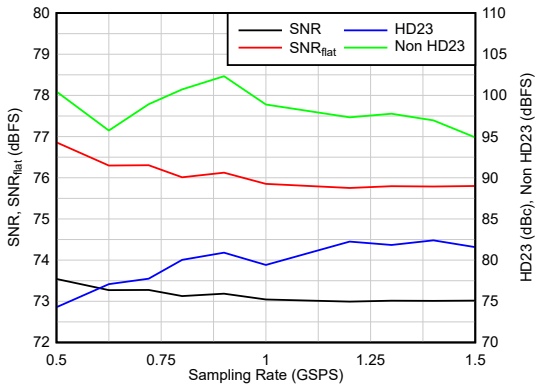


图 5-14. IMD3 性能与 A_{IN} 间的关系



F_{IN} = 100MHz

图 5-15. 交流性能与 F_S 间的关系

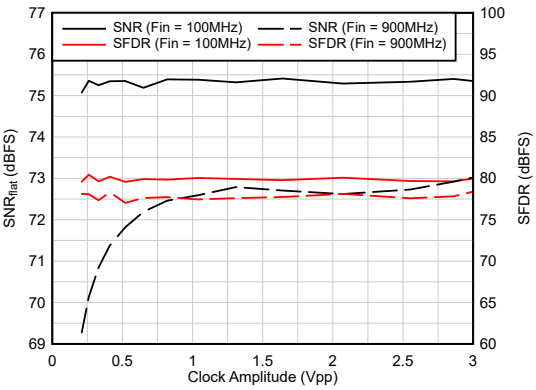


图 5-16. 交流性能与时钟振幅间的关系

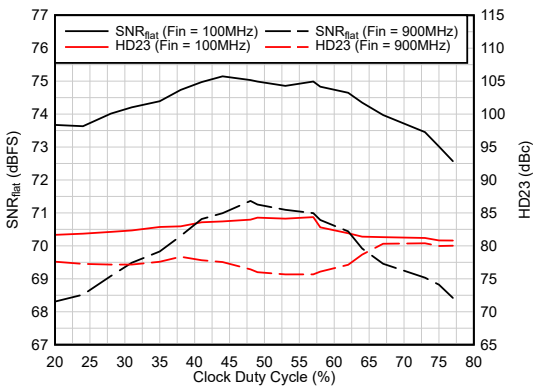


图 5-17. 交流性能与时钟占空比间的关系

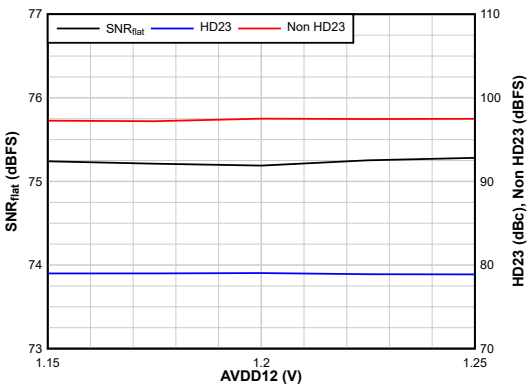


图 5-18. 交流性能与 AVDD12 电源间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入、100Ω 端接条件下测得

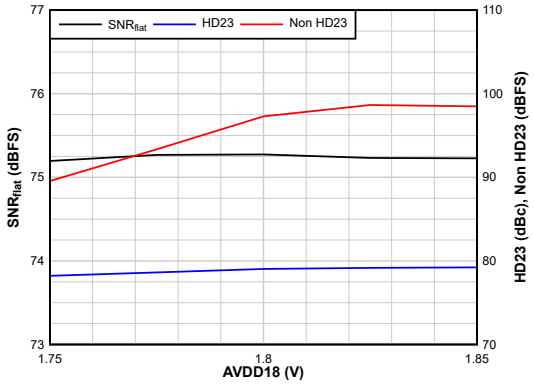


图 5-19. 交流性能与 AVDD18 电源间的关系

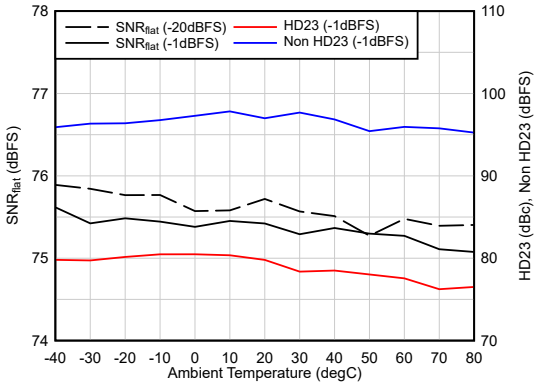
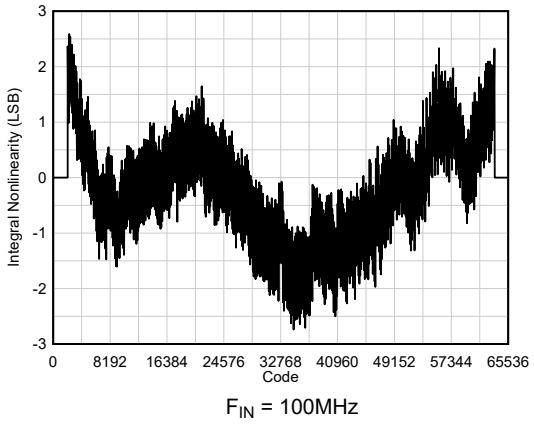
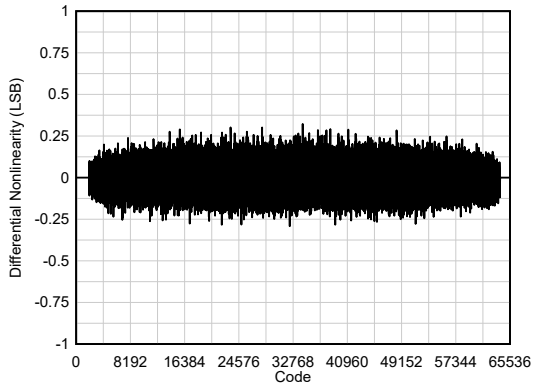


图 5-20. 交流性能与温度间的关系



F_{IN} = 100MHz

图 5-21. INL 与代码间的关系



F_{IN} = 100MHz

图 5-22. DNL 与代码间的关系

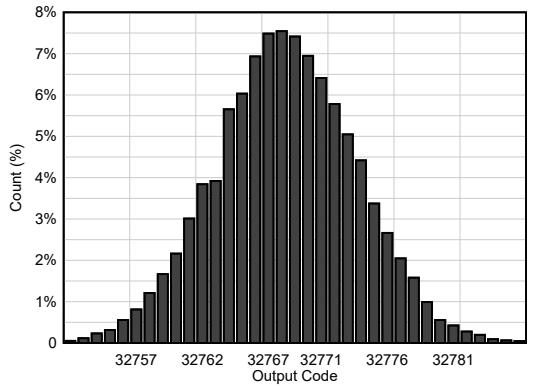


图 5-23. 空闲通道柱状图

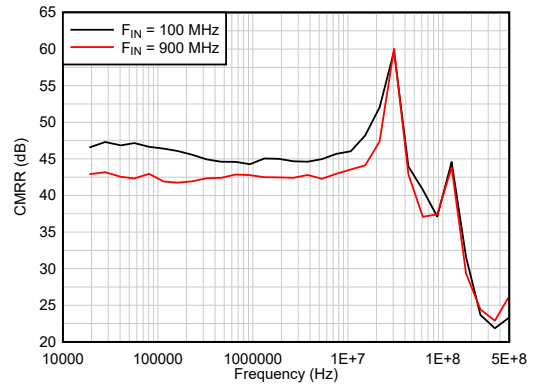


图 5-24. CMRR

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入、100Ω 端接条件下测得

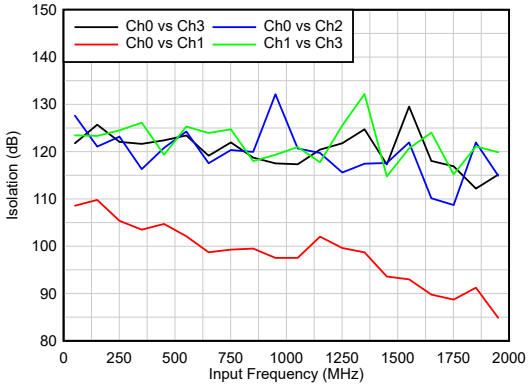
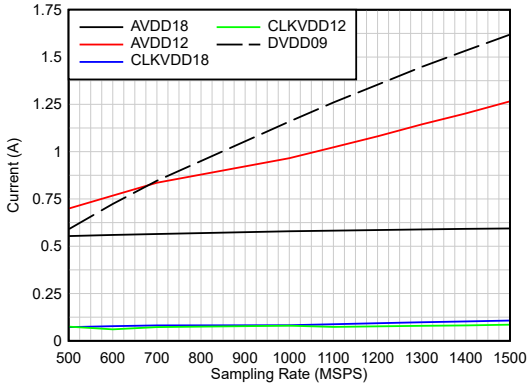
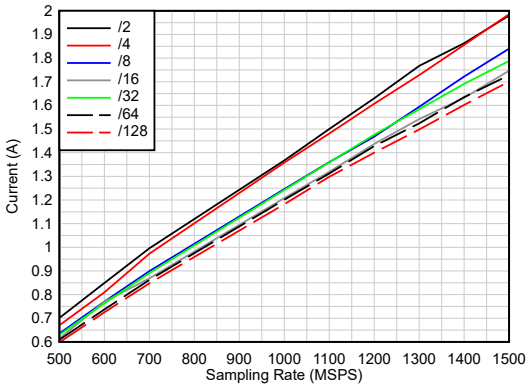


图 5-25. 通道隔离



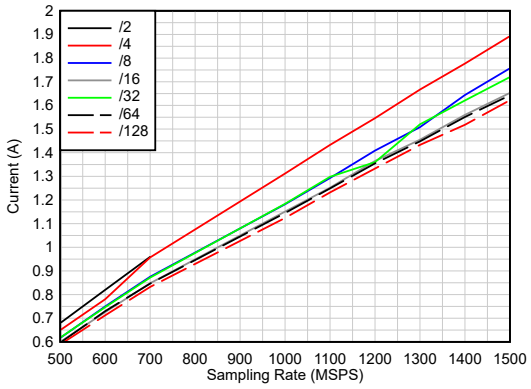
LMFS = 8411

图 5-26. 电流与采样率间的关系



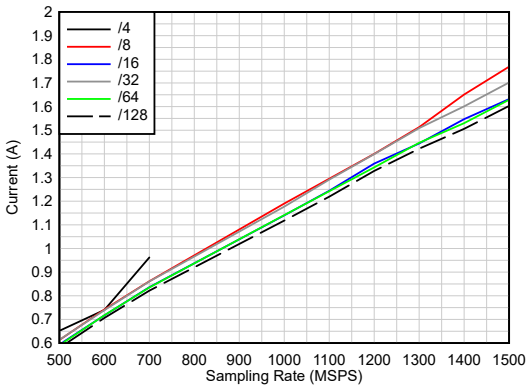
四频带，LMFS = 8821

图 5-27. DVDD09 电流与抽取间的关系



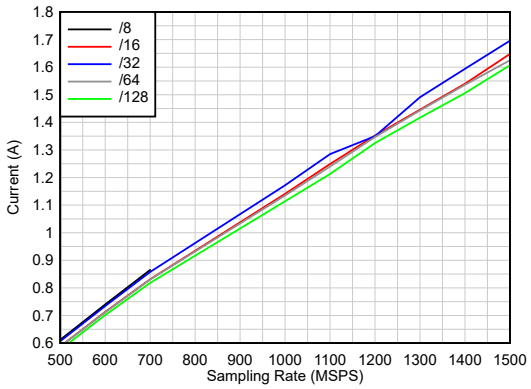
四频带，LMFS = 4841

图 5-28. DVDD09 电流与抽取间的关系



四频带，LMFS = 2881

图 5-29. DVDD09 电流与抽取间的关系



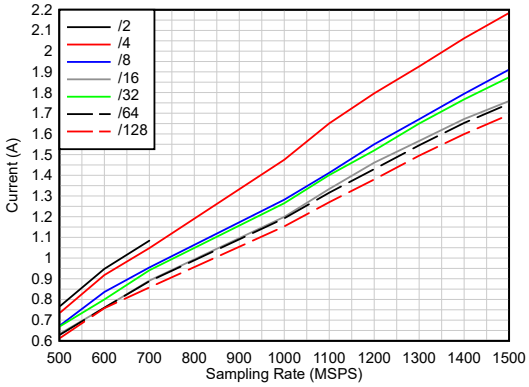
四频带，LMFS = 18161

图 5-30. DVDD09 电流与抽取间的关系

Copyright © 2025 Texas Instruments Incorporated

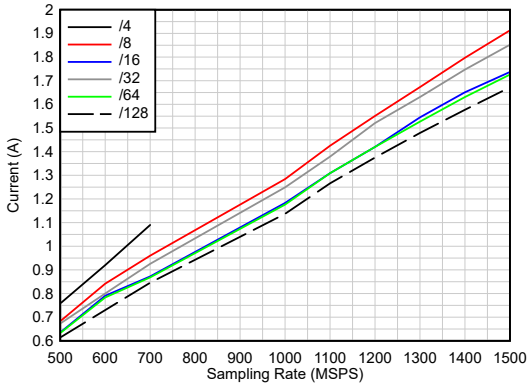
5.9 典型特性（续）

除非另有说明，否则典型值是在 T_A = 25°C、ADC 采样率 = 1.5GSPS、50% 时钟占空比、标称电源电压和 –1dBFS 差分输入、100Ω 端接条件下测得



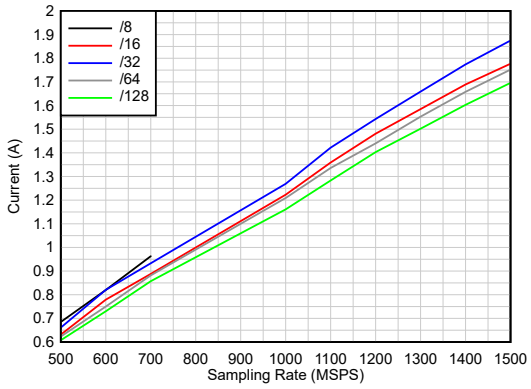
八频带，LMFS = 81641

图 5-31. DVDD09 电流与抽取间的关系



八频带，LMFS = 41681

图 5-32. DVDD09 电流与抽取间的关系



八频带，LMFS = 216161

图 5-33. DVDD09 电流与抽取间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

ADC34RF7x 具有 1/f 噪声，转角频率约为 100MHz。为了更好地说明高性能和射频采样应用的真实本底噪声，可以通过以下两种方式指定 ADC 噪声性能。

SNR：在整个奈奎斯特区域内测量，包括 1/f 噪声

SNR_{flat}、NSD_{flat}：在从 100MHz 到 FS/2 的平坦噪声区域内测得 (750MHz)

假设在整个奈奎斯特区域内具有平坦且均匀的噪声，将测量带宽降低 100MHz（从 100MHz 开始，而不是 0Hz）则可以将 SNR 改善约 0.6dB (10log(750MHz/650MHz) = 10log(0.06) = 0.62dB)。

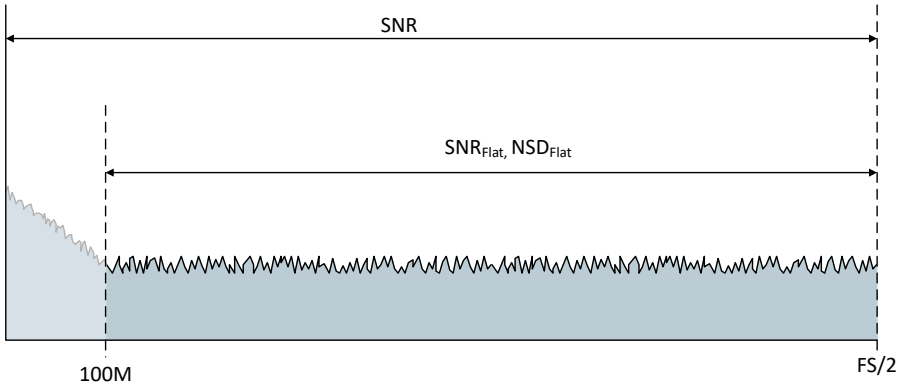


图 6-1. SNR（直流到 FS/2）与 SNR_{flat}（100MHz 到 FS/2）间的关系

假设 NSD_{flat} = -163.7dBFS/Hz

SNR_{flat} 计算公式为：

-(-163.7dBFS/Hz + 10log(650MHz)) = -(-163.7 + 88.1)dBFS = 75.6dBFS (1)

1/f 噪声约为 76.4dBFS。图 6-2 展示了 1/f 噪声测量，分辨率带宽约为 6MHz。包括 1/f 噪声在内的全奈奎斯特区域的 SNR 计算公式为：

$SNR_{1/f}$ + SNR_{flat} = (2)

$$SNR_{1/f} + SNR_{flat} = 10log\sqrt{\left(10^{\frac{-SNR_{1/f}}{20}}\right)^2 + \left(10^{\frac{-SNR_{flat}}{20}}\right)^2} = 10log\sqrt{\left(10^{\frac{-76.4}{20}}\right)^2 + \left(10^{\frac{-75.6}{20}}\right)^2} = 73dBFS$$

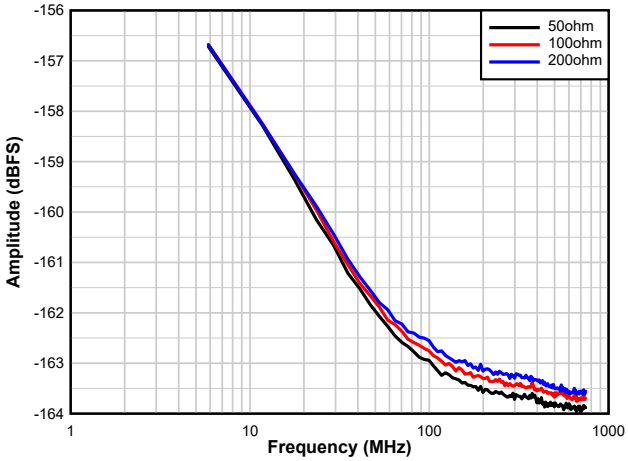


图 6-2. 1/f 噪声测量

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

ADC34RF72 是一款单核（非交错）16 位、1.5GSPS、四通道模数转换器 (ADC)。该设计更大限度地提高了信噪比 (SNR) 并提供 -163.7dBFS/Hz 的噪声频谱密度。在向 2 个或 4 个 ADC 输入提供输入信号时，可以使用内部数字均值计算将 NSD 改善至低至 -168.7dBFS/Hz。

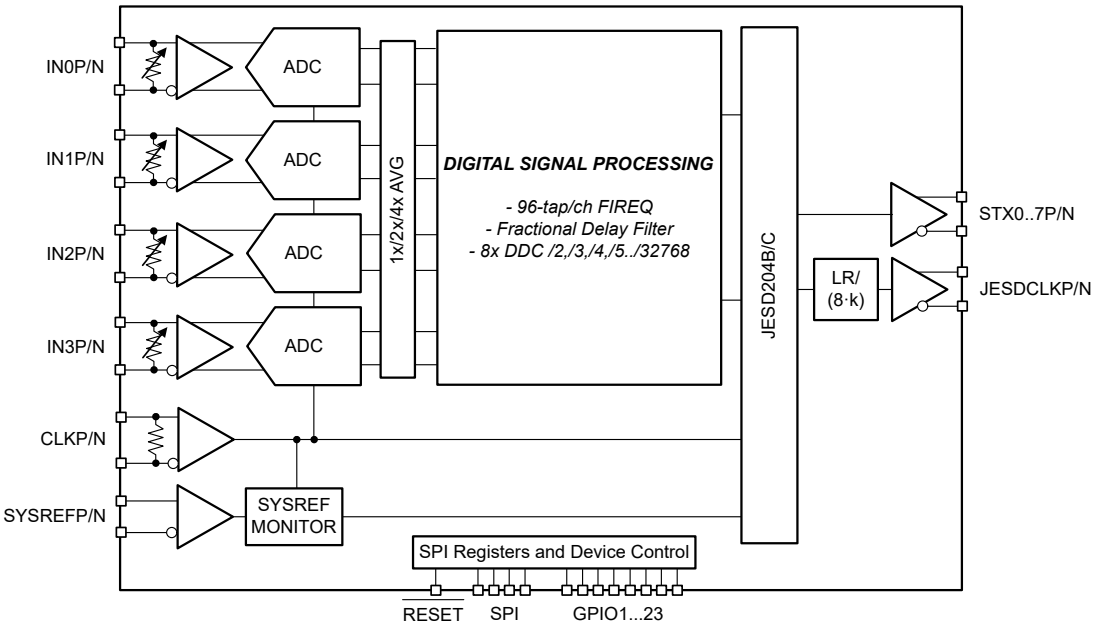
模拟信号输入经过缓冲，并支持 50Ω、100Ω 和 200Ω 的可编程内部端接阻抗。全功率输入带宽为 1.8GHz (-3dB)，并且该器件支持直接射频采样，输入频率为直流到 L 频带。ADC34RF72 旨在实现低残余相位噪声，从而支持高性能雷达应用。

该器件包含多种数字处理功能，例如用于均衡的 96 抽头/通道可编程 FIR 滤波器、12 位小数延迟滤波器和多个数字下变频器 (DDC)。有八个数字下变频器支持 /2、/3 和 /5 的抽取因子。48 位 NCO 支持相位同调跳频。使用 GPIO 引脚进行 NCO 频率控制，可以在不到 1µs 的时间内实现跳频。数字下变频器为各种瞬时带宽 (IBW) 要求提供支持，从采用 /2 复数抽取的宽带模式到复数抽取为 /32768 的窄带宽信道。最终的 /2 抽取级具有可编程滤波器系数。

该器件支持具有子类 1 确定性延时的 JESD204B/C 串行数据接口，使用 64b/66b 和 8b/10b 编码，具有高达 24.75Gbps 的数据速率。使用这两个接口选项，ADC34RF7x 可以输出全频谱（DDC 旁路）和抽取数据。此外，串行器/解串器 PLL（通道速率/(8 x k)）可输出到 FPGA，以简化系统时钟。

该器件需要 3 个不同的电源轨：1.8V、1.2V 和 0.9V。

7.2 功能方框图



方框图

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 模拟输入

ADC34RF72 的模拟输入端具有内部缓冲器，可将采样电容器与外部输入电路隔离。模拟输入端具有一个带内部偏置的可编程差分分裂端接，如图 7-1 所示。可以通过 SPI 寄存器写入，将差分端接选择为差分 50Ω、100Ω 或 200Ω。支持模拟输入的交流耦合和直流耦合。

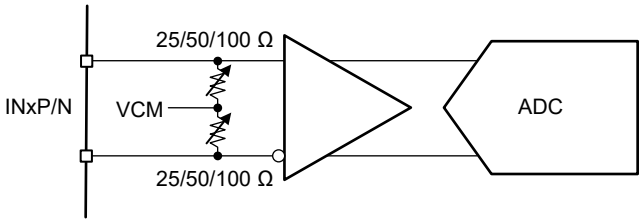


图 7-1. 模拟输入（内部）电路

可以对以下参数进行编程：

表 7-1. 输入端接编程

系统参数名称	大小（位）	默认值	复位	说明
ADC{x}_INPUT_TERM_SEL	2	0	R/W	选择 ADC{x} 输入终端设置 (x = {0,1,2,3}) 0：50Ω 差分 1：100Ω 差分 2：200Ω 差分

7.3.1.1 输入带宽

图 7-2 显示了带有内部 50Ω、100Ω 和 200Ω 差分端接的输入带宽 (-3dB) 以及 S11 响应 (图 7-2)。使用 100Ω 端接时，输入带宽约为 1.8GHz (-3dB)。图 7-4 显示了使用 100Ω 端接时的频率响应，使用图 7-5 中所示的外部匹配网络。

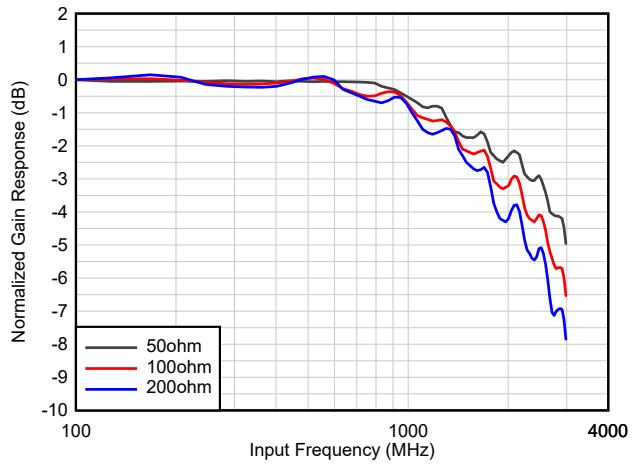


图 7-2. 输入带宽图（6dB 焊盘）

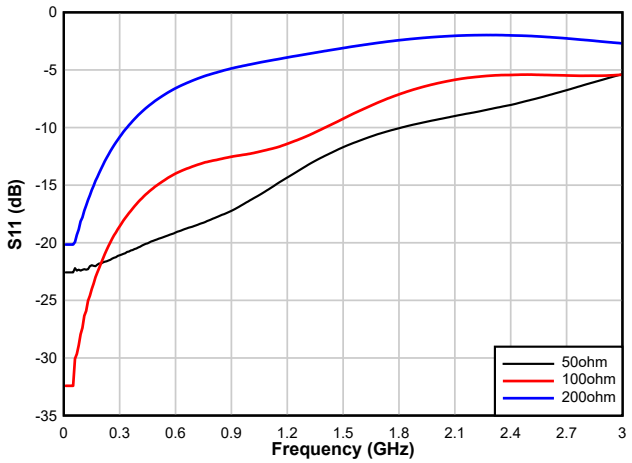


图 7-3. S11 与频率间的关系（每个都归一化为输入终端）

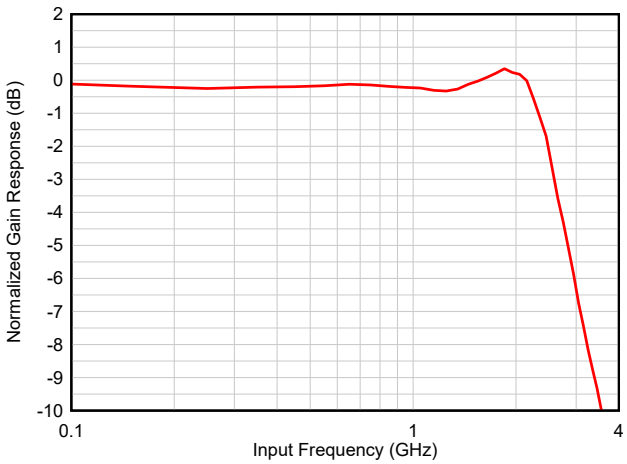


图 7-4. 输入带宽图

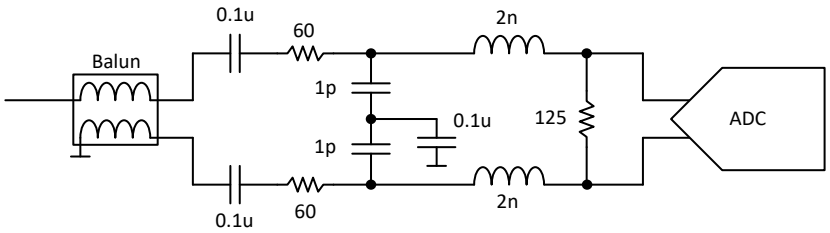
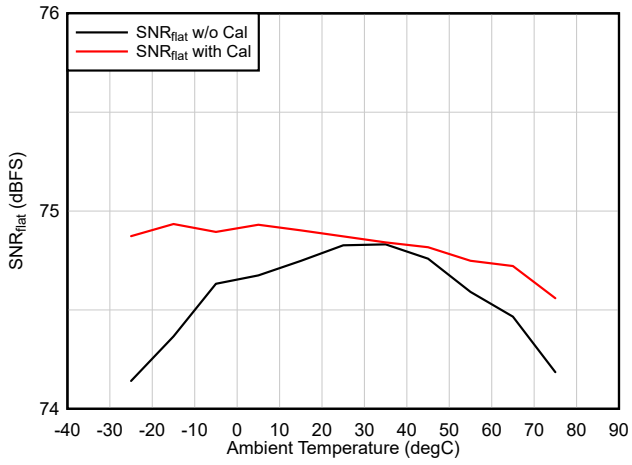


图 7-5. 外部匹配网络

7.3.1.2 后台校准

ADC34RF72 使用内部后台校准在整个温度范围内保持高交流性能。校准会定期执行，不需要任何用户控制或输入信号等。在校准期间，会观察到信号偏移发生微小变化（大约 30LSB）。可以冻结此校准，以避免使用 SPI 写入或 GPIO 控制进行测量期间出现任何干扰。



F_{IN} = 100MHz，A_{IN} = -1dBFS，在 25°C 下校准

图 7-6. SNR_{flat} 与温度和校准间的关系

7.3.2 采样时钟输入

时钟输入具有内部 100Ω 差分端接，自偏置到 VCM = 0.7V，从而启用外部交流耦合（请参阅图 7-7）。

Copyright © 2025 Texas Instruments Incorporated

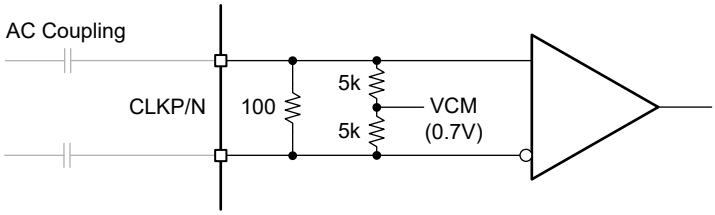


图 7-7. 内部采样时钟电路

内部采样时钟路径设计用于大幅降低残余相位噪声的影响。采样时钟电路需要专用的低噪声电源，以实现最佳性能。内部孔径时钟相位噪声对时钟振幅也很敏感。为了获得最佳性能，时钟振幅必须大于 1Vpp。

表 7-2. 1GHz 时的内部孔径时钟噪声

频率偏移 (MHz)	相位噪声 (dBc/Hz)	振幅噪声 (dBc/Hz)
0.001	-130	-139
0.01	-140	-149
0.1	-150	-155
1	-155	-159

可以对以下参数进行编程：

表 7-3. 时钟寄存器编程

系统参数名称	尺寸	默认值	复位	说明
ADC_CLK_FREQ_HZ	33	0	R/W	33 位无符号数，表示采样时钟频率（以 Hz 为单位）。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 SYSREF

SYSREF 输入信号用于多芯片同步并复位内部 LMFC 计数器。器件必须为 SYSREF 信号做好准备；器件对准备后的第一个 SYSREF 边沿敏感。

内部 SYSREF 捕获包括一个可编程模拟延迟 t_d、一个 SYSREF 监视器以及一个可编程数字整数时钟周期延迟 z^{-n}，如图 7-8 所示。

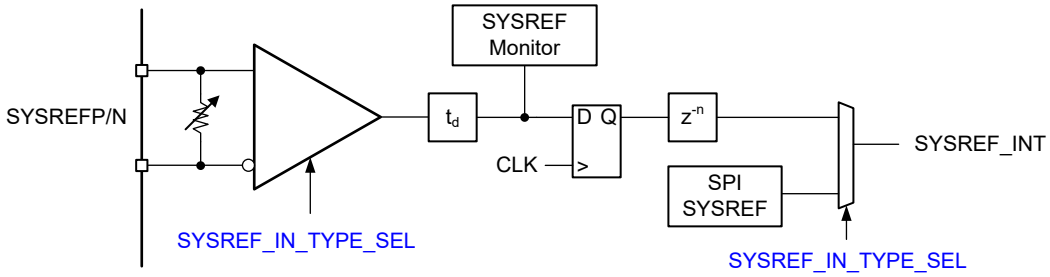


图 7-8. SYSREF 输入内部路径

SYSREF 输入信号可以是交流或直流耦合（通过 SPI 寄存器选项选择），如图 7-9 所示。SYSREF 输入具有内部 100Ω 端接，用于在使用交流耦合时进行直流耦合和内部偏置。

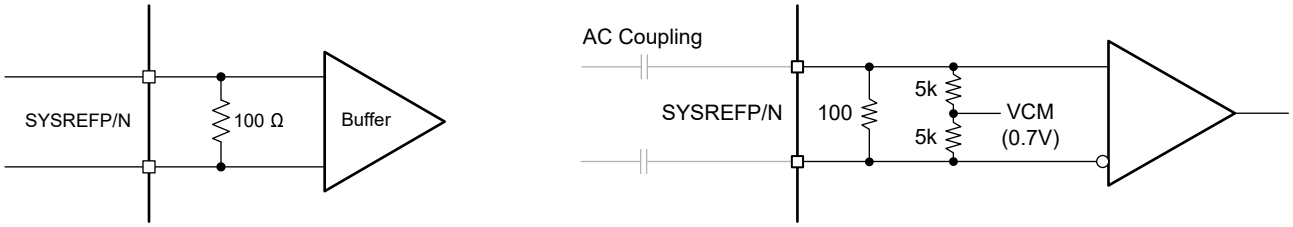


图 7-9. SYSREF 输入电路和边沿对齐（左侧：直流耦合，右侧：交流耦合）

可以对以下参数进行编程：

表 7-4. SYSREF 配置编程

系统参数名称	尺寸	默认值	复位	说明
SYSREF_IN_TYPE_SEL	2	0	R/W	选择输入 SYSREF 类型： 0：直流耦合 LVDS SYSREF 输入。 1：交流耦合 SYSREF 输入。 2：未使用。 3：使用 SPI 写入的内部生成的 SYSREF。
SYSREF_DIG_DEL	8	0	R/W	以 CLK 的时钟周期表示的数字 SYSREF 内部延迟 (z^{-n})。 0...255：使用前应用于数字 SYSREF 的器件时钟周期数延迟。

Copyright © 2025 Texas Instruments Incorporated

7.3.3.1 SYSREF 监测器

SYSREF 监控器通过将传入的 SYSREF 信号与具有模拟延迟的采样时钟副本锁存来将传入的 SYSREF 信号与 ADC 采样时钟进行比较。锁存输出通过 SYSREF 处理块在内部进行处理，最终输出提供给用户。锁存的触发器输出用于检查 CLK 和 SYSREF 上升沿之间是否有足够的裕度（设置和保持时间）。如果检测到设置和保持时间违反情况，则可以使用可编程延迟 t_d 来调整 SYSREF 延迟，以确保 CLK 和 SYSREF 之间有足够的裕度来正确锁存 SYSREF。

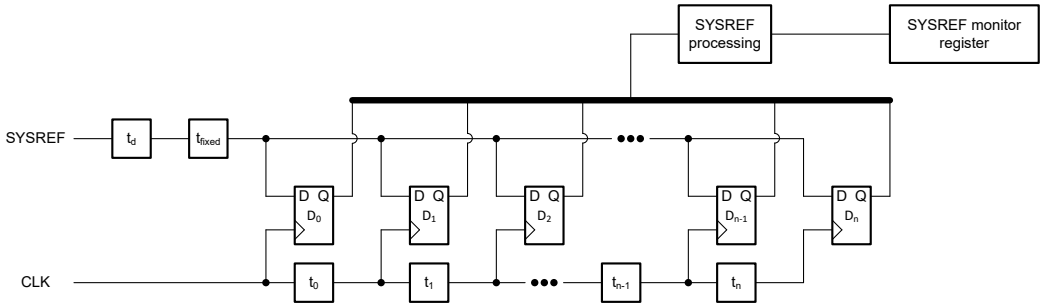


图 7-10. SYSREF 检测电路

可以对以下参数进行编程：

表 7-5. SYSREF 配置编程

系统参数名称	尺寸	默认值	访问	说明
SYSREF_MONITOR_NUM_POLLS	8	1	R/W	设置更新 SYSREF_MONITOR_OUT 之前要检测的 SYSREF 上升沿数。由于每个触发器输出与其所有先前的输出进行“或”运算，直到看到 SYSREF_MONITOR_NUM_POLLS SYSREF 上升沿，因此较高的 SYSREF_MONITOR_NUM_POLLS 值可用于测量 SYSREF 边沿扩展。 1...255：更新 SYSREF_MONITOR_OUT 之前要看到的 SYSREF 上升沿数。
SYSREF_MONITOR_TD_COARSE	4	0	R/W	设置 t_d 块中的粗略延迟次数 (45ps)。
SYSREF_MONITOR_TD_FINE	4	0	R/W	设置 t_d 块中的精细延迟。 td_fine = (floor(SYSREF_MONITOR_TD_FINE/2)*15ps) + ((SYSREF_MONITOR_TD_FINE%2)*4ps)
SYSREF_MONITOR_OUT	8	0	R	SYSREF 监测输出。位 0 对应于第一个 CLK 边沿，位 7 对应于最后一个 CLK 边沿。 SYSREF_MONITOR_OUT 只能处于以下状态之一，并且可以按如下解释： 状态 0：一个或多个零后跟一个或多个一。SYSREF 转换上升出现在 SYSREF 监控窗口中，检测到设置和保持时间违反情况。 SYSREF_LAT 应延迟，直到观察到所有零或所有一。 状态 1：全零。CLK 领先 SYSREF_LAT，并且 SYSREF_LAT 在下一个 CLK 上升沿正确锁存。 状态 2：全一。CLK 滞后 SYSREF_LAT，并且 SYSREF_LAT 由当前 CLK 上升沿正确锁存。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 ADC 断电模式

该器件支持三种不同的断电模式，可通过 GPIO 引脚或 SPI 寄存器写入来控制：

- 快速断电：单通道断电、唤醒时间更短，但功耗更高。JESD 接口保持活动状态。
- 断电：单个通道断电。可以调整 JESD 接口，并将未使用的通道断电。
- 全局断电：将整个芯片断电，以实现最低功耗。

表 7-6. 断电模式比较

断电模式	唤醒时间	功耗（典型值）	注释
快速断电	~ 5us	~ 2.2W	JESD 接口保持活动状态
断电	取决于 JESD 接口	~ 0.8W（4 通道断电） ~ 2.6W（2 通道断电） ~ 3.8W（1 通道断电）	JESD 接口断电 4 条 Serdes 通道激活 8 条 Serdes 通道激活
全局断电	取决于 JESD 接口	~ 0.4W	

可以使用以下参数对断电模式进行编程：

表 7-7. 断电模式编程

系统参数名称	尺寸	默认值	访问	说明
ADC_SW_GPDN_VAL	1	0	R/W	选择内部全局断电状态。ADC_GPDN_SRC_SEL 需要设置为 1 才能使该设置生效。 0：器件上电。 1：器件已关断。
ADC_GPDN_SRC_SEL	1	0	R/W	选择全局断电信号是来自 GPIO 还是 SPI。 0：全局断电来自 GPIO。 1：全局断电来自 ADC_SW_GPDN_VAL。
ADC_CH_PDN_VAL	4	0	R/W	单个 ADC 通道断电设置。每个 ADC 获取一位。如果设置了该位，则相应的通道会断电。ADC_CH_PDN_SRC_SEL 需要设置为 1 才能使该设置生效。 位 0：ADC0 断电控制。 位 1：ADC1 断电控制。 位 2：ADC2 断电控制。 位 3：ADC3 断电控制。
ADC_CH_PDN_SRC_SEL	1	0	R/W	选择通道断电信号是来自 GPIO 还是 SPI。 0：通道断电来自 GPIO。 1：通道断电来自 ADC_CH_PDN-VAL。
ADC_CH_PDN_MODE	1	0	R/W	选择通道断电模式。 0：正常 PDN（每个通道的功耗最低）。 1：快速 PDN（上电时间更快，但功耗更高）。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 数字信号处理器 (DSP) 特性

该器件的数字信号处理块中包含几种不同的数字功能：

- 12 位小数延迟，范围为一个采样时钟周期，延迟步长等于 $1/(2^{12*} t_{CLK})$
- 可实现均衡的可编程 FIR 滤波器，每通道最多 96 个抽头
- 多个数字下变频器 (DDC)，支持 /2、/3 和 /5 到最高 /32768 的抽取因子
- 可实现抽取后均衡的额外可编程 FIR 滤波器

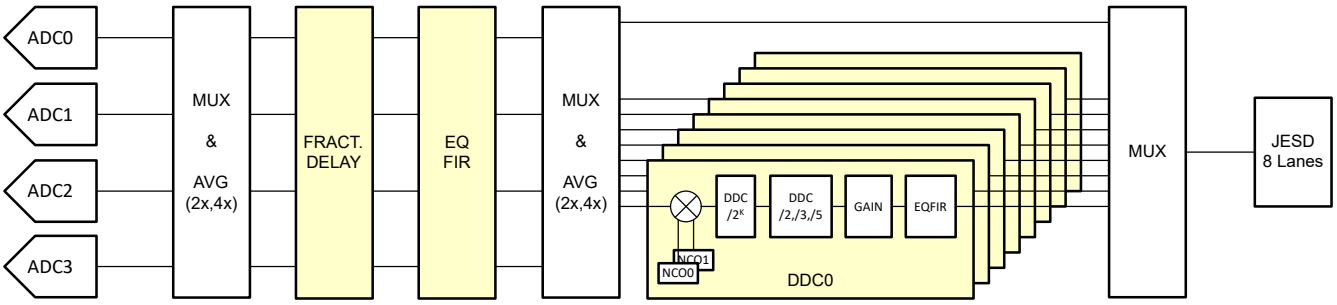


图 7-11. 数字信号处理链

7.3.5.1 DSP 输入多路复用器

DSP 模块的输入端有 4 个数字多路复用器，如图 7-12 所示。总线以 adc_out[3:0] 为基准，其中每个索引均指向特定 ADC 的唯一输出流，即 ADC0 输出为 adc_out[0]。每个 DSP_IN 多路复用器的输出均对应 DSP 块的一个 DSP 输入数据流。DSP 输入数据流的聚合集称为 dsp_in[3:0]。dsp_in[0] 对应第 0 个 DSP 输入数据流。每个 DSP 输入数据流可来自以下来源之一：

- 四个 adc_out 流中的任意一个。此项用 C(4,1) 表示。
- 四个 adc_out 流中任意两个的平均值。2x AVG 的可选组合数量为 C(4,2)。
- 所有四个 adc_out 流的平均值。4x AVG 的可选组合数量为 C(4,4)。

备注

符号 C(*n*,*k*) 表示从包含 *n* 个不同项目的集合中选择 *k* 个项目的可能组合。
例如，假设我们有一个集合 adc_out={adc0,adc1,adc2,adc3}，则从该集合中选择两个项目有 6 种不同的方法，如下所示： C(adc_out,2)={{ADC0,ADC1},{ADC0,ADC2},{ADC0,ADC3},{ADC1,ADC2},{ADC1,ADC3},{ADC2,ADC3}}

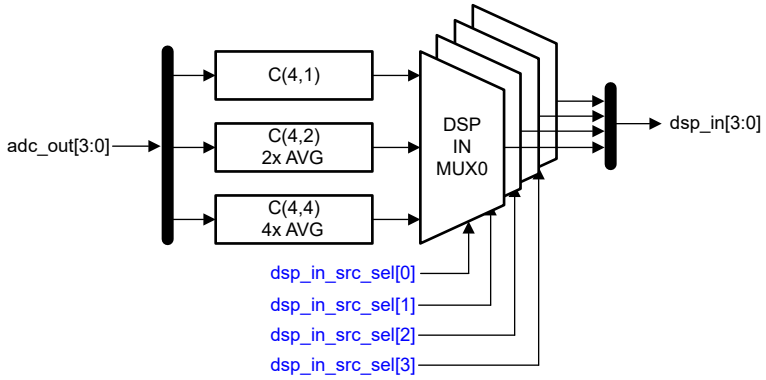


图 7-12. DSP 输入多路复用器概述

可以对以下参数进行编程：

表 7-8. DSP 输入多路复用器配置编程 (x = 0,1,2,3)

系统参数名称	尺寸	默认值	访问	说明
DSP_IN_SRC_SEL{x}	4	0,1,2,3	R/W	选择 DSP 块的 dsp_in[0..3] 输入流的输入数据源。 0：ADC0 数据。 1：ADC1 数据。 2：ADC2 数据。 3：ADC3 数据。 4：对 ADC0 和 ADC1 取平均值。 5：对 ADC0 和 ADC2 取平均值。 6：对 ADC0 和 ADC3 取平均值。 7：对 ADC1 和 ADC2 取平均值。 8：对 ADC1 和 ADC3 取平均值。 9：对 ADC2 和 ADC3 取平均值。 10：对 ADC0、ADC1、ADC2 和 ADC3 取平均值。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.2 小数延迟

该器件在 DSP 输入多路复用器之后包含一个可选的可编程 12 位小数数字延迟（请参阅图 7-13）。有两个独立的数字小数延迟块：FDF0 和 FDF1。每个 FDF 块连接到两个输入流（dsp_in[1:0] 或 dsp_in[3:2]），其中每个输入流都有一个可编程小数延迟值，即 dsp_in[1:0] 为 t_{d00} 和 t_{d01}，dsp_in[3:2] 为 t_{d10} 和 t_{d11}。FDF 块总共输出四个数据流 (fdf_out[3:0])，其中每个输出流对应一个不同的小数延迟输入流。

小数延迟是一种*真正的延时时间*实现，并在频率范围内保持线性相位。小数延迟的计算公式为：

小数延迟 [采样时钟周期] = 延迟/4096 x T_S（采样周期）。

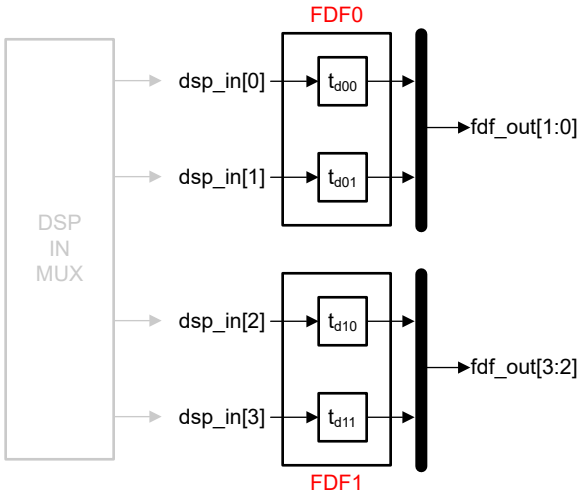


图 7-13. 小数延迟功能

例如，设置为 2048 等于 ½ 时钟周期延迟，如图 7-14 所示。幅度误差小于 −80dB（与所需延迟间的关系）。

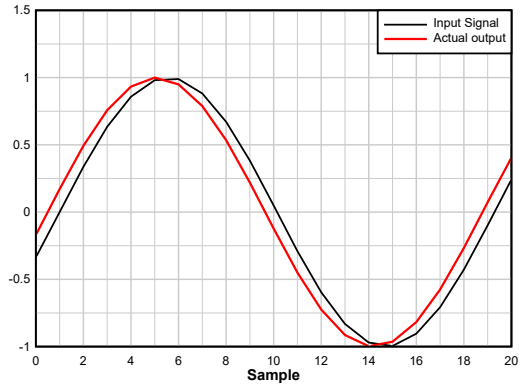


图 7-14. 小数延迟 = ½ 时钟周期
（延迟设置 = 2048）

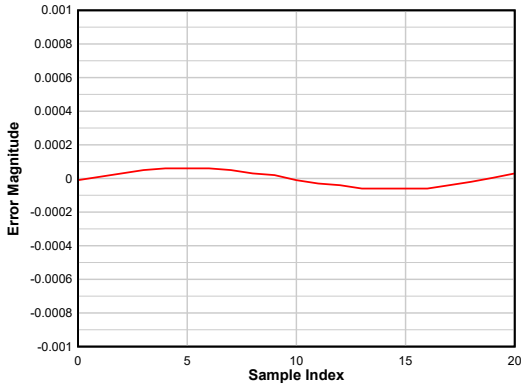


图 7-15. 误差幅度
（所需波形与实际波形间的关系）

Copyright © 2025 Texas Instruments Incorporated

小数延迟通过 SPI 寄存器写入进行配置，编程的延迟在内部转换为滤波器系数。滤波器响应如图 7-16 和图 7-17 中所示。通带约为奈奎斯特区域的 85%。重新编程小数延迟可能需要长达 2µs 的时间来更新滤波器系数。

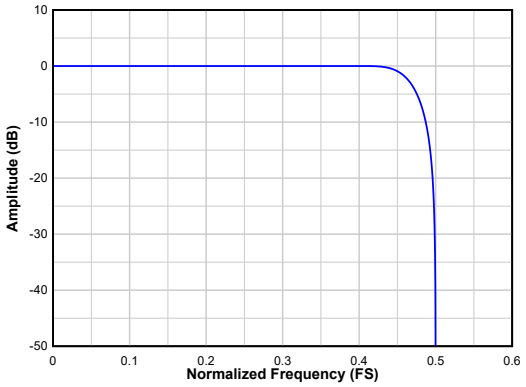


图 7-16. 小数延迟 FIR 的滤波器响应

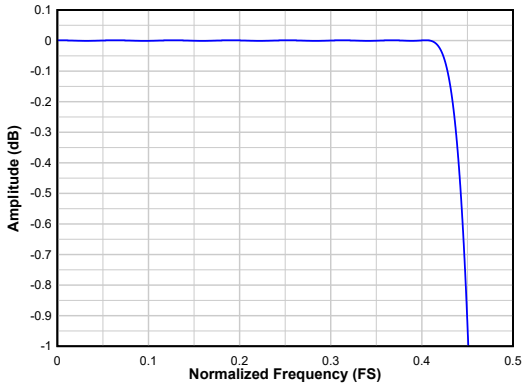


图 7-17. 小数延迟 FIR 的滤波器响应（放大图）

可以使用以下参数对小数延迟进行编程：

表 7-9. 小数延迟配置编程

系统参数名称	尺寸	默认值	访问	说明
FDF0_DELAY_VAL_0_LSB	8	0	R/W	小数延迟值的位 [7:0] 对应到 FDF0 的第 0 个输入数据流。
FDF0_DELAY_VAL_0_MSB	4	0	R/W	小数延迟值的位 [11:8] 对应到 FDF0 的第 0 个输入数据流。
FDF0_DELAY_VAL_1_LSB	8	0	R/W	小数延迟值的位 [7:0] 对应到 FDF0 的第 1 个输入数据流。
FDF0_DELAY_VAL_1_MSB	4	0	R/W	小数延迟值的位 [11:8] 对应到 FDF0 的第 1 个输入数据流。
FDF1_DELAY_VAL_0_LSB	8	0	R/W	小数延迟值的位 [7:0] 对应到 FDF1 的第 0 个输入数据流。
FDF1_DELAY_VAL_0_MSB	4	0	R/W	小数延迟值的位 [11:8] 对应到 FDF1 的第 0 个输入数据流。
FDF1_DELAY_VAL_1_LSB	8	0	R/W	小数延迟值的位 [7:0] 对应到 FDF1 的第 1 个输入数据流。
FDF1_DELAY_VAL_1_MSB	4	0	R/W	小数延迟值的位 [11:8] 对应到 FDF1 的第 1 个输入数据流。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.3 可实现均衡的可编程 FIR 滤波器

ADC34RF7x 器件包含一个被称为均衡器 (EQ) 的集成可编程 FIR 滤波器块。如图 7-18 所示，有两个 EQ 块（EQ0 和 EQ1），位于小数延迟滤波器 (FDF0/1) 的输出端。每个 EQ 块都可以直接从 DSP_IN 或前一个 FDF 块提供输入数据流。总共有四个输出数据流 (eq_out[3:0])，其中每个输出流对应一个不同的滤波输入流。

两个均衡器 (EQ0/EQ1) 中的每一个都包括在两个输入流之间共享多达 192 个抽头（16 位）。

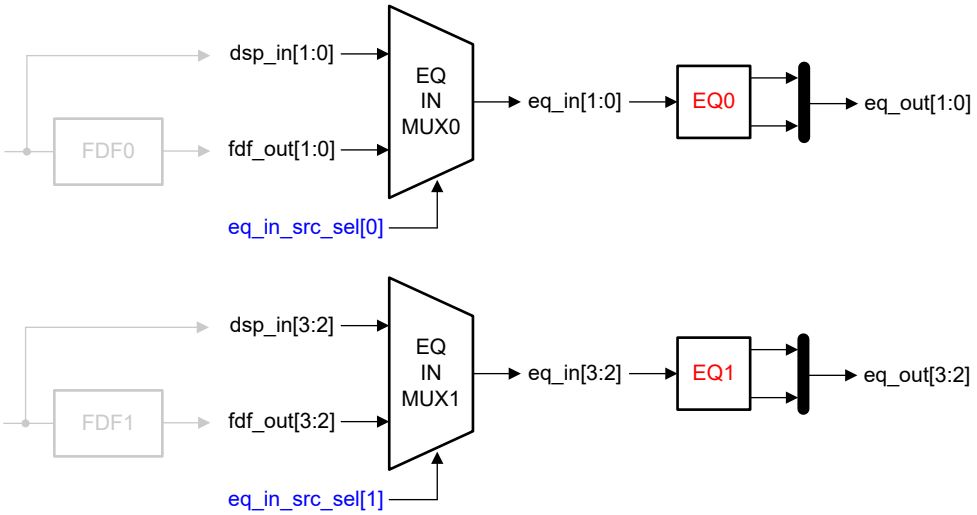


图 7-18. FIR 均衡器配置

每个 EQ 支持多种不同的配置，每个 EQFIR 多达 192 个抽头，如图 7-19 所示。

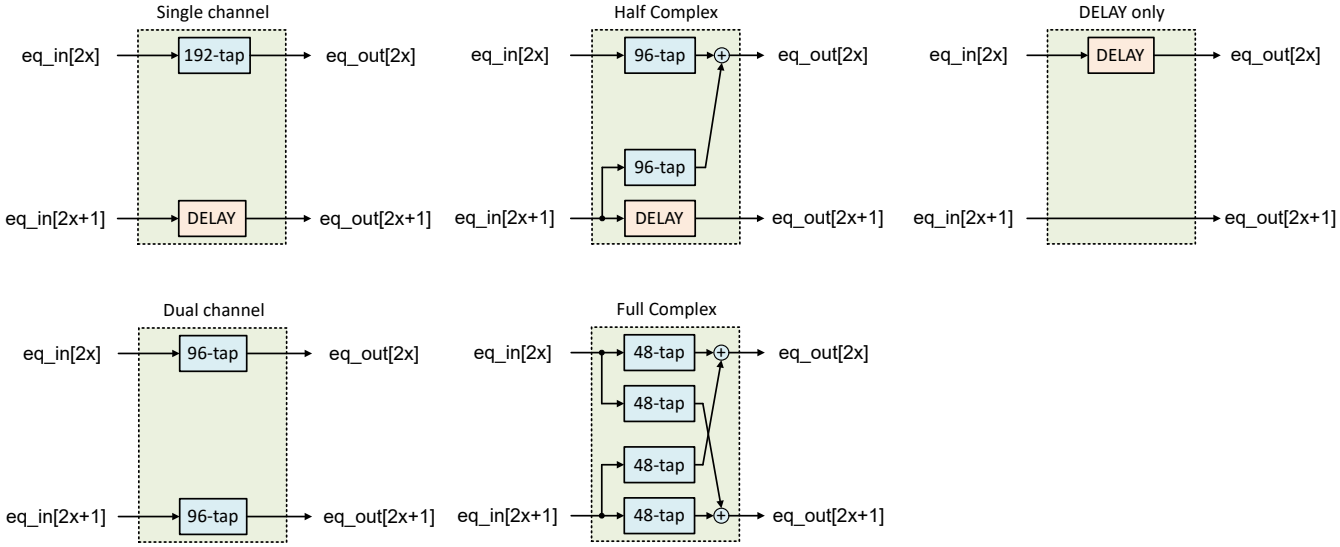


图 7-19. EQ0 (x=0) 和 EQ1 (x=1) 的 FIR 均衡器配置

Copyright © 2025 Texas Instruments Incorporated

功耗随采样率和使用的抽头数呈线性变化。未使用的抽头可以设置为 0。

可以使用以下参数对数字均衡器进行编程：

表 7-10. EQ{x} 配置编程 (x= 0,1)

系统参数名称	尺寸	默认值	访问	说明
EQ{x}_IN_SRC_SEL	1	0	R/W	选择 EQ{x} 输入数据源。 0：来自 DSP_IN[2x+1, 2x] 的 EQ{x} 输入。 1：来自 FDF_OUT[2x+1, 2x] 的 EQ{x} 输入。
EQ{x}_MODE_SEL	3	0	R/W	选择 EQ{x} 模式。 0：单通道模式。 1：双通道模式。 2：半复数模式。 3：完全复数模式。 4：仅延迟模式。
EQ{x}_DEL_VAL	8	0	R/W	EQ{x} 延迟值。此设置的效果取决于 EQ{x} 模式。 0...255：当 EQ{x} 处于具有可编程延迟的模式时应用的器件时钟周期数。
EQ{x}_NUM_TAPS	8	0	R/W	EQ{x} 在给定模式下使用的抽头数。在单通道模式下可以是任意值。在双通道模式和半复数模式下必须为偶数。在完全复数模式下必须可被四整除。 1...192：EQ{x} 使用的抽头数。
EQ{x}_TAPS	3072	0	R/W	设置 EQ{x} 块的 192 个抽头。 单通道模式：最多 192 个抽头施加到 eq_input[2x]。 双通道模式：每个 eq_input 多达 96 个抽头。第一批 96 个抽头施加到 eq_input[2x]。第二批 96 个抽头施加到 eq_input[2x+1]。 半复数模式：每个 eq_input 多达 96 个抽头。第一批 96 个抽头施加到 eq_input[2x]。第二批 96 个抽头施加到 eq_input[2x+1]。 完全复数模式：每个 eq_input 多达 96 个抽头。第一批 96 个抽头施加到 eq_input[2x]；这些抽头中的前 48 个抽头施加到 eq_output[2x]。第二批 96 个抽头施加到 eq_input[2x+1]；这些抽头中的前 48 个抽头施加到 eq_output[2x]。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4 DSP 输出多路复用器

在 DDC 之前，DSP 的输出端提供了多个不同的多路复用器。

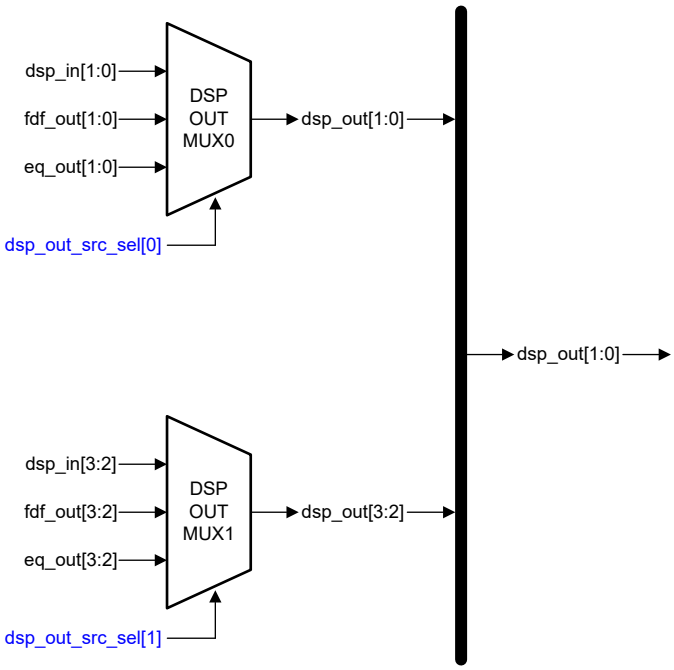


图 7-20. DSP 输出多路复用器

可以对以下参数进行编程：

表 7-11. DDC 编程的输入选择 (x = 0 或 1)

系统参数名称	尺寸	默认值	访问	说明
DSP_OUT_SRC_SEL{x}	2	0	R/W	从 DSP 块中选择 DSP_OUT_MUX{x} 的输出数据源。 0：dsp_in[2x+1,2x] 作为 DSP_OUT_MUX{x} 的输出。 1：fdf_out[2x+1,2x] 作为 DSP_OUT_MUX{x} 的输出。 2：eq_out[2x+1,2x] 作为 DSP_OUT_MUX{x} 的输出。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5 数字下变频器 (DDC)

ADC34RF7x 包含 8 个具有独立 NCO 的数字下变频器 (DDC)。每个 DDC 都支持 2、3 或 5 的基本抽取因子，抽取比率范围为 /2 到 /32768(/3 ../96 和 /5.../80)。由于器件要求的最小串行器/解串器通道速率为 4Gbps，因此允许的最大抽取设置取决于采样率、DDC 数量、采样重复因子 (仅限因子为 2 的情况) 以及 JESD 输出分辨率 “N”。此外，最终 /2 级支持可编程系数。

交叉开关多路复用器用于将任何 DDC 输入连接到任何 ADC 或 2x/4x 平均块的输出。ADC34RF7x DDC 可以配置为具有独立抽取因子 (仅限二进制因子)。

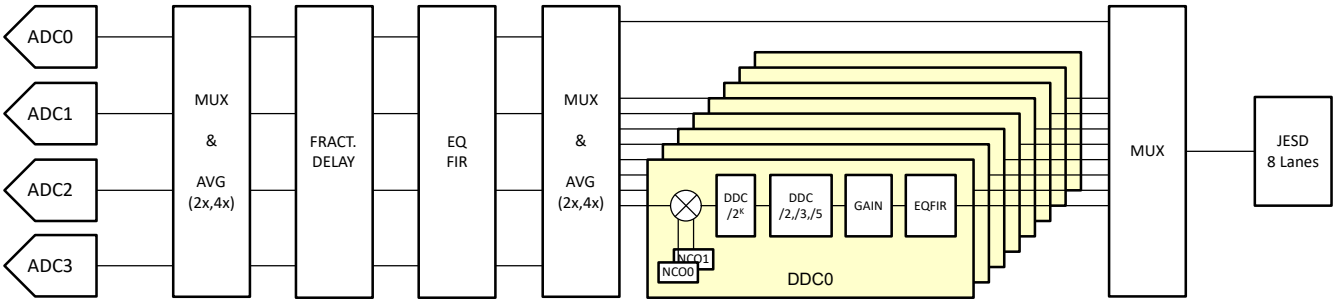


图 7-21. 多带抽取滤波器

支持实数和复数抽取，并且通带约为抽取带宽的 80%。

表 7-12. 复数抽取设置与输出带宽间的关系

抽取因子	每个 DDC 的复数输出带宽	每个 DDC 的实数输出带宽
N	0.8 x F_S / N	0.8 x F_S / (2N)

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.1 抽取滤波器输入

8 个 DDC 的每个输入端都有多个不同的多路复用器，如图 7-22 所示。每个 DDC 都有 DDC_REAL_DATA_MUX 和 DDC_INPUT_DATA_TYPE_MUX。DDC 输入数据类型基于 ddc_mode 设置。

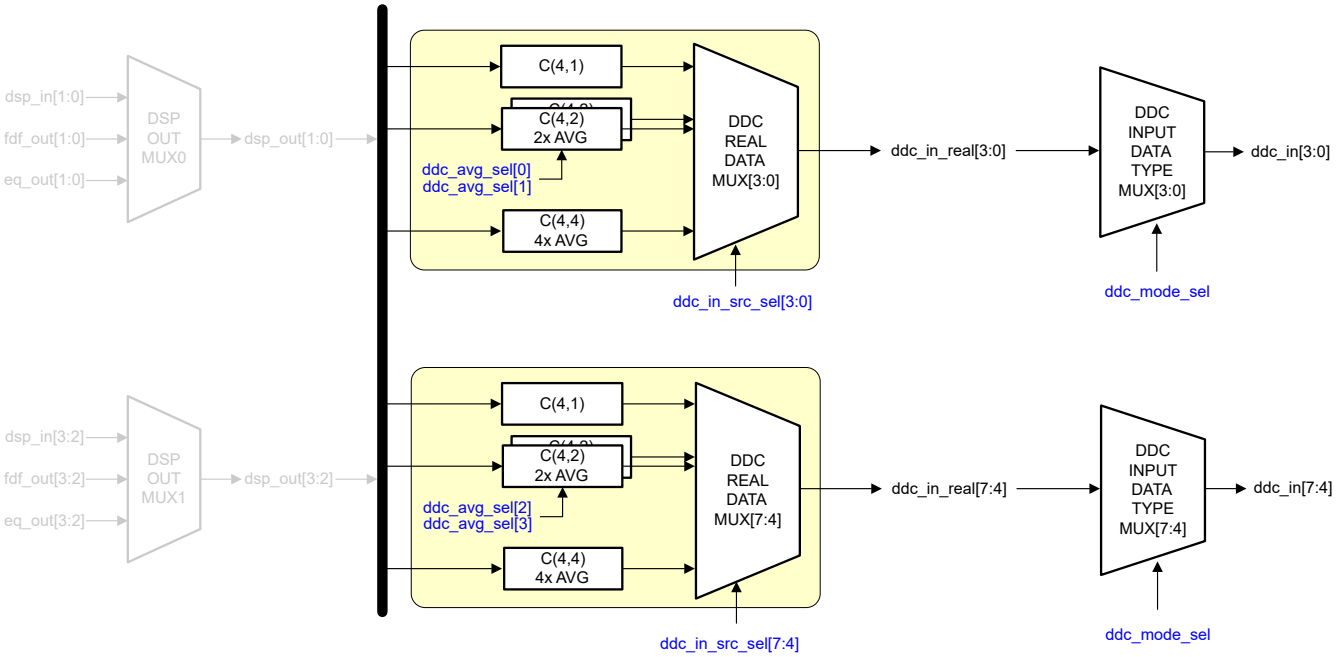


图 7-22. DDC 输入数据多路复用

可以对以下参数进行编程：

表 7-13. DDC 编程的输入选择

系统参数名称	尺寸	默认值	访问	说明
DDC_AVG__SEL{0..3}	3	..	R/W	选择要在 2x AVG 中取平均值的两个数据流作为多路复用器 DDC_REAL_DATA_MUX[3:0]/[7:4] 的共享输入。 0：dsp_out[0] 和 dsp_out[1] 的平均值。 1：dsp_out[0] 和 dsp_out[2] 的平均值。 2：dsp_out[0] 和 dsp_out[3] 的平均值。 3：dsp_out[1] 和 dsp_out[2] 的平均值。 4：dsp_out[1] 和 dsp_out[3] 的平均值。 5：dsp_out[2] 和 dsp_out[3] 的平均值。
DDC_IN_SRC_SEL{0..7}	5	..	R/W	选择 DDC{0..7} 的数据源。所有 DDC 数据必须仅来自其中一个多路复用器。 0:dsp_out[0] 作为 DDC 的实数输入。 1:dsp_out[1] 作为 DDC 的实数输入。 2:dsp_out[2] 作为 DDC 的实数输入。 3:dsp_out[3] 作为 DDC 的实数输入。 4：第一个 2x AVG 块 (DDC_AVG_SEL_0/2) 块的输出作为 DDC 的实数输入。 5：第二个 2x AVG 块 (DDC_AVG_SEL_1/3) 块的输出作为 DDC 的实数输入。 6：dsp_out[0]、dsp_out[1]、dsp_out[2] 和 dsp_out[3] 的平均值作为 DDC 的实数输入。

Copyright © 2025 Texas Instruments Incorporated

表 7-13. DDC 编程的输入选择（续）

系统参数名称	尺寸	默认值	访问	说明
DDC_EN_CTRL	8	0	R/W	独立 DDC 使能控制。每个位对应一个 DDC，其中 LSB 对应 DDC0。如果设置了使能位，则使能相应的 DDC。 位 0：DDC0 断电控制。 位 1：DDC1 断电控制。 位 2：DDC2 断电控制。 位 3：DDC3 断电控制。 位 4：DDC4 断电控制。 位 5：DDC5 断电控制。 位 6：DDC6 断电控制。 位 7：DDC7 断电控制。
DDC_MODE_SEL	3	0	R/W	选择所有 DDC 共享的 DDC 模式。 0：直通模式；特定 DDC 未使用 1：提供给 DDC 的实数输入（来自 DDC_REAL_DATA_MUX）经过低通滤波，并按抽取因子进行下采样。 2：提供给 DDC 的实数输入（来自 DDC_REAL_DATA_MUX）与 NCO 混合，产生复数输出。复数输出经过低通滤波，并按抽取因子进行下采样。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.2 抽取模式

支持两种不同的抽取模式，并且必须将所有 8 个 DDC 配置为相同的模式：

- **实数抽取**：实数输入经过低通滤波，然后滤波器输出按抽取因子 (M) 进行下采样。此模式下 DDC 块的输出是实数信号，详细的 DDC 链如图 7-23 所示。
- **具有实数输入的复数抽取**：DDC 接收一个实数输入，与 NCO 混合后产生复数输出。复数输出经过低通滤波，并按抽取因子 (M) 进行下采样。此模式下 DDC 块的输出是复数信号，详细的 DDC 链如图 7-25 所示。

每个 DDC 都有一个使能控制信号。如果禁用 DDC，则输出为零。以下块是 DDC 信号链的一部分：

- **抽取**：可能的抽取因子为 B x 2^N，其中基本因子 B 可以为 1、3 或 5，N 最多为 15 (B = 1)、5 (B = 3) 和 4 (B = 5)。

  当基础因子为 3 或 5 时，所有 DDC 必须共享相同的抽取因子设置。但是，当基本因子为 1（抽取因子为 2 的幂）时，每个 DDC 都可以具有独立的抽取因子，因为每个 DDC 都有一个采样重复因子块。当每个 DDC 配置为不同的抽取因子时，会调整每个 DDC 的采样重复因子，以便所有 DDC 输出都与最高数据速率 DDC 进行速率匹配。例如，如果两个 DDC 处于活动状态，一个 DDC 配置为 4 倍抽取率，另一个配置为 16 倍抽取率，则配置为 16 倍抽取率的 DDC 通过将采样重复 4 次自动获得与 4 倍抽取率匹配的速率。成功配置后，可以回读每个 DDC 的重复因子。

  备注

  任何 DDC 配置抽取因子为 2 时，均不支持独立抽取因子。当使用 2 倍抽取率时，所有其他 DDC 也必须设置为 2 倍。

  重复因子：在有效 JESD 线路速率低于 4Gbps 的阈值下限的情况下，会针对每个 DDC 自动调整重复因子。基本因子为 3 和 5 时，重复因子块不可用。
- **DDC_PFIR**：ADC34RF72 在抽取链中具有一个集成的可编程 FIR 滤波器块，其中最后一级滤波器是完全可编程的。该功能仅在抽取因子为 2 的幂 (B = 1) 时可用。该块称为 DDC_PFIR。每个 DDC_PFIR 具有总共多达 96 个抽头（在复数抽取模式下有两个输入端）和 17 位分辨率。
- **DDC 粗略增益 (G)**：固定数字增益可应用于每条 DDC 路径，其中增益 G 是 {0dB, 3dB, 6dB} 的元素，可通过 ddc_coarse_gain[7:0] 信号对每个 DDC 进行控制。
- **DDC_EQ**：DDC_EQ 支持与数字 DSP EQ 相同的所有模式。

  备注

  此 EQ 不适用于抽取因子 2 和 3。
- **DDC_COMPLEX_GAIN**：每个 DDC 都具有可编程复数增益。在实数抽取模式下，仅应用增益的实部。0dB 至 6dB 范围内的增益步长为 0.1dB；实部和虚部可以独立进行增益设置。

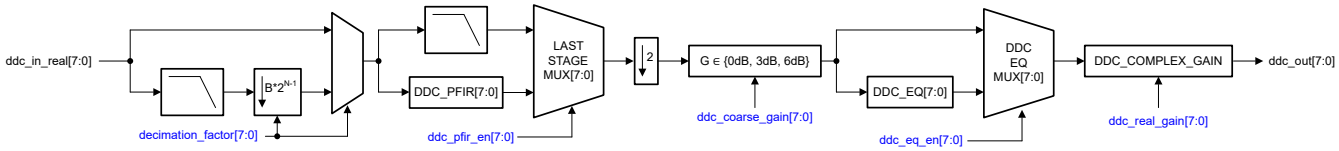


图 7-23. 实数抽取信号链（抽取因子为 2 的幂 (B = 1)）

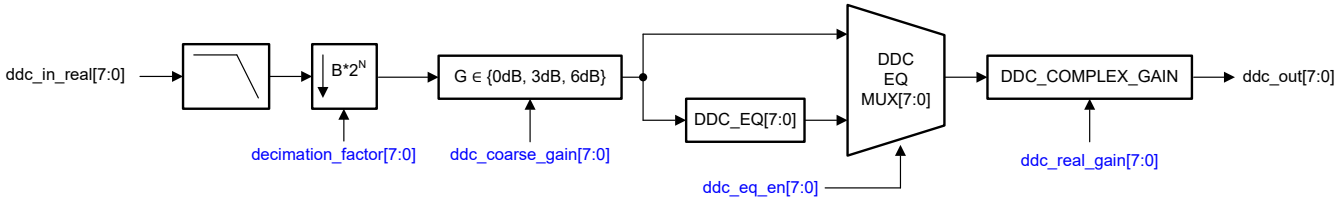


图 7-24. 实数抽取信号链（抽取因子为 3 和 5 (B = 3, 5)）

Copyright © 2025 Texas Instruments Incorporated

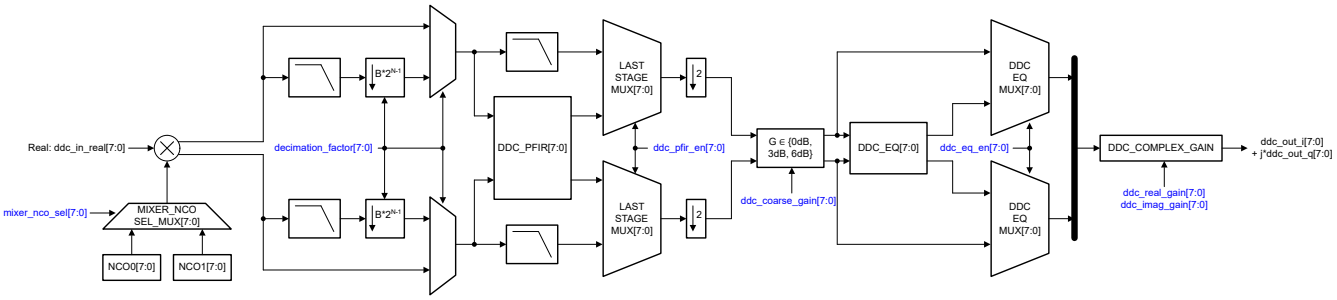


图 7-25. 复数抽取信号链（抽取因子为 2 (B = 1)）

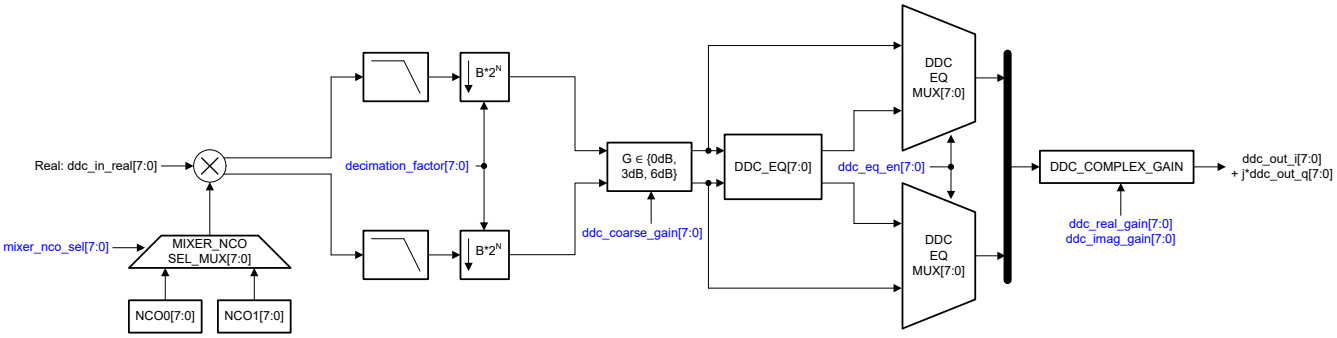


图 7-26. 复数抽取信号链（抽取因子为 3 和 5 (B = 3, 5)）

可以对以下参数进行编程：

表 7-14. DDC 编程的输入选择

函数名称	尺寸	默认值	访问	说明
DDC{0..7}_DECIMATION_FACTOR_LSB	8	1	R/W	设置 DDC 的 16 位抽取因子的位 [15:0]。可能的抽取因子为： [2, 3, 4, 5, 6, 8, 10, 12, 16, 20, 24, 32, 40, 48, 64, 80, 96, 128, 256, 512, 1024, 2048, 4096, 8192, 16384, 32768]
DDC{0..7}_DECIMATION_FACTOR_MSB	8	0	R/W	
DDC{0..7}_REPEAT_FACTOR_LSB	8	1	R	DDC 的 14 位重复因子的位 [13:0]。
DDC{0..7}_REPEAT_FACTOR_MSB	6	0	R	
DDC{0..7}_PFIR_EN	1	0	R/W	控制 DDC_PFIR 使能。 0：禁用 DDC_PFIR，固定抽取滤波器用作最后一级滤波器。 1：使能 DDC_PFIR，可编程抽取滤波器用作最后一级滤波器。
DDC{0..7}_PFIR_MODE_SEL	1	0	R/W	选择 DDC_PFIR 模式。 0：单通道模式。 1：双通道模式。
DDC{0..7}_PFIR_NUM_TAPS	7	0	R/W	DDC_PFIR 在给定模式下使用的抽头数。在单通道模式下可以是任意值。在双通道模式下必须为偶数。 1...96：DDC_PFIR 使用的抽头数。
DDC{0..7}_PFIR_TAPS	1632	0	R/W	设置 DDC_PFIR 块的 96 个抽头。 单通道模式：多达 96 个抽头施加到 ddc_pfir_input[0]。 双通道模式：每个 ddc_pfir_input 多达 48 个抽头。前 48 个抽头施加到 ddc_pfir_input[0]。后 48 个抽头施加到 ddc_pfir_input[1]。
DDC{0..7}_EQ_EN	1	0	R/W	控制 DDC_EQ 使能。 0：DDC_EQ 已禁用且旁路。 1：DDC_EQ 已使能，DDC_EQ 滤波器应用于 DDC 输出。

Copyright © 2025 Texas Instruments Incorporated

表 7-14. DDC 编程的输入选择（续）

函数名称	尺寸	默认值	访问	说明
DDC{0..7}_EQ_MODE_SEL	3	0	R/W	选择 DDC_EQ 模式。 0：单通道模式。 1：双通道模式。 2：半复数模式。 3：完全复数模式。 4：仅延迟模式。
DDC{0..7}_EQ_DEL_VAL	7	0	R/W	DDC_EQ 延迟值。此设置的影响取决于 DDC_EQ 模式。 0...127：当 DDC_EQ 处于具有可编程延迟的模式时，应用的是器件时钟周期数延迟。
DDC{0..7}_EQ_NUM_TAPS	7	0	R/W	DDC_EQ 在给定模式下使用的抽头数。在单通道模式下可以是任意值。在双通道模式和半复数模式下必须为偶数。在完全复数模式下必须可被四整除。 1...96：DDC_EQ 使用的抽头数。
DDC{0..7}_EQ_TAPS	1536	0	R/W	设置 DDC_EQ 块的 96 个抽头。 单通道模式：多达 96 个抽头施加到 ddc_eq_input[0]。 双通道模式：每个 ddc_eq_input 最多 48 个抽头。前 48 个抽头施加到 ddc_eq_input[0]。后 48 个抽头施加到 ddc_eq_input[1]。 半复数模式：每个 ddc_eq_input 最多 48 个抽头。前 48 个抽头施加到 ddc_eq_input[0]。后 48 个抽头施加到 ddc_eq_input[1]。 完全复数模式：每个 ddc_eq_input 最多 48 个抽头。前 48 个抽头施加到 ddc_eq_input[0]；其中前 24 个抽头施加到 ddc_eq_output[0]。后 48 个抽头施加到 ddc_eq_input[1]；其中前 24 个抽头施加到 ddc_eq_output[0]。
DDC{0..7}_COARSE_GAIN	3	0	R/W	在 DDC_EQ 之前的 DDC 数据路径中设置固定数字增益。 0：0dB 数字增益。 3：3dB 数字增益。 6：6dB 数字增益（使用复数抽取时有用）。
DDC{0..7}_REAL_GAIN	6	0	R/W	复数增益的实部应用于 DDC 输出。增益以 0.1dB 为步长，从 0dB 开始到 6dB。 0..60：有效增益为 DDC_REAL_GAIN*0.1dB
DDC{0..7}_IMAG_GAIN	6	0	R/W	复数增益的虚部应用于 DDC 输出（用于复数抽取模式）。增益以 0.1dB 为步长，从 0dB 开始到 6dB。 0..60：有效虚数增益为 DDC_IMAG_GAIN*0.1dB

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.3 抽取滤波器响应

本节提供了标准化 ADC 采样率下不同抽取滤波器的响应。复数滤波器的通带约为抽取带宽的 80% (−0.1dB)，最小阻带抑制为 85dB。

抽取滤波器响应归一化为 ADC 采样时钟频率 F_S。图 7-28 和图 7-29 中展示了一个示例（4 倍抽取率）。产品文件夹中提供了所有其他抽取滤波器图的滤波器响应。

抽取滤波器图解读如下：每张图都包含滤波器通带、过渡带和混叠或阻带，如图 7-27 所示。x 轴显示了归一化为 ADC 采样率 F_S 的偏移频率（经过 NCO 频率偏移后）。

例如，在 4 分频复数设置中，输出数据速率为 $F_S/4$ 复数，奈奎斯特区域为 $F_S/8$ 或 $0.125 \times F_S$。过渡带（蓝色）以 $0.125 \times F_S$ 为中心，混叠过渡带以 $0.375 \times F_S$ 为中心。阻带（红色）在通带顶部混叠，以 $0.25 \times F_S$ 和 $0.5 \times F_S$ 为中心。阻带衰减大于 85dB。

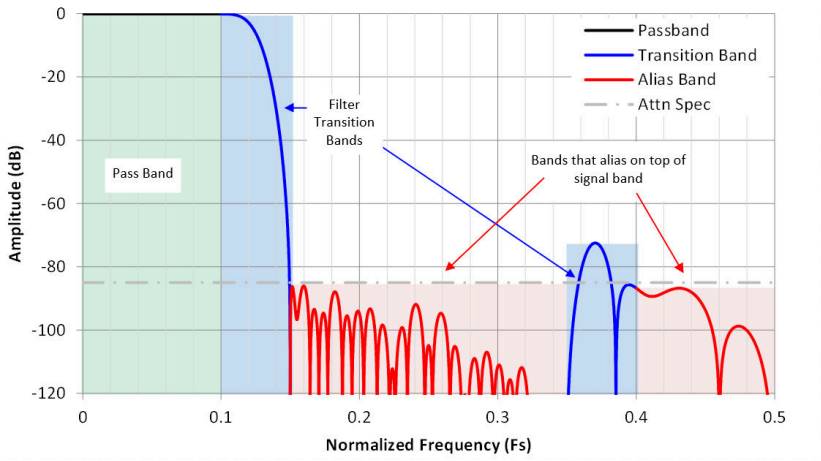


图 7-27. 抽取滤波器图的解释

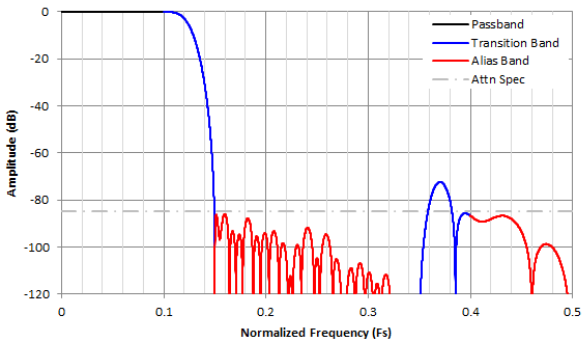


图 7-28. 4 倍抽取率滤波器响应

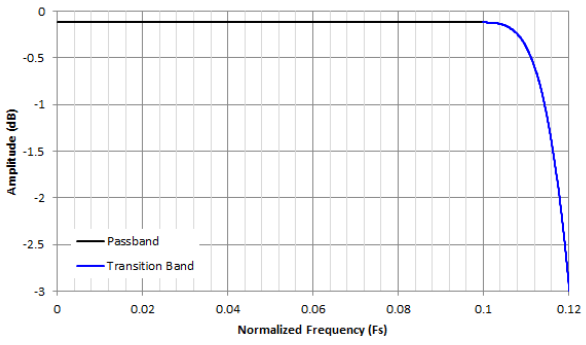


图 7-29. /4 抽取通带纹波响应

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.4 数控振荡器 (NCO)

FS = ADC 采样率 (MSPS)

每个数字下变频器 (DDC) 都使用一个 48 位数控振荡器(NCO) 在数字滤波之前微调频率，如图 7-30 所示。NCO 频率范围为 $-F_S/2$ 至 $F_S/2$，由频率控制字 (FCW) 和相位偏移决定。

每个 DDC 都有两种不同的 NCO 频率。所需的 NCO 频率通过 SPI 编程，可使用 SPI 或 GPIO 引脚进行选择。使用 GPIO 引脚进行 NCO 频率控制时，可以在不到 1µs 的时间内实现跳频。

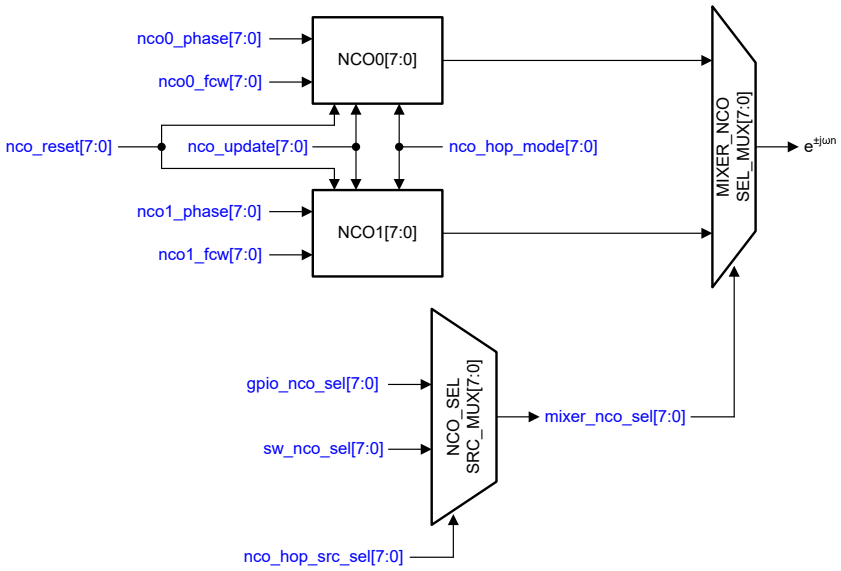


图 7-30. 包含所有控制信号的 NCO 方框图

无限相位相干 NCO：借助相位相干 NCO，所有频率都使用 SYSREF 与单个事件进行同步。由于跳频之间保持相位相干性，因此无需复位 NCO，即可实现无限次跳频。图 7-31（右）展示了这一点。当恢复到原始频率 f_1 时，NCO 相位看起来就像 NCO 从未改变过频率一样。

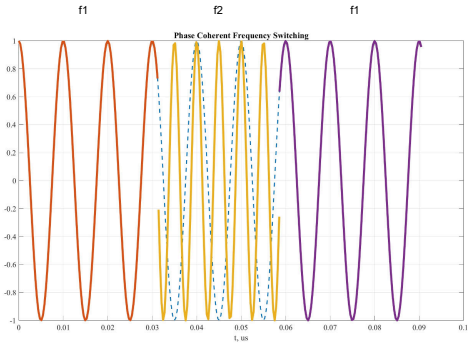


图 7-31. 无限相位相干 NCO 频率切换

Copyright © 2025 Texas Instruments Incorporated

振荡器会生成一个复指数序列：$e^{j\omega n}$（默认值）或 $e^{-j\omega n}$

其中：频率 (ω) 通过 48 位 FCW 指定为有符号数

复指数序列与 ADC 的实数输入相乘，以将所需的载波混合到等于 $f_{IN} + f_{NCO}$ 的频率。NCO 频率可在 $-F_S/2$ 至 $+F_S/2$ 范围内进行调节，并以带符号的二进制补码形式处理。

FCW 设置由 48 位寄存器值设置，计算方式如下：

$$\text{NCO frequency (0 to + } F_S/2\text{): NCO} = f_{NCO} \times 2^{48} / F_S \quad (3)$$

$$\text{NCO frequency (-}F_S/2\text{ to 0): NCO} = (f_{NCO} + F_S) \times 2^{48} / F_S \quad (4)$$

其中：

- NCO = FCW（十进制值）
- f_{NCO} = 所需的 NCO 频率 (MHz)
- F_S = ADC 采样率 (MSPS)

7.3.5.5.4.1 NCO 更新

NCO FCW 和相位可以动态更新。此外，可以屏蔽每个 DDC 的 NCO 更新信号(nco_update_mask[7:0])。NCO 更新信号可来自软件 (sw_nco_sync)，也可通过泄漏内部 SYSREF (SYSREF_INT) 来更新 NCO。更新 NCO FCW 和相位是一个两步流程：

1. 必须写入新的 FCW 和相位
2. 必须发出 nco_update 信号才能应用新的 NCO 设置

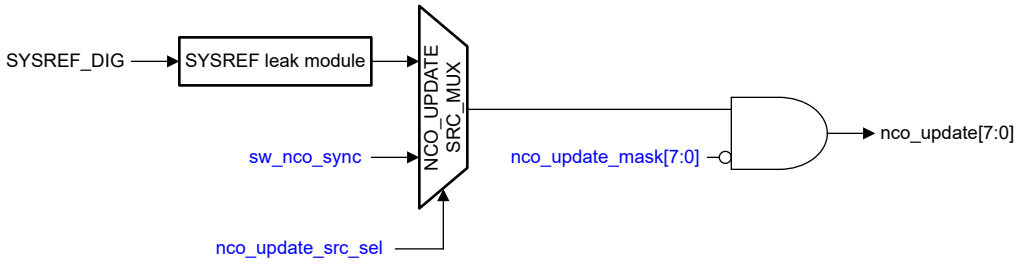


图 7-32. 使用所有控制信号进行 NCO 更新

nco_update_mask[7:0] 用于屏蔽特定 DDC 的 nco_update 信号，因此允许仅针对部分 DDC 更新 NCO。当 NCO 更新信号来自软件 (sw_nco_sync) 时，由于 DDC [x] 和 DDC[x+1] 共享 sw_nco_sync 信号，因此 DDC [x] 和 DDC[x+1] 的 nco_update_mask（其中 $x \in \{0,2,4,6\}$）应配置为完全相同。

Copyright © 2025 Texas Instruments Incorporated

7.3.5.5.4.2 NCO 复位

可以通过 nco_reset 信号为每个 NCO 复位 NCO 相位累加器。可以为每个 DDC 屏蔽 NCO 复位 (nco_reset_mask[7:0])。NCO 复位信号可来自软件 (sw_nco_sync)，也可通过 GPIO 预置 NCO，在下一个 SYSREF 边沿进行复位。

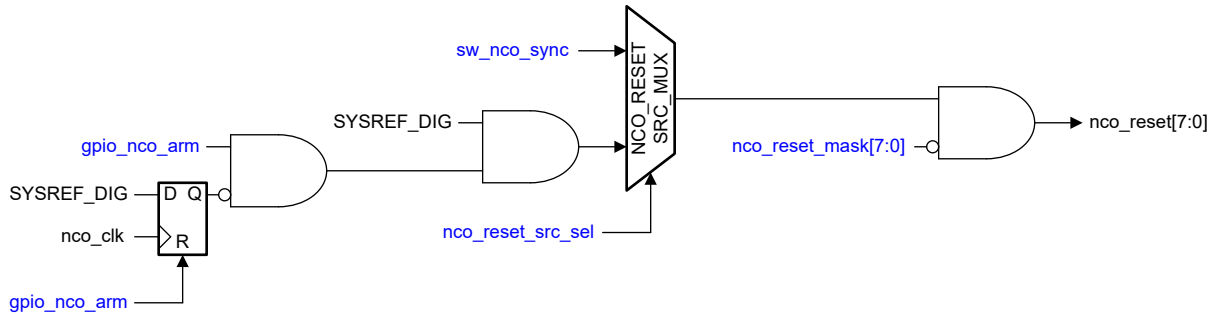


图 7-33. 使用所有控制信号进行 NCO 复位

gpio_nco_arm NCO 复位路径用于从主机器件同步跨器件的多个 NCO。主机器件可以在 SYSREF 的下降沿启动 gpio_nco_arm，以便 gpio_nco_arm 信号在下一个 SYSREF 边沿之前有最多的时间到达所有器件。

Copyright © 2025 Texas Instruments Incorporated

以下寄存器可以进行编程：

表 7-15. 混频器和 NCO 编程

系统参数名称	尺寸	默认值	访问	说明
DDC_NCO_UPDATE_SRC_SEL	1	0	R/W	选择 NCO 更新信号的来源。 0：NCO 更新信号来自软件。 1：泄漏内部 SYSREF (SYSREF_DIG) 以更新 NCO。
DDC_NCO_RESET_SRC_SEL	1	0	R/W	选择 NCO 复位信号的来源。 0：NCO 复位信号来自软件。 1：GPIO 预置信号 (gpio_nco_arm) 预置 NCO 模块，使 NCO 更新信号在下一个 SYSREF 上升沿发出。
DDC_NCO_UPDATE_MASK	8	0	R/W	每个 DDC NCO 更新信号屏蔽控制。如果 NCO 更新源来自软件，则 DDC[x] 和 DDC[x+1]（其中 x ∈ {0,2,4,6}）的配置应完全相同。将屏蔽位设置为 1 可确保相应的 DDC NCO 屏蔽 NCO 更新信号。 位 0：DDC0 NCO 更新屏蔽控制。 位 1：DDC1 NCO 更新屏蔽控制。 位 2：DDC2 NCO 更新屏蔽控制。 位 3：DDC3 NCO 更新屏蔽控制。 位 4：DDC4 NCO 更新屏蔽控制。 位 5：DDC5 NCO 更新屏蔽控制。 位 6：DDC6 NCO 更新屏蔽控制。 位 7：DDC7 NCO 更新屏蔽控制。
DDC_NCO_RESET_MASK	8	0	R/W	每个 DDC NCO 复位信号屏蔽控制。如果 NCO 复位源来自软件，则 DDC[x] 和 DDC[x+1]（其中 x ∈ {0,2,4,6}）的配置应完全相同。将屏蔽位设置为 1 可确保相应的 DDC NCO 屏蔽 NCO 复位信号。 位 0：DDC0 NCO 更新复位控制。 位 1：DDC1 NCO 更新复位控制。 位 2：DDC2 NCO 更新复位控制。 位 3：DDC3 NCO 更新复位控制。 位 4：DDC4 NCO 更新复位控制。 位 5：DDC5 NCO 更新复位控制。 位 6：DDC6 NCO 更新复位控制。 位 7：DDC7 NCO 更新复位控制。
DDC{0..7}_NCO_HOP_SRC_SEL	1	0	R/W	选择 DDC 的 NCO 跳频信号来源。 0：通过 GPIO 选择 NCO（跳频）（每个 DDC 对应一个 GPIO 功能）。 1：通过软件选择 NCO（跳频）。
DDC{0..7}_NCO_HOP_MODE	1	0	R/W	在跳频时选择 NCO 模式。 0：未使用 1：相位相干跳频模式，其中 NCO 的原始相位在跳频过程中始终保持不变。
DDC{0..7}_NCO{0,1}_FCW	48	0	R/W	NCO{0,1} 的 48 位 FCW 字
DDC{0..7}_NCO{0,1}_PHASE	48	0	R/W	NCO{0,1} 的 48 位相位偏移

Copyright © 2025 Texas Instruments Incorporated

7.3.6 数字输出接口

ADC34RF7x 支持两种不同的数字输出数据接口：

1. JESD204B/C：该接口使用多达 8 个串行输出通道，支持高达每通道 16Gbps (JESD204B) 的数据速率和高达每通道 24.75Gbps (JESD204C) 的数据速率。
2. LVDS：在软件中尚不受支持

7.3.6.1 JESD204B/C 接口

ADC34RF7x 使用 JESD204B/C 高速串行接口，可将数据从 ADC 传输到接收逻辑器件。ADC34RF7x 串行通道使用 JESD204C 时的运行速率高达 24.75Gbps，使用 JESD204B 时的运行速率高达 15Gbps。该器件支持多达 2 条 JESD 链路（以相同的通道速率运行），并提供 1、2、4 或 8 条通道的通道选项。图 7-34 展示了 JESD204 接口的内部方框图以及两条链路各自的配置参数。

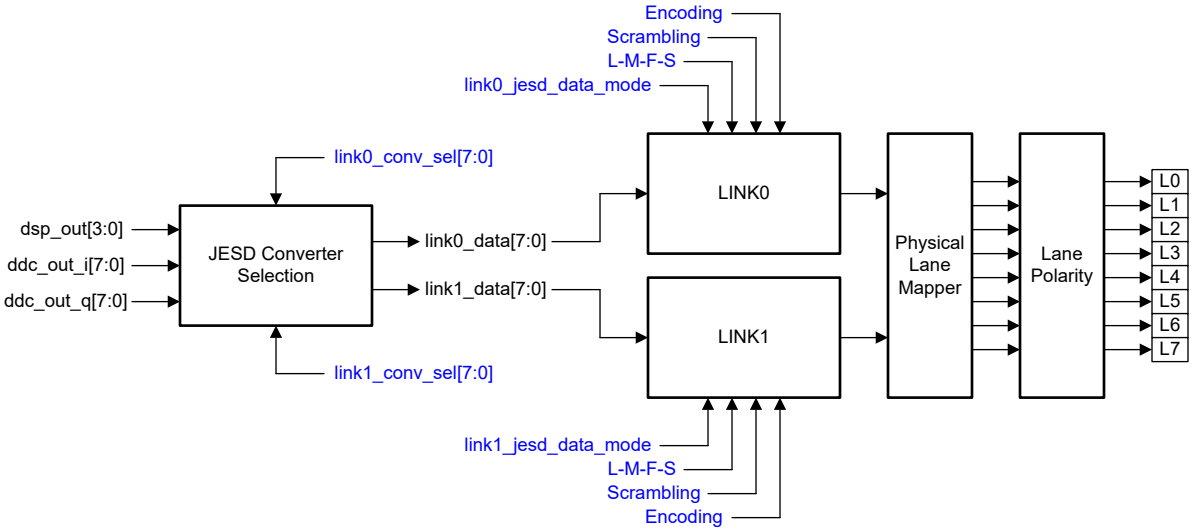


图 7-34. JESD204 方框图

配置 JESD204B/C 接口时，需要考虑以下参数和约束。

L、M、F、S、N 和 N' 的范围

- L：通道数： $L \in \{1,2,4,8\}$
- M：转换器数：$M \in \{1,2,4,8\}$；对于 M=16（八频带抽取），JESD 接口需要配置为 2 条链路，每条链路 M=8
- F：每帧的八位位组数： $F \in \{1,2,...,F_{max}\}$
- S：每个转换器的采样数： $S \in \{1,2,4\}$
- N：带填充的采样分辨率：$N' = 8 \cdot L \cdot F/(M \cdot S)$，且 $N' \in \{16,24,32\}$
- N：无填充的采样分辨率：$N' \in \{16,24\}$ 且 $N <= N'$

F 和 N'的约束

- $N' = 16 \Rightarrow F_{max} = 64$
- $N' \in \{24,32\} \Rightarrow F_{max} = 64$
- N= 32 => F 必须是 4 的倍数。

通道数 (L) 和通道速率 (LR) 的约束

- JESD TX 通道速率 LR：4.0Gbps 至 24.75Gbps
- L = 8 仅允许用于 JESD TX 链路 0，不允许用于 JESD TX 链路 1

Copyright © 2025 Texas Instruments Incorporated

抽取因子 (D) 和重复因子 (R) 的约束

- 采样重复因子 $R = 2^p$，$p \in \mathbb{N}^+$
- D <= 4： R=1
- D%3 = 0：R=1
- D%5 = 0：R=1
- D > 4： D/R >= 4

JESD TX 转换器选择的约束

- 所选转换器 C ∈ {0,1,...,19}，请参阅表 7-16
- 转换器可以在上述集合中按任何顺序显示
- 此外，表 7-17 中的约束也适用。

表 7-16. 转换器选择

转换器	选择编号
DDC0_I	0
DDC0_Q	1
...	...
DDC7_Q	15
ADC0	16
ADC1	17
ADC2	18
ADC3	19

表 7-17. 有效 JESD 配置

JESD 数据模式	抽取因子 D	每条链路的转换器数 M	可供选择的转换器	可供选择的转换器编号
JESD_DATA_MODE_DSP_OUT	1（DDC 旁路）	1.2	ADC0、ADC1、ADC2、ADC3	16,17,18,19
JESD_DATA_MODE_DDC_OUT	2.3	1、2、4	DDC0_IQ、DDC1_IQ、DDC4_IQ、DDC5_IQ	0,1,2,3,8,9,10,11
	4.5	1、2、4、8	DDC0_IQ, ...DDC7_IQ	0,1,2....14,15
	8,16,32...			
	6,10,12,20,...			

可以对以下参数进行编程：

表 7-18. JESD TX 链路寄存器 (x: 0 = LINK0, 1 = LINK1)

系统参数名称	尺寸	默认值	复位	说明
LINK{x}_SCR_EN	1	0	RW	控制 JESD 扰频器使能。 0：JESD 扰频器禁用。 1：JESD 扰频器使能。
LINK{x}_JESD_TYPE	1	0	RW	选择 JESD 类型，并且必须与 ENCODING 设置完全相同。 0：8b10b 1：64b66b
LINK{x}_ENCODING	1	0	RW	选择 JESD 编码。必须与 JESD_TYPE 设置完全相同。 0：8b10b 编码。 1：64b66b 编码。

Copyright © 2025 Texas Instruments Incorporated

表 7-18. JESD TX 链路寄存器 (x: 0 = LINK0, 1 = LINK1) （续）

系统参数名称	尺寸	默认值	复位	说明
LINK{x}_JESD_DATA_MODE	2	0	RW	选择 JESD 数据源。 0：将 DDC_OUT 提供给 JESD。 1：将 DSP_OUT 提供给 JESD。 2：未使用 3：未使用
LINK{x}_JESD_LANES	4	4	RW	设置链路的 JESD 通道数 (L) 参数。 0：LINK 禁用。 1：JESD L 参数设置为 1。 2：JESD L 参数设置为 2。 4：JESD L 参数设置为 4。 8：JESD L 参数设置为 8。
LINK{x}_JESD_CONVERTERS	4	2	RW	设置链路的 JESD 转换器数 (M) 参数。 0：LINK 禁用。 1：JESD M 参数设置为 1。 2：JESD M 参数设置为 2。 4：JESD M 参数设置为 4。 8：JESD M 参数设置为 8。
LINK{x}_JESD_OCTETS_PER_FRAME	7	1	RW	设置链路的 JESD 每帧八位位组数 (F) 参数。F 的最大值为 64。如果 N'为 32，则 F 必须是 4 的倍数。 1...64：JESD F 参数值。
LINK{x}_JESD_SAMPLES_PER_CONVERTER	3	1	RW	设置链路的 JESD 每个转换器的采样数 (S) 参数。 1：JESD S 参数设置为 1。 2：JESD S 参数设置为 2。 4：JESD S 参数设置为 4。
LINK{x}_JESD_K_OR_E	8	32	RW	设置每个多帧的 JESD 帧数 (K) 或每个扩展多块的多块数 (E)。使用 8b10b 编码时，此字段为 K 参数；使用 64b66b 编码时，此字段为 E 参数。
LINK{x}_CONV_SEL_{y}	5	16	RW	选择链路中 {y} 转换器的数据源。 (y=0..7) 0：DDC0 同相分量数据。 1：DDC0 正交分量数据。 2：DDC1 同相分量数据。 3：DDC1 正交分量数据。 4：DDC2 同相分量数据。 5：DDC2 正交分量数据。 6：DDC3 同相分量数据。 7：DDC3 正交分量数据。 8：DDC4 同相分量数据。 9：DDC4 正交分量数据。 10：DDC5 同相分量数据。 11：DDC5 正交分量数据。 12：DDC6 同相分量数据。 13：DDC6 正交分量数据。 14：DDC7 同相分量数据。 15：DDC7 正交分量数据。 16：来自 DSP_OUT 的 ADC0 数据。 17：来自 DSP_OUT 的 ADC1 数据。 18：来自 DSP_OUT 的 ADC2 数据。 19：来自 DSP_OUT 的 ADC3 数据。

Copyright © 2025 Texas Instruments Incorporated

表 7-18. JESD TX 链路寄存器 (x: 0 = LINK0, 1 = LINK1) （续）

系统参数名称	尺寸	默认值	复位	说明
JESD_SYNC_N_SRC_SEL	2	0	RW	设置 8b10b 的 SYNC_N 信号源。 0：GPIO0 用作 SYNC_N 输入。 2：SYNC_N 通过软件在内部生成。
JESD_PHY_LANE{y}_DATA_SEL	3	0.1	RW	设置 lane{y} 的物理通道数据源。(y = 0..7)。 0：JESD 逻辑通道 0 用作通道数据。 1：JESD 逻辑通道 1 用作通道数据。 2：JESD 逻辑通道 2 用作通道数据。 3：JESD 逻辑通道 3 用作通道数据。 4：JESD 逻辑通道 4 用作通道数据。 5：JESD 逻辑通道 5 用作通道数据。 6：JESD 逻辑通道 6 用作通道数据。 7：JESD 逻辑通道 7 用作通道数据。
JESD_PHY_LANE_POLARITY_CTRL	8	0	RW	设置各个物理通道极性。如果设置了该位，则相应的物理通道极性会反转。 位 0：JESD 物理通道 0 极性控制。 位 1：JESD 物理通道 1 极性控制。 位 2：JESD 物理通道 2 极性控制。 位 3：JESD 物理通道 3 极性控制。 位 4：JESD 物理通道 4 极性控制。 位 5：JESD 物理通道 5 极性控制。 位 6：JESD 物理通道 6 极性控制。 位 7：JESD 物理通道 7 极性控制。

7.3.6.1.1 JESD204B 初始通道对齐 (ILA)

接收器件通过将 $\overline{\text{SYNC}}$ 信号置为无效来启动初始通道对齐过程。当在 $\overline{\text{SYNC}}$ 输入端检测到逻辑低电平状态时，ADC 开始传输逗号字符 (K28.5) 以建立代码组同步，如图 7-35 所示。同步完成后，接收器件将 $\overline{\text{SYNC}}$ 信号重新置为有效，ADC 使用下一个本地多帧时钟 (LMFC) 边界启动初始通道对齐序列。ADC 会传输四个多帧，每个包含 K 帧（K 可通过 SPI 编程设置）。每个多帧都包含帧开始符号和帧结束符号。第二个多帧还包含 JESD204B 链路配置数据。

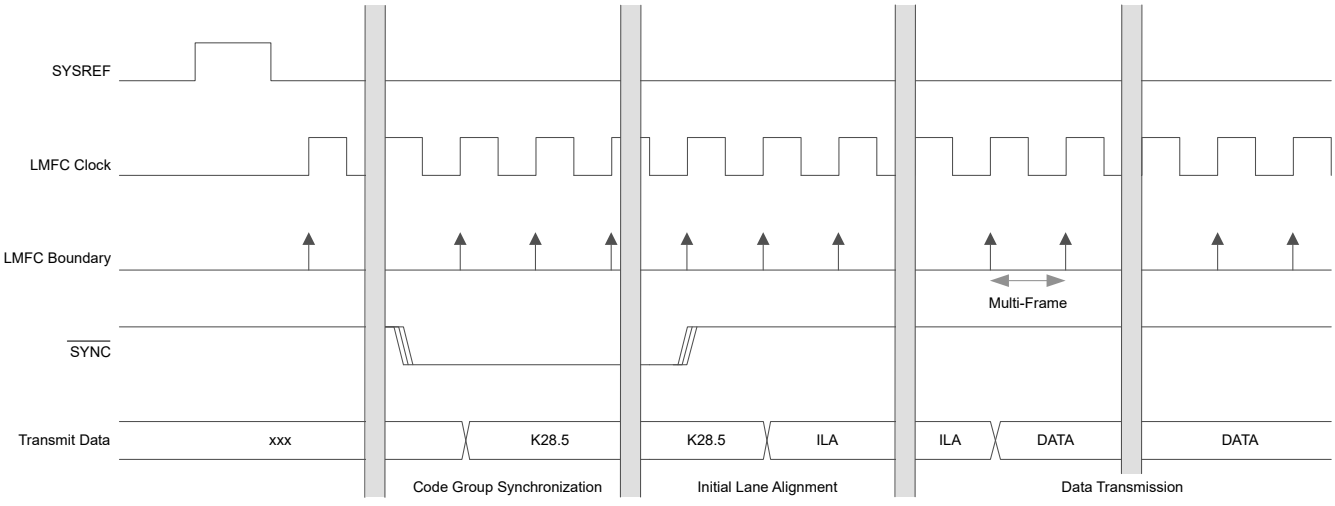


图 7-35. JESD204B 内部时序图

Copyright © 2025 Texas Instruments Incorporated

7.3.6.1.2 $\overline{\text{SYNC}}$ 信号

$\overline{\text{SYNC}}$ 信号是使用两种不同方法之一发出：

1. 使用 $\overline{\text{SYNC}}$ 输入引脚发出 SYNC 请求
2. 同步命令是通过 SPI 发出

7.3.6.1.3 JESD204B/C 帧元件

JESD204B/C 标准定义了以下参数：

- L：每条链路的通道数
- M：每个器件的转换器数
- F：每帧时钟周期的八位位组数
- S：每帧的采样数

7.3.6.1.4 旁路模式下的 JESD204B/C 帧组件

表 7-19 列出了 ADC34RF7x 的可用 JESD204B/C 格式和相应的有效采样率范围。采样率受最小和最大串行器/解串器线路速率以及 ADC 采样时钟频率的限制。不同通道的 JESD204B/C 帧组件如表 7-20 所示。

表 7-19. JESD 模式选项：旁路模式

输出分辨率（位）	L	M	F	S	JESD204B：通道速率 (Gbps)	JESD204B 比率 [f_{SERDES}/F_S]	JESD204C：通道速率 (Gbps)	JESD204C 比率 [f_{SERDES}/F_S]
16	8	4	1	1	F_S x 16 x 10/8 x M / L	10	F_S x 16 x 66 /64 x M / L	8.25
	4	4	2	1		20		16.5
	8	2	1	2		5		4.125
	4	2	1	1		10		8.25
	2	2	2	1		20		16.5
	4	1	1	2		5		4.125
	2	1	1	1		10		8.25
	1	1	2	1		20		16.5

表 7-20. JESD 采样帧组件示例：旁路模式

输出通道	LMFS = 8-4-1-1	LMFS = 4-4-2-1	LMFS = 8-2-1-2	LMFS = 4-2-1-1	LMFS = 2-2-2-1	LMFS = 4-1-1-2	LMFS = 2-1-1-1	LMFS = 1-1-2-1
STX0	A_0[15:8]	A_0[15:0]	A_0[15:8]	A_0[15:8]	A_0[15:0]	A_0[15:8]	A_0[15:8]	A_0[15:0]
STX1	A_0[7:0]	B_0[15:0]	A_0[7:0]	A_0[7:0]	B_0[15:0]	A_0[7:0]	A_0[7:0]	
STX2	B_0[15:8]	C_0[15:0]	A_1[15:8]	B_0[15:8]		A_1[15:8]		
STX3	B_0[7:0]	D_0[15:0]	A_1[7:0]	B_0[7:0]		A_1[7:0]		
STX4	C_0[15:8]		B_0[15:8]					
STX5	C_0[7:0]		B_0[7:0]					
STX6	D_0[15:8]		B_1[15:8]					
STX7	D_0[7:0]		B_1[7:0]					

Copyright © 2025 Texas Instruments Incorporated

7.3.6.1.5 具有实数抽取功能的 JESD204B/C 帧组件

表 7-21 列出了可用的 JESD204B/C 接口配置和相应的串行器/解串器通道速率。边界条件为：

- JESD204B：通道速率从 4（最小值）到 15Gbps（最大值）
- JESD204C：通道速率从 4（最小值）到 24.75Gbps（最大值）

JESD204B/C 帧组件示例如表 7-22 至表 7-25 所示。

表 7-21. JESD 模式选项：实数抽取

输出分辨率（位）	L	M	F	S	JESD204B：通道速率 (Gbps)	JESD204B：比率 [$f_{SERDES}/(F_S/N)$]	JESD204C：通道速率 (Gbps)	JESD204C：比率 [$f_{SERDES}/(F_S/N)$]
16	8	4	1	1	F_S x 20 x M / D / L	10	F_S x 16 x 66 /64 x M / D / L	8.25
	4	4	2	1		20		16.5
	2	4	4	1		40		33
	1	4	8	1		80		66
	4	2	1	1		10		8.25
	2	2	2	1		20		16.5
	1	2	4	1		40		33
	2	1	1	1		10		8.25
	1	1	2	1		20		16.5
24	8	4	3	2	F_S x 30 x M / D / L	15	F_S x 24 x 66 /64 x M / D / L	12.375
	4	4	3	1		30		24.75
	2	4	6	1		60		49.5
	1	4	12	1		120		99
	2	2	3	1		30		24.75
	1	2	6	1		60		49.5
	1	1	3	1		30		24.75

D：抽取设置

表 7-22. JESD 帧组件示例：实数抽取 16 位输出：四频带

输出通道	LMFS = 8-4-1-1	LMFS = 4-4-2-1	LMFS = 2-4-4-1		LMFS = 1-4-8-1			
STX0	A_0 [15:8]	A_0 [15:0]	A_0 [15:0]	B_0 [15:0]	A_0 [15:0]	B_0 [15:0]	C_0 [15:0]	D_0 [15:0]
STX1	A_0 [7:0]	B_0 [15:0]	C_0 [15:0]	D_0 [15:0]				
STX2	B_0 [15:8]	C_0 [15:0]						
STX3	B_0 [7:0]	D_0 [15:0]						
STX4	C_0 [15:8]							
STX5	C_0 [7:0]							
STX6	D_0 [15:8]							
STX7	D_0 [7:0]							

Copyright © 2025 Texas Instruments Incorporated

表 7-23. JESD 帧组件示例：实数抽取 16 位输出：双频带和单频带

输出通道	LMFS = 4-2-1-1	LMFS = 2-2-2-1	LMFS = 1-2-4-1		LMFS = 2-1-1-1	LMFS = 1-1-2-1
STX0	A_0 [15:8]	A_0 [15:0]	A_0 [15:0]	B_0 [15:0]	A_0 [15:8]	A_0 [15:0]
STX1	A_0 [7:0]	B_0 [15:0]			A_0 [7:0]	
STX2	B_0 [15:8]					
STX3	B_0 [7:0]					
STX4..7						

表 7-24. JESD 采样帧组件示例：实数抽取 24 位输出：四频带

输出通道	LMFS = 8-4-3-2	LMFS = 4-4-3-1	LMFS = 2-4-6-1		LMFS = 1-4-12-1			
STX0	A_0 [23:0]	A_0 [23:0]	A_0 [23:0]	B_0 [23:0]	A_0 [23:0]	B_0 [23:0]	C_0 [23:0]	D_0 [23:0]
STX1	A_1 [23:0]	B_0 [23:0]	C_0 [23:0]	D_0 [23:0]				
STX2	B_0 [23:0]	C_0 [23:0]						
STX3	B_1 [23:0]	D_0 [23:0]						
STX4	C_0 [23:0]							
STX5	C_1 [23:0]							
STX6	D_0 [23:0]							
STX7	D_1 [23:0]							

表 7-25. JESD 采样帧组件示例：实数抽取 24 位输出：双频带和单频带

输出通道	LMFS = 2-2-3-1	LMFS = 1-2-6-1		LMFS = 1-1-3-1
STX0	A_0 [23:0]	A_0 [23:0]	B_0 [23:0]	A_0 [23:0]
STX1	B_0 [23:0]			
STX2..7				

Copyright © 2025 Texas Instruments Incorporated

7.3.6.1.6 具有复数抽取功能的 JESD204B,C 帧组件

表 7-26 列出了可用的 JESD204B,C 接口配置和相应的串行器/解串器通道速率。边界条件为：

- JESD204B：通道速率从 4（最小值）到 15Gpbs（最大值）
- JESD204C：通道速率从 4（最小值）到 24.75Gbps（最大值）

JESD204B/C 帧组件如 表 7-27（16 位）和 表 7-31（24 位）所示。

使用八频带 DDC 时，需要配置两条单独的 JESD 链路，因为 M（每条链路的转换器数）不能超过 8，如 表 7-27 所示。例如，对于使用 8 个 JESD 通道的八频带 DDC，两条链路中的每一条都可配置为 LMFS = 4-8-4-1。内部 JESD 输出多路复用器可用于为每个链路分配特定的 SerDes 通道。

表 7-26. JESD 模式选项：复数抽取

输出分辨率（位）	L	M	F	S	JESD204B：通道速率 (Gbps)	JESD204B：比率 [$f_{SERDES}/(F_S/N)$]	JESD204C：通道速率 (Gbps)	JESD204C：比率 [$f_{SERDES}/(F_S/N)$]
16	8	8	2	1	F_S x 16 x 10/8 x M / D / L	20	F_S x 16 x 66 /64 x M / D / L	16.5
	4	8	4	1		40		33
	2	8	8	1		80		66
	1	8	16	1		160		132
	8	4	1	1		10		8.25
	4	4	2	1		20		16.5
	2	4	4	1		40		33
	1	4	8	1		80		66
	8	2	1	2		5		4.125
	4	2	1	1		10		8.25
	2	2	2	1		20		16.5
	1	2	4	1		40		33
24	8	8	3	1	F_S x 24 x 10/8 x M / D / L	30	F_S x 24 x 66 /64 x M / D / L	24.75
	4	8	6	1		60		49.5
	2	8	12	1		120		99
	1	8	24	1		240		198
	8	4	3	2		15		12.375
	4	4	3	1		30		24.75
	2	4	6	1		60		49.5
	1	4	12	1		120		99
	8	2	3	4		7.5		6.1875
	4	2	3	2		15		12.375
	2	2	3	2		30		24.75
	1	2	6	1		60		49.5

D：复数抽取设置

Copyright © 2025 Texas Instruments Incorporated

表 7-27. JESD 帧组件示例：复数抽取、八频带、16 位输出
注：LMFS 配置按每条 JESD 链路单独设置

JESD 链路	输出通道	LMFS = 4-8-4-1	LMFS = 2-8-8-1		LMFS = 1-8-16-1			
LINK0	STX0	AI_0 [15:0]、AQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]
	STX1	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]				
	STX2	CI_0 [15:0]、CQ_0 [15:0]						
	STX3	DI_0 [15:0]、DQ_0 [15:0]						
LINK1	STX4	EI_0 [15:0]，EQ_0 [15:0]	EI_0 [15:0]，EQ_0 [15:0]	FI_0 [15:0]，FQ_0 [15:0]	EI_0 [15:0]，EQ_0 [15:0]	FI_0 [15:0]，FQ_0 [15:0]	GI_0 [15:0]，GQ_0 [15:0]	HI_0 [15:0]，HQ_0 [15:0]
	STX5	FI_0 [15:0]，FQ_0 [15:0]	GI_0 [15:0]，GQ_0 [15:0]	HI_0 [15:0]，HQ_0 [15:0]				
	STX6	GI_0 [15:0]，GQ_0 [15:0]						
	STX7	HI_0 [15:0]，HQ_0 [15:0]						

表 7-28. JESD 帧组件示例：复数抽取、四频带、16 位输出

输出通道	LMFS = 8-8-2-1	LMFS = 4-8-4-1	LMFS = 2-8-8-1		LMFS = 1-8-16-1			
STX0	AI_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	AI_0 [15:0]、AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]
STX1	AQ_0 [15:0]	BI_0 [15:0]、BQ_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]				
STX2	BI_0 [15:0]	CI_0 [15:0]、CQ_0 [15:0]						
STX3	BQ_0 [15:0]	DI_0 [15:0]、DQ_0 [15:0]						
STX4	CI_0 [15:0]							
STX5	CQ_0 [15:0]							
STX6	DI_0 [15:0]							
STX7	DQ_0 [15:0]							

表 7-29. JESD 帧组件示例：复数抽取、双频带、16 位输出

输出通道	LMFS = 8-4-1-1	LMFS = 4-4-2-1	LMFS = 2-4-4-1		LMFS = 1-4-8-1			
STX0	AI_0 [15:8]	AI_0 [15:0]	AI_0 [15:0]	AQ_0 [15:0]	AI_0 [15:0]	AQ_0 [15:0]	BI_0 [15:0]	BQ_0 [15:0]
STX1	AI_0 [7:0]	AQ_0 [15:0]	BI_0 [15:0]	BQ_0 [15:0]				
STX2	AQ_0 [15:8]	BI_0 [15:0]						
STX3	AQ_0 [7:0]	BQ_0 [15:0]						
STX4	BI_0 [15:8]							
STX5	BI_0 [7:0]							
STX6	BQ_0 [15:8]							
STX7	BQ_0 [7:0]							

Copyright © 2025 Texas Instruments Incorporated

表 7-30. JESD 帧组件示例：复数抽取、单频带、16 位输出

输出通道	LMFS = 8-2-1-2	LMFS = 4-2-1-1	LMFS = 2-2-2-1		LMFS = 1-2-4-1			
STX0	AI_0 [15:8]	AI_0 [15:8]	AI_0 [15:8]	AI_0 [7:0]	AI_0 [15:8]	AI_0 [7:0]	AQ_0 [15:8]	AQ_0 [7:0]
STX1	AI_0 [7:0]	AI_0 [7:0]	AQ_0 [15:8]	AQ_0 [7:0]				
STX2	AQ_0 [15:8]	AQ_0 [15:8]						
STX3	AQ_0 [7:0]	AQ_0 [7:0]						
STX4	AI_1 [15:8]							
STX5	AI_1 [7:0]							
STX6	AQ_1 [15:8]							
STX7	AQ_1 [7:0]							

表 7-31. JESD 帧组件示例：复数抽取、八频带、24 位输出
注：LMFS 配置按每条 JESD 链路单独设置

JESD 链路	输出通道	LMFS = 4-8-6-1	LMFS = 2-8-12-1		LMFS = 1-8-24-1			
LINK0	STX0	AI_0 [23:0]、AQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]
	STX1	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]				
	STX2	CI_0 [23:0]、CQ_0 [23:0]						
	STX3	DI_0 [23:0]、DQ_0 [23:0]						
LINK1	STX4	EI_0 [23:0]、EQ_0 [23:0]	EI_0 [23:0]、EQ_0 [23:0]	FI_0 [23:0]，FQ_0 [23:0]	EI_0 [23:0]、EQ_0 [23:0]	FI_0 [23:0]，FQ_0 [23:0]	GI_0 [23:0]，GQ_0 [23:0]	HI_0 [23:0]，HQ_0 [23:0]
	STX5	FI_0 [23:0]，FQ_0 [23:0]	GI_0 [23:0]，GQ_0 [23:0]	HI_0 [23:0]，HQ_0 [23:0]				
	STX6	GI_0 [23:0]，GQ_0 [23:0]						
	STX7	HI_0 [23:0]，HQ_0 [23:0]						

表 7-32. JESD 帧组件示例：复数抽取、四频带、24 位输出

输出通道	LMFS = 8-8-3-1	LMFS = 4-8-6-1	LMFS = 2-8-12-1		LMFS = 1-8-24-1			
STX0	AI_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	AI_0 [23:0]、AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]
STX1	AQ_0 [23:0]	BI_0 [23:0]、BQ_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]				
STX2	BI_0 [23:0]	CI_0 [23:0]、CQ_0 [23:0]						
STX3	BQ_0 [23:0]	DI_0 [23:0]、DQ_0 [23:0]						
STX4	CI_0 [23:0]							
STX5	CQ_0 [23:0]							
STX6	DI_0 [23:0]							
STX7	DQ_0 [23:0]							

Copyright © 2025 Texas Instruments Incorporated

表 7-33. JESD 帧组件示例：复数抽取、双频带、24 位输出

输出通道	LMFS = 8-4-3-2	LMFS = 4-4-3-1	LMFS = 2-4-6-1		LMFS = 1-4-12-1			
STX0	AI_0 [23:0]	AI_0 [23:0]	AI_0 [23:0]	AQ_0 [23:0]	AI_0 [23:0]	AQ_0 [23:0]	BI_0 [23:0]	BQ_0 [23:0]
STX1	AQ_0 [23:0]	AQ_0 [23:0]	BI_0 [23:0]	BQ_0 [23:0]				
STX2	AI_1 [23:0]	BI_0 [23:0]						
STX3	AQ_1 [23:0]	BQ_0 [23:0]						
STX4	BI_0 [23:0]							
STX5	BQ_0 [23:0]							
STX6	BI_1 [23:0]							
STX7	BQ_1 [23:0]							

表 7-34. JESD 帧组件示例：复数抽取、单频带、24 位输出

输出通道	LMFS = 8-2-3-4	LMFS = 4-2-3-2	LMFS = 2-2-3-1	LMFS = 1-2-6-1	
STX0	AI_0 [23:0]	AI_0 [23:0]	AI_0 [23:0]	AI_0 [23:0]	AQ_0 [23:0]
STX1	AQ_0 [23:0]	AQ_0 [23:0]	AQ_0 [23:0]		
STX2	AI_1 [23:0]	AI_1 [23:0]			
STX3	AQ_1 [23:0]	AQ_1 [23:0]			
STX4	AI_2 [23:0]				
STX5	AQ_2 [23:0]				
STX6	AI_3 [23:0]				
STX7	AQ_3 [23:0]				

Copyright © 2025 Texas Instruments Incorporated

7.3.6.2 JESD 输出基准时钟

ADC 提供了将串行器/解串器基准时钟输出到 FPGA 的选项（请参阅图 7-36）。此 JESD 基准时钟配置为串行器/解串器通道速率/(8 x k)，其中 k 可以是 4 到 255 之间的任意整数。这为支持的基准时钟频率提供了很高的灵活性。

输出时钟可配置为单端 LVCMOS 或差分 LVDS。此电路默认处于关断状态。如果未使用，则 JESDCLKP/M 引脚保持悬空。

JESD 输出时钟直接源自内部串行器/解串器 PLL，不提供确定性延迟。

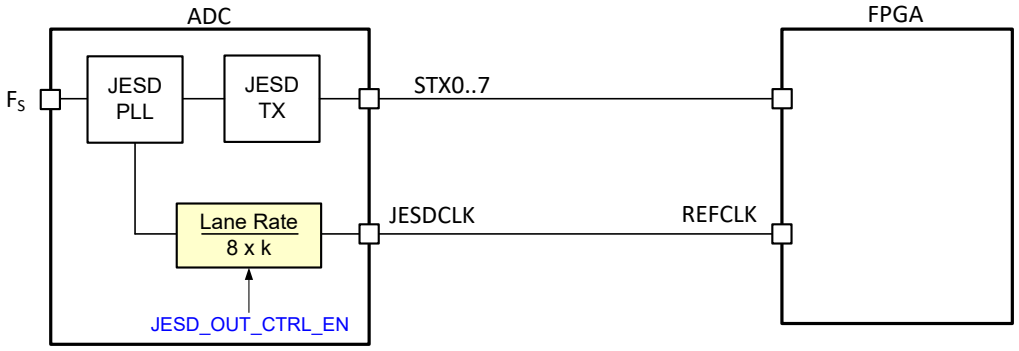


图 7-36. FPGA 串行器/解串器 PLL 的 JESD 基准时钟输出

可以使用以下参数对 JESD 时钟输出进行编程：

表 7-35. JESD 时钟输出配置编程

系统参数名称	尺寸	默认值	访问	说明
JESD_OUT_EN_CTRL	1	0	R/W	使能 JESD 输出控制。 0：JESD 输出禁用。 1：JESD 输出启用。
JESD_OUT_DIV0	8	0	R/W	JESD 时钟输出分频因子的位 [7:0]。
JESD_OUT_DIV1	8	0	R/W	JESD 时钟输出分频因子的位 [12:8]。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

该器件有 3 种不同的工作模式（另请参阅图 7-37 和图 7-38）：

1. 正常运行：每个输入通道一个 ADC 内核。这是每通道模式的最低功耗。
2. 对 2 次结果取平均值：输入信号从外部连接到 2 个 ADC 通道。在内部对两个 ADC 的输出求平均值以改善 SNR（最佳改进 = 3dB）。
3. 对 4 次结果取平均值：输入信号从外部连接到 4 个 ADC 通道。在内部对四个 ADC 的输出求平均值以改善 SNR（最佳改进 = 6dB）。

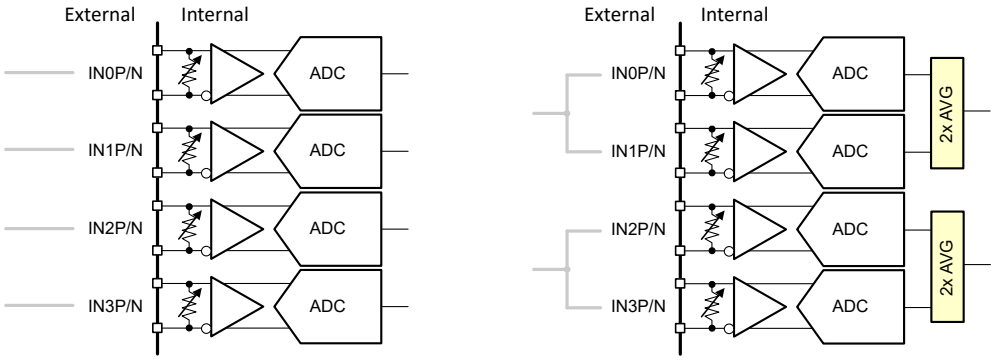


图 7-37. 工作模式：正常运行（左）和对 2 次结果取平均值（右）

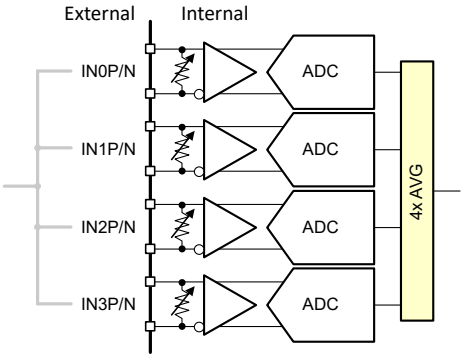


图 7-38. 工作模式：对 4 次结果取平均值

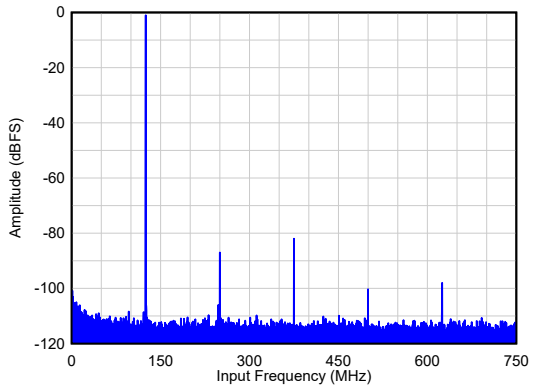
表 7-36. 模式比较（典型值）

运行模式	输出通道数量	F_{IN} = 125MHz、A_{IN} = −1dBFS 时的 SNR_{flat}	F_{IN} = 125MHz、A_{IN} = −20dBFS 时的 SNR_{flat}	F_{IN} = 125MHz、A_{IN} = −20dBFS 时的 NSD_{flat}
正常	4	74.8dBFS	75.5dBFS	−163.6dBFS/Hz
对 2 次结果取平均值	2	77.5dBFS	78.3dBFS	−166.4dBFS/Hz
对 4 次结果取平均值	1	80.2dBFS	80.6dBFS	−168.7dBFS/Hz

Copyright © 2025 Texas Instruments Incorporated

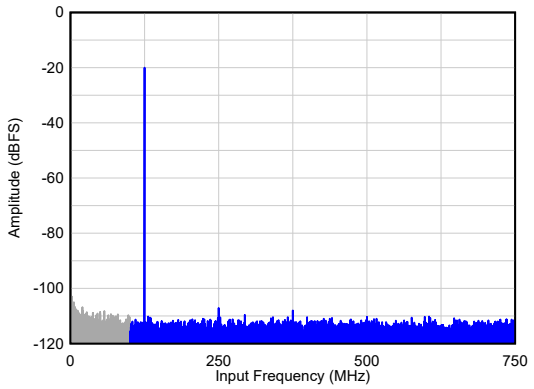
7.4.1 器件运行模式比较

下图是对相同输入信号配置下不同工作模式的测量结果进行的比较。



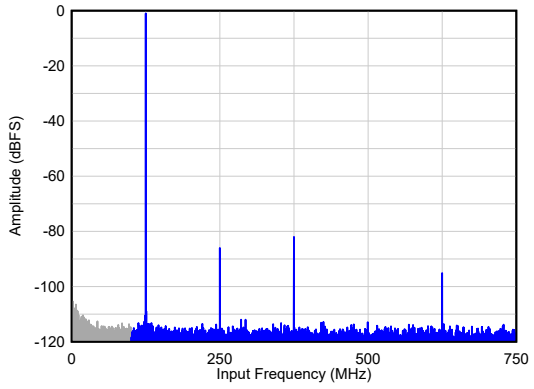
F_{IN} = 125MHz、A_{IN} = -1dBFS、SNR_{flat} = 74.8dBFS

图 7-39. 单音 FFT，正常模式



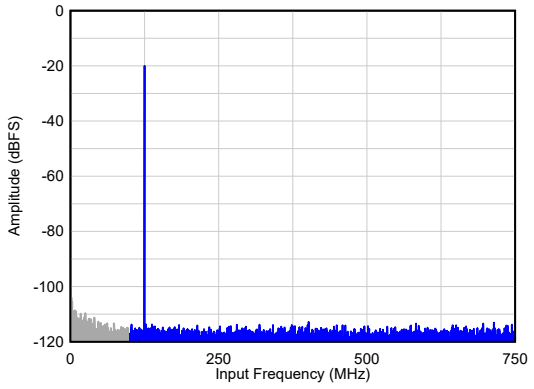
F_{IN} = 125MHz、A_{IN} = -20dBFS、SNR_{flat} = 75.5dBFS

图 7-40. 单音 FFT，正常模式



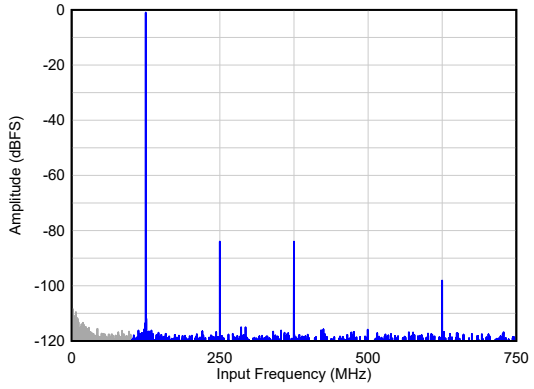
F_{IN} = 125MHz、A_{IN} = -1dBFS、SNR_{flat} = 77.5dBFS

图 7-41. 单音 FFT，对 2 次结果取平均值模式



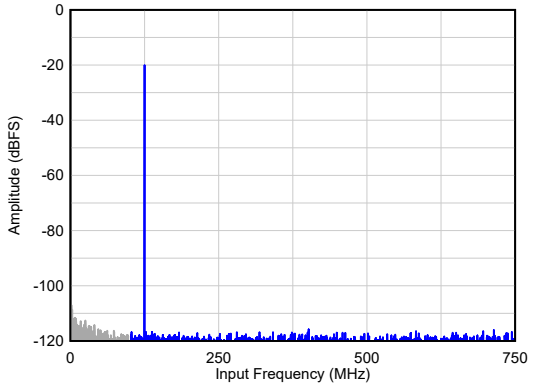
F_{IN} = 200MHz、A_{IN} = -20dBFS、SNR_{flat} = 78.2dBFS

图 7-42. 单音 FFT，对 2 次结果取平均值模式



F_{IN} = 125MHz、A_{IN} = -1dBFS、SNR_{flat} = 80.2dBFS

图 7-43. 单音 FFT，对 4 次结果取平均值模式



F_{IN} = 200MHz、A_{IN} = -20dBFS、SNR_{flat} = 80.6dBFS

图 7-44. 单音 FFT，对 4 次结果取平均值模式

Copyright © 2025 Texas Instruments Incorporated

7.5 编程

该器件主要使用串行编程接口 (SPI) 进行配置和控制。但是，还有一些可用的数字特性和功能，可通过 SPI 进行配置并通过 GPIO 引脚进行控制/使用。

7.5.1 GPIO 控制

该器件具有 24 个 GPIO 引脚。其中四个引脚是固定功能，其余 20 个引脚可使用 SPI 针对不同的功能进行独立配置。

表 7-37. GPIO：固定功能

引脚名称	功能	引脚编号
$\overline{\text{RESET}}$	硬件 RESET	J1
SCLK	SPI SCLK	K15
SDIO	SPI DIN/DOUT	L15
SDOUT	SPI DOUT	L3
$\overline{\text{SEN}}$	SPI EN	J16
$\overline{\text{SYNC}}$	SYNC 用于 JESD 8b/10b	J4

表 7-38. GPIO：可配置的功能

功能	引脚编号	PINS 的数量	说明
NCO 控制	不限	1..8	该引脚为每个 DDC 在 2 个 NCO 频率之间进行选择。 有 8 个 DDC，每个 NCO/DDC 都可以映射到特定的 GPIO 引脚。可以将一个 GPIO 引脚用于多个/所有 DDC。 仅在使用 NCO 时正常工作。 低电平：选择每个活动 DDC 的 NCO_0。 高电平：选择每个活动 DDC 的 NCO_1。
OVR		1	每个 ADC OVR 信号的“或”运算输出。 低电平：没有 ADC 处于饱和状态。 高电平：有一个 ADC 处于饱和状态。
NCO SYSREF ARM		1	GPIO 引脚用于在下一个 SYSREF 上升沿将 NCO 相位复位为 0。
校准冻结		1	低电平：器件后台校准处于活动状态。 高电平：器件后台校准处于非活动状态。
全局断电		1	器件全局断电。 低电平：器件已上电。 高电平：器件已断电。
快速断电		1	器件全局断电。 低电平：器件已上电。 高电平：器件已断电。

Copyright © 2025 Texas Instruments Incorporated

7.5.2 SPI 寄存器写入

可以按照以下步骤对内部寄存器进行编程：

1. 将 $\overline{SEN}$ 引脚驱动为低电平（当 $\overline{SEN}$ 驱动为低电平时，所有 SPI 上升时钟沿和下降时钟沿都需要发生）。
2. 将 R/W 位设置为 0（16 位地址的 A15 位）。
3. 通过指定要写入内容的寄存器地址 (A[14:0])，启动一个串行接口周期，以及
4. 写入在 SCLK 上升沿锁存的 8 位数据

图 7-45 显示了串行寄存器写入操作的时序要求。

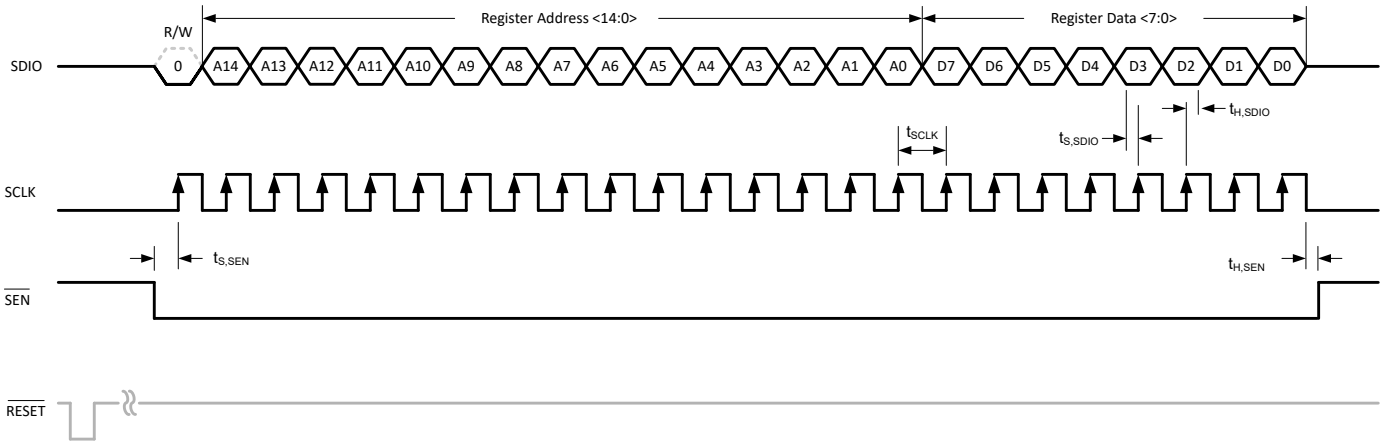


图 7-45. 串行寄存器写入时序图

7.5.3 SPI 寄存器读取

该器件包含可使用 SDIO 引脚回读内部寄存器内容的模式。该回读模式可用作诊断检查，以验证外部控制器和 ADC 之间的串行接口通信。读取串行寄存器内容的过程如下：

1. 将 $\overline{SEN}$ 引脚驱动为低电平（当 $\overline{SEN}$ 驱动为低电平时，所有 SPI 上升时钟沿和下降时钟沿都需要发生）。
2. 将 R/W 位 (A15) 设置为 1。该设置会禁用对寄存器的任何进一步写入。
3. 启动串行接口周期，指定必须读取其内容的寄存器地址 (A[14:0])
4. 该器件在 SCLK 下降沿将所选寄存器的内容 (D[7:0]) 发送到 SDIO 引脚
5. 外部控制器可以在 SCLK 上升沿上捕获内容

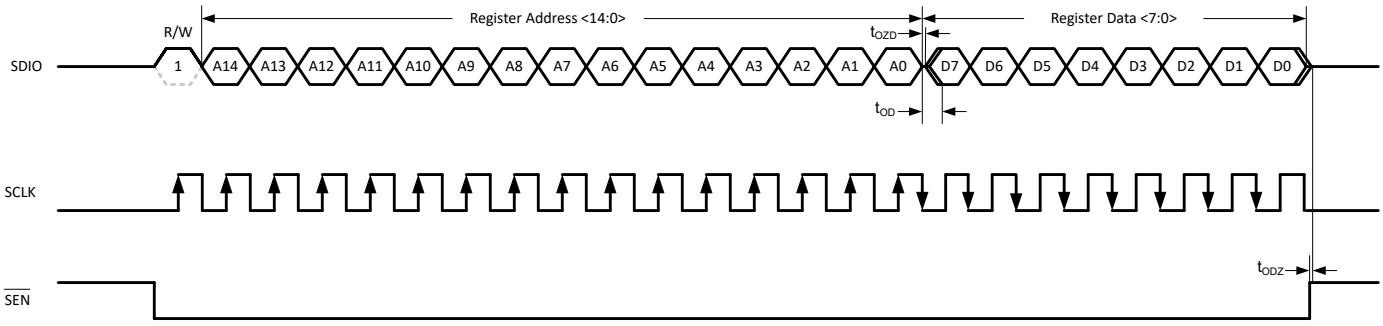


图 7-46. 串行寄存器读取时序图

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ADC34RF72 可用于各种应用，包括雷达、频率和/或时间域数字转换器、频谱分析仪、测试和通信设备以及软件定义无线电 (SDR)。典型应用部分描述了两种能够满足众多此类应用需求的配置。

8.2 典型应用：频谱分析仪

本节展示 ADC34RF72 作为宽带射频采样接收器的应用。该器件非常灵活，可使用内部数字均值计算功能作为 4 通道接收器或双通道接收器，使本底噪声更好。ADC 由单端射频放大器驱动，而差分信号的转换通过变压器（平衡-非平衡变压器）实现。该器件包含采用四通道和双通道模式的数字下变频器 (DDC)，可将所需的频带混合到基带中，并对数据进行下采样以降低接口速率。图 8-1 显示了宽带射频采样接收器的方框图，其中器件配置为双通道模式以实现最佳的噪声密度。

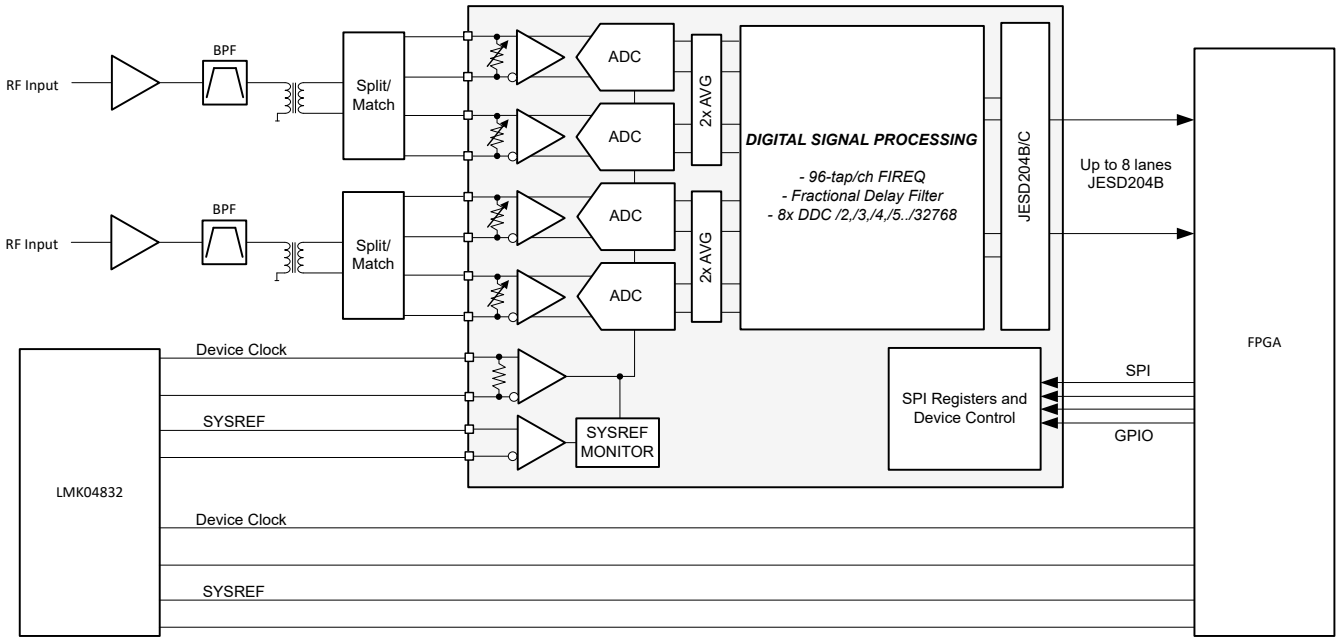


图 8-1. 宽带射频采样接收器

8.2.1 设计要求

8.2.1.1 输入信号路径：宽带接收器

使用适当的频带限制滤波器来抑制接收信号路径中不需要的频率。需要使用 1:2（对于 100Ω 有效端接阻抗）或 1:1（对于 50Ω 有效端接阻抗）平衡-非平衡变压器将单端射频输入转换为差分，以便输入到 ADC。平衡-非平衡变压器应在目标频率范围内具有良好的振幅 (< 0.5dB) 和相位平衡（小于 2 度）。背对背平衡-非平衡变压器配置通常可以提供更好的 SFDR 性能。表 8-1 列出了针对不同阻抗比和频率范围的多种推荐平衡-非平衡变压器。ADC 输入的 S 参数可用于设计前端匹配网络。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 推荐的平衡-非平衡变压器

器件型号	制造商(1)	阻抗比	振幅平衡 (dB)	相位平衡 (°)	频率范围
BAL-0003SMG	Marki Microwave	1:2	0.1	3	0.5MHz 至 3GHz
TCM2-43X+	Mini-Circuits	1:2	0.5	7	10MHz 至 4GHz
TCM2-33WX+	Mini-Circuits	1:2	0.7	4	10MHz 至 3GHz
TC1-1-13M+	Mini-Circuits	1:1	0.5	2-3	10MHz 至 3GHz

(1) 请参阅第三方产品免责声明。

8.2.1.2 时钟

器件时钟输入必须与器件交流耦合，以提供额定性能。时钟源必须具有低抖动（积分相位噪声），以使 ADC 达到规定的 SNR 性能，尤其是在较高输入频率下运行时。时钟信号可以使用带通滤波器进行滤波，以消除部分宽带时钟噪声。JESD204B/C 数据转换器系统 (ADC + FPGA) 需要额外的 SYSREF 和器件时钟。LMK04828 或 LMK04832 器件是为生成这些时钟而设计。根据 ADC 时钟频率和抖动要求.此器件也可用作系统时钟合成器或器件时钟和 SYSREF 分配器件（在系统中使用多个 ADC34RF72 器件时）。

8.2.2 详细设计过程

8.2.2.1 采样时钟要求

为了更大限度地提高 ADC 的 SNR 性能，需要超低抖动 (< 50fs) 采样时钟。图 8-2 显示了估算的 SNR 性能与输入频率和外部时钟抖动之间的关系。内部 ADC 孔径抖动也与时钟振幅有关（输入频率越高越敏感），如图 8-3 所示。使用均值计算和/或抽取时，应先估算单个 ADC 内核的 SNR，然后再添加内部均值计算和/或抽取带来的 SNR 改善。

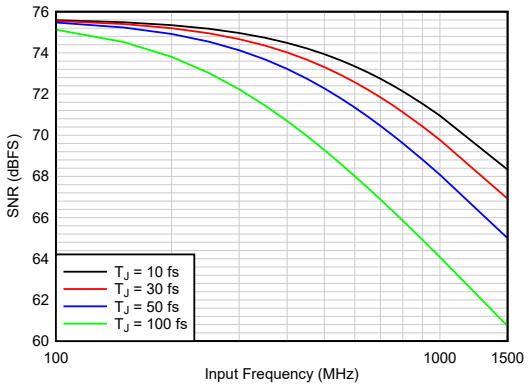


图 8-2. SNR 与 T_{Jitter} 间的关系

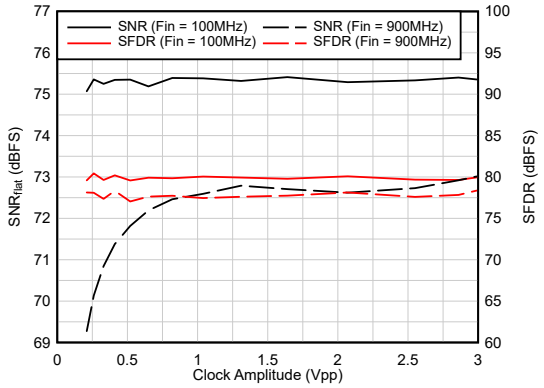


图 8-3. 交流性能与时钟振幅间的关系

8.2.3 应用性能曲线图

以下应用曲线展示了对 2 次内部数字结果取平均值时的性能。DDC 旁路模式和 8 倍复数抽取下显示了输入频率为 900MHz、输入振幅为 -1dBFS 和 -20dBFS。

Copyright © 2025 Texas Instruments Incorporated

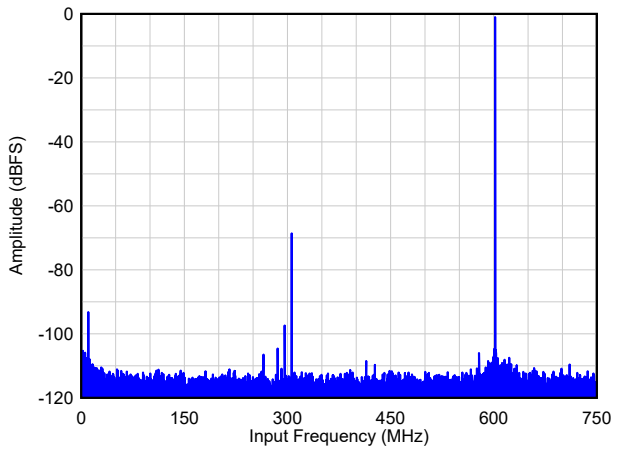


图 8-4. F_{IN} = 900MHz、A_{IN} = -1dBFS、对 2 次结果取平均值、DDC 旁路

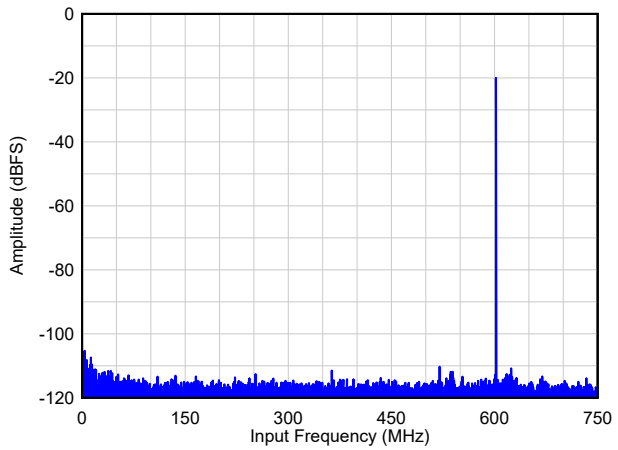


图 8-5. F_{IN} = 900MHz、A_{IN} = -20dBFS、对 2 次结果取平均值、DDC 旁路

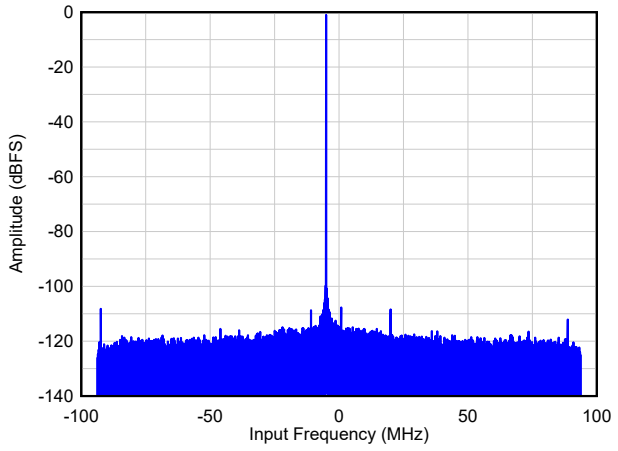


图 8-6. F_{IN} = 900MHz、A_{IN} = -1dBFS、对 2 次结果取平均值、8 倍复数抽取

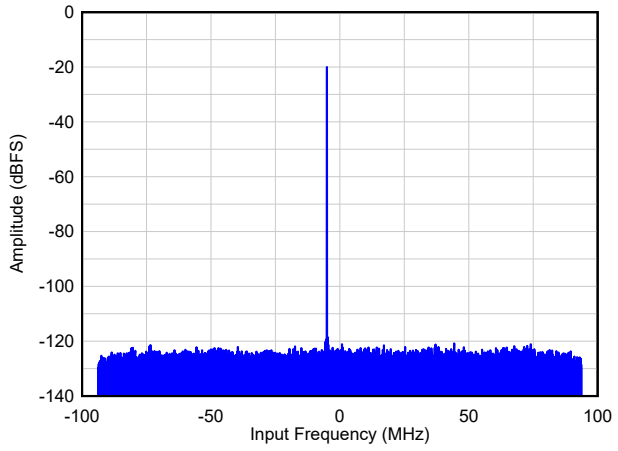


图 8-7. F_{IN} = 900MHz、A_{IN} = -20dBFS、对 2 次结果取平均值、8 倍复数抽取

Copyright © 2025 Texas Instruments Incorporated

8.3 典型应用：时间域数字转换器

ADC34RF72 具备多种特性，例如低代码误差率 (CER)、极低本底噪声和高 SNR 以及可编程分数数字延迟，因此，该器件非常适合时域数字转换器和示波器应用。图 8-8 中典型时间域采样信号链的方框图，其中，ADC32RF72 配置为双通道模式，对 2 次内部数字结果取平均值，以实现出色的噪声密度。

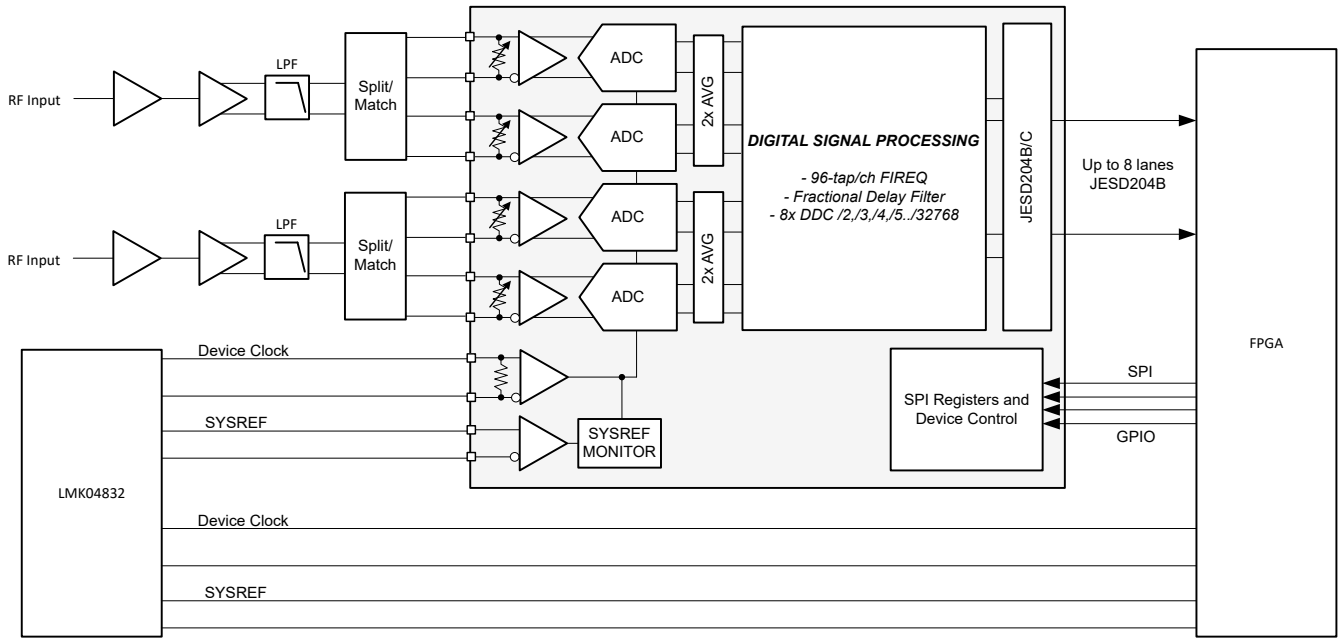


图 8-8. 时间域数字转换器

8.3.1 设计要求

8.3.1.1 输入信号路径：时间域数字转换器

大多数时间域数字转换器都需要进行直流耦合，以便监测直流或低频信号。这一要求强制该设计使用直流耦合全差分放大器，以将前面板的单端信号转换为 ADC 的差分信号。此设计使用一个差分放大器。该 LMH5401 放大器具有 8GHz 的增益带宽积，足以支持 1GHz 带宽数字转换器。LMH5401 具有 8dB 的增益和 11dB 的噪声系数。

ADC 的输入端设有一个抗混叠低通滤波器，用于限制进入 ADC 的输入信号带宽。该放大器还会对前端噪声进行带宽限制，以防止混叠噪声降低整个系统的信噪比。需按照示波器规定的最大输入信号带宽来设计此滤波器。之后，可以通过 FPGA 或 ASIC 中的数字滤波器重新配置输入带宽，从而将示波器的输入带宽限制在小于最大带宽的范围。

表 8-2 列出了多种推荐的放大器频率范围。

表 8-2. 推荐的单端转差分放大器

器件型号	带宽	功耗
THS4509	1.9GHz	125mW
LMH5401	8GHz	185mW
TRF1305	7GHz	495mW

Copyright © 2025 Texas Instruments Incorporated

8.3.2 应用性能曲线图

下图显示了捕获的脉冲响应。

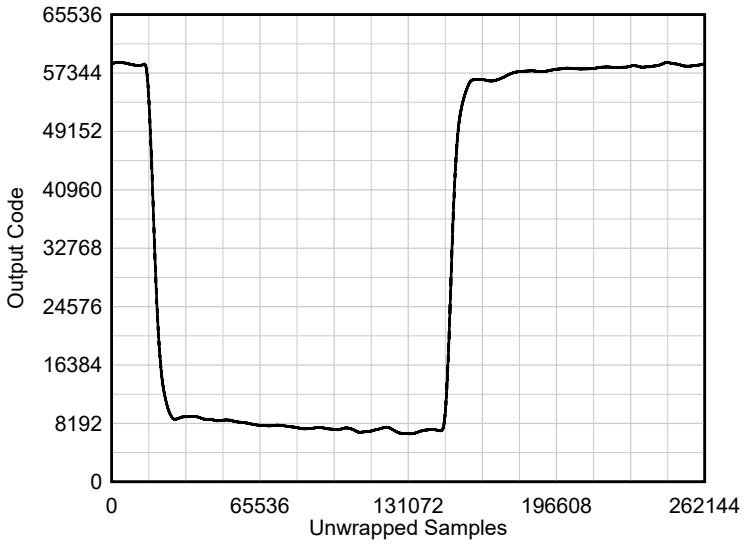


图 8-9. 100MHz 脉冲响应

8.4 初始化设置

上电后，必须通过在 $\overline{\text{RESET}}$ 引脚上施加低脉冲进行硬件复位，将内部寄存器初始化为其默认值，如图 8-10 所示。任何给定的电源轨都需要达到该值的 90%，然后才能启动下一个电源轨。

1.施加 0.9V DVDD09 数字电源

2.施加 1.2V AVDD12 和 CLKVDD12 电源

3.以任意顺序施加 1.8V 电源（AVDD18、GPIOVDD18、DVDD18）

4.施加采样时钟

5.进行硬件复位。硬件复位释放后，会从内部保险丝加载默认寄存器。

6.使用 SPI 寄存器写入开始对内部寄存器进行编程。内部校准会自动开始，并且可以读回寄存器以检查校准状态。

在断电时，可以按照相反顺序操作。

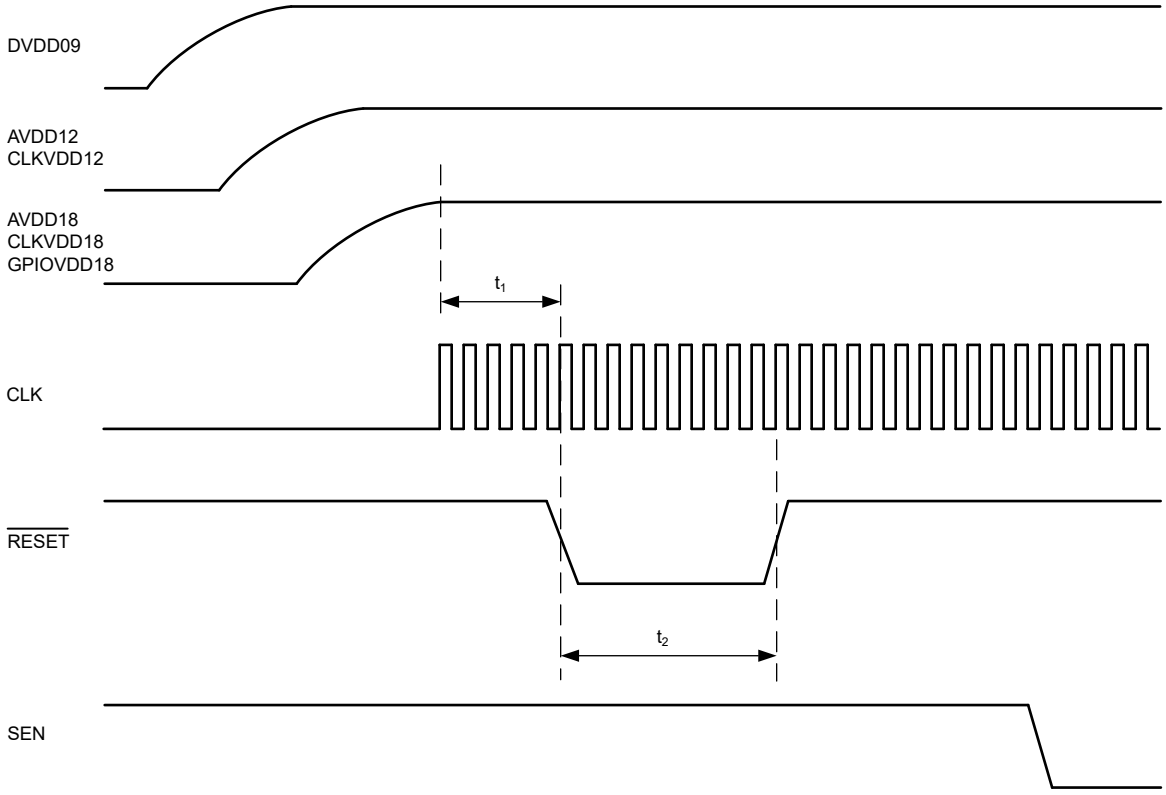


图 8-10. 上电后初始化串行寄存器

表 8-3. 上电时序

		最小值	典型值	最大值	单位
t_1	上电延迟：从上电到低电平有效复位脉冲的延迟	1			us
t_2	复位脉冲宽度：低电平有效复位脉冲宽度	100			ns

Copyright © 2025 Texas Instruments Incorporated

8.5 电源相关建议

该器件需要 3 个不同的电源电压：内部模拟电路由 1.8V 和 1.2V 电源轨供电，而数字逻辑使用 0.9V 电源轨。图 8-11 展示了一个典型的电源示例，该示例对数字 0.9V 电源使用开关稳压器，并对模拟电源使用低噪声 LDO。稳压器必须按节 8.4 中所示对加电和断电进行时序控制。

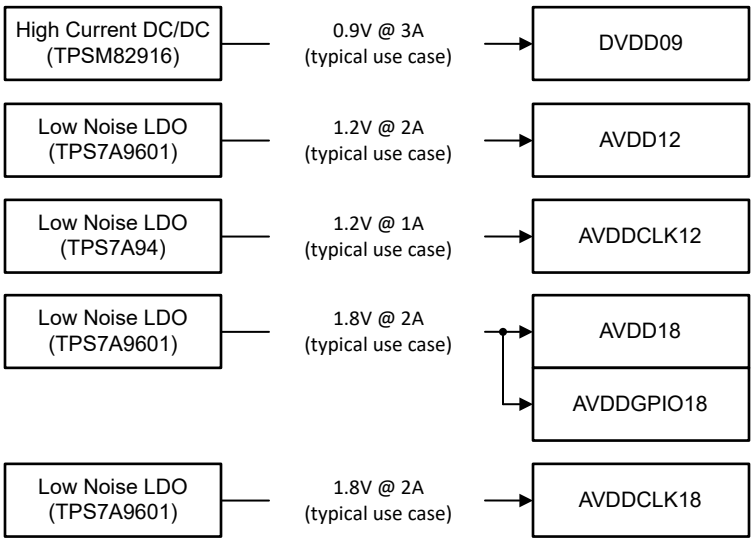


图 8-11. 电源轨和稳压器示例

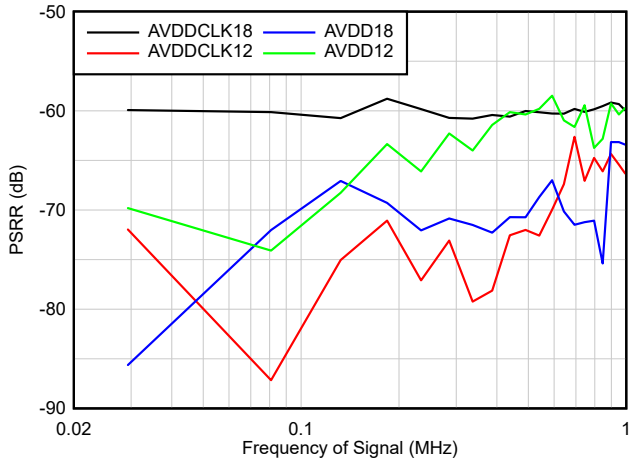


图 8-12. PSRR

8.6 布局

8.6.1 布局指南

在电路板设计过程中，有几个关键信号需要特别注意：

1. 模拟输入和时钟信号
   - 布线应尽可能短，并应尽可能避免过孔，以更大限度地减小阻抗不连续性。
   - 应使用松散耦合的 100Ω 差分线路进行布线。
   - 差分布线长度应尽可能匹配，以更大限度地减少相位不平衡和 HD2 下降。
2. 数字 JESD204B/C 输出接口
   - 应使用紧密耦合的 100Ω 差分线路进行布线。
3. 电源和接地连接
   - 为所有电源和接地引脚提供低电阻连接路径。
   - 使用电源和接地平面而不是布线。
   - 避免使用狭窄的隔离路径，那会增加连接电阻。
   - 使用信号/接地/电源电路板层叠来更大限度地增加接地平面和电源平面之间的耦合。

8.6.2 布局示例

以下屏幕截图显示了 ADC34RF7x EVM 的顶层和底层。

- 输入信号布线在 EVM 顶层以差分、紧密耦合的方式布线。需要谨慎操作，以通过匹配的布线长度在正负输入之间保持对称性，从而更大限度地减少相位不平衡。与采样时钟输入类似。
- JESD204B/C 输出接口通道在顶层以差分方式布线，并且长度匹配。
- 旁路电容靠近底层的电源引脚。

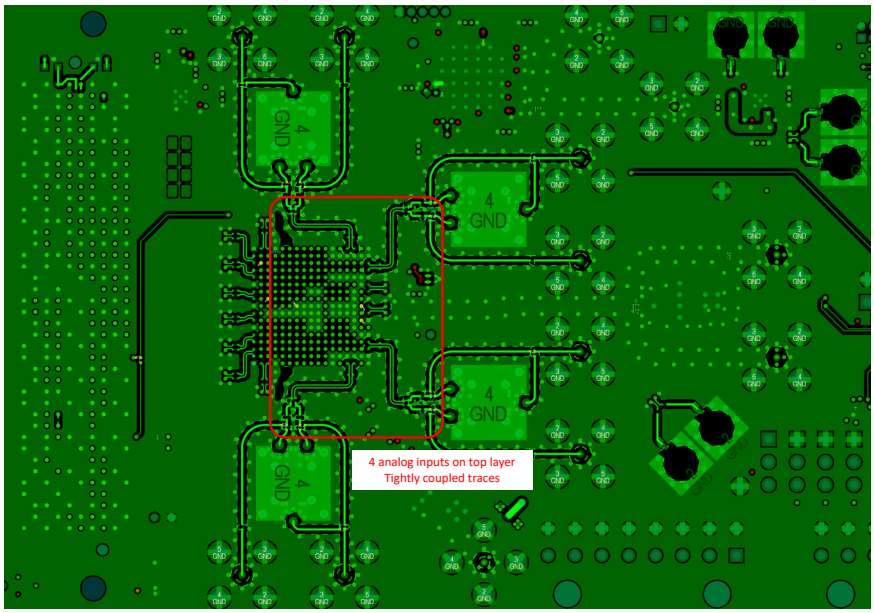


图 8-13. 顶层

Copyright © 2025 Texas Instruments Incorporated

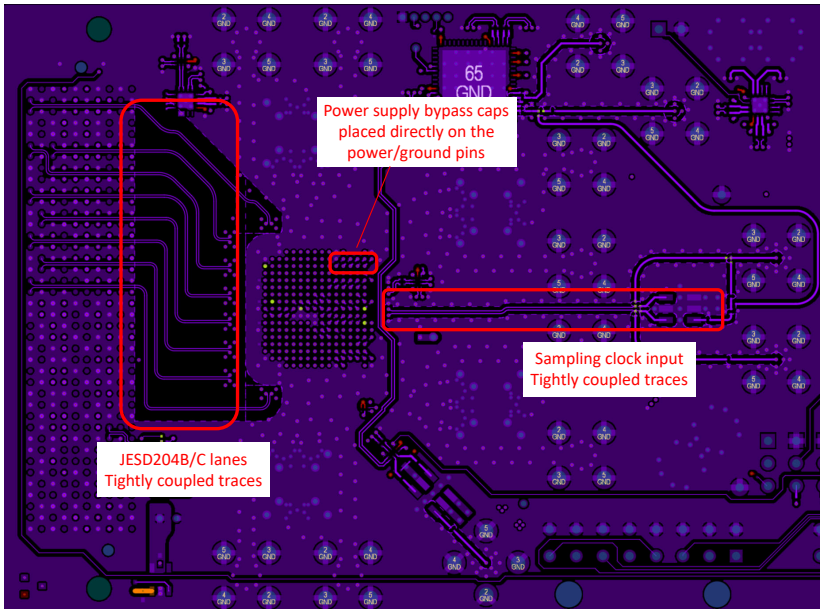

65
GND
Power supply bypass caps
placed directly on the
power/ground pins
Sampling clock input
Tightly coupled traces
JESD204B/C lanes
Tightly coupled traces

图 8-14. 底层

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

9.1.2 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (August 2025) to Revision A (October 2025)	Page
• 更新了引脚 STX0N,P、STX1N,P、STX2N,P 和 STX3N,P，在 表 4-1 中修正了引脚映射关系	3
• 将最大 SPI 时钟频率从 20 增加到 50MHz	12
• 添加了针对不同断电选项的 *ADC 断电模式*	26
• 将 NCO 计算公式从 FS = ADC 采样率 (SPS) 更改为 FS = ADC 采样率 (MSPS)	41
• 将 JESD04 更改为 JESD204，在 节 7.3.6.1.6 中添加了八频带 DDC 的说明	52
• 更新了 图 7-45，SPI 写入时序图，其中 RESET 信号低电平有效	60

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC34RF72IANH	Active	Production	FCCSP (ANH) | 289	119 | JEDEC TRAY (5+1)	Yes	OTHER	Level-3-260C-168 HR	-40 to 105	ADC34RF72

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

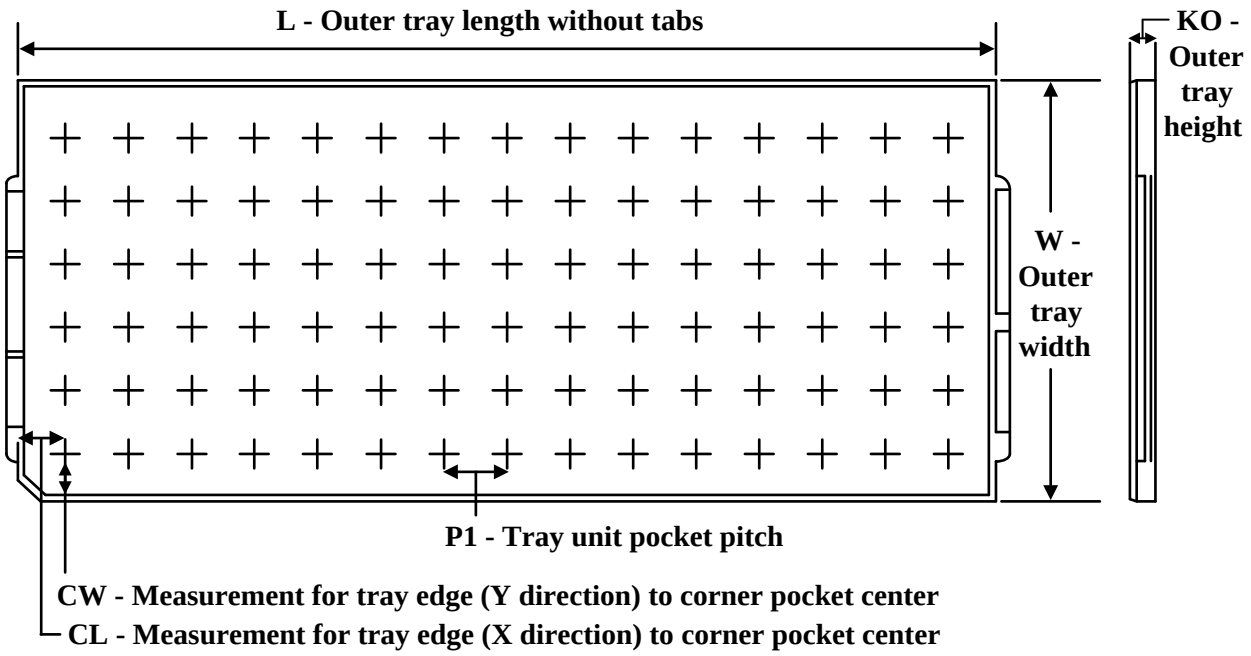
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

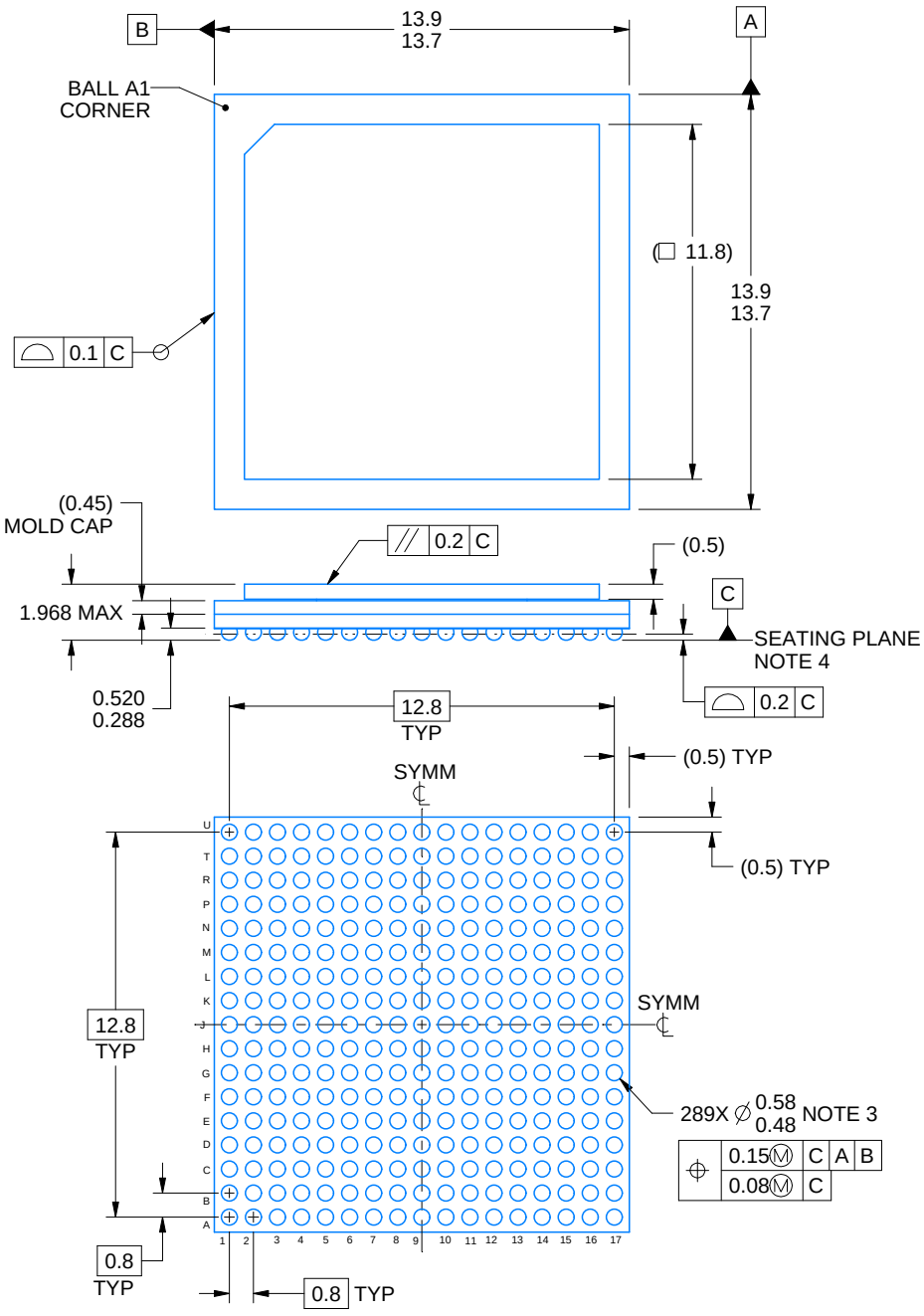
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADC34RF72IANH	ANH	FCCSP	289	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9

PACKAGE OUTLINE

ANH0289A

FCCSP - 1.968 mm max height

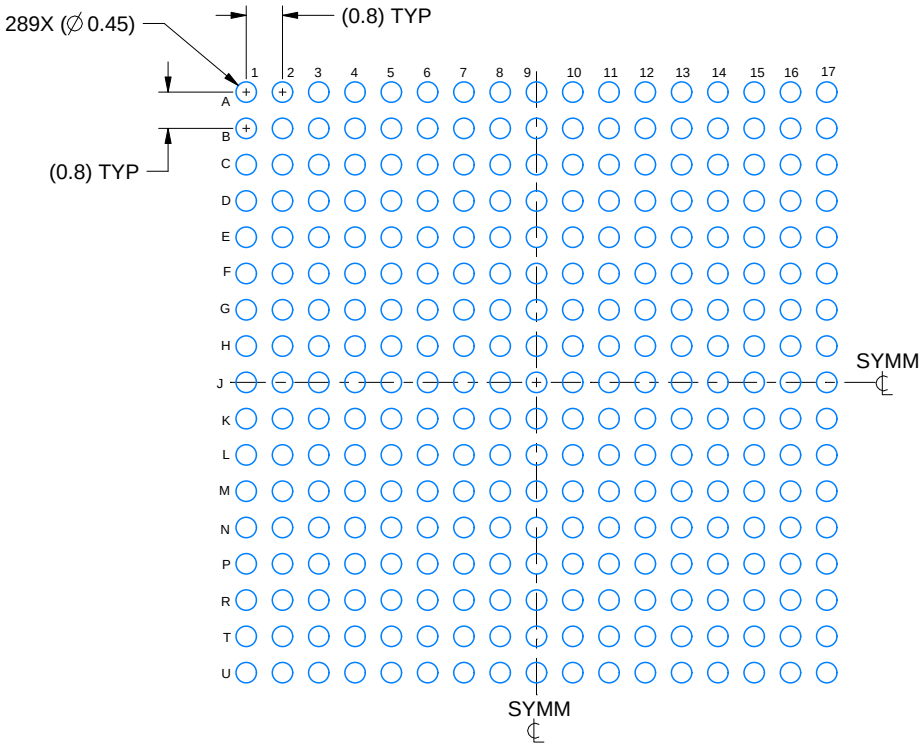
BALL GRID ARRAY



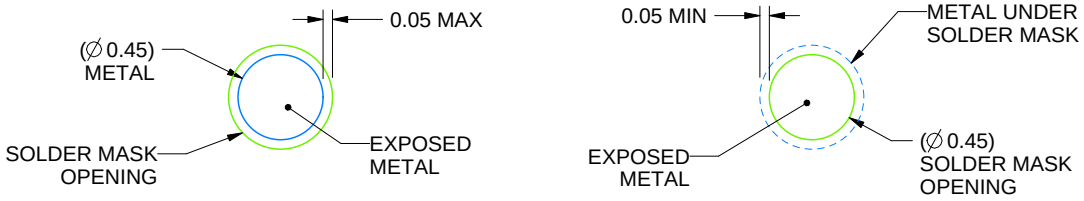
4230247/C 03/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, post reflow, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 6X

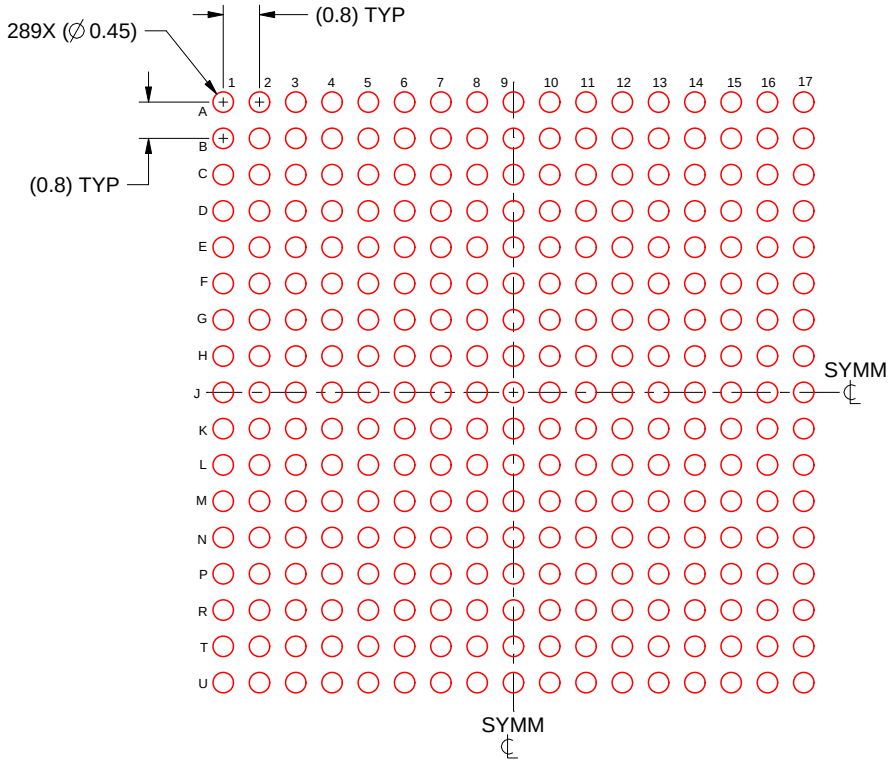


SOLDER MASK DETAILS
NOT TO SCALE

4230247/C 03/2024

NOTES: (continued)

5. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4230247/C 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月