ADC168M102R-SP 耐辐射 8 通道 1MSPS 16 位 ADC

1 特性

- QML P 类 (QMLP)，RHA，SMD (5962R25216)
- 抗辐射：
  - 125℃ 环境温度下，单粒子锁定（SEL）抗扰度高达 LET = 75MeV-cm^2/mg
  - 单粒子瞬变 (SET) 额定值高达 LET = 75MeV-cm^2/mg
  - 电离辐射总剂量（TID）RLAT/RHA 特性高达 100krad (Si)
- 增强型航天塑料（航天 EP）：
  - 支持国防与航空航天应用
  - 受控基线
  - 一个封装测试厂
  - 延长了产品生命周期
  - 产品可追溯性
  - 按照 ASTM E595 标准进行释气测试
  - 军用级温度范围：-55°C 至 +125°C
  - 金键合线，NiPdAu 铅涂层
- 八个伪差分输入或四个全差分输入
- 双通道同步采样
- 出色的交流性能：
  - SNR：93dB
  - THD：-98dB
- 双路可编程缓冲 2.5V 基准电压支持：
  - 两种不同的输入电压范围设置
  - 两级 PGA 实现
- 可编程自动定序器
- 适用于过采样应用的集成数据存储（每个通道最多 4 个）
- 适用于安全应用的 2 位计数器

2 应用

- 卫星电力系统 (EPS)
- 命令和数据处理 (C&DH)
- 光学成像有效载荷
- 电机控制
- 电压、电流和温度监控
- 加速计

3 说明

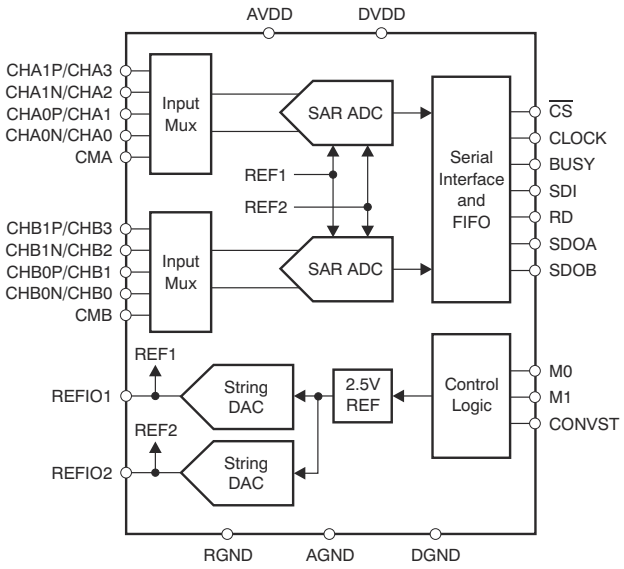
ADC168M102R-SP 是一款双路 16 位 1MSPS 模数转换器（ADC）。该 ADC 具有八个伪差分或四个全差分输入通道（分为两对），可同时进行信号采集。模拟输入以差分方式保持 ADC 输入。在伪差分模式或全差分模式下使用输入多路复用器。伪差分模式下，每个 ADC 最多可支持四个通道（4x2），全差分模式下，每个 ADC 最多可转换两个输入通道（2x2）。

ADC168M102R-SP 不仅能够提供两个可编程基准输出与灵活的电源电压范围，还能够提供与一个可编程自动定序器多种断电功能。该器件还包括数据存储功能，每个通道最多可存储四个转换结果。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADC168M102R-SP	RHB（VQFN，32）	5mm × 5mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



功能方框图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 6
5.5 电气特性 7
5.6 时序要求 9
5.7 开关特性 9
5.8 时序图 11
5.9 典型特性 13
6 详细说明 17
6.1 概述 17
6.2 功能方框图 17
6.3 特性说明 18
6.4 器件功能模式 23
6.5 编程 25
7 寄存器映射 33
8 应用和实施 41
8.1 应用信息 41
8.2 典型应用 41
8.3 电源相关建议 43
8.4 布局 43
9 器件和文档支持 46
9.1 文档支持 46
9.2 静电放电警告 46
9.3 术语表 46
9.4 商标 46
9.5 接收文档更新通知 46
9.6 支持资源 46
10 修订历史记录 46
11 机械、封装和可订购信息 46

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

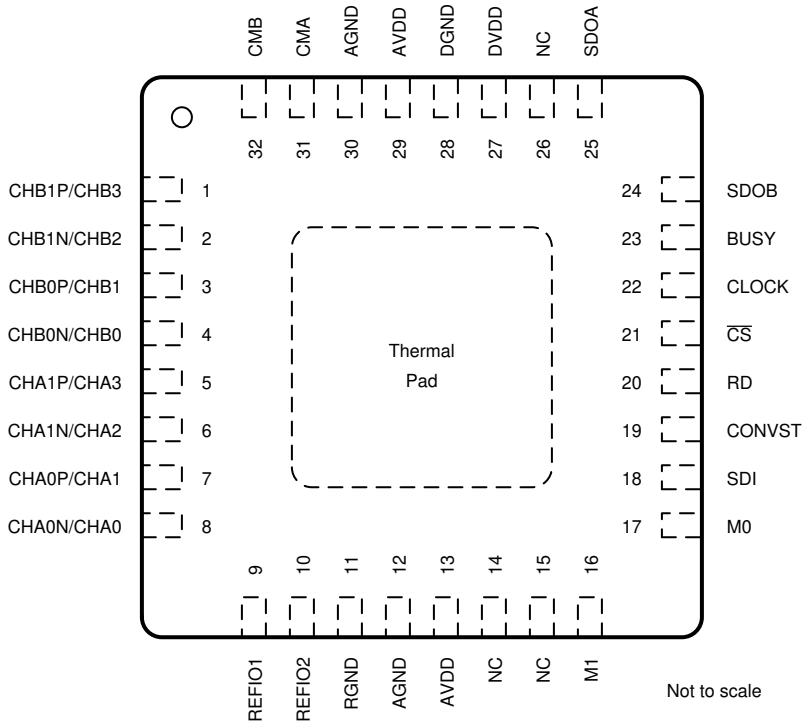


图 4-1. RHB 封装， 32 引脚 VQFN （顶视图）

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
AGND	12，30	P	模拟地。连接至模拟接地层。
AVDD	13，29	P	模拟电源，2.7V 至 5.5V。使用 1 µF 陶瓷电容器解耦至 AGND。
BUSY	23	DO	转换器忙线指示器。当输入端处于保持模式时，BUSY 变为高电平，并在转换完成后恢复为低电平。
CHA0N/CHA0	8	AI	全差分反相模拟输入通道 A1 或伪差分输入 A0
CHA0P/CHA1	7	AI	全差分非反相模拟输入通道 A1 或伪差分输入 A1
CHA1N/CHA2	6	AI	全差分反相模拟输入通道 A1 或伪差分输入 A2
CHA1P/CHA3	5	AI	全差分非反相模拟输入通道 A1 或伪差分输入 A3
CHB0N/CHB0	4	AI	全差分反相模拟输入通道 B0 或伪差分输入 B0
CHB0P/CHB1	3	AI	全差分非反相模拟输入通道 B0 或伪差分输入 B1
CHB1N/CHB2	2	AI	全差分反相模拟输入通道 B1 或伪差分输入 B2
CHB1P/CHB3	1	AI	全差分非反相模拟输入通道 B1 或伪差分输入 B3
时钟	22	DI	外部时钟输入。范围为半时钟模式下的 0.5MHz 至 20MHz 或全时钟模式下的 1MHz 至 40MHz。
CMA	31	AI	通道 Ax 的共模电压输入（仅限伪差分模式）。
CMB	32	AI	通道 Bx 的共模电压输入（仅限伪差分模式）。
CONVST	19	DI	转换开始。ADC 在 CONVST 的上升沿从采样模式切换到保持模式。此后，转换从时钟引脚的下一个上升沿开始。
$\overline{CS}$	21	DI	芯片选择。当该引脚为低电平时，SDOx、SDI 和 RD 引脚处于活动状态。当该引脚为高电平时，SDOx 输出端处于三态，SDI 和 RD 输入端被忽略。
DGND	28	P	数字地。连接至数字接地层。
DVDD	27	P	数字电源，2.3V 至 5.5V。使用 1 µF 陶瓷电容器解耦至 DGND。
M0	17	DI	模式引脚 0。选择模拟输入通道模式（请参阅 表 6-5）。
M1	16	DI	模式引脚 1。选择数字输出模式（请参阅 表 6-5）。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
NC	14、15、26	NC	这个引脚不是内部连接。
RD	20	DI	读数据。SDOx 输出端和 SDI 输入端的同步脉冲。仅当 $\overline{CS}$ 为低电平时才会触发 RD。
REFIO1	9	AIO	基准电压输入/输出 1。将 22µF 陶瓷电容器连接至 RGND。
REFIO2	10	AIO	基准电压输入/输出 2。将 22µF 陶瓷电容器连接至 RGND。
RGND	11	P	基准接地。通过专用过孔将该引脚连接至模拟接地层。
SDI	18	DI	串行数据输入。该引脚可设置内部寄存器。当 $\overline{CS}$ 为高电平时，SDI 上的数据将被忽略。
SDOA	25	DO	转换器 A 的串行数据输出。当 $\overline{CS}$ 为高电平时，该引脚处于三态。
SDOB	24	DO	转换器 B 的串行数据输出。仅当 M1 为低电平时处于活动状态。当 $\overline{CS}$ 为高电平时，该引脚处于三态。

(1) AI = 模拟输入，AIO = 模拟输入/输出，DI = 数字输入，DO = 数字输出，P = 电源，NC = 未连接。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压，AVDD 至 AGND 或 DVDD 至 DGND	-0.3	6	V
电源电压，DVDD 至 AVDD	-0.3	1.2 x AVDD(2)	V
以 AGND 为基准的模拟与基准输入电压	AGND – 0.3	AVDD + 0.3	V
以 DGND 为基准的数字输入电压	DGND – 0.3	DVDD + 0.3	V
AGND 到 DGND 的接地电压差	-0.3	0.3	V
除电源引脚外任意引脚的输入电流	-10	10	mA
结温，T_J		150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 超出*绝对最大额定值*运行可能导致器件损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 超过规定限值会导致 DVDD 漏电流增大、导致器件故障。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
AVDD	模拟电源	AVDD 至 AGND，半时钟模式	2.7	5.0	5.5	V
		AVDD 至 AGND，全时钟模式	4.5	5.0	5.5	
DVDD	数字电源	3V 和 3.3V 电平	2.3	2.5	3.6	V
		5V 电平，仅限半时钟模式	4.5	5.0	5.5	
FSR	满标量程模拟输入范围	(CHxxP – CHxxN) 或 CHxx 至 CMx	$-V_{REF}$		V_{REF}	V
V_{IN}	绝对输入电压	CHxxx 至 AGND	-0.1		AVDD + 0.1	V
T_A	环境温度		-55	25	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		ADC168M102R-SEP	单位
		RHB (VQFN)	
		32 引脚	
$R_{\theta JA}$	结至环境热阻	33.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	29.5	°C/W
$R_{\theta JB}$	结至电路板热阻	7.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	7.4	°C/W
$R_{\theta JC(top)}$	结至外壳（底部）热阻	0.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在建议运行条件中规定的 AVDD 和 DVDD 电源电压范围内，VREF = 2.5V（内部）以及最大吞吐量（除非另有说明）条件下测得；T_A = –55°C 至 125°C 条件下的最小值和最大值；
T_A = 25°C、AVDD = 5V 且 DVDD = 3.3V 时的典型值

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
I_{DCL}	输入漏电流		-16		16	nA
C_{IN}	输入电容	CHxxx 至 AGND		45		pF
C_{ID}	差分输入电容	CHxxx 至 AGND		22.5		pF
直流性能						
	分辨率	无丢码		16		位
DNL	微分非线性	半时钟模式	-2	±0.6	2	LSB
		全时钟模式	-2	±0.8	4	
INL	积分非线性	半时钟模式	-4	±1.2	4	LSB
		全时钟模式	-5	±1.5	5	
V_{OS}	输入失调电压误差		-2.5	±0.2	2.5	mV
	V_{OS} 匹配	ADC 至 ADC	-1.5	±0.1	1.5	mV
dV_{OS}/dT	输入偏移误差热漂移			1		µV/℃
G_{ERR}	增益误差		-0.15	0.01	0.15	%FSR
	G_{ERR} 匹配	ADC 至 ADC	-0.15	0.01	0.15	%FSR
G_{ERR}/dT	G_{ERR} 热漂移			1		ppm/℃
交流性能						
SINAD	信噪比+失真比	V_{IN} = 5V_{PP}，f_{IN} = 10kHz	88	92		dB
SNR	信噪比	V_{IN} = 5V_{PP}，f_{IN} = 10kHz	89	93		dB
THD	总谐波失真	V_{IN} = 5V_{PP}，f_{IN} = 10kHz		-98	-90	dB
SFDR	无杂散动态范围	V_{IN} = 5V_{PP}，f_{IN} = 10kHz	89	100		dB
CMRR	共模抑制比	两个 ADC，f_{IN} = 直流至 100kHz		92		dB
PSRR	电源抑制比			75		dB
电压基准输入						
V_{REF}	基准输入电压范围		2.485	2.5	2.525	V
I_{REF}	基准输入电流			50		
C_{REF}	外部去耦电容			22		µF
内部电压基准						
	基准输出 DAC 分辨率		10			位
V_{REFOUT}	基准输出电压	DAC 范围：20% - 100%	0.2 x V_{REFOUT}		V_{REFOUT}	V
		REFIO1，DAC = 3FFh	2.485	2.500	2.515	
		REFIO2，DAC = 3FFh	2.485	2.500	2.515	
DNL_{DAC}	DAC DNL		-5	±1	5	LSB
INL_{DAC}	DAC INL		-5	±0.5	5	LSB
$PSRR_{DAC}$	电源抑制比			73		dB
I_{REFOUT}	输出直流电流			±2		mA
I_{REFSC}	输出短路电流(1)			50		mA
数字输入						
	输入电流(2)	V_{IN} = DVDD 至 DGND	-50		50	nA
	数字输入电容			5		pF
	逻辑系列		带施密特触发器的 CMOS			
V_{IH}	输入高逻辑电平	DVDD = 4.5V 至 5.5V	0.7 x DVDD		DVDD + 0.3	V
V_{IL}	输入低逻辑电平	DVDD = 4.5V 至 5.5V	-0.3		0.3 x DVDD	V
	逻辑系列		LVCMOS			

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在建议运行条件中规定的 AVDD 和 DVDD 电源电压范围内，VREF = 2.5V（内部）以及最大吞吐量（除非另有说明）条件下测得；T_A = –55°C 至 125°C 条件下的最小值和最大值；
T_A = 25°C、AVDD = 5V 且 DVDD = 3.3V 时的典型值

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	输入高逻辑电平	DVDD = 2.3V 至 3.6V	2		DVDD + 0.3	V
V_{IL}	输入低逻辑电平	DVDD = 2.3V 至 3.6V	-0.3		0.8	V
数字输出						
C_{OUT}	输出电容			5		pF
C_{LOAD}	负载电容				30	pF
	逻辑系列			CMOS		
V_{IH}	输出高逻辑电平	DVDD = 4.5V，I_{LOAD} = –100uA	4.44			V
V_{IL}	输出低逻辑电平	DVDD = 4.5V，I_{LOAD} = 100uA			0.5	V
	逻辑系列			LVCMOS		
V_{IH}	输出高逻辑电平	DVDD = 2.3V，I_{LOAD} = –100uA	DVDD – 0.2			V
V_{IL}	输出低逻辑电平	DVDD = 2.3V，I_{LOAD} = 100uA			0.2	V
电源						
AIDD	模拟电源电流	AVDD = 3.6V		12	18	mA
		AVDD = 5.5V		15	25	
		AVDD = 3.6V，睡眠与自动休眠模式		0.8	2	
		AVDD = 5.5V，睡眠与自动休眠模式		0.9	6.2	
		断电模式			0.15	
DIDD	数字电源电流	DVDD = 3.6V，C_{LOAD} = 10pF		1.1	3	mA
		DVDD = 5.5V，C_{LOAD} = 10pF		3	13	
P_D	功率耗散（正常运行）	AVDD = DVDD = 3.6V		47.2	66.6	mW
		AVDD = 5.5V，DVDD = 3.6V		86.5	135	

(1) 基准输出电流不受内部限制。
(2) 数字引脚输入与输出特性由设计指定；未进行生产测试。

Copyright © 2026 Texas Instruments Incorporated

5.6 时序要求

在建议运行条件中规定的 AVDD 和 DVDD 电源电压范围内，VREF = 2.5V（内部）以及最大吞吐量（除非另有说明）条件下测得；T_A = –55°C 至 125°C 条件下的最小值和最大值；
T_A = 25°C、AVDD = 5V 且 DVDD = 3.3V 时的典型值

			最小值	典型值	最大值	单位
采样动态						
f_{CLK}	串行时钟频率	半时钟模式			20	MHz
		全时钟模式			40	
t_{CLK}	串行时钟周期	半时钟模式	50			ns
		全时钟模式	25			
f_{DATA}	ADC 采样频率		25		1000	kSPS
t_{DATA}	ADC 采样周期 ($1/f_{DATA}$)		1			µs
SPI 接口时序						
t_{CLKL}	时钟低电平时间		11.25			ns
t_{CLKH}	时钟高电平时间		11.25			ns
t_1	CONVST 上升至第一个时钟上升沿		12			ns
t_2	CONVST 高电平时间		10			ns
		半时钟模式：仅限时序模式 II 和 IV			1	t_{CLK}
t_3	RD 高电平时间、半时钟模式：仅限时序模式 II、IV、SII 和 SIV				1	t_{CLK}
t_{S1}	RD 高电平至时钟下降沿建立时间		5			ns
t_{H1}	RD 高电平至时钟下降沿保持时间		5			ns
t_{S2}	输入数据有效至时钟下降沿建立时间		5			ns
t_{H2}	输入数据有效至时钟下降沿保持时间		4			ns

5.7 开关特性

在建议运行条件中规定的 AVDD 和 DVDD 电源电压范围内，VREF = 2.5V（内部）以及最大吞吐量（除非另有说明）条件下测得；T_A = –55°C 至 125°C 条件下的最小值和最大值；
T_A = 25°C、AVDD = 5V 且 DVDD = 3.3V 时的典型值

参数		测试条件	最小值	典型值	最大值	单位
采样动态						
t_{CONV}	每个 ADC 的转换时间	半时钟模式	17.5			t_{CLK}
		全时钟模式	35			
t_{ACQ}	采集时间	半时钟模式	2			t_{CLK}
		全时钟模式	4			
t_A	孔径延迟				6	ns
	t_A 匹配			50		ps
	孔径抖动			50		ps
SPI 接口时序						
t_{D1}	CONVST 上升沿至 BUSY 高电平延迟(1)	2.3V ≤ DVDD ≤ 3.6V			19	ns
		4.5V ≤ DVDD ≤ 5.5V			16	
t_{D2}	时钟第 18 个下降沿（半时钟模式）或第 24 个上升沿（全时钟模式）至 BUSY 低电平延迟	2.3V ≤ DVDD ≤ 3.6V			25	ns
		4.5V ≤ DVDD ≤ 5.5V			20	
t_{D3}	半时钟模式下时钟上升沿至下一个数据有效延迟	2.3V ≤ DVDD ≤ 3.6V			14	ns
		4.5V ≤ DVDD ≤ 5.5V			12	

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

在建议运行条件中规定的 AVDD 和 DVDD 电源电压范围内，VREF = 2.5V（内部）以及最大吞吐量（除非另有说明）条件下测得；T_A = –55°C 至 125°C 条件下的最小值和最大值；
T_A = 25°C、AVDD = 5V 且 DVDD = 3.3V 时的典型值

参数		测试条件	最小值	典型值	最大值	单位
t_{H3}	输出数据至时钟上升沿保持时间，半时钟模式		3			ns
t_{D4}	时钟下降沿至下一个数据有效延迟，全时钟模式				19	ns
t_{H4}	输出数据至时钟下降沿保持时间，全时钟模式		7			ns
t_{D5}	RD 下降沿至第一个数据有效	2.3V ≤ DVDD ≤ 3.6V			16	ns
		4.5V ≤ DVDD ≤ 5.5V			12	ns
t_{D6}	$\overline{CS}$ 上升沿至 SDOx 三态延迟				6	ns
内部电压基准						
t_{REFON}	基准输出稳定时间	C_{REF} = 22µF		8		ms

(1) 在自动睡眠断电模式下不适用。

Copyright © 2026 Texas Instruments Incorporated

5.8 时序图

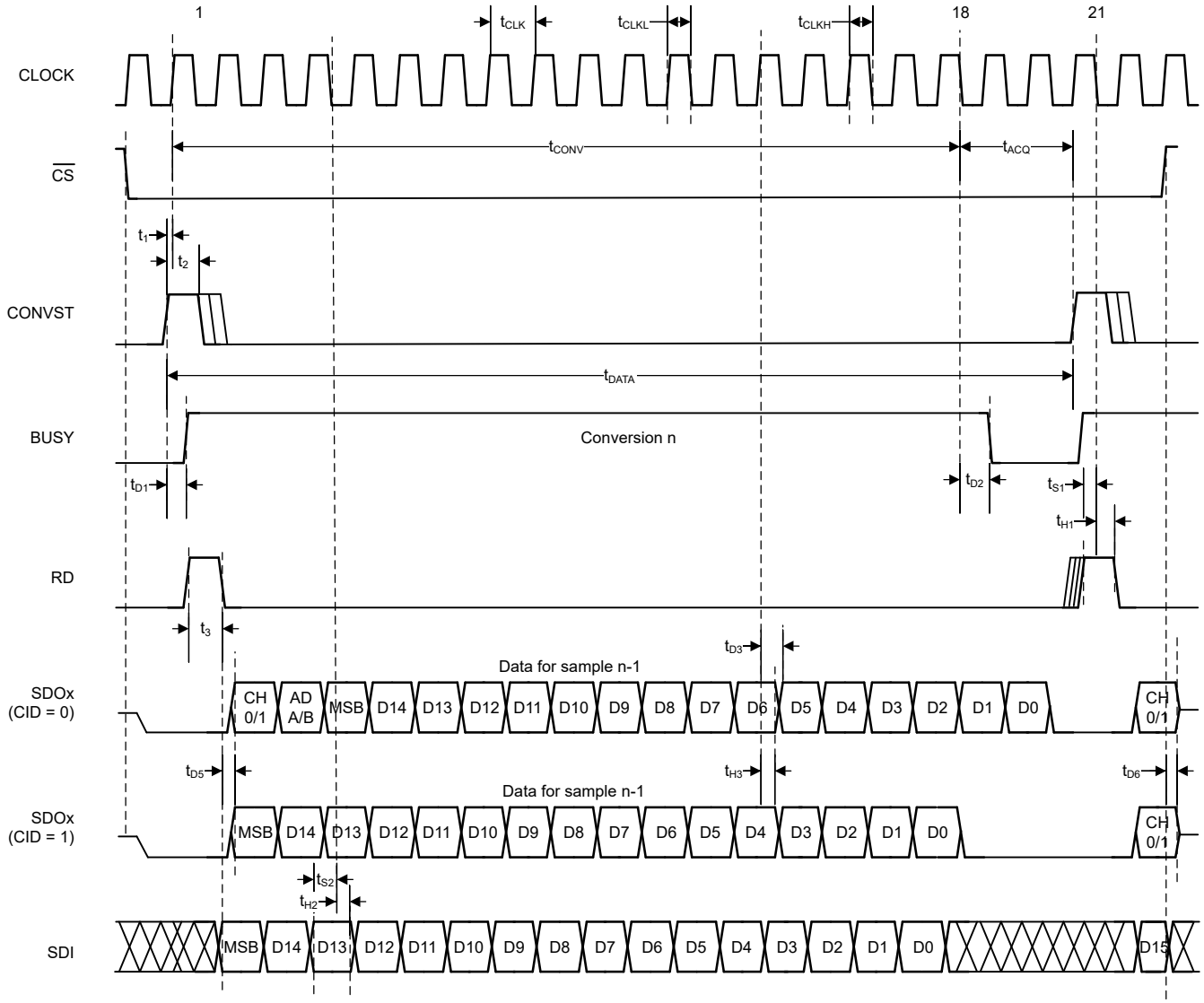


图 5-1. 详细时序图：半时钟模式

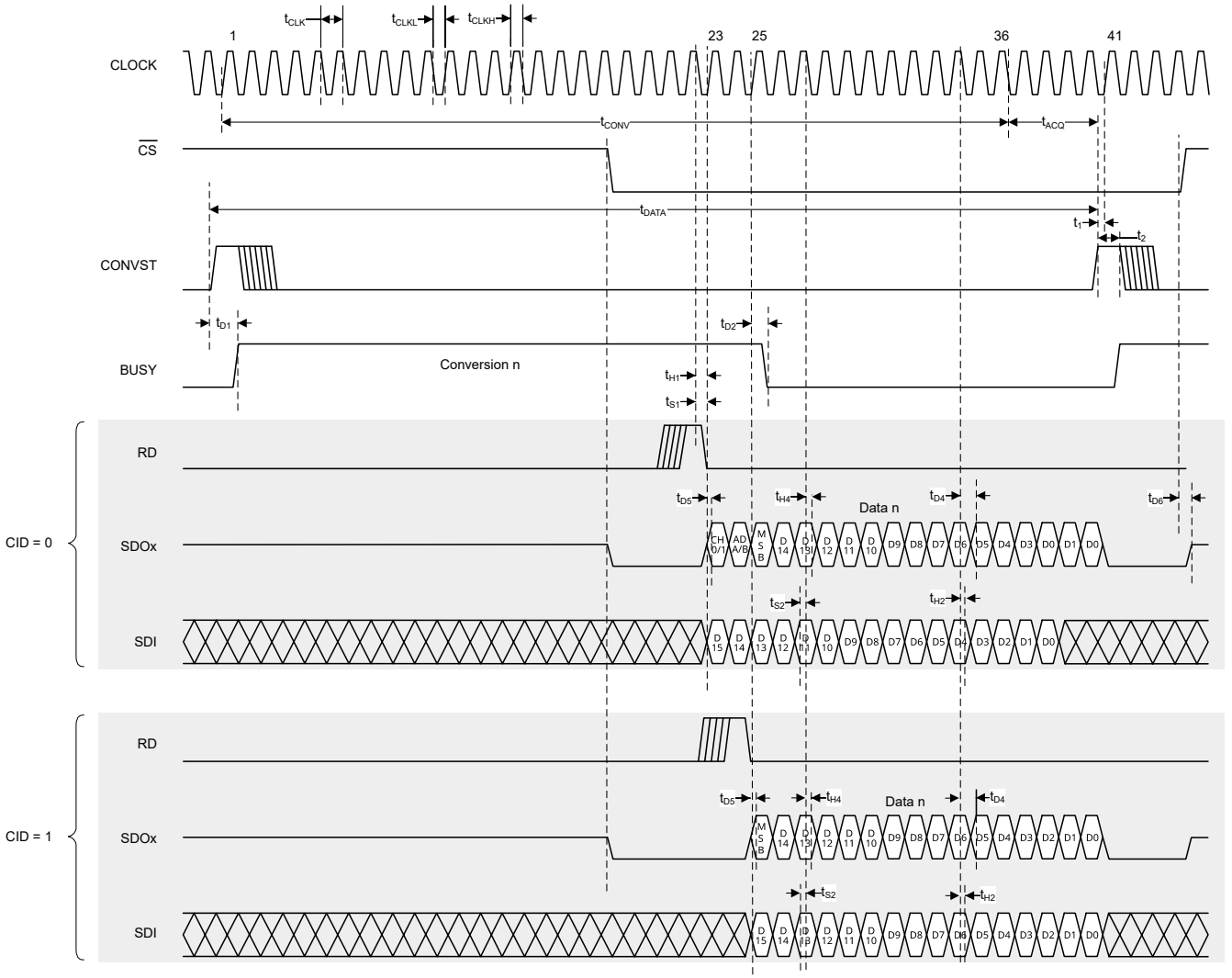


图 5-2. 详细时序图：全时钟模式

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性

在 T_A = +25°C、AVDD = 5V、DVDD = 3.3V、V_{REF} = 2.5V（内部）且 f_{DATA} = 1MSPS 的条件下测得（除非另有说明）

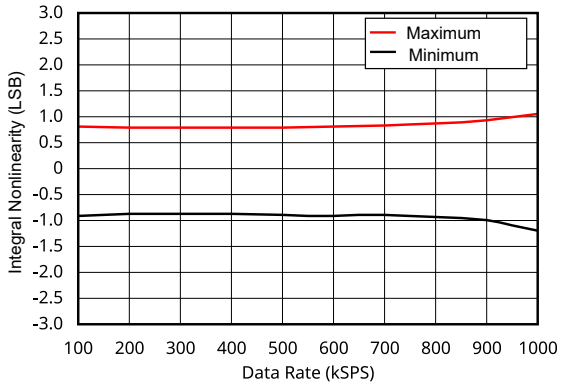


图 5-3. 积分非线性与数据速率间的关系

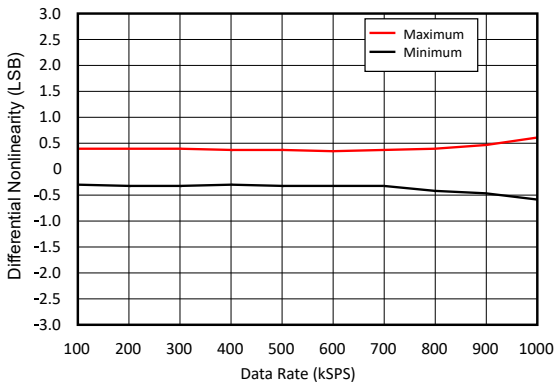


图 5-4. 微分非线性与数据速率间的关系

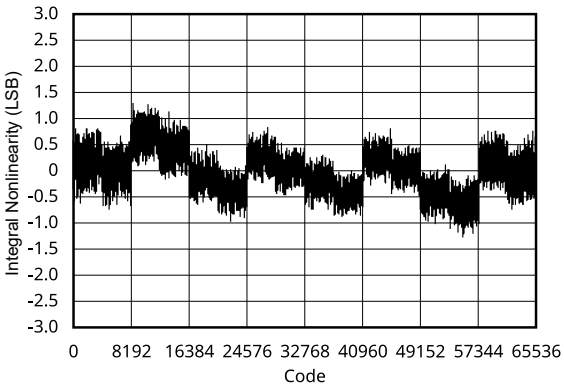


图 5-5. 积分非线性与代码间的关系

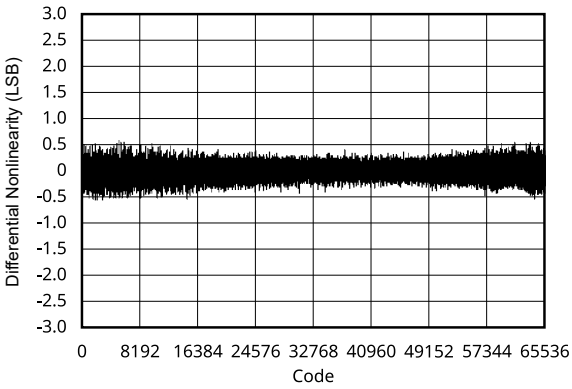


图 5-6. 微分非线性与代码间的关系

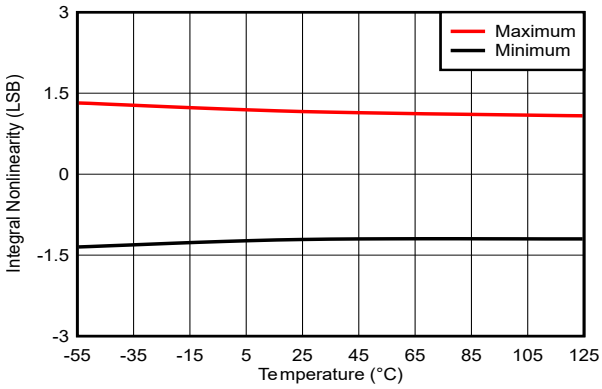


图 5-7. 积分非线性与温度间的关系

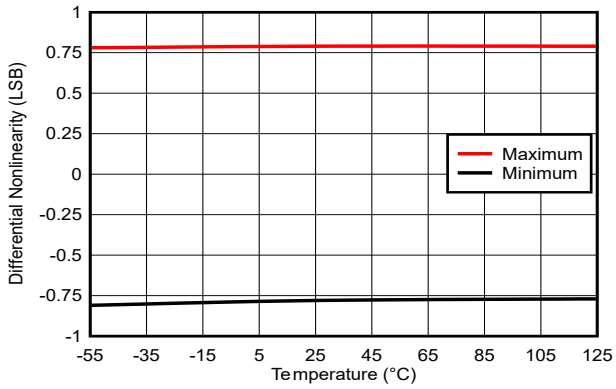


图 5-8. 微分非线性与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = +25°C、AVDD = 5V、DVDD = 3.3V、V_{REF} = 2.5V（内部）且 f_{DATA} = 1MSPS 的条件下测得（除非另有说明）

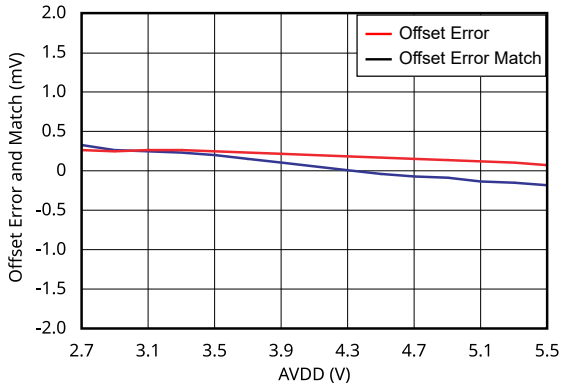


图 5-9. 失调误差和失调匹配与模拟电源电压间的关系

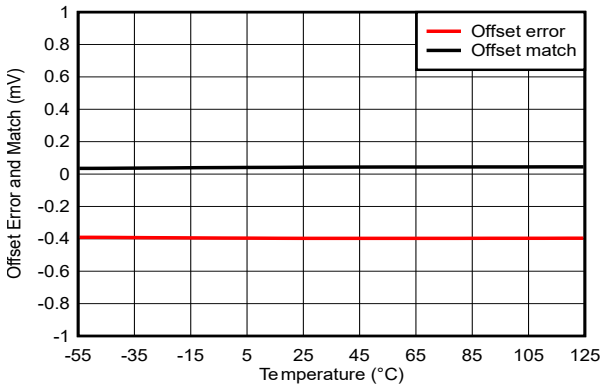


图 5-10. 失调误差和失调匹配与温度间的关系

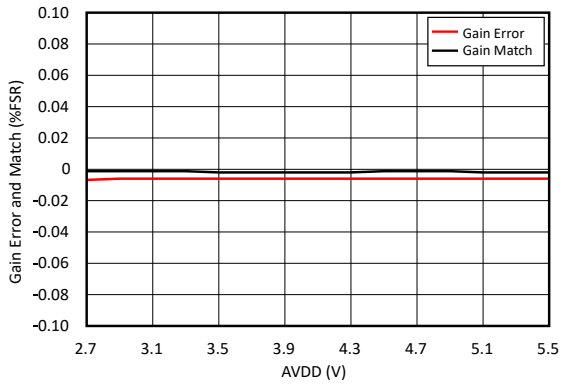


图 5-11. 增益误差和增益匹配与模拟电源电压间的关系

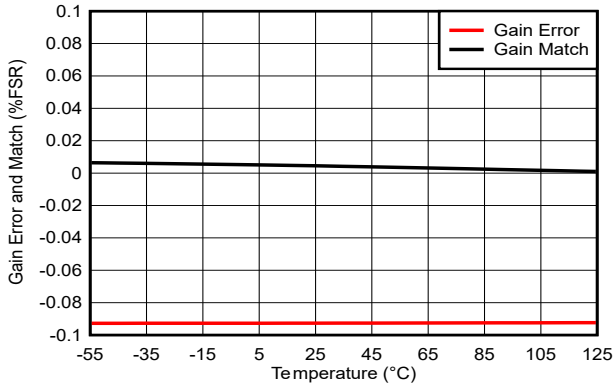


图 5-12. 增益误差和增益匹配与温度间的关系

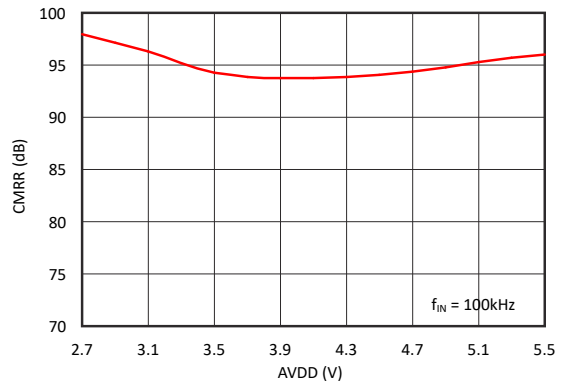


图 5-13. 共模抑制比与模拟电源电压间的关系

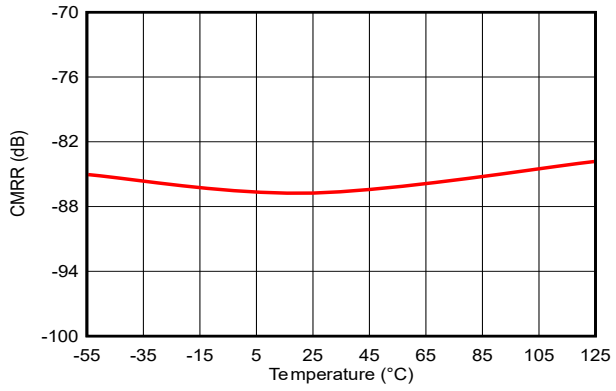


图 5-14. 共模抑制比与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = +25°C、AVDD = 5V、DVDD = 3.3V、V_{REF} = 2.5V（内部）且 f_{DATA} = 1MSPS 的条件下测得（除非另有说明）

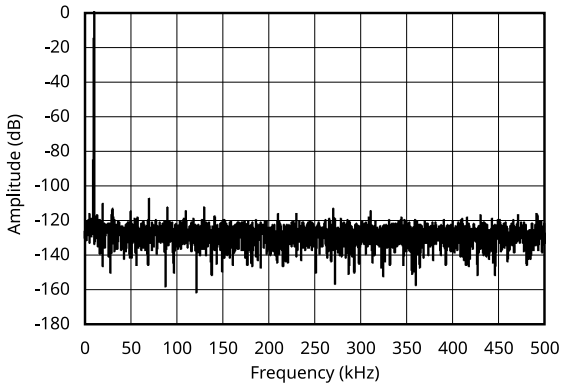


图 5-15. 频谱（4096 点 FFT，f_{IN} = 10kHz）

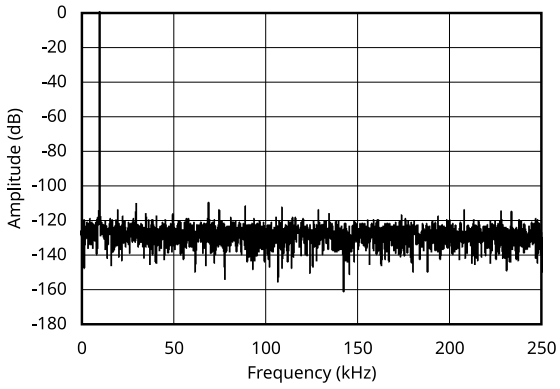


图 5-16. 频谱（4096 点 FFT，f_{IN} = 10kHz，f_{SAMPLE} = 0.5MSPS）

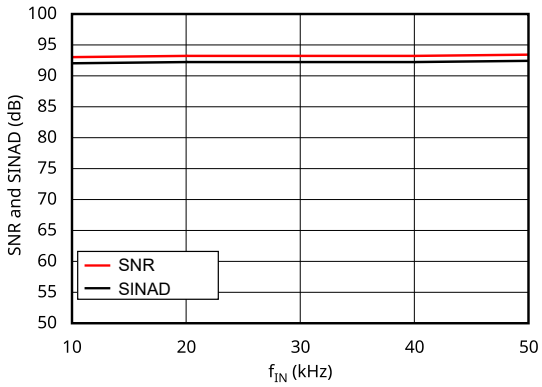


图 5-17. 信噪比和信纳比与输入信号频率间的关系

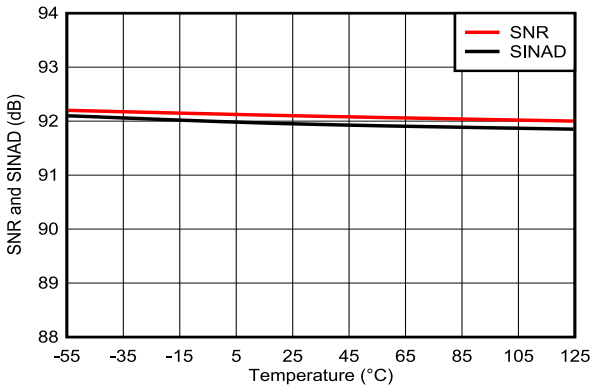


图 5-18. 信噪比和信纳比与温度间的关系

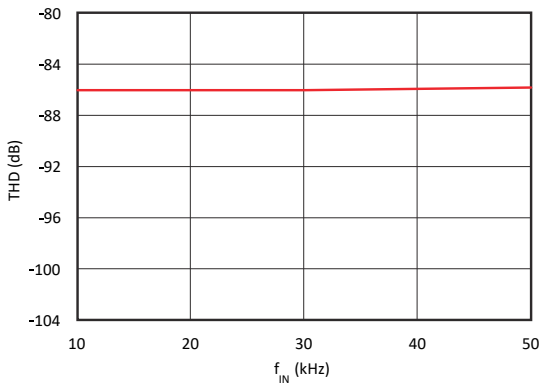


图 5-19. 总谐波失真与输入信号频率间的关系

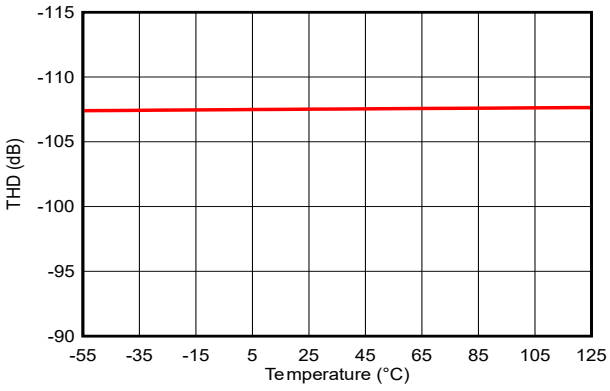


图 5-20. 总谐波失真与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = +25°C、AVDD = 5V、DVDD = 3.3V、V_{REF} = 2.5V（内部）且 f_{DATA} = 1MSPS 的条件下测得（除非另有说明）

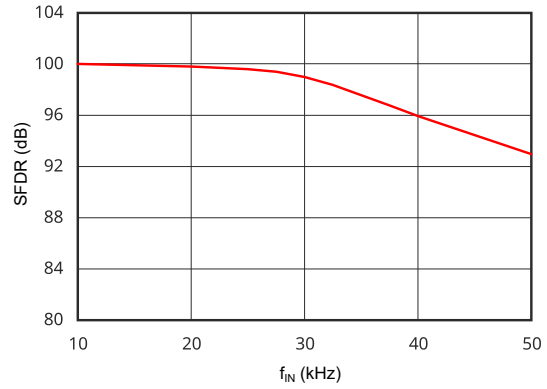


图 5-21. 无杂散动态范围与输入信号频率间的关系

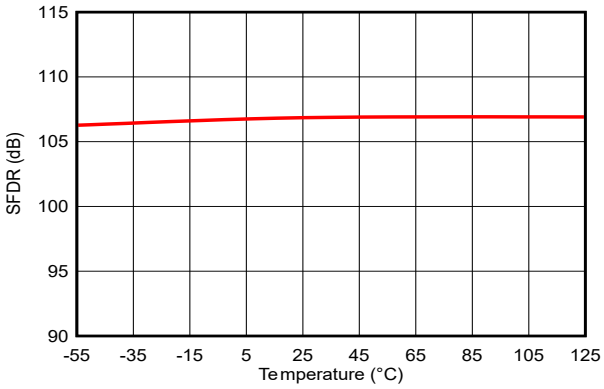


图 5-22. 无杂散动态范围与温度间的关系

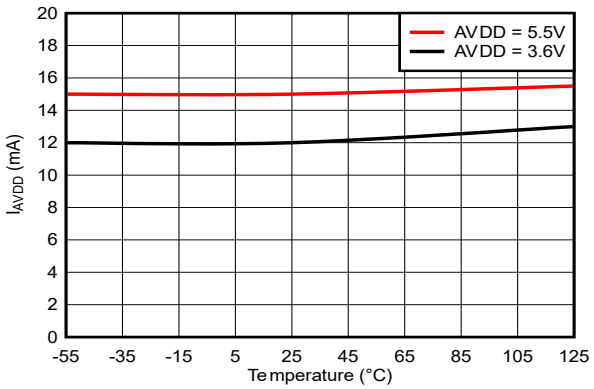


图 5-23. 模拟电源电流与温度间的关系

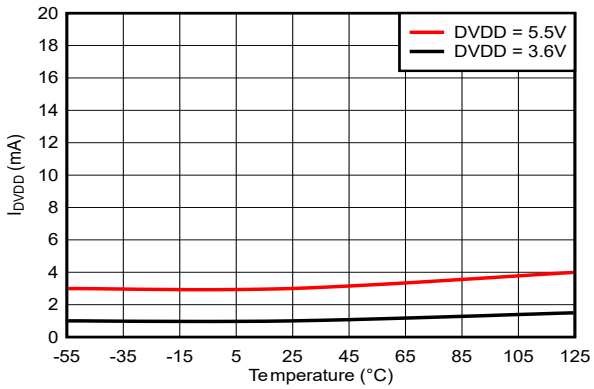


图 5-24. 数字电源电流与温度间的关系

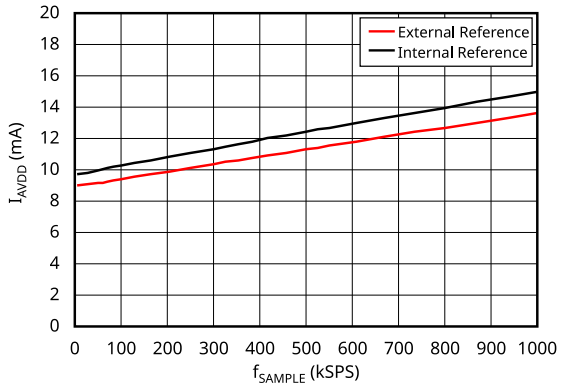


图 5-25. 模拟电源电流与数据速率间的关系

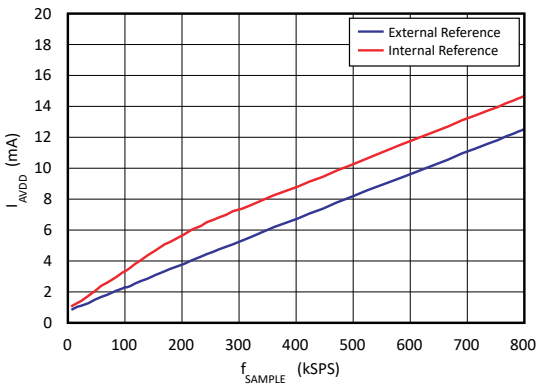


图 5-26. 模拟电源电流与数据速率间的关系（自动睡眠模式）

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

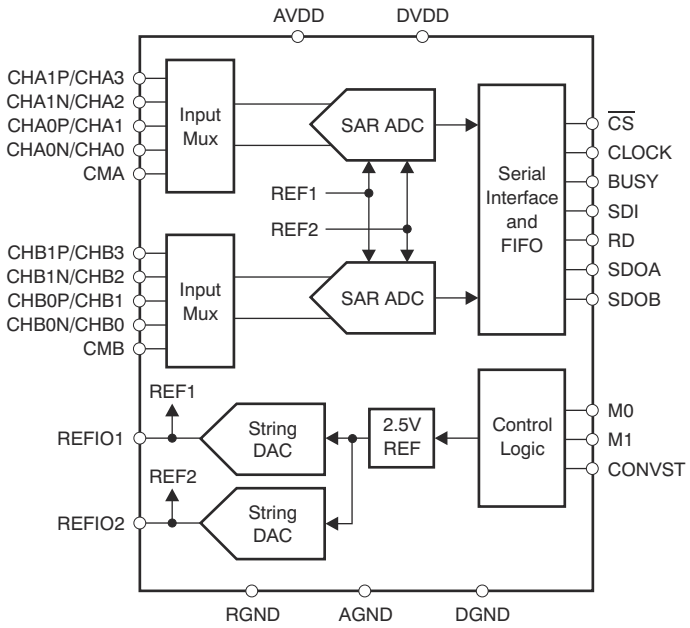
6.1 概述

ADC168M102R-SP 包含两个根据逐次逼近寄存器 (SAR) 原理运行的 16 位模数转换器 (ADC)。两个 ADC 同时进行采样和转换。转换时间可低至 875ns。加上 100ns 的采集时间、25ns 的传播延迟和 CONVST 脉冲生成裕度，可得到 1MSPS 的最大转换速率。

每个 ADC 都具有一个全差分 2:1 多路复用器前端。在许多常见应用场景中，所有负输入信号都保持相同的恒定电压（例如 2.5V）。对于这些应用场景，请在伪差分 4:1 模式下使用多路复用器。在该模式下，CM*x* 引脚用作共模引脚，所有四个模拟输入端以相应的 CM*x* 引脚为基准。

ADC168M102R-SP 包含一个 2.5V 内部基准。该基准驱动两个可独立编程的 10 位数模转换器 (DAC)。因此，可以通过内部 REFDAC*x* 寄存器以 2.44mV 的步长调整每个 REFIO*x* 引脚上的电压。低噪声单位增益运算放大器可缓冲每个 DAC 输出端并驱动 REFIOx 引脚。

6.2 功能方框图



6.3 特性说明

6.3.1 模拟

这部分将讨论模拟输入电路、ADC 以及器件的参考设计。

6.3.1.1 模拟输入

如图 6-1 所示，每个 ADC 均由一个输入多路复用器馈电。每个多路复用器用于全差分 2:1 配置（表 6-1）或伪差分 4:1 配置（表 6-2）。

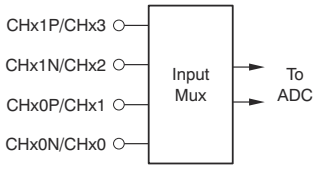


图 6-1. 输入多路复用器配置

全差分模式下，可利用外部 M0 引脚或配置（CONFIG）寄存器中的 C[1：0] 位进行通道选择。伪差分模式下，利用 SEQFIFO 寄存器进行通道选择。无论处于哪种模式，更改多路复用器设置都会影响下一个 CONVST 脉冲开始的转换。

表 6-1. 全差分 2:1 多路复用器配置

C1	C0	ADC+	ADC –
0	x	CHx0P	CHx0N
1	x	CHx1P	CHx1N

表 6-2. 伪差分 4:1 多路复用器配置

C1	C0	ADC+	ADC –
0	0	CHx0	CMx/REFIOx
0	1	CHx1	CMx/REFIOx
1	0	CHx2	CMx/REFIOx
1	1	CHx3	CMx/REFIOx

该转换器的输入路径为全差分路径，能够在 100kHz 下提供 92dB 的良好共模抑制能力。高共模抑制比（CMRR）还有助于抑制恶劣工业环境中的噪声。

每个 40pF 采样保持电容（图 6-2 中的 C_S）通过开关连接至多路复用器输出。转换过程中，打开开关可保留采样数据。转换完成后，两个电容在一个时钟周期以内预充电至 REFIO*x* 引脚处电压。预充电后，多路复用器输出再次连接采样电容。模拟输入引脚上的电压通常与基准电压不同。因此，在采集时间 t_{ACQ} 期间（参阅图 5-1 与图 5-2），将采样电容充电至 16 位精度的一半 LSB。

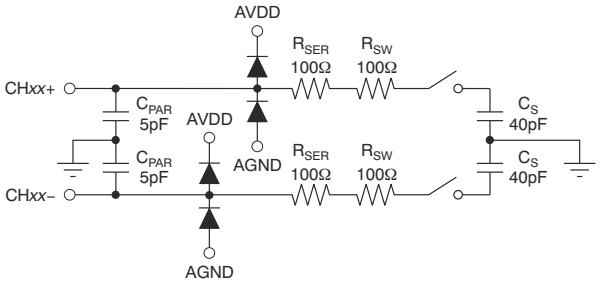


图 6-2. 等效模拟输入电路

Copyright © 2026 Texas Instruments Incorporated

BUSY 信号处于低电平时，采集开始。开始采集时，关闭输入开关（完成前一次转换与预充电后），出现 CONVST 信号上升沿时，采集完成。如果器件全速运行，采集时间通常为 100ns。

如方程式 1 所示，根据 ADC168M102R-SP 的分辨率，计算 *n* = 16 时的驱动运算放大器的最小 -3dB 带宽：

$$f_{-3dB} = \frac{\ln(2)(n + 1)}{2\pi t_{ACQ}} \quad (1)$$

t_{ACQ} = 100ns 时，ADC168M102R-SP 的驱动放大器的最小带宽为 19MHz。如果应用允许更长的采集时间，所需带宽可能会更小。

如果给定应用无法满足方程式 1 中的建立要求，就会出现增益误差。然而，由于存在电容预充电情况，因此不会直接影响线性度与总谐波失真（THD）。

建议将德州仪器（TI）的 OPA365 用作驱动器。除了提供所需带宽以外，OPA365 还能够提供较低的失调电压与出色的总谐波失真（THD）性能（参阅*应用和实施*部分）。

一般情况下，ADC 采样电容会导致驱动运算放大器相位裕度降低。电容与放大器之间放置的电阻器能够限制这种影响。因此，请在开关上串联一个 100Ω 的内部电阻器（R_{SER}）。开关电阻（R_{SW}）通常为 100Ω；参阅（图 6-2）。

如果信号源（R_{SOURCE}）的阻抗满足方程式 2 以下要求，则不需要输入驱动器：

$$R_{SOURCE} < \frac{t_{ACQ}}{C_S \ln(2)(n + 1)} - (R_{SER} + R_{SW}) \quad (2)$$

其中：

- ADC168M102R-SP 的分辨率 *n* = 16
- 采样电容 C_S = 40pF
- 输入电阻值 R_{SER} = 100Ω
- 开关电阻值 R_{SW} = 100Ω

t_{ACQ} = 100ns 时，确保 ADC168M102R-SP 的最大源阻抗小于 12Ω。如果 ADC 在较低数据速率下使用，源阻抗可能更高。

ADC 的差分输入电压范围为 $\pm V_{REF}$，即：所选 REFIO*x* 引脚上的电压。

对于所有输入，电压保持在低于 AGND 但高于 AVDD 的 0.3V 限值范围以内。不允许让直流电流流过输入端。如果超过该等限值，会导致内部 ESD 二极管导通，导致漏电流增大、可能进而导致器件损坏。只有采样保持电容再充电时，才需要电流。

将任何未使用的输入直接连接至 AGND 或 RGND，无需下拉电阻器。

6.3.1.2 模数转换器（ADC）

ZHCST23ADC168M102R-SP 包括两个 16 位 1MSPS SAR ADC，分别包含采样保持功能；参阅*功能方框图*。

6.3.1.3 CONVST

通过 CONVST 上升沿（转换开始）信号，保持模拟输入。从 CONVST 到下一个时钟上升沿（系统时钟）的建立时间为 12ns（最小值）。到达时钟上升沿后，转换自动开始。转换期间（即：BUSY 为高电平时），请勿发出 CONVST 上升沿。

RD（读取数据）与 CONVST 短接，以便最大限度减少必要软件与接线。到达时钟下降沿时，器件会触发 RD 信号。因此，在时钟上升沿，激活组合信号。然后，在随后的时钟上升沿开始转换。在只有 SDOA 处于活动状态的

Copyright © 2026 Texas Instruments Incorporated

模式下，如果使用半时钟定时，RD 与 CONVST 信号组合的最大长度为一个时钟周期。这些模式包括 II、IV、SII 和 SIV。

如果将 CONVST 与 RD 组合使用，则应确保每当开始新的转换时，$\overline{CS}$ 处于低电平。但是，如果 RD 与 CONVST 分开控制，那么不需要该条件。如果采用先入先出（FIFO）原则，则应将 CONVST 与 RD 分开控制。

转换完成后，采样电容会自动预充电至基准电压值，以便显著减少多路复用输入通道之间的串扰。

6.3.1.4 时钟

ADC168M102R-SP 使用外部时钟，允许频率范围取决于所用模式。默认情况下（上电后）、ADC 会在半时钟模式下运行，可支持 0.5MHz 至 20MHz 的时钟范围。全时钟模式下、ADC 可支持 1MHz 至 40MHz 的时钟范围。为实现最大的数据吞吐量，请保持时钟信号持续运行。不过，在突发模式下使用器件时，应当在读取访问完成之时和开始新转换以前，让时钟保持静态低电平或高电平。

将时钟占空比保持在 50%。不过，在占空比保持在 30% 至 70% 之间时，器件能够正常工作。

6.3.1.5 复位

ADC168M102R-SP 器件具有内部上电复位 (POR) 功能。也可以使用 SDI 寄存器位 A[3:0] 来发出用户控制的复位命令（请参阅 *数字* 部分）。

6.3.1.6 REFIO*x*

ADC168M102R-SP 包括一个低漂移 2.5V 内部基准源。这个源将馈入 2 个由寄存器控制的 10 位串型 DAC。通过采用这种架构，REFIO*x* 上的基准电压可在 2.44mV 阶跃下进行编程并根据应用要求进行调整，而无需额外的外部组件。实际输出电压使用 方程式 3 计算，其中 *CODE* 是 REFDACx 寄存器内容的十进制值：

$$V_{REF} = \frac{2.5V(code + 1)}{1024} \tag{3}$$

基准 DAC 在代码 508 (0x1FC) 处有一次固定转换。在此代码处，DAC 显示传递函数高达 10mV 的跳变。表 6-3 列出了一些内部基准 DAC 设置的示例。但是，为了提供适当的性能，请勿将 REFDACx 输出电压设为低于 0.5V。

表 6-3. REFDACx 设置示例

VREFOUT（标称值）	十进制代码	二进制代码	十六进制代码
0.5000V	205	00 1100 1101	0CDh
1.2429V	507	01 1111 1100	1FBh
1.2427V	508	01 1111 1101	1FCh
2.5000V	1023	11 1111 1111	3FFh

每个 REFIOx 输出端上至少需要 22 µF 电容才能让基准保持稳定。如果连接了基准电容，稳定时间为 8ms（最大值）。基准电容值太小会降低器件的 DNL、INL 和交流性能。默认情况下，两个基准输出端都会被禁用，并且上电后各自的值将设置为 2.5V。

对于使用外部基准源的应用场景，会使用 CONFIG 寄存器中的 RPD 位禁用内部基准（默认）（请参阅 *数字部分*）。REFIO*x* 引脚直接连接至 ADC 上；因此，内部开关会在该引脚上产生信号尖峰。因此，应将外部 22µF 电容器连接至模拟接地端 (AGND) 以稳定基准输入电压。

让禁用的 REFIO*x* 引脚保持悬空或直接连接至 AGND 或 RGND 上。

可使用 REFCM 寄存器中的 R*xx* 位分别选择每个基准 DAC 输出端作为每个通道输入的源。图 6-3 显示了内部电路的简化框图。

Copyright © 2026 Texas Instruments Incorporated

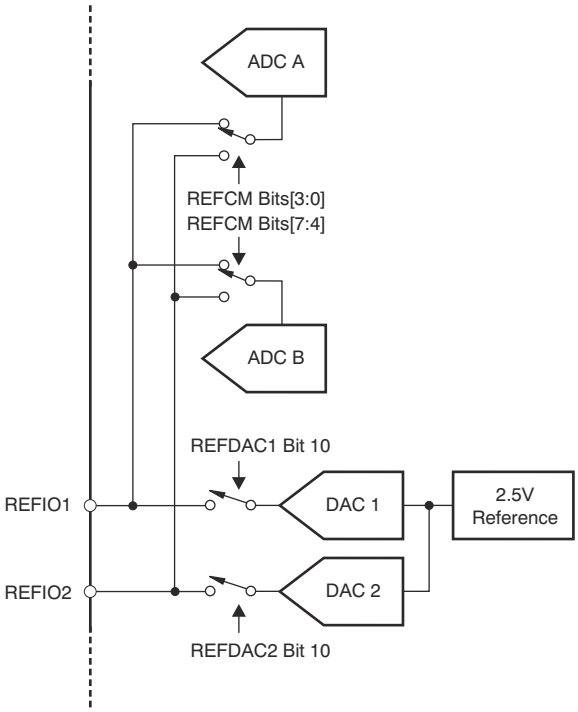


图 6-3. 基准选择电路

6.3.2 数字

本部分将介绍串行接口的时序与控制。

ADC168M102R-SP 提供一组能够用于控制多种器件功能与模式的内部寄存器。更多详细信息，请参阅*寄存器映射*部分。表 6-4 列出了支持的设备工作模式。

表 6-4. 支持的工作模式

输入信号类型	手动通道选择	自动通道选择
全差分 (PDE 位= 0)	工作模式：I、II 和特殊模式 II 可通过 CID 位选择通道信息 FIFO：不可用	工作模式：III、IV 和特殊模式 IV 可通过 CID 位选择通道信息。 FIFO：模式 III 与特殊模式 IV 下可用。 使用时，单个读取脉冲可读取所有数据。
伪差分 (PDE 位= 1)	工作模式：I、II 与特殊模式 II 可通过 CID 位选择通道信息 FIFO：不可用	工作模式：III 与特殊模式 IV 通道信息不可用 (CID 位强制为 1) 。 FIFO：模式 III 与特殊模式 IV 下可用。使用时，单个读取脉冲可读取所有数据。 启用伪差分定序器。

Copyright © 2026 Texas Instruments Incorporated

6.3.2.1 M0 和 M1 的模式选择引脚

如 表 6-5 所示，使用 M0 和 M1 模式引脚将 ADC168M102R-SP 配置为四种不同的工作模式。

表 6-5. M0、M1 真值表

M0	M1	通道选择	使用 SDO*x*
0	0	手动（通过 SDI）	SDOA 和 SDOB
0	1	手动（通过 SDI）	仅限 SDOA
1	0	自动	SDOA 和 SDOB
1	1	自动	仅限 SDOA

M0 引脚可设置手动或自动通道选择。在手动模式下，CONFIG 寄存器位 C[1:0] 在通道 CH*x*0 和 CH*x*1 之间进行选择。在自动模式下，CONFIG 寄存器位 C[1:0]被忽略，并且通道选择在每次转换后由器件控制。在这种情况下，仅对全差分输入执行自动通道选择。对于伪差分输入，内部定序器将控制输入多路复用器。

M1 引脚选择串行数据的发送方式。在每个通道上（分别）在 SDOA 和 SDOB 输出端同时传输串行数据，或者只有 SDOA 输出端从两个通道传输数据。更多信息，请参阅 图 6-5 至 图 6-10 以及相关文本。

此外，SDI 引脚通过内部寄存器控制器件功能；有关详细信息，请参阅*寄存器映射*部分。

6.3.2.2 半时钟模式（上电与复位后的默认模式）

上电时，ADC168M102R-SP 处于半时钟模式。该模式下，ADC 需要至少 20 个时钟才能够完成整个转换周期（包括：采集阶段）。转换结果只能在下一个转换周期读取。到达 RD 下降沿时，第一个输出位可用，到达 RD 上升沿时，以下输出数据位会刷新。

6.3.2.3 全时钟模式（双路输出模式下，能够在 1µs 内进行转换与数据读取）

全时钟模式下，能够在 1µs 内完成数据转换与结果读取。整个周期需要 40 个时钟。到达 RD 下降沿时，第一个输出位可用。该模式下，随着时钟下降沿刷新，后续的输出数据位也会不断刷新。

在 4.5V 至 5.5V 的 AVDD 电源范围以内和 2.3V 至 3.6V 的 DVDD 数字电源范围以内使用全时钟模式。全时钟模式下、内部 FIFO 被禁用。

6.3.2.4 2 位计数器

该器件可提供一个可选的 2 位计数器（利用 CONFIG 寄存器中的 CE 位激活），这是安全应用中的一项有用功能。输出寄存器每存储一个新的转换结果，计数器数值会自动递增一次，显示一个新的数值。上电后，计数器默认值为 01（依次为 10、11、00、01，以此类推）；请参阅图 7-3。仅当新的转换结果传输至输出寄存器时，计数器数值才会递增。因此，该计数器可验证 ADC 是否执行转换，读取的数据是否为新的转换结果（而非多次读取的旧结果）。

Copyright © 2026 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 断电模式和复位

此器件具有全面的内置断电功能。有三种断电模式：断电模式、睡眠模式和自动睡眠模式。全部三个断电模式通过写入访问完成激活，在此期间相关位被置为活动 (PD [1:0])。通过将 CONFIG 寄存器中的相应位设为非活跃状态来停用所有模式。CONFIG 寄存器的内容不受任何断电模式的影响。任何正在进行的转换都会在进入任何断电模式之前完成。表 6-6 总结了三种断电模式之间的差异。

表 6-6. 断电模式

断电模式	关断电流	断电启用方式	断电开始方式	断电延迟时间	正常运行方式	唤醒时间	断电禁用方式
断电	5μA	PD[1:0] = 01	写入访问已完成	20μs	PD[1:0] = 00	8ms	PD[1:0] = 00
睡眠	1.2mA (3.6V)	PD[1:0] = 10	写入访问已完成	10μs	PD[1:0] = 00	7 或 14 个时钟周期	PD[1:0] = 00
自动睡眠	1.2mA (3.6V)	PD[1:0] = 11	每次转换结束	10μs	CONVST 脉冲	7 或 14 个时钟周期	PD[1:0] = 00

6.4.1.1 断电模式

在断电模式 (PD [1:0]= 01) 下，除数字接口外的所有功能块都被禁用。在此模式下，电流需求在 20μs 内降至 5μA。使用 22μF 的基准电容器时，从断电模式唤醒的时间为 8ms。完成任何正在进行的转换后，器件进入断电模式。

6.4.1.2 睡眠模式

在睡眠模式 (PD [1:0]= 10) 下，器件会在 10μs 内将电流需求降低至约 0.9mA。完成任何正在进行的转换后，器件立即进入睡眠模式。

6.4.1.3 自动休眠模式

自动休眠模式与睡眠模式几乎相同。唯一区别在于激活模式与唤醒器件的方法不同。CONFIG 寄存器位 PD[1:0]= 11 仅用于启用或禁用该功能。如果启用了自动休眠模式，那么器件会在转换完成以后自动关闭偏置；因此，转换结束实际上会激活自动休眠模式。如果使用定序器模式，选择单个转换启动脉冲（S1 = 0），那么器件会在每次转换以后自动断电。如果使用单个 CONVST 脉冲启动序列（S1 = 1），那么在整个序列完成时会激活断电。

器件会在下一个 CONVST 脉冲到达时唤醒。然而，在半时钟模式下，模拟输入会在采样模式下再保持 7 个时钟周期，或在全时钟模式下保持 14 个时钟周期。随后（参阅 图 6-4），实际转换正式开始（BUSY 变为高电平）。这段时间是将内部电路稳定至所需电压电平所必需的。自动休眠模式下，转换结果会出现延迟；参阅 图 6-10。

在该模式下，电流需求会在 10μs 内降至大约 1.2mA。

Copyright © 2026 Texas Instruments Incorporated

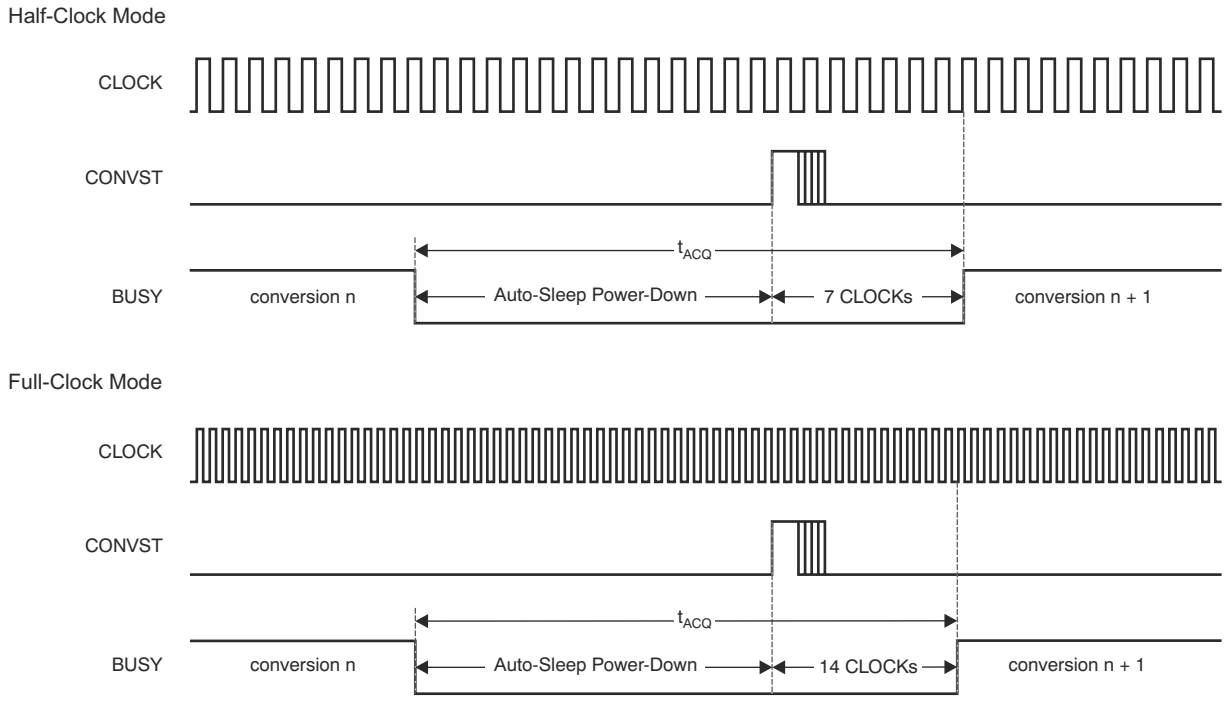


图 6-4. 实际转换在自动休眠模式下启动

6.4.1.4 复位

要发出器件复位命令，应生成一个 RD 脉冲和一个包含 A[3:0] = 0100 的控制字。写入访问完成后，包括串行接口在内的整个器件被强制复位，从而中断任何正在进行的转换。输入端设置为采集模式，寄存器内容恢复为默认值。在大约 20ns 后，串行接口再次变为活动状态。该器件还支持自动上电复位 (POR)，此功能可提供适合 (默认) 的器件设置。

Copyright © 2026 Texas Instruments Incorporated

6.5 编程

6.5.1 读取数据输入 (RD)

RD 输入端控制串行数据输出端 SDO*x*。RD 脉冲的下降沿触发输出数据第一位的输出。当 CID 为 0 时，SDOx 上输出数据的第一位是模拟输入通道指示符。当 CID 为 1 时，SDOx 上输出数据的第一位是转换结果 MSB 或所选寄存器的第 15 位。该位之后为输出位，这些输出位在半时钟模式下随时钟上升沿更新，或在全时钟模式下随时钟下降沿更新。

RD 输入可单独控制，也可与 CONVST 输入结合使用（有关详细的计时示意图，请参阅 图 8-2）。如果单独控制 RD，则只要转换过程完成（即在下降 BUSY 沿之后）就发出 RD。但是，要实现最大数据速率，应在正进行转换期间读取转换结果。在半时钟模式下，请勿在开始转换后的第 16 个和第 19 个时钟周期之间发出 RD 脉冲。在全时钟模式下，在开始转换后，不要在全时钟模式下的第 34 个和第 36 个时钟周期之间发出 RD 脉冲。

如果在未发出新转换命令的情况下重复进行读取访问，则上一次转换的结果会再次显示在输出端上。仅在 BUSY 为低电平时执行重复读出操作。

在全时钟模式下，当以下示值读数包含无效通道详细信息时，只有首次读取访问才会提供正确的通道信息。当 CONFIG 寄存器中的 CID 为 0 时，会出现正确的通道信息。通道信息在下一次转换时纠正。

寄存器映射 部分中介绍了用于验证内部寄存器内容的读取访问。

6.5.2 串行数据输出 (SDOx)

以下各节详细说明了不同的运行模式。

如 表 6-7 所示，ADC168M102R-SP 的数字输出代码格式为二进制补码。

请参考 图 5-1 和 图 5-2 中所示的两个详细时序图。为了获得最大数据吞吐量，本文档所载说明与示意图均假设 CONVST 和 RD 引脚连接在一起。请参阅 图 8-2，了解此情况下的时序详情。这些引脚也可以被独立控制。

表 6-7. 输出数据格式

说明	差动输入电压	CH*xx*P 处的输入电压 (CH*xx*N = V_{REF} = 2.5V)	二进制代码	十六进制代码
正满标量程	V_{REF}	5V	0111 1111 1111 1111	7FFF
中量程	0V	2.5V	0000 0000 0000 0000	0000
中量程 – 1 LSB	$-2V_{REF}$ /分辨率	2.499924V	1111 1111 1111 1111	FFFF
负满标量程	$-V_{REF}$	0V	1000 0000 0000 0000	8000

Copyright © 2026 Texas Instruments Incorporated

6.5.2.1 模式 I

当 M0 和 M1 引脚均设置为 0 时，该器件进入手动通道控制操作，并相应地在 SDOA 和 SDOB 上输出数据。SDI 引脚在两个通道之间切换，如相应的时序图所示。将 CONVST 置为高电平可启动转换程序。

当出现上升 CONVST 沿时，该器件会以异步方式将外部时钟从采样模式切换至保持模式。BUSY 输出引脚变为高电平，并在转换周期期间保持高电平。在第二个时钟周期的下降沿处，该器件会锁定通道，以便进行下一个转换周期。此锁定动作取决于 CONFIG 寄存器位 C[1:0] 的状态。将 $\overline{CS}$ 设为低电平，可启用两个串行输出端。每次转换，数据在每 20 个时钟周期的下降沿处有效。前两个位设置为 0。如 图 6-5 所示，后续数据包含 16 位转换结果（最高有效位首先传输），后跟尾零。

此模式用于全差分或伪差分输入；在这两种情况下，如果 CID 为 0，通道信息位均为 00。在该模式下，FIFO 不可用。

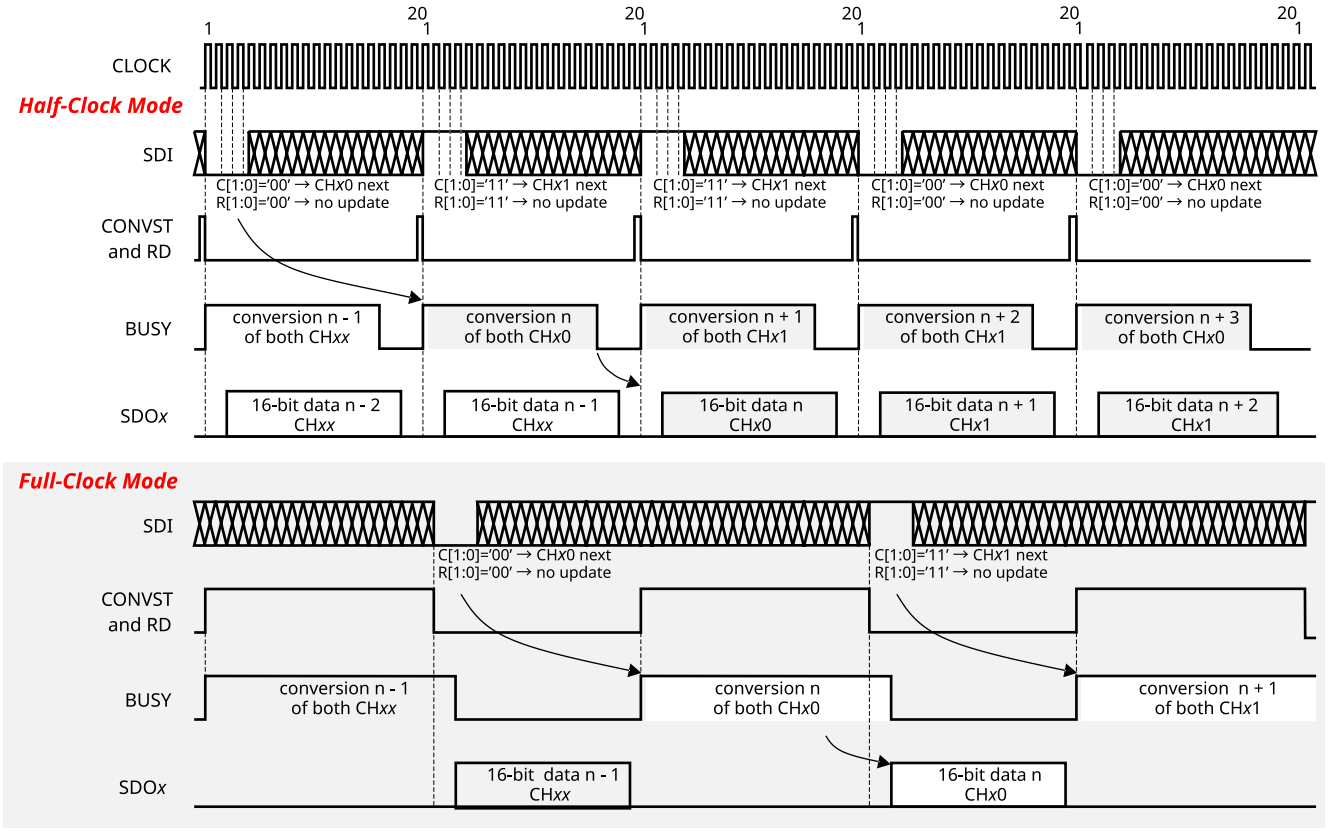


图 6-5. 模式 I 时序（M0 = 0，M1 = 0，PDE = 0，CID = 1，全差分示例）

Copyright © 2026 Texas Instruments Incorporated

6.5.2.2 模式 II（仅限半时钟模式）

当 M0 = 0 且 M1 = 1 时，ADC168M102R-SP 也会在手动通道控制模式下运行。在该模式下，仅当 SDOB 设置为高阻抗时，该器件才在 SDOA 引脚上输出数据。所有其它引脚的工作方式与模式 I 中的工作方式一样。

在半时钟模式下，该器件执行完整的读取周期需要 2 µs。之所以有此要求，是因为需要 40 个时钟周期才能输出两个 ADC 的结果（而不是 M1 = 0 时所需的 20 个周期）。如 图 6-6 所示,如果像模式 I 一样，每 1.0 µs（RD 信号需要）发出一次 CONVST 信号，则每隔一个脉冲忽略一次。确保 CONVST 和 RD 信号不超过一个时钟周期，以提供正常功能并避免输出数据损坏。

该运行模式不支持全时钟模式。

输出数据由 0、ADC 指示符和 16 位转换结果组成，后接尾零。对于 CHA*x*，ADC 指示符为 0；对于 CHB*x*，ADC 指示符为 1。

该模式用于全差分或伪差分输入。仅当 CID 为 0 时，通道信息在全差分模式下有效。当通道位在伪差分模式下无效时，CID 包含正确的 ADC 信息。在该模式下，FIFO 不可用。

对 FE、SR、PDE 和 CID 寄存器位的更改从下一次转换开始激活，并延迟一次读取访问。

每隔一个 RD 脉冲更新一次寄存器设置。如 图 6-6 所示，将这些脉冲与启动转换的脉冲或读取通道 B 的转换结果的脉冲对齐。

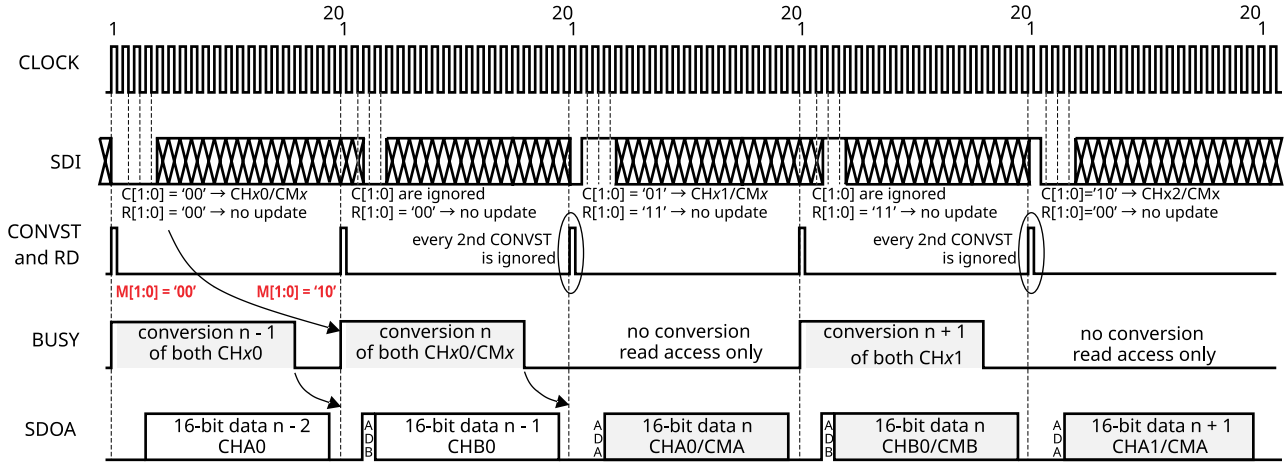


图 6-6. 模式 II 时序（M0 = 0，M1 = 1，PDE = 0，CID = 0，伪差分示例）

Copyright © 2026 Texas Instruments Incorporated

6.5.2.3 特殊读取模式 II（仅限半时钟模式）

对于模式 II，可使用特殊读取模式。在该模式下，单个 RD 脉冲会触发要读取的两个数据结果。图 6-7 显示了此模式的时序图。要激活此模式，请将 CONFIG 寄存器中的 SR 位设置为 1（请参阅 表 7-1）。CONVST 和 RD 引脚仍然连接在一起，但每 40 个时钟周期发出一次，而不是每 20 个时钟周期发出一次。仅当 SDOB 保持在三态时，输出数据才显示在 SDOA 上。

为避免损坏输出数据，应确保该模式下的 RD 信号不超过一个时钟周期。

该特殊模式用于全差分或伪差分输入。仅当 CID 为 0 时，通道信息在全差分模式下有效。当通道位在伪差分模式下无效时，CID 将包含正确的 ADC 信息。在该模式下，FIFO 不可用。

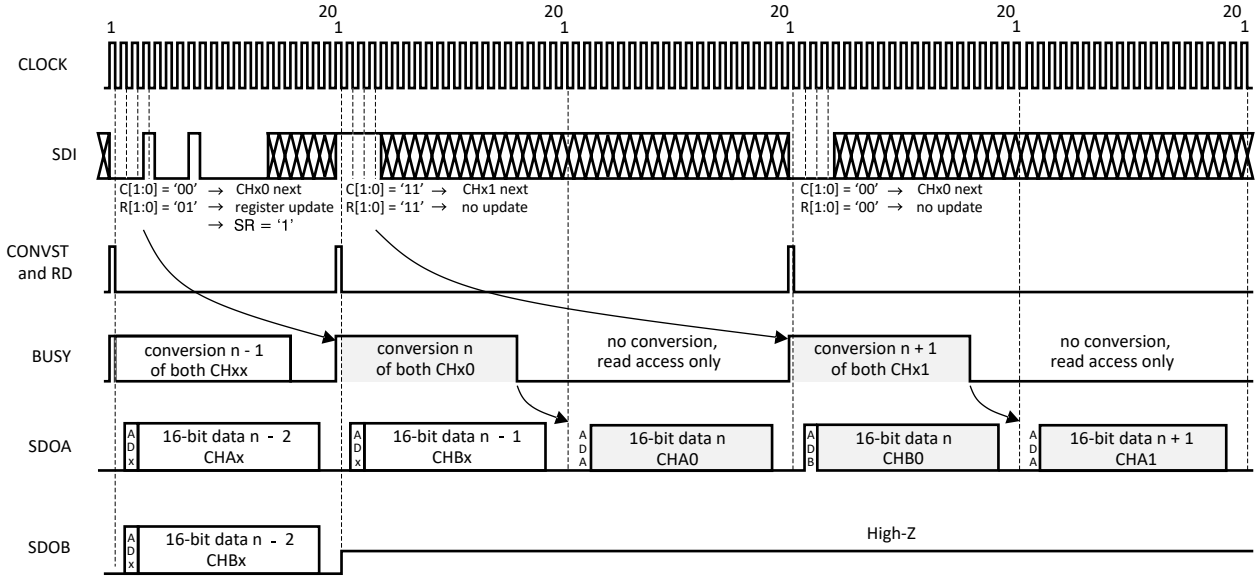


图 6-7. 特殊读取模式 II 时序图（M0 = 0，M1 = 1，PDE = 0，SR = 1，CID = 0，全差分示例）

Copyright © 2026 Texas Instruments Incorporated

6.5.2.4 模式 III

当 M0 = 1 和 M1 = 0 时，该器件会在两个差分输入之间自动循环（忽略 CONFIG 寄存器位 C[1:0]）。如 图 6-8 所示，当在 SDOA 上提供 CHA*x* 的转换结果以及在 SDOB 上提供 CHB*x* 的转换结果时，会发生此循环。

输出数据包含一个通道指示符，后跟一个 0 位和 16 位转换结果以及几个尾零。如果是 CH*x*0，通道指示符为 0；如果是 CH*x*1，则为 1。

将此模式用于全差分或伪差分输入（在伪差分模式下，定序器将控制输入多路复用器）。只有当 CID 为 0（在伪差分模式中 CID 被强制设为 1）时，通道信息在全差分模式下才可用。

内部 FIFO 在此模式下可用；使用该模式时，通过单个读取脉冲即可读取所有存储的转换数据。首次使用 FIFO 时，确保该 FIFO 存满数据以提供适当的功能。

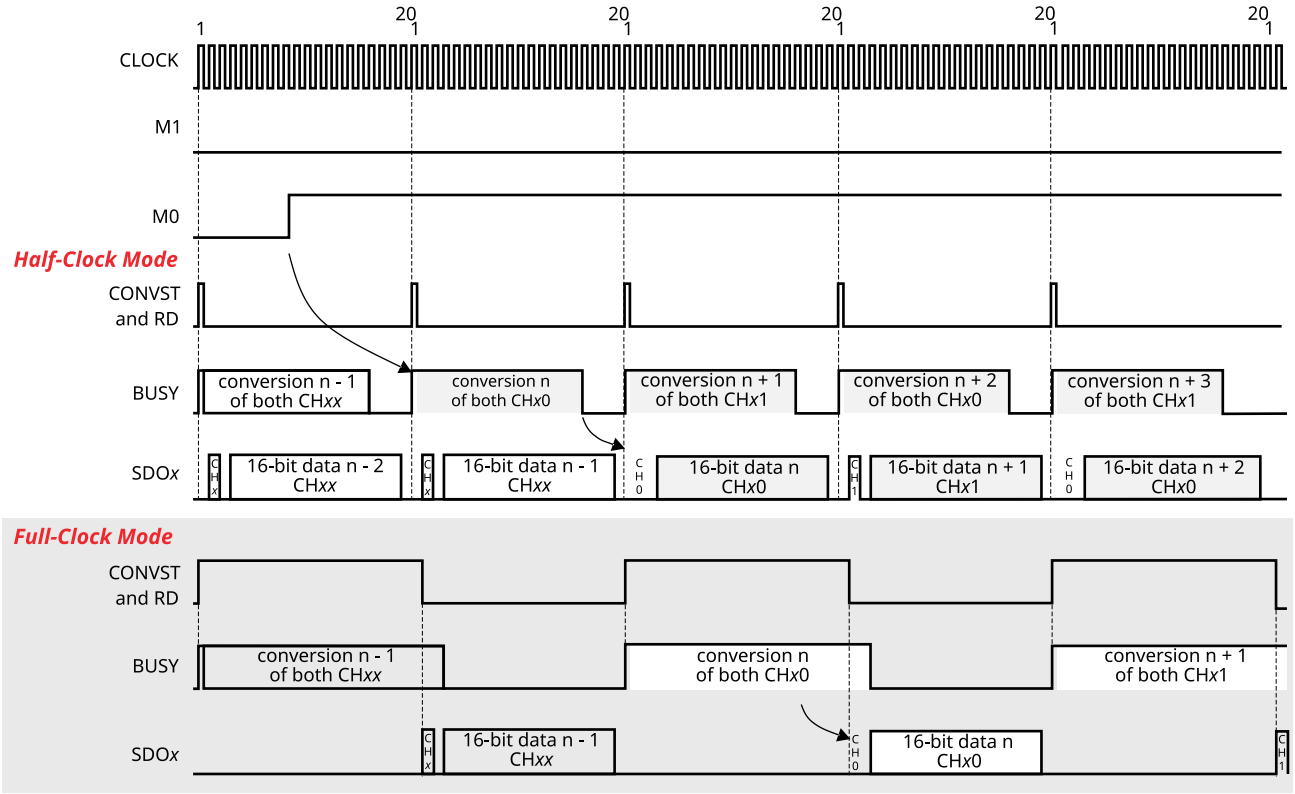


图 6-8. 模式 III 时序（M0 = 1，M1 = 0，PDE = 0，CID = 0，全差分示例）

Copyright © 2026 Texas Instruments Incorporated

6.5.2.5 全差分模式 IV（仅限半时钟模式）

与模式 II 相同，在模式 IV 下，在差分通道自动切换时，仅使用 SDOA 输出线路传输数据。在 M1 变为高电平后的第一次转换后（如图 6-9 所示），SDOB 输出变为三态。

输出数据包括一个通道指示符，其后是 ADC 指示器和以 00 结束的 16 位转换结果。对于 CH*x*0，通道指示符为 0；对于 CH*x*1，通道指示符为 1；对于 CHA*x*，ADC 指示符为 0；对于 CHB*x*，ADC 指示符为 1。

确保 CONVST 与 RD 信号不超过一个时钟周期，以便提供正常功能，避免输出数据损坏。

该工作模式下，不支持全时钟模式。

全差分模式下，如果 CID = 0，则通道信息可用。伪差分模式下，定序器控制该模式的通道选择。利用 SEQFIFO 寄存器，正确设置通道信息。该模式下，内部 FIFO 不可用。

对 FE、SR、PDE 以及 CID CONFIG 寄存器位的更改会在下次转换开始时激活。但是，存在一个读取访问延迟。

每隔一个 RD 脉冲，更新一次寄存器。该脉冲与启动转换的脉冲或读取通道 B 转换结果的脉冲对齐；与图 6-6 进行对比。

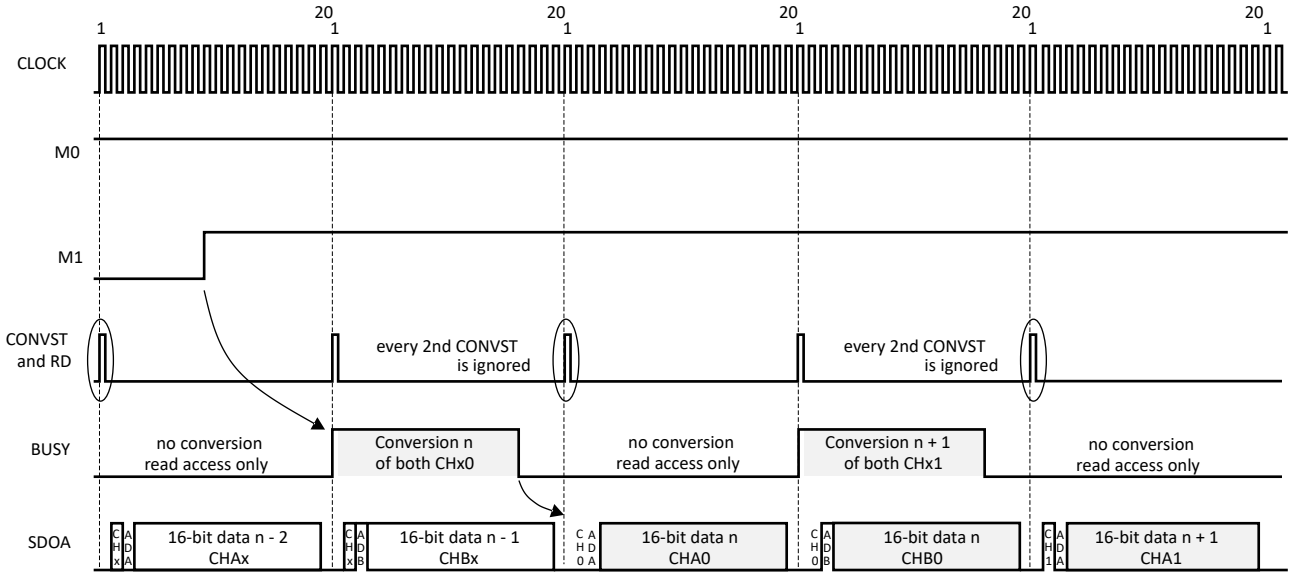


图 6-9. 全差分模式 IV 时序（M0 = 1，M1 = 1，PDE = 0，并且 CID = 0 的示例）

Copyright © 2026 Texas Instruments Incorporated

6.5.2.6 特殊模式 IV（仅限半时钟模式）

与特殊模式 II 下的情况一样，该器件还为模式 IV 提供特殊的读取模式。如 图 6-10 所示，在此模式下，通过触发单个 RD 脉冲，可以读取转换的两个数据结果。在本例中，将 CONFIG 寄存器中的 SR 位设置为 1。CONVST 和 RD 引脚仍然连接在一起，但每 40 个时钟周期发出一次，而不是每 20 个时钟周期发出一次。为避免输出数据损坏，应确保该模式下的 RD 信号不超过一个时钟周期。

SDOA 引脚上会相应提供数据。

如 图 6-10 所示，如果启用了自动睡眠断电模式，则在下一次转换期间会显示转换结果。

使用此模式实现全差分或伪差分输入（在伪差分模式下，定序器控制多路复用器）。如果 CID 仅在全差分模式下为 0（CID 在伪差分模式下强制设为 1），则通道信息可用。

内部 FIFO 在此模式下可用；使用该模式时，通过单个读取脉冲即可读取所有存储的转换数据。首次使用 FIFO 时，确保该 FIFO 存满数据以提供适当的功能。

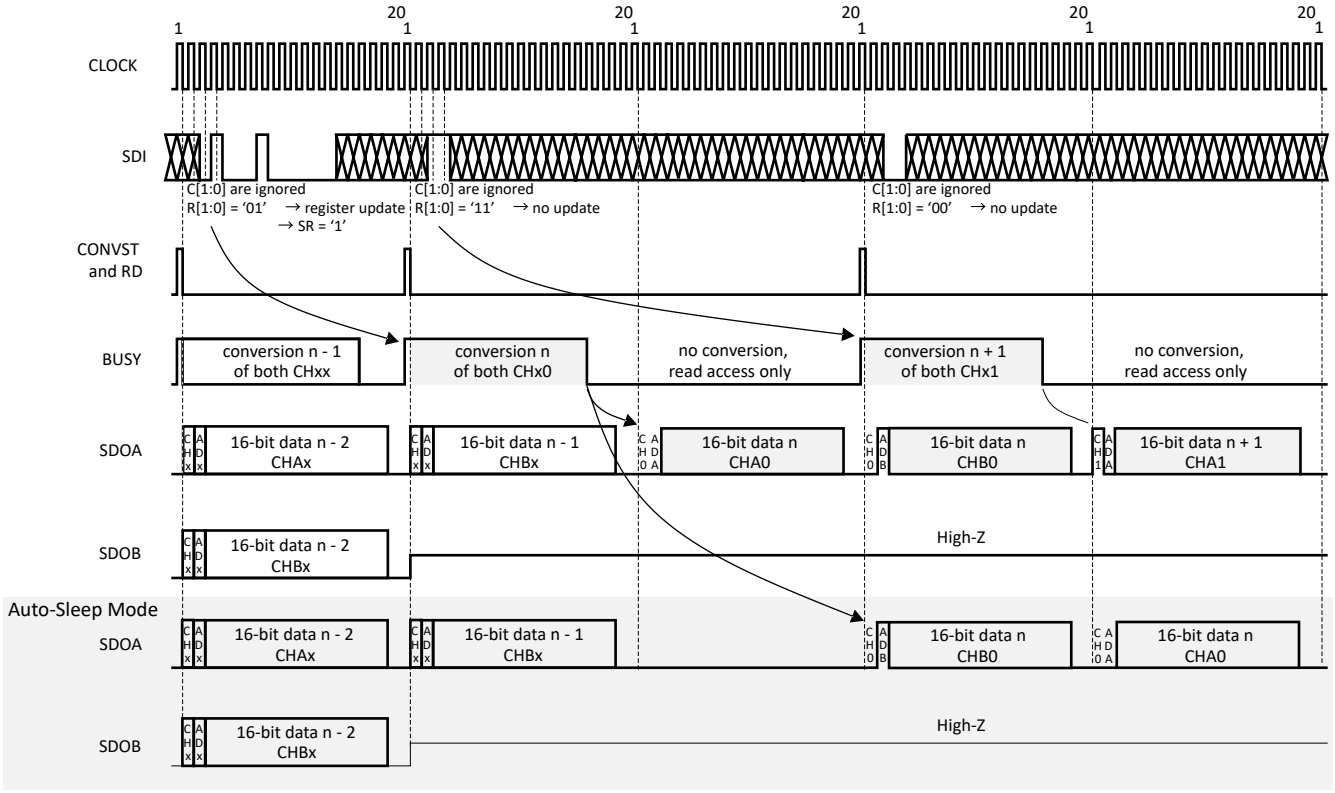


图 6-10. 特殊读取模式 IV 时序（M0 = 1，M1 = 1，PDE = 0，SR = 1，CID = 0，全差分示例）

6.5.3 对基准 DAC 进行编程

根据被更新的 DAC，通过发出 RD 脉冲来设置内部基准 DAC。确保提供一个具有 R[1:0] = 01 和 A[3:0] = X010 或 X101 的控制字。此后，如 图 6-11 所示，生成带有控制字的第二个 RD 脉冲，该控制字以忽略前五位开始。基准功率控制之后是使用相应的 10 位 DAC 值。

要验证 DAC 设置，应在提供包含 R[1:0] = 01 和 A[3:0] = 0011 或 0110 的控制字时生成 RD 脉冲。此控制字将相应 DAC 寄存器的读取访问初始化。再次触发 RD 线路会使 SDOA 输出端提供 16 位 DAC 寄存器值，后面跟随 0000。但是，请确保通道信息已禁用（CID 为 1）。当通道信息被启用（CID 为 0）时，数据输出的头两位包含当前选择的模拟输入通道指示符。16 位 DAC 寄存器的内容后跟一个额外的 00。如果是 CH*x*0，通道指示符为 0；如果是 CH*x*1，则为 1。虽然寄存器内容在 SDOA 上有效 (图 6-11)，但通道 A*x* 的转换结果将丢失（如果一个转换是并行执行的）。通道 B*x* 的转换结果在 SDOB 上有效（如果启用），且 SDI 上的数据将被忽略。

上电后 DAC 寄存器的默认值为 7FFh，对应两个 REFIO*x* 引脚上的 2.5V 禁用基准电压。

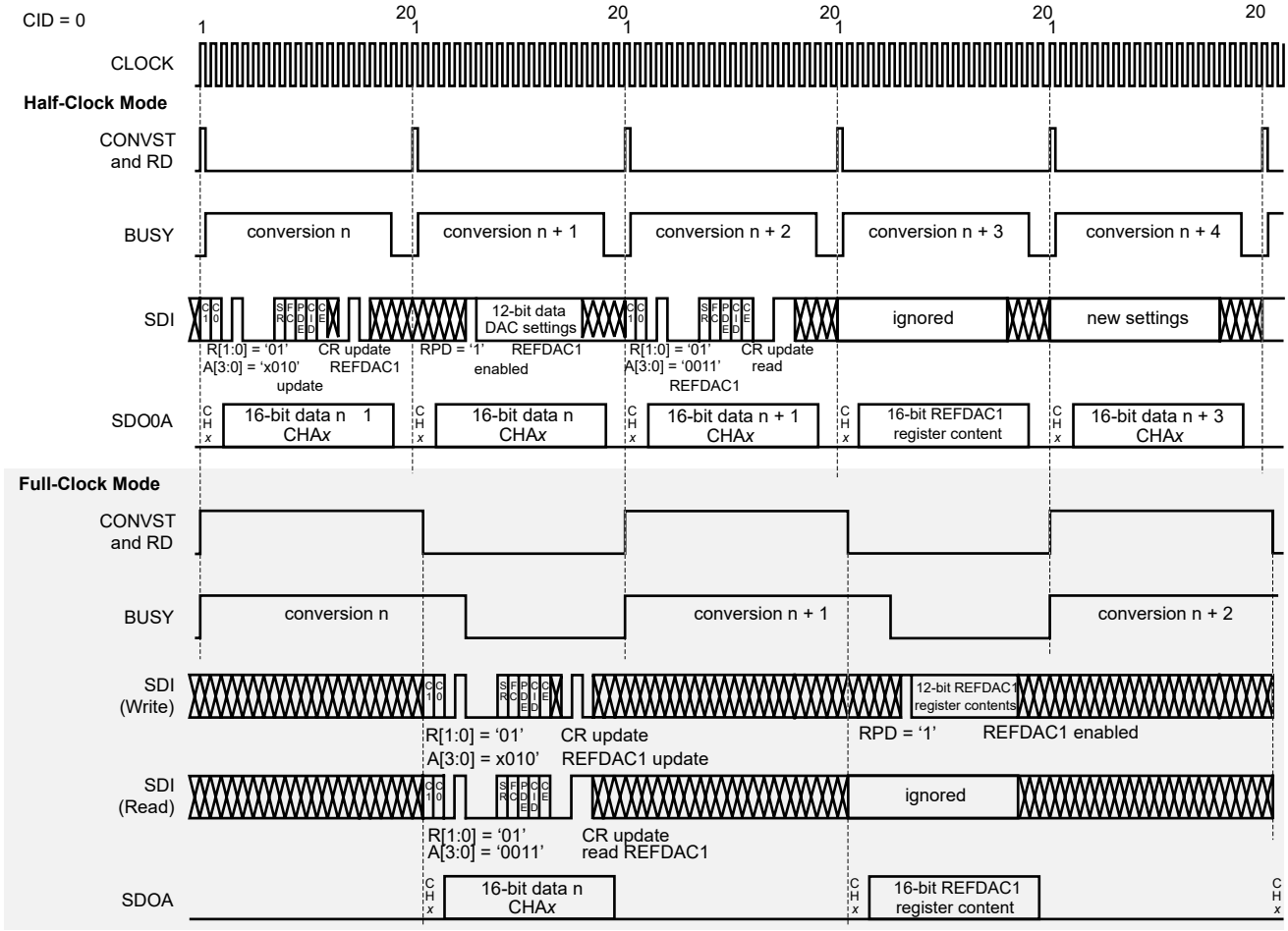


图 6-11. DAC 寄存器写入和读取访问时序（SDOx 均为活动状态且 CID = 0）

Copyright © 2026 Texas Instruments Incorporated

7 寄存器映射

ADC168M102R-SP 的运行由本节所述的一组寄存器进行控制。表 7-1 显示了寄存器映射。使用串行数据输入 (SDI) 引脚设置这些 16 位寄存器的内容。该引脚耦合至 RD 并在每个时钟下降沿处将时钟数据存储到器件中。所有数据的传输都是 MSB 优先。在完成 16 个时钟周期的写入访问操作之后，所有寄存器更新都随时钟上升沿激活。

表 7-1. 寄存器映射

寄存器	BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT 10	BIT 9	BIT 8	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CONFIG	C[1:0]		R[1:0]		PD[1:0]		FE	SR	FC	PDE	CID	CE	A[3:0]			
REFDAC1	保留					RPD	D[9:0]									
REFDAC2	保留					RPD	D[9:0]									
SEQFIFO	S[1:0]		SL[1:0]		C11	C10	C21	C20	C31	C30	C41	C40	SP1	SP0	FD1	FD0
REFCM	CMB[3:0]				CMA[3:0]				RB[3:0]				RA[3:0]			

要更新 CONFIG 寄存器，需要执行一次写入访问。要更新其他寄存器的内容，需要使用适当的寄存器地址（位 A[3:0]）对控制寄存器进行一次写入访问。随后会对实际寄存器进行写入访问。图 7-1 展示了这些寄存器的更新示意图。在通过单个寄存器写入访问发出寄存器读取访问命令时更新 CONFIG 寄存器内容。例如，当激活 REFDAC1 寄存器读取访问时，将器件模式更改为全时钟模式。全时钟模式在 CONFIG 寄存器更新的第 16 个时钟周期变为活动状态。然后，根据全时钟模式时序显示 REFDAC1 数据。

要验证寄存器内容，使用 CONFIG 寄存器位 A[3:0] 发出读取访问命令。*对基准 DAC 进行编程* 部分根据验证基准 DAC 寄存器设置的示例对上述访问操作进行了说明。使用下一个读取命令，即可始终获取 SDOA 上的寄存器内容。例如，如果使用 FIFO，则寄存器内容将在 FIFO 读取访问完成后显示（有关更多详细信息，请参阅 表 7-5）。完成读取或写入访问总共需要 40 个时钟周期，在此期间不允许对 CONFIG 寄存器进行新的访问。

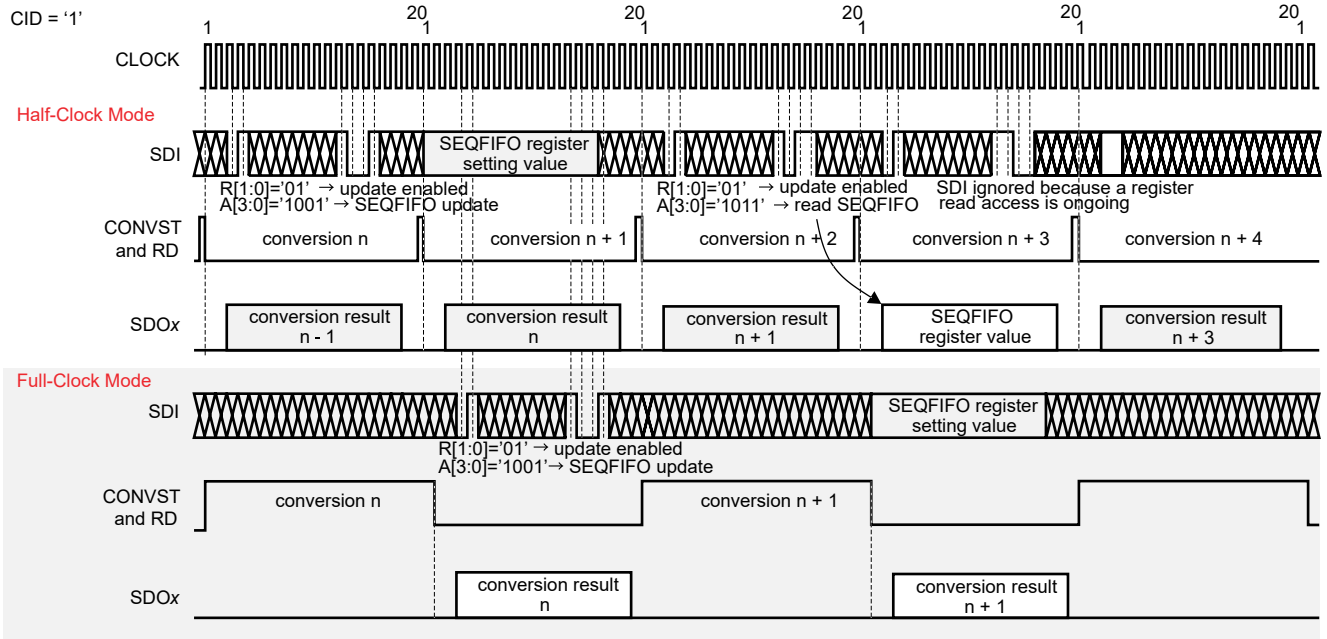


图 7-1. 更新内部寄存器设置（示例：半时钟模式，CID = 1）

配置 (CONFIG) 寄存器

配置寄存器用于选择输入通道、激活断电模式以及访问定序器和 FIFO、选择基准和访问基准 DAC 寄存器。

Copyright © 2026 Texas Instruments Incorporated

图 7-2. Config：配置寄存器（默认 = 0000h）

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
C[1:0]		R[1:0]		PD[1:0]		FE	SR	FC	PDE	CID	CE	A[3:0]			
R/W-0h		R/W-0h		R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 7-2. Config 寄存器字段说明

位	字段	类型	复位	说明
15:14	C[1:0]	R/W	0h	**输入通道选择。** 这些位根据 PDE 位的状态控制多路复用器输入选择。 如果 PDE = 0（默认），则多路复用器处于全差分模式，位 C[1:0] 通过以下方式控制输入多路复用器： 0x = 转换输入端 CHx0P/CHx0N 的模拟信号（默认）。 1x =输入端 CHx1P/CHx1N 处的模拟信号转换。 如果 PDE = 1，则多路复用器处于伪差分模式，位 C[1:0] 通过以下方式控制输入多路复用器： 00 = 输入端 CHx0 的模拟信号与所选 CMx 或 REFIOx 比较后进行转换（默认）。 01 = 输入端 CHx1 的模拟信号与所选 CMx 或 REFIOx 比较后进行转换。 10 = 输入端 CHx2 的模拟信号与所选 CMx 或 REFIOx 比较后进行转换。 11 = 输入端 CHx3 的模拟信号与所选 CMx 或 REFIOx 比较后进行转换。
13:12	R[1:0]	R/W	0h	**配置寄存器更新控制。** 这些位控制对 CONFIG 寄存器的访问。 00 = 如果 M0 为 0，则仅更新输入选择位 C[1:0] ；如果 M0 为 1，则无操作（默认）。 01 = 更新已启用的 CONFIG 寄存器的全部内容。 10 = 保留以用于出厂测试；请勿使用。更改可能会导致器件出现错误行为。 11 = 如果 M0 为 0，则仅更新输入选择位 C[1:0]；如果 M0 为 1，则无操作。
11:10	PD[1:0]	R/W	0h	**断电控制。** 这些位控制器件的不同断电模式。 00 = 正常运行（默认）。 01 = 器件处于断电模式（有关详细信息，请参阅 *断电模式和复位* 部分）。 10 = 器件处于睡眠断电模式（有关详细信息，请参阅 *断电模式和复位* 部分）。 11 = 器件处于自动睡眠断电模式（有关详细信息，请参阅 *断电模式和复位* 部分）。
9	FE	R/W	0h	**FIFO 启用控制。** 0 = 禁用内部 FIFO（默认）。 1 = 启用内部 FIFO。FIFO 的深度由 SEQFIFO 寄存器位 FD[1:0] 控制。
8	SR	R/W	0h	**特殊读取模式控制。** 0 = 禁用特殊读取模式（默认）。 1 = 特殊读取模式被启用；有关详细信息，请参阅 图 6-7 和 图 6-10。
7	FC	R/W	0h	**全时钟模式运行控制。** 0 = 禁用全时钟模式运行（默认）；有关详细信息，请参阅 图 5-1。 1 = 启用全时钟模式运行；有关详细信息，请参阅 图 5-2。
6	PDE	R/W	0h	**伪差分模式运行启用。** 0 = 2x2 全差分运行（默认）。 1 = 4x2 伪差分运行。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. Config 寄存器字段说明（续）

位	字段	类型	复位	说明
5	CID	R/W	0h	**通道信息禁用。** 0 = SDOx 上显示通道信息，随后显示转换结果或寄存器内容（默认）。 1 = SDOx 上显示 RD 下降沿后立刻显示转换数据或寄存器内容。
4	CE	R/W	0h	**2 位计数器启用（请参阅 图 7-3）。** 0：内部计数器处于禁用状态（默认）。1：在 SDOx 上显示转换结果之前可用计数器值（只有当 CID = 0 时才为活动状态）。
3:0	A[3:0]	R/W	0h	**寄存器访问控制。** 这些位允许读取 CONFIG 寄存器内容并控制对器件其余寄存器的访问。 x000 = 仅更新 CONFIG 寄存器内容（默认值） 0001 = 在下一次访问时读取 SDOA 上的 CONFIG 寄存器内容（请参阅 图 7-1）。 x010 = 在下一次访问时写入 REFDAC1 寄存器（请参阅 图 7-1）。 0011 = 在下一次访问时读取 SDOA 上的 REFDAC1 寄存器内容（请参阅 图 7-1）。 0100 = 生成器件的软件复位。 x101 = 在下一次访问时写入 REFDAC2 寄存器（请参阅 图 7-1）。 0110 = 在下一次访问时读取 SDOA 上的 REFDAC2 寄存器内容（请参阅 图 7-1）。 x111 = 仅更新 CONFIG 寄存器内容。 1001 = 在下一次访问时写入 SEQFIFO 寄存器（请参阅 图 7-1）。 1011 = 在下一次访问时读取 SDOA 上的 SEQFIFO 寄存器内容（请参阅 图 7-1）。 1100 = 在下一次访问时写入 REFCM 寄存器（请参阅 图 7-1）。 1110 = 在下一次访问时读取 SDOA 上的 REFCM 寄存器内容（请参阅 图 7-1）。

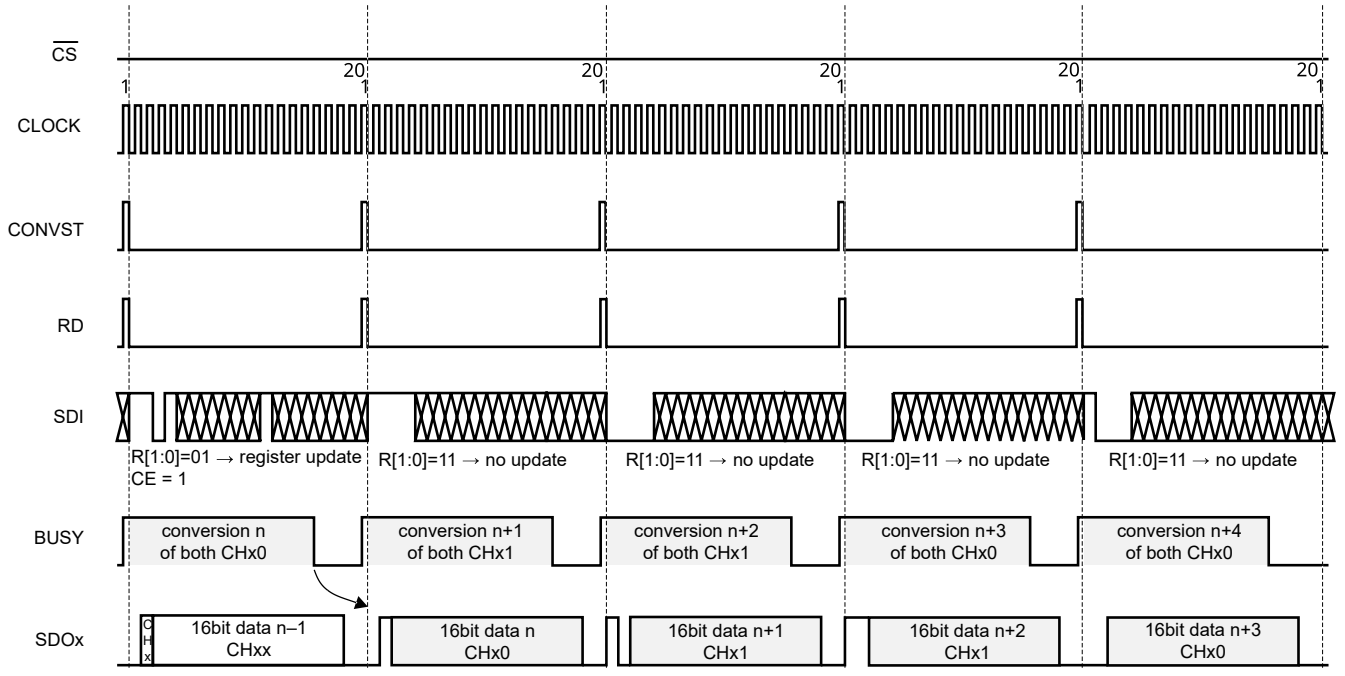


图 7-3. 2 位计数器功能（半时钟模式、手动通道控制、CID = 0）

Copyright © 2026 Texas Instruments Incorporated

REFDAC1 和 REFDAC2 寄存器

利用两个基准 DAC 寄存器可为连接到 REFIO1 和 REFIO2 引脚的每个输出串型 DAC 启用和设置适当的值。

图 7-4. REFDAC1 控制寄存器（默认 = 07FFh）

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
保留					RPD	D[9:0]									
R/W-0h					R/W-1h	R/W-3FFh									

表 7-3. REFDAC1 寄存器字段说明

位	字段	类型	复位	说明
15:11	保留	R/W	0h	未使用；始终设置为 0。
10	RPD	R/W	1h	**DAC1 断电。** 0 = 内部基准路径 1 启用，基准电压在 REFIO1 引脚上可用。 1 = 内部基准路径禁用（默认）。
9:0	D[9:0]	R/W	3FFh	**DAC1 设置位。** 这些位对应于内部基准 DAC 的设置（比较 REFIO 部分）。D9 位是 DAC 的 MSB 值。 默认值为 3FFh（标称值为 2.5V）。

图 7-5. REFDAC2 控制寄存器（默认 = 07FFh）

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
保留					RPD	D[9:0]									
R/W-0h					R/W-1h	R/W-3FFh									

表 7-4. REFDAC2 寄存器字段说明

位	字段	类型	复位	说明
15:11	保留	R/W	0h	未使用；始终设置为 0。
10	RPD	R/W	1h	**DAC2 断电。** 0 = 内部基准路径 2 启用，基准电压在 REFIO2 引脚上可用。 1 = 内部基准路径禁用（默认）。
9:0	D[9:0]	R/W	3FFh	**DAC2 设置位。** 这些位对应于内部基准 DAC 的设置（比较 REFIO 部分）。D9 位是 DAC 的 MSB 值。 默认值为 3FFh（标称值为 2.5V）。

Copyright © 2026 Texas Instruments Incorporated

定序器/FIFO (SEQFIFO) 寄存器

ADC168M102R-SP 具有一个可编程定序器，仅在伪差分自动通道选择模式下控制 ADC 输入多路复用器的开关。使用该器件时，单个读取脉冲会读取所有存储的转换数据。整个序列的转换需要一个 CONVST 来控制。如果使用定序器，则该器件可分别控制 CONVST 和 RD（请参阅 图 7-7 和 图 7-8）。

此外，每个通道上都提供一个可编程 FIFO，可存储多达四个转换结果。使用该寄存器就可控制这两项功能。如果使用 FIFO，则可分别控制 CONVST 和 RD。激活此功能后，请确保 FIFO 已满，然后再执行首次读取。

如果 FIFO 已满且开始新的转换，则内容将被移动 1 位且最先的结果将丢失。仅当使用了定序器时，FIFO 中的全部内容才会丢失（即所有位都自动设为 0）。FIFO 的使用与定序器无关。如果两者都使用，应在从 FIFO 中读取数据之前完成整个序列；否则数据可能被损坏。

表 7-5 详细介绍了根据自动通道选择模式中的 FIFO 设置示值读数的要求。

表 7-5. FIFO 模式下转换结果的读出

自动通道选择		
输入信号类型	**FE = 0**	**FE = 1**
全差分输入模式	读取周期长度 = 1 个字。 每次转换后需要一个 RD 脉冲。	读取周期长度 = 2 × FIFO 长度。 整个 FIFO 内容需要一个 RD 脉冲。
伪差分输入模式	读取周期长度 = 1 个字。 每次转换后或完成序列后（如果 S1 = 1 和 S0 = 1）需要一个 RD 脉冲。	读取周期长度 = 2 × 定序器长度 × FIFO 长度。 整个 FIFO 内容需要一个 RD 脉冲。

图 7-6. SEQFIFO：定序器和 FIFO 寄存器（默认= 0000h） (1)

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
S[1:0]		SL[1:0]		C1[1:0]		C2[1:0]		C3[1:0]		C4[1:0]		SP[1:0]		FD[1:0]	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

(1) 定序器仅用于伪差分模式。在设置 REFCM 寄存器之前设置该寄存器。

表 7-6. SEQFIFO 寄存器字段说明

位	字段	类型	复位	说明
15:14	S[1:0]	R/W	0h	**定序器模式选择（请参阅 图 7-7）仅限伪差分模式。** 这些位允许控制所需的 CONVST 的数量，以及序列发生器模式下 BUSY 引脚的行为。 0x = BUSY 指示每次转换时需要单独的 CONVST（默认）。 10 = BUSY 指示每次转换时整个序列需要一个单独的 CONVST（仅限半时钟模式）。 11 = BUSY 在整个序列中保持高电平时需要一个单独的 CONVST（仅限半时钟模式）。
13:12	SL[1:0]	R/W	0h	**定序器长度控制。** 这些位控制序列的长度。只有当 SL > 00 时，位 [11:6] 才为活动状态。 00 = 请勿使用；改用模式 I 或 II，其中 M0 为 0（默认）。 01 = 定序器的长度为 2；C1x（位 [11:10]）和 C2x（位 [9:8]）定义实际通道选择。 10 = 定序器长度为 3；C1x（位 [11:10]）、C2x（位 [9:8]）和 C3x（位 [7:6]）定义实际通道选择。 11 = 定序器长度为 4；C1x（位 [11:10]）、C2x（位 [9:8]）、C3x（位 [7:6]）和 C4x（位 [5:4]）定义实际通道选择。
11:10	C1[1:0]	R/W	0h	序列选择位中的第一个通道。
9:8	C2[1:0]	R/W	0h	序列选择位中的第二个通道。
7:6	C3[1:0]	R/W	0h	序列选择位中的第三个通道。

Copyright © 2026 Texas Instruments Incorporated

表 7-6. SEQFIFO 寄存器字段说明（续）

位	字段	类型	复位	说明
5:4	C4[1:0]	R/W	0h	序列选择位中的第四条通道。 位 [11:4] 控制定序器模式下的伪差分输入多路复用器通道选择。 选择 00 = CHA0 和 CHB0 进行下一次转换（默认）。 01 = 选择 CHA1 和 CHB1 进行下一次转换。 10 = 选择 CHA2 和 CHB2 进行下一次转换。 11 = 选择 CHA3 和 CHB3 进行下一次转换。
3:2	SP[1:0]	R/W	0h	**序列位置位（只读）。** 这些位指示定序器模式下伪差分输入多路复用器的设置。 00 = 借助位 C1 [1:0] 选定的输入信号，将在 CONVST 的下一个上升边沿完成转换（默认）。 01 = 使用位 C2[1:0] 选择的输入会在 CONVST 的下一个上升沿转换。 10 = 使用位 C3[1:0] 选择的输入会在 CONVST 的下一个上升沿转换。 11 = 使用位 C4[1:0] 选择的输入将在 CONVST 的下一个上升沿转换。
1:0	FD[1:0]	R/W	0h	**FIFO 深度控制（请参阅 图 7-8）。** 如果 CONFIG 寄存器位 FE 为 1，则这些位用于控制内部 FIFO 的深度。 00 = 每个通道的一次转换结果存储在 FIFO 中，用于突发读取访问（默认）。 01 = 将每个通道的两个转换结果存储在 FIFO 中，用于突发读取访问。 10 = 将每个通道的三个转换结果存储在 FIFO 中，用于突发读取访问。 11 = 将每个通道的四个转换结果存储在 FIFO 中，用于突发读取访问。

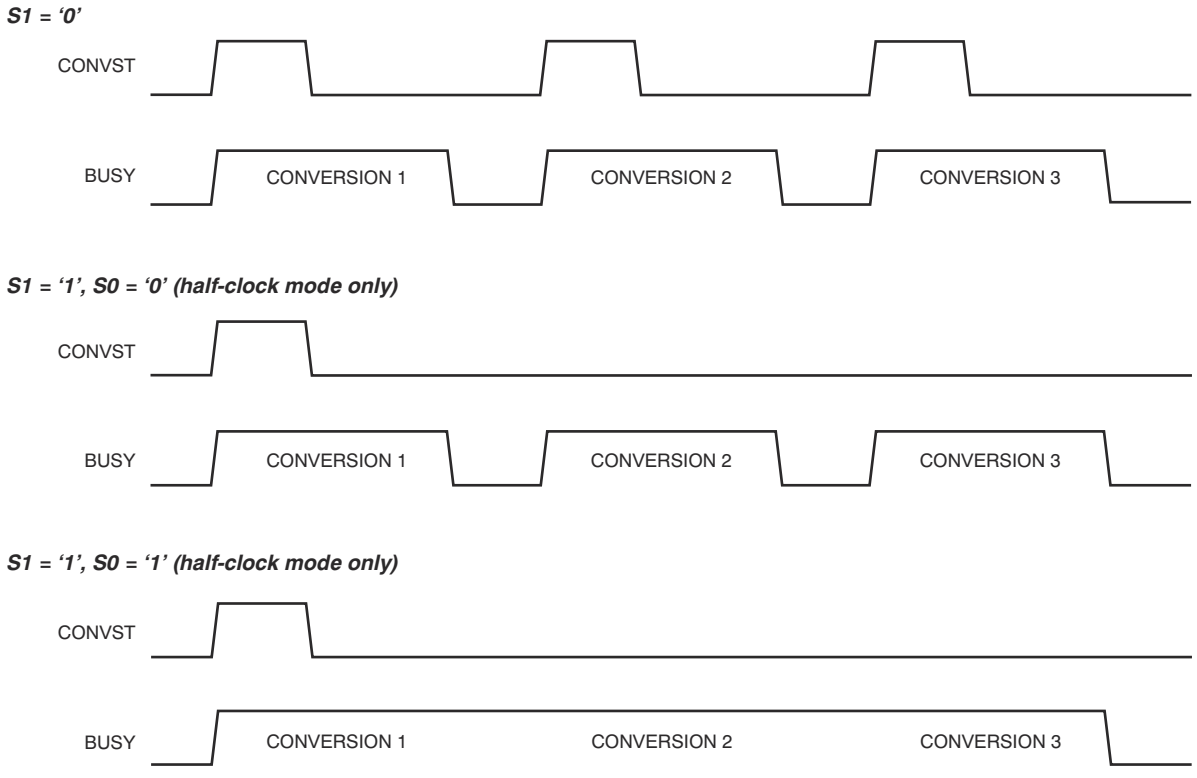
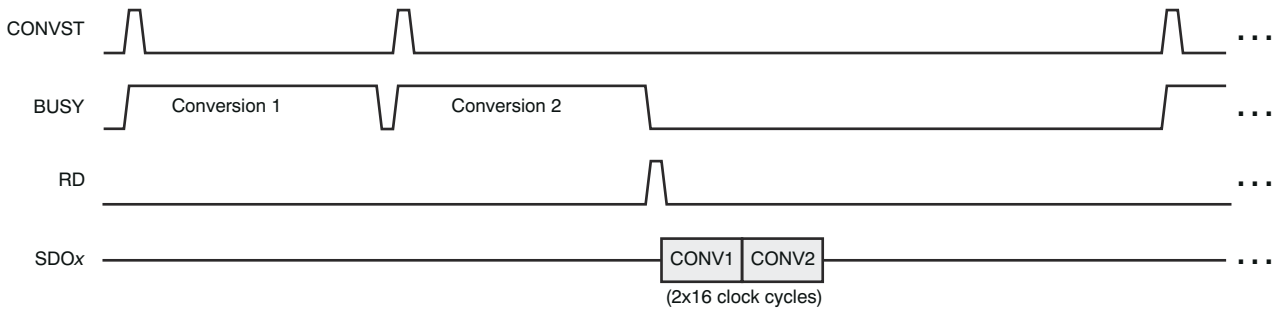


图 7-7. 定序器模式

Copyright © 2026 Texas Instruments Incorporated

FD[1:0] = ‘01’, SL[1:0] = ‘00’



FD[1:0] = ‘01’, SL[1:0] = ‘10’

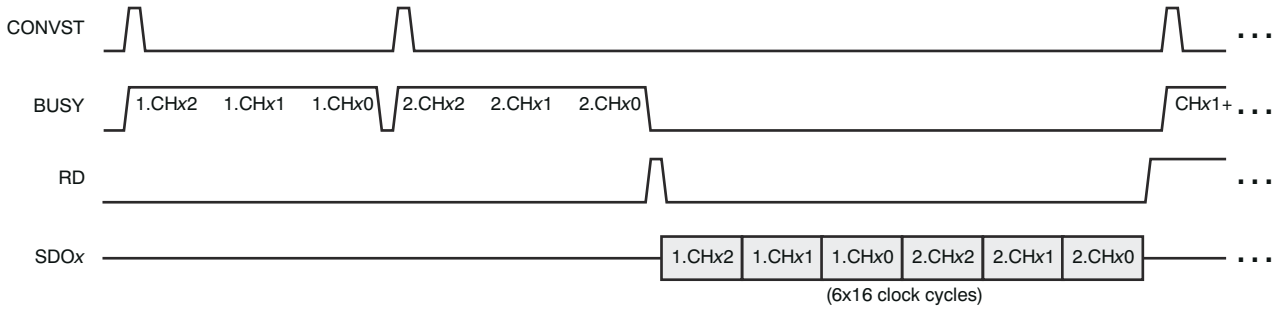


图 7-8. FIFO 和定序器运行示例

Copyright © 2026 Texas Instruments Incorporated

基准和共模选择 (REFCM) 寄存器

为了在简化电路布局时灵活地调整伪差分模式下的共模电压，由 ADC168M102R-SP 提供该寄存器。该寄存器将其中一个 CM*x* 输入分配为每个输入信号的基准。根据寄存器设置，CM*x* 信号会在内部连接到每个 ADC 的相应负输入端。

此外，该寄存器还会在全差分和伪差分模式下灵活分配一个内部基准 DAC 输出端作为每个通道的基准。

图 7-9. REFCM：基准和共模选择寄存器（默认 = 0000h） (1)

15 (MSB)	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0 (LSB)
CMB[3:0]				CMA[3:0]				RB[3:0]				RA[3:0]			
R/W-0h				R/W-0h				R/W-0h				R/W-0h			

(1) 在设置 SEQFIFO 寄存器后设置该寄存器。

表 7-7. REFCM 寄存器字段说明

位	字段	类型	复位	说明
15:8	CM*xx*	R/W	0h	**共模源选择位（每输入通道）。** 这些位允许选择 CMx 输入引脚或内部基准源作为伪差分输入 B[3:0] 和 A[3:0] 的共模。所选的信号连接至相应 ADC 的负输入端。 0 = 通过 CM*x* 提供外部共模源（默认）。 1 = 内部共模源 = REFIO*x*，具体取决于位 R*x*[3:0] 的设置。
7	RB3	R/W	0h	**伪差分模式下 CHB3 的内部基准 DAC 输出选择、或全差分模式下的通道 CHB1P、CHB1N。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。
6	RB2	R/W	0h	**仅限伪差分模式下 CHB2 的内部基准 DAC 输出选择。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。
5	RB1	R/W	0h	**仅限伪差分模式下 CHB1 的内部基准 DAC 输出选择。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。
4	RB0	R/W	0h	**伪差分模式下 CHB0 的内部基准 DAC 输出选择、或全差分模式下的通道 CHB0P、CHB0N。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。
3	RA3	R/W	0h	**伪差分模式下 CHA3 的内部基准 DAC 输出选择、或全差分模式下的通道 CHA1P、CHA1N。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。
2	RA2	R/W	0h	**仅限伪差分模式下 CHA2 的内部基准 DAC 输出选择。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。
1	RA1	R/W	0h	**仅限伪差分模式下 CHA1 的内部基准 DAC 输出选择。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。
0	RA0	R/W	0h	**伪差分模式下 CHA0 的内部基准 DAC 输出选择、或全差分模式下的通道 CHA0P、CHA0N。** 0 = 选择了内部基准源 REFIO1（默认）。 1 = 选择了内部基准源 REFIO2。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.2 典型应用

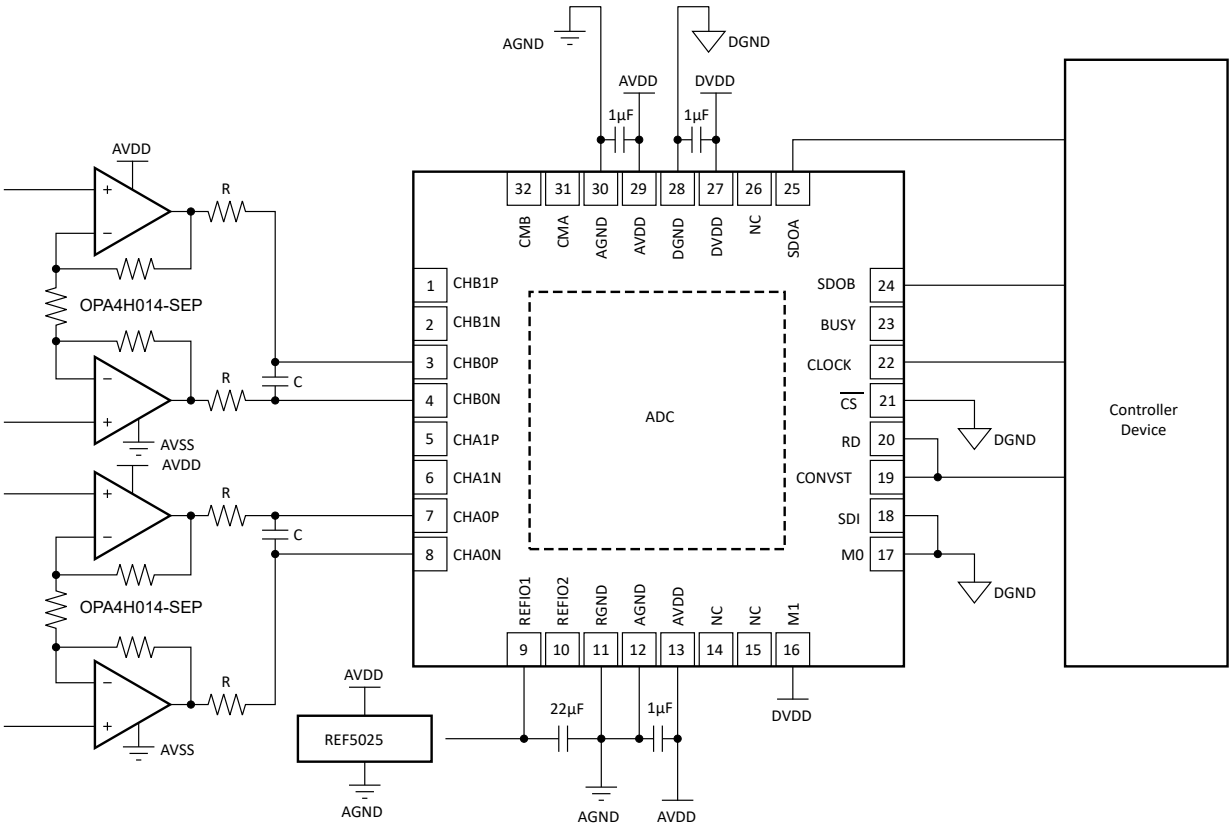


图 8-1. 四线应用配置

8.2.1 设计要求

表 8-1 展示了该应用示例的设计参数。使用一个能够对最多四个 0V 至 5V 的差动输入信号进行数字化处理的数据采集（DAQ）系统（BW = 10kHz）。该设计还要求最高 1000kSPS 的吞吐量。确保 ADC168M102R-SP 通过四线式接口连接至 MCU。

表 8-1. 设计参数

参数	值
模拟输入配置	差分
接口配置	4 线

8.2.2 详细设计过程

ADC168M102R-SP 展示了 ADC168M102R-SEP 的最低配置示例。这种情况下，器件在双通道全差分输入模式下，使用四线式数字接口。数字接口连接至控制器器件，加电后采用默认器件设置。加电时，内部基准处于禁用状态，避免在使用一个外部基准时进行驱动（如有）。因此，本示例采用外部基准源。如需使用内部基准，请将 SDI 输入连接至控制器，允许访问 REFDAC 寄存器。图 8-2 与 *开关特性* 表介绍了包含时序要求的相应时序图。

确保放大器的输入信号满足该配置中的器件共模电压要求。电阻与电容的实际值取决于应用的带宽与性能要求。

方程式 4 计算了这些值：

$$f_{FILTER} = \frac{\ln(2)(n + 1)}{2\pi 2RC} \tag{4}$$

其中：

- ADC168M102R-SP 的分辨率 n = 16

为了在所需最小驱动器带宽与电容值之间进行权衡，请采用电容值不小于 1nF 的电容。

考虑到采集时间，根据方程式 5 所示，计算每个串联电阻的电阻值：

$$R = \frac{t_{ACQ}}{\ln(2)(n + 1)2C} \tag{5}$$

其中：

- n = 器件分辨率

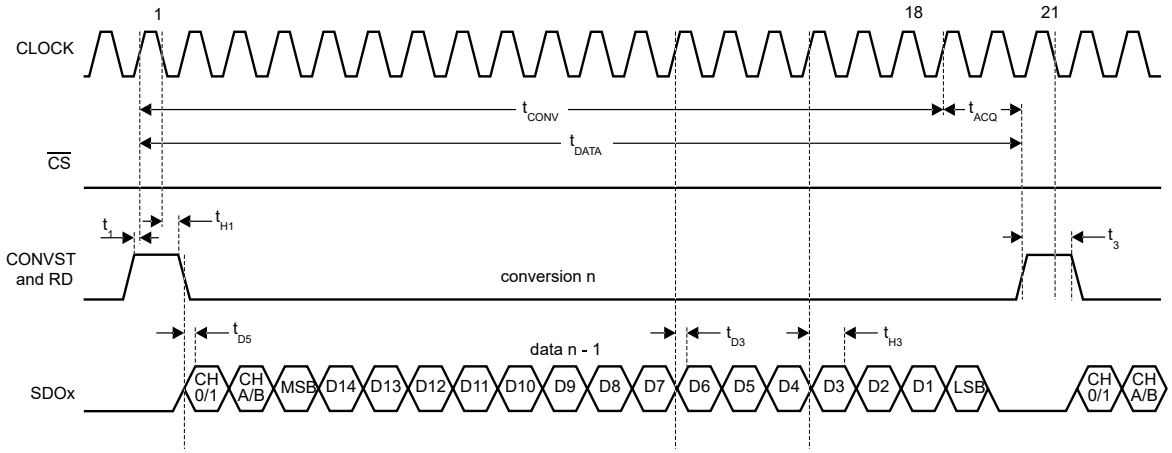


图 8-2. 四线式应用时序（半时钟模式）

Copyright © 2026 Texas Instruments Incorporated

8.2.3 应用曲线

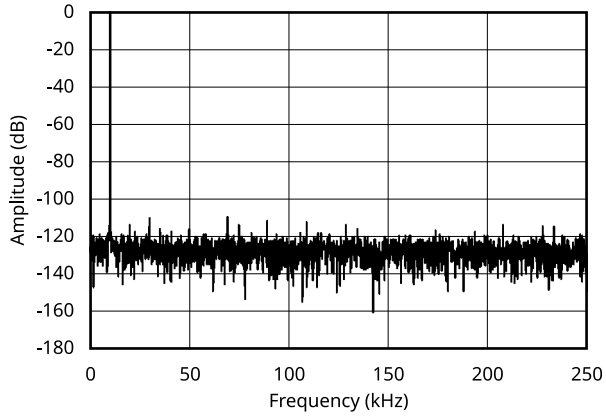


图 8-3. 频谱（4096 点 FFT，f_{IN} = 10kHz，$f_{采样}$ = 0.5MSPS）

8.3 电源相关建议

ADC168M102R-SP 有两个电源：DVDD 和 AVDD。将 DVDD 引脚用于数字接口的缓冲器，并将 AVDD 引脚用于所有其余电路。

DVDD 的范围为 2.3V 至 5.5V，可使 ADC 轻松与处理器和控制器连接。要限制来自外部数字电路的噪声能量注入，请适当地对 DVDD 进行滤波。在 DVDD 引脚和数字接地层之间放置一个 1μF 旁路电容器。

AVDD 为内部模拟电路供电。为获得最佳性能，线性稳压器可为 ADC 和必要的模拟前端生成 2.7V 至 5.5V 范围内的模拟电源电压。

将 1μF 旁路电容器连接至模拟接地层，使电流流经这些电容器的焊盘。也就是说，将过孔放置在电容器和 ADC 电源引脚之间接线的另一侧。

8.4 布局

8.4.1 布局指南

为了实现最佳性能，请考虑 ADC168M102R-SP 电路的物理布局，尤其是以最大吞吐率使用器件时。在这种情况下，请在时钟和 CONVST 之间采用固定相位关系。

此外，高性能 SAR 架构对恰好在锁定内部模拟比较器输出之前发生的短时脉冲波干扰或突然变化非常敏感。电源、基准、接地连接和数字输入是造成这种中断情况的潜在原因。因此，当运行一个 *n* 位 SAR 转换器时，有 *n* 个窗口，这些窗口的外部瞬态大电压（短时脉冲波干扰）有可能影响转换结果。此类干扰源自开关电源、附近的数字逻辑器件或高功率器件。影响程度取决于基准电压、布局和外部事件的实际时序。

考虑到这种可能性，请确保器件的电源清洁且具有良好的旁路。在每个电源引脚处放置一个 1μF 陶瓷旁路电容器（连接至相应地接地引脚），并尽量靠近器件放置。

如果基准电压是外部的，确保运算放大器能够驱动 22μF 电容器而不会出现振荡。可能需要在驱动器输出端和电容器之间串联一个电阻器。为了最大程度地减小该路径上任何与代码相关的压降，应为此电阻器使用较小的值（最大 10Ω）。TI 的 REF50xx 系列能够直接驱动此类电容性负载。

8.4.1.1 接地

将 AGND、RGND 以及 DGND 引脚连接至干净的接地基准点。最大限度缩短所有连接，以便尽量减小这些路径的电感。利用通孔将焊盘直接连接至接地层。在没有接地层的设计中，应确保接地布线尽可能宽。避免在靠近微控制器或数字信号处理器的接地点位置连接。

在整个印刷电路板（PCB）上，使用单个实心的接地平面或专用的模拟接地区域。这种用法取决于电路板的电路密度、模拟与数字元件的放置方式以及相关电流环路。对于独立的模拟接地区域，在 ADC 的模拟接地与数字接地

Copyright © 2026 Texas Instruments Incorporated

之间提供低阻抗连接。在 ADC 下方（或旁边），放置一个桥接器（参阅图 8-4），创建该连接。否则，即使是数字接口低于 –300mV 的短下冲也可能导致 ESD 二极管导通。ESD 二极管导通时，电流会流过基板，导致模拟性能降低。

PCB 布局期间，应避免任何回流电流流经任何敏感的模拟区域或信号。确保信号相对于相应的（AGND 或 DGND）接地平面不超过 –300mV 的限值。

8.4.1.2 数字接口

为了进一步优化器件性能，请为器件的每个数字引脚串联一个 10Ω 至 100Ω 的电阻。通过这种方式，能够降低输入与输出信号的转换速率，进而限制来自数字接口的噪声注入。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 布局示例

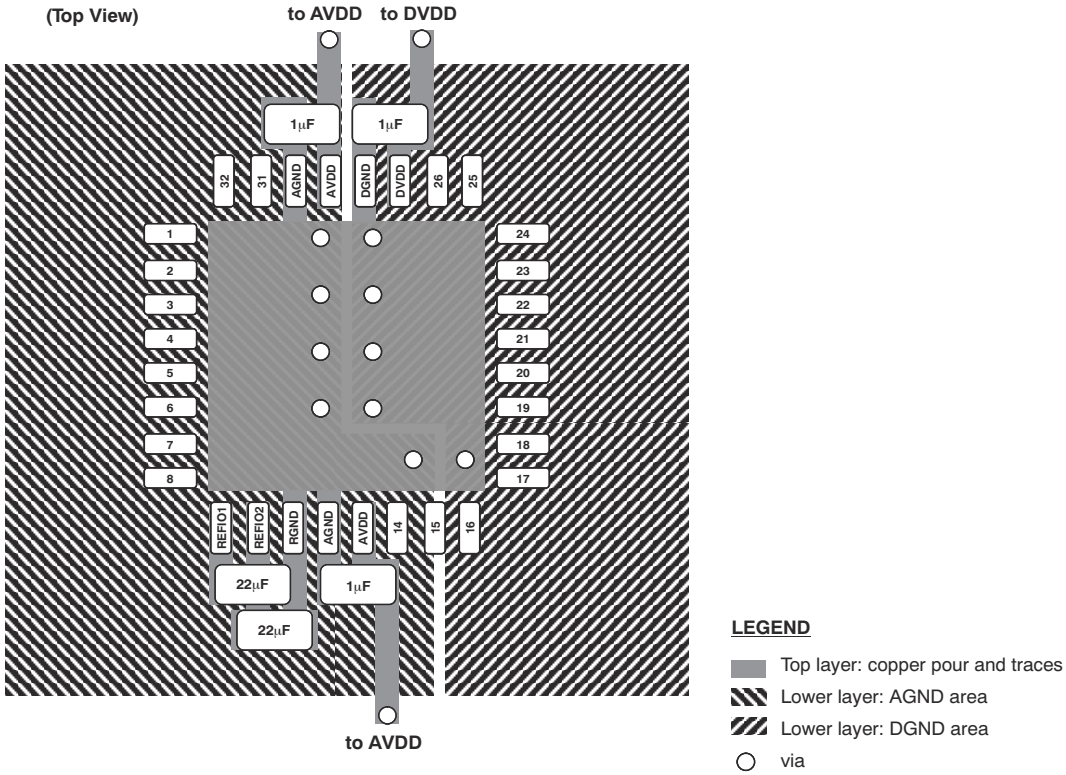


图 8-4. 优化布局建议

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*REF60xx 具有集成 ADC 驱动器缓冲器的高精度电压基准数据表*
- 德州仪器 (TI)，*REF50xx 低噪声、极低温漂、精密电压基准 数据表*
- 德州仪器，*μA78xx 固定正电压稳压器数据表*

9.2 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.3 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.6 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
June 2026	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2521601PXE	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	SRN Q252161

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ADC168M102R-SP :

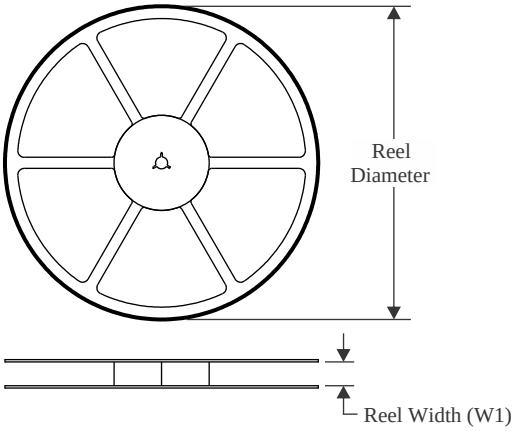
- Catalog : ADC168M102R-SEP

NOTE: Qualified Version Definitions:

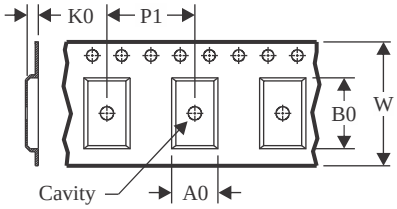
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

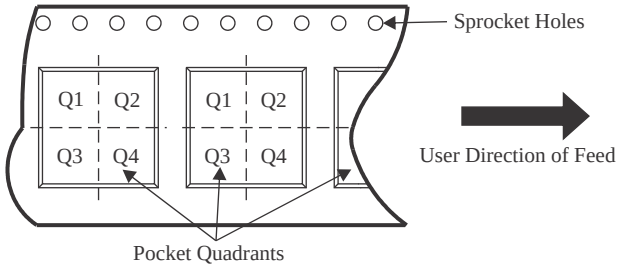


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

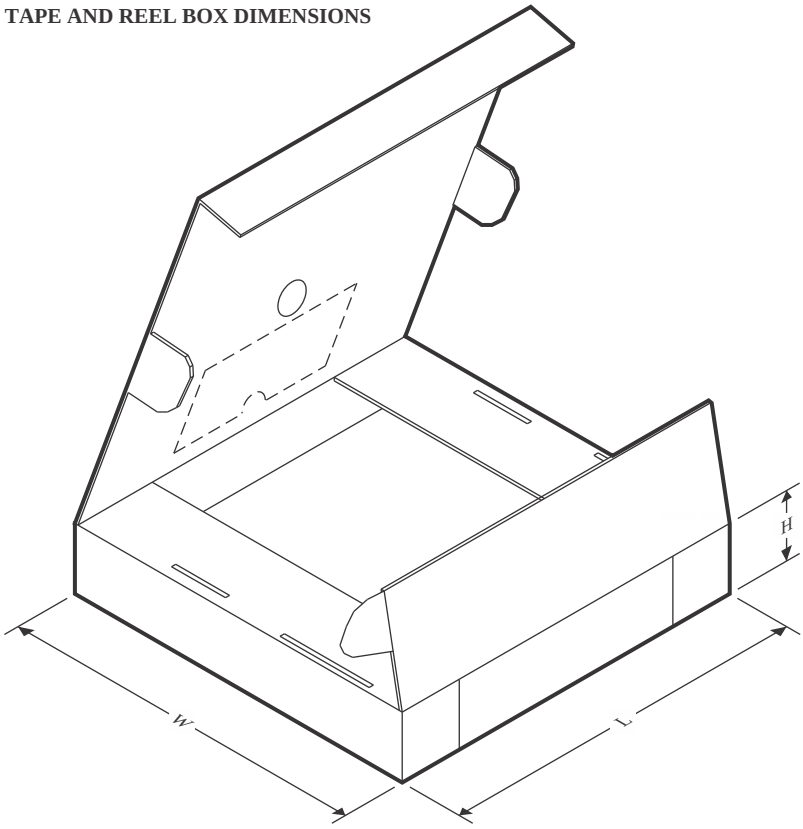
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2521601PXE	VQFN	RHB	32	250	178.0	12.4	3.56	4.5	1.3	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2521601PXE	VQFN	RHB	32	250	208.0	191.0	35.0

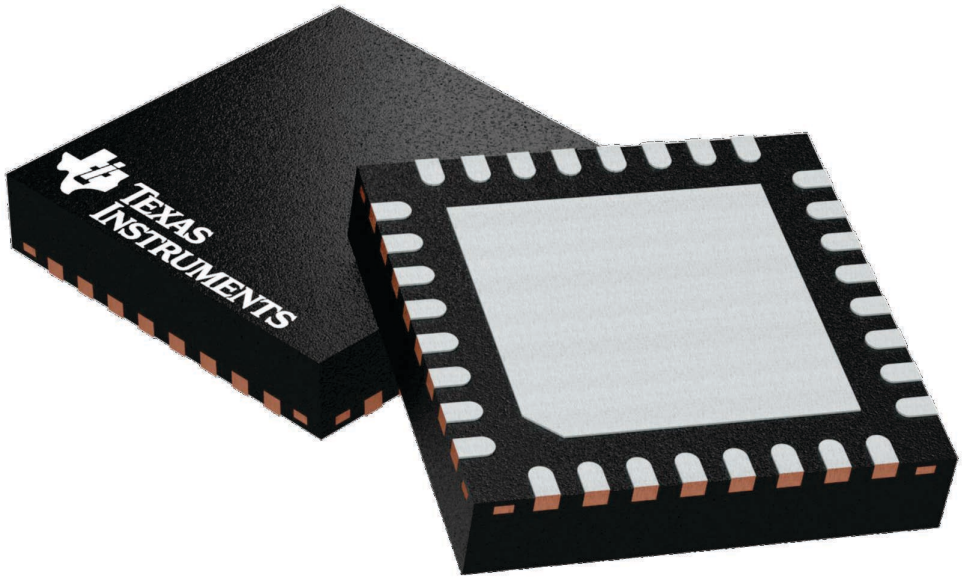
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

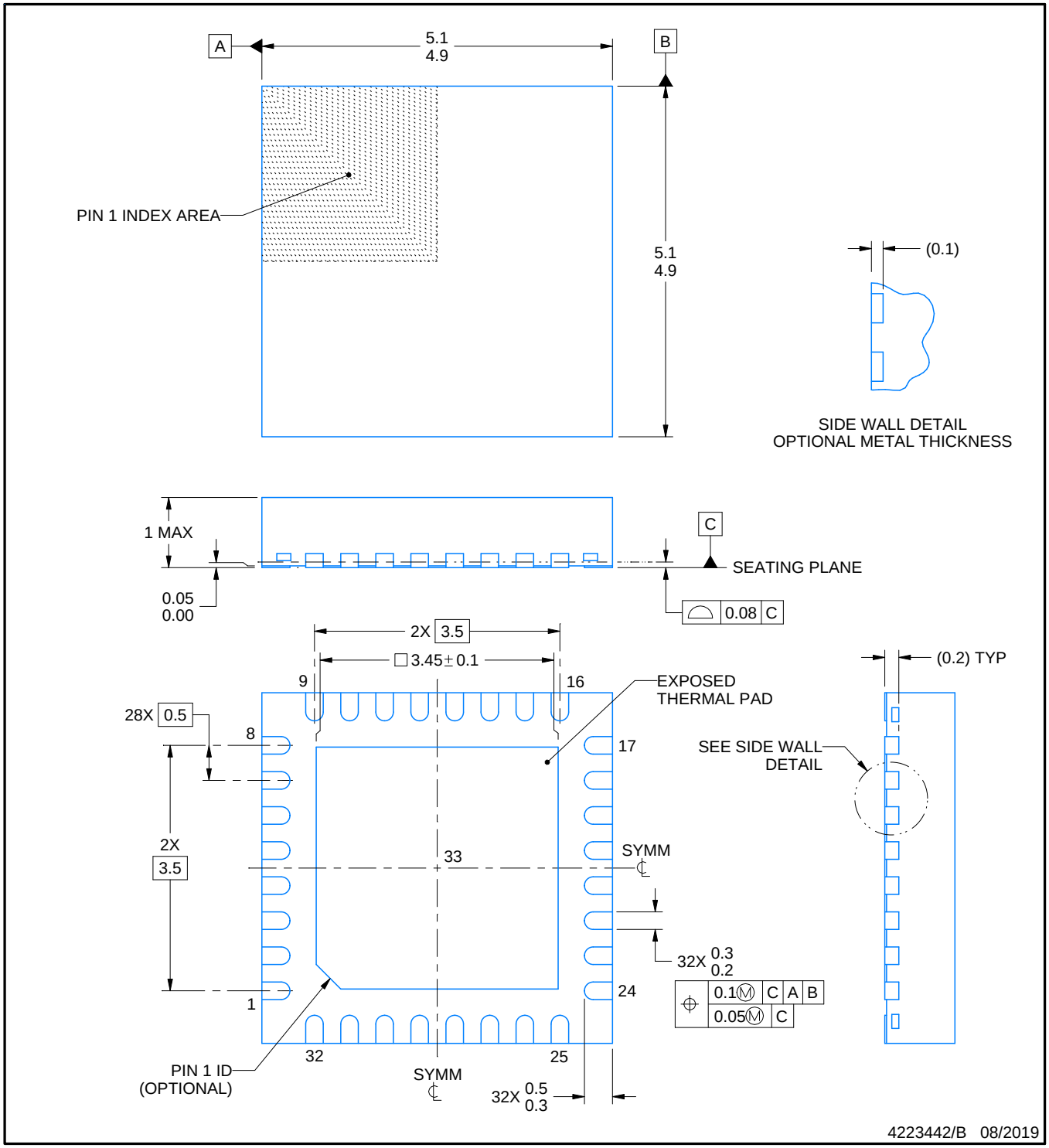
4224745/A

RHB0032E

PACKAGE OUTLINE

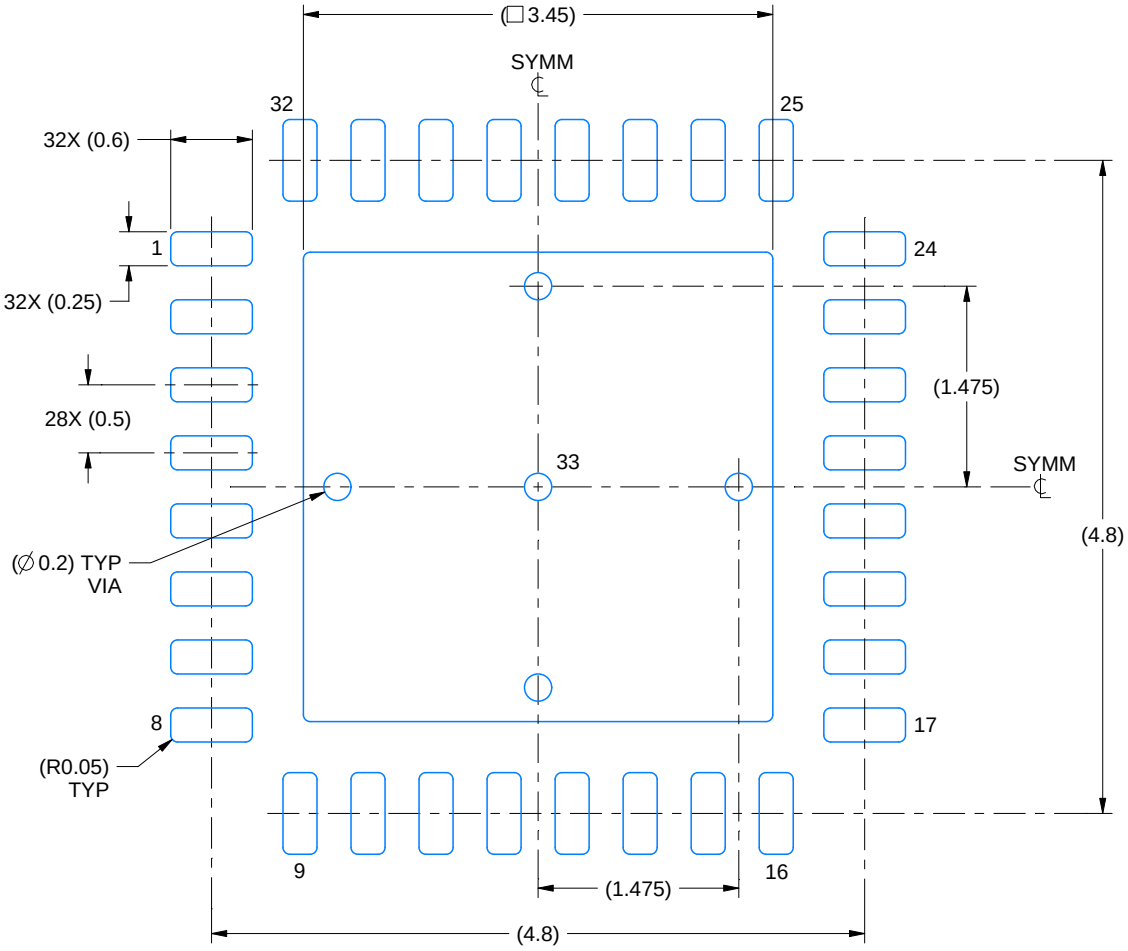
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

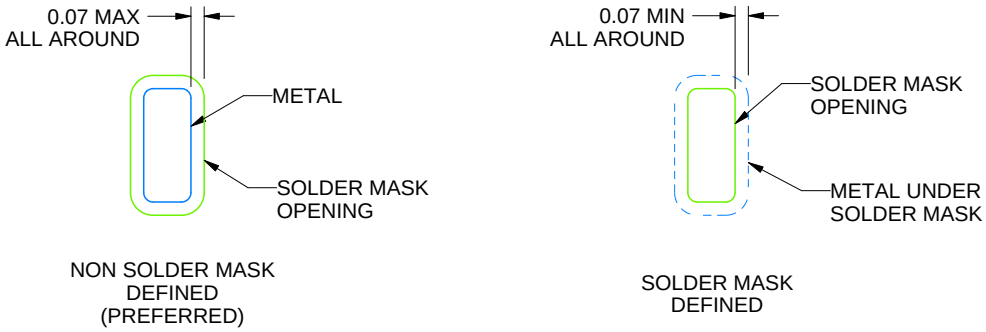


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

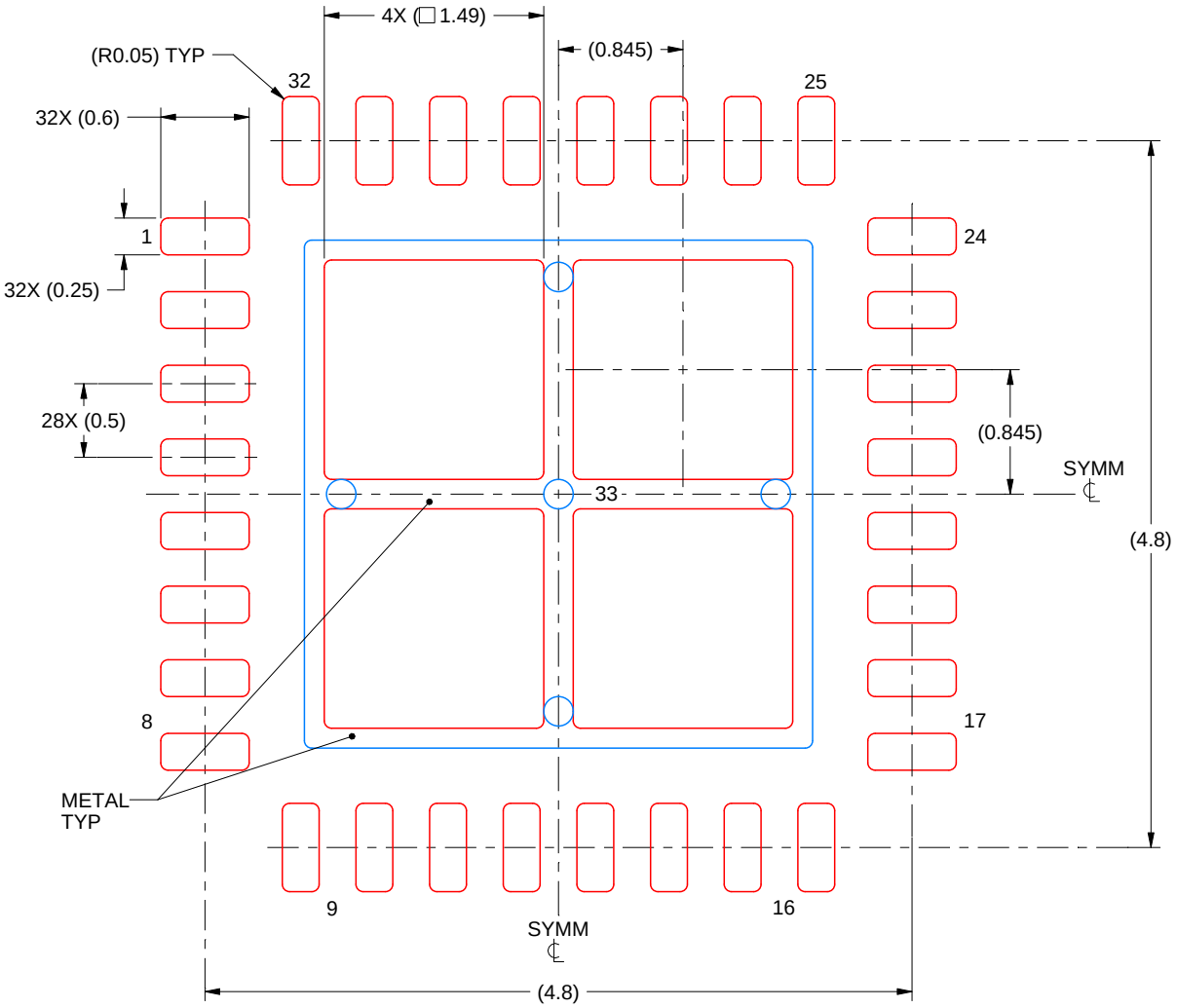


SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月