TEXAS INSTRUMENTS
ADC12QJ1600-SP
ZHCSPP4B – JUNE 2022 – REVISED FEBRUARY 2025

ADC12QJ1600-SP 具有 JESD204C 接口的四通道 1.6GSPS 12 位模数转换器 (ADC)

1 特性

- 辐射性能：
  - 电离辐射总剂量 (TID)：300krad (Si)
  - 单粒子锁定 (SEL)：120MeV-cm2/mg
  - 单粒子翻转 (SEU) 抗扰度寄存器
- ADC 内核：
  - 分辨率：12 位
  - 最大采样率：1.6GSPS
  - 非交错式架构
  - 内部抖动可减少高次谐波
- 性能规格（–1dBFS）：
  - SNR (100MHz)：57.4dBFS
  - ENOB (100MHz)：9.1 位
  - SFDR (100MHz)：64dBc
  - 本底噪声（–20dBFS）：–147dBFS
- 满量程输入电压：800$mV_{PP-DIFF}$
- 全功率输入带宽：6GHz
- JESD204C 串行数据接口：
  - 总共支持 2 至 8 个串行器/解串器通道
  - 最大波特率：17.16Gbps
  - 64B/66B 和 8B/10B 编码模式
  - 子类 1 支持确定性延迟
  - 与 JESD204B 接收器兼容
- 可选的内部采样时钟生成
  - 内部 PLL 和 VCO (7.2 – 8.2GHz)
- SYSREF 窗口可简化同步
- 四个时钟输出可简化系统时钟
  - FPGA 或相邻 ADC 的参考时钟
  - 串行器/解串器收发器的参考时钟
- 脉冲系统的时间戳输入和输出
- 功耗 (1GSPS)：1.9W
- 电源：1.1V、1.9V

2 应用

- 电子战（信号情报、电子情报）
- 卫星通信 (SATCOM)

3 说明

ADC12QJ1600-SP 是一款四通道、12 位、1.6GSPS 模数转换器 (ADC)。该器件具有低功耗、高采样率和 12 位分辨率，适合用于各种多通道通信系统。

6GHz 的全功率输入带宽 (-3dB) 还支持 L 频带和 S 频带的直接射频采样。

包含许多时钟功能以放宽系统硬件要求，例如带有集成压控振荡器 (VCO) 的内部锁相环 (PLL)，用于生成采样时钟。提供了四个时钟输出，以便对 FPGA 或 ASIC 的逻辑和串行器/解串器进行计时。为脉冲系统提供了时间戳输入和输出。

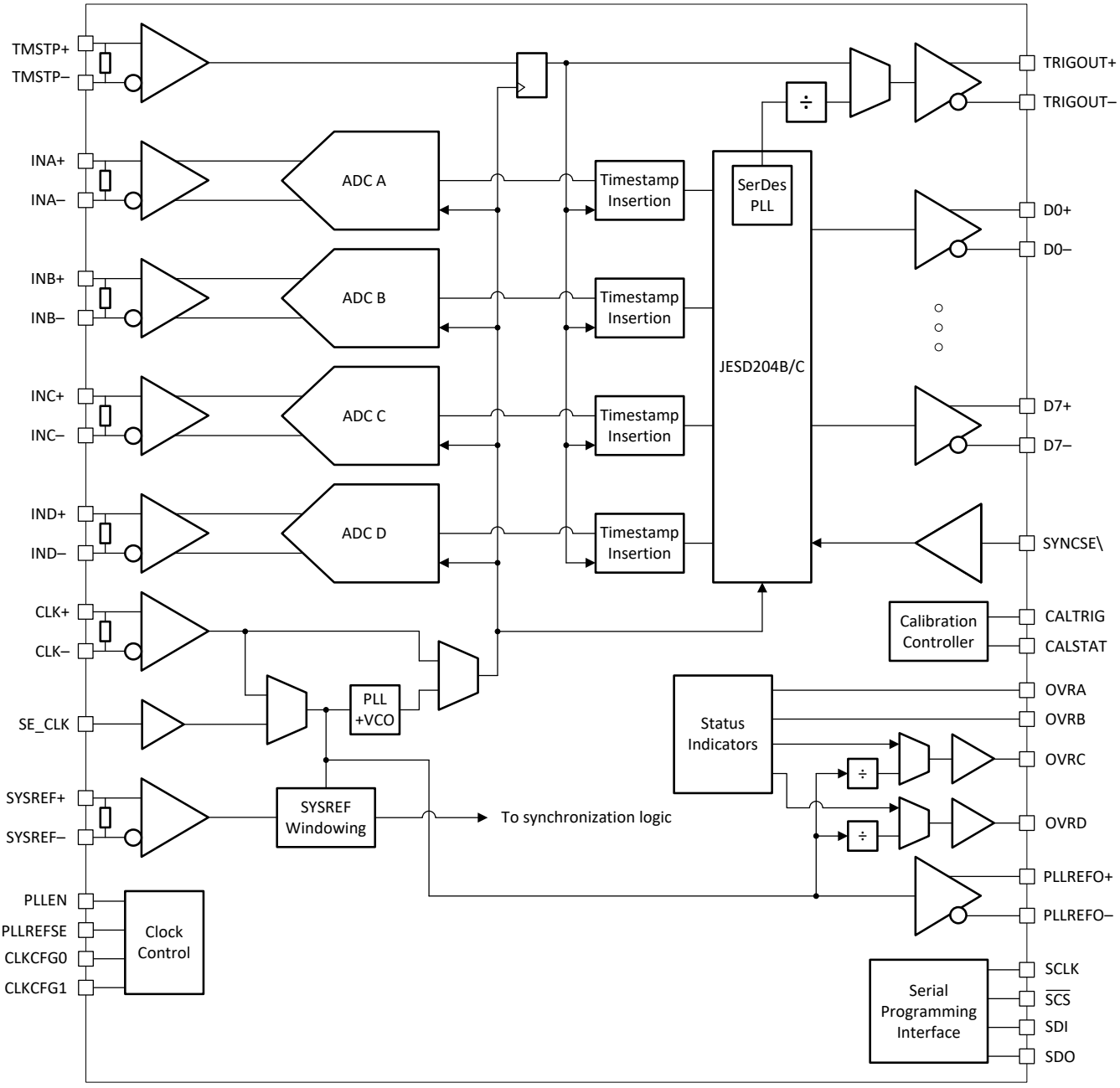
JESD204C 串行接口通过减少印刷电路板 (PCB) 布线量来减小系统尺寸。接口模式支持 2 至 8 个通道（双通道和四通道器件）或 1 至 4 个通道（单通道器件）和高达 17.16Gbps 的串行器/解串器波特率，从而使每个应用能够实现最佳配置。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADC12QJ1600-SP	FCBGA (144)	10mm × 10mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。



四通道器件方框图

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 9
5.1 绝对最大额定值 9
5.2 ESD 等级 10
5.3 建议运行条件 10
5.4 热性能信息 10
5.5 电气特性：直流规格 12
5.6 电气特性：功耗 14
5.7 电气特性：AC 规范 16
5.8 开关特性 21
5.9 时序要求 23
5.10 典型特性 24
6 详细说明 52
6.1 概述 52
6.2 功能方框图 53
6.3 特性说明 54
6.4 器件功能模式 71
6.5 编程 90
7 应用和实施 130
7.1 应用信息 130
7.2 典型应用 130
7.3 初始化设置 135
7.4 电源相关建议 135
7.5 布局 137
8 器件和文档支持 142
8.1 器件支持 142
8.2 接收文档更新通知 142
8.3 支持资源 142
8.4 商标 142
8.5 静电放电警告 142
8.6 术语表 142
9 修订历史记录 142
10 机械、封装和可订购信息 143

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

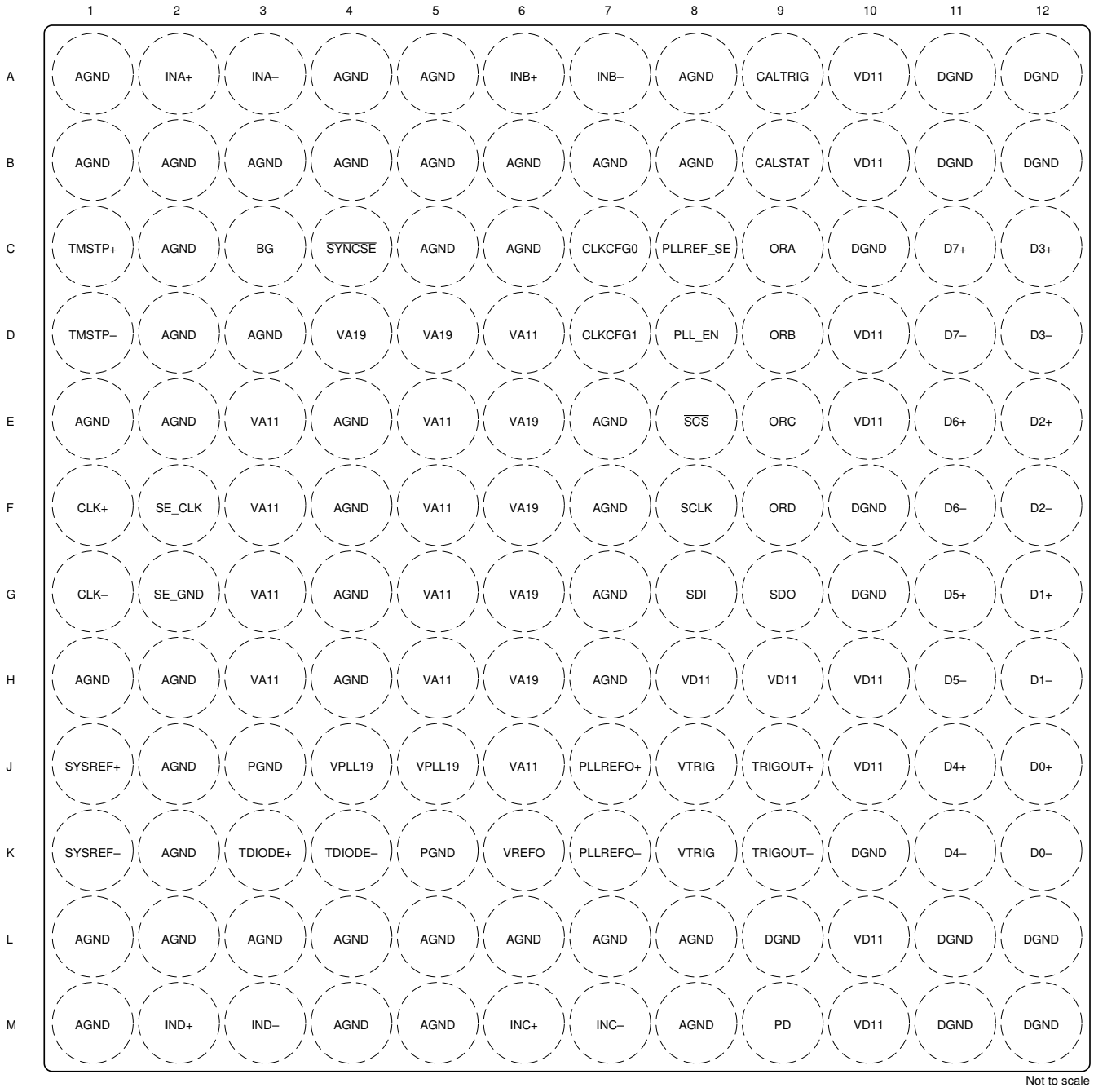


图 4-1. 四通道 ALR 封装、144 焊球倒装芯片 BGA
（顶视图）

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
A1、A4、A5、A8、B1、B2、B3、B4、B5、B6、B7、B8、C2、C5、C6、D2、D3、E1、E2、E4、E7、F4、F7、G4、G7、H1、H2、H4、H7、J2、K2、L1、L2、L3、L4、L5、L6、L7、L8、M1、M4、M5、M8	AGND	—	模拟电源接地。将 AGND、PGND、SE_GND 和 DGND 连接到电路板上的公共接地层 (GND)。
C3	BG	O	带隙电压输出。如建议运行条件表中所指定，该引脚只能提供小电流并驱动有限的电容负载。该引脚可以在不使用时保持断开。
B9	CALSTAT	O	前台校准状态输出或器件警报输出。功能通过 CAL_STATUS_SEL 进行编程。该引脚可以在不使用时保持断开。
A9	CALTRIG	I	前台校准触发器输入。只有在 CAL_TRIG_EN 中选择硬件校准触发时才使用此引脚，否则将使用 CAL_SOFT_TRIG 执行软件触发。不使用时将此引脚连接到 GND。
G1	CLK –	I	器件（采样）时钟负输入或差分 PLL 基准时钟负输入。TI 强烈建议使用交流耦合以获得最佳性能。如果 SE_CLK 用于应用基准时钟，则可以使该引脚保持断开状态。
F1	CLK+	I	器件（采样）时钟正输入或差分 PLL 基准时钟负输入。强烈建议将时钟信号交流耦合至这个输入以获得最佳性能。该差分输入具有内部 100Ω 差分终端，并且只要将 DEVCLK_LVPECL_EN 设置为 0，该差分输入就会自偏置为理想输入共模电压。如果在使用 PLL 时将 SE_CLK 用于应用基准时钟，则可以使该引脚保持断开状态。
C7	CLKCFG0	I	当使用 C-PLL（PLL_EN 设置为高电平）时，可以使用 CLKCFG0 和 CLKCFG1 在 ORC 和 ORD 中启用额外的时钟输出。不使用时将此引脚接地。
D7	CLKCFG1	I	当使用 C-PLL（PLL_EN 设置为高电平）时，可以使用 CLKCFG0 和 CLKCFG1 在 ORC 和 ORD 中启用额外的时钟输出。不使用时将此引脚接地。
K12	D0 –	O	用于通道 0 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
J12	D0+	O	用于通道 0 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
H12	D1 –	O	用于通道 1 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
G12	D1+	O	用于通道 1 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
F12	D2 –	O	用于通道 2 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
E12	D2+	O	用于通道 2 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
D12	D3 –	O	用于通道 3 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
C12	D3+	O	用于通道 3 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
K11	D4-	O	用于通道 4 的高速串行化数据输出，负连接。不可用于单通道器件。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
J11	D4+	O	用于通道 4 的高速串行化数据输出，正连接。不可用于单通道器件。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
H11	D5-	O	用于通道 5 的高速串行化数据输出，负连接。不可用于单通道器件。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
编号	名称		
G11	D5+	O	用于通道 5 的高速串行化数据输出，正连接。不可用于单通道器件。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
F11	D6-	O	用于通道 6 的高速串行化数据输出，负连接。不可用于单通道器件。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
E11	D6+	O	用于通道 6 的高速串行化数据输出，正连接。不可用于单通道器件。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
D11	D7-	O	用于通道 7 的高速串行化数据输出，负连接。不可用于单通道器件。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
C11	D7+	O	用于通道 7 的高速串行化数据输出，正连接。不可用于单通道器件。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
A11、A12、B11、B12、C10、F10、G10、K10、L9、L11、L12、M11、M12	DGND	—	数字电源接地。将 AGND、PGND、SE_GND 和 DGND 连接到电路板上的公共接地层 (GND)。
A3	INA-	I	四通道、双通道和单通道器件的通道 A 模拟输入负连接。有关详细说明，请参阅 INA+。该输入通过 50Ω 终端电阻器端接至 VA11。该引脚可以在不使用时保持断开。
A2	INA+	I	四通道、双通道和单通道器件的通道 A 模拟输入正连接。差分满量程输入电压由 FS_RANGE 寄存器确定（请参阅*满量程电压 (VFS) 调整*部分）。该输入通过 50Ω 终端电阻器端接至 VA11。输入共模电压在内部自偏置到 VA11（标称值为 1.1V），必须遵循建议运行条件表中的建议。如果不需要直流信号，可将此输入交流耦合到电源。如果需要直流信号，则必须使用直流耦合全差分驱动放大器，并将其输出共模电压设置为 VA11 电源电压。该引脚可以在不使用时保持断开。
A7	INB –	I	四通道和双通道器件的通道 B 模拟输入负连接。对于单通道器件，不可连接。有关详细说明，请参阅 INB+。该输入通过 50Ω 终端电阻器端接至 VA11。该引脚可以在不使用时保持断开。
A6	INB+	I	四通道和双通道器件的通道 B 模拟输入正连接。对于单通道器件，不可连接。差分满量程输入电压由 FS_RANGE 寄存器确定（请参阅*满量程电压 (VFS) 调整*部分）。该输入通过 50Ω 终端电阻器端接至 VA11。输入共模电压在内部自偏置到 VA11（标称值为 1.1V），必须遵循建议运行条件表中的建议。如果不需要直流信号，可将此输入交流耦合到电源。如果需要直流信号，则必须使用直流耦合全差分驱动放大器，并将其输出共模电压设置为 VA11 电源电压。该引脚可以在不使用时保持断开。
M7	INC –	I	四通道器件的通道 C 模拟输入负连接。对于单通道和双通道器件，不可连接。有关详细说明，请参阅 INC+。该输入通过 50Ω 终端电阻器端接至 VA11。该引脚可以在不使用时保持断开。
M6	INC+	I	四通道器件的通道 C 模拟输入正连接。对于单通道和双通道器件，不可连接。差分满量程输入电压由 FS_RANGE 寄存器确定（请参阅*满量程电压 (VFS) 调整*部分）。该输入通过 50Ω 终端电阻器端接至 VA11。输入共模电压在内部自偏置到 VA11（标称值为 1.1V），必须遵循建议运行条件表中的建议。如果不需要直流信号，可将此输入交流耦合到电源。如果需要直流信号，则必须使用直流耦合全差分驱动放大器，并将其输出共模电压设置为 VA11 电源电压。该引脚可以在不使用时保持断开。
M3	IND –	I	四通道器件的通道 D 模拟输入负连接。对于单通道和双通道器件，不可连接。有关详细说明，请参阅 IND+。该输入通过 50Ω 终端电阻器端接至 VA11。该引脚可以在不使用时保持断开。
M2	IND+	I	四通道器件的通道 D 模拟输入正连接。对于单通道和双通道器件，不可连接。差分满量程输入电压由 FS_RANGE 寄存器确定（请参阅*满量程电压 (VFS) 调整*部分）。该输入通过 50Ω 终端电阻器端接至 VA11。输入共模电压在内部自偏置到 VA11（标称值为 1.1 V），必须遵循建议运行条件表中的建议。如果不需要直流信号，可将此输入交流耦合到电源。如果需要直流信号，则必须使用直流耦合全差分驱动放大器，并将其输出共模电压设置为 VA11 电源电压。该引脚可以在不使用时保持断开。
C9	ORA	O	通道 A 的快速超范围检测状态输出。当通道 A 的模拟输入超过 OVR_T 中编程的阈值时，该状态指示器会变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。该引脚可以在不使用时保持断开。
D9	ORB	O	通道 B 的快速超范围检测状态输出。仅用于四通道和双通道器件。对于单通道器件，不可连接。当通道 B 的模拟输入超过 OVR_T 中编程的阈值时，此状态指示器变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。该引脚可以在不使用时保持断开。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
编号	名称		
E9	ORC	O	通道 C 的快速超范围检测状态输出或额外的时钟输出。快速超范围检测功能仅适用于四通道器件。当通道 C 的模拟输入超过 OVR_T 中编程的阈值时，此状态指示器变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。通过 CLKCFG[1:0] 或 SPI 寄存器配置启用时以及 PLL_EN 为高电平时，该引脚也可用作额外的时钟输出 (DIVREF_C)。当 CLKCFG0 和 CLKCFG1 均设置为低电平（或通过 SPI 禁用）时，ORC 输出用于输出 ADC 通道 C 的超范围信号。可将 ORC 编程为 PLLREFO 的副本 (CLKCFG[1:0] = 0x1) 或 PLLREFO 的 2 分频 (CLKCFG[1:0] = 0x2) 或 4 分频 (CLKCFG[1:0] = 0x3) 的副本。如果 PLL_EN 设置为高电平、PD 设置为低电平且 CLKCFG[1:0] 进行了适当配置，则 ORC 上的时钟在器件上电时可用。该引脚可以在不使用时保持断开。
F9	ORD	O	通道 D 的快速超范围检测状态输出或额外的时钟输出。快速超范围检测功能仅适用于四通道器件。当通道 D 的模拟输入超过 OVR_T 中编程的阈值时，此状态指示器变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。通过 CLKCFG[1:0] 或 SPI 寄存器配置启用时以及 PLL_EN 为高电平时，该引脚也可用作额外的时钟输出 (DIVREF_D)。当 CLKCFG0 和 CLKCFG1 均设置为低电平（或通过 SPI 禁用）时，ORD 输出用于输出 ADC 通道 D 的超范围信号。当设置任何一个或两个 CLKCFG[1:0] 时，可将 ORD 编程为 PLLREFO 的副本。如果 PLL_EN 设置为高电平且 PD 保持低电平，则其在启动时可用。当通过 SPI 寄存器覆盖时，可将 ORD 设置为 PLLREFO 的 2 分频或 4 分频副本。ORD 的时钟输出仅在 ORC 也有时钟输出时才可用。如果只需要一个时钟，则使用 ORC。该引脚可以在不使用时保持断开。
M9	PD	I	CMOS 输入，用于关闭器件电源以节省功耗或校准温度二极管。将 PD 设置为高电平会禁用 PLLREFO 以及 ORC 和 ORD 时钟输出，因此如果这些时钟对于系统运行至关重要，则不应使用该引脚。不使用时将此引脚连接到 GND。
J3、K5	PGND	—	PLL 电源接地。将 AGND、PGND、SE_GND 和 DGND 连接到电路板上的公共接地层 (GND)。
D8	PLL_EN	I	CMOS 输入，用于启用内部 PLL 以采样时钟的生成（如果设置为高电平）或禁用并绕过 PLL（如果设置为低电平）。不使用 PLL 时将此引脚连接到 GND。
C8	PLLREF_SE	I	CMOS 输入，设置为高电平时用于选择单端 PLL 基准时钟输入 (SE_CLK)，设置为低电平时用于选择差分时钟输入 (CLK±)。如果禁用 PLL，采样时钟只能使用 CLK±。如果未使用 PLL 或 CLK± 被用作基准时钟输入，则应将此引脚连接至 GND。
K7	PLLREFO –	O	负 LVDS PLL 基准时钟输出。该时钟通过所选的 PLL 基准时钟输入（CLK± 或 SE_CLK）重复。当 PLL_EN 设置为高电平且 PD 保持低电平时，其在器件上电时可为其他器件提供时钟。该引脚可以在不使用时保持断开。
J7	PLLREFO+	O	正 LVDS PLL 基准时钟输出。该时钟通过所选的 PLL 基准时钟输入（CLK± 或 SE_CLK）重复。当 PLL_EN 设置为高电平且 PD 保持低电平时，其在器件上电时可为其他器件提供时钟。该引脚可以在不使用时保持断开。
F8	SCLK	I	串行接口时钟。此引脚用作串行接口时钟输入，可为串行编程数据输入和输出提供时钟。*使用串行接口*部分更详细地介绍了串行接口。支持 1.1V 至 1.9V CMOS 电平。
E8	$\overline{SCS}$	I	串行接口芯片选择低电平有效输入。*使用串行接口*部分更详细地介绍了串行接口。支持 1.1V 至 1.9V CMOS 电平。该引脚到 VD11 有一个 82kΩ 上拉电阻器。
G8	SDI	I	串口数据输入。*使用串行接口*部分更详细地介绍了串行接口。支持 1.1V 至 1.9V CMOS 电平。
G9	SDO	O	串行接口数据输出。*使用串行接口*部分更详细地介绍了串行接口。该引脚在器件正常运行期间处于高阻抗状态。在串行接口读取操作期间，该引脚输出 1.9V CMOS 电平。该引脚可以在不使用时保持断开。
F2	SE_CLK	I	单端 PLL 基准时钟输入。当 PLL_EN 和 PLLREF_SE 保持高电平时，选择此输入。当 PLLREF_SE 设置为低电平时，CLK± 用作差分 PLL 基准输入。该引脚可以在不使用时连接到 GND。
G2	SE_GND	—	单端 PLL 基准时钟输入的接地基准。将 AGND、PGND、SE_GND 和 DGND 连接到电路板上的公共接地层 (GND)。
C4	$\overline{SYNCSE}$	I	单端 JESD204C SYNC 信号。此输入为低电平有效输入，当 SYNC_SEL 设置为 0 时，用于在 8B/10B 模式中初始化 JESD204C 串行链路。64B/66B 模式不使用 SYNC 信号。当在 8B/10B 模式中切换为低电平时，此输入会启动代码组同步（请参阅*代码组同步 (CGS)* 部分）。代码组同步后，必须将此输入切换为高电平以启动初始通道对齐序列（请参阅*初始通道对齐序列 (ILAS)* 部分）。如果 TMSTP± 或 JSYNC_N 用作 JESD204C SYNC 信号或用于 64B/66B 编码 JESD204C 模式，请将此引脚接地。
K1	SYSREF-	I	SYSREF 负输入。如果不使用此引脚，则将其保持断开状态，并使用 SYSREF_RECV_EN 将 SYSREF± 接收器断电。
J1	SYSREF+	I	SYSREF 正输入用于在 JESD204C 接口上实现同步和确定性延迟。该差分输入（SYSREF+ 至 SYSREF –）具有内部未修整的 100Ω 差分端接，当 SYSREF_LVPECL_EN 设置为 0 时，可以进行交流耦合。当 SYSREF_LVPECL_EN 设置为 0 时，该输入会自偏置。每个输入引脚（SYSREF+ 和 SYSREF –）上的终端改为 50Ω 接地，并且当 SYSREF_LVPECL_EN 设置为 1 时，可以进行直流耦合。当 SYSREF_LVPECL_EN 设置为 1 时，该输入不会自偏置，必须从外部偏置到建议运行条件表中提供的输入共模电压范围。如果不使用此引脚，则将其保持断开状态，并使用 SYSREF_RECV_EN 将 SYSREF± 接收器断电。
K4	TDIODE –	I	温度二极管负（阴极）连接。该引脚可以在不使用时保持断开。
K3	TDIODE+	I	温度二极管正（阳极）连接。可以将外部温度传感器连接到 TDIODE+ 和 TDIODE- 来监测器件的结温。该引脚可以在不使用时保持断开。
D1	TMSTP –	I	时间戳输入负连接。如果不需要时间戳，可以将该引脚保持断开状态并将 TMSTP 接收器断电 (TMSTP_RECV_EN = 0)。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
编号	名称		
C1	TMSTP+	I	时间戳输入正连接。当 TIME_STAPK_EN 设置为 1 时，该输入为时间戳输入，用于标记特定采样。有关更多使用信息，请参阅*时间戳*部分。必须将 TMSTP_RECV_EN 设置为 1 才能使用该输入。该差分输入（TMSTP+ 至 TMSTP– ）具有内部未修整的 100Ω 差分终端，当 TMSTP_LVPECL_EN 设置为 0 时，可以进行交流耦合。每个输入引脚（TMSTP+ 和 TMSTP- ）上的终端改为 50Ω 接地，并且当 TMSTP_LVPECL_EN 设置为 1 时，可以进行直流耦合。该引脚不会自偏置，因此对于交流和直流耦合配置，必须从外部偏置。当交流和直流耦合时，共模电压必须处于建议运行条件表中提供的范围内。也可用作采用 8b/10b 编码的 JESD204C 接口的差分 $\overline{\text{SYNC}}$ 输入。如果不需要时间戳，可以将该引脚保持断开状态并将 TMSTP 接收器断电 (TMSTP_RECV_EN = 0)。
K9	TRIGOUT–	O	负 LVDS 输出，通过 TMSTP± 或串行器/解串器 PLL 生成的时钟输出重复触发。此输出可通过将 TRIGOUT_EN 设置为 1 并通过 TRIGOUT_MODE 进行配置来启用。将 PD 引脚设置为高电平将禁用此输出。该引脚可以在不使用时保持断开。
J9	TRIGOUT+	O	正 LVDS 输出，通过 TMSTP± 或串行器/解串器 PLL 生成的时钟输出重复触发。此输出可通过将 TRIGOUT_EN 设置为 1 并通过 TRIGOUT_MODE 进行配置来启用。将 PD 引脚设置为高电平将禁用此输出。该引脚可以在不使用时保持断开。
D6、E3、E5、F3、F5、G3、G5、H3、H5、J6	VA11	—	1.1V 模拟电源
D4、D5、E6、F6、G6、H6	VA19	—	1.9V 模拟电源
A10、B10、D10、E10、H8、H9、H10、J10、L10、M10	VD11	—	1.1V 数字电源
J4、J5	VPLL19	—	用于内部 PLL 和 VCO 的 1.9V 电源
K6	VREFO	—	为 PLLREFO± 输出驱动器和 PLL 电荷泵提供 1.9V 电源
J8、K8	VTRIG	—	为 TRIGOUT± 输出驱动器提供 1.1V 至 1.9V 电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压范围	VA19(2)	-0.3	2.35	V
	VPLL19(3)	-0.3	2.35	
	VREFO(2)	-0.3	2.35	
	VTRIG(5)	-0.3	2.35	
	VA11(2)	-0.3	1.32(11)	
	VD11(5)	-0.3	1.32(11)	
	任一 1.9V 电源（VA19、VPLL19 或 VREFO）之间的电压差	-0.5	0.5	
AGND、DGND、PGND 和 SE_GND 之间的电压		-0.1	0.1	V
引脚电压范围	D[7:0]+、D[7:0]－、TMSTP+、TMSTP－(5)	-0.5	VD11 + 0.5(7)	V
	CLK+、CLK-、SYSREF+、SYSREF-(2)	-0.5	VA11 + 0.5(6)	
	SE_CLK(4)	-0.5	VA19 + 0.5(8)	
	PLLREFO+、PLLREFO－(2)	-0.5	VREFO + 0.5(9)	
	TRIGOUT+、TRIGOUT－(5)	-0.5	VTRIG + 0.5(10)	
	BG、TDIODE+、TDIODE－(2)	-0.5	VA19 + 0.5(8)	
	INA+、INA－、INB+、INB－、INC+、INC－、IND+、IND－(2)	VA11 – 1.0	VA11 + 1.0	
	CALSTAT、CALTRIG、CLKCFG0、CLKCFG1、PLL_EN、PLLREF_SE、ORA、ORB、ORC、ORD、PD、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{SYNCSE}$ (2)	-0.5	VA19 + 0.5(8)	
峰值输入电流（除 INA+、INA－、INB+、INB－、INC+、INC－、IND+、IND－之外的任何输入）		-25	25	mA
峰值输入电流 (INA+、INA－、INB+、INB－、INC+、INC－、IND+、IND－)		-50	50	mA
峰值射频输入功率 (INA+、INA－、INB+、INB－、INC+、INC－、IND+、IND－)	Z_{S-SE} = 50 Ω 的单端		16.4	dBm
峰值总输入电流（强制输入或输出的所有电流的绝对值之和，不包括电源电流）			100	mA
运行结温，T_j		-40	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 测量至 AGND。
(3) 测量至 PGND。
(4) 测量至 SE_GND。
(5) 测量至 DGND。
(6) 最大电压不超过 VA11 绝对最大额定值。
(7) 最大电压不超过 VD11 绝对最大额定值。
(8) 最大电压不超过 VA19 绝对最大额定值。
(9) 最大电压不超过 VREFO 绝对最大额定值。
(10) 最大电压不超过 VTRIG 绝对最大额定值。
(11) 在上电、正常运行或断电期间，1.1V 电源 (VA11、VD11) 不得比任何 1.9V 电源 (VA19、VPLL19、VREFO) 或 VTRIG（1.1V 或 1.9V）高出 0.5V 以上。参阅电源时序 部分。

Copyright © 2025 Texas Instruments Incorporated

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	4000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{DD}	电源电压范围	VA19、1.9V 模拟电源(2)	1.8	1.9	2.0	V
		VPLL19、PLL 电源(3)	1.8	1.9	2.0	
		VREFO、PLLREFO± 和 PLL 电荷泵电源(2)	1.8	1.9	2.0	
		VTRIG、TRIGOUT± 电源(4)	1.05	1.1 或 1.9	2.0	
		VA11、1.1V 模拟电源(2)	1.05	1.1	1.15	
		VD11、1.1V 数字电源(4)	1.05	1.1	1.15	
V_{CMI}	输入共模电压	INA+、INA–、INB+、INB–、INC+、INC–、IND+、IND–(2)	1.05	1.1	1.15	V
		CLK+、CLK-、SYSREF+、SYSREF-(2) (5)	0	0.3	0.55	
		TMSTP+、TMSTP–(4) (6)	0	0.3	0.55	
$V_{ID(DIFF)}$	输入电压、差分峰峰值电压	CLK+ 至 CLK–、SYSREF+ 至 SYSREF–、TMSTP+ 至 TMSTP–	0.4	1.0	2.0	$V_{PP-DIFF}$
		INA+、INA–、INB+、INB–、INC+、INC–、IND+、IND–			1.0(7)	
V_{IH}	高电平输入电压	SE_CLK	0.9	1.8		V
V_{IL}	低电平输入电压	SE_CLK		0	0.3	V
I_{C_TD}	温度二极管输入电流	TDIODE+ 至 TDIODE–		100		µA
C_L	BG 最大负载电容				50	pF
I_O	BG 最大输出电流	标称电压下降 2% 时的电流		140		µA
T_A	自然通风条件下的工作温度范围		-55		125(1)	°C
Tj	工作结温				150(1)	°C

(1) 芯片的工作温度设计为 Tj = 150°C，Tj = 125°C 时器件和芯片金属化降级高达 150,000 POH 连续运行。但是，如果在高于 Tj = 105°C 结温下长时间使用，可能会增加封装时基故障 (FIT) 率。
(2) 测量至 AGND。
(3) 测量至 PGND。
(4) 测量至 DGND。
(5) TI 强烈建议对 CLK± 进行交流耦合，并将 DEVCLK_LVPECL_EN 设置为 0，以使 CLK± 自偏置到最佳输入共模电压，从而实现最高性能。TI 建议对 SYSREF± 进行交流耦合，除非需要直流耦合，在这种情况下，必须使用 LVPECL 输入模式 (SYSREF_LVPECL_EN = 1)。
(6) 无论是 TMSTP_LVPECL_EN=0 时的交流耦合，还是 TMSTP_LVPECL_EN=1 时的直流耦合，TMSTP± 都没有内部偏置，需要从外部对 TMSTP± 进行偏置。
(7) 当 INA± 或 INB± 的 V_{ID} 超出由 INA± 的 FS_RANGE_A 或 INB± 的 FS_RANGE_B 设置的编程满量程电压 (V_{FS}) 时，ADC 输出代码将饱和。

5.4 热性能信息

热指标(1)		10mmx10mm FC-BGA 144 引脚	单位
$R_{\theta JA}$	结至环境热阻	20.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	1.0	°C/W
$R_{\theta JB}$	结至电路板热阻	6.54	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标(1)		10mmx10mm FC-BGA 144 引脚	单位
Ψ_{JT}	结至顶部特征参数	0.21	°C/W
Ψ_{JB}	结至电路板特征参数	6.52	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性：直流规格

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP}) 、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
	分辨率	无代码丢失时的分辨率		12		位
DNL	微分非线性	距离理想步长的最大正偏移		0.2		LSB
		距离理想步长的最大负偏移		-0.19		
INL	积分非线性	距离理想传递函数的最大正偏移		1.95		LSB
		距离理想传递函数的最大负偏移		-1.5		
模拟输入（INA+、INA-、INB+、INB – 、INC+、INC – 、IND+、IND – ）						
V_{OFF}	偏移误差	CAL_OS = 0		±0.6		mV
		CAL_OS = 1		±0.6		mV
V_{OFF_ADJ}	输入失调电压调节范围	可用的偏移校正范围（请参见 OFSx 或 OFSxCh 寄存器）		±33		mV
V_{OFF_DRIFT}	偏移漂移	仅限标称温度下的前台校准，CAL_OS = 1		-1.2		μV/°C
		每个温度下的前台校准，CAL_OS = 1		0.25		
V_{FS}	模拟差分输入满量程	在直流条件下测量的默认满量程电压 (FS_RANGE = 0xA000)	750	800	850	mV_{PP}
		在直流条件下测量的最大满量程电压 (FS_RANGE = 0xFFFF)	980	1040		
		在直流条件下测量的最小满量程电压 (FS_RANGE = 0x2000)		480	500	
V_{FS_DRIFT}	模拟差分输入满量程范围漂移	默认 FS_RANGE 设置，仅在标称温度下进行前台校准，由 50Ω 源驱动的输入，包括 R_{IN} 漂移的影响		-0.0015		%/°C
		默认 FS_RANGE 设置，每个温度下的前台校准，由 50Ω 源驱动的输入，包括 R_{IN} 漂移的影响		-.000018		
V_{FS_MATCH}	模拟差分输入满量程范围匹配	匹配任意两个通道（例如 INA± 和 INB±），在直流条件下测量的默认满量程电压		1%		
R_{IN}	差分输入电阻	差分电阻的中心端接至 V_{CM}，在 T_A = 25°C 时测量	92	100	108	Ω
R_{IN_TEMPCO}	输入终端线性温度系数			38		mΩ/°C
C_{IN}	单端输入电容	在 DC 下测得		0.6		pF
温度二极管特性 (TDIODE+、TDIODE-)						
ΔV_{BE}	温度二极管电压斜率	100μA 的强制正向电流。失调电压（在 0°C 时约为 0.792V）随工艺不同而变化，必须针对每个器件进行测量。必须在器件未上电或 PD 引脚置位的情况下完成失调电压测量，以更大限度地减少器件自发热。		-1.6		mV/°C
带隙电压输出 (BG)						
V_{BG}	内部带隙基准和 V_{CM} 基准输出电压	I_L ≤ 100μA		1.1		V
V_{BG_DRIFT}	V_{BG} 输出温度漂移	I_L ≤ 100μA		-117		μV/°C
差分时钟和时间戳输入 (CLK+、CLK – 、SYSREF+、SYSREF – 、TMSTP+、TMSTP –)						
Z_T	内部端接	DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0 且 TMSTP_LVPECL_EN = 0 时的差分终端		100		Ω
		在 DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 时单端终端至 GND（每引脚）		50		

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性：直流规格（续）

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件	最小值	典型值	最大值	单位
V_{CM}	输入共模电压自偏置	交流耦合时 CLK± 的自偏置共模电压（DEVCLK_LVPECL_EN 必须设置为 0）		0.3		V
		在交流耦合时（SYSREF_LVPECL_EN 必须设置为 0）且接收器启用 (SYSREF_RECV_EN = 1) 时，SYSREF± 的自偏置共模电压		0.3		
		在交流耦合（SYSREF_LVPECL_EN 必须设置为 0）且接收器被禁用 (SYSREF_RECV_EN = 0) 时，SYSREF± 的自偏置共模电压		VA11		
C_{L_DIFF}	差分输入电容	正负差分输入引脚之间		0.1		pF
C_{L_SE}	单端输入电容	每个输入端接地		0.5		pF
时钟和触发器输出 (PLLREFO+、PLLREFO –、TRIGOUT+、TRIGOUT –)						
V_{DIFF}	差分输出电压、峰峰值、直流测量	100-Ω 负载	400	720	900	$mV_{PP-DIFF}$
$V_{CM(PLLREFO)}$	PLLREFO± 输出共模电压			1.31(1)		V
$V_{CM(TRIGOUT)}$	TRIGOUT± 输出共模电压，通过 VTRIG 进行跟踪	VTRIG = 1.9		1.31(2)		V
		VTRIG = 1.1		0.5(2)		
Z_{DIFF}	差分输出阻抗	在 DC 下测得		300		Ω
串行器/解串器输出 (D[7：0]+，D[7：0] –)						
V_{OD}	差分输出电压，峰峰值	100-Ω 负载		600		$mV_{PP-DIFF}$
V_{CM}	输出共模电压	交流耦合		0.54		V
Z_{DIFF}	差分输出阻抗			100		Ω
CMOS 接口 (SCLK、SDI、SDO、$\overline{SCS}$、PD、CALSTAT、CALTRIG、CLKCFG0、CLKCFG1、PLL_EN、PLLREF_SE、ORA、ORB、ORC、ORD、$\overline{SYNCSE}$)						
V_{IH}	高电平输入电压		0.7			V
V_{IL}	低电平输入电压				0.45	V
I_{IH}	高电平输入电流				40	µA
I_{IL}	低电平输入电流		-40			µA
C_I	输入电容			2		pF
V_{OH}	高电平输出电压	I_{LOAD} = -400µA	1.65			V
V_{OL}	低电平输出电压	I_{LOAD} = 400µA			150	mV

(1) TI 建议在 PLLREFO± 启用后将 PLLREFO± 交流耦合连接到负载器件。
(2) 当 TRIGOUT± 被启用并被用作一个时钟输出（来自 S-PLL）时，TI 建议将 TRIGOUT± 交流耦合至负载器件。当 TRIGOUT± 被用作一个触发输出（来自 TMSTP±）时，TRIGOUT± 可被直流耦合至负载器件。

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性：功耗

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP}) 、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件	最小值	典型值	最大值	单位
I_{VA19}	1.9V 模拟电源电流	电源模式 1：四通道、JMODE 0（12 位、8 通道、8B/10B 编码）、FG 校准、PLL_EN = 0、f_S = 1.6GSPS、高性能模式		645		mA
I_{VPLL19}	PLL 模拟电源电流			0		mA
I_{VREFO}	PLLREFO± 模拟电源电流			0		mA
I_{VTRIG}	TRIGOUT± 模拟电源电流			0		mA
I_{VA11}	1.1V 模拟电源电流			628		mA
I_{VD11}	1.1V 数字电源电流			760		mA
P_{DIS}	功率耗散			2.76		W
I_{VA19}	1.9V 模拟电源电流	电源模式 2：四通道、JMODE 8（12 位、4 通道、64B/66B 编码）、LPBG 校准、PLL_EN = 0、f_S = 1.0GSPS、低功耗模式		558		mA
I_{VPLL19}	PLL 模拟电源电流			0		mA
I_{VREFO}	PLLREFO± 模拟电源电流			0		mA
I_{VTRIG}	TRIGOUT± 模拟电源电流			0		mA
I_{VA11}	1.1V 模拟电源电流			394		mA
I_{VD11}	1.1V 数字电源电流			384		mA
P_{DIS}	功率耗散			1.91[(1)]		W
I_{VA19}	1.9V 模拟电源电流	电源模式 3：四通道、JMODE 8（12 位、4 通道、64B/66B 编码）、LPBG 校准、PLL_EN = 1、PLLREF_SE = 1、f_{REF}= 50MHz、启用 TRIGOUT ±、f_S = 1.0GSPS、低功耗模式		558		mA
I_{VPLL19}	PLL 模拟电源电流			60		mA
I_{VREFO}	PLLREFO± 模拟电源电流			13		mA
I_{VTRIG}	TRIGOUT± 模拟电源电流			5.4		mA
I_{VA11}	1.1V 模拟电源电流			367		mA
I_{VD11}	1.1V 数字电源电流			384		mA
P_{DIS}	功率耗散			2.03[(1)]		W
I_{VA19}	1.9V 模拟电源电流	电源模式 4：四通道、JMODE 7（8 位、4 通道、64B/66B 编码）、FG 校准、PLL_EN = 0、f_S = 1.0GSPS、低功耗模式		533		mA
I_{VPLL19}	PLL 模拟电源电流			0		mA
I_{VREFO}	PLLREFO± 模拟电源电流			0		mA
I_{VTRIG}	TRIGOUT± 模拟电源电流			0		mA
I_{VA11}	1.1V 模拟电源电流			364		mA
I_{VD11}	1.1V 数字电源电流			301		mA
P_{DIS}	功率耗散			1.74		W
I_{VA19}	1.9V 模拟电源电流	电源模式 5：四通道、JMODE 0（12 位、8 通道、8B/10B 编码）、BG 校准、PLL_EN = 1、PLLREF_SE = 0、f_{REF}= 50MHz、启用 TRIGOUT±、f_S = 1.6GSPS、高性能模式		788		mA
I_{VPLL19}	PLL 模拟电源电流			60		mA
I_{VREFO}	PLLREFO± 模拟电源电流			13		mA
I_{VTRIG}	TRIGOUT± 模拟电源电流			5.4		mA
I_{VA11}	1.1V 模拟电源电流			702		mA
I_{VD11}	1.1V 数字电源电流			734		mA
P_{DIS}	功率耗散			3.22		W

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性：功耗（续）

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = –1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件	最小值	典型值	最大值	单位
I_{VA19}	1.9V 模拟电源电流	电源模式 6：启用断电 (PD = 1)		47		mA
I_{VPLL19}	PLL 模拟电源电流			0		mA
I_{VREFO}	PLLREFO± 模拟电源电流			0		mA
I_{VTRIG}	TRIGOUT± 模拟电源电流			0		mA
I_{VA11}	1.1V 模拟电源电流			30		mA
I_{VD11}	1.1V 数字电源电流			17		mA
P_{DIS}	功率耗散			0.14		W

(1) 低功耗后台 (LPBG) 校准电源电流和功率耗散数处于校准睡眠状态。此模式下的功率耗散会增加校准状态期间的后台 (BG) 校准功耗。睡眠周期可由用户控制，长睡眠周期将对校准状态的功率耗散贡献求平均值。

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：AC 规范

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP}) 、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件		最小值	典型值	最大值	单位
FPBW	全功率输入带宽 (– 3 dB)(1)	前台校准			6		GHz
		后台校准			6		
XTALK	通道间串扰	干扰源 = 400 MHz，– 1 dBFS			-73		dB
		干扰源 = 1 GHz，– 1 dBFS			-65		
		干扰源 = 3 GHz，– 1 dBFS			-59		
CER	误码率	最大 CER，不包括 JESD204C 接口 BER			10^{-18}		错误/样本
t_{ORR}	超量程恢复时间	从 ±1.2$V_{PP-DIFF}$ 过驱输入阶跃到 0V $_{PP-DIFF}$ 之后，从过驱输入到精确转换的时间。			1		t_{CLK} 周期数
噪声 $_{DC}$	直流输入噪声标准偏差	无输入，前台校准，不包括直流失调电压			1.8		LSB
NSD	噪声频谱密度	最大满量程电压 (V_{FS} = 1.0V_{PP})，A_{IN} = – 20dBFS			-148		dBFS/Hz
		默认满量程电压 (V_{FS} = 0.8V_{PP})，A_{IN} = – 20dBFS			-147		
NF	噪声系数，Z_S = 100 Ω	最大满量程电压 (V_{FS} = 1.0V_{PP})，A_{IN} = – 20dBFS			26.2		dB
		默认满量程电压 (V_{FS} = 0.8V_{PP})，A_{IN} = – 20dBFS			25.8		
SNR	信噪比，不包括 DC、HD2 至 HD9	f_{IN} = 97MHz	A_{IN} = -1dBFS		57.4		dBFS
			A_{IN} = -3dBFS		57.6		
			A_{IN} = -12dBFS		57.8		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		58.7		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		57.2		
			A_{IN} = -3dBFS		57.5		
			A_{IN} = -12dBFS		57.5		
		f_{IN} = 997MHz	A_{IN} = -1dBFS，T_A = -55℃	46			
			A_{IN} = -1dBFS，T_A = 25℃	54	56.8		
			A_{IN} = -1dBFS，T_A = 125℃	54			
			A_{IN} = -3dBFS		57.3		
			A_{IN} = -12dBFS		57.8		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		57.9		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		56.7		
			A_{IN} = -3dBFS		57.2		
			A_{IN} = -12dBFS		57.8		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		55.9		
			A_{IN} = -3dBFS		56.7		
			A_{IN} = -12dBFS		57.7		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		55.3		
			A_{IN} = -3dBFS		56.1		
			A_{IN} = -12dBFS		57.6		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：AC 规范（续）

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件		最小值	典型值	最大值	单位
SINAD	信噪比和失真比，不包括直流失调电压	f_{IN} = 97MHz	A_{IN} = -1dBFS		55.8		dBFS
			A_{IN} = -3dBFS		56.7		
			A_{IN} = -12dBFS		57.7		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		57.4		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		55.8		
			A_{IN} = -3dBFS		56.7		
			A_{IN} = -12dBFS		57.9		
		f_{IN} = 997MHz	A_{IN} = -1dBFS，T_A = -55℃	45			
			A_{IN} = -1dBFS，T_A = 25℃	53	56		
			A_{IN} = -1dBFS，T_A = 125℃	53			
			A_{IN} = -3dBFS		56.8		
			A_{IN} = -12dBFS		57.7		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		57.5		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		54.6		
			A_{IN} = -3dBFS		56		
			A_{IN} = -12dBFS		57.8		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		51.3		
			A_{IN} = -3dBFS		54.6		
			A_{IN} = -12dBFS		57.6		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		48.3		
			A_{IN} = -3dBFS		52.7		
			A_{IN} = -12dBFS		57.5		
ENOB	有效位数，不包括直流失调电压	f_{IN} = 97MHz	A_{IN} = -1dBFS		9		位
			A_{IN} = -3dBFS		9.1		
			A_{IN} = -12dBFS		9.3		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		9.2		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		9		
			A_{IN} = -3dBFS		9.1		
			A_{IN} = -12dBFS		9.3		
		f_{IN} = 997MHz	A_{IN} = -1dBFS，T_A = -55℃	7.2			
			A_{IN} = -1dBFS，T_A = 25℃	8.5	9		
			A_{IN} = -1dBFS，T_A = 125℃	8.5			
			A_{IN} = -3dBFS		9.1		
			A_{IN} = -12dBFS		9.3		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		9.3		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		8.8		
			A_{IN} = -3dBFS		9		
			A_{IN} = -12dBFS		9.3		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		8.2		
			A_{IN} = -3dBFS		8.8		
			A_{IN} = -12dBFS		9.3		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		7.7		
			A_{IN} = -3dBFS		8.5		
			A_{IN} = -12dBFS		9.3		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：AC 规范（续）

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件		最小值	典型值	最大值	单位
SFDR	无杂散动态范围	f_{IN} = 97MHz	A_{IN} = -1dBFS		64		dBFS
			A_{IN} = -3dBFS		66		
			A_{IN} = -12dBFS		77		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		66		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		64		
			A_{IN} = -3dBFS		66		
			A_{IN} = -12dBFS		79		
		f_{IN} = 997MHz	A_{IN} = -1dBFS，T_A = -55℃	55			
			A_{IN} = -1dBFS，T_A = 25℃	58	66		
			A_{IN} = -1dBFS，T_A = 125℃	58			
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		77		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		68		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		61		
			A_{IN} = -3dBFS		65		
			A_{IN} = -12dBFS		76		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		54		
			A_{IN} = -3dBFS		61		
			A_{IN} = -12dBFS		75		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		51		
			A_{IN} = -3dBFS		57		
			A_{IN} = -12dBFS		76		
HD2	二阶谐波失真	f_{IN} = 97MHz	AIN =-1dBFS		-64		dBFS
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-77		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-66		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 997MHz	A_{IN} = -1dBFS，T_A = -55℃			-55	
			A_{IN} = -1dBFS，T_A = 25℃		-66	-58	
			A_{IN} = -1dBFS，T_A = 125℃			-58	
			A_{IN} = -3dBFS		-67		
			A_{IN} = -12dBFS		-79		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-68		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		-64		
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-76		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		-61		
			A_{IN} = -3dBFS		-64		
			A_{IN} = -12dBFS		-78		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-60		
			A_{IN} = -12dBFS		-76		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：AC 规范（续）

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件		最小值	典型值	最大值	单位
HD3	三阶谐波失真	f_{IN} = 97MHz	A_{IN} = -1dBFS		-67		dBFS
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-85		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-68		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-81		
		f_{IN} = 997MHz	A_{IN} = -1dBFS，T_A = -55℃			-55	
			A_{IN} = -1dBFS，T_A = 25℃		-70	-58	
			A_{IN} = -1dBFS，T_A = 125℃			-58	
			A_{IN} = -3dBFS		-80		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-76		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		-61		
			A_{IN} = -3dBFS		-67		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		-54		
			A_{IN} = -3dBFS		-61		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		-51		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-85		
SPUR	最差杂散，不包括 DC、HD2、HD3	f_{IN} = 97MHz	AIN =-1dBFS		-77		dBFS
			A_{IN} = -3dBFS		-79		
			A_{IN} = -12dBFS		-84		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-79		
		f_{IN} = 497MHz	A_{IN} = -1dBFS		-73		
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-82		
		f_{IN} = 997MHz	A_{IN} = -1dBFS，T_A = -55℃			-60	
			A_{IN} = -1dBFS，T_A = 25℃		-74	-65	
			A_{IN} = -1dBFS，T_A = 125℃			-65	
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-83		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-77		
		f_{IN} = 1797MHz	A_{IN} = -1dBFS		-74		
			A_{IN} = -3dBFS		-78		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 2697MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 3497MHz	A_{IN} = -1dBFS		-75		
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-83		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：AC 规范（续）

在 T_J = 50°C 时的典型值、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、CLK± 上使用的滤波 1-V_{PP} 正弦波时钟、PLL 禁用、JMODE = 0，高性能模式和前台校准（除非另有说明）；在标称电源电压下的最小值和最大值及超过 *建议运行条件* 表所述的工作结温范围

参数		测试条件		最小值	典型值	最大值	单位
IMD3	三阶互调失真	f_1 = 93MHz，f_2 = 103MHz	A_{IN} = -7dBFS/单音		-80		dBFS
			A_{IN} = -9dBFS/单音		-87		
			A_{IN} = -18dBFS/单音		-91		
			A_{IN} = -9dBFS/单音，V_{FS} = 1.0V_{PP}		-86		
		f_1 = 493MHz，f_2 = 503MHz	A_{IN} = -7dBFS/单音		-84		
			A_{IN} = -9dBFS/单音		-84		
			A_{IN} = -18dBFS/单音		-88		
		f_1 = 993MHz，f_2 = 1003MHz	A_{IN} = -7dBFS/单音		-77		
			A_{IN} = -9dBFS/单音		-80		
			A_{IN} = -18dBFS/单音		-85		
			A_{IN} = -9dBFS/单音，V_{FS} = 1.0V_{PP}		-78		
		f_1 = 1793MHz，f_2 = 1803MHz	A_{IN} = -7dBFS/单音		-68		
			A_{IN} = -9dBFS/单音		-73		
			A_{IN} = -18dBFS/单音		-91		
		f_1 = 2693MHz，f_2 = 2703MHz	A_{IN} = -7dBFS/单音		-56		
			A_{IN} = -9dBFS/单音		-63		
			A_{IN} = -18dBFS/单音		-83		
		f_1 = 3493MHz，f_2= 3503MHz	A_{IN} = -7dBFS/单音		-52		
			A_{IN} = -9dBFS/单音		-57		
			A_{IN} = -18dBFS/单音		-90		

(1) 全功率输入带宽 (FPBW) 定义为输入频率，在该频率下，ADC 的重构输出在低输入频率时下降至满量程输入信号的功耗以下 3dB。可用带宽可能超过 -3dB，全功率输入带宽。

Copyright © 2025 Texas Instruments Incorporated

5.8 开关特性

T_J = 25°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压 (V_{FS} = 0.8V_{PP})、f_{IN} = 97MHz、A_{IN} = – 1dBFS、f_{CLK} = 1.6GHz、已滤波 1-V_{PP} 正弦波时钟应用于 CLK±、PLL 禁用、JMODE = 0、高性能模式和前台校准、SER_PE = 4（除非另有说明）时的典型值；CPLL 开启时，VA11Q 和 VCLK11 噪声抑制开启；最小值和最大值均在标称电源电压以及*建议工作条件*表格中提供的工作结温范围内测得

参数		测试条件	最小值	典型值	最大值	单位
ADC 采样时钟						
t_{AD}	从时钟下降沿到采样时刻的采样（孔径）延迟时间	PLL 禁用、CLK±		305		ps
		PLL 启用、CLK±		314		ps
		PLL 启用、SE_CLK		332		ps
t_{AJ}	孔径抖动，rms	抖动禁用 (ADC_DITH_EN = 0)		50		fs
		抖动启用 (ADC_DITH_EN = 1)		60		fs
$t_{J(PLL)}$	PLL 附加抖动，rms	PLL 启用 (PLL_EN = 1)、f_{PLLREF} = 50MHz		358		fs
$t_{J(PLL)}$	PLL 附加抖动，rms	PLL 启用 (PLL_EN = 1)、f_{PLLREF} = 200MHz		340		fs
时钟和触发器输出（PLLREFO±、TRIGOUT±、ORC、ORD）						
$f_{PLLREFO}$	PLLREFO± 频率范围	PLL 启用、PLLREFO± 启用	50		500	MHz
$f_{DIVREFO}$	ORC 和 ORD 频率范围（经过编程以输出分频 PLL 参考时钟）	PLL 启用、DIVREF_C_MODE > 0、DIVREF_D_MODE > 0	12.5		100	MHz
$t_{PW(TRIGOUT)}$	最小 TRIGOUT± 脉冲宽度	TRIGOUT_SRC = 0 (TMSTP±)		1		t_{CLK}
$f_{TRIGOUT}$	TRIGOUT± 频率范围	TRIGOUT_SRC = 1 (S-PLL)			800	MHz
$t_{PD(REF)}$	输入时钟到 PLLREFO± 传播延迟时间	PLLREF_SE = 0（使用 CLK±）、标称电源电压、T_A = 25°C	280	359	440	ps
		PLLREF_SE = 1（使用 SE_CLK）、标称电源电压、T_A = 25°C	380	469	560	
$t_{PD-TEMPCO}$	输入时钟到 PLLREFO± 传播延迟时间温度系数	PLLREF_SE = 0（使用 CLK±）、标称电源电压	250	330	420	fs/°C
		PLLREF_SE = 1（使用 SE_CLK）、标称电源电压	280	365	450	
$t_{PD-VOLTCO}$	输入时钟到 PLLREFO± 传播延迟时间电源电压系数	PLLREF_SE = 0（使用 CLK±）、T_A = 25°C	-533	-397	-186	fs/mV
		PLLREF_SE = 1（使用 SE_CLK）、T_A = 25°C	-480	-372	-180	
串行数据输出（D[7:0]+、D[7:0] –）						
f_{SERDES}	串行输出比特率		2.5		17.16	Gbps
UI	串行输出单位间隔		58.3		400	ps
t_{TLH}	低电平到高电平转换时间（差分）	20% 至 80%、8H8L 测试模式、16.5Gbps		28		ps
t_{THL}	高电平到低电平转换时间（差分）	20% 至 80%、8H8L 测试模式、16.5Gbps		28		ps
DDJ	数据相关抖动峰峰值	PRBS-7 测试模式、JMODE = 0、12.8Gbps		8.56		ps
		PRBS-9 测试模式、JMODE = 4、16.5Gbps		6.9		
		PRBS-9 测试模式、JMODE = 8、17.16Gbps		9.28		
DCD	奇偶抖动峰峰值	PRBS-7 测试模式、JMODE = 0、12.8Gbps		0.2		ps
		PRBS-9 测试模式、JMODE = 4、16.5Gbps		0.01		
		PRBS-9 测试模式、JMODE = 8、17.16Gbps		0.05		
EBUJ	有效有界不相关抖动峰峰值	PRBS-7 测试模式、JMODE = 0、12.8Gbps		1.63		ps
		PRBS-9 测试模式、JMODE = 4、16.5Gbps		0.85		
		PRBS-9 测试模式、JMODE = 8、17.16Gbps		3.12		
RJ	无界随机抖动，RMS	8H8L 测试模式、JMODE = 0、12.8Gbps		0.88		ps
		8H8L 测试模式、JMODE = 4、16.5Gbps		0.72		
		8H8L 测试模式、JMODE = 8、17.16Gbps		1		
TJ	总抖动峰峰值，无界随机抖动部分根据 BER = 1e-15 (Q = 7.94) 定义	PRBS-7 测试模式、JMODE = 0、12.8Gbps		21.35		ps
		PRBS-9 测试模式、JMODE = 4、16.5Gbps		18.01		
		PRBS-9 测试模式、JMODE = 8、17.16Gbps		23.78		
ADC 内核延迟						

Copyright © 2025 Texas Instruments Incorporated

5.8 开关特性（续）

T_J = 25°C、VA19 = 1.9V、VPLL19 = 1.9V、VREFO = 1.9V、VTRIG = 1.1V、VA11 = 1.1V、VD11 = 1.1V、默认满量程电压（V_{FS} = 0.8V_{PP}）、f_{IN} = 97MHz、A_{IN} = –1dBFS、f_{CLK} = 1.6GHz、已滤波 1-V_{PP} 正弦波时钟应用于 CLK±、PLL 禁用、JMODE = 0、高性能模式和前台校准、SER_PE = 4（除非另有说明）时的典型值；CPLL 开启时，VA11Q 和 VCLK11 噪声抑制开启；最小值和最大值均在标称电源电压以及*建议工作条件*表格中提供的工作结温范围内测得

参数		测试条件	最小值	典型值	最大值	单位
t_{ADC}	从对参考样本进行采样的 CLK± 边沿到对 SYSREF 转换为高电平进行采样的 CLK± 边沿的确定性延迟时间(1)	JMODE = 0		-2		t_{CLK} 周期数
		JMODE = 1		1		
		JMODE = 2		-1		
		JMODE = 3		-1		
		JMODE = 4		-1		
		JMODE = 5		-1		
		JMODE = 6		1		
		JMODE = 7		-1		
		JMODE = 8		-1		
		JMODE = 9		-1		
		JMODE = 10		-2		
		JMODE = 11		-2		
		JMODE = 12		-1		
		JMODE = 13		2		
		JMODE = 14		-2		
		JMODE = 15		-2		
JESD204C 和串行器延迟						
t_{TX}	从对 SYSREF 高电平进行采样的 CLK± 上升沿到 JESD204C 串行输出通道上对应 t_{ADC} 参考样本的多帧（8B/10B 编码）或扩展多块（64B/66B 编码）的第一位的延迟时间(2)	JMODE = 0	49.8		56.6	t_{CLK} 周期数
		JMODE = 1	45.5		52.8	
		JMODE = 2	45.5		52.8	
		JMODE = 3	44.3		50.5	
		JMODE = 4	42.1		48	
		JMODE = 5	42.1		48	
		JMODE = 6	53.3		60.2	
		JMODE = 7	53.3		60.2	
		JMODE = 8	47.1		54.2	
		JMODE = 9	58.4		65	
		JMODE = 10	56.2		63.1	
		JMODE = 11	66.3		74.5	
		JMODE = 12	87.2		94.8	
		JMODE = 13	72.9		83.9	
		JMODE = 14	61.7		68.1	
		JMODE = 15	94		103.3	
串行编程接口 (SDO)						
$t_{(OZD)}$	在读操作期间从第 16 个 SCLK 周期的下降沿到 SDO 从三态转换至数据生效的延迟时间		1			ns
$t_{(ODZ)}$	从 $\overline{SCS}$ 上升沿到 SDO 从数据生效转换至三态的延迟时间				10	ns
$t_{(OD)}$	在读操作期间从 SCLK 的下降沿到 SDO 生效的延迟时间		1		10	ns

(1) t_{ADC} 是精确的、未四舍五入的确定性延迟时间。如果在 SYSREF 高电平采集点之后对参考样本进行采样，则延迟时间可能为负，在这种情况下，总延迟小于 t_{TX} 给出的延迟。

(2) 为 t_{TX} 指定的值包括确定性延迟时间和非确定性延迟时间。随着工艺、温度和电压变化，延迟时间也会有所不同。在子类 1 模式下运行时，JESD204B 会考虑这些变化，从而实现确定性延迟。必须选择适当的接收器 RBD 值，使弹性缓冲器释放点不会出现在本地多帧时钟 (LMFC) 周期的无效区域内。

Copyright © 2025 Texas Instruments Incorporated

5.9 时序要求

			最小值	标称值	最大值	单位
ADC 采样时钟						
f_S	ADC 内核采样时钟频率	高性能模式	500(1)		1600(1)	MHz
		低功耗模式			1000(1)	
	ADC 内核最小采样时钟频率	低功耗模式		500(1)		
t_S	ADC 内核采样时钟周期	高性能模式	625(1)		2000(1)	ps
		低功耗模式	1000(1)			ps
	ADC 内核最大采样时钟周期	低功耗模式		2000(1)		ps
时钟输入（CLK+、CLK－、SE_CLK）						
f_{CLK}	CLK± 输入频率	PLL 已禁用	500		1600	MHz
		PLL 启用、PLLREF_SE = 0	50		500	
f_{SE_CLK}	SE_CLK 输入频率	PLL 启用、PLLREF_SE = 1	50		500	MHz
$DC_{(CLKMIN)}$	最小输入时钟占空比（CLK± 和 SE_CLK）	输入时钟占空比（CLK± 和 SE_CLK）		40%		
$DC_{(CLKMAX)}$	最大输入时钟占空比（CLK± 和 SE_CLK）			60%		
锁相环 (PLL) 和压控振荡器 (VCO)						
f_{PLLPFD}	PLL 相位频率检测器 (PFD) 频率	启用 PLL	50		500	MHz
f_{VCO}	闭环压控振荡器 (VCO) 频率	启用 PLL	7200		8200	MHz
SYSREF（SYSREF+、SYSREF－）						
$t_{INV(SYSREF)}$	由 SYSREF_POS 状态寄存器测量的 CLK± 周期的无效 SYSREF 采集区域的宽度，表示建立或保持时间违例(2)			250		ps
$t_{INV(TEMP)}$	无效 SYSREF 采集区域在温度范围内的漂移，正数表示向 SYSREF_POS 寄存器的 MSB 移位			0.05		ps/°C
$t_{INV(VA11)}$	VA11 电源电压上的无效 SYSREF 采集区域漂移，正数表示向 SYSREF_POS 寄存器的 MSB 移位			-0.17		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB 的延迟	SYSREF_ZOOM = 0		125		ps
		SYSREF_ZOOM = 1		69		
$DC_{(SYSREF)}$	使用周期性 SYSREF 信号时的 SYSREF 占空比（有效）			50%	55%	
$t_{(PH_SYS)}$	SYSREF± 上升沿事件后的最小 SYSREF± 置位持续时间			4		ns
JESD204C 同步时序 ($\overline{SYNCSE}$)						
串行编程接口（SCLK、SDI、$\overline{SCS}$）						
$f_{CLK(SCLK)}$	串行时钟频率		0		15.625	MHz
$t_{(PH)}$	串行时钟高电平值脉冲持续时间			32		ns
$t_{(PL)}$	串行时钟低电平值脉冲持续时间			32		ns
$t_{SU(\overline{SCS})}$	$\overline{SCS}$ 至 SCLK 上升沿的建立时间			25		ns
$t_{H(\overline{SCS})}$	SCLK 上升沿至 $\overline{SCS}$ 的保持时间			3		ns
$t_{SU(SDI)}$	SDI 至 SCLK 上升沿的建立时间			25		ns
$t_{H(SDI)}$	SCLK 上升沿至 SDI 的保持时间			3		ns

(1) 除非根据已编程的 JMODE，在四通道器件的工作模式表中从功能上限制在一个更小的范围内。

(2) 使用 SYSREF_POS 为 SYSREF 采集选择理想的 SYSREF_SEL 值，更多有关 SYSREF 窗口化的信息，请参阅 SYSREF 窗口化章节。由 $t_{INV(SYSREF)}$ 指定的无效区域，表示由 SYSREF_SEL 测量的 CLK± 周期 (t_{CLK}) 的一部分，该部分可能导致建立和保持时间违例。验证 SYSREF± 和 CLK± 在系统工作条件下与在标称条件（用于查找更优 SYSREF_SEL）下的计时偏斜不会导致在 SYSREF_POS 中选定的 SYSREF_SEL 位置发生无效区域。否则，可能需要依赖温度的 SYSREF_SEL 选择来跟踪 CLK± 和 SYSREF± 之间的偏斜。

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

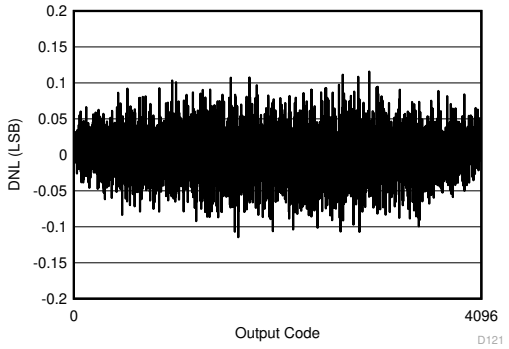


图 5-1. DNL 与代码间的关系

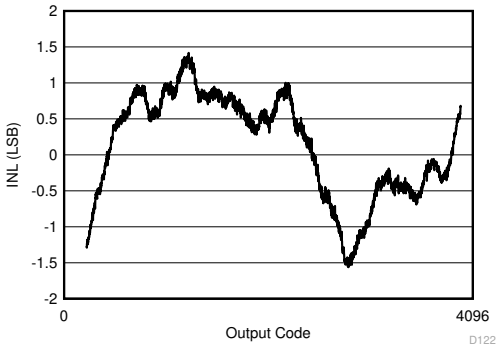
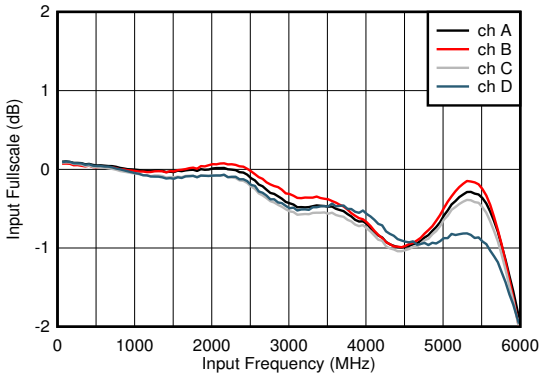
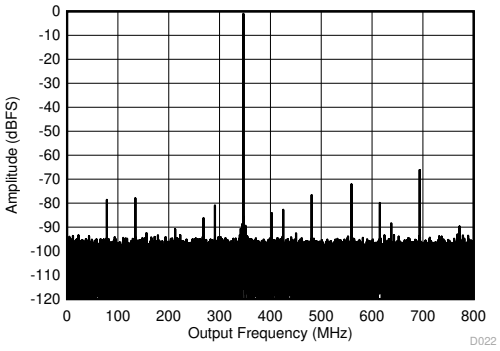


图 5-2. INL 与代码间的关系



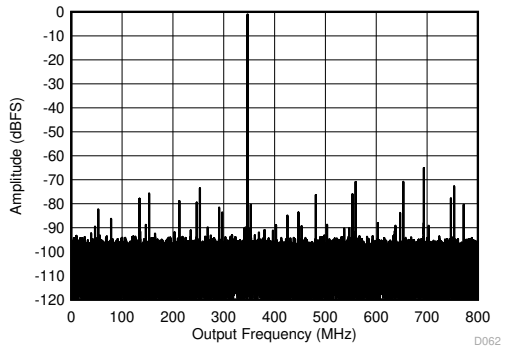
相对于 0Hz

图 5-3. 输入满量程与频率间的关系



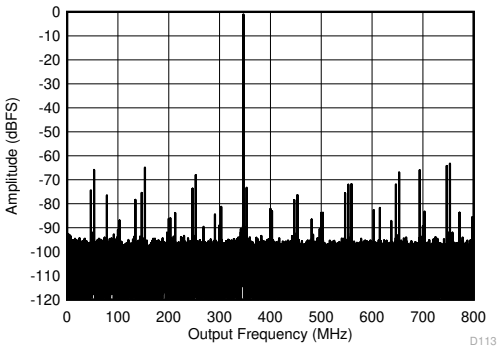
高功耗模式

图 5-4. 347MHz 和 -1dBFS 条件下的单频 FFT



高功耗模式，C-PLL 开启

图 5-5. 347MHz 和 -1dBFS 条件下的单频 FFT



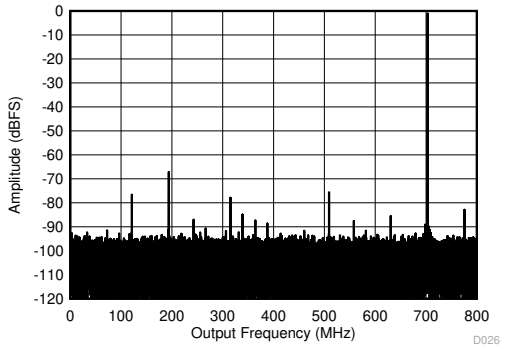
高功耗模式，C-PLL 开启，噪声抑制关闭

图 5-6. 347MHz 和 -1dBFS 条件下的单频 FFT

Copyright © 2025 Texas Instruments Incorporated

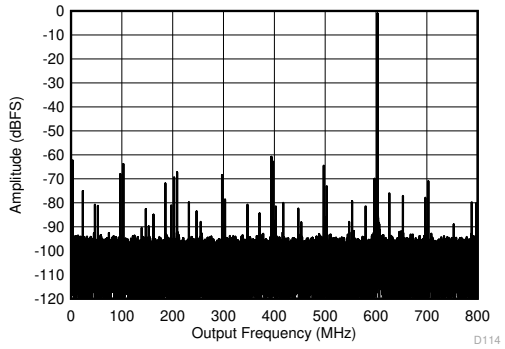
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



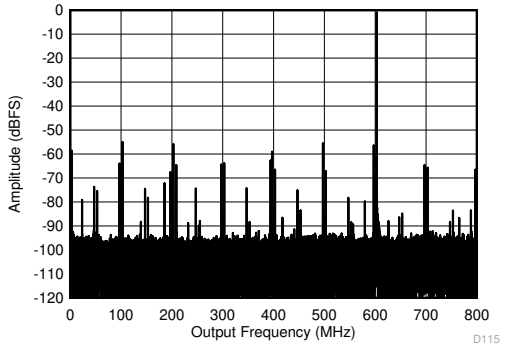
高功耗模式

图 5-7. 847MHz 和 -1dBFS 条件下的单频 FFT



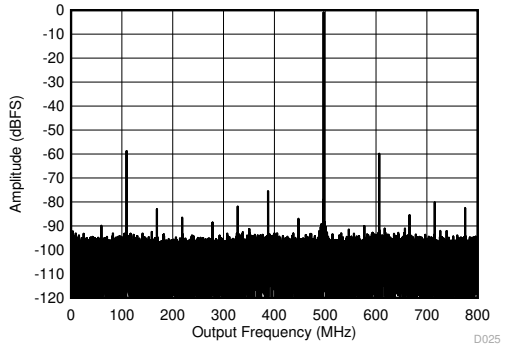
高功耗模式，C-PLL 开启

图 5-8. 997MHz 和 -1dBFS 条件下的单频 FFT



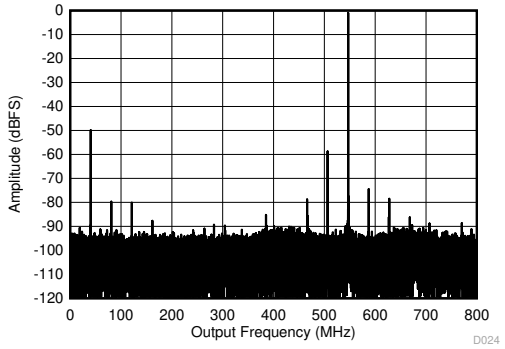
高功耗模式，C-PLL 开启，噪声抑制关闭

图 5-9. 997MHz 和 -1dBFS 条件下的单频 FFT



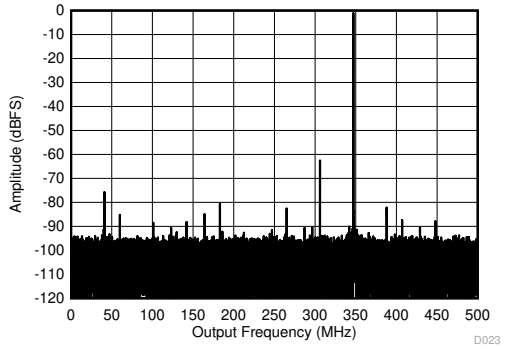
高功耗模式

图 5-10. 1797MHz 和 -1dBFS 条件下的单频 FFT



高功耗模式

图 5-11. 3797MHz 和 -1dBFS 条件下的单频 FFT



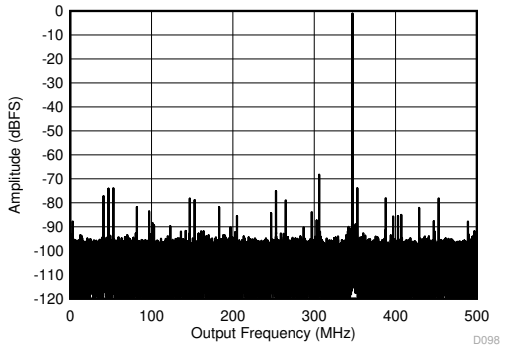
低功耗模式，F_S = 1000MSPS

图 5-12. 347MHz 和 -1dBFS 条件下的单频 FFT

Copyright © 2025 Texas Instruments Incorporated

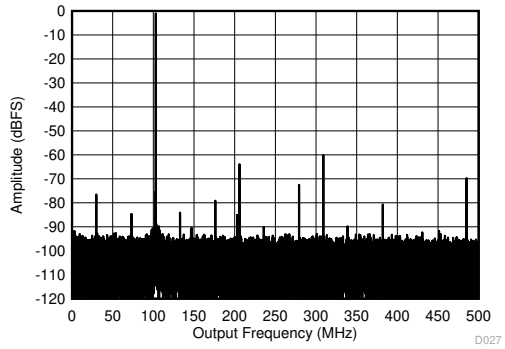
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



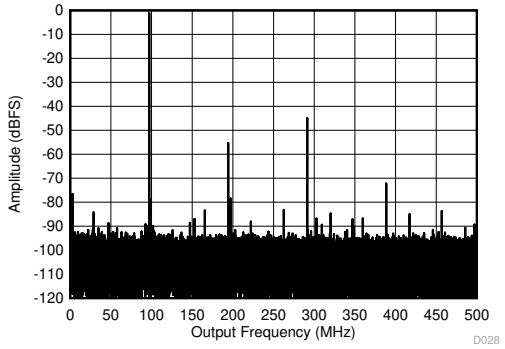
C-PLL 开启，低功耗模式，F_S = 1000MSPS

图 5-13. 347MHz 和 -1dBFS 条件下的单频 FFT



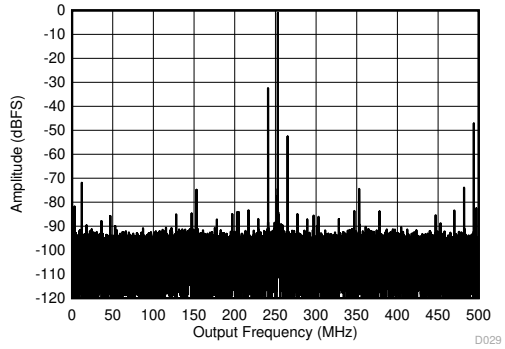
低功耗模式，F_S = 1000MSPS

图 5-14. 897MHz 和 -1dBFS 条件下的单频 FFT



低功耗模式，F_S = 1000MSPS

图 5-15. 2097MHz 和 -1dBFS 条件下的单频 FFT



低功耗模式，F_S = 1000MSPS

图 5-16. 3797MHz 和 -1dBFS 条件下的单频 FFT

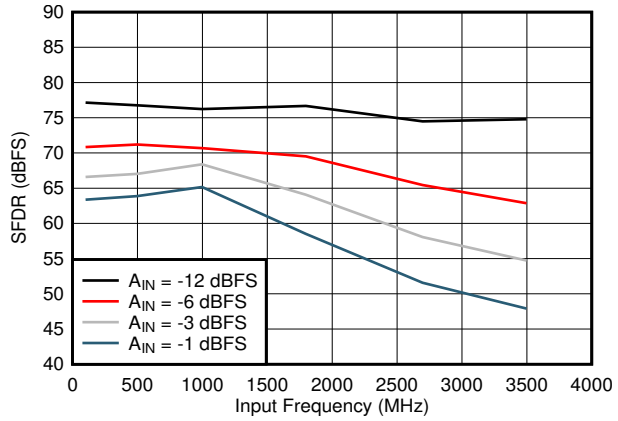


图 5-17. SFDR 与输入频率间的关系

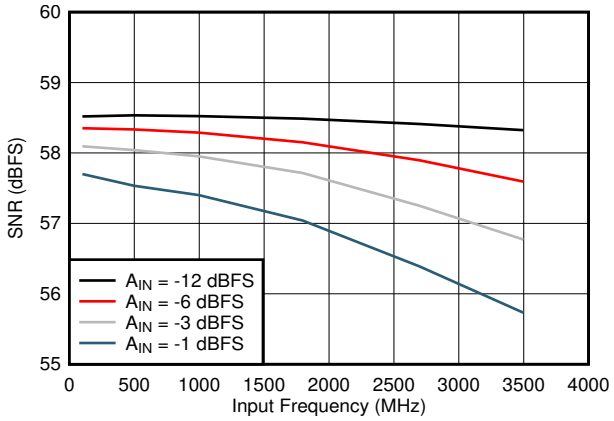


图 5-18. SNR 与输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

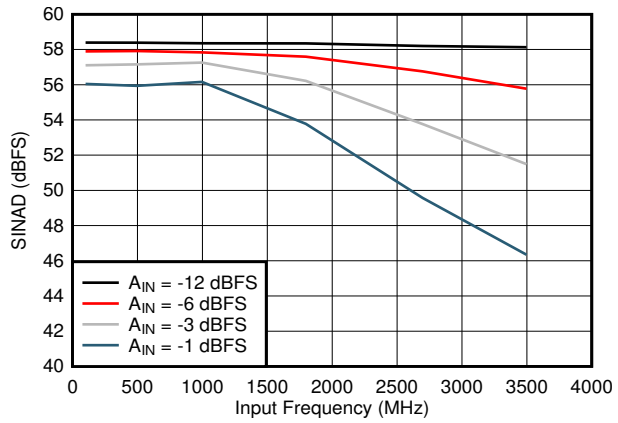


图 5-19. SINAD 与输入频率间的关系

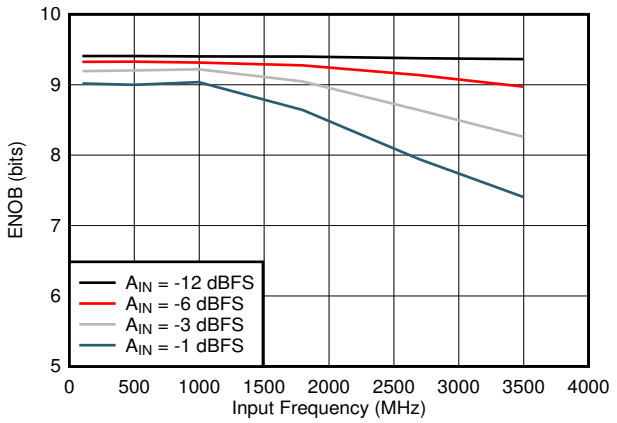


图 5-20. ENOB 与输入频率间的关系

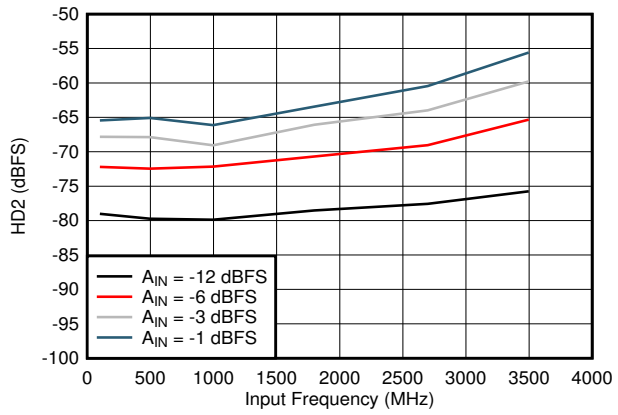


图 5-21. HD2 与输入频率间的关系

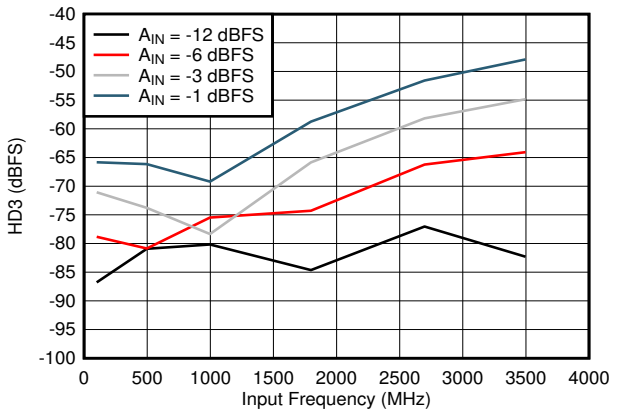


图 5-22. HD3 与输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

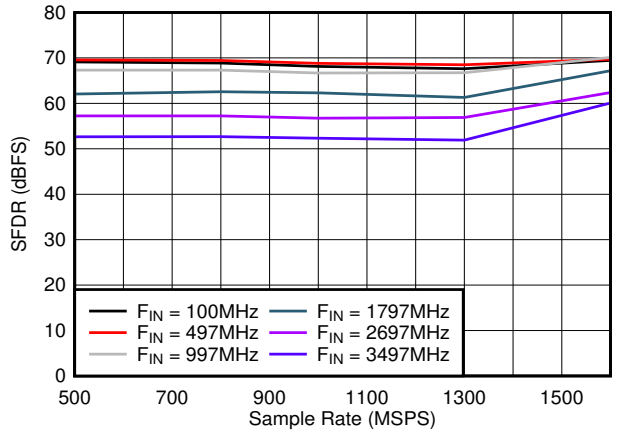


图 5-23. SFDR 与采样率间的关系

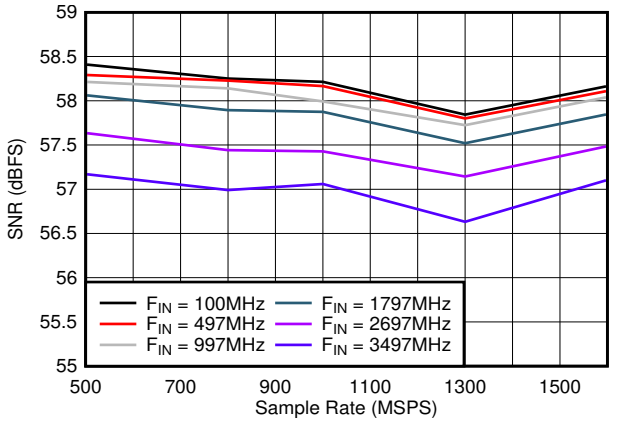


图 5-24. SNR 与采样率间的关系

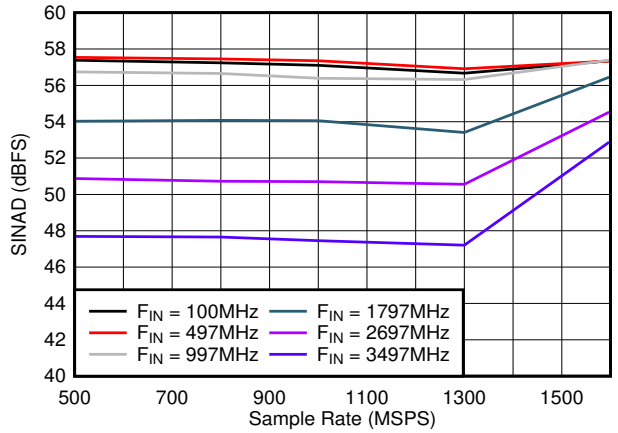


图 5-25. SINAD 与采样率间的关系

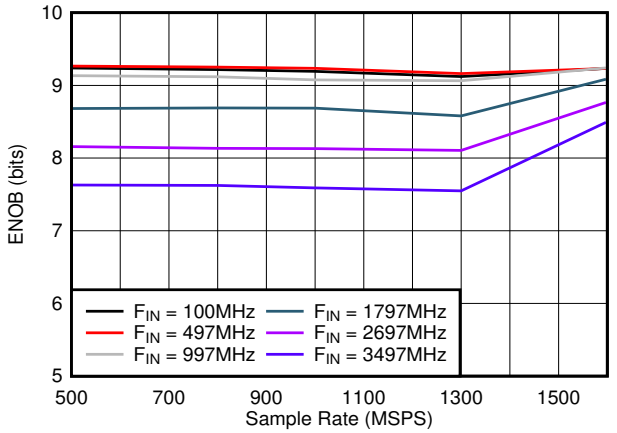
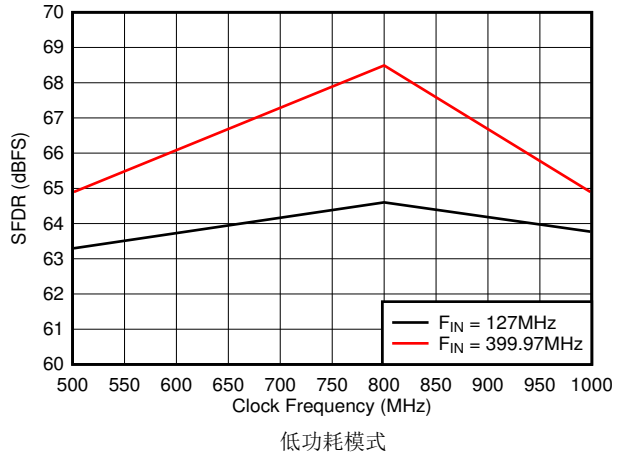


图 5-26. ENOB 与采样率间的关系

Copyright © 2025 Texas Instruments Incorporated

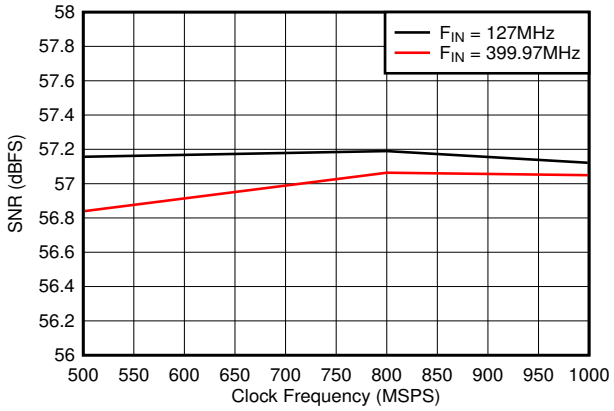
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



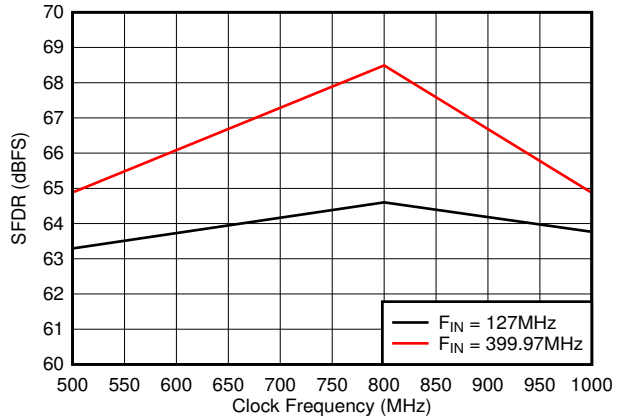
低功耗模式

图 5-27. SFDR 与采样率间的关系



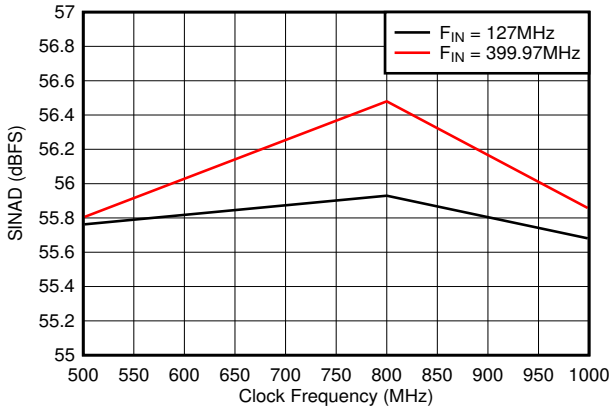
低功耗模式

图 5-28. SNR 与采样率间的关系



低功耗模式

图 5-29. SFDR 与采样率间的关系



低功耗模式

图 5-30. SINAD 与采样率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

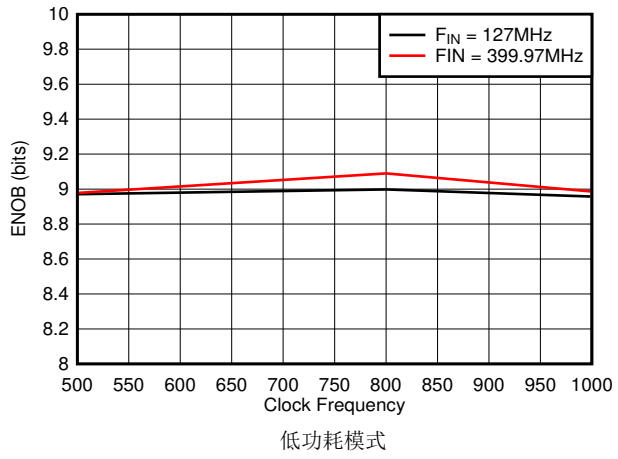


图 5-31. ENOB 与采样率间的关系

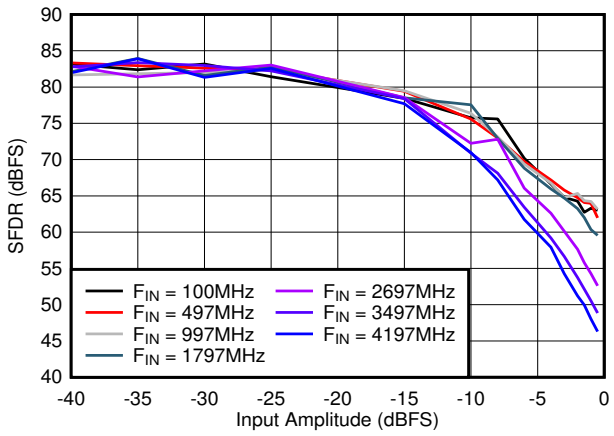


图 5-32. SFDR 与 A_{IN} 间的关系

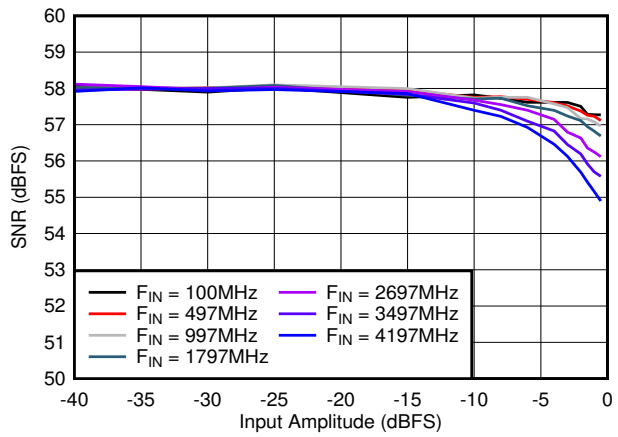


图 5-33. SNR 与 A_{IN} 间的关系

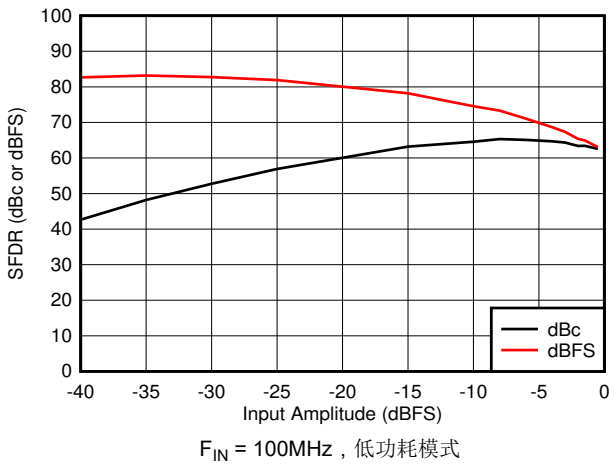
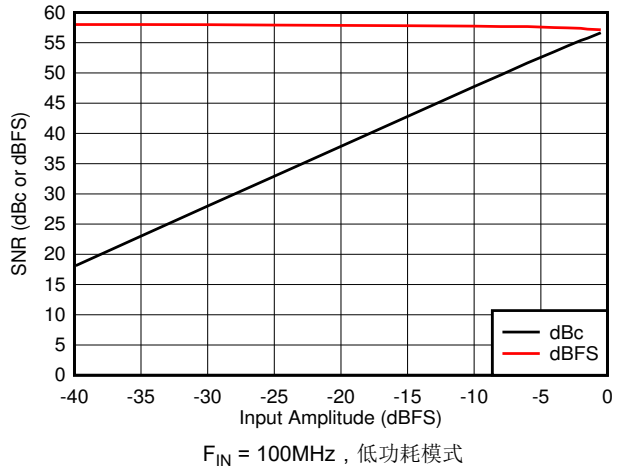


图 5-34. SFDR 与 A_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



F_{IN} = 100MHz，低功耗模式

图 5-35. SNR 与 A_{IN} 间的关系

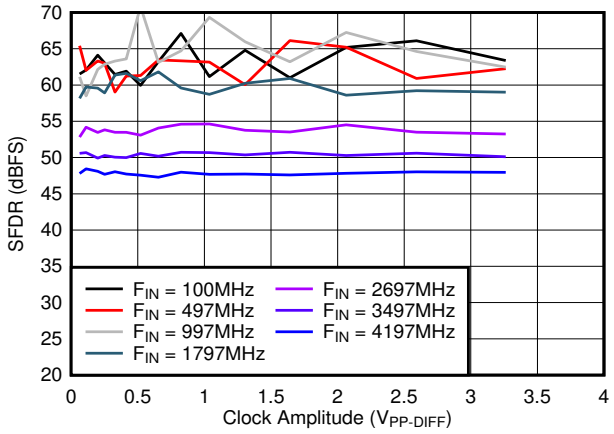


图 5-36. SFDR 与 A_{CLK} 间的关系

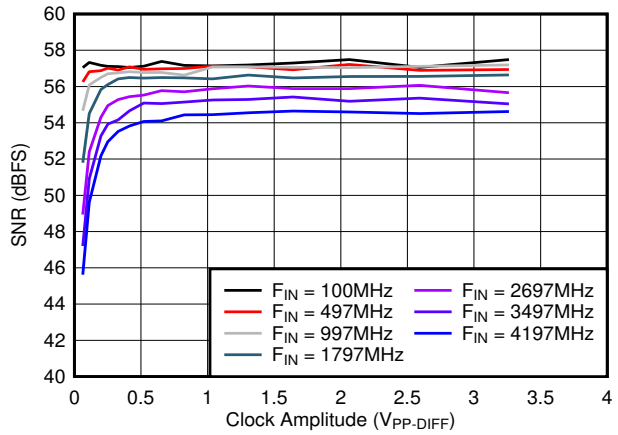
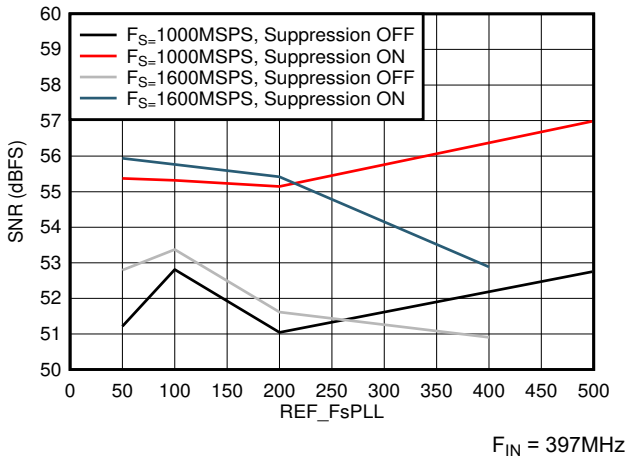


图 5-37. SNR 与 A_{CLK} 间的关系



F_{IN} = 397MHz

图 5-38. SNR 与 F_{REF} 以及抑制间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

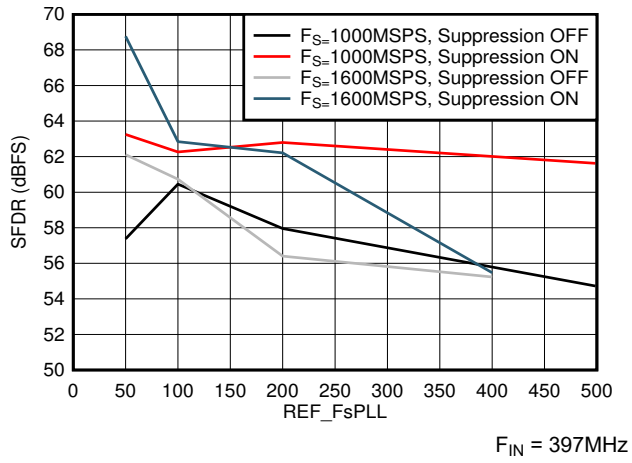


图 5-39. SFDR 与 F_{REF} 以及抑制间的关系

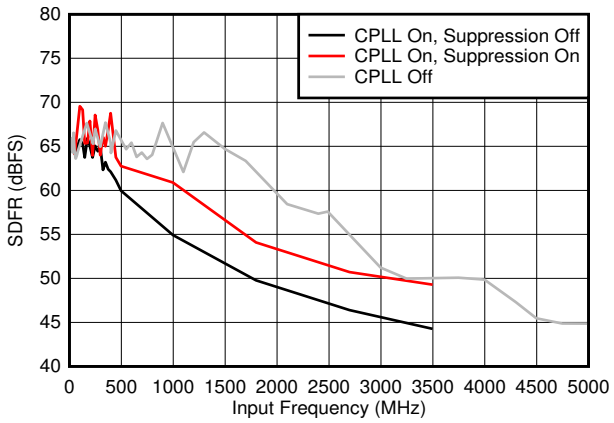


图 5-40. SFDR 与 F_{IN} 以及 C-PLL 模式间的关系

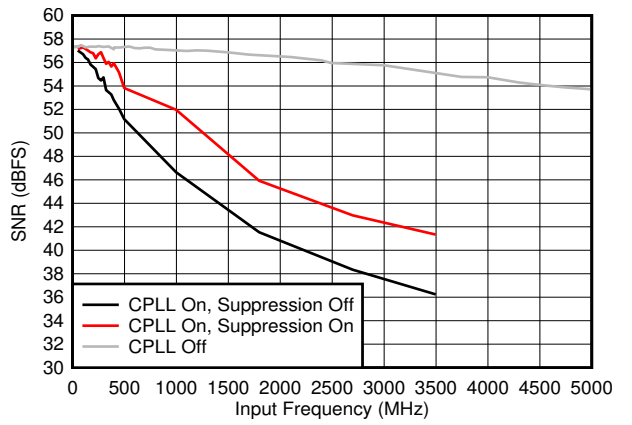


图 5-41. SNR 与 F_{IN} 以及 C-PLL 模式间的关系

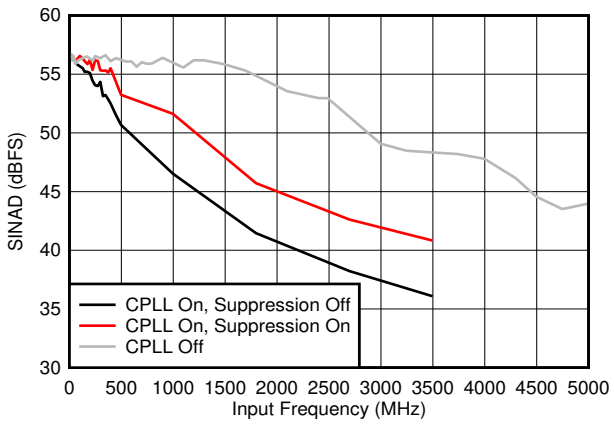


图 5-42. SINAD 与 F_{IN} 以及 C-PLL 模式间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

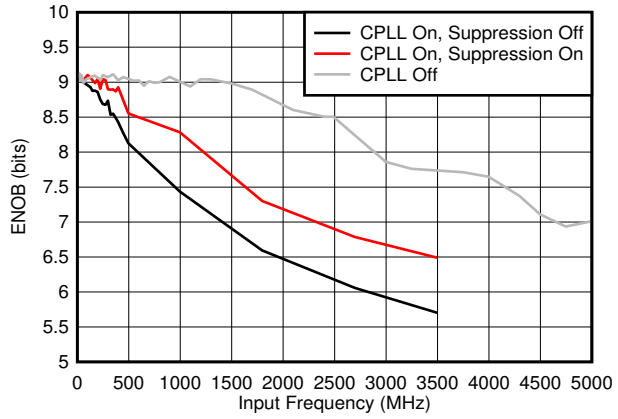
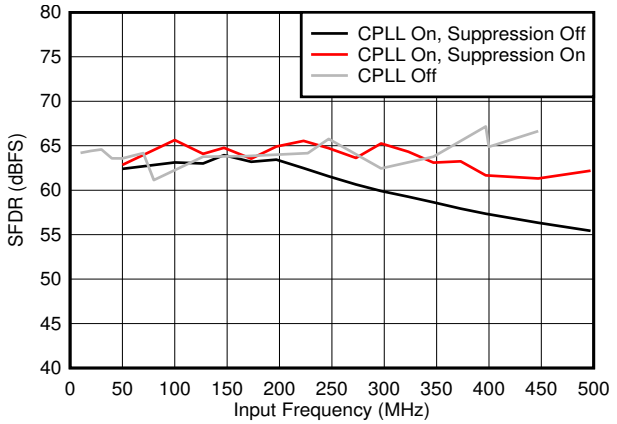
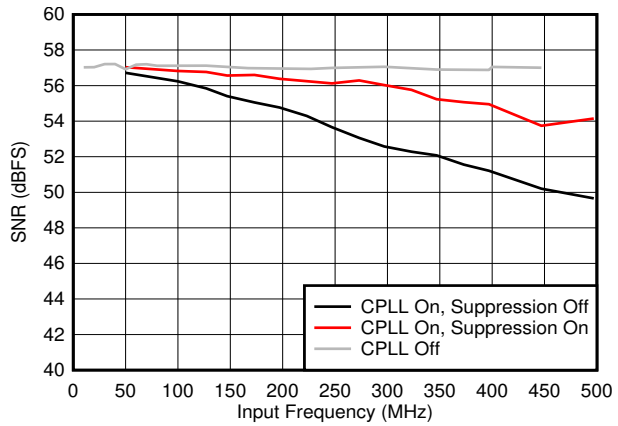


图 5-43. ENOB 与 F_{IN} 以及 C-PLL 模式间的关系



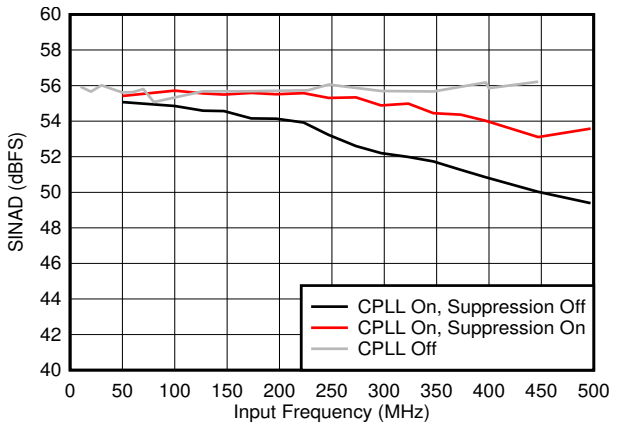
低功耗模式

图 5-44. SFDR 与 F_{IN} 以及 C-PLL 模式间的关系



低功耗模式

图 5-45. SNR 与 F_{IN} 以及 C-PLL 模式间的关系



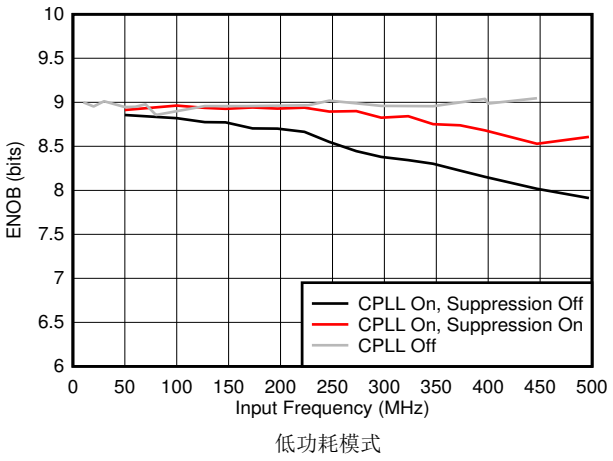
低功耗模式

图 5-46. SINAD 与 F_{IN} 以及 C-PLL 模式间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



低功耗模式

图 5-47. ENOB 与 F_{IN} 以及 C-PLL 模式间的关系

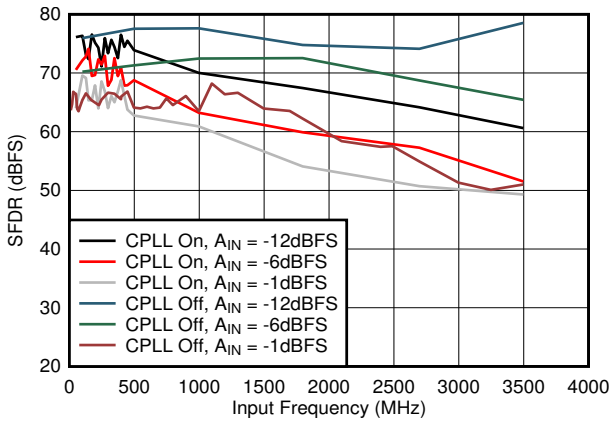


图 5-48. SFDR 与 A_{IN} 以及 C-PLL 间的关系

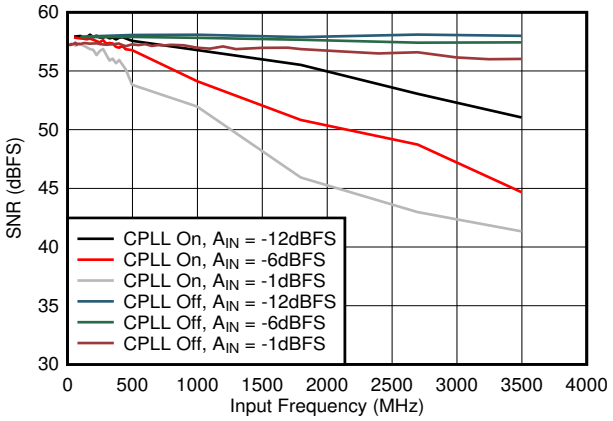


图 5-49. SNR 与 A_{IN} 以及 C-PLL 间的关系

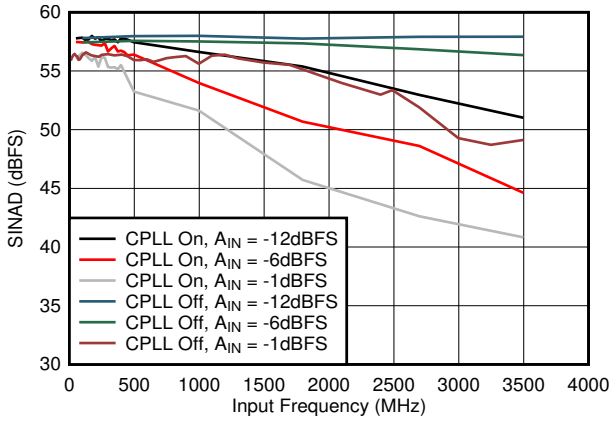


图 5-50. SINAD 与 A_{IN} 以及 C-PLL 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

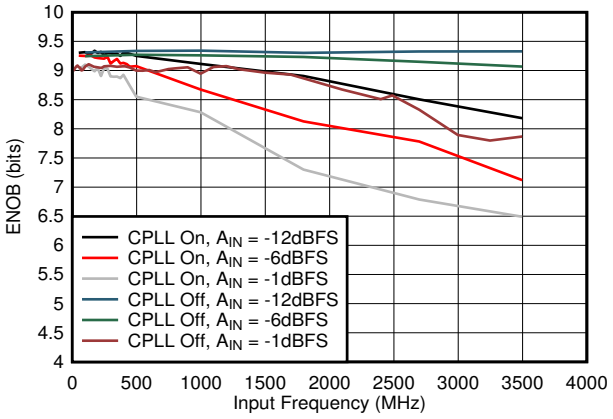


图 5-51. ENOB 与 A_{IN} 以及 C-PLL 的关系

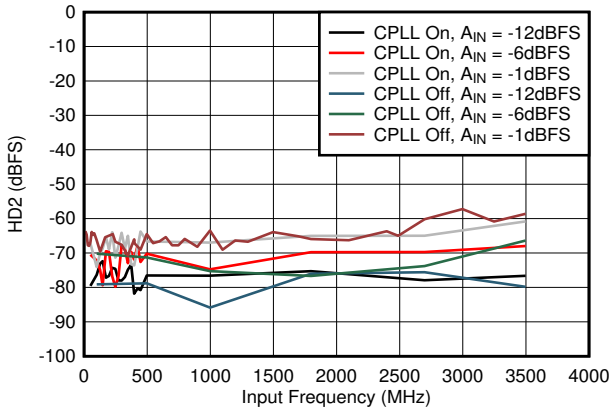


图 5-52. HD2 与 A_{IN} 以及 C-PLL 间的关系

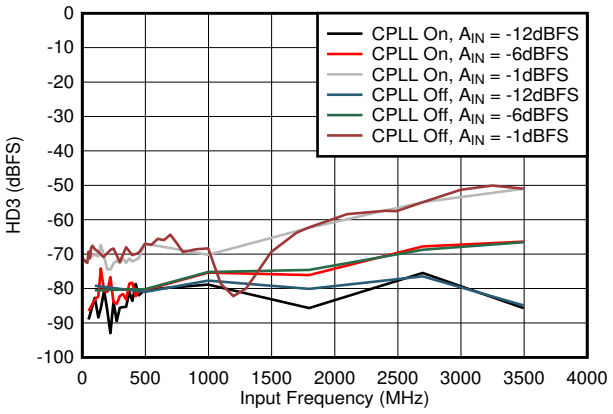
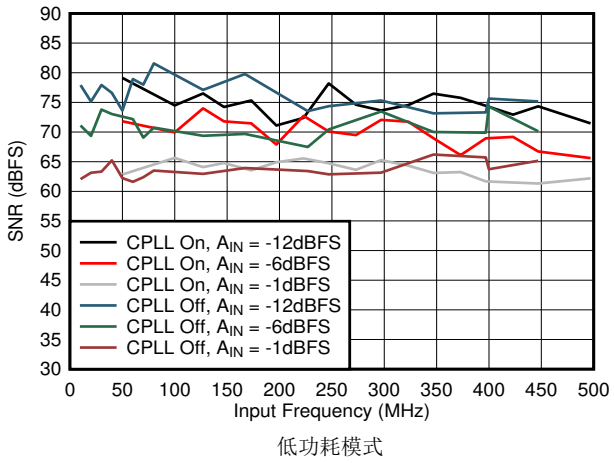


图 5-53. HD3 与 A_{IN} 以及 C-PLL 间的关系



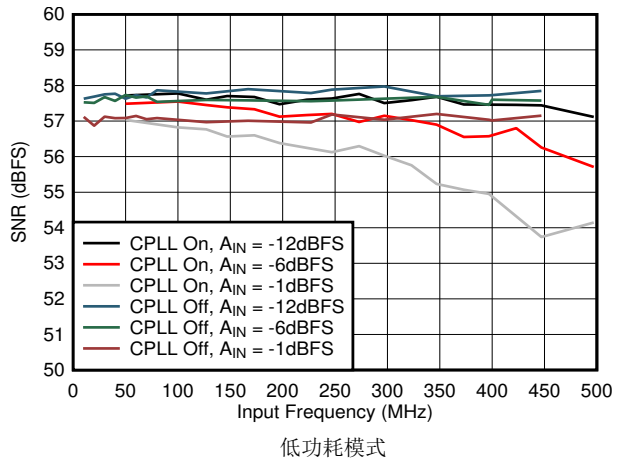
低功耗模式

图 5-54. SFDR 与 A_{IN} 以及 C-PLL 间的关系

Copyright © 2025 Texas Instruments Incorporated

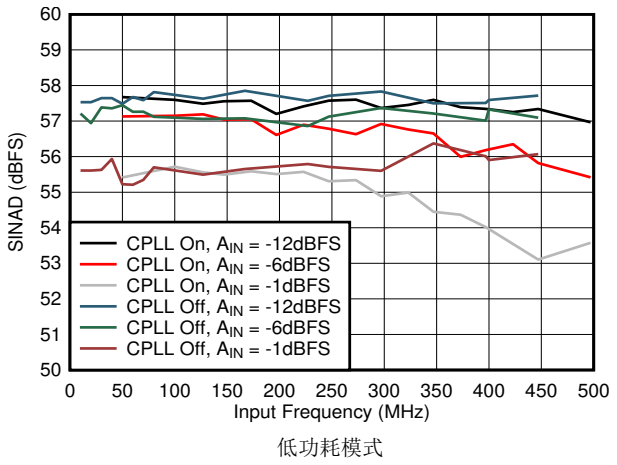
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



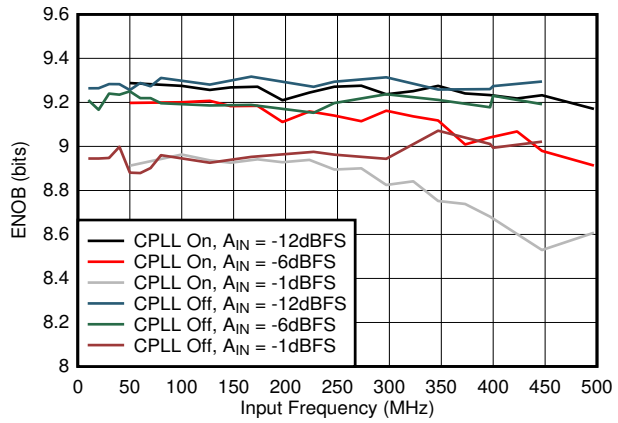
低功耗模式

图 5-55. SNR 与 A_{IN} 以及 C-PLL 间的关系



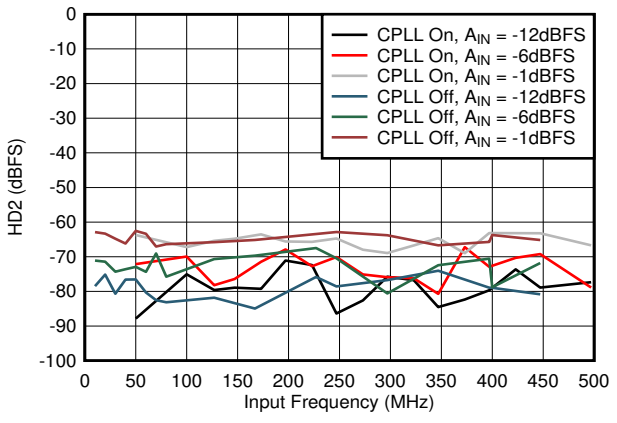
低功耗模式

图 5-56. SINAD 与 A_{IN} 以及 C-PLL 间的关系



低功耗模式

图 5-57. ENOB 与 A_{IN} 以及 C-PLL 的关系



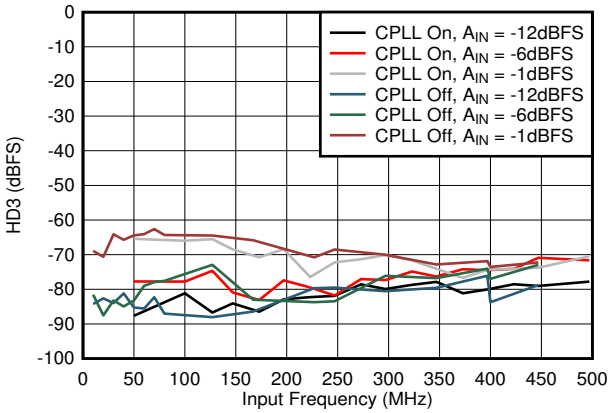
低功耗模式

图 5-58. HD2 与 A_{IN} 以及 C-PLL 间的关系

Copyright © 2025 Texas Instruments Incorporated

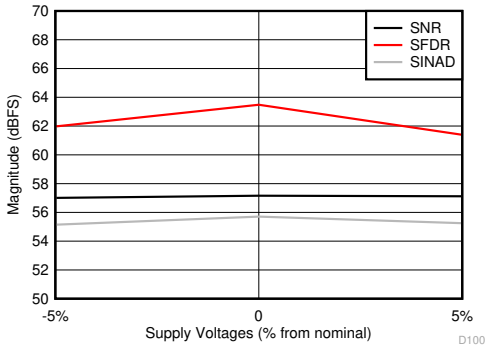
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



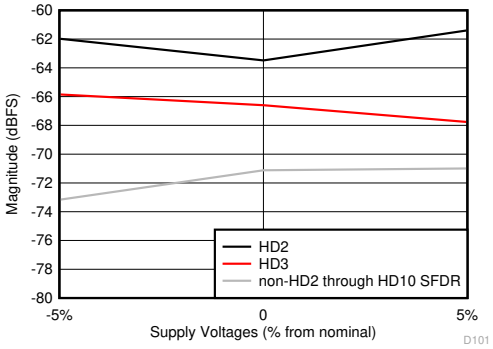
低功耗模式

图 5-59. HD3 与 A_{IN} 以及 C-PLL 间的关系



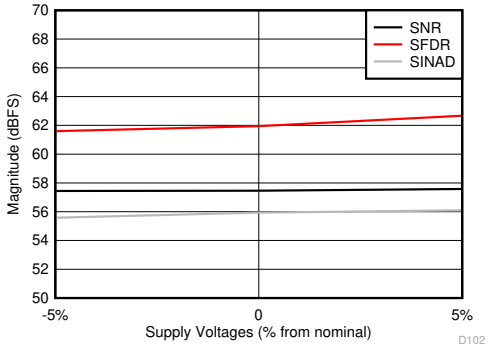
所有电源一起改变，高功耗模式

图 5-60. SNR、SFDR 和 SINAD 与电源电压间的关系



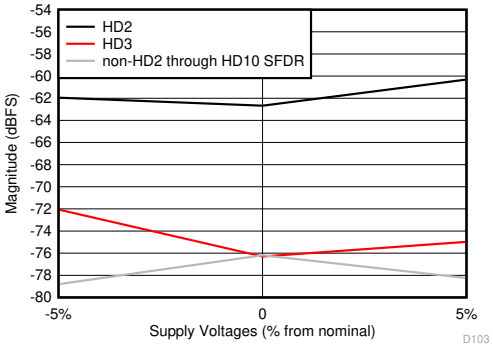
所有电源一起改变，高功耗模式

图 5-61. HD2、HD3 和最差非 HD 杂散与电源电压间的关系



所有电源一起改变，低功耗模式，F_S = 1000MSPS

图 5-62. SNR、SFDR 和 SINAD 与电源电压间的关系



所有电源一起改变，低功耗模式，F_S = 1000MSPS

图 5-63. HD2、HD3 和最差非 HD 杂散与电源电压间的关系

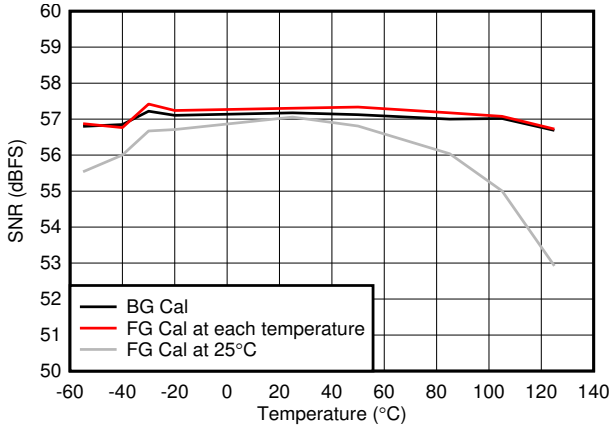


图 5-64. SNR 与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

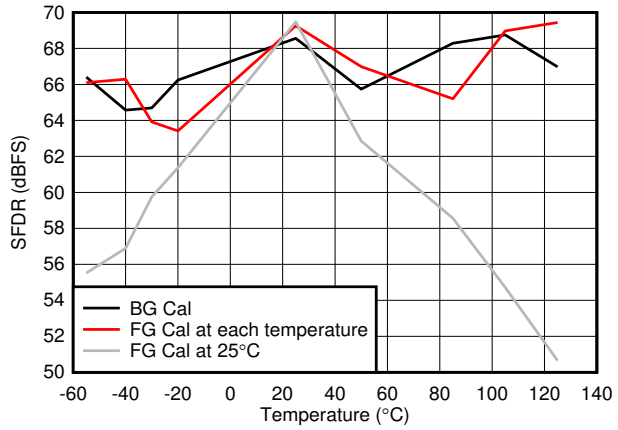


图 5-65. SFDR 与温度间的关系

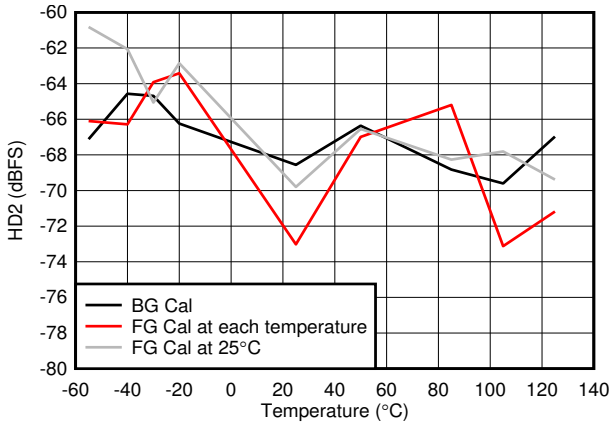


图 5-66. HD2 与温度间的关系

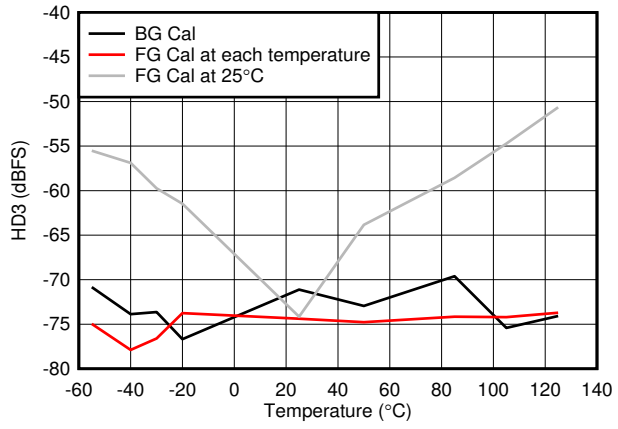
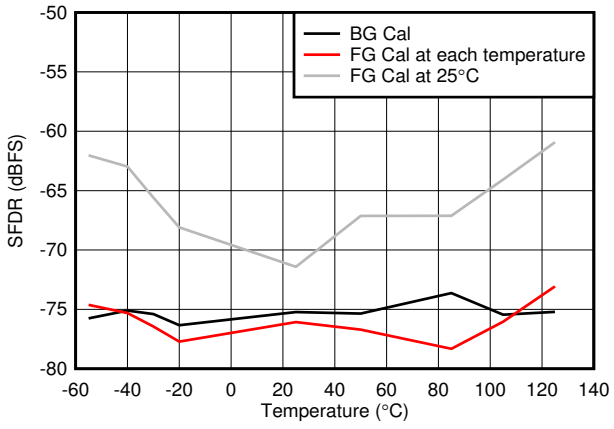
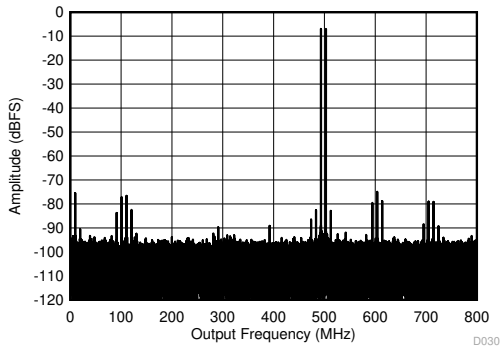


图 5-67. HD3 与温度间的关系



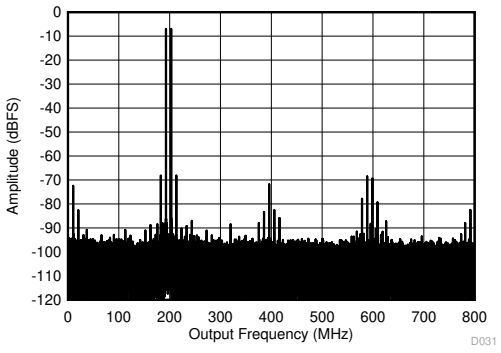
最差杂散为非 HD2 至 -HD10 SDFR

图 5-68. 最差杂散与温度间的关系



10MHz 频率间隔

图 5-69. 498MHz 时的双音 FFT



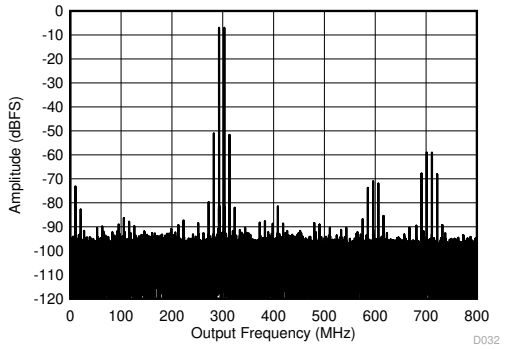
10MHz 频率间隔

图 5-70. 1798MHz 时的双音 FFT

Copyright © 2025 Texas Instruments Incorporated

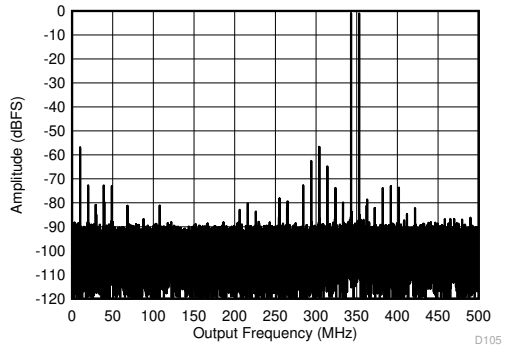
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



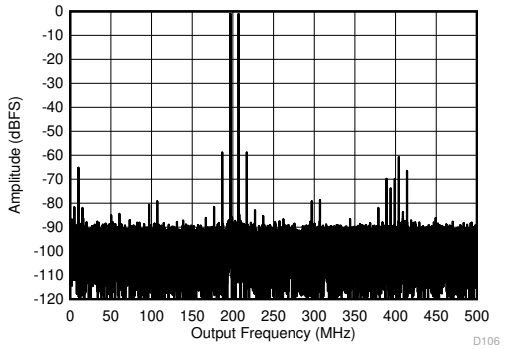
10MHz 频率间隔

图 5-71. 3498MHz 时的双音 FFT



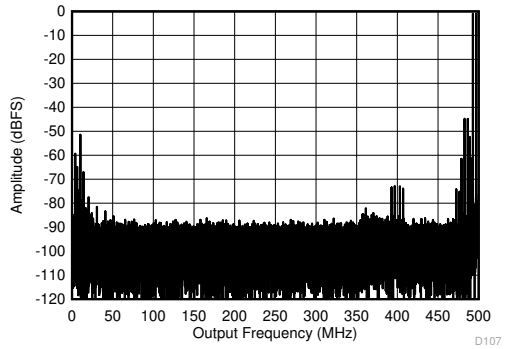
10MHz 频率间隔，每个频率 -7dBFS，低功耗模式，1000MSPS

图 5-72. 348MHz 时的双音 FFT



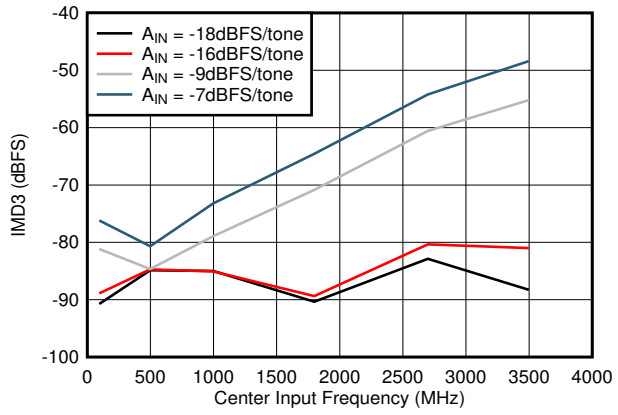
10MHz 频率间隔，每个频率 -7dBFS，低功耗模式，1000MSPS

图 5-73. 1798MHz 时的双音 FFT



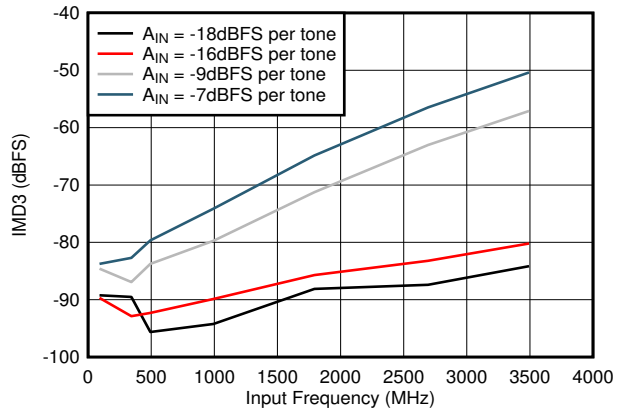
10MHz 频率间隔，每个频率 -7dBFS，低功耗模式，1000MSPS

图 5-74. 3498MHz 时的双音 FFT



10MHz 频率间隔

图 5-75. IMD3 与 F_{IN} 间的关系



10MHz 频率间隔，低功耗模式，1000MSPS

图 5-76. IMD3 与 F_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

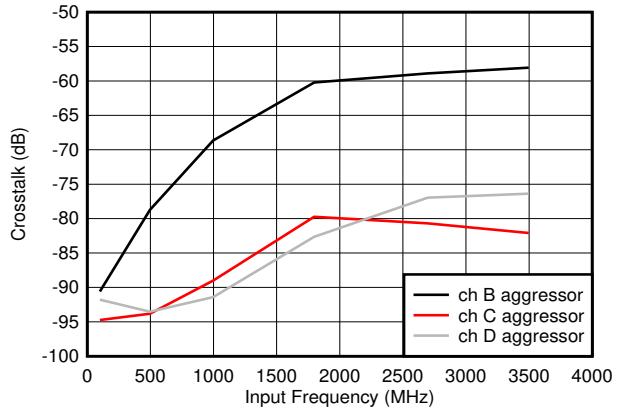


图 5-77. 通道 A 串扰与 F_{IN} 间的关系

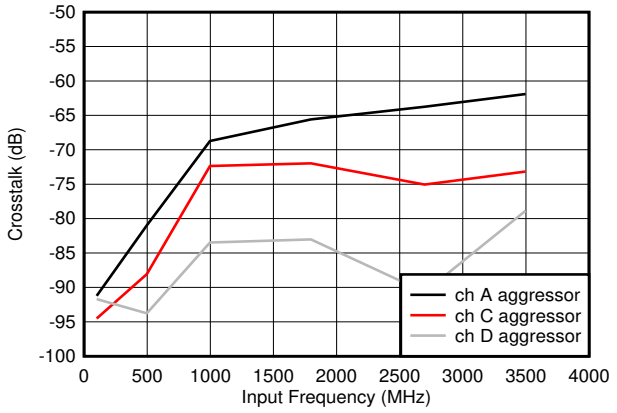


图 5-78. 通道 B 串扰与 F_{IN} 间的关系

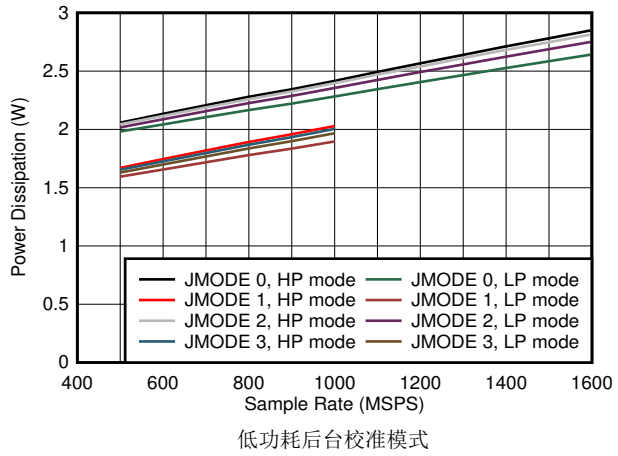


图 5-79. 四通道，功率耗散与 F_S 以及 JMODES 0 - 3 间的关系

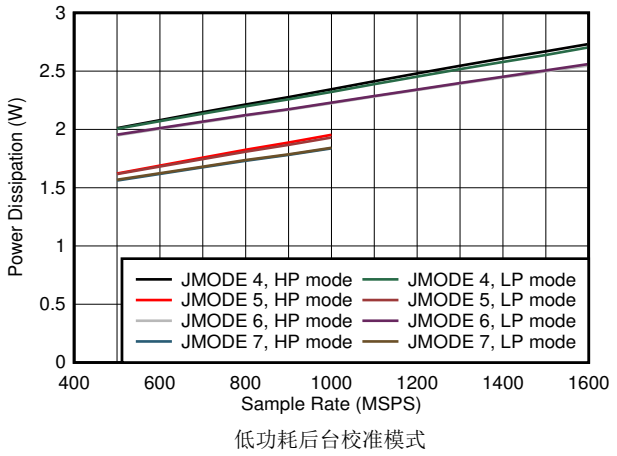
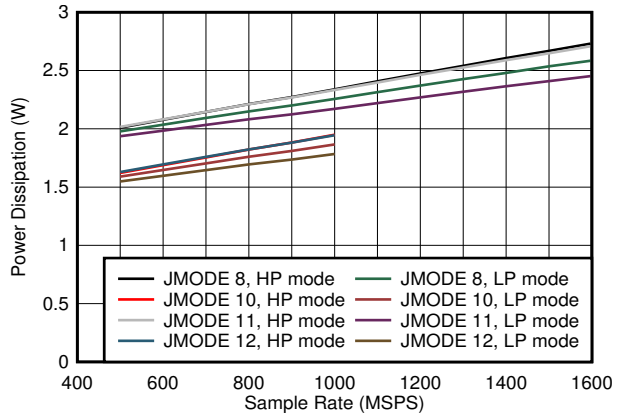


图 5-80. 四通道，功率耗散与 F_S 以及 JMODES 4 - 7 间的关系

Copyright © 2025 Texas Instruments Incorporated

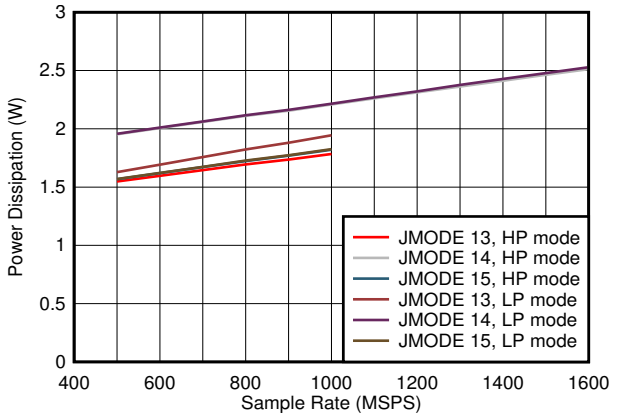
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



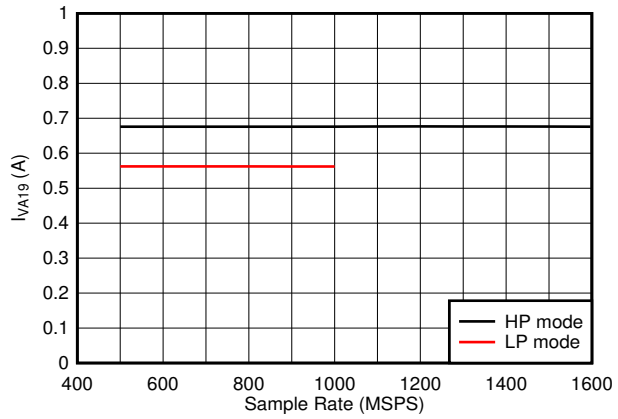
低功耗后台校准模式

图 5-81. 四通道，功率耗散与 F_S 以及 JMODES 8 - 12 间的关系



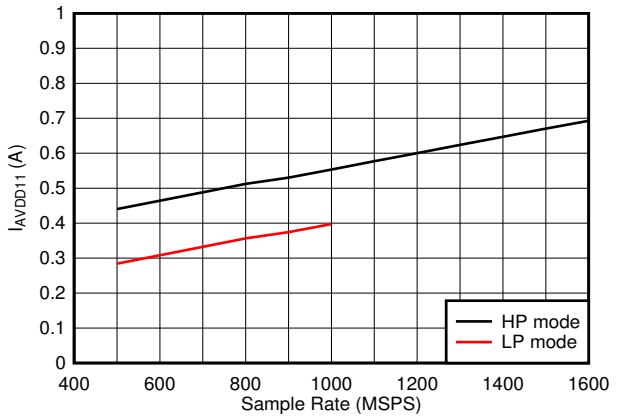
低功耗后台校准模式

图 5-82. 四通道，功率耗散与 F_S 以及 JMODES 13 - 15 间的关系



低功耗后台校准模式，不受 JMODE 影响

图 5-83. 四通道，I_{VA19} 与 F_S 间的关系



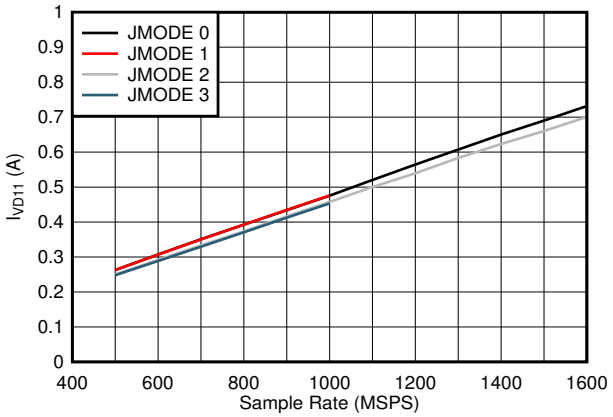
低功耗后台校准模式，不受 JMODE 影响

图 5-84. 四通道，I_{VA11} 与 F_S 间的关系

Copyright © 2025 Texas Instruments Incorporated

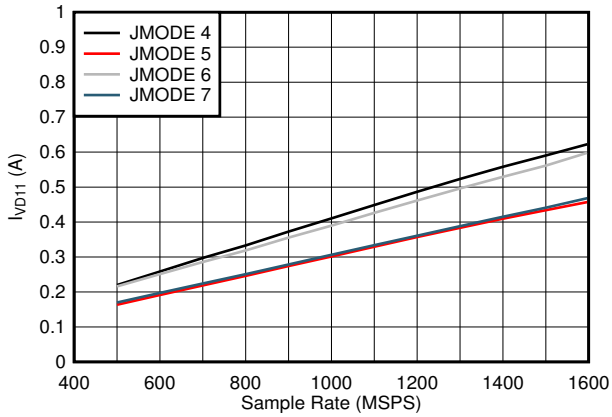
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



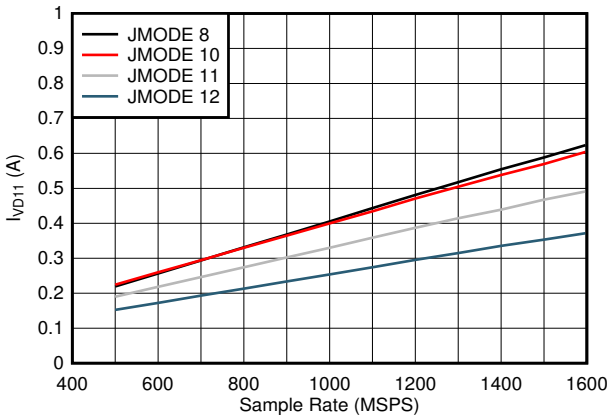
低功耗后台校准模式，不受功耗模式影响

图 5-85. 四通道，I_{VD11} 与 F_S 以及 JMODE 0 - 3 间的关系



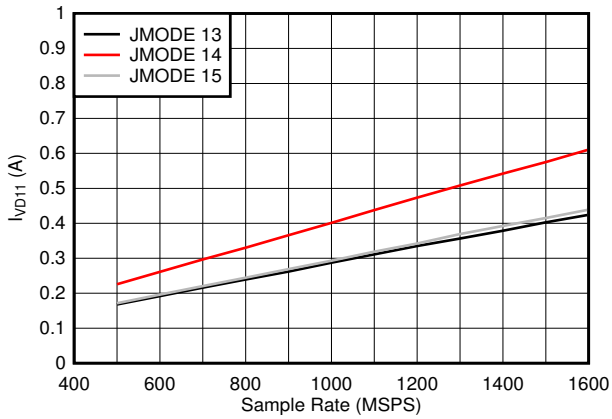
低功耗后台校准模式，不受功耗模式影响

图 5-86. 四通道，I_{VD11} 与 F_S 以及 JMODE 4 - 7 间的关系



低功耗后台校准模式，不受功耗模式影响

图 5-87. 四通道，I_{VD11} 与 F_S 以及 JMODE 8 - 12 间的关系



低功耗后台校准模式，不受功耗模式影响

图 5-88. 四通道，I_{VD11} 与 F_S 以及 JMODE 13 - 15 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

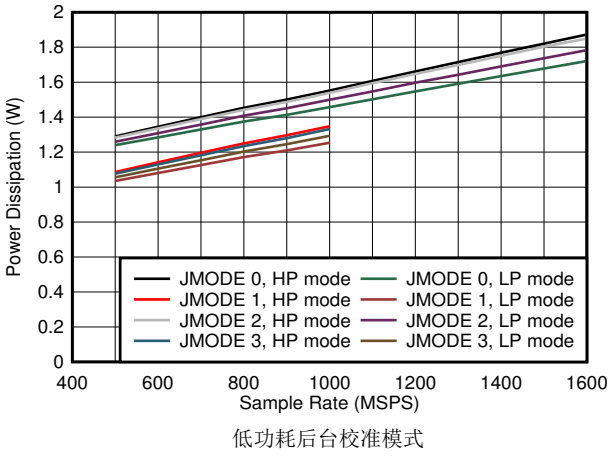


图 5-89. 双通道，功率耗散与 F_S 以及 JMODE 0 - 3 间的关系

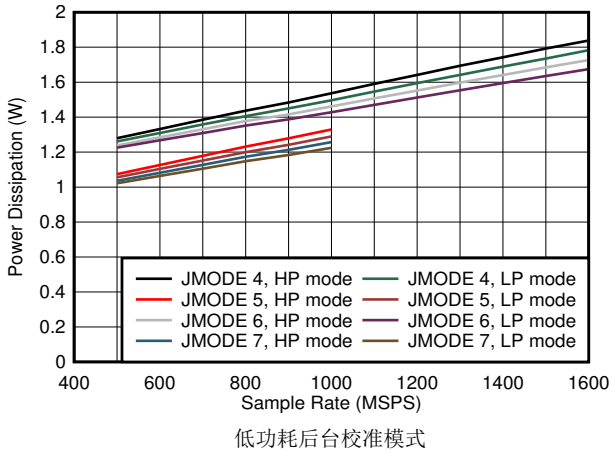


图 5-90. 双通道，功率耗散与 F_S 以及 JMODE 4 - 7 间的关系

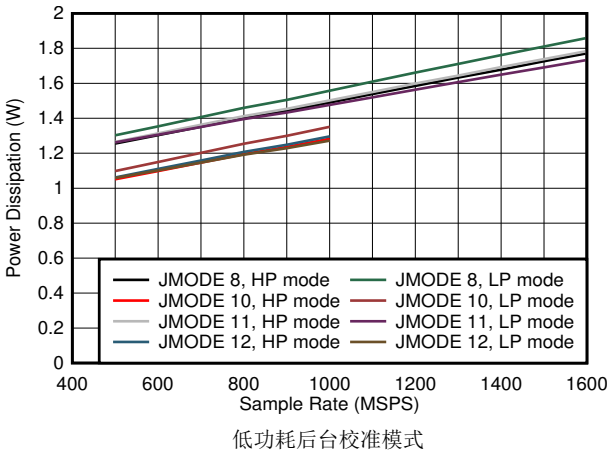


图 5-91. 双通道，功率耗散与 F_S 以及 JMODE 8 - 12 间的关系

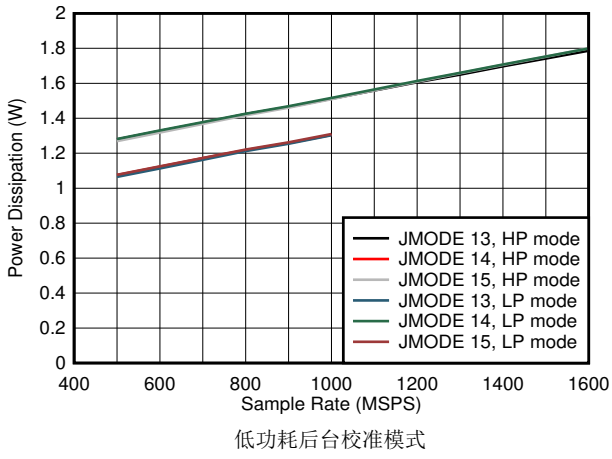
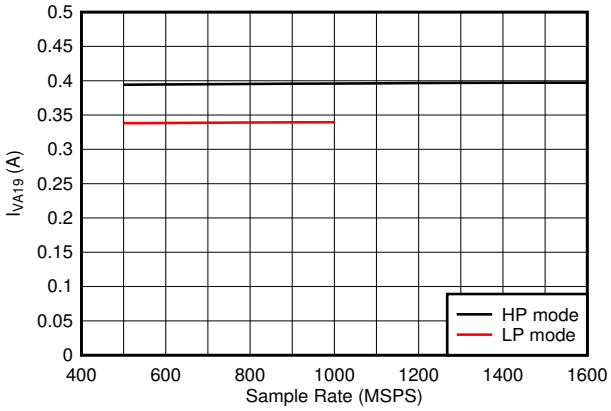


图 5-92. 双通道，功率耗散与 F_S 以及 JMODE 13 - 15 间的关系

Copyright © 2025 Texas Instruments Incorporated

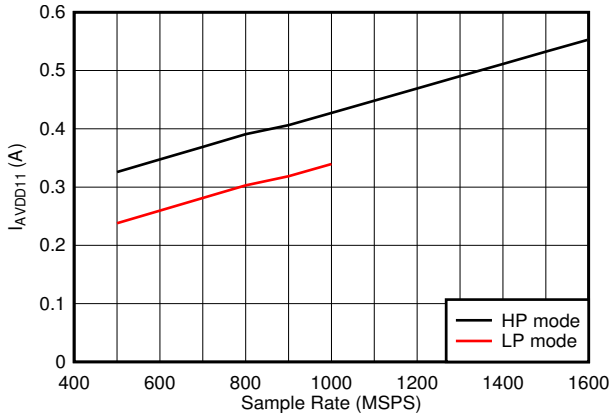
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



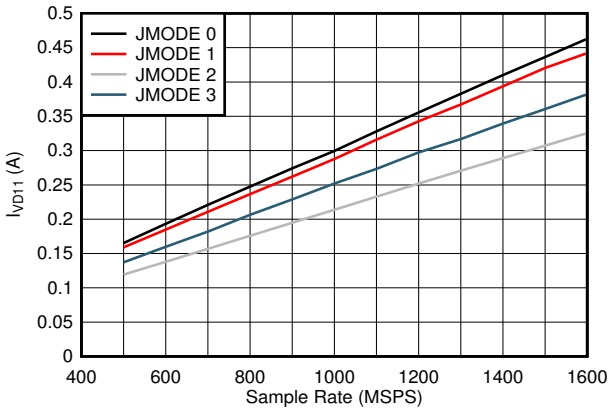
低功耗后台校准模式，不受 JMODE 影响

图 5-93. 双通道，I_{VA19} 与 F_S 间的关系



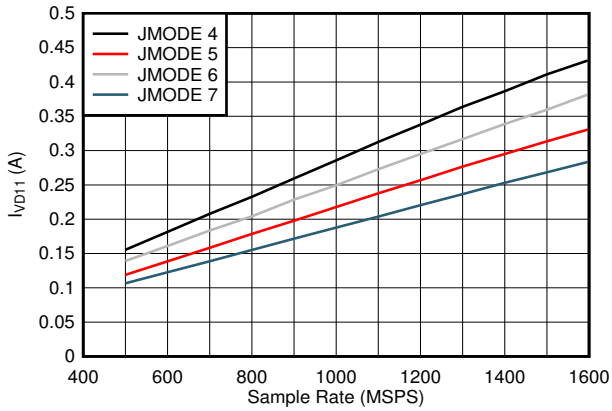
低功耗后台校准模式，不受 JMODE 影响

图 5-94. 双通道，I_{VA11} 与 F_S 间的关系



低功耗后台校准模式，不受功耗模式影响

图 5-95. 双通道，功率耗散与 F_S 以及 JMODE 0 - 3 间的关系



低功耗后台校准模式，不受功耗模式影响

图 5-96. 双通道，功率耗散与 F_S 以及 JMODE 4 - 7 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

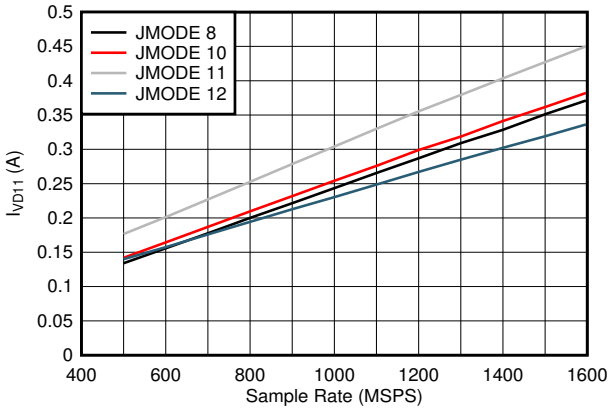


图 5-97. 双通道，功率耗散与 F_S 以及 JMODE 8 - 12 间的关系

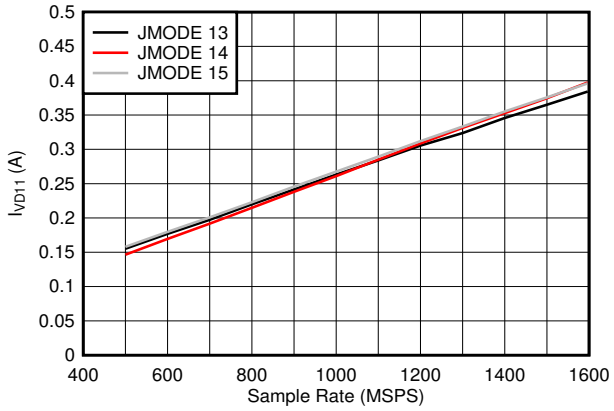


图 5-98. 双通道，功率耗散与 F_S 以及 JMODE 13 - 15 间的关系

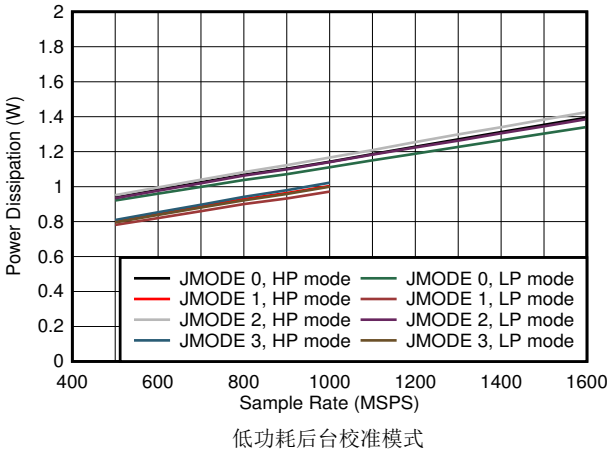


图 5-99. 单通道，功率耗散与 F_S 和 JMODE 0 - 3 间的关系

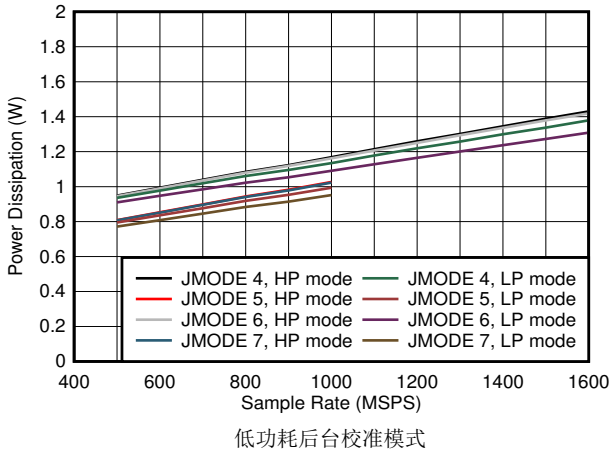
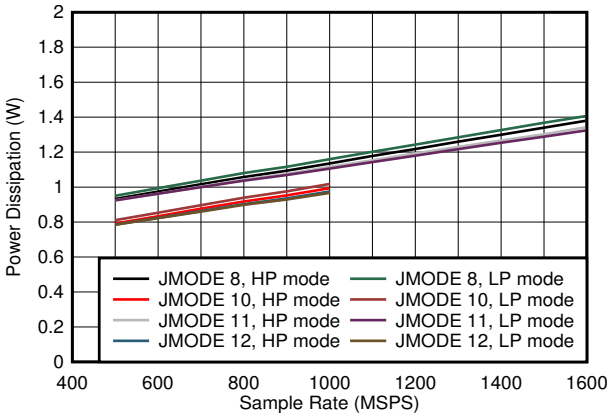


图 5-100. 单通道，功率耗散与 F_S 和 JMODE 4 - 7 间的关系

Copyright © 2025 Texas Instruments Incorporated

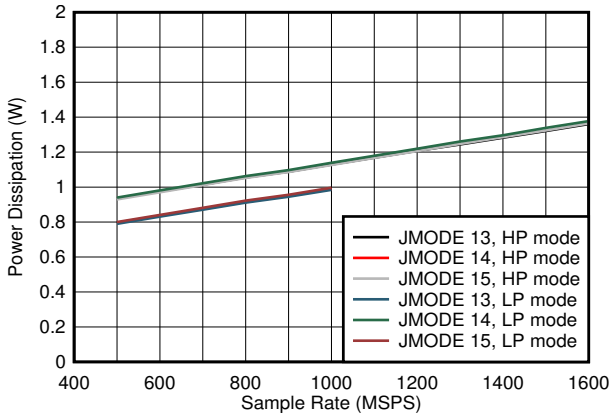
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



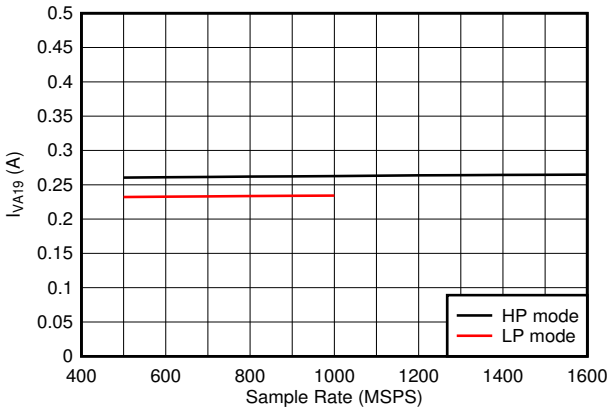
低功耗后台校准模式

图 5-101. 单通道，功率耗散与 F_S 和 JMODE 8 - 12 间的关系



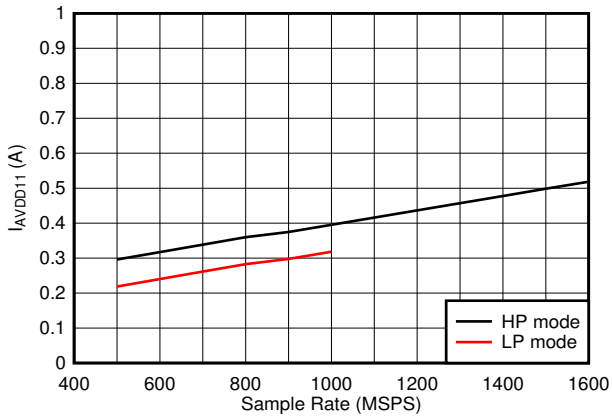
低功耗后台校准模式

图 5-102. 单通道，功率耗散与 F_S 和 JMODE 13 - 15 间的关系



低功耗后台校准模式，不受 JMODE 影响

图 5-103. 单通道，I_{VA19} 与 F_S 间的关系



低功耗后台校准模式，不受 JMODE 影响

图 5-104. 单通道，I_{VA11} 与 F_S 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

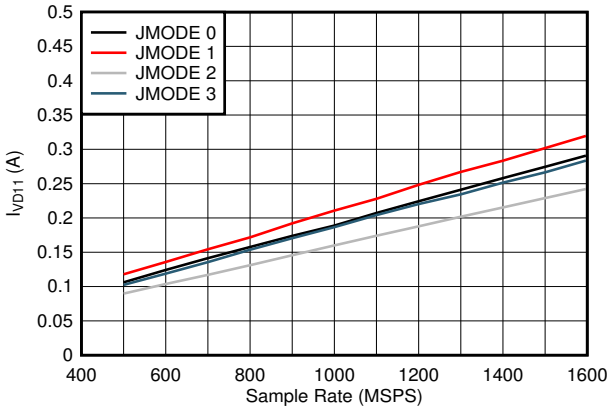


图 5-105. 单通道，I_{VD11} 与 F_S 以及 JMODE 0 - 3 间的关系

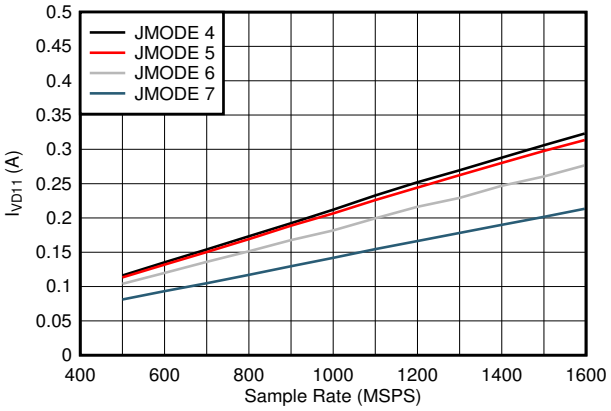


图 5-106. 单通道，I_{VD11} 与 F_S 以及 JMODE 4 - 7 间的关系

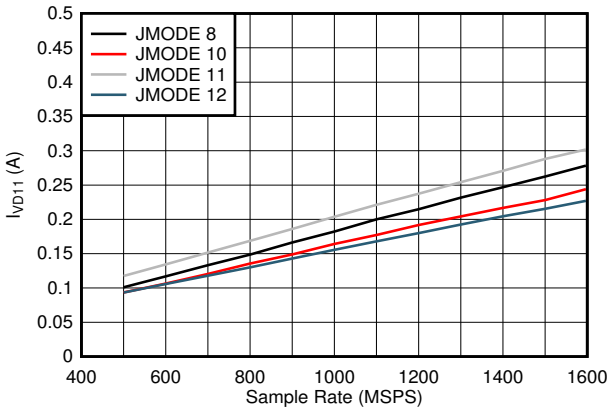


图 5-107. 单通道，I_{VD11} 与 F_S 以及 JMODE 8 - 12 间的关系

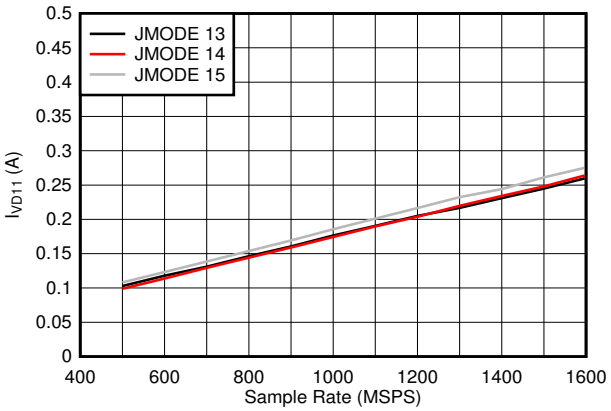


图 5-108. 单通道，I_{VD11} 与 F_S 以及 JMODE 13 - 15 间的关系

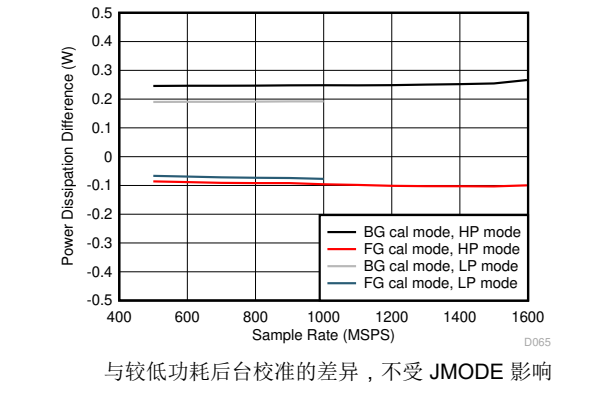


图 5-109. 四通道，校准模式下的功率耗散变化

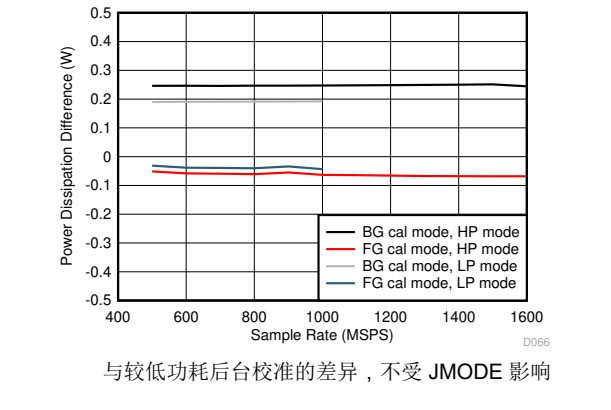
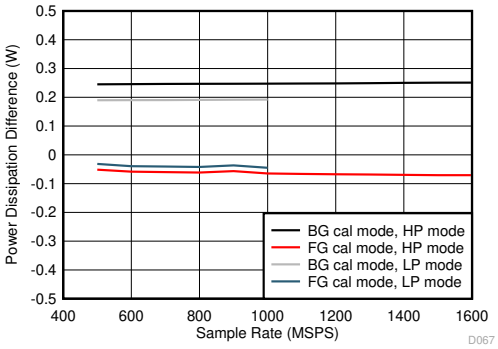


图 5-110. 双通道，校准模式下的功率耗散变化

Copyright © 2025 Texas Instruments Incorporated

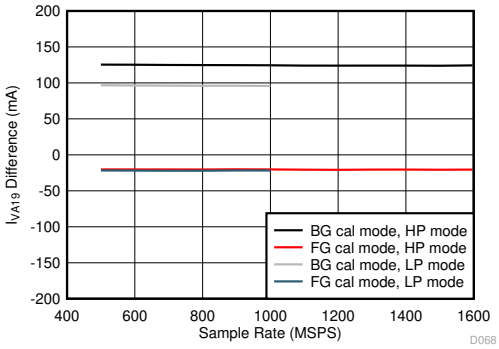
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



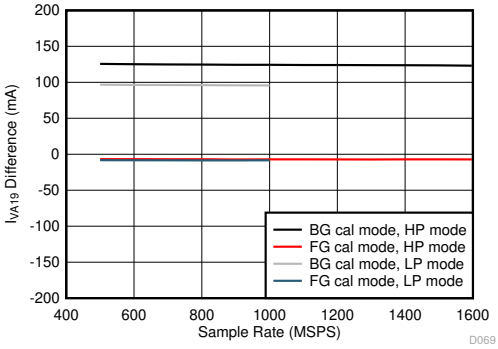
与较低功耗后台校准的差异，不受 JMODE 影响

图 5-111. 单通道，校准模式下的功率耗散变化



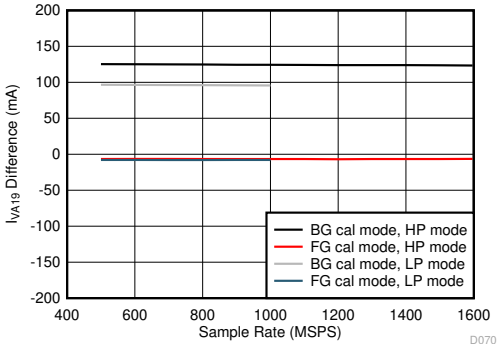
与较低功耗后台校准的差异，不受 JMODE 影响

图 5-112. 四通道，校准模式下的 I_{VA19} 变化



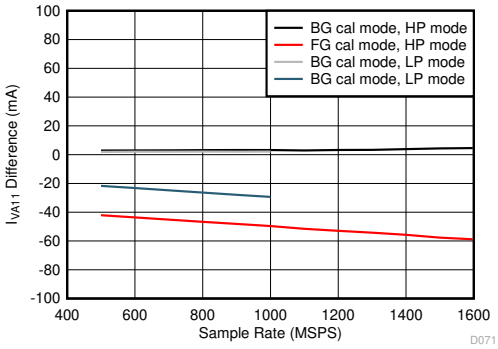
与较低功耗后台校准的差异，不受 JMODE 影响

图 5-113. 双通道，校准模式下的 I_{VA19} 变化



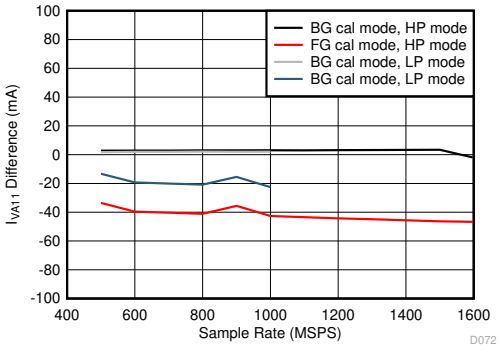
与较低功耗后台校准的差异，不受 JMODE 影响

图 5-114. 单通道，校准模式下的 I_{VA19} 变化



与较低功耗后台校准的差异，不受 JMODE 影响

图 5-115. 四通道，校准模式下的 I_{VA11} 变化



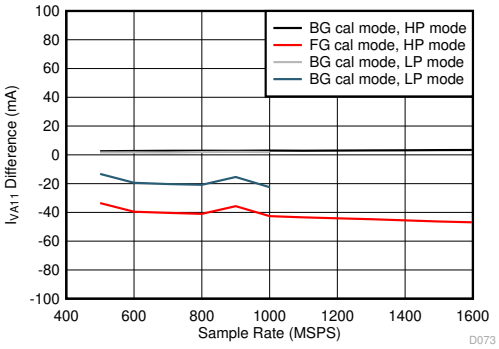
与较低功耗后台校准的差异，不受 JMODE 影响

图 5-116. 双通道，校准模式下的 I_{VA11} 变化

Copyright © 2025 Texas Instruments Incorporated

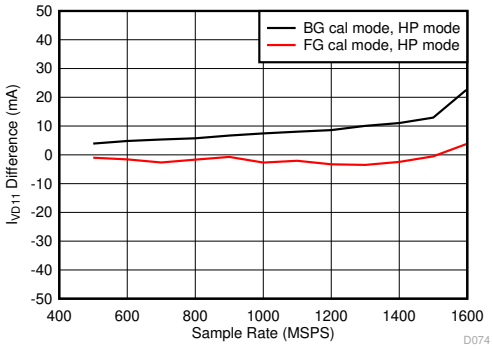
5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



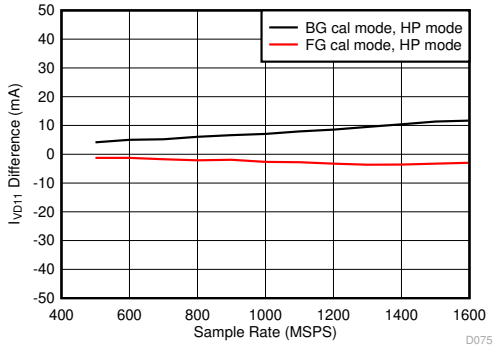
与较低功耗后台校准的差异，不受 JMODE 影响

图 5-117. 单通道，校准模式下的 I_{VA11} 变化



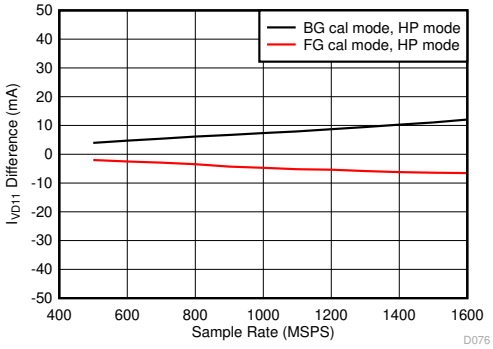
与较低功耗后台校准的差异，不受 JMODE 影响

图 5-118. 四通道，校准模式下的 I_{VD11} 变化



与较低功耗后台校准的差异，不受 JMODE 影响

图 5-119. 双通道，校准模式下的 I_{VD11} 变化



与较低功耗后台校准的差异，不受 JMODE 影响

图 5-120. 单通道，校准模式下的 I_{VD11} 变化

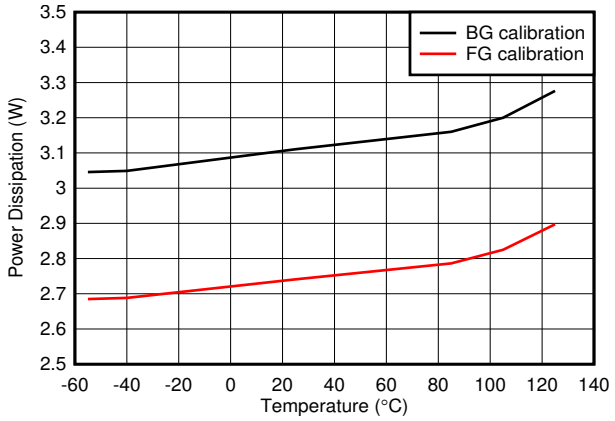


图 5-121. 四通道，功率耗散与温度间的关系

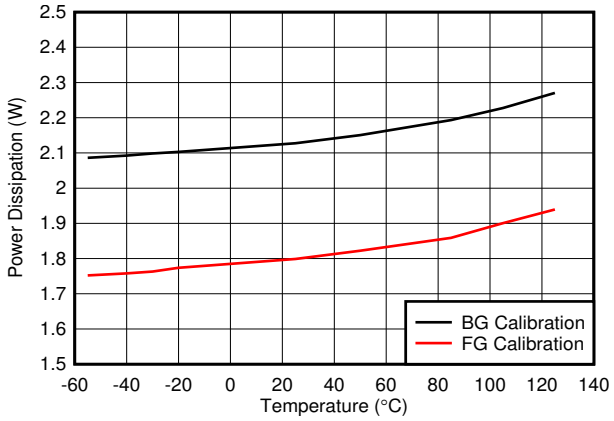


图 5-122. 双通道，功率耗散与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。

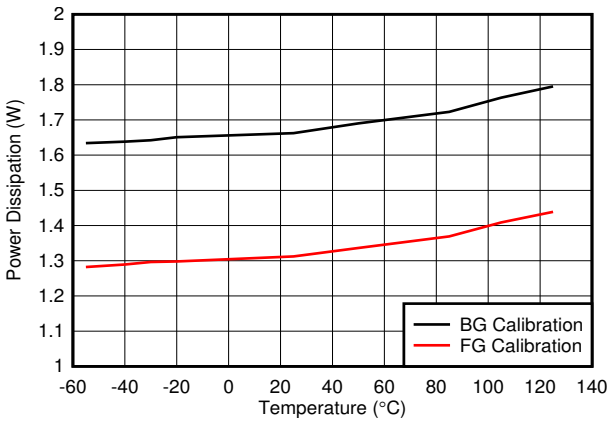
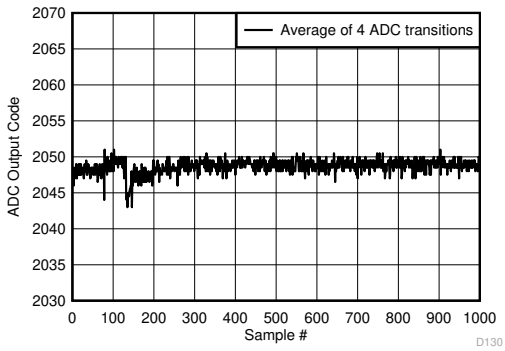
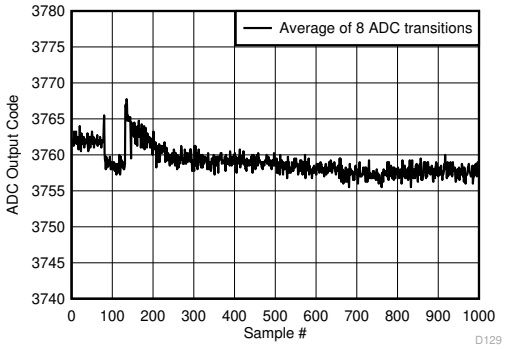


图 5-123. 单通道，功率耗散与温度间的关系



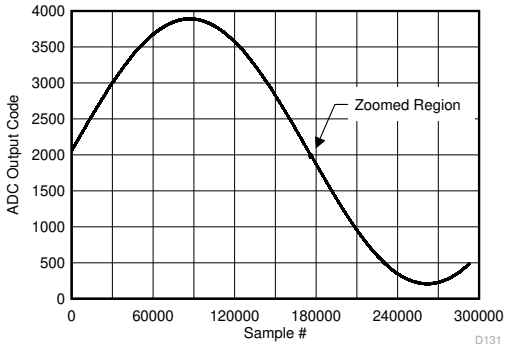
后台校准，中量程输入电压，ADC_SRC_DLY=31，MUX_DLY=30

图 5-124. 后台校准内核转换（中量程电压）



后台校准，输入电压失调~满量程的 90%，ADC_SRC_DLY=31，MUX_DLY=30

图 5-125. 后台校准内核转换（失调电压）



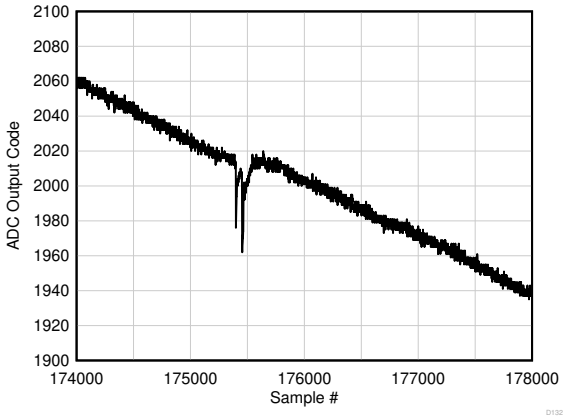
后台校准，ADC_SRC_DLY=31，MUX_DLY=30，放大区域如下图所示

图 5-126. 后台校准内核转换（交流信号）

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性（续）

25°C 时的典型值，A_{IN} = -1 dBFS，F_{IN} = 347MHz，F_S = 1600MSPS，高功耗模式，FG 校准，JMODE 0，C-PLL 关闭，C-PLL_{REF} = 50MHz，C-PLL 开启时 VA11Q 和 VCLK11 噪声抑制开启，四通道运行，标称电源电压，除非另有说明。SNR 结果不包括 DC 和 HD2 至 HD9；SINAD、ENOB 和 SFDR 结果不包括 DC。



后台校准，ADC_SRC_DLY=31，MUX_DLY=30，缩小区域如上图所示

图 5-127. 后台校准内核转换（放大交流信号）

6 详细说明

6.1 概述

ADC12QJ1600-SP 是一款四通道、12 位、1.6GSPS 模数转换器 (ADC)。该器件经过优化实现了低功耗，同时还能保持高采样率和高性能。由于具有功耗、采样率和 12 位分辨率等方面的组合优势，所以该器件非常适用于光检测和测距（激光雷达）系统。高通道密度和宽输入带宽也使得该器件成为多通道示波器和数字转换器以及小型电子战系统的理想选择。

该器件具有缓冲输入，全功率输入带宽 (-3dB) 为 6GHz。该器件能够对 L 频带 (1-2GHz) 和 S 频带 (2-4GHz) 进行直接射频采样，因此适用于电子战系统和卫星通信设备（高达 4GHz）。

该器件中包含许多时钟功能，可放宽系统时序要求并简化系统架构。该器件配备带集成压控振荡器 (VCO) 的内部锁相环 (PLL)，可从低频参考生成采样时钟，因此无需使用外部高频时钟发生器。低频 PLL 参考还放宽了 SYSREF 时序参考的时序要求，从而实现确定性延迟和多器件同步。可以绕过内部 PLL，以便直接将高频采样时钟发送到器件以获得最佳性能。SYSREF 窗口化功能通过直接测量和调整器件内部的 SYSREF 延迟，放宽了 SYSREF 的建立和保持要求，而无需满足外部时序要求。PLL 参考时钟可从器件输出，为数字逻辑 FPGA 或 ASIC 或相邻器件提供时钟，从而无需使用外部时钟缓冲器和分配器件。两个额外的 CMOS 输出可以发送 PLL 参考时钟的副本或分频副本，为系统中的额外器件提供时钟。第四个时钟输出可以为 FPGA 或 ASIC 中的收发器块输出串行器/解串器参考时钟，以提供完整的系统时钟解决方案。时间戳输入可用于通过外部触发器来标记特定样本。时间戳通过 JESD204C 接口输出，用于标记 FPGA 或 ASIC 中的样本。也可以选择从器件（而不是串行器/解串器参考时钟）输出时间戳信号，从而将重定时触发器复制到其他器件（如激光二极管的脉冲驱动器）。

JESD204C 串行接口通过增加每个通道的串行器/解串器比特率来减少所需的通道数，从而减少印刷电路板 (PCB) 的布线量，最终缩小系统尺寸。JESD204C 接口模式支持二至八个通道和高达 17.16Gbps 的串行器/解串器波特率，使每个应用都能选择最佳配置。8B 和 10B 以及 64B 和 66B 数据编码选项均可用。8B 和 10B 编码模式向后兼容 JESD204B 接收器，而 64B 和 66B 编码模式则通过减少链路开销来提高效率。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

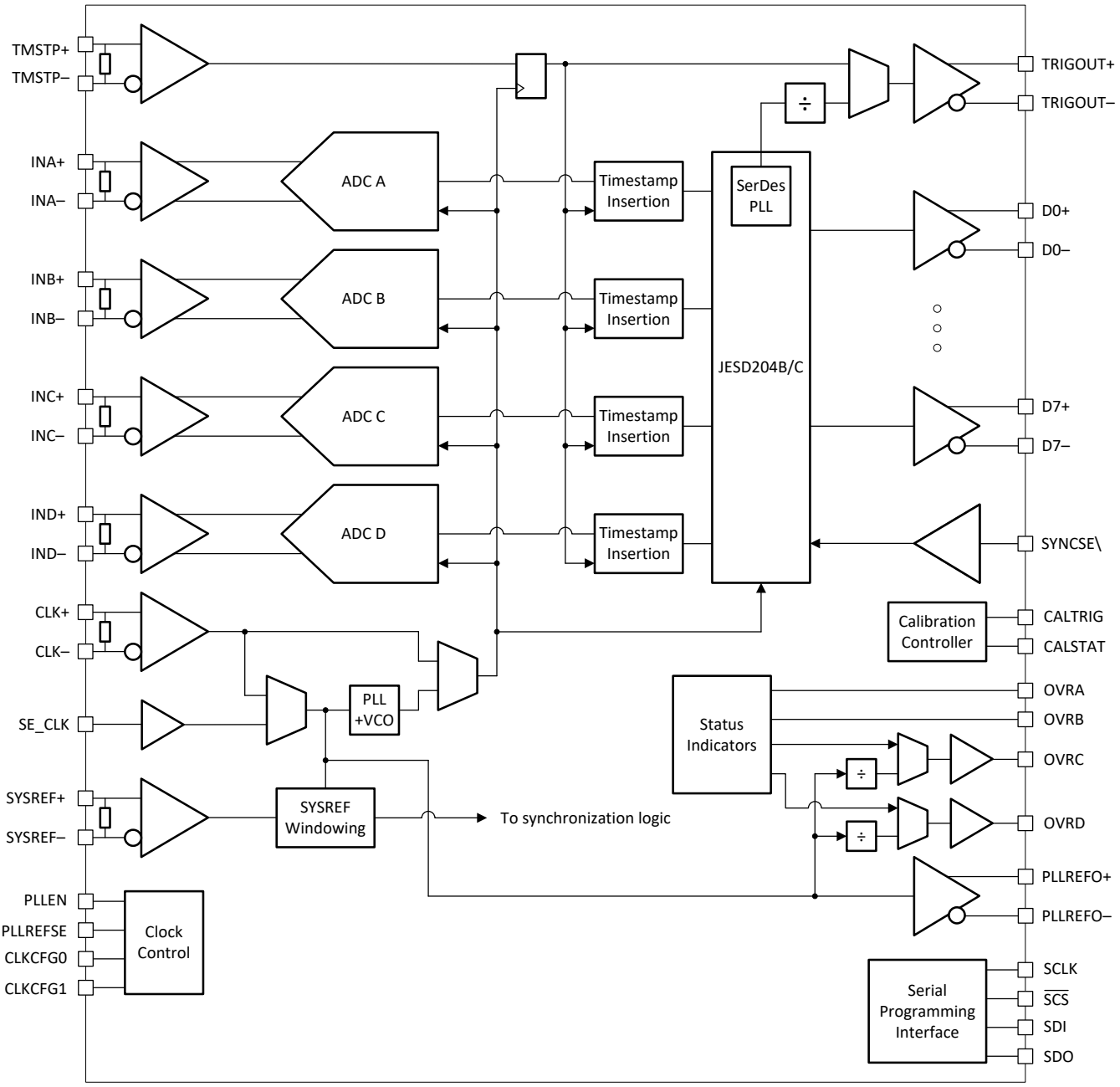


图 6-1. 四通道功能方框图

6.3 特性说明

6.3.1 模拟输入

器件的模拟输入端配有内部缓冲器，可支持高输入带宽并能将采样电容器干扰噪声与输入电路隔离。模拟输入必须采用差分驱动，因为单端信号运行会导致性能下降。支持模拟输入的交流耦合和直流耦合。模拟输入专为 1.1V 的输入共模电压 (V_{CMI}) 而设计，采用单端 50Ω 电阻器将该电压在内部端接至每个输入引脚上 VA11 的电源处。直流耦合输入信号的共模电压必须满足建议运行条件表中 V_{CMI} 器件输入共模要求。该器件有一项内部模拟输入保护功能，在超出范围输入条件下能保护 ADC 输入；请参阅*模拟输入保护*部分。图 6-2 提供了简化的模拟输入模型。

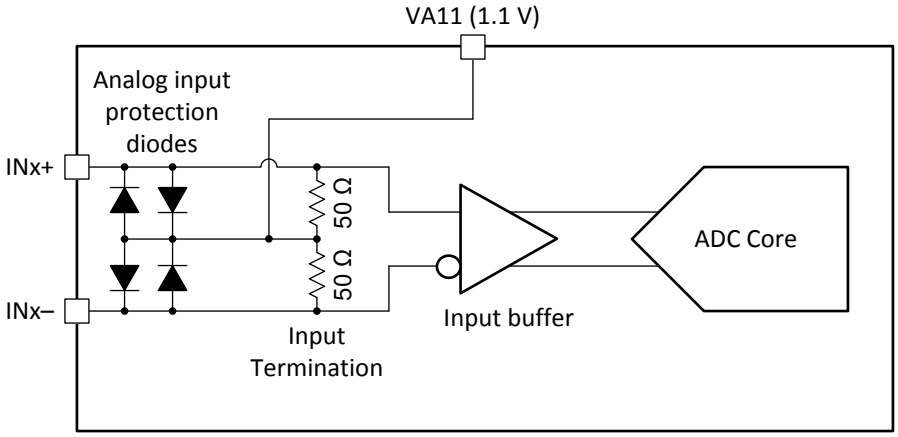


图 6-2. 模拟输入内部端接和保护图

6.3.1.1 模拟输入保护

内部钳位二极管可在超出范围的情况下拉取或灌入输入电流，从而保护模拟输入免受过驱条件的影响，请参阅绝对最大额定值表中的电压和电流限制。绝对最大额定值表中还为峰值射频输入功率定义了超范围保护，该保护与频率无关。如果运行条件高于建议运行条件表中列出的最大条件会导致时基故障 (FIT) 率升高，则系统必须尽快纠正过驱条件。图 6-2 显示了模拟输入保护二极管。

6.3.1.2 满量程电压 (V_{FS}) 调整

输入满量程电压 (V_{FS}) 可通过 FS_RANGE 进行精确增量调整。所有输入均设置为相同的满量程电压设置。可用的调整范围如直流规格表中所示。较大的满量程电压可提高 SNR 和本底噪声（以 dBFS/Hz 为单位）性能。

6.3.1.3 模拟输入失调电压调整

四通道器件每个模拟输入端的输入失调电压可通过 OFSxy 寄存器进行调整，其中 x 表示 ADC 内核（0、1、2、3、4 或 5）、y 表示 ADC 内核 2（A 或 B）和内核 3（C 或 D）的模拟输入。在 ADC 内核 0、1、4 和 5 中，省略了 y 参数，因为这些内核始终对相同的模拟输入进行采样。在 ADC 内核 0 和 1 中，省略了 y 参数，因为这些内核始终对相同的模拟输入进行采样。在单通道器件中，x 表示 ADC 内核（0 或 2），ADC 内核 0 省略了 y 参数，因为内核始终对相同的模拟输入进行采样。差分调节范围约为 33mV 至 -33mV。更多信息，请参阅*校准模式和修整*部分。

6.3.1.4 ADC 内核

该器件由四通道器件共用的六个 ADC 内核。根据工作模式的要求，动态交换内核以进行校准。该部分重点介绍了 ADC 内核的理论和主要特性。

6.3.1.4.1 ADC 工作原理

在 CLK± 的上升沿捕获模拟输入端的差分电压。捕获输入信号后，ADC 先比较电压与内部基准电压，再将模拟电压转换为数字值。如果负输入端的电压（即 INA– ）高于正输入端的电压（即 INA+），则数字输出为负二进制补码值。如果正输入端的电压高于负输入端的电压，则数字输出为正二进制补码值。公式 1 可以根据数字输出计算输入引脚上的差分电压。

Copyright © 2025 Texas Instruments Incorporated

$$V_{IN} = \frac{Code}{2^N} V_{FS} \quad (1)$$

其中

- 代码是指有符号的十进制输出代码（例如，-2048 至 +2047）
- N 为 ADC 分辨率
- 及 V_{FS} 是直流规格表中指定的 ADC 满量程输入电压，包括通过编程 FS_RANGE 执行的任何调整

6.3.1.4.2 ADC 内核校准

需要进行 ADC 内核校准来优化 ADC 内核的模拟性能。当工作条件（即温度）发生显著变化时，必须重复校准，以保持最佳性能。该器件配有内置校准例程，可作为前台操作或后台操作运行。前台操作需要 ADC 停机，一旦停机，ADC 不再对输入信号进行采样，从而完成此过程。后台校准可以用来克服这种限制，并使 ADC 能持续运行。参阅*校准模式和修整*部分，了解每种模式的详细信息。

6.3.1.4.3 模拟基准电压

器件的基准电压源自内部带隙基准。为方便用户，BG 引脚上提供基准电压的缓冲版本。该输出具有 ±100µA 的输出电流能力。如果需要更大的电流，BG 输出必须被缓冲。未提供使用外部基准电压的配置，但满量程输入电压可以通过满标量程寄存器的设置进行调整。请注意，VA11 电源电压应用于设置前端全差分放大器的输出共模电压，并且 BG 输出不应用于此目的。

6.3.1.4.4 ADC 超范围检测

在管理系统增益时为了能够快速响应，需要一个低延迟和可配置的超范围功能。超范围功能的工作原理是监视 ADC 上已转换的 12 位样本，以快速检测 ADC 是否接近饱和或已经处于超范围状态。根据可编程阈值 OVR_TH 检查 ADC 数据高 8 位的绝对值。编入 OVR_TH 中的阈值用于所有模拟输入。 表 6-1 列出了如何将 ADC 样本转换为绝对值以比较阈值。

表 6-1. 转换 ADC 样本，进行超范围比较

ADC 样本（偏移二进制）	ADC 样本（二进制补码）	绝对值	用于比较的高 8 位
1111 1111 1111 (4095)	0111 1111 1111 (+2047)	111 1111 1111 (2047)	1111 1111 (255)
1111 1111 0000 (4080)	0111 1111 0000 (+2032)	111 1111 0000 (2032)	1111 1110 (254)
1000 0000 0000 (2048)	0000 0000 0000 (0)	000 0000 0000 (0)	0000 0000 (0)
0000 0001 0000 (16)	1000 0001 0000 (-2032)	111 1111 0000 (2032)	1111 1110 (254)
0000 0000 0000 (0)	1000 0000 0000 (-2048)	111 1111 1111 (2047)	1111 1111 (255)

通过将 OVR_EN 设置为 1 来启用超范围检测。如果绝对值的高 8 位在监控期间等于或超过 OVR_TH 阈值，则与超范围 ADC 通道关联的超范围位将被设置为 1，否则超范围位为 0。在四通道器件中，可以分别在 ADC 通道 A、B、C 和 D 的 ORA、ORB、ORC 或 ORD 输出引脚上监控超范围状态。OVR_N 可用于设置上次超范围事件的输出脉冲持续时间。表 6-2 列出了各种 OVR_N 设置的超范围脉冲长度。

表 6-2. 超范围监控周期

OVR_N	自上次超范围事件以来的超范围脉冲长度（DEVCLK 周期）
0	8
1	16
2	32
3	64
4	128
5	256
6	512

Copyright © 2025 Texas Instruments Incorporated

表 6-2. 超范围监控周期（续）

OVR_N	自上次超范围事件以来的超范围脉冲长度（DEVCLK 周期）
7	1024

通常，OVR_TH 阈值设置为接近 8 位的满量程值（例如 228）。触发该阈值后，典型的系统会关闭系统增益以避免削波。然后，下游逻辑器件监控输出样本以确定超范围条件何时不再存在，然后根据需要增加系统增益。

6.3.1.4.5 误码率 (CER)

ADC 内核可能会在样本中产生位误差，通常称为*代码误差 (CER)* 或称为*闪码*，这是由不理想的比较器限制引起的元稳定性导致的。该器件使用独特的 ADC 架构，与传统流水线型闪存或逐次逼近寄存器 (SAR) ADC 相比，该架构本身能显著改善代码误差率。在等效采样率下，该器件的代码误差率比其他架构可实现的误差率高出多个数量级，从而显著提高了信号可靠性。

6.3.2 温度监测二极管

TDIODE+ 和 TDIODE- 引脚上有一个内置热监测二极管。该二极管有助于在较高环境温度环境中监控温度对器件进行温度监测和表征分析。尽管片上二极管的表征不太明确，但通过在已知环境温度或电路板温度下执行基线测量（失调电压），并使用直流规格表中提供的二极管电压斜率创建线性方程，便可以有效地使用该二极管。在器件未上电或 PD 引脚置位的情况下执行失调电压测量，可更大限度地减少器件自发热。只有在进行偏移测量时，才可以长时间断开 PD 引脚。推荐的监控器件包括 LM95233 器件以及德州仪器 (TI) 的类似远程二极管温度监控产品。

6.3.3 时间戳

TMSTP+ 和 TMSTP– 差分输入可作为时间戳输入使用，根据外部触发事件相对于采样信号的时序标记特定样本。当 TRIGOUT_EN 设置为 1 以启用 TRIGOUT± 输出且 TRIGOUT_MODE 设置为 3 时，TMSTP± 输入被重新定时到内部采样时钟，并且可以通过 TRIGOUT± 输出重复执行以触发外部器件（例如激光驱动器）。也可以通过 JESD204C 接口发送 TMSTP± 输入，以标记特定的 ADC 样本。必须设置 TIME_STOP_EN 才能输出时间戳数据。启用后，时间戳信号通过 JESD204C 接口发送，以代替 JESD204C 模式样本大小的 LSB（基于 表 6-15 中的 N' 参数）。例如，在 JMODE 0 中，JESD204C 样本大小 (N') 为 12，因此时间戳信息在 LSB ([0]) 位的位置发送，而 12 位样本（截断为 11 位）在 [11:1] 位的位置发送。施加到 TMSTP± 的输入可以与 ADC 采样时钟异步，并与模拟输入大约同时进行采样。实际上，TMSTP± 输入充当与 ADC 内核并行采样的 1 位 ADC，而且两者通过器件的延迟时间都很匹配。必须启用 TMSTP± 输入 (TMSTP_RECV_EN)，才能使用时间戳功能。

6.3.4 时钟

器件时钟子系统的输入包括两个时钟输入（CLK± 和 SE_CLK）和一个同步信号 (SYSREF±)。通过将 PLL_EN 引脚设置为高电平，可以选择使用内部锁相环 (PLL) 和压控振荡器 (VCO) 从低频基准生成 ADC 采样时钟。采样时钟 PLL 被称为转换器 PLL (C-PLL)。C-PLL 基准可提供给 CLK± 差分输入或 SE_CLK 单端输入。通过将 PLLREF_SE 引脚设置为高电平来选择单端 C-PLL 基准输入。为了获得最佳性能，当 PLL_EN 和 PLLREF_SE 保持为低电平时，可以绕过内部 C-PLL，并直接向 CLK± 输入提供采样时钟。请注意，如果 C-PLL 被禁用，则不能使用 SE_CLK。当启用 PLL 时，可以通过 PLLREFO±LVDS 输出将 C-PLL 基准时钟发送至 FPGA 或 ASIC 或相邻器件。通过 CLKCFG[1:0] 引脚或通过 SPI 启用后，可以在 ORC 和 ORD 中输出 PLLREFO 的两个额外副本或分频副本。如果 CMOS 控制引脚（PLL_EN、CLKCFG0 和 CLKCFG1）设置适当且 PD 保持为低电平，则 PLLREFO 以及 ORC 和 ORD 时钟输出在器件上电时可用。将 PD 切换为高电平以给器件断电时，也会给时钟输出断电。

此外，串行器/解串器块包含一个称为 S-PLL 的 PLL，该 PLL 从 ADC 采样时钟生成串行器/解串器输出时钟。S-PLL 生成的时钟可进行分频，并从 TRIGOUT±LVDS 输出端输出，然后发送到 FPGA 或 ASIC 给串行器/解串器接收器计时。由所选的时钟输入（CLK±或 SE_CLK）捕获 SYSREF 信号。SYSREF 窗口化块用于测量和优化 SYSREF 信号相对于所选时钟输入的设置和保持时序。SYSREF 窗口化放宽了外部信号的时序要求。图 6-3 展示了时钟子系统。

Copyright © 2025 Texas Instruments Incorporated

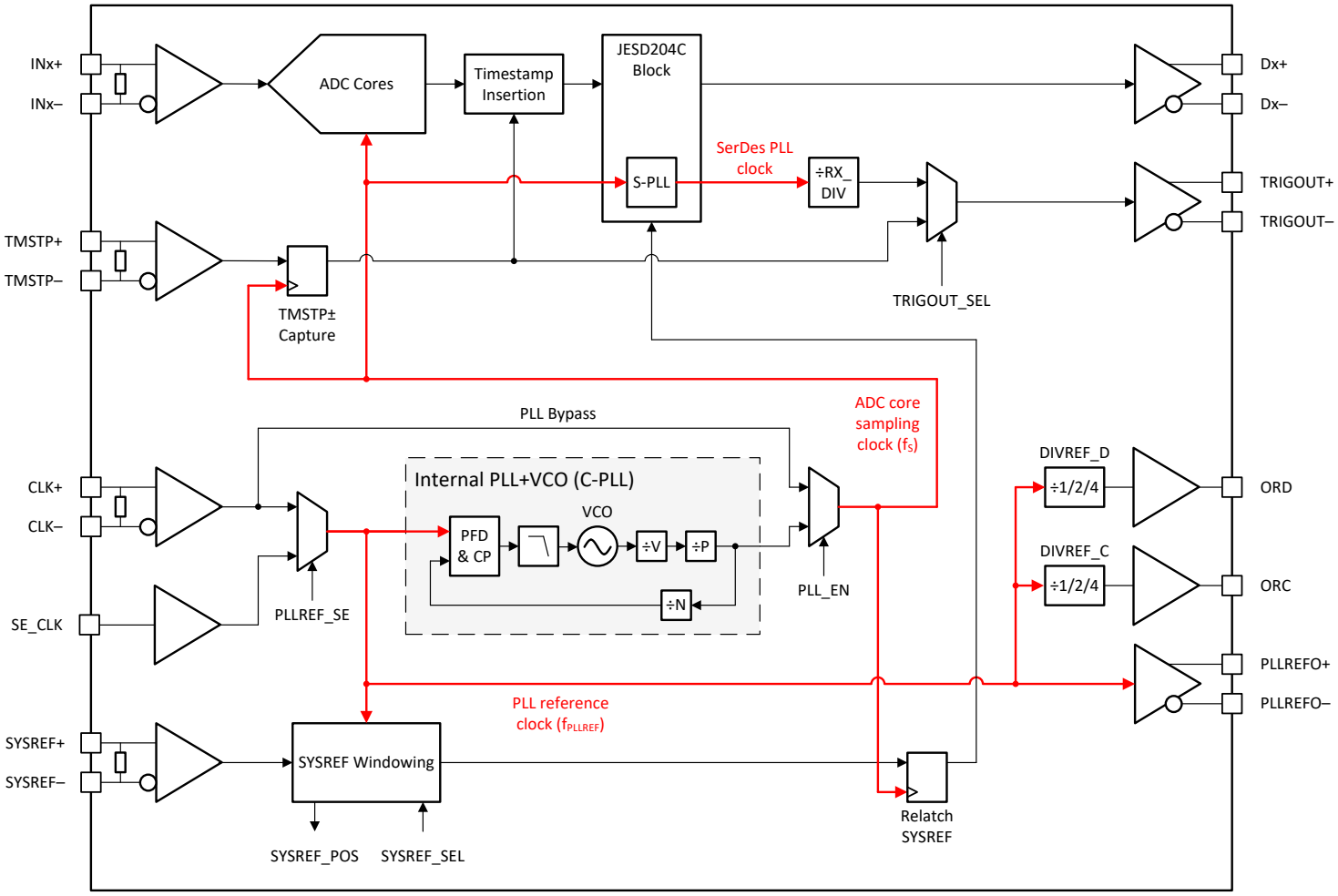


图 6-3. 时钟子系统

PLL 启用时将 C-PLL 生成的时钟或 PLL 禁用时将提供给 CLK± 的时钟用作 ADC 内核的采样时钟，并且给数字处理和串行器 S-PLL 计时。无论启用还是禁用 PLL，均使用低噪声（低抖动）时钟输入，以保持 ADC 内的高信噪比 (SNR)。

6.3.4.1 转换器 PLL (C-PLL)，用于采样时钟生成

配有集成 VCO 的内部 PLL 称为转换器 PLL (C-PLL)，可用于从低频基准信号生成高速采样时钟，以简化系统时钟架构，并避免高速时钟在电路板周围布线。图 6-4 展示了 C-PLL 架构。通过将 PLL_EN 引脚设置为高电平来启用 PLL。

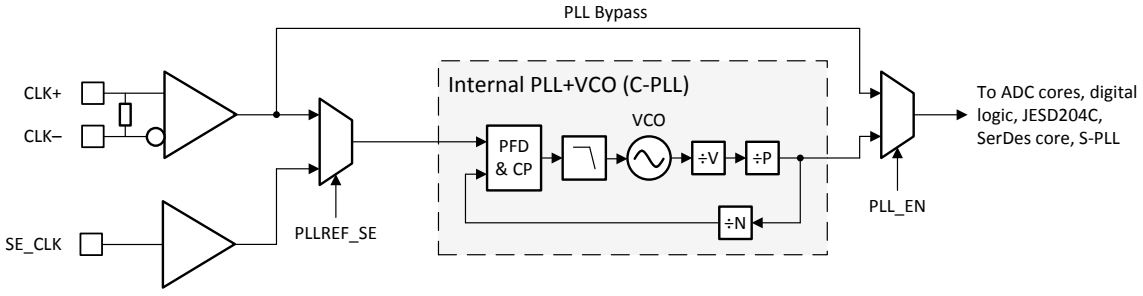


图 6-4. 转换器 PLL (C-PLL) 架构

如果将 PLLREF_SE 引脚设置为低电平，则 PLL 从 CLK± 引脚获取低频基准时钟；如果将 PLLREF_SE 引脚设置为高电平，则 PLL 从 SE_CLK 引脚获取低频基准时钟。基准时钟直接应用于相位频率检测器 (PFD)。PFD 将基准时钟相位与从 VCO 分频的时钟相位进行比较。因此, VCO 频率 (f_{VCO}) 除以路径中的所有分频器 (V、P、N) 必须等于基准时钟频率 (f_{REF})。然后，采样频率 (f_S) 等于基准频率乘以 N 分频器之积或 VCO 频率除以 V 和 P 分频器之商。方程式 2 和 方程式 3 指定了控制 PLL 运行的公式。

$$f_S = f_{VCO} \div (V \times P) \quad (2)$$

其中

- f_S 是 ADC 内核采样率
- f_{VCO} 是 VCO 频率
- V 是 VCO 分频器
- P 是 VCO 预分频器

$$f_{REF} \times N = f_S \quad (3)$$

其中

- f_{REF} 是 PLL 基准频率
- N 是 PLL 反馈分频器

方程式 4 可用于计算 V 和 P 分频器的乘积 (V×P)。只需选择 V 和 P，使它们的乘积等于所计算出的乘积。方程式 5 可用于根据所需的采样率和基准频率计算 N 分频器。

$$V \times P = f_{VCO} \div f_S \quad (4)$$

$$N = f_S \div f_{REF} \quad (5)$$

器件中的 VCO 调谐范围有限，这限制了 PLL 可生成的 ADC 采样率。表 6-3 中提供了可用的 VCO 分频值 (P 和 V 的乘积) 和生成的采样率。当启用 PLL 时，器件只有 表 6-3 中的采样率可用。如果 PLL 不支持所需的采样率，则必须禁用 PLL，并向 CLK± 引脚提供所需的采样时钟。

表 6-3. 可用的 VCO 分频值和可实现的 ADC 采样率

VCO 分频值 (P×V)	最小 ADC 内核采样率	最大 ADC 内核采样率
5	1440 MSPS	1600 MSPS
6	1200 MSPS	1367 MSPS
8	900 MSPS	1025 MSPS
10	720 MSPS	820 MSPS
12	600 MSPS	683 MSPS
16	500 MSPS	513 MSPS

在更改任何 C-PLL 设置之前，将寄存器 CPLL_RESET 设置为 1 (地址= 0x5C CPLL_RESET) ，C-PLL 应保持在复位状态。C-PLL 分频器可以使用寄存器 PLL_P_DIV (地址= 0x3D PLL_P_DIV) 、PLL_V_DIV (地址= 0x03D PLL_V_DIV) 和 PLL_N_DIV (地址= 0x3E PLL_N_DIV) 进行编程。对分频器进行编程后，应首先将寄存器 VCO_CAL_EN 设置为 1 (地址= 0x5D VCO_CAL_EN) 来运行 VCO 校准。将寄存器 CPLL_RESET (地址= 0x5C CPLL_RESET) 设置为 0 使 C-PLL 退出复位时，将运行 VCO 校准。当寄存器 VCO_CAL_DONE (地址= 0x5E VCO_CAL_DONE) 返回 1 且寄存器 CPLL_LOCKED (地址= 0x208 CPLL_LOCKED) 为 1 时，校准完成且 C-PLL 被锁定。

C-PLL 包括 VA11Q 和 VCLK11 的噪声抑制选项，可减少采样抖动和基准时钟输入杂散，但代价是每个选项的电流大概为 20mA。控制位位于 CLK_CTRL2 寄存器 (地址= 0x2B CLK_CTRL2) 中。

Copyright © 2025 Texas Instruments Incorporated

6.3.4.2 LVDS 时钟输出（PLLREFO±、TRIGOUT±）

提供两个 LVDS 时钟输出以简化系统时钟架构。图 6-3 中显示了这些器件。第一个 LVDS 时钟输出是 PLLREFO±。PLLREFO± 直接从由 PLLREF_SE 确定的、已选择的基准时钟输入 (CLK± 或 SE_CLK) 重复 PLL 基准时钟。PLLREFO± 输出在 C-PLL 被启用时，被自动启用，但是可通过将 PLLREFO_EN 设置为 0，将其禁用。该输出仅在 PLL_EN 引脚设置为高电平且 PD 设置为低电平时可用。将 PD 设置为高电平会禁用此输出；因此，如果系统运行需要 PLLREFO±，则不应使用 PD。PLLREFO± 的示例用例包括驱动 FPGA 或 ASIC 的数字内核结构，或者它可以菊链式连接附加器件的 CLK± 输入引脚，以便为第二个器件提供 PLL 基准时钟。PLLREFO± 输出可按系统要求以菊花链形式连接至多个器件的 CLK± 输入 ADC12QJ1600-SP。请注意，SYSREF 必须由单独的时钟源（时钟芯片、FPGA、ASIC 等）提供，并且必须满足每个器件相对于基准时钟输入的设置和保持时间，以便实现确定性延迟和同步。

第二个 LVDS 时钟输出为 TRIGOUT±。该输出可以来自 TMSTP± 输入（作为时间戳或触发器输出），也可以来自 JESD204C 串行器/解串器 PLL (S-PLL)。该时钟输出在器件启动时不可用，必须通过 SPI 接口启用。S-PLL 可由 RX_DIV 分频器进行分频，并从 TRIGOUT± 引脚输出，作为 FPGA 或 ASIC 收发器块的基准时钟。启用 TRIGOUT± 输出并通过 TRIGOUT_CTRL 寄存器设置 TRIGOUT± 工作模式（包括 RX_DIV 分频器）。当 S-PLL 被选为 TRIGOUT± 源时，TRIGOUT± 时钟输出频率可通过等式 6 计算得出。

$$f_{TRIGOUT} = f_{LINERATE} \div RX_DIV \quad (6)$$

其中

- $f_{TRIGOUT}$ 是 TRIGOUT± 输出时钟频率 (MHz)
- $f_{LINERATE}$ 是串行器/解串器线速率 (Mbps)
- RX_DIV 是 S-PLL 输出分频器

6.3.4.3 可选 CMOS 时钟输出（ORC、ORD）

当通过 CLKCFG[1:0] 或 SPI 进行配置时，ORC 和 ORD 上提供了额外的 CMOS PLL 基准时钟输出。当 CLKCFG[1:0] 用于启用时钟输出且 PD 保持低电平时，时钟输出在器件上电时可用。将 PD 引脚设置为高电平会禁用这些输出；因此，当系统运行需要这些时钟时，不应使用 PD 引脚。通过 DIVREF_C_MODE 和 DIVREF_D_MODE SPI 寄存器设置，CLKCFG[1:0] 引脚可实现 SPI 寄存器覆盖。请注意，CLKCFG[1:0] 可用于启用或禁用 ORC 和 ORD 并设置 ORC 的输出分频器，但不能设置 ORD 的输出分频器（仅启用或禁用）。DIVREF_C 和 DIVREF_D 功能的优先级高于超范围，如 表 6-4 和 表 6-5 所示。将这些输出用作时钟输出会导致输出频率下的 ADC 输出频谱中出现杂散，并且输出频率的谐波也会出现杂散。将这些输出上的电容负载限制在 10pF 以下，以限制噪声影响。

备注

DIVREF_D 功能仅在 DIVREF_C 也启用 (DIVREF_C_MODE > 0) 时可用。如果只需要一个时钟输出，应将外部器件连接到 ORC 并启用 DIVREF_C 功能。

表 6-4. 设置 ORC 功能

CPLL_OVR_EN	CLKCFG1	CLKCFG0	DIVREF_C_MODE	OVR_EN	ORC 功能
0	0	0	X	0	禁用
0	0	0	X	1	通道 C 超范围
0	0	1	X	X	PLL 基准
0	1	0	X	X	PLL 基准 / 2
0	1	1	X	X	PLL 基准 / 4
1	X	X	0x0	0	禁用
1	X	X	0x0	1	通道 C 超范围
1	X	X	0x1	X	PLL 基准
1	X	X	0x2	X	PLL 基准 / 2

Copyright © 2025 Texas Instruments Incorporated

表 6-4. 设置 ORC 功能（续）

CPLL_OVR_EN	CLKCFG1	CLKCFG0	DIVREF_C_MODE	OVR_EN	ORC 功能
1	X	X	0x3	X	PLL 基准 / 4

表 6-5. 设置 ORD 功能

CPLL_OVR_EN	CLKCFG1	CLKCFG0	DIVREF_D_MODE	OVR_EN	ORD 功能
0	0	0	X	0	禁用
0	0	0	X	1	通道 D 超范围
0	0	1	X	X	PLL 基准
0	1	0	X	X	PLL 基准
0	1	1	X	X	PLL 基准
0	0	0	0x0	0	禁用
1	X	X	0x0	1	通道 D 超范围
1	X	X	0x1	X	PLL 基准
1	X	X	0x2	X	PLL 基准 / 2
1	X	X	0x3	X	PLL 基准 / 4

6.3.4.4 用于 JESD204C 子类 1 确定性延迟的 SYSREF

SYSREF 是一种系统时序基准，用于确定性延迟的 JESD204C 子类 1 实现。SYSREF 用于实现确定性延迟和多器件同步。为了实现可重复延迟和同步，必须用正确的器件时钟边沿捕获 SYSREF。该器件具有 SYSREF 窗口化功能，可降低对外部时钟电路的要求并简化同步过程。SYSREF 窗口化可替代传统的建立时间和保持时间，因为在使用 SYSREF 窗口化时不再需要这些时间。SYSREF 可以作为单个脉冲或周期时钟实现。在周期性实现中，SYSREF 必须等于 8B/10B 编码模式下的本地多帧时钟频率，或其整数分频，或 64B 或 66B 编码模式下的本地扩展多块时钟频率。公式 7 用于计算 8B/10B 编码模式下的有效 SYSREF 频率。在 64B 或 66B 模式下，分母变为 66 × 32 × E × n，其中 E 是扩展多块中的多块数。

$$f_{SYSREF} = \frac{R \times f_{CLK}}{10 \times F \times K \times n} \quad (7)$$

其中

- R 和 F 通过 JMODE 设置（请参阅 表 6-15）
- f_{CLK} 是器件时钟频率 (CLK±)
- K 是编程的多帧长度（有关有效的 K 设置，请参阅 表 6-15）
- n 是任意正整数

6.3.4.4.1 用于多器件同步和确定性延迟的 SYSREF 采集

时钟子系统主要负责实现多器件同步和确定性延迟。该器件使用 JESD204C 子类 1 方法来实现确定性延迟和同步。子类 1 要求在每次系统上电时及系统中每个器件上，通过确定性时钟（CLK± 或 SE_CLK）边沿捕获 SYSREF 信号。这一要求对相对于 CLK± 的 SYSREF 施加了建立和保持限制。在所有系统运行条件下，都很难以千兆采样时钟频率来满足该要求。该器件具有很多功能，可简化同步过程并放宽系统时序限制：

- 该器件包含集成的 PLL 和 VCO，可生成高频采样时钟，通过仅要求时序相对于低频基准时钟的要求来放宽时序要求。
- SYSREF 位置检测器（相对于 CLK± 或 SE_CLK）和可选的 SYSREF 采样位置有助于用户在所有条件下满足建立时间和保持时间；请参阅 *SYSREF 位置检测器和采样位置选择（SYSREF 窗口）*一节

6.3.4.4.2 SYSREF 位置检测器和采样位置选择（SYSREF 窗口）

SYSREF 窗口化块用于首先检测 SYSREF 相对于输入时钟（CLK± 或 SE_CLK）上升沿的位置，然后选择所需的 SYSREF 采样实例（该实例是输入时钟的延迟版本），以更大程度地提高建立和保持时序裕度。在很多情况下，

Copyright © 2025 Texas Instruments Incorporated

单个 SYSREF 采样位置 (SYSREF_SEL) 足以满足所有系统（器件间的差异）和条件（温度和电压差异）的时序要求。但是，系统也可以使用此功能来扩展计时窗口（方法是在工作条件发生变化时跟踪 SYSREF 的移动），或者在生产测试时消除系统间的差异（方法是为每个系统在标称条件下寻找唯一的更优值）。

本节介绍了 SYSREF 窗口化块的正确用法。首先，将器件时钟和 SYSREF 应用于器件。SYSREF 相对于器件时钟周期的位置将被确定并存储在 SYSREF_POS 字段中。SYSREF_POS 的每个位代表一个潜在的 SYSREF 采样位置。如果 SYSREF_POS 中的位设置为 1，则相应的 SYSREF 采样位置可能存在建立或保持时间违例。确定有效的 SYSREF 采样位置（SYSREF_POS 的位置设置为 0）后，可以通过将 SYSREF_SEL 设置为对应于该 SYSREF_POS 位置的值来选择所需的采样位置。通常，选择两个建立和保持实例之间的中间采样位置。理想情况下，SYSREF_POS 和 SYSREF_SEL 在系统的标称工作条件（温度和电源电压）下执行，以便提供最大裕度来适应工作条件的变化。此过程可在最终测试中执行，并且可存储更优 SYSREF_SEL 设置，以便在每次系统上电时使用。此外，SYSREF_POS 可用于通过扫描系统温度和电源电压来表征系统工作条件下 CLK± 和 SYSREF± 之间的偏斜。对于 CLK± 到 SYSREF± 偏斜有较大变化的系统，此表征可用于在系统工作条件发生变化时跟踪更优 SYSREF 采样位置。通常，可以找到满足匹配良好的系统在所有条件下的时序要求的单个值，例如 CLK± 和 SYSREF± 来自单个时钟器件的条件。

每个 SYSREF_POS 采样位置之间的步长可使用 SYSREF_ZOOM 进行调整。当 SYSREF_ZOOM 设置为 0 时，延迟步长较粗。当 SYSREF_ZOOM 设置为 1 时，延迟步长较细。请参阅时序要求表，了解当 SYSREF_ZOOM 被启用和禁用时的延迟步长。通常，建议始终使用 SYSREF_ZOOM (SYSREF_ZOOM = 1)，除非未观察到转换区域（体现在 SYSREF_POS 中就是 1），低时钟速率就是这种情况。SYSREF_POS 的位 0 和 23 始终设置为 1，因为没有足够的信息来确定这些设置是否接近时序违例，尽管实际有效窗口可以扩展到这些采样位置之外。编程到 SYSREF_SEL 中的值是表示 SYSREF_POS 中所需位位置的十进制数。表 6-6 列出了一些 SYSREF_POS 读数示例和更优 SYSREF_SEL 设置。尽管 SYSREF_POS 状态寄存器提供了 24 个采样位置，但 SYSREF_SEL 仅允许选择前 16 个采样位置，对应于 SYSREF_POS 位 0 至 15。附加的 SYSREF_POS 状态位仅用于提供 SYSREF 有效窗口的额外信息。通常，由于电源电压的延迟变化，选择较低的 SYSREF_SEL 值，但在第四个示例中，值 15 可提供额外裕度，因此可以选择该值。

表 6-6. SYSREF_POS 读数和 SYSREF_SEL 选择示例

SYSREF_POS[23:0]			更优 SYSREF_SEL 设置
0x02E[7:0]（最大延迟）	0x02D[7:0](1)	0x02C[7:0](1)（最小延迟）	
b10000000	b01100000	b00011001	8 或 9
b10011000	b00000000	b00110001	12
b10000000	b01100000	b00000001	6 或 7
b10000000	b00000011	b00000001	4 或 15
b10001100	b01100011	b00011001	6

(1) 红色着色表示选定的位，如该表最后一列中所示。

6.3.5 JESD204C 接口

该器件使用 JESD204C 高速串行接口，可在数据转换器中将数据从 ADC 传输到接收逻辑器件。器件串行通道能够以 8B/10B 编码和 64B 或 66B 编码运行。使用 8B 或 10B 编码的 JESD204C 输出格式向后兼容现有的 JESD204B 接收器。最多可使用 8 个通道来降低与速度受限逻辑器件连接时的通道速率。8B 或 10B 和 64B 或 66B 编码的 JESD204C 之间存在一些差异，本节将重点介绍这些差异。图 6-5 展示了 8B 或 10B 编码的 JESD204C 接口的简化方框图，图 6-6 展示了 64B 或 66B 编码的 JESD204C 接口的简化方框图。

Copyright © 2025 Texas Instruments Incorporated

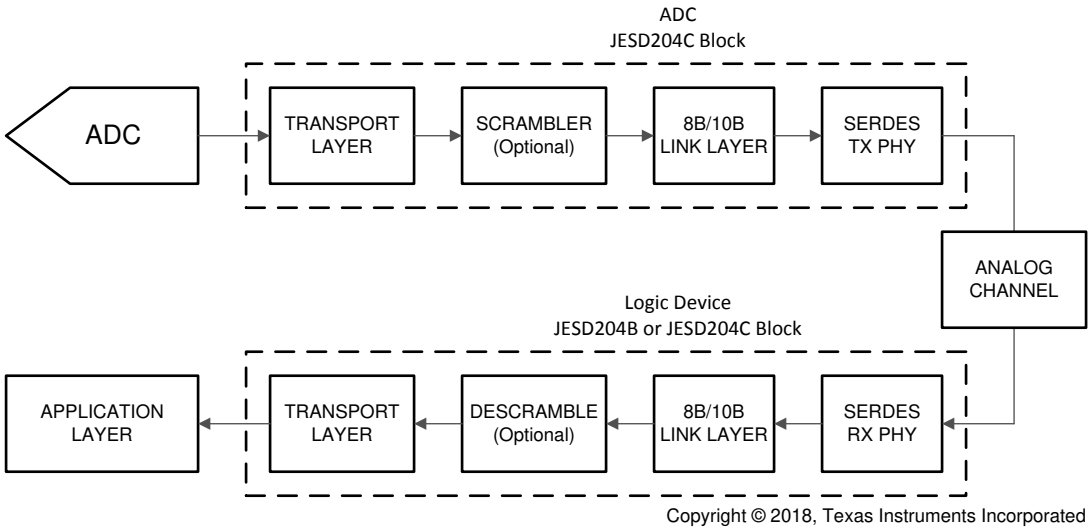


图 6-5. 8B/10B 编码的 JESD204C 简化接口图

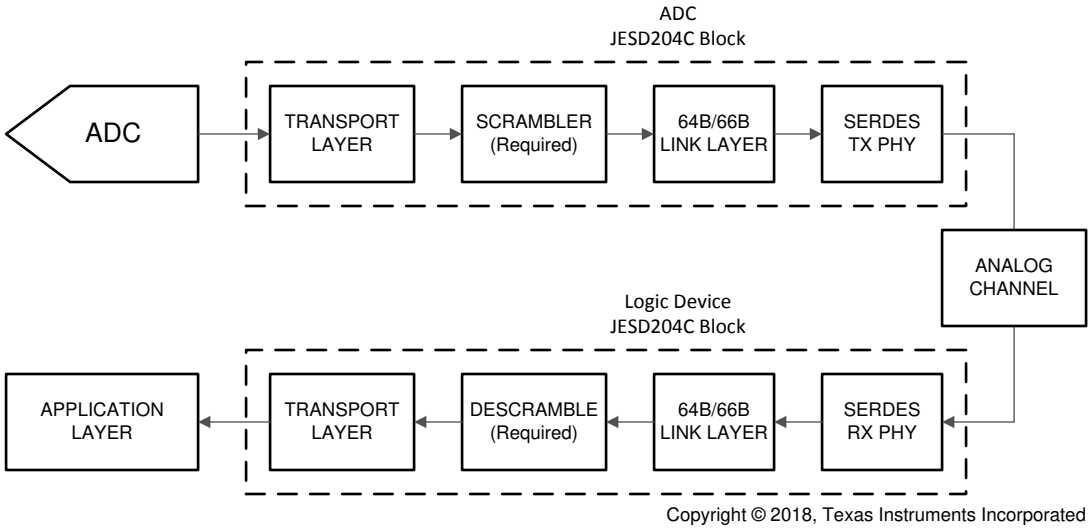


图 6-6. 64B/66B 编码的 JESD204C 简化接口图

JESD204C 接口中使用的各种信号和相关器件 ADC12QJ1600-SP 引脚名称在 表 6-7 中进行了简要总结以供参考。大多数信号都能在 8B 或 10B 和 64B 或 66B 编码的 JESD204C 之间通用，但 $\overline{\text{SYNC}}$ 除外，在 64B 或 66B 编码时，实现块同步不需要该信号。已编码到数据流中的同步标头可用于块同步，而不是 $\overline{\text{SYNC}}$ 信号。

表 6-7. JESD204C 信号总结

信号名称	引脚名称	8B/10B	64B/66B	说明
数据	D[7:0]+，D[7:0]–	是	是	8B/10B 或 64B/66B 编码后的高速串行化数据
$\overline{\text{SYNC}}$	$\overline{\text{SYNCSE}}$	是	否	链路初始化信号（握手），切换为低电平以启动代码组同步 (CGS) 过程。不用于 64B/66B 编码模式，除非用于 NCO 同步。
器件时钟	CLK+、CLK– 或 SE_CLK	是	是	ADC 采样时钟或 PLL 基准时钟也用于为数字逻辑和输出串行器计时

Copyright © 2025 Texas Instruments Incorporated

表 6-7. JESD204C 信号总结（续）

信号名称	引脚名称	8B/10B	64B/66B	说明
SYSREF	SYSREF+、SYSREF–	是	是	用于确定性复位每个 JESD204C 器件中的内部本地多帧时钟 (LMFC) 或本地扩展多块时钟 (LEMC) 计数器的系统计时参考

ADC12QJ1600-SP 并不支持 JESD204C 的所有可选特性。表 6-8 中提供了受支持特性和不受支持特性的列表。

表 6-8. 支持的 JESD204C 特性声明

字母标识符	参考条款	特性	在 ADC12QJ1600-SP 中支持
a	第 8 条	8B/10B 链路层	支持
b	第 7 条	64B/66B 链路层	支持
c	第 7 条	64B/80B 链路层	不支持
d	第 7 条	使用 64B/66B 或 64B/80B 链路层时的命令通道	不支持
e	第 7 条	使用 64B/66B 或 64B/80B 链路层时的前向纠错 (FEC)	支持
f	第 7 条	使用 64B/66B 或 64B/80B 链路层时的 CRC3	不支持
g	第 8 条	使用 8B/10B 链路层时的物理 $\overline{\text{SYNC}}$ 引脚	支持
h	第 7 条，第 8 条	子类 0	不受支持，但子类 1 发送器与子类 0 接收器兼容
i	第 7 条，第 8 条	子类 1	支持
j	第 8 条	子类 2	不支持
k	第 7 条，第 8 条	单个链路中的通道对齐	支持
l	第 7 条，第 8 条	子类 1，通过 MULTIREF 信号支持多点链路上的通道对齐	不支持
m	第 8 条	$\overline{\text{SYNC}}$ 接口时序与 JESD204A 兼容	支持
n	第 8 条	$\overline{\text{SYNC}}$ 接口时序与 JESD204B 兼容	支持

6.3.5.1 传输层

传输层从 ADC 输出获取样本，并将样本映射到帧内的八位位组。然后，将这些帧映射到可用的通道。八位位组到帧和帧到通道的映射由传输层设置（例如 L、M、F、S、N 和 N'）定义。八位位组为 8 位（在 8B/10B 或 64B/66B 编码之前），帧由 F 八位位组组成，帧映射到 L 通道。样本为 N 位，但通过链路以 N' 位的形式发送。样本来自 M 转换器，每个转换器每帧周期有 S 个样本。有时为了获得更理想的映射，M 会被人为地增大，例如，对于长帧，M 值越大，延迟越短。

在 表 6-15 中定义的器件中有许多预定义的传输层模式。表 6-13 中介绍了器件中传输层的高级配置参数。只需设置 JMODE 寄存器即可选择传输层模式。作为参考，表 6-14 中定义了 JESD204C 的各种配置参数。

当使用 8B/10B 编码时，链路层会进一步将帧映射为多帧，而当使用 64B/66B 编码时、则会映射为块、多块和扩展多块。

6.3.5.2 扰频器

在通道中传输数据之前，数据扰频器可用于对数据进行扰频。扰频用于避免因重复数据流而导致在传输的数据中出现频谱峰值。扰频器对于 8B 或 10B 编码模式是可选的，但对于 64B 或 66B 编码模式是必需的，以便有足够的频谱内容用于时钟恢复和自适应均衡。扰频器在编码前对数据进行操作，以使 8B 或 10B 扰频器在 10 位编码前对 8 位的八位位组进行扰频，64B 或 66B 扰频器在同步标头插入（66 位编码）之前对 64 位块进行扰频。JESD204C 接收器会自动将其解扰器与传入的扰频数据流同步。对于 8B/10B 编码，初始通道对齐序列 (ILA) 绝不

Copyright © 2025 Texas Instruments Incorporated

会进行扰频。可通过为 8B 或 10B 编码模式设置 SCR 来启用扰频，但是，扰频会在 64B/66B 模式下自动启用。对于由 JESD204C 标准定义的 8B 或 10B 编码以及 64B 或 66B 编码方案，扰频多项式是不同的。

6.3.5.3 链路层

链路层在 JESD204C 中为 8B 或 10B 和 64B 或 66B 编码方案提供多种用途，但是每种编码方案的实现存在一些差异。一般而言，链路层的职责包括：对数据换序（请参阅*扰频器*）、建立代码（8B 或 10B）或块（64B 或 66B）边界以及多帧 (8B 或 10B) 或多块（64B 或 66B）边界、初始化链路、对数据进行编码以及监控链路运行状况。本部分分为 8B 或 10B 部分（*8B 或 10B 链路层*）和 64B 或 66B 部分（*64B 或 66B 链路层*），叙述了每种编码方案的特定实现。

6.3.5.4 8B 或 10B 链路层

本部分介绍了 8B 或 10B 编码工作模式的链路层，包括字符、帧和多帧边界的初始化、通道对齐、8B 或 10B 编码以及运行期间帧和多帧对齐的监控。

6.3.5.4.1 数据编码（8B 或 10B）

数据链路层会将传输层的 8 位八位位组转换为 10 位字符，以便使用 8B 或 10B 编码在链路中进行传输。8B 或 10B 编码可确保直流平衡，从而允许在串行器/解串器发送器和接收器之间使用交流耦合，并为接收器指定足够数量的边沿转换，以可靠地恢复数据时钟。8B/10B 编码还提供了一些错误检测，因为字符中的一位错误可能会导致无法找到 8B 或 10B 解码器查找表中的 10 位字符或字符视差不正确。

6.3.5.4.2 多帧和本地多帧时钟 (LMFC)

传输层的帧合并为多帧，用于在子类 1 实现中实现确定性延迟的过程。多帧的长度由 K 参数设置，该参数定义了多帧中的帧数。JESD204C 将每个多帧的最大允许帧数 (K) 从 JESD204B 中的 32 增加到 JESD204C 中的 256，从而允许使用更长的多帧来满足确定性延迟要求。K 的总允许范围由不等式 ceil(17/F) ≤ K ≤ min (256, floor (1024/F)) 定义，其中 ceil() 和 floor() 分别是上限和下限函数。本地多帧时钟 (LMFC) 会跟踪多帧的开始和结束，以实现确定性延迟和数据同步。LMFC 由 SYSREF 信号重置为发送器和接收器中的确定性相位，用作确定性延迟的时序基准。公式 8 中给出了 LMFC 时钟频率，其中 f_{BIT} 是串行器/解串器接口的串行比特率（线速率），F 和 K 如上所定义。当使用 8B/10B 编码模式时，如果 SYSREF 是连续信号，SYSREF 的频率必须等于 f_{LMFC} 或者是其整数分频。

$$f_{LMFC} = f_{BIT} / (10 \times F \times K) \quad (8)$$

6.3.5.4.3 代码组同步 (CGS)

初始化 JESD204C 链路的第一步是在 LMFC 被 SYSREF 确定性复位后，让接收器找到通过每个串行器/解串器通道发送的编码 10 位字符的边界。此过程称为代码组同步 (CGS)。当准备好初始化链路时，接收器首先使 $\overline{\text{SYNC}}$ 信号变为有效（设置为逻辑“0”）。发送器通过发送一连串 K28.5 逗号字符来响应请求。接收器将其字符时钟与 K28.5 字符序列对齐，并在成功接收四个连续的 K28.5 字符后实现 CGS。在实现 CGS 后，接收器在下一个 LMFC 边沿使 $\overline{\text{SYNC}}$ 变为无效（设置为逻辑“1”），并等待发送器启动初始通道对齐序列 (ILAS)。

6.3.5.4.4 初始通道对齐序列 (ILAS)

在发送器检测到 $\overline{\text{SYNC}}$ 信号无效（逻辑“0”到逻辑“1”的转换）后，它会一直等到其下一个 LMFC 边沿开始发送初始通道对齐序列 (ILAS) 为止。ILAS 由四个多帧组成，每个多帧都包含预定的序列。接收器会搜索 ILAS 的起始位置以确定帧和多帧边界。ILAS 的每个多帧都以 /R/ 字符 (K28.0) 开头，以 /A/ 字符 (K28.3) 结尾，并且可以使用其中任一字符检测多帧的边界。一旦 ILAS 到达接收器，每个通道便会开始在弹性缓冲器中缓冲其数据，从 /R/ 字符开始，直到所有接收器都接收到 ILAS，然后同时从所有通道中释放 ILAS 以对齐这些通道。选择弹性缓冲器释放点是为了避免因数据延迟变化（ILAS 到达每个通道的接收器）而导致数据释放的模糊性。ILAS 的第二个多帧包含 JESD204C 链路配置的配置参数，接收器可以使用这些参数来验证发送器和接收器配置是否匹配。

6.3.5.4.5 帧和多帧监控

在使用 8B/10B 编码时，器件支持帧和多帧监控，以验证 JESD204C 链路的运行状况。该方案根据扰频的使用而变化。先介绍禁用扰频时的实现方案。如果当前帧的最后一个八位位组与前一帧的最后一个八位位组匹配，则当

Copyright © 2025 Texas Instruments Incorporated

前帧的最后一个八位位组被编码为 /F/ (K28.7) 字符。如果当前帧也是多帧的最后一个帧，则改用 /A/ (K28.3) 字符。正常数据流中不应出现 /F/ 或 /A/ 字符，除非被发送器替换以监控对齐情况。当接收器在正常数据流中检测到 /F/ 或 /A/ 字符时，接收器会检查相应字符是否出现在帧或多帧的预期结束位置。如果相应字符并未出现在帧或多帧的结束位置，则表明发送器或接收器未对齐。接收器在接收到正确对齐的 /F/ 或 /A/ 字符时将对齐字符替换为适当的数据字符。相应的数据字符是之前接收到的帧的最后一个八位位组。这种方案会增加非扰频数据流的对齐字符的概率。

启用扰频时的实现略有不同，因为八位位组将随机排列。如果某个帧的最后一个八位位组是 0xFC（在 8B/10B 编码之前），则发送器会将该八位位组编码为 /F/ (/K28.7/) 字符。如果某个多帧的最后一个八位位组是 0x7C（在 8B/10B 编码之前），则发送器会将该八位位组编码为 /A/ (/K28.3/) 字符。监控 /A/ 和 /F/ 字符的位置，以验证帧和多帧对齐是否正确。接收器只需将 /F/ 字符替换为 0xFC 八位位组以及将 /A/ 字符替换为 0x7C 八位位组，即可替换对齐字符。

如果多个对齐字符出现在错误的位置或未按预期出现，则接收器会报告错误。在检测到帧或多帧未对齐时，接收器会通过发出 $\overline{\text{SYNC}}$ 来触发链路重新对齐。在重新启动链路之前，还应重新发出 SYSREF 以验证发送器和接收器中的 LMFC 是否正确对齐。

6.3.5.5 64B 或 66B 链路层

本部分介绍了 64B 或 66B 编码工作模式的链路层，其中包括数据换序、添加同步标头（64B 或 6B 编码）、块和多块结构、同步标头、循环冗余校验 (CRC)、前向纠错 (FEC) 和链路对齐。

6.3.5.5.1 64B 或 66B 编码

传输层形成的帧被封装到长度为 8 个八位组的块 (64 位) 中。对这个 64 位块进行扰频，然后附加一个 2 位同步标头 (SH)，构成一个 66 位传输块。通过在块的结束处作标记、校验循环冗余 (CRC)、前向纠错 (FEC) 或命令通道，能让同步标头与块同步。块结构如 表 6-9 所示，其中 SH 表示附加的 2 位同步标头。

表 6-9. 带同步标头的 64B 或 66B 块结构

SH	OCTET0	OCTET1	OCTET2	OCTET3	OCTET4	OCTET5	OCTET6	OCTET7
[0:1]	[2:9]	[10:17]	[18:25]	[26:33]	[34:41]	[42:49]	[50:57]	[58:65]

6.3.5.5.2 多块、扩展多块和本地扩展多块时钟 (LEMC)

多区块是一个 32 块容器，由 32 个块连接而成。扩展多块是多个多块的连接，其中 E 定义扩展多块中的多块数量。帧可以在块和多块之间拆分，但扩展多块中帧的数量必须为整数。只有当多块没有整数个帧时，才需要对其进行扩展。因为多块包含整数个帧，如果未使用扩展多块，则 E 参数等于 1 表示扩展多块中有一个多块。

扩展多块类似于 8B 或 10B 传输层中的多帧。本地扩展多块时钟 (LEMC) 会跟踪多块的开始和结束，以实现确定性延迟和数据同步，其方式与 LMFC 在 8B 或 10B 编码模式下跟踪多帧的开始和结束方式相同。LEMC 由 SYSREF 信号重置为发送器和接收器中的确定性相位，用作确定性延迟的时序基准。公式 9 中给出了 LEMC 时钟频率，其中 f_{BIT} 是串行器/解串器接口的串行比特率（线速率）。当使用 64B 或 66B 编码模式时，如果 SYSREF 是连续信号，SYSREF 的频率必须等于 f_{LMFC} 或者是其整数分频。

$$f_{LEMC} = f_{BIT} / (66 \times 32 \times E) \quad (9)$$

6.3.5.5.2.1 使用同步报头的模块、多块和扩展多块对齐

同步标头包含两个始终彼此相反的位（01 或 10）。JESD204C 接收器可以通过查找始终包含 0 至 1 或 1 至 0 切换的 66 位边界来查找块边界。尽管 0 至 1 和 1 至 0 切换发生在一个块中的其他位置，但序列不可能长时间出现在连续块中的固定位置，除非是正确的同步标头位置。同步标头会显示块的起始位置，也可用于监控块对齐情况。如果在块的假定同步标头位置看到一个 00 或 11 位序列，则块对齐可能已丢失。在向所有器件发送 SYSREF 复位 LEMC 对齐后，多次出现不正确的同步标头位会触发同步标头的搜索。

01 的同步标头 ([0：1]) 对应于 1 的传输，而 10 的同步标头对应于 0 的传输。从多块中的每个块的同步标头发送的位组合成一个称为同步标头流的 32 位字。同步标头流用于与用户数据并行发送数据，以便在标记多块和扩展多

Copyright © 2025 Texas Instruments Incorporated

块的边框后能同步链接。此外，同步标头流要么提供 CRC 或 FEC，或者提供一个命令通道。ADC12QJ1600-SP 支持 CRC-12 和 FEC，但不支持 CRC-3 或命令通道。

32 位同步标头流始终以 00001 位序列结束，该序列称为多块末尾 (EoMB) 信号，表示多块末尾。在 CRC 和命令通道模式中，00001 序列永远不会发生在同步标头流的任何其他位置。在 FEC 模式中，一个 00001 序列可能出现在同步标头流中的另一个位置，但是在多个多块序列中，不可能在同一位置看到 00001 序列。因此，在 FEC 模式中，可能需要多个多块才能找到多块的末尾。通过监测同步标头流的位 22（即 EoEMB 位），可以找到所有模式下扩展多块的末尾，该位会显示设置为 1 时扩展多块的末尾。在 CRC 和命令通道模式中，EoMB (00001) 和 EoEMB 信号以及同步标头流中的固定 1 构成同步标头流的导频信号。

在以下各部分中解释了各种形式的同步标头流的定义格式。

6.3.5.5.2.1.1 循环冗余校验 (CRC) 模式

在传输过程中，循环冗余校验 (CRC) 模式可用于检测潜在的位错误。JESD204C 需要支持 12 位字 CRC-12 模式，而 3 位字 CRC-3 模式是可选的。器件不支持 CRC-3 模式，因此本部分仅针对 CRC-12 模式。发送器根据多块的 32 个块的扰频数据位计算 CRC-12 奇偶校验位。然后，12 位 CRC 奇偶校验字在下一个多块的同步标头流中发送。接收器计算已接收到的多块的 12 位奇偶校验字，并将其与下一个多块接收到的 12 位奇偶校验字进行比较。在比较后若有差异，则表明在接收到的数据位或接收到的 12 位奇偶校验字中至少有一个误差。在多块第一个数据位中，检测位错误的最小延迟为 46 个块。通过将 SHMODE 设置为 0 来启用 CRC-12 模式。

使用 CRC-12 模式时同步标头流的映射如 表 6-10 所示。CRC[x] 对应于 12 位 CRC 字的位 x。CMD[x] 对应于 7 位命令字的位 x，其在器件中始终设置为 0。同步标头流末尾的 00001 位序列是用于标识多块结束的导频信号。整个同步接头中出现的 1s 确保只能在同步标头的末尾看到导频信号，从而仅在接收到单个多块后实现多块对齐。EoEMB 是扩展多块结束位，对于扩展多块的最后一个多块，该位设置为 1。

表 6-10. CRC-12 模式的同步标头流位映射

位	功能	位	功能	位	功能	位	功能
0	CRC[11]	8	CRC[5]	16	Cmd[6]	24	Cmd[2]
1	CRC[10]	9	CRC[4]	17	Cmd[5]	25	Cmd[1]
2	CRC[9]	10	CRC[3]	18	Cmd[4]	26	Cmd[0]
3	1	11	1	19	1	27	0
4	CRC[8]	12	CRC[2]	20	Cmd[3]	28	0
5	CRC[7]	13	CRC[1]	21	1	29	0
6	CRC[6]	14	CRC[0]	22	EoEMB	30	0
7	1	15	1	23	1	31	1

CRC-12 编码器采用由 32 个扰频块（2048 位）组成的多块，并使用公式 10 所述的生成器多项式计算 12 位奇偶校验字。多项式足以检测跨越任何距离的多块中的所有 2 位误差以及长度长达 12 位的突发错误序列。在多块中未检测到跨越任何距离的 3 位误差的概率约为 0.004%。

$$0x987 == x^{12}+x^{9}+x^{8}+x^{3}+x^{2}+x+1 \quad (10)$$

CRC-12 的完整奇偶校验位生成如 图 6-7 所示。输入是基于多块的 32 个扰码块构建的 2048 位序列（不包括同步标头）。在处理完整的 2048 位序列后，从 S_x 块获取 12 位奇偶校验字 CRC[11：0]。在处理每个多块之前，S_x 块用 0s 初始化。更多有关 CRC-12 奇偶校验字生成的信息，请参阅 JESD204C 标准。

Copyright © 2025 Texas Instruments Incorporated

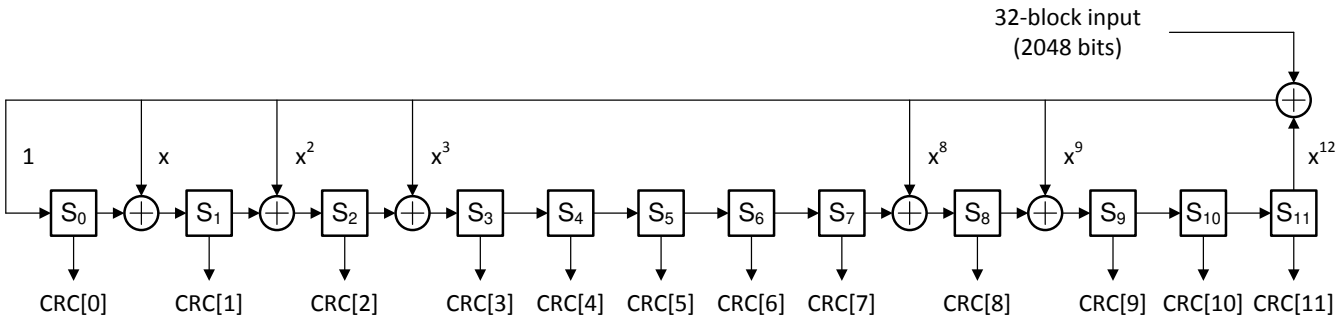


图 6-7. CRC-12 奇偶校验位发生器

6.3.5.5.2.1.2 正向纠错 (FEC) 模式

前向纠错 (FEC) 是 JESD204C 中的可选功能，受 ADC12QJ1600-SP 支持。鉴于 CRC-12 模式只能检测链路上的错误，FEC 能够检测并校正错误，从而提高错误敏感型应用的误码率 (BER)。许多应用可以容忍随机位错误，不过一些应用（例如示波器）依靠长时间无错误测量来检测来自被测器件 (DUT) 的特定响应。这些应用中的错误可能会导致对响应的误报检测。将 SHMODE 设置为 2，启用 FEC 模式。

一个包含 32 个块（2048 位）的扰频多块被输入到 FEC 奇偶校验位发生器中，因此生成 26 位奇偶校验字。在下一个多块的同步标头流中发送奇偶校验字。然后，接收器计算其自身的 26 位奇偶校验字，并计算本地生成的奇偶校验字与所接收的奇偶校验字之间的差值，这称为接收位故障。如果综合征为 0，则假定已正确接收所有位，而除 0 之外的任何值都表示数据位或奇偶校验字中至少有一个错误。如果综合征为非零，则可用于确定最可能的误差，然后纠正误差。从一个位错误到检测和校正多块第一个位中的位错误的最小延迟为 58 个块。

使用 表 6-11 中所述的 FEC 模式映射同步标头流。FEC[x] 对应于 26 位 FEC 字的位 x。同步标头流末尾的 00001 位序列是用于标识多块结束的导频信号。在 FEC 模式下，一个 00001 序列可能出现在同步标头流中的另一个位置，但在多个多块序列中，不可能在同一位置看到 00001 序列。因此，在 FEC 模式中，可能需要多个多块才能找到多块的末尾。EoEMB 是扩展多块结束位，对于扩展多块的最后一个多块，该位设置为 1。

表 6-11. FEC 模式的同步标头流位映射

位	功能	位	功能	位	功能	位	功能
0	FEC[25]	8	FEC[17]	16	FEC[9]	24	FEC[2]
1	FEC[24]	9	FEC[16]	17	FEC[8]	25	FEC[1]
2	FEC[23]	10	FEC[15]	18	FEC[7]	26	FEC[0]
3	FEC[22]	11	FEC[14]	19	FEC[6]	27	0
4	FEC[21]	12	FEC[13]	20	FEC[5]	28	0
5	FEC[20]	13	FEC[12]	21	FEC[4]	29	0
6	FEC[19]	14	FEC[11]	22	EoEMB	30	0
7	FEC[18]	15	FEC[10]	23	FEC[3]	31	1

FEC 编码器采用由 32 个扰频块（2048 位）组成的多块，并使用 公式 11 给出的生成器多项式计算 26 位奇偶校验字。2048 个扰频输入位加 26 个奇偶校验位形成一个缩短的 (2074，2048) 二进制循环代码。(2074，2048) 二进制循环代码是由缩短循环消防代码 (8687，8661) 得出的。该多项式可以校正每个多块最多 9 位的突发误差。

$$g(x) = (x^{17}+1)(x^{9}+x^{4}+1) == x^{26}+x^{21}+x^{17}+x^{9}+x^{4}+1 \quad (11)$$

完整的 26 位 FEC 奇偶校验字生成如 图 6-8 所示。输入是基于多块的 32 个扰码块构建的 2048 位序列（不包括同步标头）。在完整的 2048 位序列被处理后，从 S_x 块中获取 26 位奇偶校验字 FEC[25 : 0]。在处理每个多块之前，S_x 块用 0s 初始化。更多有关 FEC 奇偶校验字生成的信息，请参阅 JESD204C 标准。

Copyright © 2025 Texas Instruments Incorporated

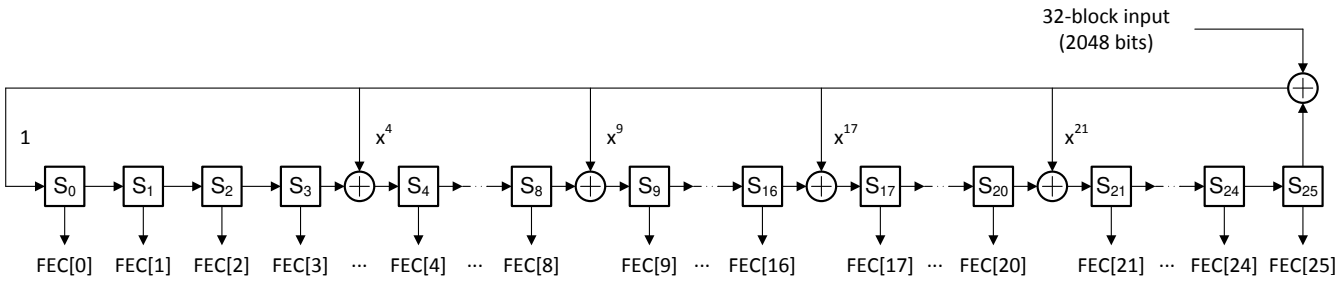


图 6-8. FEC 奇偶校验位发生器

此处不介绍 FEC 解码和纠错。有关 FEC 解码和纠错的完整详细信息，请参阅 JESD204C 标准。

6.3.5.5.3 初始通道对齐

64B 或 66B 链路层不使用初始通道对齐序列 (ILAS)，如 8B/10B 链路层。因此，接收器必须使用不同的方案和弹性缓冲器来对齐通道。在 8B 或 10B 模式下，ILAS 触发弹性缓冲器开始缓冲每个通道的数据。所有通道开始缓冲数据后，每个通道的弹性缓冲器在由释放缓冲器延迟 (RBD) 参数和 LMFC 相位确定的释放点释放。在 64B/66B 模式下，该过程从让所有通道实现块对齐，多块对齐和扩展多块对齐开始。一旦所有通道都完成对齐，在每个通道上的下一个扩展多块开始时，接收器开始在弹性缓冲器中缓冲数据。在所有通道都看到扩展多块的开始并开始缓冲数据后，数据将在下一个释放点释放。释放点是相对于 LEMC 边沿和已被编程的 RBD 值定义的，最直观的方式是在 LEMC 边沿本身上释放。必须选择释放点，以避免 LEMC 区域包含每个通道从启动到启动时的数据延迟变化。

6.3.5.5.4 模块、多块和扩展多块对齐监控

通过监控每个块的同步标头以及同步标头流的 EoMB 和 EoEMB 位，实现块，多块和扩展多块的同步。块始终以 0 至 1 或 1 至 0 切换（同步标头）开头。由于位误差可能会导致丢失单个同步标头，然而如果在设定的块数内存在多个同步标头误差，则表示块同步已丢失，块同步应重新初始化。在这种情况下，仍然可能有块同步，但会丢失多块或扩展多块同步。通过在每个多块的同步标头流末尾查找 EoMB 信号 00001 来监控多块同步。如果多个 EoMB 信号在多个块内均是错误的，则表示多块同步已经丢失，多块同步应该被重新初始化。在众多扩展多块内，如果多个扩展多块接收到错误的 EoEMB 位，例如 1 表示不是扩展多块末尾的那一个多块，0 表示是扩展多块末尾的多块，则表示多块同步丢失，且扩展多块同步应重新初始化。如果多块或扩展多块同步丢失，应将 SYSREF 应用于错误器件中，以便在同步过程开始之前重新建立 LEMC。

6.3.5.6 物理层

JESD204C 物理层由电流模式逻辑 (CML) 输出驱动器和接收器组成。接收器由时钟检测和恢复 (CDR) 单元组成，可从串行化数据流中提取数据时钟，其中可包含连续时间线性均衡器 (CTLE) 和/或分立式反馈均衡器 (DFE)，以便校正物理传输通道的低通响应。同样，发送器可以包含预均衡功能，以解决通道上与频率相关的损耗。串行器/解串器链路的总覆盖范围取决于数据速率、电路板材料、连接器、均衡、噪声和抖动以及所需的误码性能。不必对串行器/解串器通道进行长度匹配，因为接收器会在初始通道对齐序列期间对齐这些通道。

6.3.5.6.1 串行器/解串器预加重功能

ADC12QJ1600-SP 高速输出驱动器可通过使用预加重功能对传输的数据流进行预均衡，进而补偿传输通道的低通响应。可配置的预加重设置可针对不同的 PCB 材料和信号传输距离对输出驱动波形进行优化。预加重设置通过串行器预加重设置 SER_PE 进行调整。提高数值可增加预加重，进而补偿损耗更大的 PCB 材料。此调整最好与接收器中的眼图分析功能结合使用。调整预加重设置，以便针对特定的硬件配置和所需的线路速率优化眼图张开度。

6.3.5.7 JESD204C 启用

在修改任何其他 JESD204C 参数时，必须通过 JESD_EN 禁用 JESD204C 接口。当 JESD_EN 设置为 0 时，该块保持复位状态，并且串行器断电。此部分的时钟也会关闭以进一步省电。在根据需要设置这些参数时，可以启用 JESD204C 块（JESD_EN 设置为 1）。

Copyright © 2025 Texas Instruments Incorporated

6.3.5.8 多器件同步和确定性延迟

JESD204C 子类 1 概述了一种通过串行链路实现确定性延迟的方法。如果两个器件实现相同的确定性延迟，则可以将其视为同步。从系统启动到启动的这一延迟必须是确定性的。实现确定性延迟有两个关键要求。第一项要求是正确采集使器件能提供多种功能的 SYSREF，以简化千兆采样时钟速率下的这一要求（有关更多信息，请参阅*用于多器件同步和确定性延迟的 SYSREF 采集*部分）。SYSREF 在 8B/10B 编码模式下复位 LMFC，或在 64B/66B 编码模式下复位 LEMC。LMFC 和 LEMC 在这两种模式之间类似，现在称为 LMFC/LEMC。

第二项要求是在接收器中选择适当的弹性缓冲器释放点。因为该器件是 ADC，因此在 JESD204C 链路中是发送器 (TX)，而逻辑器件是接收器 (RX)。弹性缓冲器是实现确定性延迟的关键块，通过在数据从发送器传输到接收器时吸收串行化数据传播延迟的变化来实现。适当的释放点是针对延迟变化提供足够裕度的释放点。错误的释放点会导致一个 LMFC/LEMC 周期的延迟变化。要选择合适的释放点，需要了解弹性缓冲器中以 LMFC/LEMC 边沿为基准的数据的平均到达时间以及所有器件的总预期延迟变化。利用此信息，可以定义 LMFC/LEMC 周期内无效释放点的区域，该区域从所有通道的最小延迟一直延展到最大延迟。本质上，设计人员必须确保所有通道的数据在前一个释放点发生后、下一个释放点发生之前到达所有器件。

图 6-9 提供了用于演示此要求的时序图。在此图中，显示了两个 ADC 的数据。第二个 ADC 具有更长的布线距离 (t_{PCB})，因此链路延迟更长。首先，根据所有器件的数据到达时间，将 LMFC/LEMC 周期的无效区域标记为关闭。然后，使用释放缓冲器延迟 (RBD) 参数设置释放点，将释放点从 LMFC/LEMC 边缘移动适当数量的帧时钟，以便释放点发生在 LMFC/LEMC 周期的有效区域内。在 图 6-9 中，由于有效区域的每一侧都有足够的裕度，因此 LMFC/LEMC 边沿 (RBD = 0) 是释放点的理想选择。

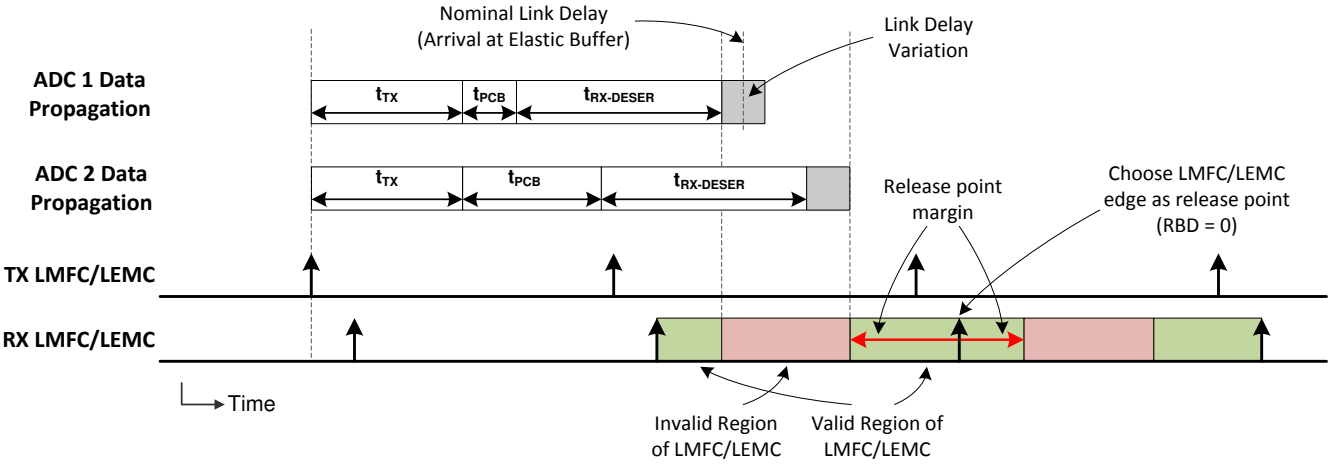


图 6-9. 用于弹性缓冲器释放点选择的 LMFC/LEMC 有效区域定义

TX 和 RX LMFC/LEMC 未必需要进行相位对齐，但了解其相位对于正确选择弹性缓冲器释放点至关重要。此外，弹性缓冲器释放点在每个 LMFC/LEMC 周期内发生，但缓冲器仅在所有通道均已到达时释放。因此，总链路延迟可能超过单个 LMFC/LEMC 周期；请参阅 *JESD204B 多器件同步：将要求进行分解* 了解更多信息。

6.3.5.9 在子类 0 系统中运行

该器件可与子类 0 兼容，前提是不需要多 ADC 同步和确定性延迟。由于这些限制，该器件无需 SYSREF 应用即可运行。内部 LMFC/LEMC 自动自生成，时序未知。在 8B/10B 模式下，SYNC 照常用来启动 CGS 和 ILAS。

6.3.5.10 报警监控

许多内置警报可用于监控内部事件。此功能可检测多种类型的警报和翻转：

1. C-PLL 未锁定
2. S-PLL 未锁定
3. JESD204C 链路未传输数据（未处于数据传输状态）
4. SYSREF 会导致内部时钟重组

Copyright © 2025 Texas Instruments Incorporated

5. 一项会影响内部时钟的翻转
6. 数字与串行器同步 FIFO 生成的读取或写入错误

发生报警时，在 ALM_STATUS 中为每个特定的报警设置一个位。每个警报位保持为已设置状态，直到主机系统写入 1 以清除警报。如果未屏蔽警报类型（请参阅 ALM_MASK 寄存器），则 ALARM 寄存器上会显示警报。CALSTAT 输出引脚可以配置为报警输出，当发出报警时它会变为高电平；请参阅 CAL_STATUS_SEL。

6.3.5.10.1 时钟翻转检测

CLK_ALM 寄存器位会指明内部时钟是否已翻转。通道 A 中的时钟持续与通道 B 进行比较。如果时钟在甚至一个 DEVCLK/2 周期内不相同，CLK_ALM 寄存器位会被置位，并保持置位状态，直到主机系统通过写入 1 来清除。要使 CLK_ALM 寄存器位正常工作，请执行以下步骤：

1. 编程 JESD_EN = 0
2. 确保部件配置为使用两个通道 (PD_ACH = 0，PD_BCH = 0)
3. 编程 JESD_EN = 1
4. 写入 CLK_ALM = 1 以清除 CLK_ALM
5. 如果 CAL_STATUS_SEL 配置正确，则监测 CLK_ALM 状态位或 CALSTAT 输出引脚
6. 退出全局断电模式（通过 MODE 或 PD 引脚）时，可以设置 CLK_ALM 状态位，并且必须通过向 CLK_ALM 写入 1 来清除

6.3.5.10.2 FIFO 翻转检测

FIFO_LANE_ALM 寄存器位指示在数字逻辑块与串行器输出之间同步 FIFO 时是否发生错误。如果 FIFO 指针由于不需要的时钟移位或其他单个事件或不正确的时钟频率而翻转、则错误通道的 FIFO_LANE_ALM 位设置为 1。将 JESD_EN 切换为 0，然后再切换为 1，会复位 FIFO 逻辑。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

本器件可配置为在多种功能模式下运行。本部分会介绍这些模式。

6.4.1 低功耗模式和高性能模式

通过将器件编程为低功耗模式，可以在以牺牲性能为代价来降低器件功耗。该模式仅在 1GSPS 或更低速率下运行时可用，建议仅用于第一奈奎斯特区域。默认工作模式为高性能模式，该模式通过默认寄存器值启用。表 6-12 显示了在低功耗模式和高性能模式的最低功耗配置之间切换的寄存器写入值。仅当 CAL_EN 设置为 0 且 JESD_EN 设置为 0 时才应执行这些写入。

表 6-12. 低功率模式寄存器写入

寄存器名称（地址）	低功率模式值	高性能模式值（默认模式）
LOW_POWER1 (0x037)	0x46	0x4B
LOW_POWER2 (0x29A)	0x06	0x0F
LOW_POWER3 (0x29B)	0x00	0x04
LOW_POWER4 (0x29C)	0x14	0x1B

在后台校准和低功耗后台校准期间，ADC 内核之间转换时的干扰幅度受 LOW_POWER3 寄存器设置（地址= 0x29B）的影响。相比较大的干扰幅度，较低的功率可能会受到影响。低功耗模式下 ADC 内核之间转换时的 ADC 输出如 图 6-10 所示，功率耗散变化与 LOW_POWER3 设置间的关系如 图 6-11 所示。设置 4 可将干扰降低到与高性能模式相同的幅度。

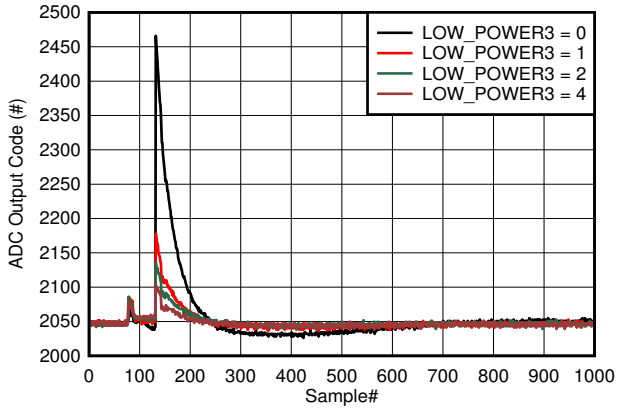


图 6-10. 低功率模式下的后台校准内核转换



图 6-11. 功率耗散变化与 LOW_POWER3 寄存器设置间的关系

在低功耗后台校准模式下，可通过设置寄存器 LP_TRIG = 1 来控制 ADC 转换的时序。在 CALTRIG 焊球触发或 SPI 写入 CAL_SOFT_TRIG 寄存器（地址= 0x6C）后，将在 500 和 1000 个 ADC 采样时钟之间的 ADC 输出数据中发生 ADC 转换。

前台校准模式没有 ADC 内核转换且没有干扰。

Copyright © 2025 Texas Instruments Incorporated

6.4.2 JESD204C 模式

该器件可针对多种 JESD204C 输出格式进行编程。表 6-13 总结了基本工作模式配置参数以及这些参数是由用户配置的还是派生的。

表 6-13. ADC12QJ1600-SP 工作模式配置参数

参数	说明	用户配置或推导出	值
JMODE	JESD204C 工作模式自动获取其余 JESD204C 参数	用户配置	由 JMODE 设置
R	每个 ADC 内核取样时钟周期中每个通道所传输的位数。JESD204C 线路速率是采样时钟频率 (f_S) 乘以 R 所得。该参数设置串行器/解串器 PLL 乘法因子。	推导出	请参阅 表 6-15
K	每个多帧的帧数（8B/10B 模式）	用户配置	由 KM1 设置，请参阅 表 6-15 中的允许值。在 64B/66B 模式下会忽略此参数。
E	每个扩展多块的多块数量（64B/66B 模式）	推导出	在 ADC12QJ1600-SP 中始终设为 1。在 8B/10B 模式下会忽略此参数。

定义 JESD204C 传输层格式需要许多参数，所有这些参数都在 8B/10B 模式下的初始通道对齐序列期间通过链路发送。64B/66B 模式不使用 ILAS，但传输层使用相同的参数。在该器件中，大多数参数是根据所选的 JMODE 自动推导出的；但是，少数参数由用户配置。表 6-14 介绍了这些参数。

Copyright © 2025 Texas Instruments Incorporated

表 6-14. JESD204C 初始通道对齐序列参数

参数	说明	用户配置或推导出	值
ADJCNT	LMFC 调整量（不适用）	推导出	始终为 0
ADJDIR	LMFC 调整方向（不适用）	推导出	始终为 0
BID	存储体 ID	推导出	始终为 0
CF	每帧的控制字数	推导出	始终为 0
CS	每个样本的控制位	推导出	在 ILAS 中始终设置为 0，实际用法请参阅 表 6-15
DID	器件标识符，用于标识链路	用户配置	由 DID 设置，请参阅 表 6-16
F	每帧的八位位组（字节）数（每通道）	推导出	请参阅 表 6-15
HD	高密度格式（在各通道间拆分样本）	推导出	始终为 0
JESDV	JESD204 标准修订版	推导出	始终为 1
K	每个多帧的帧数	用户配置	由 KM1 寄存器设置
L	每个链路的串行输出通道数	推导出	请参阅 表 6-15
LID	每个通道的通道标识符	推导出	请参阅 表 6-16
M	用于确定通道位封装的转换器数量；可能与器件中的 ADC 通道数量不一致	推导出	请参阅 表 6-15
N	采样分辨率（添加控制位和尾位之前）	推导出	请参阅 表 6-15
N'	添加控制和尾位后每个样本的位数	推导出	请参阅 表 6-15
S	每帧每个转换器 (M) 的样本数	推导出	请参阅 表 6-15
SCR	启用扰频器	用户配置	由 SCR 设置
SUBCLASSV	器件子类版本	推导出	始终为 1
RES1	保留字段 1	推导出	始终为 0
RES2	保留字段 2	推导出	始终为 0
CHKSUM	用于 ILAS 检查的校验和（以上所有参数的总和，模数为 256）	推导出	根据该表中的参数进行计算

Copyright © 2025 Texas Instruments Incorporated

通过使用称为 JMODE 的单个配置参数，可以轻松配置器件。使用 表 6-15，可以找到所需工作模式的正确 JMODE 值。列出的模式是唯一可用的工作模式。该表还给出了 K 参数（由 KM1 设置）的范围和允许的步长，该参数以帧数设置多帧长度。

表 6-15. 四通道模式（由四通道器件支持）

工作模式	用户指定的参数		推导出的参数												输入时钟范围 (MHz)
	JMODE	K [最小：步长：最大]	编码	N	CS	N’	CF	L	M	F	S	HD	E	R (Fbit / Fclk)	
12 位、8B/10B、8 通道	0	4:4:256	8B/10B	12	0	12	0	8	8(1)	8	5	0	—	8	500-1600
12 位、8B/10B、6 通道	1	16:16:256	8B/10B	12	0	12	0	6	4	2	2	1	—	10	500-1600
8 位、8B/10B、4 通道	2	32:32:256	8B/10B	8	0	8	0	4	4	1	1	0	—	10	500-1600
10 位、8B/10B、4 通道	3	32:32:256	8B/10B	10	0	10	0	4	4	5	4	0	—	12.5	500-1372.8
12 位、64B/66B、3 通道	4	128(2)	64B/66B	12	0	12	0	3	4	2	1	1	1	16.5	500-1040
8 位、64B/66B、2 通道	5	128(2)	64B/66B	8	0	8	0	2	4	2	1	0	1	16.5	500-1040
12 位、64B/66B、6 通道	6	128(2)	64B/66B	12	0	12	0	6	4	2	2	1	1	8.25	500-1600
8 位、64B/66B、4 通道	7	256(2)	64B/66B	8	0	8	0	4	4	1	1	0	1	8.25	500-1600
12 位、64B/66B、4 通道	8	256(2)	64B/66B	12	0	12	0	4	4	3	2	0	3	12.375	500-1386.7
8 位、8B/10B、8 通道	9	32:32:256	8B/10B	8	0	8	0	8	4	1	2	0	—	5	500-1600
10 位、8B/10B、8 通道	10	32:32:256	8B/10B	10	0	10	0	8	8(1)	5	4	0	—	6.25	500-1600
2 通道、12 位、8B/10B、8 通道	11	4:4:256	8B/10B	12	0	12	0	8	8(1)	8	5	0	—	4	500-1600
2 通道、8 位、8B/10B、8 通道	12	32:32:256	8B/10B	8	0	8	0	8	2	1	4	0	—	2.5	500-1600
2 通道、10 位、8B/10B、8 通道	13	32:32:256	8B/10B	10	0	10	0	8	8(1)	5	4	0	—	3.125	500-1600
12 位、64B/66B、8 通道	14	256(2)	64B/66B	12	0	12	0	8	8(1)	3	2	0	3	6.1875	500-1600
2 通道、12 位、64B/66B、8 通道	15	256(2)	64B/66B	12	0	12	0	8	8(1)	3	2	2	3	3.09375	500-1600

(1) 在这些模式下 M 等于 L，以便可以通过 L 通道按时间顺序发送样本，而不需要进行缓冲。M 参数并不代表实际的转换器数。将来自接收器中每条链路的 M 样本流交错，以生成正确的样本数据；有关更多详细信息，请参阅模式图。

(2) 在 64B/66B 模式下，K 参数不能直接编程。根据公式 K = 8 x 32 x E/F，K 与 E 和 F 相关。K 不是 64B/66B 链路层的实际参数。

Copyright © 2025 Texas Instruments Incorporated

该器件共有 8 个高速输出驱动器。有关通道及其派生配置参数的说明，请参阅 表 6-16。在指定的 JMODE 中，使用索引度最低的通道，索引度较高的通道会自动断电。始终将索引度最低的通道路由到逻辑器件。

表 6-16. ADC12QJ1600-SP 通道分配和参数

器件引脚名称	DID（用户配置）	LID（派生）
D0±	由 DID 设置	0
D1±	由 DID 设置	1
D2±	由 DID 设置	2
D3±	由 DID 设置	3
D4±	由 DID 设置	4
D5±	由 DID 设置	5
D6±	由 DID 设置	6
D7±	由 DID 设置	7

6.4.2.1 JESD204C 传输层数据格式

ADC 内核输出样本根据该 JMODE 的传输层设置，针对每个 JMODE 设置，采用特定方式进行格式化。下表给出了每个 JMODE 单帧的具体映射格式。表 6-17 中提供了 JMODE 表中使用的符号定义。在所有映射中，尾位 (T) 均为 0（零）。所有样本的格式均为 MSB 在前，LSB 在后。

表 6-17. JMODE 表符号定义

符号	说明
A_n	从通道 A 采样 n
B_n	从通道 B 采样 n
C_n	从通道 C 采样 n
D_n	从通道 D 采样 n
T	尾位，始终设置为 0

Copyright © 2025 Texas Instruments Incorporated

表 6-18. JMODE 0（12 位、8/4/2 通道、8B/10B）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	A_0		A_2		A_4		A_6		A_8		T					
D1	A_1		A_3		A_5		A_7		A_9		T					
D2	B_0		B_2		B_4		B_6		B_8		T					
D3	B_1		B_3		B_5		B_7		B_9		T					
D4（仅限四通道）	C_0		C_2		C_4		C_6		C_8		T					
D5（仅限四通道）	C_1		C_3		C_5		C_7		C_9		T					
D6（仅限四通道）	D_0		D_2		D_4		D_6		D_8		T					
D7（仅限四通道）	D_1		D_3		D_5		D_7		D_9		T					

表 6-19. JMODE 1（12 位、6/3/2 通道、8B/10B）

八位位组	0		1	
半字节	0	1	2	3
D0	A_0[11:0]			A_1[11:8]
D1	A_1[7:0]		B_0[11:4]	
D2	B_0[3:0]	B_1[11:0]		
D3	C_0[11:0]			C_1[11:8]
D4	C_1[7:0]		D_0[11:4]	
D5	D_0[3:0]	D_1[11:0]		

表 6-20. JMODE 2（8 位、4/2/1 通道、8B/10B）

八位位组	0	
半字节	0	1
D0	A_0	
D1	B_0	
D2	C_0	
D3	D_0	

表 6-21. JMODE 3（10 位、4/2/1 通道、8B/10B）

八位位组	0		1		2		3		4	
半字节	0	1	2	3	4	5	6	7	8	9
D0	A_0		A_1		A_2		A_3			
D1	B_0		B_1		B_2		B_3			
D2	C_0		C_1		C_2		C_3			
D3	D_0		D_1		D_2		D_3			

表 6-22. JMODE 4（12 位、3/2/1 通道、64B/66B）

八位位组	0		1	
半字节	0	1	2	3
D0	A_0[11:0]			B_0[11:8]
D1	B_0[7:0]		C_0[11：4]	
D2	C_0[3:0]	D_0[11:0]		

Copyright © 2025 Texas Instruments Incorporated

表 6-23. JMODE 5 (8 位、2/1/1 通道、64B/66B)

八位位组	0		1	
半字节	0	1	2	3
D0	A_0		B_0	
D1	C_0		D_0	

表 6-24. JMODE 6 (12 位、6/3/2 通道、64B/66B)

八位位组	0		1	
半字节	0	1	2	3
D0	A_0[11:0]			A_1[11:8]
D1	A_1[7:0]		B_0[11:4]	
D2	B_0[3:0]	B_1[11:0]		
D3	C_0[11:0]			C_1[11:8]
D4	C_1[7:0]		D_0[11:4]	
D5	D_0[3:0]	D_1[11:0]		

表 6-25. JMODE 7 (8 位、4/2/1 通道、64B/66B)

八位位组	0	
半字节	0	1
D0	A_0	
D1	B_0	
D2	C_0	
D3	D_0	

表 6-26. JMODE 8 (12 位、4/2/1 通道、64B/66B)

八位位组	0		1		2	
半字节	0	1	2	3	4	5
D0	A_0		A_1			
D1	B_0		B_1			
D2	C_0		C_1			
D3	D_0		D_1			

表 6-27. JMODE 9 (8 位、8/4/2 通道、8B/10B)

八位位组	0	
半字节	0	1
D0	A_0	
D1	A_1	
D2	B_0	
D3	B_1	
D4	C_0	
D5	C_1	
D6	D_0	
D7	D_1	

表 6-28. JMODE 10 (10 位、8/4/2 通道、8B/10B)

八位位组	0		1		2		3		4	
半字节	0	1	2	3	4	5	6	7	8	9
D0	A_0		A_2		A_4		A_6			
D1	A_1		A_3		A_5		A_7			

Copyright © 2025 Texas Instruments Incorporated

表 6-28. JMODE 10（10 位、8/4/2 通道、8B/10B）（续）

八位位组	0		1		2		3		4	
半字节	0	1	2	3	4	5	6	7	8	9
D2	B_0		B_2		B_4		B_6			
D3	B_1		B_3		B_5		B_7			
D4	C_0		C_2		C_4		C_6			
D5	C_1		C_3		C_5		C_7			
D6	D_0		D_2		D_4		D_6			
D7	D_1		D_3		D_5		D_7			

表 6-29. JMODE 11（12 位、仅限双/单通道、8/4 通道、8B/10B）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	A_0		A_4		A_8		A_{12}		A_{16}						T	
D1	A_1		A_5		A_9		A_{13}		A_{17}						T	
D2	A_2		A_6		A_{10}		A_{14}		A_{18}						T	
D3	A_3		A_7		A_{11}		A_{15}		A_{19}						T	
D4	B_0		B_4		B_8		B_{12}		B_{16}						T	
D5	B_1		B_5		B_9		B_{13}		B_{17}						T	
D6	B_2		B_6		B_{10}		B_{14}		B_{18}						T	
D7	B_3		B_7		B_{11}		B_{15}		B_{19}						T	

表 6-30. JMODE 12（8 位、仅限双/单通道、8/4 通道、64B/66B）

八位位组	0	
半字节	0	1
D0	A_0	
D1	A_1	
D2	A_2	
D3	A_3	
D4	B_0	
D5	B_1	
D6	B_2	
D7	B_3	

表 6-31. JMODE 13（10 位、仅限双/单通道、8/4 通道、8B/10B）

八位位组	0		1		2		3		4	
半字节	0	1	2	3	4	5	6	7	8	9
D0	A_0		A_4		A_8		A_{12}			
D1	A_1		A_5		A_9		A_{13}			
D2	A_2		A_6		A_{10}		A_{14}			
D3	A_3		A_7		A_{11}		A_{15}			
D4	B_0		B_4		B_8		B_{12}			
D5	B_1		B_5		B_9		B_{13}			
D6	B_2		B_6		B_{10}		B_{14}			
D7	B_3		B_7		B_{11}		B_{15}			

Copyright © 2025 Texas Instruments Incorporated

表 6-32. JMODE 14（12 位、8/4/2 通道、64B/66B）

八位位组	0		1		2	
半字节	0	1	2	3	4	5
D0	A_0			A_2		
D1	A_1			A_3		
D2	B_0			B_2		
D3	B_1			B_3		
D4	C_0			C_2		
D5	C_1			C_3		
D6	D_0			D_2		
D7	D_1			D_3		

表 6-33. JMODE 15（12 位、仅限双/单通道、8/4 通道、64B/66B）

八位位组	0		1		2	
半字节	0	1	2	3	4	5
D0	A_0			A_4		
D1	A_1			A_5		
D2	A_2			A_6		
D3	A_3			A_7		
D4	B_0			B_4		
D5	B_1			B_5		
D6	B_2			B_6		
D7	B_3			B_7		

6.4.2.2 64B 或 66B 同步标头流配置

同步标头流可用于识别链路上的位错误或校正位错误。ADC12QJ1600-SP 中提供两种运行模式。循环冗余校验 (CRC) 可用于识别位错误。ADC12QJ1600-SP 仅支持 12 位 CRC (CRC-12)，不支持 JESD204C 所述的可选 3 位 CRC-3。或者，可以使用前向纠错 (FEC) 来识别位错误，然后纠正位错误。有关 CRC-12 的信息，请参阅循环冗余校验 (CRC) 模式。有关 FEC 的信息，请参阅前向纠错 (FEC) 模式。

6.4.2.3 冗余数据模式（备选信道）

使用四个或更少通道的 JMODE 可在 JESD204C 输出上使用冗余。例如，如果将 FPGA 或 ASIC 视为系统可靠性的薄弱点，系统可能将两个 FPGA 或 ASIC 连接到一个器件上。在此示例系统中，一次只有一个 FPGA 或 ASIC 运行，只有在默认 FPGA 或 ASIC 中检测到故障时才会启用冗余 FPGA 或 ASIC。要使用此模式，必须将下部四个串行器/解串器通道 (D3-D0) 路由到单个 FPGA 或 ASIC，并将上部四个串行器/解串器通道 (D7-D4) 路由到冗余 FPGA 或 ASIC。下部四个通道是“默认”通道，上部四个通道是“备用”通道。通过将 ALT_LANES 参数设置为 0（对于默认通道）或 1（对于备用通道）来选择所需的通道。一次只能运行一组串行器/解串器输出。

6.4.3 断电模式

PD 输入引脚允许器件完全断电。断电也可以通过 MODE 控制。当 PD 为高电平时，串行数据输出驱动器被禁用。当器件恢复正常运行时，必须重新建立 JESD204 链路，而且由于 ADC 流水线包含无意义的信息，系统必须等待足够的时间来刷新数据。寄存器配置和校准数据在断电期间保持不变。如果在断电期间温度发生显著变化，则可能需要校准周期（前台或后台校准），才能恢复理想性能。也可以使用 CH_EN 寄存器对通道对进行断电。请勿使用 CH_EN 关闭所有四个通道，而应使用 MODE 或 PD 引脚。

6.4.4 测试模式

可使用多种器件测试模式。这些模式将已知的信息模式插入器件数据路径中，以协助系统调试、开发或表征分析。

Copyright © 2025 Texas Instruments Incorporated

6.4.4.1 串行器测试模式详细信息

可以通过将 JTEST 设置为所需的测试模式来启用测试模式。以下各节详细介绍了每个测试模式。无论使用何种测试模式，串行器输出（通道数、速率）都会根据 JMODE 上电。仅在禁用 JESD204C 链路时启用测试模式。图 6-12 提供了展示各种测试模式插入点的例图。

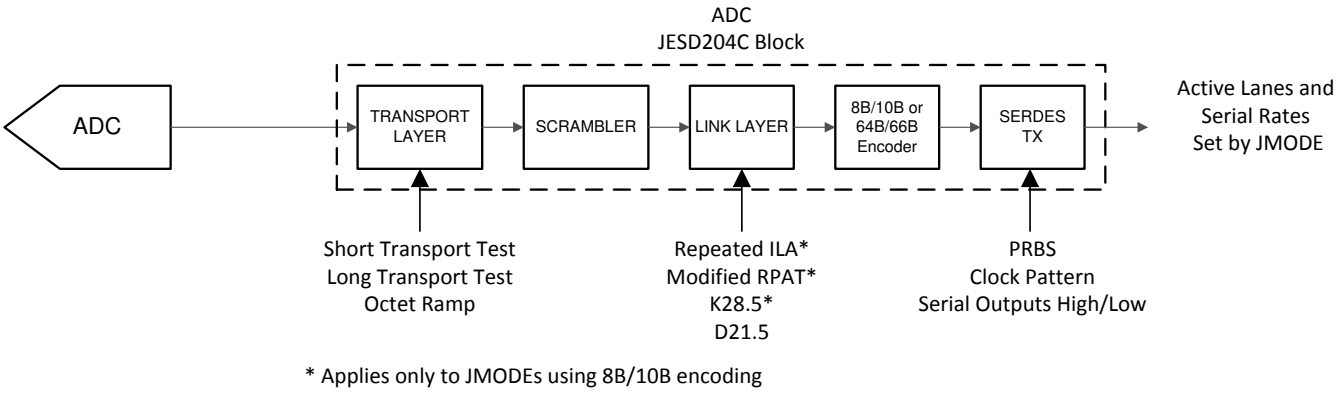


图 6-12. 测试模式插入点

6.4.4.2 PRBS 测试模式

PRBS 测试模式绕过 JESD204C 传输层和链路层，因此既不扰频也不编码。这些测试模式产生符合 ITU-T O.150 规范的伪随机位流。这些位流与可以自同步至位模式的实验室测试设备或逻辑器件配合使用。由于接收器自同步，未定义该模式的初始相位。

序列由递归公式定义。例如，公式 12 可定义 PRBS7 序列。

$$y[n] = y[n - 6] \oplus y[n - 7] \tag{12}$$

其中

- 位 n 是之前发送的位 [n – 6] 和位 [n – 7] 的异或运算结果

表 6-34 列出了可用 PRBS 测试模式的公式和序列长度，其中 ⊕ 是异或运算，而 y[n] 则表示 PRBS 序列中的位 n。该模式的初始相位对于每个通道都具有唯一性。

表 6-34. PBRS 模式公式

PRBS 测试模式	序列	序列长度（位）
PRBS7	$y[n] = y[n - 6] \oplus y[n - 7]$	127
PRBS9	$y[n] = y[n - 5] \oplus y[n - 9]$	511
PRBS15	$y[n] = y[n - 14] \oplus y[n - 15]$	32,767
PRBS23	$y[n] = y[n - 18] \oplus y[n - 23]$	8,388,607
PRBS31	$y[n] = y[n - 28] \oplus y[n - 31]$	2,147,483,647

6.4.4.3 时钟图形模式

在时钟图形模式下，会绕过 JESD204C 传输层和链路层，因此测试序列既不进行扰频也不进行编码。该图形包含一个 16 位长序列，该序列由 8 个 1 和 8 个零 (1111 1111 0000 0000) 组成，并无限期重复。

6.4.4.4 斜坡测试模式

在斜坡测试模式下，JESD204C 链路层正常运行，但传输层被禁用。每个通道对相同的递增八位位组值流进行编码。每个多帧（或扩展多块）开始时的八位位组值为 0x00。对于后续的每个八位位组，该值增加 1。如果多帧

Copyright © 2025 Texas Instruments Incorporated

（或扩展多块）中的八位位组超过 256 个，则该值在达到 0xFF 后则回滚到 0x00。在 8b/10b 模式下，斜坡模式在 ILAS 完成之前不会启动。在 64b/66b 模式下，斜坡模式在串行器初始化后启动。

6.4.4.5 近程和远程传输测试模式

JESD204C 可定义近程和远程传输测试模式，以验证发送器和接收器中的传输层是否正常运行。器件使用的近程传输测试模式取决于 JMODE，并在*近程传输测试模式*中提供。该器件不支持远程传输测试模式。

6.4.4.5.1 近程传输测试模式

近程传输测试模式可发送预定义的八位位组格式，该格式在每帧中重复发生。本节定义了每个 JMODE 的近程传输测试模式。

表 6-35. JMODE 0 的近程传输测试模式

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	0xF01		0xF02		0xF03		0xF04		0xF05							T
D1	0xE11		0xE12		0xE13		0xE14		0xE15							T
D2（仅限双通道或四通道）	0xD21		0xD22		0xD23		0xD24		0xD25							T
D3（仅限双通道或四通道）	0xC31		0xC32		0xC33		0xC34		0xC35							T
D4（仅限四通道）	0xB41		0xB42		0xB43		0xB44		0xB45							T
D5（仅限四通道）	0xA51		0xA52		0xA53		0xA54		0xA55							T
D6（仅限四通道）	0x961		0x962		0x963		0x964		0x965							T
D7（仅限四通道）	0x871		0x872		0x873		0x874		0x875							T

表 6-36. JMODE 1 的近程传输测试模式

八位位组	0				1			
半字节	0		1		2		3	
D0	0xF01						0xF	
D1	0x02				0xE1			
D2（仅限双通道或四通道）	0x1		0xE12					
D3（仅限四通道）	0xD21						0xD	
D4（仅限四通道）	0x22				0xC3			
D5（仅限四通道）	0x1		0xC32					

表 6-37. JMODE 2 的近程传输测试模式

八位位组	0	
半字节	0	1
D0	0x01	
D1（仅限双通道或四通道）	0x11	
D2（仅限四通道）	0x21	
D3（仅限四通道）	0x31	

Copyright © 2025 Texas Instruments Incorporated

表 6-38. JMODE 3 的近程传输测试模式

八位位组	0		1		2		3		4	
半字节	0	1	2	3	4	5	6	7	8	9
D0	0x301		0x302		0x303		0x304			
D1（仅限双通道或四通道）	0x211		0x212		0x213		0x214			
D2（仅限四通道）	0x121		0x122		0x123		0x124			
D3（仅限四通道）	0x031		0x032		0x033		0x034			

表 6-39. JMODE 4 的近程传输测试模式

八位位组	0		1	
半字节	0	1	2	3
D0	0xF01			0xE
D1（仅限双通道或四通道）	0x11		0xD2	
D2（仅限四通道）	0x1	0xC31		

表 6-40. JMODE 5 的近程传输测试模式

八位位组	0		1	
半字节	0	1	2	3
D0	0x01		0x11	
D1（仅限四通道）	0x21		0x31	

表 6-41. JMODE 6 的近程传输测试模式

八位位组	0		1	
半字节	0	1	2	3
D0	0xF01			0xF
D1	0x02		0xE1	
D2（仅限双通道或四通道）	0x1	0xE12		
D3（仅限四通道）	0xD21			0xD
D4（仅限四通道）	0x22		0xC3	
D5（仅限四通道）	0x1	0xC32		

表 6-42. JMODE 7 的近程传输测试模式

八位位组	0	
半字节	0	1
D0	0x01	
D1（仅限双通道或四通道）	0x11	
D2（仅限四通道）	0x21	
D3（仅限四通道）	0x31	

表 6-43. JMODE 8 的近程传输测试模式

八位位组	0		1		2	
半字节	0	1	2	3	4	5
D0	0xF01		0xF02			
D1（仅限双通道或四通道）	0xE11		0xE12			
D2（仅限四通道）	0xD21		0xD22			
D3（仅限四通道）	0xC31		0xC32			

Copyright © 2025 Texas Instruments Incorporated

表 6-44. JMODE 9 的近程传输测试模式

八位位组	0	
半字节	0	1
D0	0x01	
D1	0x02	
D2（仅限双通道或四通道）	0x11	
D3（仅限双通道或四通道）	0x12	
D4（仅限四通道）	0x21	
D5（仅限四通道）	0x22	
D6（仅限四通道）	0x31	
D7（仅限四通道）	0x32	

表 6-45. JMODE 10 的近程传输测试模式

八位位组	0		1		2		3		4	
半字节	0	1	2	3	4	5	6	7	8	9
D0	0x301		0x302		0x303		0x304			
D1	0x211		0x212		0x213		0x214			
D2（仅限双通道或四通道）	0x121		0x122		0x123		0x124			
D3（仅限双通道或四通道）	0x031		0x032		0x033		0x034			
D4（仅限四通道）	0x341		0x342		0x343		0x344			
D5（仅限四通道）	0x251		0x252		0x253		0x254			
D6（仅限四通道）	0x161		0x162		0x163		0x164			
D7（仅限四通道）	0x071		0x072		0x073		0x074			

表 6-46. JMODE 11 的近程传输测试模式

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D0	0xF01		0xF02		0xF03		0xF04		0xF05			T				
D1	0xE11		0xE12		0xE13		0xE14		0xE15			T				
D2	0xD21		0xD22		0xD23		0xD24		0xD25			T				
D3	0xC31		0xC32		0xC33		0xC34		0xC35			T				
D4（仅限双通道）	0xB41		0xB42		0xB43		0xB44		0xB45			T				
D5（仅限双通道）	0xA51		0xA52		0xA53		0xA54		0xA55			T				
D6（仅限双通道）	0x961		0x962		0x963		0x964		0x965			T				
D7（仅限双通道）	0x871		0x872		0x873		0x874		0x875			T				

表 6-47. JMODE 12 的近程传输测试模式

八位位组	0	
半字节	0	1
D0	0x01	
D1	0x02	
D2	0x03	
D3	0x04	

Copyright © 2025 Texas Instruments Incorporated

表 6-47. JMODE 12 的近程传输测试模式（续）

八位位组	0	
半字节	0	1
D4（仅限双通道）	0x11	
D5（仅限双通道）	0x12	
D6（仅限双通道）	0x13	
D7（仅限双通道）	0x14	

表 6-48. JMODE 13 的近程传输测试模式

八位位组	0		1		2		3		4	
半字节	0	1	2	3	4	5	6	7	8	9
D0	0x301		0x302		0x303		0x304			
D1	0x211		0x212		0x213		0x214			
D2	0x121		0x122		0x123		0x124			
D3	0x031		0x032		0x033		0x034			
D4（仅限双通道）	0x341		0x342		0x343		0x344			
D5（仅限双通道）	0x251		0x252		0x253		0x254			
D6（仅限双通道）	0x161		0x162		0x163		0x164			
D7（仅限双通道）	0x071		0x072		0x073		0x074			

表 6-49. JMODE 14 的近程传输测试模式

八位位组	0		1		2	
半字节	0	1	2	3	4	5
D0	0xF01		0xF02			
D1	0xE11		0xE12			
D2（仅限双通道或四通道）	0xD21		0xD22			
D3（仅限双通道或四通道）	0xC31		0xC32			
D4（仅限四通道）	0xB41		0xB42			
D5（仅限四通道）	0xA51		0xA52			
D6（仅限四通道）	0x961		0x962			
D7（仅限四通道）	0x871		0x872			

表 6-50. JMODE 15 的近程传输测试模式

八位位组	0		1		2	
半字节	0	1	2	3	4	5
D0	0xF01		0xF02			
D1	0xE11		0xE12			
D2	0xD21		0xD22			
D3	0xC31		0xC32			
D4（仅限双通道）	0xB41		0xB42			
D5（仅限双通道）	0xA51		0xA52			
D6（仅限双通道）	0x961		0x962			
D7（仅限双通道）	0x871		0x872			

6.4.4.6 D21.5 测试模式

在此测试模式下，控制器发送连续的 D21.5 字符串流（交替显示 0s 和 1s）。此模式适用于 8B/10B 和 64B/66B 模式。

Copyright © 2025 Texas Instruments Incorporated

6.4.4.7 K28.5 测试模式

在此测试模式下，控制器发送连续的 K28.5 字符流。该模式只适用于 8B/10B 模式。

6.4.4.8 重复 ILA 测试模式

在此测试模式下，JESD204C 链路层正常运行，但 ILA 序列 (ILAS) 会无限期重复，而不是启动数据阶段。每当接收器发出同步请求时，发送器都会启动代码组同步。代码组同步完成后，发送器重复发送 ILA 序列。该模式只适用于 8B/10B 模式。

6.4.4.9 修改的 RPAT 测试模式

INCITS TR-35-2004 中定义了 12 个八位位组的重复模式。该模式的目的是为 JESD204C 合规性和抖动测试生成白频谱内容。表 6-51 列出了 8B/10B 编码前后的模式。该模式只适用于 8B/10B 模式。

表 6-51. 修改了 RPAT 模式值

八位位组编号	DX.y 标记	8B/10B 编码器的 8 位输入	8B/10B 编码器的 20 位输出（两个字符）
0	D30.5	0xBE	0x86BA6
1	D23.6	0xD7	
2	D3.1	0x23	0xC6475
3	D7.2	0x47	
4	D11.3	0x6B	0xD0E8D
5	D15.4	0x8F	
6	D19.5	0xB3	0xCA8B4
7	D20.0	0x14	
8	D30.2	0x5E	0x7949E
9	D27.7	0xFB	
10	D21.1	0x35	0xAA665
11	D25.2	0x59	

6.4.5 校准模式和修整

该器件有两种校准模式：前台校准和后台校准。启动前台校准时，ADC 会离线以进行校准，输出数据变为中间码（二进制补码中的 0x000），直到校准完成。后台校准使 ADC 能够继续正常运行，同时通过交换不同的 ADC 内核来代替 ADC 内核，在后台校准 ADC 内核。前台和后台校准模式下都提供了额外的失调电压校准功能。此外，可以修整许多 ADC 参数以优化用户系统中的性能。

该器件总共包含六个 ADC 内核。在前台校准模式下，ADC 0 采样 INA±、ADC 1 采样 INB±、ADC 4 采样 INC± 且 ADC 5 采样 IND±。在后台校准模式下，ADC 0 和 ADC 1 会定期交换 ADC 内核 2，ADC 4 和 5 会定期交换 ADC 内核 3，以便可以在不中断操作的情况下进行校准。图 6-13 至 图 6-15 提供了校准系统图，包括 ADC 内核的标记。执行校准时，每组的线性度，增益和失调电压根据内部生成的校准信号进行校准。在校准期间，前台和后台都可以驱动模拟输入，除非使用偏移校准（OS_CAL 或 BGOS_CAL）时，直流附近必须没有信号（或混叠信号），以便正确估算偏移（请参阅*偏移校准*部分）。

Copyright © 2025 Texas Instruments Incorporated

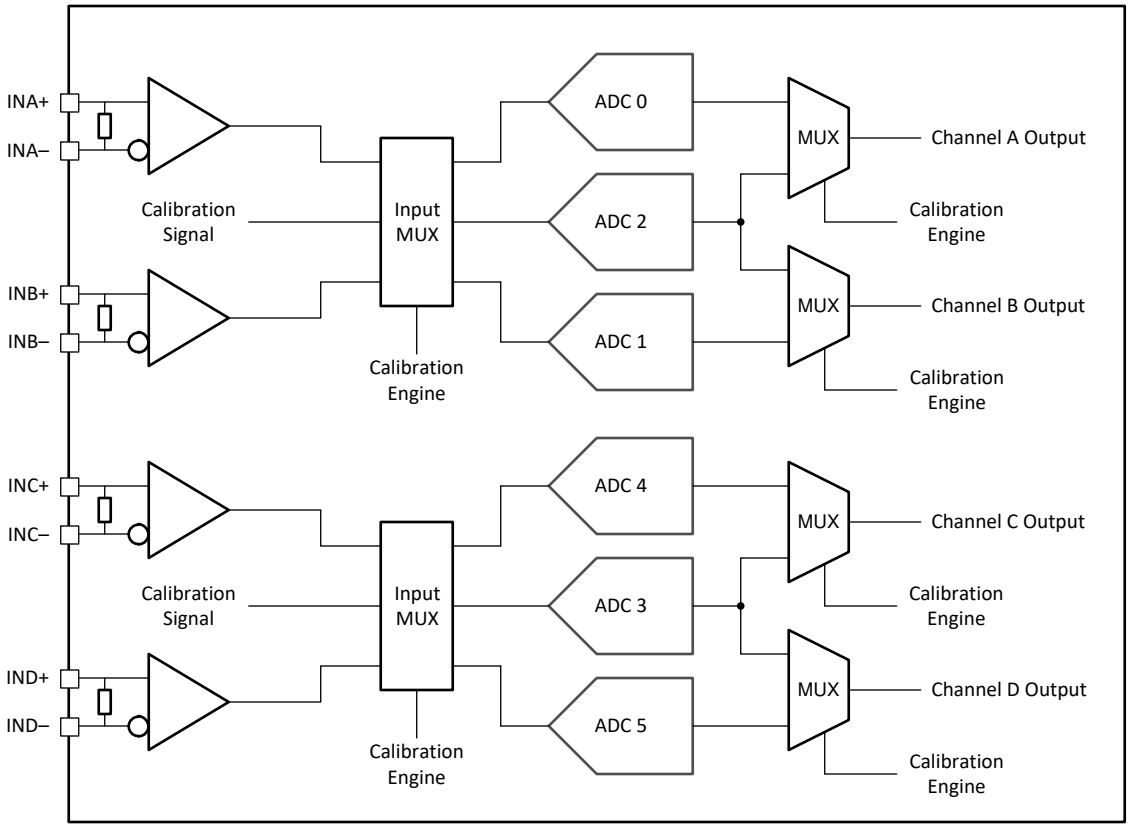


图 6-13. 四通道校准系统方框图

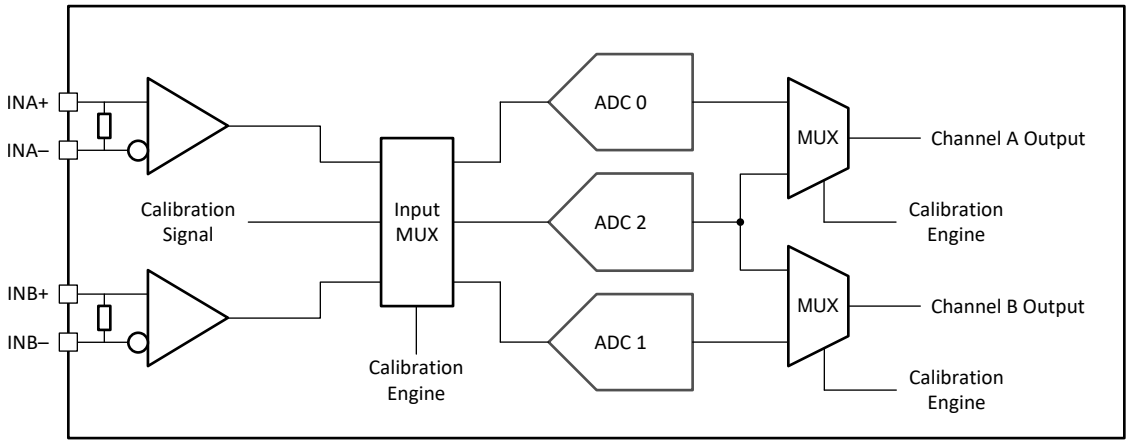


图 6-14. 双通道校准系统方框图

Copyright © 2025 Texas Instruments Incorporated

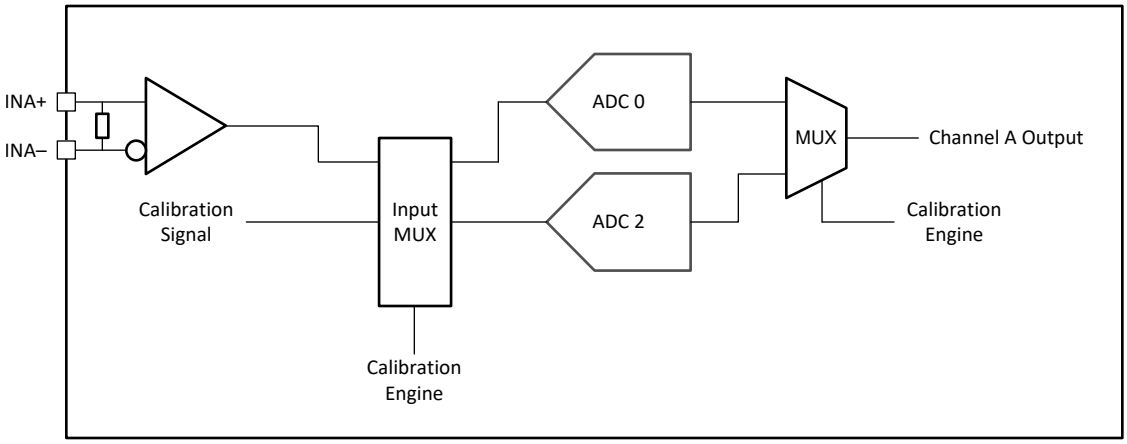


图 6-15. 单通道校准系统方框图

除了校准之外，许多 ADC 参数是用户可控制的，为了达到最佳性能可进行修整。这些参数包括输入失调电压，ADC 增益和输入端接电阻。默认修整值在出厂时被编程为每个器件的唯一值，这些器件在测试系统工作条件下被确定为最佳值。用户可以从修整寄存器中读取出厂编程值，并根据需要进行调整。根据正在被采样的输入（INA±、INB±、INC± 或 IND）和正在被修整的 ADC 内核，对控制修整的寄存器字段进行标记。用户不会随着运行条件的变化而更改修整值，但用户可以根据需要更改值。由于工艺差异，任何定制修整都必须基于每个器件的情况，这意味着所有器件都没有全局最佳设置。有关可用的修整参数和相关寄存器信息，请参阅 *修整* 部分。

6.4.5.1 前台校准模式

在前台校准时要求 ADC 在该过程中停止转换模拟输入信号。前台校准始终在上电时运行。在对器件编程之前，用户必须等待足够的时间，确保校准完成。可通过触发校准引擎来启动前台校准。触发源可以是 CALTRIG 引脚或 CAL_SOFT_TRIG，可以通过设置 CAL_TRIG_EN 来进行选择。

6.4.5.2 后台校准模式

后台校准模式支持 ADC 持续运行，且不会中断数据。通过激活已校准的额外 ADC 内核来接管之前其他任一有源 ADC 内核的运行，而使此项运行能持续。在四通道器件中，ADC 内核 0 和 1 共享一个额外的 ADC 内核（ADC 内核 2），ADC 内核 4 和 5 共享另一个额外的 ADC 内核（ADC 内核 3）。当 ADC 内核脱机时，对 ADC 进行校准，然后可以转而校准下一个 ADC。这一过程会持续运行，确保无论系统工作条件如何变化，ADC 内核都能始终提供出色的性能。一次只校准一个内核以降低功耗，但与前台校准模式相比，额外的有源 ADC 内核确实会增加功耗。*低功耗后台校准 (LPBG) 模式* 部分所述的低功耗后台校准 (LPBG) 模式提供了与标准后台校准模式相比更低的平均功耗。可以通过设置 CAL_BG 来启用后台校准。CAL_TRIG_EN 必须设置为 0，CAL_SOFT_TRIG 必须设置为 1。

在内核切换过程时，已非常小心地以最大限度地减少对转换数据的影响，但是，随着内核交换，转换器数据上仍可能会出现短暂的毛刺脉冲。建议将寄存器 ADC_SRC_DLY（地址= 0x9A）设置为 0x1F，并将 MUX_SEL_DLY（地址= 0x9B）设置为 0x1E。

有关正弦波和直流信号中可能出现的干扰示例，请参阅*典型特性*。

6.4.5.3 低功耗后台校准 (LPBG) 模式

低功耗后台校准（LPBG）模式可降低启用额外 ADC 内核的功耗开销，同时仍允许对 ADC 内核进行后台校准，以在工作条件发生变化时保持理想性能。LPBG 校准会修改后台校准过程，将备用 ADC 内核断电直至其准备好进行校准。设置 LP_EN = 1 以启用低功耗后台校准功能。ADC 内核的校准和交换可以由器件自动控制，也可以通过适当地设置 LP_TRIG 由系统手动控制。手动控制（LP_TRIG=1）允许系统触发校准以便限制所出现的校准周期数，从而避免不必要的内核交换或将功耗保持在最低水平。例如，用户可以决定仅在系统温度变化某个固定温度时运行校准。如果不需要手动控制，则可以启用自动校准控制 (LP_TRIG=0)，以固定的时间间隔进行校准。

Copyright © 2025 Texas Instruments Incorporated

在自动校准模式 (LP_TRIG=0) 下，备用 ADC 内核睡眠时间可通过 LP_SLEEP_DLY 寄存器设置进行控制。LP_SLEEP_DLY 用于调整 ADC 唤醒以进行校准之前处于睡眠状态的时间（当 LP_EN=1 且 LP_TRIG = 0 时）。LP_WAKE_DLY 设置在校准开始之前被唤醒后允许内核稳定的时间。在自动校准控制模式下，校准完成后，新校准的内核会立即换成有源内核，新的备用内核在唤醒和校准之前在睡眠期间断电。

为了使用校准触发器（CAL_SOFT_TRIG 或 CALTRIG）触发校准和内核交换，可以将 LP_TRIG 设置为高电平来启用手动校准控制。启用手动控制 (LP_TRIG=1) 时，备用 ADC 在校准触发器为高电平时保持在睡眠模式。将校准触发器设置为低电平，然后唤醒备用 ADC 内核，并在等待指定的唤醒延迟 (LP_WAKE_DLY) 后启动校准例程。校准完成并且校准触发器再次设置为高电平后，备用 ADC 内核将交换为有源内核。如果校准触发器保持低电平，则备用 ADC 内核会校准并加电，直到校准触发器变为高电平，从而消耗功率。ADC12QJ1600-SP 可以通过设置 CALSTAT 引脚以输出 CAL_STOPPED 信号 (CAL_STATUS_SEL = 1) 来报告备用 ADC 何时在 CALSTAT 输出引脚上完成校准。为了实现最低功耗，在校准完成之前将校准触发器设置为高电平，以便在校准完成后立即让备用 ADC 交换到有效 ADC 内核。否则，可以通过在所需时间将校准触发器设置为高电平来手动计时 ADC 内核交换，从而更大限度地减少交换过程引起的潜在干扰对系统的影响。

在 LPBG 模式下，ADC 内核校准期间的功耗会增加。备用 ADC 保持睡眠的时间越长，平均功耗就越低；但是，睡眠周期中运行条件的巨大变化可能会由于有效 ADC 内核的未优化校准数据而导致 ADC 性能下降。当备用 ADC 内核校准时，功耗大致在前台校准中的功耗与校准备用 ADC 时后台校准中的功耗之间交替。设计电源网络来控制此模式的瞬态电源要求，包括任何电源滤波网络后的大容量电容，以帮助在电源瞬态期间调节电源电压。

6.4.6 偏移校准

前台校准和后台校准模式本身会校准 ADC 内核的偏移；然而，输入缓冲器在校准环路之外，因此其偏移不会通过标准校准过程进行校准。为了校正输入缓冲器偏移，需提供单独的校准。

不得有直流或接近直流的信号，或直流或接近直流的混叠信号，以便正确校准偏移。这就要求系统在正常运行时确保这一条件，或者在校准期间能够使输入信号静音。前台偏移校准通过 CAL_OS 启用，作为前台校准过程的一部分，仅执行一次校准。后台偏移校准通过 CAL_BGOS 启用，作为后台校准例程的一部分继续校正偏移，以应对运行条件变化。设置 CAL_BGOS 时，系统必须确保在正常运行期间没有直流或近直流信号，也没有直流或接近直流的混叠信号。在使用后台校准时，在设置 CAL_EN 之前将 CAL_OS 设置为 1，可将偏移校准作为前台操作执行，但不能校正操作条件改变时的变化。

偏移校准校正使用输入偏移修整寄存器（请参阅 OFS0 至 OFS5）来校正偏移，因此用户在使用偏移校准时不得写入该寄存器。用户可以在校准完成后通过读取偏移修整寄存器来读取校准值，然后在将来使用这些值覆盖出厂修整值。使用前台偏移校准时 (CAL_OS = 1) 只读取 FG_DONE 为 1 时的值，而使用后台偏移校准时 (CAL_BGOS = 1) 不读取这些值。将 CAL_OS 和 CAL_BG 设置为 1，可在前台校准过程中对所有六个内核执行偏移校准。

某些系统（例如脉冲输入系统）可能会有目的地向模拟输入施加较大的外部直流偏移，以更大限度地提高单极信号的动态范围。由于施加了直流偏移，标准偏移校准对这些系统不再起作用。这些系统可将 OSREF 设置为使用备用 ADC 作为偏移基准，然后校准主 ADC 内核以匹配备用偏移。这样就可以在后台校准交换期间实现无缝偏移转换。

Copyright © 2025 Texas Instruments Incorporated

6.4.7 修整

表 6-52 列出了可修整的参数以及相关的寄存器。

表 6-52. 修整寄存器说明

修整参数	修整寄存器	注释
带隙基准	BG_TRIM	BG 输出引脚上的测量值。
输入终端电阻	RTrim_x， 其中 x = A 表示 INA±，B 表示 INB±，以此类推。	器件上电时必须使用时钟。
输入失调电压	OFSxy， 其中 x = ADC 内核（0、1、2、3、4 或 5），y = A 表示 INA±，B 表示 INB±，以此类推，或省略（对于 ADC 内核 0、1、4 和 5）	每个 ADC 内核（0、1、2、3、4 或 5）都允许使用不同的修整值，以便在后台校准模式下实现更一致的偏移性能。在 CAL_BG = 1 时使用 CAL_OS，可从这些寄存器中获取修整值。
模拟输入增益	GAINxy， 其中 x = ADC 内核（0、1、2、3、4 或 5），y = A 表示 INA±，B 表示 INB±，以此类推，或省略（对于 ADC 内核 0、1、4 和 5）	使用此修整可匹配每个 ADC 内核的增益。这些寄存器不受校准过程影响。
满量程输入电压	FS_RANGE	适用于所有输入的满量程输入电压调节。使用 GAINxy 可匹配每个输入的增益。

Copyright © 2025 Texas Instruments Incorporated

6.5 编程

6.5.1 使用串行接口

使用以下四个引脚访问串行接口：串行时钟 (SCLK)、串行数据输入 (SDI)、串行数据输出 (SDO) 和串行接口片选 ($\overline{SCS}$)。通过 $\overline{SCS}$ 引脚启用寄存器访问。

6.5.2 $\overline{SCS}$

该信号必须置位低电平才能通过串行接口访问寄存器。必须遵守相对于 SCLK 的建立和保持时间。

6.5.3 SCLK

在该信号的上升沿接受串行数据输入。SCLK 没有最低频率要求。

6.5.4 SDI

每个寄存器访问都需要在此输入端采用特定的 24 位模式。该模式包含一个读写 (R/W) 位、寄存器地址和寄存器值。数据以 MSB 优先的方式移动，多字节寄存器始终采用小端字节序格式（存储在最低地址的最低有效字节）。必须遵守相对于 SCLK 的建立和保持时间（请参阅时序要求表）。

6.5.5 SDO

SDO 信号提供读取命令所请求的输出数据。该输出在写入总线周期以及读取总线周期的读取位和寄存器地址部分期间具有高阻抗。

如串行接口协议所示：单读取/写入，每个寄存器访问由 24 位组成。第一个位为高电平时进行读取，为低电平时进行写入。

接下来的 15 位是要写入的寄存器的地址。在写入操作期间，最后 8 位是写入到已寻址寄存器的数据。在读取操作期间，SDI 上的最后 8 个位将被忽略，在此期间，SDO 将输出来自已寻址寄存器的数据。串行接口协议：单读取/写入显示了串行协议详细信息。

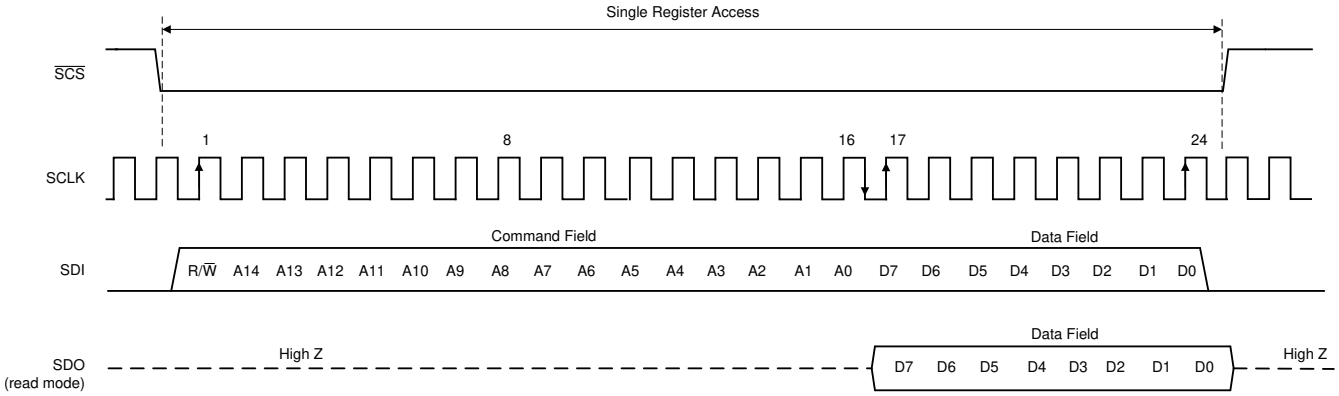


图 6-16. 串行接口协议：单读取/写入

Copyright © 2025 Texas Instruments Incorporated

6.5.6 流模式

串行接口支持流式读取和写入。在此模式下，事务的前 24 位将照常指定访问类型、寄存器地址和数据值。只要 $\overline{SCS}$ 输入保持在置位（逻辑低电平）状态，读/写数据的额外时钟周期就会立即传输。对于每次后续的 8 位流事务传输，寄存器地址都会自动递增（默认）或递减。ASCEND 可控制地址值是上升（递增）还是下降（递减）。可以通过设置 ADDR_HOLD 位来禁用流模式。图 6-17 展示了流模式事务详细信息。

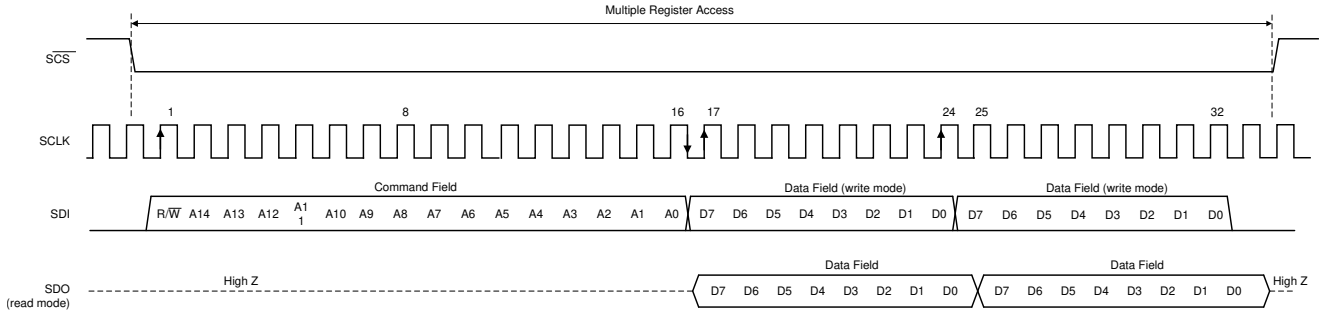


图 6-17. 串行接口协议：流式读取/写入

有关这些寄存器的详细信息，请参阅 SPI_Register_Map 寄存器部分

备注

切勿在 ADC 校准期间访问串行接口。在此期间访问串行接口会降低器件性能，直到正确校准器件为止。对串行寄存器进行写入或读取操作还会降低寄存器访问期间的动态 ADC 性能。

Copyright © 2025 Texas Instruments Incorporated

6.5.7 SPI_Register_Map 寄存器

表 6-53 列出了 SPI_Register_Map 寄存器。表 6-53 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 6-53. SPI_REGISTER_MAP 寄存器

地址	首字母缩写词	寄存器名称	部分
0x0	CONFIG_A	配置 A (默认值：0x30)	转到
0x2	DEVICE_CONFIG	器件配置 (默认值：0x00)	转到
0xC	VENDOR_ID	供应商标识 (默认值 = 0x0451)	转到
0x10	USR0	用户 SPI 配置 (默认值：0x00)	转到
0x29	CLK_CTRL0	时钟控制 0 (默认值：0x80)	转到
0x2A	CLK_CTRL1	时钟控制 1 (默认值：0x00)	转到
0x2B	CLK_CTRL2	时钟控制 2 (默认值：0x10)	转到
0x2C	SYSREF_POS	SYSREF 捕获位置 (只读状态)	转到
0x30	FS_RANGE	FS_RANGE (默认值：0xA000)	转到
0x37	LOW_POWER1	低功耗模式 1 (默认值：0x4B)	转到
0x3B	TMSTP_CTRL	时间戳 (TMSTP) 控制 (默认值：0x00)	转到
0x3C	PLLREFO_CTRL	PLL 基准输出控制 (默认值：0x01)	转到
0x3D	CPLL_FBDIV1	C-PLL 反馈分频器 V 和 P (默认值：0x00)	转到
0x3E	CPLL_FBDIV2	C-PLL 反馈分频器 N (默认值：0x20)	转到
0x3F	CPLL_VCOCTRL1	C-PLL 反馈分频器 N (默认值：0x4F)	转到
0x48	SER_PE	串行器预加重控制 (默认值：0x00)	转到
0x57	TRIGOUT_CTRL	TRIGOUT 输出控制 (默认值：0x00)	转到
0x58	CPLL_OVR	C-PLL 引脚覆盖 (默认值：0x00)	转到
0x59	VCO_FREQ_TRIM	C-PLL VCO 频率修整 (默认值：未定义)	转到
0x5C	CPLL_RESET	C-PLL/VCO 校准复位 (默认值：0x00)	转到
0x5D	VCO_CAL_CTRL	VCO 校准控制 (默认值：0x40)	转到
0x5E	VCO_CAL_STATUS	VCO 校准状态 (只读) (默认值：未定义)	转到
0x61	CAL_EN	启用校准 (默认值：0x01)	转到
0x62	CAL_CFG0	校准配置 0 (默认值：0x01)	转到
0x65	CAL_CFG1	校准配置 1 (默认值：0x01)	转到
0x68	CAL_AVG	校准均值计算 (默认值：0x61)	转到
0x6A	CAL_STATUS	校准状态 (默认值：未定义) (只读)	转到
0x6B	CAL_PIN_CFG	校准引脚配置 (默认值：0x00)	转到
0x6C	CAL_SOFT_TRIG	校准软件触发器 (默认值：0x01)	转到
0x6E	CAL_LP	低功耗后台校准 (默认值：0x88)	转到
0x7A	GAIN_TRIM	增益 DAC 修整 (保险丝 ROM 的默认值)	转到
0x7C	BG_TRIM	带隙修整 (保险丝 ROM 的默认值)	转到
0x7E	RTRIM_A	INA 的电阻器修整 (保险丝 ROM 的默认值)	转到
0x7F	RTRIM_B	INB 的电阻器修整 (保险丝 ROM 的默认值)	转到
0x80	RTRIM_C	INC 的电阻器修整 (保险丝 ROM 的默认值)	转到
0x81	RTRIM_D	IND 的电阻器修整 (保险丝 ROM 的默认值)	转到
0x9A	ADC_SRC_DLY	ADC 源校准延迟	节 6.5.7.37
0x9B	MUX_SEL_DLY	多路复用器选择校准延迟	节 6.5.7.38
0x9D	ADC_DITH	ADC 抖动控制 (保险丝 ROM 的默认值)	转到

Copyright © 2025 Texas Instruments Incorporated

表 6-53. SPI_REGISTER_MAP 寄存器（续）

地址	首字母缩写词	寄存器名称	部分
0x160	LSB_CTRL	LSB 控制位输出（默认值：0x00）	转到
0x200	JESD_EN	JESD204C 子系统启用（默认值：0x01）	转到
0x201	JMODE	JESD204C 模式（默认值：0x00）	转到
0x202	KM1	JESD204C K 参数 (-1)（默认值：0x1F）	转到
0x203	JSYNC_N	JESD204C 手动同步请求（默认值：0x01）	转到
0x204	JCTRL	JESD204C 控制（默认值：0x03）	转到
0x205	JTEST	JESD204C 测试控制（默认值：0x00）	转到
0x206	DID	JESD204C DID 参数（默认值：0x00）	转到
0x207	FCHAR	JESD204C 帧字符（默认值：0x00）	转到
0x208	JESD_STATUS	JESD204C/系统状态寄存器	转到
0x209	CH_EN	JESD204C 通道启用（默认值：0x03）	转到
0x20F	SHMODE	JESD204C 同步字模式（默认值：0x00）	转到
0x210	SYNC_THRESH	JESD204C SYNC~ 阈值（默认值：0x03）	转到
0x211	OVR_TH	超范围阈值（默认值：0xF2）	转到
0x213	OVR_CFG	超范围启用/保持关闭（默认值：0x07）	转到
0x270	INIT_STATUS	初始化状态（只读）	转到
0x29A	LOW_POWER2	低功耗模式 2（默认值：0x0F）	转到
0x29B	LOW_POWER3	低功耗模式 3（默认值：0x04）	转到
0x29C	LOW_POWER4	低功耗模式 4（默认值：0x1B）	转到
0x2C0	ALARM	警报中断（只读）	转到
0x2C1	ALM_STATUS	警报状态（默认值：0x3F，写入以进行清除）	转到
0x2C2	ALM_MASK	警报屏蔽寄存器（默认值：0x3F）	转到
0x2C4	FIFO_LANE_ALM	FIFO 上溢/下溢警报（默认值：0xFF）	转到
0x330	OFS0	ADC0 的偏移调整（保险丝 ROM 的默认值）	转到
0x332	OFS1	ADC1 的偏移调整（保险丝 ROM 的默认值）	转到
0x334	OFS2A	ADC2 的偏移调整 (INA±)（保险丝 ROM 的默认值）	转到
0x336	OFS2B	ADC2 的偏移调整 (INB±)（保险丝 ROM 的默认值）	转到
0x338	OFS3C	ADC3 的偏移调整 (INC±)（保险丝 ROM 的默认值）	转到
0x33A	OFS3D	ADC3 的偏移调整 (IND±)（保险丝 ROM 的默认值）	转到
0x33C	OFS4	ADC4 的偏移调整（保险丝 ROM 的默认值）	转到
0x33E	OFS5	ADC5 的偏移调整（保险丝 ROM 的默认值）	转到
0x360	GAIN0	ADC0 的精细增益调整（保险丝 ROM 的默认值）	转到
0x361	GAIN1	ADC1 的精细增益调整（保险丝 ROM 的默认值）	转到
0x362	GAIN2A	ADC2 的精细增益调整 (INA±)（保险丝 ROM 的默认值）	转到
0x363	GAIN2B	ADC2 的精细增益调整 (INB±)（保险丝 ROM 的默认值）	转到
0x364	GAIN3C	ADC3 的精细增益调整 (INC±)（保险丝 ROM 的默认值）	转到
0x365	GAIN3D	ADC3 的精细增益调整 (IND±)（保险丝 ROM 的默认值）	转到
0x366	GAIN4	ADC4 的精细增益调整（保险丝 ROM 的默认值）	转到
0x367	GAIN5	ADC5 的精细增益调整（保险丝 ROM 的默认值）	转到

复杂的位访问类型经过编码可适应小型表单元。表 6-54 展示了适用于此部分中访问类型的代码。

Copyright © 2025 Texas Instruments Incorporated

表 6-54. SPI_Register_Map 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-*n*		复位后的值或默认值
寄存器数组变量		
i、j、k、l、m、n		当这些变量用于寄存器名称、偏移或地址时，它们指的是寄存器数组的值，其中寄存器是一组重复寄存器的一部分。寄存器组构成分层结构，数组用公式表示。
y		当该变量用于寄存器名称、偏移或地址时，它指的是寄存器数组的值。

6.5.7.1 CONFIG_A 寄存器（地址 = 0x0）[复位 = 0x30]

图 6-18 展示了 CONFIG_A，表 6-55 中对此进行了介绍。

返回到汇总表。

配置 A（默认值：0x30）

图 6-18. CONFIG_A 寄存器

7	6	5	4	3	2	1	0
SOFT_RESET	RESERVED	ASCEND	SDO_ACTIVE	RESERVED			
R/W-0x0	R/W-0x0	R/W-0x1	R-0x1	R/W-0x0			

表 6-55. CONFIG_A 寄存器字段说明

位	字段	类型	复位	说明
7	SOFT_RESET	R/W	0x0	设置该位会导致芯片和所有 SPI 寄存器（包括 CONFIG_A）完全复位。该位会自行清除。写入该位后，器件可能需要长达 750ns 的时间才能复位。在此期间，请勿执行任何 SPI 事务。
6	RESERVED	R/W	0x0	必须写入默认值。
5	ASCEND	R/W	0x1	0：在流式读取/写入期间地址递减 1：在流式读取/写入期间地址递增（默认）
4	SDO_ACTIVE	R	0x1	始终返回 1。始终使用 SDO 进行 SPI 读取。 不支持 SDIO 模式。
3:0	RESERVED	R/W	0x0	

6.5.7.2 DEVICE_CONFIG 寄存器（地址 = 0x2）[复位 = 0x00]

图 6-19 展示了 DEVICE_CONFIG，表 6-56 中对此进行了介绍。

返回到汇总表。

器件配置（默认值：0x00）

图 6-19. DEVICE_CONFIG 寄存器

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-19. DEVICE_CONFIG 寄存器（续）

RESERVED	MODE
R/W-0x0	R/W-0x0

表 6-56. DEVICE_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	必须写入默认值。
1:0	MODE	R/W	0x0	0：正常运行（默认） 1：保留 2：保留 3：断电（整个器件）

6.5.7.3 VENDOR_ID 寄存器（地址 = 0xC）[复位 = 0x0]

图 6-20 展示了 VENDOR_ID，表 6-57 中对此进行了介绍。

返回到汇总表。

供应商标识（默认值 = 0x0451）

图 6-20. VENDOR_ID 寄存器

15	14	13	12	11	10	9	8
VENDOR_ID							
R-0x0							
7	6	5	4	3	2	1	0
VENDOR_ID							
R-0x0							

表 6-57. VENDOR_ID 寄存器字段说明

位	字段	类型	复位	说明
15:0	VENDOR_ID	R	0x0	始终返回 0x0451（德州仪器 (TI) 的供应商 ID）

6.5.7.4 USR0 寄存器（地址 = 0x10）[复位 = 0x00]

图 6-21 展示了 USR0，表 6-58 中对此进行了介绍。

返回到汇总表。

用户 SPI 配置（默认值：0x00）

图 6-21. USR0 寄存器

7	6	5	4	3	2	1	0
RESERVED							ADDR_HOLD
R/W-0x0							R/W-0x0

表 6-58. USR0 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。

Copyright © 2025 Texas Instruments Incorporated

表 6-58. USR0 寄存器字段说明 （续）

位	字段	类型	复位	说明
0	ADDR_HOLD	R/W	0x0	0：使用 ASCEND 寄存器来选择地址 ASCEND/DECEND 模式（默认值） 1：地址在整个流操作中保持恒定；有助于在 CAL_DATA 寄存器中读取和写入校准矢量信息

6.5.7.5 CLK_CTRL0 寄存器（地址 = 0x29）[复位 = 0x80]

图 6-22 展示了 CLK_CTRL0，表 6-59 中对此进行了介绍。

返回到汇总表。

时钟控制 0（默认值：0x80）

图 6-22. CLK_CTRL0 寄存器

7	6	5	4	3	2	1	0
RESERVED	SYSREF_PROC_EN	SYSREF_RECV_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0x1	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			

表 6-59. CLK_CTRL0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x1	必须写入默认值。
6	SYSREF_PROC_EN	R/W	0x0	该位可启用 SYSREF 处理器，允许器件处理 SYSREF 事件（默认值：禁用）。在设置 SYSREF_PROC_EN 之前，必须先设置 SYSREF_RECV_EN。
5	SYSREF_RECV_EN	R/W	0x0	设置该位可启用 SYSREF 接收器电路（默认值：禁用）
4	SYSREF_ZOOM	R/W	0x0	设置该位可放大 SYSREF 窗口状态和延迟（影响 SYSERF_POS 和 SYSREF_SEL）。设置后，SYSREF 窗口化功能（在 SYSREF_POS 寄存器中报告）中使用的延迟会变少。使用 SYSREF_ZOOM 来实现高时钟速率，特别是在 SYSREF_POS 寄存器中出现多个 SYSREF 有效窗口时；请参阅“SYSREF 位置检测器和采样位置选择（SYSREF 窗口）”一节。
3:0	SYSREF_SEL	R/W	0x0	设置该字段以选择要使用的 SYSREF 延迟。根据 SYSREF_POS 返回的结果设置此字段；请参阅“SYSREF 位置检测器和采样位置选择（SYSREF 窗口）”一节。

6.5.7.6 CLK_CTRL1 寄存器（地址 = 0x2A）[复位 = 0x00]

图 6-23 展示了 CLK_CTRL1，表 6-60 中对此进行了介绍。

返回到汇总表。

时钟控制 1（默认值：0x00）

图 6-23. CLK_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED					DEVCLK_LVPECL_EN	SYSREF_LVPECL_EN	SYSREF_INVERTED
R/W-0x0					R/W-0x0	R/W-0x0	R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-60. CLK_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	必须写入默认值。
2	DEVCLK_LVPECL_EN	R/W	0x0	为 DEVCLK 激活低压 PECL 模式。每个输入引脚（CLK+ 和 CLK-）的内部终端都变成一个 50Ω 的接地电阻器。当将 DEVCLK_LVPECL_EN 设置为 1 时，CLK± 没有输入共模自偏置。
1	SYSREF_LVPECL_EN	R/W	0x0	为 SYSREF 激活低压 PECL 模式。每个输入引脚（SYSREF+ 和 SYSREF-）的内部终端都变成一个 50Ω 的接地电阻器。当将 SYSREF_LVPECL_EN 设置为 1 时，SYSREF± 没有输入共模自偏置。
0	SYSREF_INVERTED	R/W	0x0	该位可反转用于对齐的 SYSREF 信号。

6.5.7.7 CLK_CTRL2 寄存器（地址 = 0x2B）[复位 = 0x10]

图 6-24 展示了 CLK_CTRL2，表 6-61 中对此进行了介绍。

返回到汇总表。

时钟控制 1（默认值：0x10）

图 6-24. CLK_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED					VA11Q_NOISESUPPR_EN	RESERVED	VCLK11_NOISESUPPR_EN
R/W-0x1					R/W-0x0	R/W-0x0	R/W-0x0

表 6-61. CLK_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	必须写入默认值。
2	VA11Q_NOISESUPPR_EN	R/W	0x0	设置后，在消耗约 20mA 电流时会抑制 VA11Q 上的噪声。这将减少采样抖动并减少 C-PLL 模式下的基准时钟杂散和 SYSREF 杂散。
1	RESERVED	R/W	0x0	必须写入默认值。
0	VCLK11_NOISESUPPR_EN	R/W	0x0	设置后，在消耗约 20mA 电流时会抑制 VCLK11 上的噪声。这将减少采样抖动并减少 C-PLL 模式下的基准时钟杂散和 SYSREF 杂散。

6.5.7.8 SYSREF_POS 寄存器（地址 = 0x2C）[复位 = 0x0]

图 6-25 展示了 SYSREF_POS，表 6-62 中对此进行了介绍。

返回到汇总表。

SYSREF 捕获位置（只读状态）

图 6-25. SYSREF_POS 寄存器

23	22	21	20	19	18	17	16
SYSREF_POS							
R-0x0							
15	14	13	12	11	10	9	8
SYSREF_POS							
R-0x0							
7	6	5	4	3	2	1	0
SYSREF_POS							

Copyright © 2025 Texas Instruments Incorporated

图 6-25. SYSREF_POS 寄存器（续）

R-0x0

表 6-62. SYSREF_POS 寄存器字段说明

位	字段	类型	复位	说明
23:0	SYSREF_POS	R	0x0	返回一个 24 位状态值，指示 SYSREF 边沿相对于 CLK+ 的位置。使用其可对 SYSREF_SEL 进行编程。

6.5.7.9 FS_RANGE 寄存器（地址 = 0x30）[复位 = 0xA000]

图 6-26 展示了 FS_RANGE，表 6-63 中对此进行了介绍。

返回到汇总表。

FS_RANGE（默认值：0xA000）

图 6-26. FS_RANGE 寄存器

15	14	13	12	11	10	9	8
FS_RANGE							
R/W-0xA000							
7	6	5	4	3	2	1	0
FS_RANGE							
R/W-0xA000							

表 6-63. FS_RANGE 寄存器字段说明

位	字段	类型	复位	说明
15:0	FS_RANGE	R/W	0xA000	这些位可以调整所有通道的模拟满量程范围。 0x0000: 0x2000 以下的设置会导致性能下降 0x2000：500mVpp - 建议的最小设置 0xA000：800mVpp（默认值） 0xFFFF：1000mVpp - 最大设置、最高 SNR

6.5.7.10 LOW_POWER1 寄存器（地址 = 0x37）[复位 = 0x4B]

图 6-27 展示了 LOW_POWER1，表 6-64 中对此进行了介绍。

返回到汇总表。

低功耗模式 1（默认值：0x4B）

图 6-27. LOW_POWER1 寄存器

7	6	5	4	3	2	1	0
LOW_POW_MODE1							
R/W-0x4B							

Copyright © 2025 Texas Instruments Incorporated

表 6-64. LOW_POWER1 寄存器字段说明

位	字段	类型	复位	说明
7:0	LOW_POW_MODE1	R/W	0x4B	将此寄存器与 LOW_POWER2、LOW_POWER3 和 LOW_POWER4 一起设置可启用低功耗模式。所有寄存器必须在一起设置。必须在更改工作模式后执行校准： 0x46：低功耗模式（仅当采样率小于或等于 1 GSPS 时有效） 0x4B：高性能模式（默认值） 所有其他值均保留 注意：在更改该寄存器之前，必须将 CAL_EN 设置为 0 并将 JESD_EN 设置为 0。

6.5.7.11 TMSTP_CTRL 寄存器（地址 = 0x3B）[复位 = 0x00]

图 6-28 展示了 TMSTP_CTRL，表 6-65 中对此进行了介绍。

返回到汇总表。

时间戳 (TMSTP) 控制（默认值：0x00）

图 6-28. TMSTP_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED						TMSTP_LVPECL_EN	TMSTP_RECV_EN
R/W-0x0						R/W-0x0	R/W-0x0

表 6-65. TMSTP_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	必须写入默认值。
1	TMSTP_LVPECL_EN	R/W	0x0	设置后，激活差分 TMSTP± 输入的低压 PECL 模式。每个输入引脚（TMSTP+ 和 TMSTP－）的内部终端都变成一个 50Ω 的接地电阻器。当将 TMSTP_LVPECL_EN 设置为 1 时，TMSTP± 没有输入共模自偏置。
0	TMSTP_RECV_EN	R/W	0x0	启用差分 TMSTP±输入。

6.5.7.12 PLLREFO_CTRL 寄存器（地址 = 0x3C）[复位 = 0x01]

图 6-29 展示了 PLLREFO_CTRL，表 6-66 中对此进行了介绍。

返回到汇总表。

PLL 基准输出控制（默认值：0x01）

图 6-29. PLLREFO_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED							PLLREFO_EN
R/W-0x0							R/W-0x1

表 6-66. PLLREFO_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。
0	PLLREFO_EN	R/W	0x1	设置后，只要启用 PLL (PLL_EN=1)，就会启用基准时钟输出 (PLLREFO±)。由于 PLLREFO± 可用于推算 SPI 时钟，因此该位默认为 1，以便在不写入 SPI 时自动启用 PLLREFO±。

Copyright © 2025 Texas Instruments Incorporated

6.5.7.13 CPLL_FBDIV1 寄存器（地址 = 0x3D）[复位 = 0x00]

图 6-30 展示了 CPLL_FBDIV1，表 6-67 中对此进行了介绍。

返回到汇总表。

C-PLL 反馈分频器 V 和 P（默认值：0x00）

图 6-30. CPLL_FBDIV1 寄存器

7	6	5	4	3	2	1	0
RESERVED				PLL_P_DIV		PLL_V_DIV	
R/W-0x0				R/W-0x0		R/W-0x0	

表 6-67. CPLL_FBDIV1 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	必须写入默认值。
3:2	PLL_P_DIV	R/W	0x0	控制 C-PLL 的第二个反馈分频器。该分频器的输出是采样时钟。在更改 PLL_P_DIV 之前设置 CPLL_RESET=1。 0：1 分频（默认值） 1：2 分频 2：4 分频 3：RESERVED
1:0	PLL_V_DIV	R/W	0x0	控制 C-PLL 的第一个反馈分频器。该分频器的输出为 P 分频器供电。在更改 PLL_V_DIV 之前设置 CPLL_RESET=1。 0：5 分频（默认值） 1：4 分频 2：3 分频 3：RESERVED

6.5.7.14 CPLL_FBDIV2 寄存器（地址 = 0x3E）[复位 = 0x20]

图 6-31 展示了 CPLL_FBDIV2，表 6-68 中对此进行了介绍。

返回到汇总表。

C-PLL 反馈分频器 N（默认值：0x20）

图 6-31. CPLL_FBDIV2 寄存器

7	6	5	4	3	2	1	0
RESERVED		PLL_N_DIV					
R/W-0x0		R/W-0x20					

表 6-68. CPLL_FBDIV2 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R/W	0x0	必须写入默认值。
5:0	PLL_N_DIV	R/W	0x20	控制 C-PLL 的第三个反馈分频器（默认值为 32 分频）。该分频器可对采样时钟进行分频，以生成 PFD 反馈时钟。PLL_N_DIV 的值是分频器值。支持从 1 到 63 的值。在更改 PLL_N_DIV 之前设置 CPLL_RESET=1。

6.5.7.15 CPLL_VCOCTRL1 寄存器（地址 = 0x3F）[复位 = 0x4F，建议 0x4A]

图 6-32 展示了 CPLL_VCOCTRL1，表 6-69 中对此进行了介绍。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

C-PLL 反馈分频器 N（默认值：0x4F）

图 6-32. CPLL_VCOCTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED	VCO_BIAS						
R/W-0x0	R/W-0x4F						

表 6-69. CPLL_VCOCTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	必须写入默认值。
6:0	VCO_BIAS	R/W	0x4F	设置 C-PLL VCO 的偏置电平。当使用 C-PLL 时，将 0x4A 写入此字段。请勿使用默认值 0x4F。

6.5.7.16 SER_PE 寄存器（地址 = 0x48）[复位 = 0x00]

图 6-33 展示了 SER_PE，表 6-70 中对此进行了介绍。

返回到汇总表。

串行器预加重控制（默认值：0x00）

图 6-33. SER_PE 寄存器

7	6	5	4	3	2	1	0
RESERVED				SER_PE			
R/W-0x0				R/W-0x0			

表 6-70. SER_PE 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	必须写入默认值。
3:0	SER_PE	R/W	0x0	设置串行器/解串器输出通道的预加重。预加重可用于补偿 PCB 布线的高频损耗。这是一个全局设置，会影响所有通道 (D[7:0]±)。

6.5.7.17 TRIGOUT_CTRL 寄存器（地址 = 0x57）[复位 = 0x00]

图 6-34 展示了 TRIGOUT_CTRL，表 6-71 中对此进行了介绍。

返回到汇总表。

TRIGOUT 输出控制（默认值：0x00）

图 6-34. TRIGOUT_CTRL 寄存器

7	6	5	4	3	2	1	0
TRIGOUT_EN	RESERVED					TRIGOUT	
R/W-0x0	R/W-0x0					R/W-0x0	

表 6-71. TRIGOUT_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	TRIGOUT_EN	R/W	0x0	0：TRIGOUT± 输出缓冲器/分频器被禁用。 1：TRIGOUT± 输出缓冲器/分频器被启用。 RXCLK 输出可用于为 JESD204C 接收器提供基准时钟。使用 TRIGOUT_MODE 字段可调整输出模式。
6:3	RESERVED	R/W	0x0	必须写入默认值。

Copyright © 2025 Texas Instruments Incorporated

表 6-71. TRIGOUT_CTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
2:0	TRIGOUT	R/W	0x0	设置 TRIGOUT± 输出的模式。 0：16 UI 时钟 (RX_DIV = 16) 1：32 UI 时钟 (RX_DIV = 32) 2：64 UI 时钟 (RX_DIV = 64) 3：来自 TMSTP± 的重新采样的时间戳 4-7 ：保留 注 1：仅当 TRIGOUT_EN=0 时更改 TRIGOUT_MODE。 注 2：当 TRIGOUT_MODE 为 2 或更小时，TRIGOUT± 源自串行器/解串器块。因此，只要重新初始化串行器，TRIGOUT± 输出就会短暂中断。

6.5.7.18 CPLL_OVR 寄存器（地址 = 0x58）[复位 = 0x00]

图 6-35 展示了 CPLL_OVR，表 6-72 中对此进行了介绍。

返回到汇总表。

C-PLL 引脚覆盖（默认值：0x00）

图 6-35. CPLL_OVR 寄存器

7	6	5	4	3	2	1	0
CPLL_OVR_EN	RESERVED	DIVREF_D_MODE		DIVREF_C_MODE		CPLLREF_SE_OVR_VALUE	CPLL_EN_OVR_VALUE
R/W-0x0	R/W-0x0	R/W-0x0		R/W-0x0		R/W-0x0	R/W-0x0

表 6-72. CPLL_OVR 寄存器字段说明

位	字段	类型	复位	说明
7	CPLL_OVR_EN	R/W	0x0	设置该位可忽略 C-PLL 配置引脚并改用 SPI 寄存器。 0：引脚模式：C-PLL 由芯片引脚控制（PLL_EN、PLLREF_SE、CLKCFG0、CLKCFG1） 1：SPI 模式：C-PLL 由 SPI 寄存器控制（CPLLREF_SE_OVR_VALUE、CPLL_EN_OVR_VALUE、DIVREF_C_MODE、DIVREF_D_MODE）
6	RESERVED	R/W	0x0	必须写入默认值。
5:4	DIVREF_D_MODE	R/W	0x0	当 CPLL_OVR_EN=1 时，该字段可设置 ORD 输出功能。当 CPLL_OVR_EN=0 时，该字段无效（CLKCFG0 和 CLKCFG1 可控制 ORD 功能）。 0：分频基准输出被禁用。 1：输出 C-PLL 基准时钟在 ORD 上进行 1 分频。 2：输出 C-PLL 基准时钟在 ORD 上进行 2 分频。 3：输出 C-PLL 基准时钟在 ORD 上进行 4 分频。 **重要说明: ORD 无法生成时钟，除非 ORC 也会生成时钟。
3:2	DIVREF_C_MODE	R/W	0x0	当 CPLL_OVR_EN=1 时，该字段可设置 ORC 输出功能。当 CPLL_OVR_EN=0 时，该字段无效（CLKCFG0 和 CLKCFG1 可控制 ORC 功能）。 0：分频基准输出被禁用。 1：输出 C-PLL 基准时钟在 ORC 上进行 1 分频。 2：输出 C-PLL 基准时钟在 ORC 上进行 2 分频。 3：输出 C-PLL 基准时钟在 ORC 上进行 4 分频。
1	CPLLREF_SE_OVR_VALUE	R/W	0x0	当 CPLL_OVR_EN=1 时，该位在设置为 1 时将启用单端 C-PLL 基准时钟输入 (SE_CLK)，而不是 PLLREF_SE 引脚。
0	CPLL_EN_OVR_VALUE	R/W	0x0	当 CPLL_OVR_EN=1 时，该位在设置为 1 时将启用 C-PLL，而不是 PLL_EN 引脚。

Copyright © 2025 Texas Instruments Incorporated

6.5.7.19 VCO_FREQ_TRIM 寄存器（地址 = 0x59）[复位 = 0x0]

图 6-36 展示了 VCO_FREQ_TRIM，表 6-73 中对此进行了介绍。

返回到汇总表。

C-PLL VCO 频率修整（默认值：未定义）

图 6-36. VCO_FREQ_TRIM 寄存器

7	6	5	4	3	2	1	0
RESERVED	VCO_FREQ_TRIM						
R/W-0x0	R/W-0x0						

表 6-73. VCO_FREQ_TRIM 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	必须写入默认值。
6:0	VCO_FREQ_TRIM	R/W	0x0	修整 C-PLL VCO 频率。该字段可以由 VCO 校准例程自动设置（请参阅 VCO_CAL_EN）。运行 VCO 校准后，可从该字段读取该值，并在未来的上电周期后重新编程。 如果正在运行 VCO 校准（VCO_CAL_EN=1 和 VCO_CAL_DONE=0），则不应读取或写入该寄存器，否则将干扰校准过程。

6.5.7.20 CPLL_RESET 寄存器（地址 = 0x5C）[复位 = 0x00]

图 6-37 展示了 CPLL_RESET，表 6-74 中对此进行了介绍。

返回到汇总表。

C-PLL/VCO 校准复位（默认值：0x00）

图 6-37. CPLL_RESET 寄存器

7	6	5	4	3	2	1	0
RESERVED							CPLL_RESET
R/W-0x0							R/W-0x0

表 6-74. CPLL_RESET 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。
0	CPLL_RESET	R/W	0x0	C-PLL/VCO 校准复位。在对 C-PLL 进行编程之前（PLL_P_DIV、PLL_V_DIV、PLL_N_DIV、VCO_BIAS 或 VCO_CAL_CTRL），先对 CPLL_RESET=1 进行编程。编程完成后，对 CPLL_RESET=0 进行编程。

6.5.7.21 VCO_CAL_CTRL 寄存器（地址 = 0x5D）[复位 = 0x40]

图 6-38 展示了 VCO_CAL_CTRL，表 6-75 中对此进行了介绍。

返回到汇总表。

VCO 校准控制（默认值：0x40）

图 6-38. VCO_CAL_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED	VCO_CAL_STL			RESERVED			VCO_CAL_EN
R/W-0x0	R/W-0x4			R/W-0x0			R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

图 6-38. VCO_CAL_CTRL 寄存器（续）

表 6-75. VCO_CAL_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	必须写入默认值。
6:4	VCO_CAL_STL	R/W	0x4	对该字段进行编程，可调整 VCO 校准引擎在每次更改 VCO 频率修整 (VCO_FREQ_TRIM) 时向 C-PLL 提供的趋稳时间。数值越大，趋稳时间就越长。
3:1	RESERVED	R/W	0x0	必须写入默认值。
0	VCO_CAL_EN	R/W	0x0	设置该位可启用 VCO 校准引擎。将 CPLL_RESET 编程为 0 后，校准将开始。校准将自动调优 VCO_FREQ_TRIM，以根据基准频率和 PLL 配置使 VCO 频率趋于中心频率。 注意：仅当 CPLL_RESET=1 时，才应更改 VCO_CAL_CTRL 寄存器。

6.5.7.22 VCO_CAL_STATUS 寄存器（地址 = 0x5E）[复位 = 0x0]

图 6-39 展示了 VCO_CAL_STATUS，表 6-76 中对此进行了介绍。

返回到汇总表。

VCO 校准状态（只读）（默认值：未定义）

图 6-39. VCO_CAL_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED							VCO_CAL_DONE
R-0x0							R-0x0

表 6-76. VCO_CAL_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0x0	
0	VCO_CAL_DONE	R	0x0	一旦 VCO 校准引擎完成了校准（或由于 VCO_CAL_EN=0 而跳过校准），该位返回“1”。校准完成后，您可以安全地读取或写入 VCO_FREQ_TRIM 寄存器（在校准期间切勿写入 VCO_FREQ_TRIM）。

6.5.7.23 CAL_EN 寄存器（地址 = 0x61）[复位 = 0x01]

图 6-40 展示了 CAL_EN，表 6-77 中对此进行了介绍。

返回到汇总表。

启用校准（默认值：0x01）

图 6-40. CAL_EN 寄存器

7	6	5	4	3	2	1	0
RESERVED							CAL_EN
R/W-0x0							R/W-0x1

表 6-77. CAL_EN 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。

Copyright © 2025 Texas Instruments Incorporated

表 6-77. CAL_EN 寄存器字段说明 （续）

位	字段	类型	复位	说明
0	CAL_EN	R/W	0x1	校准启用。设置为高电平可运行校准。设置为低电平可将校准保持在复位状态，以便对新的校准设置进行编程。清零 CAL_EN 还会复位为数字块和 JESD204C 接口计时的时钟分频器。 有些校准寄存器需要在进行任何更改之前清零 CAL_EN。所有具有此要求的寄存器在其说明中都包含注释。更改寄存器后，设置 CAL_EN 可使用新设置重新运行校准。在设置 JESD_EN 之前，务必设置 CAL_EN。在清零 CAL_EN 之前，务必清零 JESD_EN。

6.5.7.24 CAL_CFG0 寄存器（地址 = 0x62）[复位 = 0x01]

图 6-41 展示了 CAL_CFG0，表 6-78 中对此进行了介绍。

返回到汇总表。

校准配置 0（默认值：0x01）

图 6-41. CAL_CFG0 寄存器

7	6	5	4	3	2	1	0
RESERVED				CAL_BGOS	CAL_OS	CAL_BG	CAL_FG
R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x1

表 6-78. CAL_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	必须写入默认值。
3	CAL_BGOS	R/W	0x0	0：禁用后台偏移校准（默认值） 1：启用后台偏移校准（需要设置 CAL_BG）。
2	CAL_OS	R/W	0x0	0：禁用前台偏移校准（默认值） 1：启用前台偏移校准（需要设置 CAL_FG）。
1	CAL_BG	R/W	0x0	0：禁用后台校准（默认值） 1：启用后台校准
0	CAL_FG	R/W	0x1	0：复位校准值，跳过前台校准。 1：复位校准值，然后运行前台校准（默认值）。

6.5.7.25 CAL_CFG1 寄存器（地址 = 0x65）[复位 = 0x01]

图 6-42 展示了 CAL_CFG1，表 6-79 中对此进行了介绍。

返回到汇总表。

校准配置 1（默认值：0x01）

图 6-42. CAL_CFG1 寄存器

7	6	5	4	3	2	1	0
RESERVED					OSREF	RESERVED	
R/W-0x0					R/W-0x0	R/W-0x1	

表 6-79. CAL_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	必须写入默认值。

Copyright © 2025 Texas Instruments Incorporated

表 6-79. CAL_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
2	OSREF	R/W	0x0	定义用于偏移校准的基准： 0：使用中间代码作为基准（校准到零偏移）。模拟输入信号在偏移校准期间必须没有偏移（如果是交流耦合，则通常为真）。 1：使用备用 ADC 输出样本作为基准（校准主 ADC 偏移，以匹配代替它们的备用 ADC）。模拟输入信号可能有偏移（例如直流耦合）。仅在 CAL_BG=1 时使用此模式。在 CAL_BG=0 时设置 OSREF=1 将产生不确定的结果。
1:0	RESERVED	R/W	0x1	必须写入默认值。

6.5.7.26 CAL_AVG 寄存器（地址 = 0x68）[复位 = 0x61]

图 6-43 展示了 CAL_AVG，表 6-80 中对此进行了介绍。

返回到汇总表。

校准均值计算（默认值：0x61）

图 6-43. CAL_AVG 寄存器

7	6	5	4	3	2	1	0
RESERVED	OS_AVG			RESERVED	CAL_AVG		
R/W-0x0	R/W-0x6			R/W-0x0	R/W-0x1		

表 6-80. CAL_AVG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	必须写入默认值。
6:4	OS_AVG	R/W	0x6	选择用于偏移校正例程的均值计算量。数值越大，均值就越高。
3	RESERVED	R/W	0x0	必须写入默认值。
2:0	CAL_AVG	R/W	0x1	选择用于线性校准例程的均值计算量。数值越大，均值就越高。

6.5.7.27 CAL_STATUS 寄存器（地址 = 0x6A）[复位 = 0x0]

图 6-44 展示了 CAL_STATUS，表 6-81 中对此进行了介绍。

返回到汇总表。

校准状态（默认值：未定义）（只读）

图 6-44. CAL_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED			CAL_STAT			CAL_STOPPED	FG_DONE
R-0x0			R-0x0			R-0x0	R-0x0

表 6-81. CAL_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0x0	
4:2	CAL_STAT	R	0x0	校准状态代码
1	CAL_STOPPED	R	0x0	当后台校准在请求的相位成功停止时，该位返回 1。当校准再次开始运行时，该位返回 0。如果禁用后台校准，则应在完成或跳过前台校准时设置该位。

Copyright © 2025 Texas Instruments Incorporated

表 6-81. CAL_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
0	FG_DONE	R	0x0	该位为高电平，表示前台校准已完成（或已跳过）。

6.5.7.28 CAL_PIN_CFG 寄存器（地址 = 0x6B）[复位 = 0x00]

图 6-45 展示了 CAL_PIN_CFG，表 6-82 中对此进行了介绍。

返回到汇总表。

校准引脚配置（默认值：0x00）

图 6-45. CAL_PIN_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED					CAL_STATUS_SEL		CAL_TRIG_EN
R/W-0x0					R/W-0x0		R/W-0x0

表 6-82. CAL_PIN_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	必须写入默认值。
2:1	CAL_STATUS_SEL	R/W	0x0	0：CALSTAT 输出与 FG_DONE 匹配。 1：CALSTAT 输出与 CAL_STOPPED 匹配。 2：CALSTAT 输出与 ALARM 匹配。 3：CALSTAT 输出始终为低电平。
0	CAL_TRIG_EN	R/W	0x0	此位可选择硬件或者软件的触发源。 0：将 CAL_SOFT_TRIG 寄存器用于校准触发器。CALTRIG 输入被禁用（忽略）。 1：将 CALTRIG 输入用于校准触发器。CAL_SOFT_TRIG 寄存器被忽略。

6.5.7.29 CAL_SOFT_TRIG 寄存器（地址 = 0x6C）[复位 = 0x01]

图 6-46 展示了 CAL_SOFT_TRIG，表 6-83 中对此进行了介绍。

返回到汇总表。

校准软件触发器（默认值：0x01）

图 6-46. CAL_SOFT_TRIG 寄存器

7	6	5	4	3	2	1	0
RESERVED							CAL_SOFT_TRIG
R/W-0x0							R/W-0x1

表 6-83. CAL_SOFT_TRIG 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。
0	CAL_SOFT_TRIG	R/W	0x1	CAL_SOFT_TRIG 是一个软件位，可在没有硬件资源驱动 CALTRIG 时提供 CALTRIG 输入引脚的功能。对 CAL_TRIG_EN=0 进行编程，可将 CAL_SOFT_TRIG 用于校准触发。 注意：如果不需要校准触发器，则使 CAL_TRIG_EN=0 且 CAL_SOFT_TRIG=1（触发器设置为高电平）。

Copyright © 2025 Texas Instruments Incorporated

6.5.7.30 CAL_LP 寄存器（地址 = 0x6E）[复位 = 0x88]

图 6-47 展示了 CAL_LP，表 6-84 中对此进行了介绍。

返回到汇总表。

低功耗后台校准（默认值：0x88）

图 6-47. CAL_LP 寄存器

7	6	5	4	3	2	1	0
LP_SLEEP_DLY			LP_WAKE_DLY		RESERVED	LP_TRIG	LP_EN
R/W-0x4			R/W-0x1		R/W-0x0	R/W-0x0	R/W-0x0

表 6-84. CAL_LP 寄存器字段说明

位	字段	类型	复位	说明
7:5	LP_SLEEP_DLY	R/W	0x4	这些位可调节 ADC 在唤醒校准前的睡眠时间（仅在 LP_EN = 1 且 LP_TRIG = 0 时适用）。由于整体降低功耗的优势有限，因此不建议使用低于 4 的值。 0：睡眠延迟 = 1,152 × tCLK 1：睡眠延迟 = 4,194,432 × tCLK 2：睡眠延迟 = 33,554,560 × tCLK 3：睡眠延迟 = 268,435,584 × tCLK 4：睡眠延迟 = 2,147,483,776 ×tCLK（默认值，1.0GHz 时钟约为 2.15 秒） 5：睡眠延迟 = 17,179,869,312× tCLK 6：睡眠延迟 = 137,438,953,600 × tCLK 7：睡眠延迟 = 1,099,511,627,904 × tCLK
4:3	LP_WAKE_DLY	R/W	0x1	这些位可调整在 ADC 唤醒后校准 ADC 前提供的趋稳时间（仅在 LP_EN = 1 时适用）。不建议使用小于 1 的值，因为在校准开始前没有足够的时间让内核稳定下来。 0：唤醒延迟 = 1,152 × tCLK 1：唤醒延迟 = 33,554,560 ×tCLK（默认值，1.0GHz 时钟约为 34ms） 2：唤醒延迟 = 268,435,584 × tCLK 3：唤醒延迟 = 2,147,483,776 × tCLK
2	RESERVED	R/W	0x0	必须写入默认值。
1	LP_TRIG	R/W	0x0	0：ADC 睡眠持续时间由 LP_SLEEP_DLY（自主模式）设置。 1：ADC 在被触发器唤醒之前一直处于睡眠状态。当校准触发为低电平时，ADC 会被唤醒。当校准触发为高电平时，离线 ADC 处于睡眠状态。
0	LP_EN	R/W	0x0	0：禁用低功耗后台校准（默认值） 1：启用低功耗后台校准（仅在 CAL_BG=1 时适用）。

6.5.7.31 GAIN_TRIM 寄存器（地址 = 0x7A）[复位 = 0x0]

图 6-48 展示了 GAIN_TRIM，表 6-85 中对此进行了介绍。

返回到汇总表。

增益 DAC 修整（保险丝 ROM 的默认值）

图 6-48. GAIN_TRIM 寄存器

7	6	5	4	3	2	1	0
GAIN_TRIM							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-85. GAIN_TRIM 寄存器字段说明

位	字段	类型	复位	说明
7:0	GAIN_TRIM	R/W	0x0	该寄存器可对所有 ADC 内核的增益进行修整。对于满量程范围调整，应使用 FS_RANGE，而不是 GAIN_TRIM。

6.5.7.32 BG_TRIM 寄存器（地址 = 0x7C）[复位 = 0x0]

图 6-49 展示了 BG_TRIM，表 6-86 中对此进行了介绍。

返回到汇总表。

带隙修整（保险丝 ROM 的默认值）

图 6-49. BG_TRIM 寄存器

7	6	5	4	3	2	1	0
RESERVED				BG_TRIM			
R/W-0x0				R/W-0x0			

表 6-86. BG_TRIM 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	必须写入默认值。
3:0	BG_TRIM	R/W	0x0	该寄存器可修整内部带隙基准。复位后，可以根据需要读取和调整出厂修整值。

6.5.7.33 RTRIM_A 寄存器（地址 = 0x7E）[复位 = 0x0]

图 6-50 展示了 RTRIM_A，表 6-87 中对此进行了介绍。

返回到汇总表。

INA 的电阻器修整（保险丝 ROM 的默认值）

图 6-50. RTRIM_A 寄存器

7	6	5	4	3	2	1	0
RTRIM_A							
R/W-0x0							

表 6-87. RTRIM_A 寄存器字段说明

位	字段	类型	复位	说明
7:0	RTRIM_A	R/W	0x0	该寄存器可控制 INA± ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

6.5.7.34 RTRIM_B 寄存器（地址 = 0x7F）[复位 = 0x0]

图 6-51 展示了 RTRIM_B，表 6-88 中对此进行了介绍。

返回到汇总表。

INB 的电阻器修整（保险丝 ROM 的默认值）

图 6-51. RTRIM_B 寄存器

7	6	5	4	3	2	1	0
RTRIM_B							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

图 6-51. RTRIM_B 寄存器（续）

表 6-88. RTRIM_B 寄存器字段说明

位	字段	类型	复位	说明
7:0	RTRIM_B	R/W	0x0	该寄存器可控制 INB± ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

6.5.7.35 RTRIM_C 寄存器（地址 = 0x80）[复位 = 0x0]

图 6-52 展示了 RTRIM_C，表 6-89 中对此进行了介绍。

返回到汇总表。

INC 的电阻器修整（保险丝 ROM 的默认值）

图 6-52. RTRIM_C 寄存器

7	6	5	4	3	2	1	0
RTRIM_C							
R/W-0x0							

表 6-89. RTRIM_C 寄存器字段说明

位	字段	类型	复位	说明
7:0	RTRIM_C	R/W	0x0	该寄存器可控制 INC± ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

6.5.7.36 RTRIM_D 寄存器（地址 = 0x81）[复位 = 0x0]

图 6-53 展示了 RTRIM_D，表 6-90 中对此进行了介绍。

返回到汇总表。

IND 的电阻器修整（保险丝 ROM 的默认值）

图 6-53. RTRIM_D 寄存器

7	6	5	4	3	2	1	0
RTRIM_D							
R/W-0x0							

表 6-90. RTRIM_D 寄存器字段说明

位	字段	类型	复位	说明
7:0	RTRIM_D	R/W	0x0	该寄存器可控制 IND± ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

6.5.7.37 ADC 源控制延迟（地址 = 0x9A）[复位 = 0x08]

ADC_SRC_DLY 显示在 AC_SRC_DLY 寄存器中，并在 AC_SRC_DLY 寄存器字段说明中进行描述。仅在 CAL_EN 为 0 时更改该寄存器。

返回到汇总表。

ADC 抖动控制（保险丝 ROM 的默认值）

图 6-54. ADC_SRC_DLY 寄存器

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-54. ADC_SRC_DLY 寄存器（续）

RESERVED	
R/W-0x0	R/W-0x08

表 6-91. ADC_SRC_DLY 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	ADC_SRC_DLY	R/W	0x08	调整两个 ADC 在后台 ADC 交换期间以相同时钟相位对相同输入采样的时间长度。 默认值适用于所有 ADCCLK 频率。如果使用较低的 ADCCLK 频率，则可以将 ADC_SRC_DLY 设置为 7，以减少快速后台 ADC 交换期间的干扰持续时间，但出现较大干扰幅度的风险也较大。 两个 ADC 将在 4+2*ADC_SRC_DLY ADCCLK 周期内对同一输入进行采样。 可以将 ADC_SRC_DLY 编程为 0 至 31 之间的值。

6.5.7.38 多路复用器选择延迟寄存器（地址 = 0x9B）[复位 = 0x07]

MUX_SEL_DLY 显示在 MUX_SEL_DLY 寄存器中，并在 MUX_SEL_DLY 寄存器字段说明中进行描述。

返回到汇总表。

图 6-55. MUX_SEL_DLY 寄存器

7	6	5	4	3	2	1	0
RESERVED				MUX_SEL_DLY			
R/W-0x0				R/W-0x07			

表 6-92. MUX_SEL_DLY 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	MUX_SEL_DLY	R/W	0x07	调整添加到内部多路复用器选择信号的延迟。该信号可控制将 ADC 内核输出数据引向编码器中的多路复用器。该延迟仅在后台 ADC 交换期间适用。需要对该延迟进行细调，才能在两个样本流都有效的一小段时间窗口内交换样本流。 可以将 MUX_SEL_DLY 编程为 0 至 31 之间的值。

6.5.7.39 ADC_DITH 寄存器（地址 = 0x9D）[复位 = 0x0]

图 6-56 展示了 ADC_DITH，表 6-93 中对此进行了介绍。

返回到汇总表。

ADC 抖动控制（保险丝 ROM 的默认值）

图 6-56. ADC_DITH 寄存器

7	6	5	4	3	2	1	0
RESERVED					ADC_DITH_ERR	ADC_DITH_AMP	ADC_DITH_EN
R/W-0x0					R/W-0x0	R/W-0x0	R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-93. ADC_DITH 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	必须写入默认值。
2	ADC_DITH_ERR	R/W	0x0	在消减抖动信号时，可能会出现小的舍入误差。可选择误差选择以略微降低 SNR，或略微增加直流偏移和 FS/2 杂散。此外，在单通道模式下，FS/4 杂散也将略有增加。 0：舍入误差会降低 SNR 1：舍入误差会降低直流偏移、FS/2 杂散和 FS/4 杂散
1	ADC_DITH_AMP	R/W	0x0	0：小抖动可获得更好的 SNR（默认值） 1：大抖动可获得更好的杂散性能
0	ADC_DITH_EN	R/W	0x0	设置此位以启用 ADC 抖动。抖动可以提高杂散性能，但代价是 SNR 略有下降。抖动幅度 (ADC_DITH_AMP) 可用于进一步权衡 SNR 和杂散性能。

6.5.7.40 LSB_CTRL 寄存器（地址 = 0x160）[复位 = 0x00]

图 6-57 展示了 LSB_CTRL，表 6-94 中对此进行了介绍。

返回到汇总表。

LSB 控制位输出（默认值：0x00）

图 6-57. LSB_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED							TIME_STAMP_EN
R/W-0x0							R/W-0x0

表 6-94. LSB_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。
0	TIME_STAMP_EN	R/W	0x0	设置后，传输层可在输出样本的 LSB 上传输时间戳信号。时间戳信号的延迟（在整个芯片上）应与模拟 ADC 输入的延迟相匹配。使用 TIME_STAMP_EN 时，还请设置 TMSTP_RECV_EN。 注 1：控制位置于 JESD204C 样本的 LSB 上。在某些情况下，JESD204C 采样宽度 (N) 大于来自 ADC 的采样宽度。在这些情况下，控制位置于 N 位字段的 LSB 上，因此不会替换 ADC 样本的 LSB。 注 2：该寄存器启用的控制位绝不会在 ILA 中广播（在 ILA 中 CS 为 0）。

6.5.7.41 JESD_EN 寄存器（地址 = 0x200）[复位 = 0x01]

图 6-58 展示了 JESD_EN，表 6-95 中对此进行了介绍。

返回到汇总表。

JESD204C 子系统启用（默认值：0x01）

图 6-58. JESD_EN 寄存器

7	6	5	4	3	2	1	0
RESERVED							JESD_EN
R/W-0x0							R/W-0x1

Copyright © 2025 Texas Instruments Incorporated

表 6-95. JESD_EN 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。
0	JESD_EN	R/W	0x1	0：禁用 JESD204C 接口 1：启用 JESD204C 接口 注意：在更改其他 JESD204C 寄存器之前，必须清零 JESD_EN。当 JESD_EN 为 0 时，该块保持复位状态，串行器断电。时钟关闭以省电。LMFC/LEMC 计数器也保持在复位状态，因此 SYSREF 不会对齐 LMFC/LEMC。 注意：在设置 JESD_EN 之前，务必设置 CAL_EN。 注意：在清零 CAL_EN 之前，务必清零 JESD_EN。

6.5.7.42 JMODE 寄存器（地址 = 0x201）[复位 = 0x00]

图 6-59 展示了 JMODE，表 6-96 中对此进行了介绍。

返回到汇总表。

JESD204C 模式（默认值：0x00）

图 6-59. JMODE 寄存器

7	6	5	4	3	2	1	0
RESERVED		JMODE					
R/W-0x0		R/W-0x0					

表 6-96. JMODE 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R/W	0x0	必须写入默认值。
5:0	JMODE	R/W	0x0	指定 JESD204C 输出模式。请参阅 JESD204C 模式表。 注意：仅当 JESD_EN=0 且 CAL_EN=0 时，才应更改该寄存器。

6.5.7.43 KM1 寄存器（地址 = 0x202）[复位 = 0x1F]

图 6-60 展示了 KM1，表 6-97 中对此进行了介绍。

返回到汇总表。

JESD204C K 参数 (-1)（默认值：0x1F）

图 6-60. KM1 寄存器

7	6	5	4	3	2	1	0
KM1							
R/W-0x1F							

表 6-97. KM1 寄存器字段说明

位	字段	类型	复位	说明
7:0	KM1	R/W	0x1F	K 表示每个多帧的帧数，该寄存器必须编程为 K-1。根据 JMODE 设置，K 的合法值受到约束（请参阅 JESD204C 模式表中的 K 参数）。默认值为 KM1=31，对应于 K=32。 注意：对于使用 64B/66B 链路层的模式，KM1 寄存器将被忽略，K 的值由 E 和 F（通过 JMODE 获得）确定。K 的有效值为 256*E/F。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

Copyright © 2025 Texas Instruments Incorporated

6.5.7.44 JSYNC_N 寄存器（地址 = 0x203）[复位 = 0x01]

图 6-61 展示了 JSYNC_N，表 6-98 中对此进行了介绍。

返回到汇总表。

JESD204C 手动同步请求（默认值：0x01）

图 6-61. JSYNC_N 寄存器

7	6	5	4	3	2	1	0
RESERVED							JSYNC_N
R/W-0x0							R/W-0x1

表 6-98. JSYNC_N 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	必须写入默认值。
0	JSYNC_N	R/W	0x1	将该位设置为 0 以请求 JESD204C 同步（相当于使 SYNC~ 信号生效）。正常运行时，将该位设置为 1。 注意：无论 SYNC_SEL 寄存器如何设置，JSYNC_N 寄存器始终可以生成同步请求。然而，如果所选 SYNC 引脚保持低电平，则除非对 SYNC_SEL=2 进行编程、否则无法将同步请求取消置位。

6.5.7.45 JCTRL 寄存器（地址 = 0x204）[复位 = 0x03]

图 6-62 展示了 JCTRL，表 6-99 中对此进行了介绍。

返回到汇总表。

JESD204C 控制（默认值：0x03）

图 6-62. JCTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			ALT_LANES	SYNC_SEL		SFORMAT	SCR
R/W-0x0			R/W-0x0	R/W-0x0		R/W-0x1	R/W-0x1

表 6-99. JCTRL 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4	ALT_LANES	R/W	0x0	0：正常通道映射（默认值），如 JESD204C 输出模式部分所示。使用通道 0 至 L-1。 1：备用通道映射（使用上部通道）。使用通道 4 至 4+L-1。通道 0 至 3 未使用。只有在 JMODE 选择每个链路使用 4 个或更少通道 (L<=4) 的模式时，才支持此选项。对于使用 4 个以上通道的模式，该行为无法确定。
3:2	SYNC_SEL	R/W	0x0	0：使用 SYNC~ 功能的 SYNCSE 输入（默认值） 1：使用 TMSTP± 输入来实现 SYNC~ 功能。还必须设置 TMSTP_RECV_EN。 2：请勿使用任何 SYNC~ 输入引脚（使用 JSYNC_N 作为软件 SYNC~）
1	SFORMAT	R/W	0x1	JESD204C 样本的输出样本格式 0：偏移二进制 1：有符号的二进制补码（默认）

Copyright © 2025 Texas Instruments Incorporated

表 6-99. JCTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SCR	R/W	0x1	0：8B/10B 扰频器已禁用（仅适用于 8B/10B 模式） 1：8B/10B 扰频器已启用（默认值） 注 1：建议使用 8b/10b 扰频器来降低杂散噪声，并确保某些样本有效载荷不能阻止 JESD204C 接收器检测不正确的代码组或通道对齐。64B/66B 模式始终使用扰频。该寄存器不适用于 64B/66B 模式。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.5.7.46 JTEST 寄存器（地址 = 0x205）[复位 = 0x00]

图 6-63 展示了 JTEST，表 6-100 中对此进行了介绍。

返回到汇总表。

JESD204C 测试控制（默认值：0x00）

图 6-63. JTEST 寄存器

7	6	5	4	3	2	1	0
RESERVED			JTEST				
R/W-0x0			R/W-0x0				

表 6-100. JTEST 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	JTEST	R/W	0x0	0：测试模式已禁用。正常运行（默认） 1：PRBS7 测试模式 2：PRBS15 测试模式 3：PRBS23 测试模式 4：斜坡测试模式 5：传输层测试模式 6：D21.5 测试模式 7：K28.5 测试模式* 8：重复的 ILA 测试模式* 9：修改的 RPAT 测试模式* 10：串行输出保持低电平 11：串行输出保持高电平 12：保留 13：PRBS9 测试模式 14：PRBS31 测试模式 15：时钟测试模式 (0x00FF) 16：K28.7 测试模式* 17-31：保留 *只有在 JMODE 选择使用 8B/10B 编码的模式时，才支持这些测试模式。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.5.7.47 DID 寄存器（地址 = 0x206）[复位 = 0x00]

图 6-64 展示了 DID，表 6-101 中对此进行了介绍。

返回到汇总表。

JESD204C DID 参数（默认值：0x00）

图 6-64. DID 寄存器

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-64. DID 寄存器（续）

DID
R/W-0x0

表 6-101. DID 寄存器字段说明

位	字段	类型	复位	说明
7:0	DID	R/W	0x0	指定在 JESD204B ILA 的第二个多帧期间传输的 DID（器件 ID）值。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.5.7.48 FCHAR 寄存器（地址 = 0x207）[复位 = 0x00]

图 6-65 展示了 FCHAR，表 6-102 中对此进行了介绍。

返回到汇总表。

JESD204C 帧字符（默认值：0x00）

图 6-65. FCHAR 寄存器

7	6	5	4	3	2	1	0
RESERVED						FCHAR	
R/W-0x0						R/W-0x0	

表 6-102. FCHAR 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	必须写入默认值。
1:0	FCHAR	R/W	0x0	指定用于表示帧结束的逗号字符。该字符随机传输。这只适用于使用 8B/10B 编码的模式。 0：使用 K28.7（默认值）（符合 JESD204C） 1：使用 K28.1 (不符合 JESD204C) 2：使用 K28.5 (不符合 JESD204C) 3：保留 使用 JESD204C 接收器时，必须使用 FCHAR=0。当使用通用 8B/10B 接收器时，K28.7 字符可能会导致问题发生。当 K28.7 与某些数据字符组合时，可能会出现错误、未对齐的逗号字符，而且某些接收器会重新对齐到错误的逗号。为避免这种情况，应将 FCHAR 编程为 1 或 2。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.5.7.49 JESD_STATUS 寄存器（地址 = 0x208）[复位 = 0x0]

图 6-66 展示了 JESD_STATUS，表 6-103 中对此进行了介绍。

返回到汇总表。

JESD204C/系统状态寄存器

图 6-66. JESD_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED	LINK_UP	SYNC_STATUS	REALIGNED	ALIGNED	SPLL_LOCKED	RESERVED	CPLL_LOCKED
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 6-103. JESD_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-103. JESD_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
6	LINK_UP	R/W	0x0	设置后，表示 JESD204C 链路已启动。
5	SYNC_STATUS	R/W	0x0	返回 JESD204C SYNC~ 信号的状态。 0：SYNC~ 置为有效 1：SYNC~ 置为无效
4	REALIGNED	R/W	0x0	当为高电平时，表示数字块时钟、帧时钟或多帧时钟相位由 SYSREF 重新对齐。向该位写入“1”将使其清零。
3	ALIGNED	R/W	0x0	当该位为高电平时，表示 SYSREF 已建立多帧 (LMFC) 时钟相位。启用 JESD204B 编码器后的第一个 SYSREF 事件将设置该位。向该位写入“1”将使其清零。
2	SPLL_LOCKED	R/W	0x0	当为高电平时，表示串行器/解串器 PLL (S-PLL) 已锁定。
1	RESERVED	R/W	0x0	
0	CPLL_LOCKED	R/W	0x0	当为高电平时，表示转换器 PLL (C-PLL) 已锁定。

6.5.7.50 CH_EN 寄存器（地址 = 0x209）[复位 = 0x03]

图 6-67 中显示了 CH_EN，表 6-104 中对此进行了介绍。

返回到汇总表。

JESD204C 通道启用（默认值：0x03）

图 6-67. CH_EN 寄存器

7	6	5	4	3	2	1	0
RESERVED					SINGLE_CH_EN	CD_EN	AB_EN
R/W-0x0					R/W-0x0	R/W-0x1	R/W-0x1

表 6-104. CH_EN 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	必须写入默认值。
2	SINGLE_CH_EN	R/W	0x0	设置后，启用单通道模式并禁用通道 B、C 和 D。AB_EN 必须设置为 1。
1	CD_EN	R/W	0x1	设置后，启用 C 和 D 通道。设置为 0 将禁用通道 C 和 D。设置该位将启用双通道运行。
0	AB_EN	R/W	0x1	设置后，启用 A 和 B 通道。设置为 0 可禁用通道 A 和 B。 重要说明： 1.在更改 CH_EN 之前，必须设置 CAL_EN=0 和 JESD_EN=0。 2.请勿使用该寄存器来禁用（断电）所有通道，由于还未定义此状态。转而使用 MODE 寄存器来关闭整个器件的电源。 3.当禁用任一通道对时，JESD204C 链路将按比例缩小通道和转换器数量：L = 上限 (LX/2) 和 M = MX/2。如果 Lx 为奇数，则在最高行列的末尾添加尾位，以填充帧（根据 JESD204C 标准）。 4.当 AB_EN=0 时，通道 C 和 D 的样本将放置在 JESD204C 帧内，即 A 和 B 样本通常处于所在的帧内。

6.5.7.51 SHMODE 寄存器（地址 = 0x20F）[复位 = 0x00]

图 6-68 展示了 SHMODE，表 6-105 中对此进行了介绍。

返回到汇总表。

JESD204C 同步字模式（默认值：0x00）

Copyright © 2025 Texas Instruments Incorporated

图 6-68. SHMODE 寄存器

7	6	5	4	3	2	1	0
RESERVED						SHMODE	
R/W-0x0						R/W-0x0	

表 6-105. SHMODE 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	必须写入默认值。
1:0	SHMODE	R/W	0x0	为 64B/66B 同步字（每个多块 32 位数据）选择模式。这仅在 JMODE 选择 64B/66B 模式时适用。 0：发送 CRC-12 信号（默认设置） 1：保留 2：传输 FEC 信号 3：保留 注意：该器件不支持任何 JESD204C 命令特性。所有命令字段都将设置为零（空闲标头）。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.5.7.52 SYNC_THRESH 寄存器（地址 = 0x210）[复位 = 0x03]

图 6-69 展示了 SYNC_THRESH，表 6-106 中对此进行了介绍。

返回到汇总表。

JESD204C SYNC~ 阈值（默认值：0x03）

图 6-69. SYNC_THRESH 寄存器

7	6	5	4	3	2	1	0
RESERVED			SYNC_THRESH				
R/W-0x0			R/W-0x3				

表 6-106. SYNC_THRESH 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	SYNC_THRESH	R/W	0x3	该寄存器可在 JESD204C 发送器将 SYNC~ 信号解释为同步请求之前，定义 SYNC~ 信号必须作为低电平被采样的次数。 链路时钟 (fS/2) 会对 SYNC~ 信号进行采样。如果 SYNC~ 在 SYNC_THRESH+1 连续时钟周期内采样为低电平，则将被解释为同步请求。有关更多详细信息，请参阅 JESD204C 章节 8.8.2。如果 SYNC~ 在小于 SYNC_THRESH+1 个时钟周期的时间内采样为低电平，则被视为错误报告并被忽略。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。 注意：由于该设计不会对 SYNC~ 接口上报告的错误执行任何操作，因此建议在接收器上禁用错误报告并将 SYNC_THRESH 编程为 0。这为同步请求提供了最快的响应时间。

6.5.7.53 OVR_TH 寄存器（地址 = 0x211）[复位 = 0xF2]

图 6-70 展示了 OVR_TH，表 6-107 中对此进行了介绍。

返回到汇总表。

超范围阈值（默认值：0xF2）

Copyright © 2025 Texas Instruments Incorporated

图 6-70. OVR_TH 寄存器

7	6	5	4	3	2	1	0
OVR_TH							
R/W-0xF2							

表 6-107. OVR_TH 寄存器字段说明

位	字段	类型	复位	说明
7:0	OVR_TH	R/W	0xF2	该参数可定义导致将超范围输出置为有效的绝对采样电平。以 dBFS（峰值）为单位的检测电平为 20log10(OVR_TH/256)（默认值：0xF2 = 242-> -0.5dBFS）

6.5.7.54 OVR_CFG 寄存器（地址 = 0x213）[复位 = 0x07]

图 6-71 展示了 OVR_CFG，表 6-108 中对此进行了介绍。

返回到汇总表。

超范围启用/保持关闭（默认值：0x07）

图 6-71. OVR_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				OVR_EN	OVR_N		
R/W-0x0				R/W-0x0	R/W-0x7		

表 6-108. OVR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	必须写入默认值。
3	OVR_EN	R/W	0x0	设置为高电平时，可启用超范围状态输出引脚。当 OVR_EN 设置为低电平时，ORA、ORB、ORC 和 ORD 输出保持低电平状态。
2:0	OVR_N	R/W	0x7	对该寄存器进行编程，可调整 ORA、ORB、ORC 和 ORD 输出的脉冲扩展。超范围输出的最小脉冲持续时间为 $4 * 2^{OVR_N}$ 采样周期。将该字段递增会使监控周期加倍。

6.5.7.55 INIT_STATUS 寄存器（地址 = 0x270）[复位 = 0x0]

图 6-72 展示了 INIT_STATUS，表 6-109 中对此进行了介绍。

返回到汇总表。

初始化状态（只读）

图 6-72. INIT_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED							INIT_DONE
R-0x0							R-0x0

表 6-109. INIT_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0x0	
0	INIT_DONE	R	0x0	当初始化逻辑完成器件初始化时返回 1。这表示现在可以安全地继续启动了。在 INIT_DONE 返回 1 之前，不应执行任何 SPI 事务（SOFT_RESET 除外）。

Copyright © 2025 Texas Instruments Incorporated

6.5.7.56 LOW_POWER2 寄存器（地址 = 0x29A）[复位 = 0x0F]

图 6-73 展示了 LOW_POWER2，表 6-110 中对此进行了介绍。

返回到汇总表。

低功耗模式 2（默认值：0x0F）

图 6-73. LOW_POWER2 寄存器

7	6	5	4	3	2	1	0
LOW_POW_MODE2							
R/W-0xF							

表 6-110. LOW_POWER2 寄存器字段说明

位	字段	类型	复位	说明
7:0	LOW_POW_MODE2	R/W	0xF	将此寄存器与 LOW_POWER1、LOW_POWER3 和 LOW_POWER4 一起设置可启用低功耗模式。所有寄存器必须在一起设置。必须在更改工作模式后执行校准： 0x06：低功耗模式（仅当采样率小于或等于 1 GSPS 时有效） 0x0F：高性能模式（默认值） 所有其他值均保留 注意：在更改该寄存器之前，必须将 CAL_EN 设置为 0 并将 JESD_EN 设置为 0。

6.5.7.57 LOW_POWER3 寄存器（地址 = 0x29B）[复位 = 0x04]

图 6-74 展示了 LOW_POWER3，表 6-111 中对此进行了介绍。

返回到汇总表。

低功耗模式 3（默认值：0x04）

图 6-74. LOW_POWER3 寄存器

7	6	5	4	3	2	1	0
LOW_POW_MODE3							
R/W-0x4							

表 6-111. LOW_POWER3 寄存器字段说明

位	字段	类型	复位	说明
7:0	LOW_POW_MODE3	R/W	0x4	将此寄存器与 LOW_POWER1、LOW_POWER2 和 LOW_POWER4 一起设置可启用低功耗模式。所有寄存器必须在一起设置。必须在更改工作模式后执行校准： 0x00：低功耗模式（仅当采样率小于或等于 1 GSPS 时有效） 0x04：高性能模式（默认值） 所有其他值均保留 注意：在更改该寄存器之前，必须将 CAL_EN 设置为 0 并将 JESD_EN 设置为 0。

6.5.7.58 LOW_POWER4 寄存器（地址 = 0x29C）[复位 = 0x1B]

图 6-75 展示了 LOW_POWER4，表 6-112 中对此进行了介绍。

返回到汇总表。

低功耗模式 4（默认值：0x1B）

Copyright © 2025 Texas Instruments Incorporated

图 6-75. LOW_POWER4 寄存器

7	6	5	4	3	2	1	0
LOW_POW_MODE4							
R/W-0x1B							

表 6-112. LOW_POWER4 寄存器字段说明

位	字段	类型	复位	说明
7:0	LOW_POW_MODE4	R/W	0x1B	将此寄存器与 LOW_POWER1、LOW_POWER2 和 LOW_POWER3 一起设置可启用低功耗模式。所有寄存器必须在一起设置。必须在更改工作模式后执行校准： 0x14：低功耗模式（仅当采样率小于或等于 1 GSPS 时有效） 0x1B：高性能模式（默认值） 所有其他值均保留 注意：在更改该寄存器之前，必须将 CAL_EN 设置为 0 并将 JESD_EN 设置为 0。

6.5.7.59 ALARM 寄存器（地址 = 0x2C0）[复位 = 0x0]

图 6-76 展示了 ALARM，表 6-113 中对此进行了介绍。

返回到汇总表。

警报中断（只读）

图 6-76. ALARM 寄存器

7	6	5	4	3	2	1	0
RESERVED							ALARM
R-0x0							R-0x0

表 6-113. ALARM 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0x0	
0	ALARM	R	0x0	只要发生的任何未在 ALM_STATUS 寄存器中屏蔽的警报，该位就会返回“1”。使用 ALM_MASK 可屏蔽（禁用）各个警报。 CAL_STATUS_SEL 可用于将警报位驱动到 CALSTAT 输出引脚上，以提供硬件警报中断信号。

6.5.7.60 ALM_STATUS 寄存器（地址 = 0x2C1）[复位 = 0x3F]

图 6-77 展示了 ALM_STATUS，表 6-114 中对此进行了介绍。

返回到汇总表。

警报状态（默认值：0x3F，写入以进行清除）

图 6-77. ALM_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		FIFO_ALM	SPLL_ALM	LINK_ALM	REALIGNED_ALM	RESERVED	CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

表 6-114. ALM_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-114. ALM_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
5	FIFO_ALM	R/W	0x1	FIFO 上溢/下溢警报：只要有效的 JESD204C 通道 FIFO 出现下溢或溢出情况时，就会设置该位。写入“1”可将该位清零。要检查哪个通道生成了警报，请读取 FIFO_LANE_ALM。
4	SPLL_ALM	R/W	0x1	S-PLL 锁定丢失警报：只要串行器/解串器 S-PLL 未锁定，就会设置该位。写入“1”可将该位清零。
3	LINK_ALM	R/W	0x1	链路警报：只要启用了 JESD204C 链路，但未处于 DATA_ENC 状态（8B/10B 模式），就会设置该位。在 64B/66B 模式下，没有 DATA_ENC 状态，因此该警报将在链路首次启动时触发。而且，如果任何事件导致 FIFO/串行器重新对齐，也会触发。写入“1”可将该位清零。
2	REALIGNED_ALM	R/W	0x1	重新对齐警报：只要 SYSREF 导致内部时钟（包括 LMFC/LEMC）重新对齐，就会设置该位。写入“1”可将该位清零。
1	RESERVED	R/W	0x1	
0	CLK_ALM	R/W	0x1	时钟报警：该位可用于检测内部数字块和 JESD204C 时钟的翻转。只要 A 和 B 通道的内部时钟分频器与 C 和 D 通道不匹配，就会设置该位。写入“1”可将该位清零。有关该寄存器的正确使用，请参阅警报部分。 注意：在上电复位或软复位后，所有警报位都设置为“1”。 注意：当 JESD_EN=0 时，均未定义所有警报（CLK_ALM 除外）。建议用户在设置 JESD_EN=1 后清除警报。

6.5.7.61 ALM_MASK 寄存器（地址 = 0x2C2）[复位 = 0x3F]

图 6-78 展示了 ALM_MASK，表 6-115 中对此进行了介绍。

返回到汇总表。

警报屏蔽寄存器（默认值：0x3F）

图 6-78. ALM_MASK 寄存器

7	6	5	4	3	2	1	0
RESERVED		MASK_FIFO_ALM	MASK_PLL_ALM	MASK_LINK_ALM	MASK_REALIGNED_ALM	RESERVED	MASK_CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

表 6-115. ALM_MASK 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R/W	0x0	必须写入默认值。
5	MASK_FIFO_ALM	R/W	0x1	设置后，FIFO_ALM 被屏蔽，不会影响 ALARM 寄存器位。
4	MASK_PLL_ALM	R/W	0x1	设置后，PLL_ALM 被屏蔽，不会影响 ALARM 寄存器位。
3	MASK_LINK_ALM	R/W	0x1	设置后，LINK_ALM 被屏蔽，不会影响 ALARM 寄存器位。
2	MASK_REALIGNED_ALM	R/W	0x1	设置后，REALIGNED_ALM 被屏蔽，不会影响 ALARM 寄存器位。
1	RESERVED	R/W	0x1	必须写入默认值。
0	MASK_CLK_ALM	R/W	0x1	设置后，CLK_ALM 被屏蔽，不会影响 ALARM 寄存器位。

6.5.7.62 FIFO_LANE_ALM 寄存器（地址 = 0x2C4）[复位 = 0xFF]

图 6-79 展示了 FIFO_LANE_ALM，表 6-116 中对此进行了介绍。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

FIFO 上溢/下溢警报（默认值：0xFF）

图 6-79. FIFO_LANE_ALM 寄存器

7	6	5	4	3	2	1	0
FIFO_LANE_ALM							
R/W-0xFF							

表 6-116. FIFO_LANE_ALM 寄存器字段说明

位	字段	类型	复位	说明
7:0	FIFO_LANE_ALM	R/W	0xFF	如果通道 i 的 FIFO 出现上溢或下溢，则设置 FIFO_LANE_ALM[i]。使用此寄存器可确定哪个或哪些通道生成了警报。向该寄存器中的任何位写入“1”将清除警报（如果上溢/下溢情况持续存在，警报可能会立即再次触发）。向 FIFO_ALM 寄存器写入“1”将清除该寄存器的所有位。

6.5.7.63 OFS0 寄存器（地址 = 0x330）[复位 = 0x0]

图 6-80 展示了 OFS0，表 6-117 中对此进行了介绍。

返回到汇总表。

ADC0 的偏移调整（保险丝 ROM 的默认值）

图 6-80. OFS0 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS0			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS0							
R/W-0x0							

表 6-117. OFS0 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS0	R/W	0x0	应用于 ADC0 的偏移调整值。格式为无符号格式。 重要说明：如果校准系统正在执行偏移校准，请勿访问任何 OFS* 寄存器。 案例 1：如果 CAL_BGOS 或 CAL_BG 为 0 且 CAL_OS 为 1，则可以在 FG_DONE 变为高电平后访问 OFS* 寄存器。 案例 2：如果 CAL_BG=1 且 CAL_BGOS=1，则不应访问 OFS* 寄存器。对于没有连续偏移校准的后台校准，请将 CAL_OS 设置为 1，将 CAL_BG 设置为 1，但应确保将 CAL_BGOS 设置为 0。这仍会在前台偏移校准步骤中校准备用 ADC 内核的偏移。 案例 3：如果上述情况均不适用，则无需等待即可访问 OFS* 寄存器。

6.5.7.64 OFS1 寄存器（地址 = 0x332）[复位 = 0x0]

图 6-81 展示了 OFS1，表 6-118 中对此进行了介绍。

返回到汇总表。

ADC1 的偏移调整（保险丝 ROM 的默认值）

Copyright © 2025 Texas Instruments Incorporated

图 6-81. OFS1 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS1			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS1							
R/W-0x0							

表 6-118. OFS1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS1	R/W	0x0	应用于 ADC1 的偏移调整值。

6.5.7.65 OFS2A 寄存器（地址 = 0x334）[复位 = 0x0]

图 6-82 展示了 OFS2A，表 6-119 中对此进行了介绍。

返回到汇总表。

ADC2 的偏移调整 (INA±)（保险丝 ROM 的默认值）

图 6-82. OFS2A 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS2A			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS2A							
R/W-0x0							

表 6-119. OFS2A 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS2A	R/W	0x0	采样 INA± 时应用于 ADC2 的偏移调整值。

6.5.7.66 OFS2B 寄存器（地址 = 0x336）[复位 = 0x0]

图 6-83 展示了 OFS2B，表 6-120 中对此进行了介绍。

返回到汇总表。

ADC2 的偏移调整 (INB±)（保险丝 ROM 的默认值）

图 6-83. OFS2B 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS2B			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS2B							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-120. OFS2B 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS2B	R/W	0x0	采样 INB± 时应用于 ADC2 的偏移调整值。

6.5.7.67 OFS3C 寄存器（地址 = 0x338）[复位 = 0x0]

图 6-84 展示了 OFS3C，表 6-121 中对此进行了介绍。

返回到汇总表。

ADC3 的偏移调整 (INC±)（保险丝 ROM 的默认值）

图 6-84. OFS3C 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS3C			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS3C							
R/W-0x0							

表 6-121. OFS3C 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS3C	R/W	0x0	采样 INC± 时应用于 ADC3 的偏移调整值。

6.5.7.68 OFS3D 寄存器（地址 = 0x33A）[复位 = 0x0]

图 6-85 展示了 OFS3D，表 6-122 中对此进行了介绍。

返回到汇总表。

ADC3 的偏移调整 (IND±)（保险丝 ROM 的默认值）

图 6-85. OFS3D 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS3D			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS3D							
R/W-0x0							

表 6-122. OFS3D 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS3D	R/W	0x0	采样 IND± 时应用于 ADC3 的偏移调整值。

6.5.7.69 OFS4 寄存器（地址 = 0x33C）[复位 = 0x0]

图 6-86 展示了 OFS4，表 6-123 中对此进行了介绍。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

ADC4 的偏移调整（保险丝 ROM 的默认值）

图 6-86. OFS4 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS4			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS4							
R/W-0x0							

表 6-123. OFS4 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS4	R/W	0x0	应用于 ADC4 的偏移调整值。

6.5.7.70 OFS5 寄存器（地址 = 0x33E）[复位 = 0x0]

图 6-87 展示了 OFS5，表 6-124 中对此进行了介绍。

返回到汇总表。

ADC5 的偏移调整（保险丝 ROM 的默认值）

图 6-87. OFS5 寄存器

15	14	13	12	11	10	9	8
RESERVED				OFS5			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OFS5							
R/W-0x0							

表 6-124. OFS5 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	必须写入默认值。
11:0	OFS5	R/W	0x0	应用于 ADC5 的偏移调整值。

6.5.7.71 GAIN0 寄存器（地址 = 0x360）[复位 = 0x0]

图 6-88 展示了 GAIN0，表 6-125 中对此进行了介绍。

返回到汇总表。

ADC0 的精细增益调整（保险丝 ROM 的默认值）

图 6-88. GAIN0 寄存器

7	6	5	4	3	2	1	0
RESERVED			GAIN0				
R/W-0x0			R/W-0x0				

Copyright © 2025 Texas Instruments Incorporated

表 6-125. GAIN0 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN0	R/W	0x0	ADC0 的精细增益调整。

6.5.7.72 GAIN1 寄存器（地址 = 0x361）[复位 = 0x0]

图 6-89 展示了 GAIN1，表 6-126 中对此进行了介绍。

返回到汇总表。

ADC1 的精细增益调整（保险丝 ROM 的默认值）

图 6-89. GAIN1 寄存器

7	6	5	4	3	2	1	0
RESERVED			GAIN1				
R/W-0x0			R/W-0x0				

表 6-126. GAIN1 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN1	R/W	0x0	ADC1 的精细增益调整。

6.5.7.73 GAIN2A 寄存器（地址 = 0x362）[复位 = 0x0]

图 6-90 展示了 GAIN2A，表 6-127 中对此进行了介绍。

返回到汇总表。

ADC2 的精细增益调整 (INA±)（保险丝 ROM 的默认值）

图 6-90. GAIN2A 寄存器

7	6	5	4	3	2	1	0
RESERVED			GAIN2A				
R/W-0x0			R/W-0x0				

表 6-127. GAIN2A 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN2A	R/W	0x0	采样 INA± 时对 ADC2 进行的精细增益调整。

6.5.7.74 GAIN2B 寄存器（地址 = 0x363）[复位 = 0x0]

图 6-91 展示了 GAIN2B，表 6-128 中对此进行了介绍。

返回到汇总表。

ADC2 的精细增益调整 (INB±)（保险丝 ROM 的默认值）

图 6-91. GAIN2B 寄存器

7	6	5	4	3	2	1	0
RESERVED			GAIN2B				
R/W-0x0			R/W-0x0				

Copyright © 2025 Texas Instruments Incorporated

图 6-91. GAIN2B 寄存器（续）

表 6-128. GAIN2B 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN2B	R/W	0x0	采样 INB± 时对 ADC2 进行的精细增益调整。

6.5.7.75 GAIN3C 寄存器（地址 = 0x364）[复位 = 0x0]

图 6-92 展示了 GAIN3C，表 6-129 中对此进行了介绍。

返回到汇总表。

ADC3 的精细增益调整 (INC±)（保险丝 ROM 的默认值）

图 6-92. GAIN3C 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN3C			
R/W-0x0				R/W-0x0			

表 6-129. GAIN3C 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN3C	R/W	0x0	采样 INC± 时对 ADC3 进行的精细增益调整。

6.5.7.76 GAIN3D 寄存器（地址 = 0x365）[复位 = 0x0]

图 6-93 展示了 GAIN3D，表 6-130 中对此进行了介绍。

返回到汇总表。

ADC3 的精细增益调整 (IND±)（保险丝 ROM 的默认值）

图 6-93. GAIN3D 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN3D			
R/W-0x0				R/W-0x0			

表 6-130. GAIN3D 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN3D	R/W	0x0	采样 IND± 时对 ADC3 进行的精细增益调整。

6.5.7.77 GAIN4 寄存器（地址 = 0x366）[复位 = 0x0]

图 6-94 展示了 GAIN4，表 6-131 中对此进行了介绍。

返回到汇总表。

ADC4 的精细增益调整（保险丝 ROM 的默认值）

图 6-94. GAIN4 寄存器

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-94. GAIN4 寄存器（续）

RESERVED	GAIN4
R/W-0x0	R/W-0x0

表 6-131. GAIN4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN4	R/W	0x0	ADC4 的精细增益调整。

6.5.7.78 GAIN5 寄存器（地址 = 0x367）[复位 = 0x0]

图 6-95 展示了 GAIN5，表 6-132 中对此进行了介绍。

返回到汇总表。

ADC5 的精细增益调整（保险丝 ROM 的默认值）

图 6-95. GAIN5 寄存器

7	6	5	4	3	2	1	0
RESERVED			GAIN5				
R/W-0x0			R/W-0x0				

表 6-132. GAIN5 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	必须写入默认值。
4:0	GAIN5	R/W	0x0	对 ADC5 进行的精细增益调整。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

ADC12QJ1600-SP 可用于激光雷达 (LiDAR)、雷达、卫星通信、手持式测试设备（通信测试仪和示波器）和软件定义无线电 (SDR) 等应用中。较宽的输入带宽支持至少 4GHz 的直接射频采样，而高采样率支持大于 500MHz 的信号带宽。*典型应用*部分介绍了如何在激光雷达 (LiDAR) 应用中使用器件，利用集成时钟特性来降低系统成本，减少元件数量并缩小解决方案规模。

7.2 典型应用

7.2.1 激光雷达 (LiDAR) 数字转换器

LiDAR 系统使用激光向目标发送光脉冲，并使用光电二极管测量目标发出的反射。光电二极管连接到跨阻放大器 (TIA)，以将反射光产生的电流转换为电压。ADC 将电压转换为数字信号并提取脉冲到达时间和脉冲的反射能量。该器件有多项功能，是 LiDAR 系统中数字转换器的理想选择，其中包括高采样率、高性能、高输入带宽和集成时钟功能。图 7-1 中显示了一个 LiDAR 系统数字转换器示例，在该示例使用四个以 1GSPS 运行的 ADC 通道和器件的片上时钟功能来降低系统的元件数量，尺寸和成本。

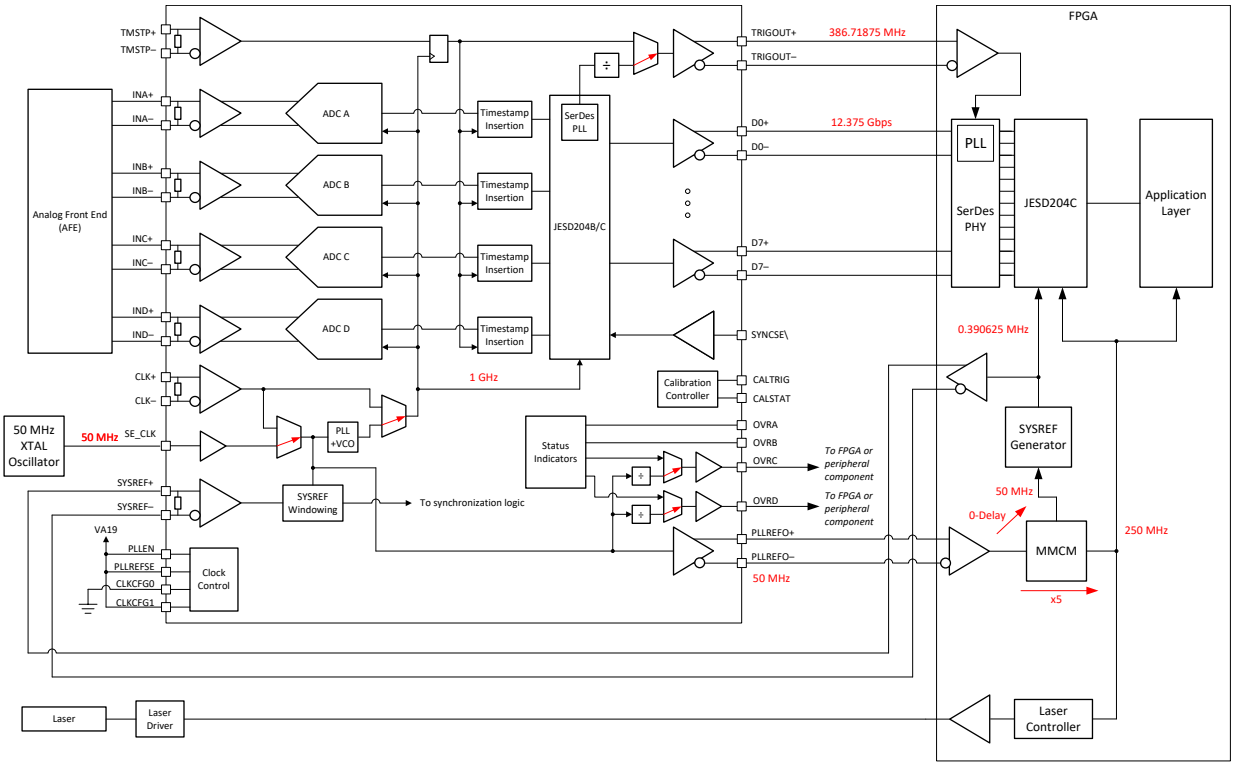


图 7-1. LiDAR 数字转换器的典型配置

7.2.1.1 设计要求

表 7-1 中所示的是 LiDAR 系统要求和所生成的数字转换器要求的示例列表。示例系统要求是机械旋转 LiDAR 系统的要求。LiDAR 系统使用旋转镜覆盖水平（方位角）视场，并使用并行接收器（光电二极管）覆盖垂直（仰角）视场。在扫描时间要求中规定了并行捕获四个垂直点，这需要四个 ADC 通道，因此光电二极管与 ADC 多路

Copyright © 2025 Texas Instruments Incorporated

复用器的比率为 16:1。为实现 10% 的反射率目标，在 200 米长的距离内要求高性能，因此选择了 12 位 ADC。在高空间分辨率中，5ns 的最小脉冲宽度需要 1GSPS 的采样率才能获得每个返回脉冲的 5 个样本。要实现大批量生产，低成本和小尺寸是非常重要的关键因素，而具有集成时钟功能的四通道 ADC 可帮助优化这些重要指标。其他考虑因素包括 FPGA 支持的最大串行器/解串器速率和通道数。假设 FPGA 有 4 个串行器/解串器通道，支持高达 12.5Gbps 的速率。因此，选择 JMODE 8。

表 7-1. LiDAR 系统和数字转换器要求

系统参数	示例系统要求	数字转换器示例要求
最大目标距离	反射率为 10% 时，距离为 200 米	12 位 ADC
最小激光脉冲宽度	5ns	1GSPS（每个脉冲 5 个样本）
水平 FOV	360°	请参阅完整扫描时间
垂直 FOV	20°	请参阅垂直扫描方法
水平分辨率	0.1°	请参阅完整扫描时间
垂直分辨率	0.3125°	请参阅垂直扫描方法
水平扫描方法	旋转镜	请参阅完整扫描时间
垂直扫描方法	并联光电二极管	64 二极管
完整扫描时间	76.8ms	16:1 多路复用比（4 个 ADC 通道）
系统成本	低成本	ADC 中集成的时钟功能
系统外形因数	外形小巧	具有集成时钟的四通道 ADC

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 详细设计过程

本部分提供了有关 LiDAR 示例设计的详细信息，包括如何选择元件以及如何计算必要的时钟频率。

7.2.1.2.1 模拟前端要求

ADC 通道由包含光电二极管、TIA、全差分放大器 (FDA) 和模拟多路复用器的模拟前端 (AFE) 馈电。返回脉冲由一个光学透镜采集，该透镜将光线聚焦到相应的光电二极管上。光电二极管会产生一个电流，该电流被转换为电压并由 TIA 放大。该单端电压由全差分放大器转换为差分电压，然后驱动 ADC 的差分输入。1.1V 的 ADC 共模电压可由单极电源 FDA 轻松连接，从使成本达到最低。并联光电二极管接收器的模拟多路复用可在 TIA 或 FDA 之后完成，具体取决于所选的元件。

输入网络必须具有足够的带宽来支持系统所需的最小脉冲宽度。支持某一项指定上升时间 (10-90%) 所需的带宽如公式 13 所示。

$$BW\ [MHz] = 350 / t_R[ns] \quad (13)$$

假设激光的上升和下降时间为 1ns (10-90%)，则输入网络带宽应大于 400MHz 以避免脉冲形状和空间分辨率过度退化。

7.2.1.2.2 计算时钟和串行器/解串器频率

LIDAR 系统示例使用四个以 1GSPS 运行的 ADC 通道，并借助器件的片上时钟特性来减小系统尺寸和降低成本。通过单端时钟输入 (CLK_SE) ，利用 50MHz 晶体对该器件计时，而因为有了集成时钟特性，可省去外部时钟元件。内部 PLL (C-PLL) 为 ADC 内核生成 1GHz 采样时钟。通过 PLLREFO 输出至 FPGA，重复 50MHz PLL 基准以生成包括应用层时钟在内的 FPGA 内部时钟。50MHz 基准在 FPGA 中进行分频，生成 SYSREF 信号，再将该信号发送到 FPGA JESD204C 内核和器件，以实现确定性延迟。

示例系统中使用了许多时钟频率，如 图 7-1 所示。基准时钟频率 (f_{REF}) 由设计人员选择，在这种情况下选择为 50MHz，这是能支持的最小参考频率且很容易地放大到 1GHz。采样率按系统要求设定，即 1GSPS (f_S)。按照*采样时钟生成所需转换器 PLL (C-PLL)*部分中的规定，选择 C-PLL 的 V、P 和 N 分频器，该部分与参考频率一起决定 VCO 频率 (f_{VCO})。选择 JMODE 8 是为了满足 FPGA 串行器/解串器要求 (4 个通道，最大速率为 12.5Gbps)，即 64B 或 66B 模式。TRIGOUT 为 FPGA ($f_{TRIGOUT}$) 提供 FPGA 串行器/解串器 PLL 基准时钟，而 PLLREFO 为 FPGA 内核逻辑提供基准时钟。如需要，ORC (f_{ORC}) 和 ORD (f_{ORD}) 为 FPGA 或外设提供额外的时钟输出。在 FPGA 内生成 SYSREF 并发送到 ADC，以实现确定性延迟。由于时序限制，通常不建议这样做，但低基准频率 (50MHz) 会显著放宽 SYSREF 设置和保持时序，SYSREF 窗口化功能可以验证 SYSREF 相对于基准时钟的正确捕获时序。除了满足 JESD204 协议要求外，SYSREF 频率还必须均匀分为基准时钟频率，这样在使用 C-PLL 时，可实现确定性延迟。表 7-2 中总结了频率和速率计算。

Copyright © 2025 Texas Instruments Incorporated

表 7-2. 计算 LiDAR 数字转换器示例中的时钟和串行器/解串器频率

时钟	符号	计算	频率
参考时钟	f_{REF}	由设计人员选择	50MHz
采样率	f_S	系统要求	1GSPS
C-PLL VCO	f_{VCO}	$f_{VCO} = f_S$ x P x V 其中 P 为 2，V 为 4	8GHz
串行器/解串器线速率	$f_{LINERATE}$	$f_{LINERATE} = f_S$ x R 其中，在 JMODE 8 中，R 为 12.375（请参阅 表 6-15）	12.375Gbps/通道（4 个通道）
TRIGOUT 时钟输出	$f_{TRIGOUT}$	$f_{TRIGOUT} = f_{LINERATE}$/ RX_DIV 其中 RX_DIV 为 32 (TRIGOUT_CTRL=0x81)	386.71875MHz
SYSREF	f_{SYSREF}	$f_{SYSREF} = f_{LINERATE}$/ (66 x 32 x E x n) 其中，在 JMODE 8（64B/66B 模式）中，E 为 3，并选择 n，使得 f_{SYSREF} 是 f_{REF} 的整数除法 (n = 5)	390.625kHz
ORC 时钟输出	f_{ORC}	$f_{ORC} = f_{REF}/2$ （请参阅 表 6-4）	25MHz
ORD 时钟输出	f_{ORD}	$f_{ORD} = f_{REF}$ （请参阅 表 6-5）	50MHz
FPGA 内核时钟	f_{FPGA}	$f_{FPGA} = f_{REF}$ x M (1) (2) 其中，M 是一个整数值，选择为 5	250MHz（每个周期的 4 个样本）

(1) 在所示的时钟配置中，运行 JESD204C 内核的 FPGA 时钟必须是 f_{REF} 的整数倍，以便正确地将 SYSREF 从基准时钟域传递到内核时钟域，从而实现确定性延迟。在许多情况下，JESD204C IP 可能需要的时钟速率为 $f_{LINERATE}$/66，在本示例中为 187.5MHz。某些 JESD204C IP 内核可能不允许 JESD204C 时钟频率偏离此要求，因此应咨询 IP 提供商。如果无法满足 FPGA 内核时钟所述的要求，则无法实现确定性延迟（仍然支持没有确定性延迟的操作）。

(2) 如果应用层以与 JESD204C 内核不同的时钟速率运行，则可能需要一些逻辑在时钟域之间传递数据，同时保持时序信息。此外，许多 JESD204C IP 内核在每个时钟周期输出 64 位，其中可能包括样本的一部分（例如在 JMODE 8 中），因此可能需要齿轮箱逻辑来切换到所需的采样率。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.3 应用曲线

图 7-2 中所示的是使用器件测量脉冲的示例。该设置遵循示例中的激光雷达 (LiDAR) 系统要求，以 1GSPS 的速率捕获 5ns 脉冲。所施加脉冲的上升和下降时间约为 1ns。使用子采样技术内插数据点，以形成等效的 32GSPS 脉冲捕获，从而获得更准确的细节，并使用多次捕获平均法抑制噪声。对 ADC 施加负直流偏置，以便能够对单极脉冲使用 ADC 的完整动态范围。该脉冲几乎可跨越整个 ADC 代码范围。表 7-3 中给出了已提取的脉冲参数。模拟前端不在此次测量范围中。

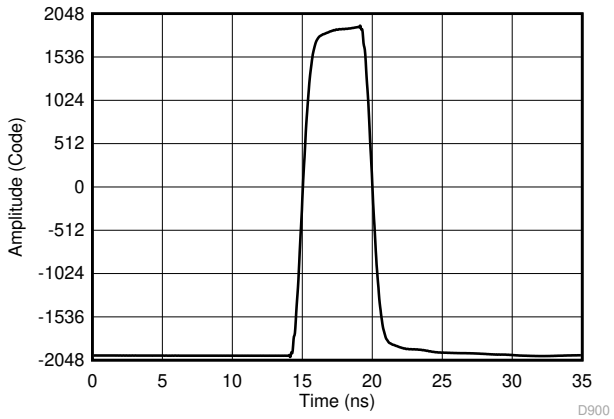


图 7-2. 使用测量等效 32GSPS 时所用的子采样技术测量脉冲

表 7-3. 示例 LiDAR 系统已提取的脉冲参数

已测量的参数	测量值	单位
上升时间 (10-90%)	1.18	ns
下降时间 (90-10%)	1.19	ns
脉冲宽度 (50%)	4.99	ns
等效带宽(1)	295.3	MHz
峰值振幅（代码）	3901	LSB
峰值振幅（电压）	750.5	mV
直流失调电压（代码）	-1994	LSB
直流失调电压（电压）	-383.7	mV

(1) 根据已提取的上升时间测量值计算等效带宽。带宽受脉冲发生器输出端使用的 1ns 转换时间的转换器限制。

Copyright © 2025 Texas Instruments Incorporated

7.3 初始化设置

器件和 JESD204 接口需要特定的启动和对齐序列。在以下步骤中列出了该序列的一般顺序。

1. 将 PLL_EN 连接至高电平以启用 PLL，或连接至低电平以禁用 PLL。将 PLLREF_SE 连接至高电平以使用 SE_CLK 时钟输入（仅在 PLL_EN 为高电平时有效）或连接至低电平以使用 CLK± 时钟输入。配置 CLKCFG0 和 CLKCFG1 引脚，以从 ORC 和 ORD 输出中提供所需的时钟（如果使用）。
2. 给器件上电，并等待电压处于所建议的电源电压范围内。当系统运行需要 PLLREFO，ORC 或 ORD 时钟输出时（如果使用），PD 引脚必须在上电期间和所有其他时间都保持低电平。
3. 根据 PLLREF_SE 输入的状态，以所需频率向 CLK± 或 SE_CLK 施加稳定的时钟信号。
4. 使用 SOFT_RESET 重置器件。
5. 在返回 1 之前，通过读取 INIT_DONE 来验证器件初始化已完成。
6. 如果 PLL 被启用（PLL_EN 被设定为高电平），对 C-PLL 进行编程。如果 C-PLL 被禁用（PLL_EN 被设定为低电平），请跳至步骤 7。
   a. 将 CPLL_RESET 编程为 1 以复位 C-PLL。
   b. 将 VCO_BIAS 编程为 0x4A，以设置 C-PLL VCO 的偏置。
   c. 对 PLL_P_DIV、PLL_V_DIV 和 PLL_N_DIV 进行编程以设置 C-PLL 分频器（请参阅转换器 PLL (C-PLL）以生成采样时钟）。
   d. 将 VCO_CAL_EN 编程为 1 以启用 VCO 修整校准或手动将 VCO 修整写入 VCO_FREQ_TRIM（并将 VCO_CAL_EN 设置为 0）。如果手动加载 VCO_FREQ_TRIM，请跳至步骤 6.e。
   e. 将 CPLL_RESET 编程为 0 以启动 VCO 校准并启用 C-PLL
7. 对 JESD_EN = 0 进行编程，以停止 JESD204C 状态机并允许更改设置。
8. 对 CAL_EN = 0 进行编程以停止校准状态机并允许更改设置。
9. 根据*低功耗模式和高性能*模式部分，如有需要，对低功耗工作模式进行编程。
10. 对所需的 JMODE 进行编程。
11. 对所需的 KM1 值进行编程。KM1 = K – 1。仅当选择使用 8B 或 10B 编码的 JMODE 时，才使用 KM1。
12. 根据需要对 SYNC_SEL 进行编程。选择 $\overline{\text{SYNCSE}}$ 单端输入或 TMSTP± 差分输入。
13. 根据需要配置器件校准设置（请参阅 CAL_CFG0 和 CAL_CFG1 寄存器）。根据需要选择前台或后台校准模式和偏移校准。
14. 启用 TRIGOUT± 时钟输出并根据需要通过 TRIGOUT_CTRL 寄存器配置 TRIGOUT 输出模式。
15. 如果使用 C-PLL（PLL_EN 为高电平），请验证 VCO 校准是否已完成（读取 VCO_CAL_DONE），以及 C-PLL 是否锁定到基准时钟（读取 CPLL_LOCKED），然后再继续。
16. 对 CAL_EN = 1 进行编程以启用校准状态机。
17. 通过 OVR_EN 启用超范围，并根据需要调整设置。
18. 对 JESD_EN = 1 进行编程，以重新启动 JESD204C 状态机并允许重新启动链接。
19. 通过将 CAL_SOFT_TRIG 设置为 0，然后将其设置为 1 来触发前台校准（如果启用）。或者，可以通过将 CAL_TRIG_EN 设置为 1，然后将 CALTRIG 引脚切换为低电平，再切换为高电平来选择使用 CALTRIG 引脚。CALSTAT 引脚和 FG_DONE 寄存器位会变为高电平，以指示校准已完成。
20. 对于使用 8B/10B 编码的 JMODE，JESD204C 接口现在会响应来自接收器的应用 SYNC 信号（64B/66B 不使用 SYNC）。
21. 当 JESD204C 接收器完成初始化序列（CGS 和 ILAS 在 8B/10B 模式下完成或锁定到 64B/66B 模式下的同步标头）且 CALSTAT 引脚为高电平（如果 CAL_STATUS_SEL = 0）或 FG_DONE 设置为 1 以指示校准已完成时，数据有效。

7.4 电源相关建议

该器件需要两个不同的电源电压。VA19、VPLL19 和 VREFO 电源总线需要 1.9V 直流电，VA11 和 VD11 电源总线需要 1.1V 直流电。VTRIG 可被设定为 1.1V 或者 1.9V，TRIGOUT± 共模电压会相应地发生变化。

电源电压必须具有低噪声，并提供所需的电流以实现额定器件性能。某些电源应相互隔离，以防止噪声耦合到敏感电源中。最好通过对每个电源使用单独的稳压器来实现隔离，但由于尺寸和成本的限制，通常无法做到这一

Copyright © 2025 Texas Instruments Incorporated

点。至少应使用 PI 型电源滤波方案，其中包括一个低直流电阻铁氧体磁珠 (FB)，其两侧各安装一个低电感去耦电容器。图 7-3 和 图 7-4 的示例电源架构图对此进行了说明。

推荐的电源架构包括以下两种：

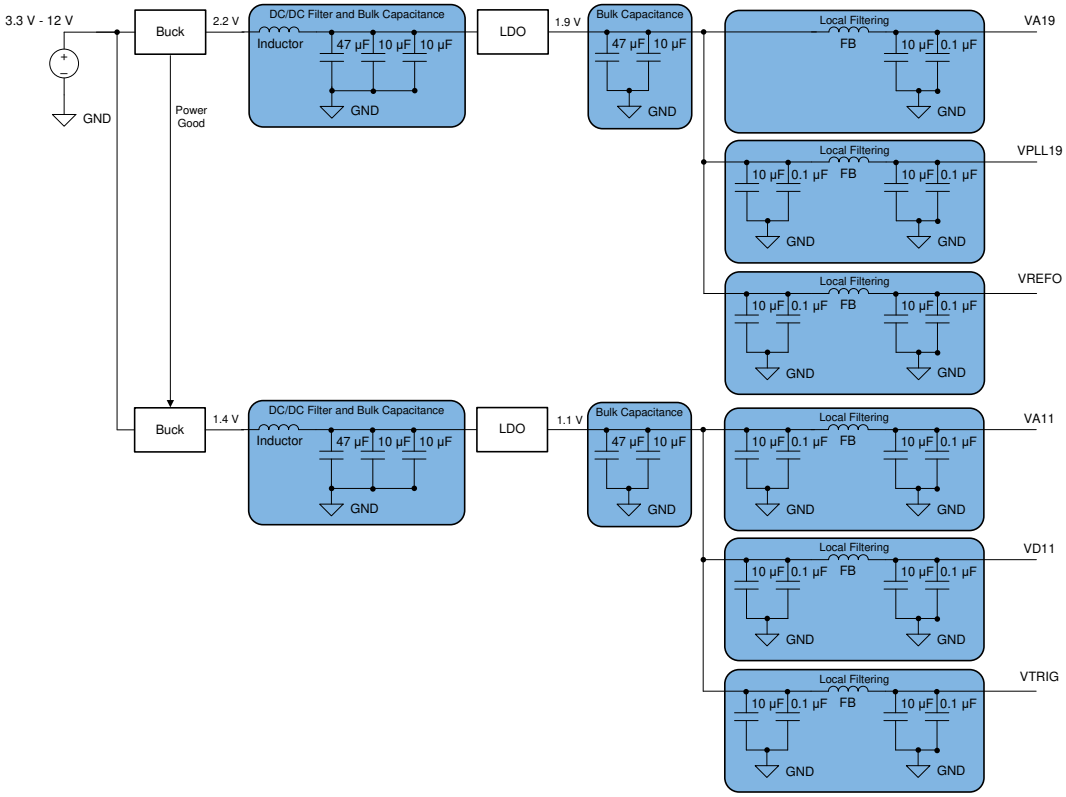
1. 如 图 7-3 所示，使用降压高效开关转换器，然后进行第二级稳压，以降低开关噪声并提高电压精度。
2. 如 图 7-4 所示，使用高效开关转换器直接降低最终的 ADC 电源电压。该方法可提供出色的效率，但必须注意确保尽可能降低开关噪声，以防止 ADC 性能下降。通常，以高开关频率在固定频率模式下运行直流/直流开关稳压器，以便设计更好的电源滤波网络，并减少可能无法滤除的低频噪声。

WEBENCH® Power Designer 可根据需要用于选择和设计各个电源元件。

推荐的开关稳压器包括 TPS7H4002-SP、TPS7H4011-SP、TPS7H4001-SP 以及类似器件。

推荐的低压降 (LDO) 线性稳压器包括 TPS7H1101A-SP、TPS7H1121-SP、TPS7H1111-SP 以及类似器件。

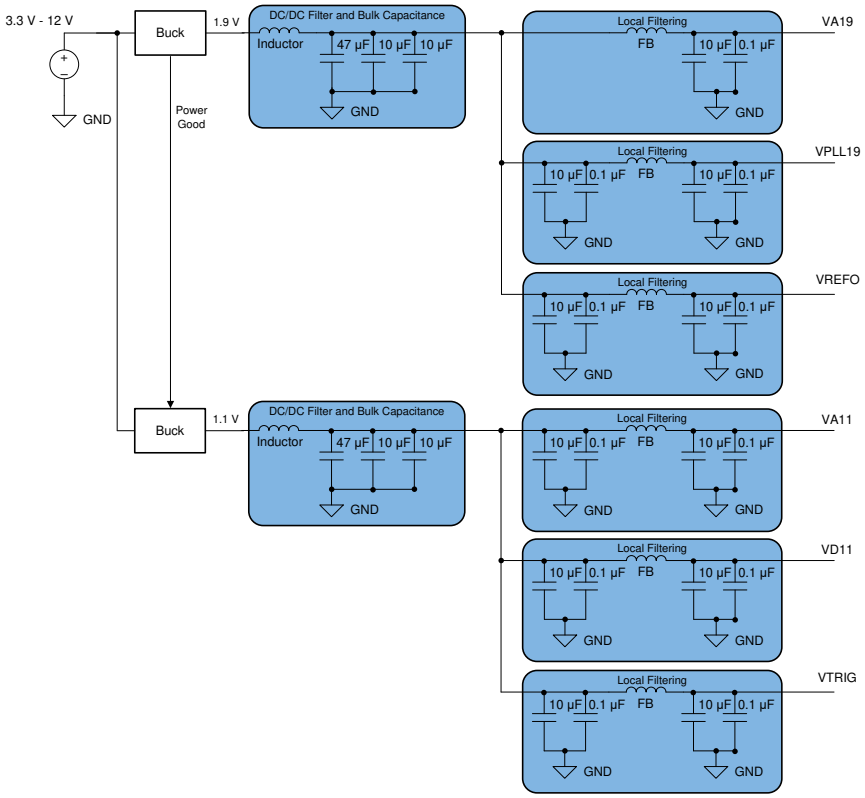
对于仅开关的方法，纹波滤波器经设计必须能对直流/直流转换器的开关频率和开关频率的谐波进行充分的滤波。请注意 WEBENCH® 报告的开关频率，并设计 EMI 滤波器和电容器组合，以便根据需要设置滤波器的截止频率。每种应用对电源电压噪声的容忍度不同，对性能的影响也不同，因此没有严格的纹波要求。通常，在所有纹波和瞬态事件期间，电源电压必须保持在建议运行条件限制范围内。任何电源滤波都必须考虑潜在的瞬态电流，特别是在使用低功耗后台校准时（请参阅 *低功耗后台校准 (LPBG) 模式*）。



FB = 铁氧体磁珠滤波器。

图 7-3. LDO 线性稳压器方法示例

Copyright © 2025 Texas Instruments Incorporated



FB = 铁氧体磁珠滤波器。

图 7-4. 仅开关的方法示例

7.4.1 电源时序

在上电、正常运行或断电期间，1.1V 电源 (VA11、VD11) 不得比任何 1.9V 电源 (VA19、VPLL19、VREFO) 或 VTRIG（1.1V 或 1.9V）高出 0.5V 以上。此外，所有 1.9V 电源间的电压差应始终保持在 0.5V 内。VTRIG 可以通过 1.9V 电源或 1.1V 电源电压斜升，但在任何时候都不得比 VA11 或 VD11 低 0.5V。VA11 和 VD11 之间没有时序要求。

一般建议是使所有 1.9V 电源共用一个稳压器。VTRIG 通常为 1.1V 或 1.9V，并且应与相同电压的电源共用一个稳压器。然后，一般将 1.9V 稳压器的电源良好输出与 1.1V 稳压器连接即可满足时序要求。这样可确保 1.1V 电源在 1.9V 电源启动后启用（电源正常），并确保 1.9V 电源在上电时的电压始终大于 1.1V 电源。在断电期间，只要 1.1V 电源电压降至稳压范围以下，就会禁用 1.9V 电源。斜升速率的设计必须确保 1.9V 电源的电压永远不会比 VA11 或 VD11 电源电压低 0.5V 以上。

7.5 布局

7.5.1 布局指南

在电路板设计过程中，有几个关键信号需要特别注意：

1. 模拟输入信号
2. CLK、SE_CLK 和 SYSREF
3. JESD204C 数据输出
4. 电源连接
5. 接地连接

Copyright © 2025 Texas Instruments Incorporated

模拟输入信号，时钟信号和 JESD204C 数据输出的路由必须在高频下实现出色的信号质量，但也必须进行路由，以最大限度地相互隔离。请使用以下常规做法：

1. 尽可能使用松散耦合的 100Ω 差分布线进行路由。这种布线可更大限度地降低角和长度匹配蛇形对成对阻抗的影响。SE_CLK 应在内层上作为共面波导或带状线进行路由，并具有足够的过孔屏蔽以防止耦合。
2. 提供足够的线对间距以更大限度地减少串扰，尤其是在松散耦合差分布线情况下。当无法提供足够的间距时，紧密耦合的差分布线可用于降低自辐射噪声或提高相邻布线的抗噪性。
3. 提供足够的接地平面覆铜间距，更大限度地减少与高速布线的耦合。任何接地平面覆铜都必须有足够的过孔连接到电路板的主接地平面。请勿使用悬空或接地不良的覆铜。
4. 使用平滑的半径角。避免 45 或 90 度弯曲，以减少阻抗不匹配。
5. 在元件着陆垫上引入接地平面开孔，以避免这些位置的阻抗不连续。在这些着陆垫下方的一个或多个接地平面上进行开孔，以实现焊盘尺寸或层叠高度，从而实现所需的 50Ω 单端阻抗。
6. 避免在基准接地平面中的不平顺处附近布线。不平顺处包括与电源和信号过孔以及通孔器件引线相关的接地平面或接地层间隙的切割处。
7. 在由布线传输的最大频率 (<< $\lambda_{MIN}/8$) 决定的适当间距下，提供与任何高速信号相邻的对称接地连接拼接过孔。
8. 当高速信号必须使用过孔转换到另一层时，应尽可能远地穿过电路板（最好是从上到下），以更大限度地减少过孔顶部或底部的过孔残桩。如果层选择不灵活，请使用背钻或埋入式盲孔来消除残桩。在各层之间转换时，务必使接地过孔靠近信号过孔放置，就近形成接地回路。

请特别注意 JESD204C 数据输出路由和模拟输入路由之间的潜在耦合。JESD204C 输出的开关噪声可耦合到模拟输入布线中，并由于 ADC 的高输入带宽而显示为宽带噪声。理想情况下，JESD204C 数据输出在 ADC 输入布线之外的单独层上布线，以避免噪声耦合（*布局示例*部分中未显示）。紧密耦合布线也可用于减少噪声耦合。

由于信号反射或驻波，CLK± 输入引脚和时钟源之间的阻抗不匹配会导致 ADC CLK± 引脚上时钟信号的振幅降低。减小时钟幅度可能会降低 ADC 噪声性能，尤其是在高输入频率条件下。为了避免这种情况，应使时钟源靠近 ADC（如*布局示例*部分中所示）或在 ADC CLK± 输入引脚上实现阻抗匹配。

此外，TI 建议在进行制造之前对关键信号布线执行信号质量仿真。务必评估插入损耗、回波损耗和时域反射法 (TDR)。

此器件的电源和接地连接也非常重要。必须遵循以下规则：

1. 为所有电源和接地引脚提供低电阻连接路径。
2. 如有必要，可使用多个电源层接入所有引脚。
3. 避免使用狭窄的隔离路径，那会增加连接电阻。
4. 使用信号/接地/电源电路板层叠来最大限度地增加接地平面和电源平面之间的电容。

Copyright © 2025 Texas Instruments Incorporated

7.5.2 布局示例

图 7-5 至 图 7-7 提供了器件评估模块 (EVM) 上重要布线的示例。

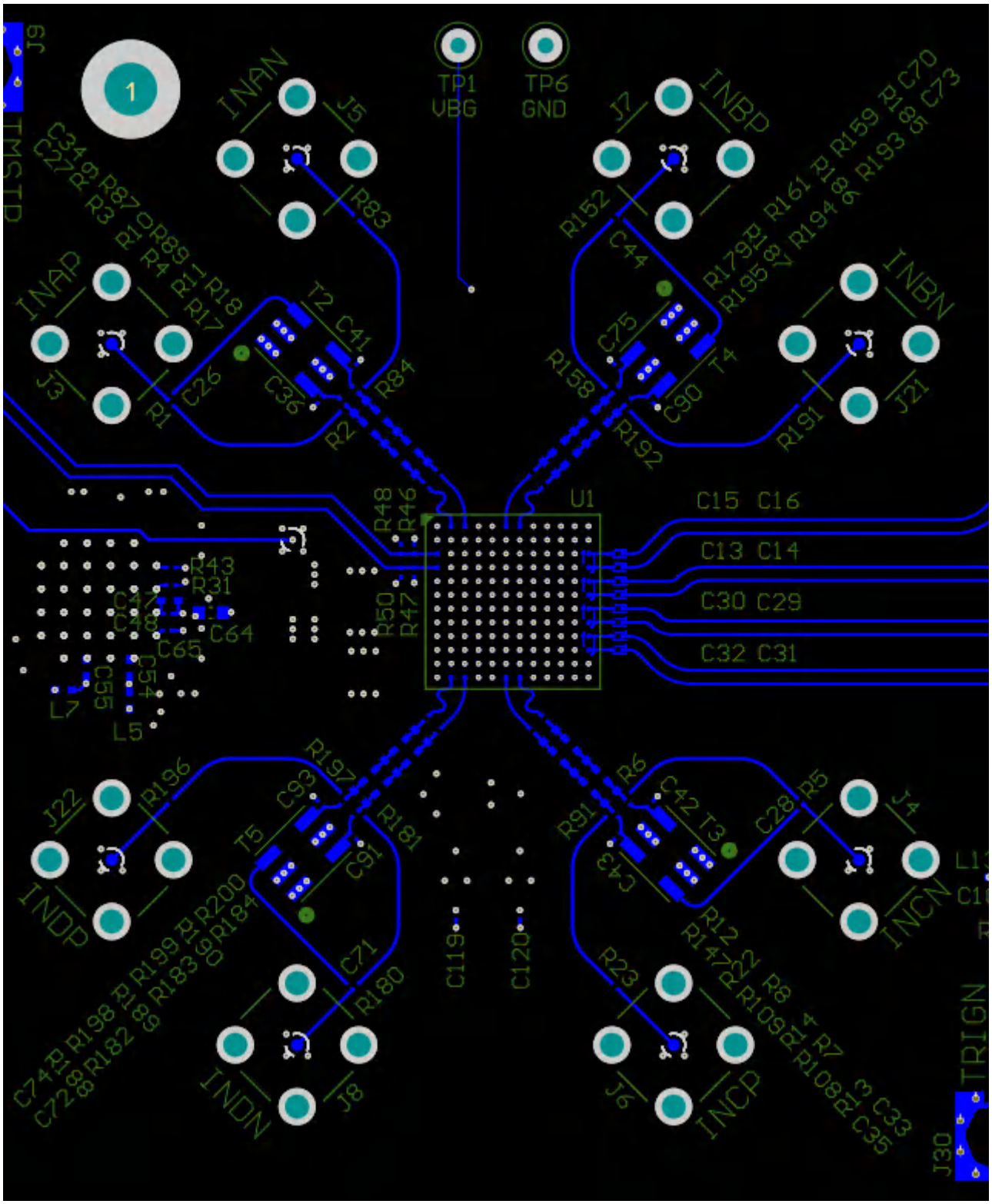


图 7-5. 顶层布线：模拟输入 (INA±、INB±、INC±、IND±)、TMSTP± 和 D[3:0]± 布线

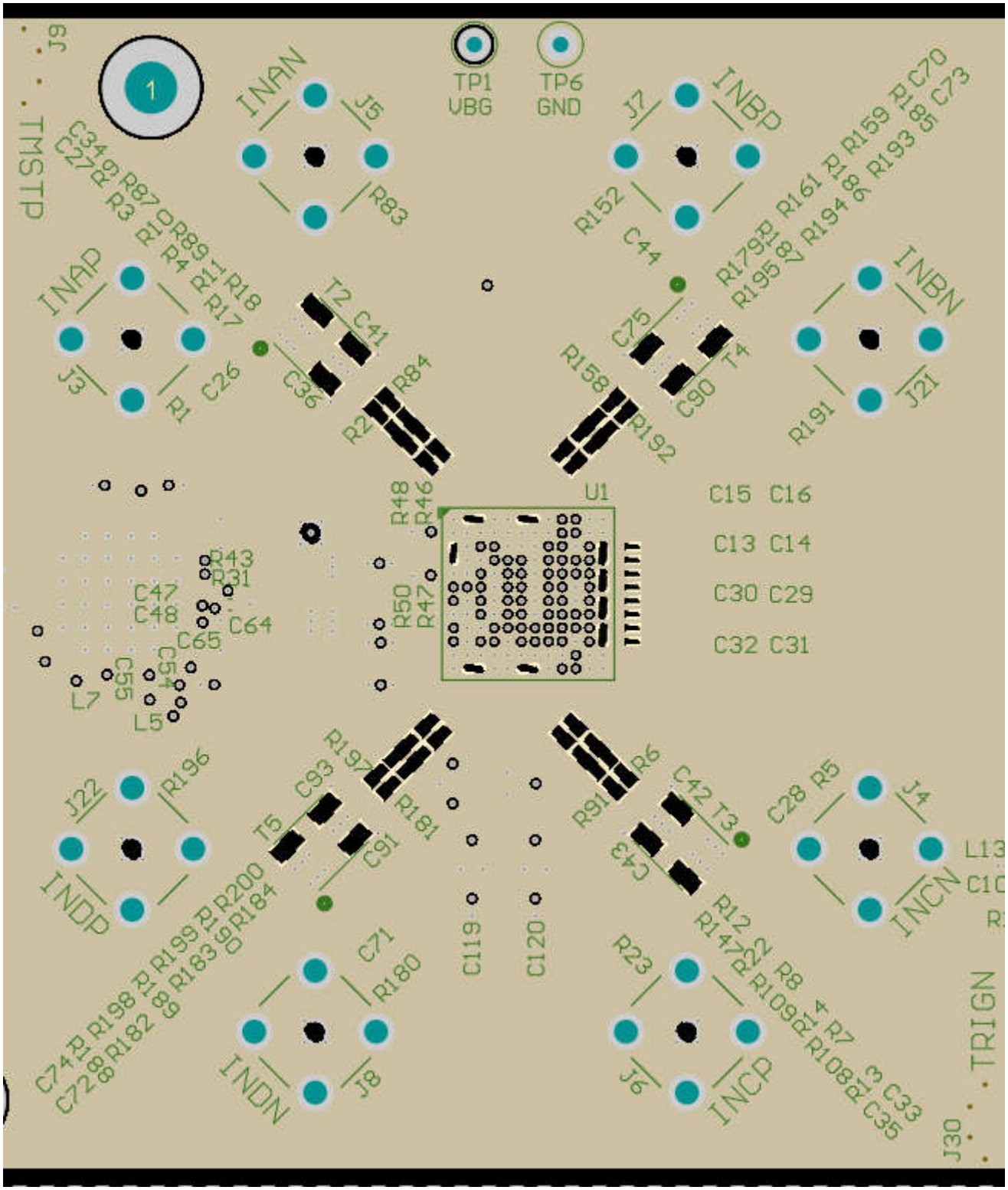


图 7-6. GND1 开孔可优化元件焊盘的阻抗

Copyright © 2025 Texas Instruments Incorporated

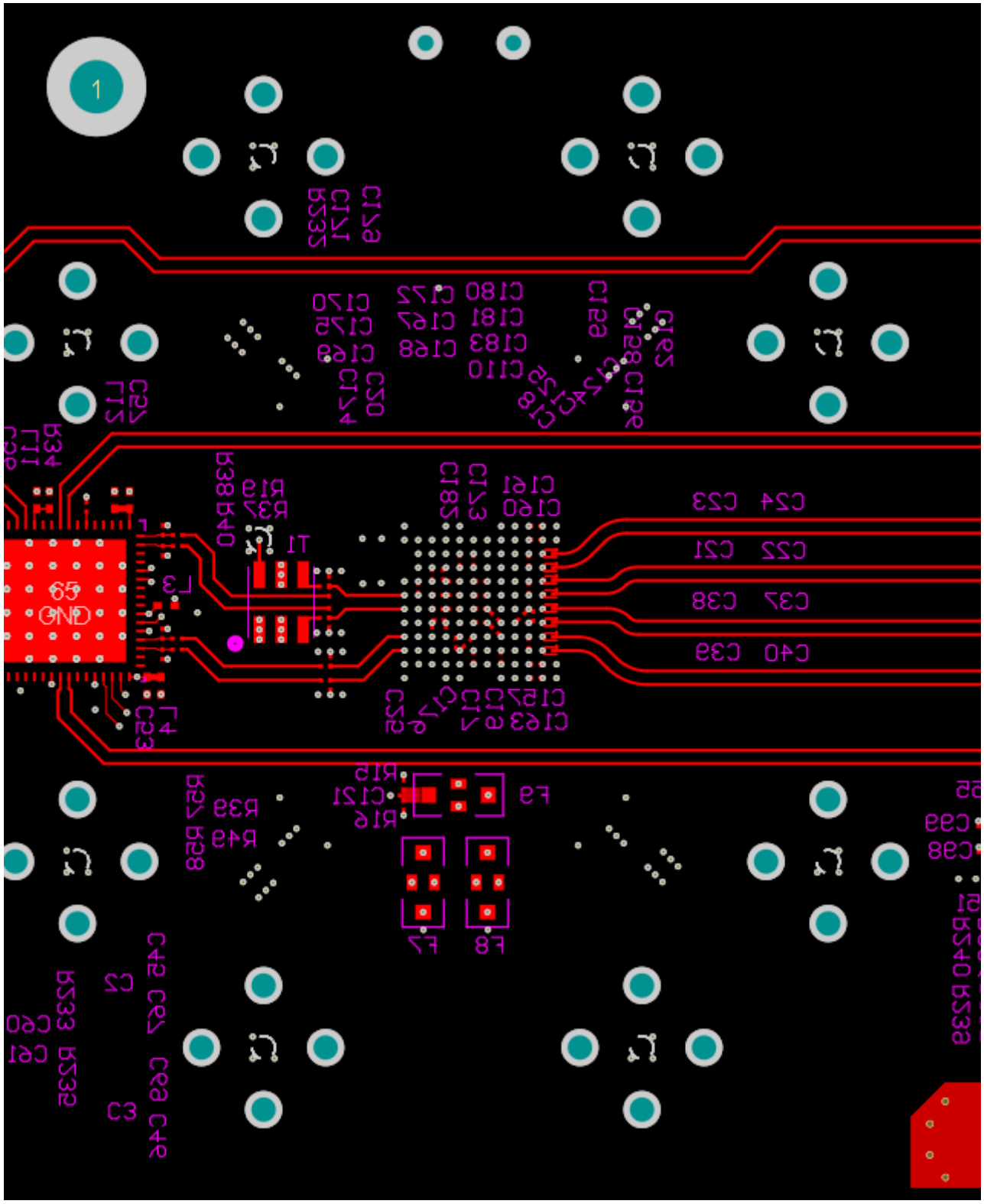


图 7-7. 底层布线：CLK±，SYSREF 和 D[7:4]± 布线

8 器件和文档支持

8.1 器件支持

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from JULY 6, 2023 to FEBRUARY 19, 2025 (from Revision A (July 2023) to Revision B (February 2025)) **Page**

- 更改了表 6-15 的标题 72
- 更改了建议的开关稳压器和建议的低压降 (LDO) 线性稳压器器件 135

Changes from JUNE 20, 2022 to JULY 5, 2023 (from Revision * (June 2022) to Revision A (July 2023)) **Page**

- 将文件从*预告信息* 更改为*量产数据* 1
- 添加了将未使用的串行器/解串器输入连接至 GND 或电压的选项。 4
- 将 ORD 功能*通道 C 超范围*改为 表 6-5 中的*通道 D 超范围* 59
- 在 表 6-15 中将 JMODE 4 和 6 E 参数更改为 1 72
- 在 表 6-15 中将 JMODE 14 N 参数更改为 12 72
- 已做更改，即该斜坡测试模式在多帧结束时停止，或在*斜坡测试模式*下有超过 256 个八位位组时在 0xFF 处停止。 80

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC12QJ1600ALRSHP	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12QJ16 SHP
ADC12QJ1600ALRSHP.A	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12QJ16 SHP
V62/22610-03XF	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12QJ16 SHP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

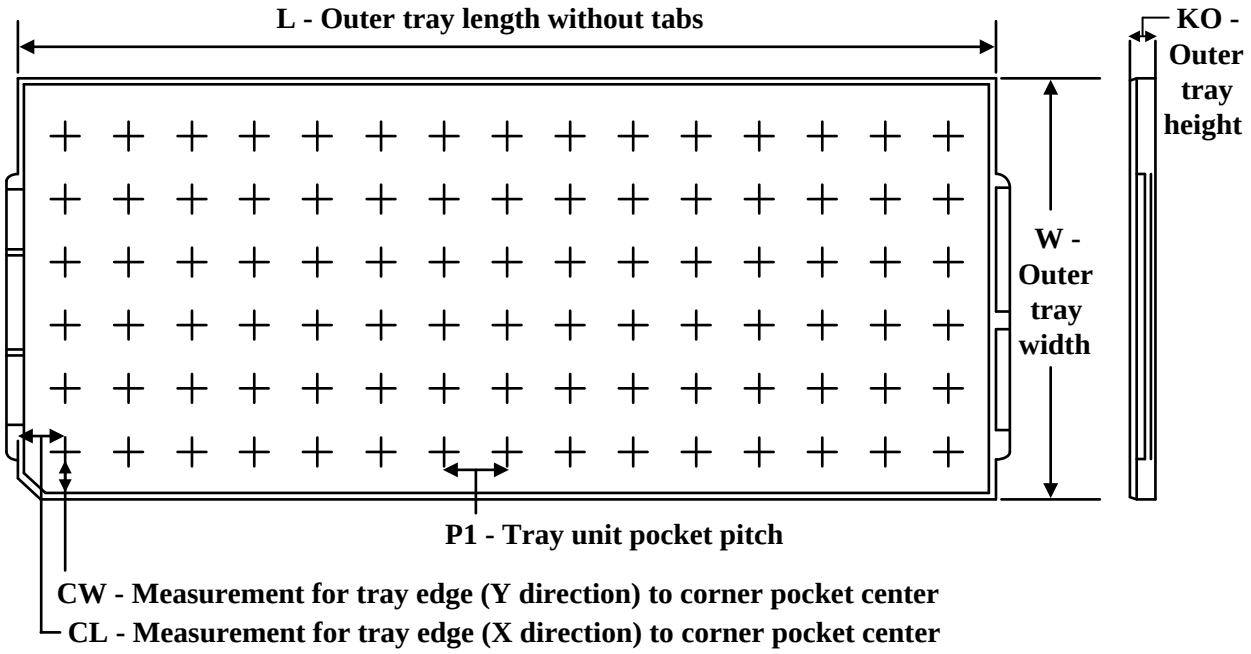
OTHER QUALIFIED VERSIONS OF ADC12QJ1600-SP :

- Catalog : ADC12QJ1600
- Automotive : ADC12QJ1600-Q1
- Enhanced Product : ADC12QJ1600-EP

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

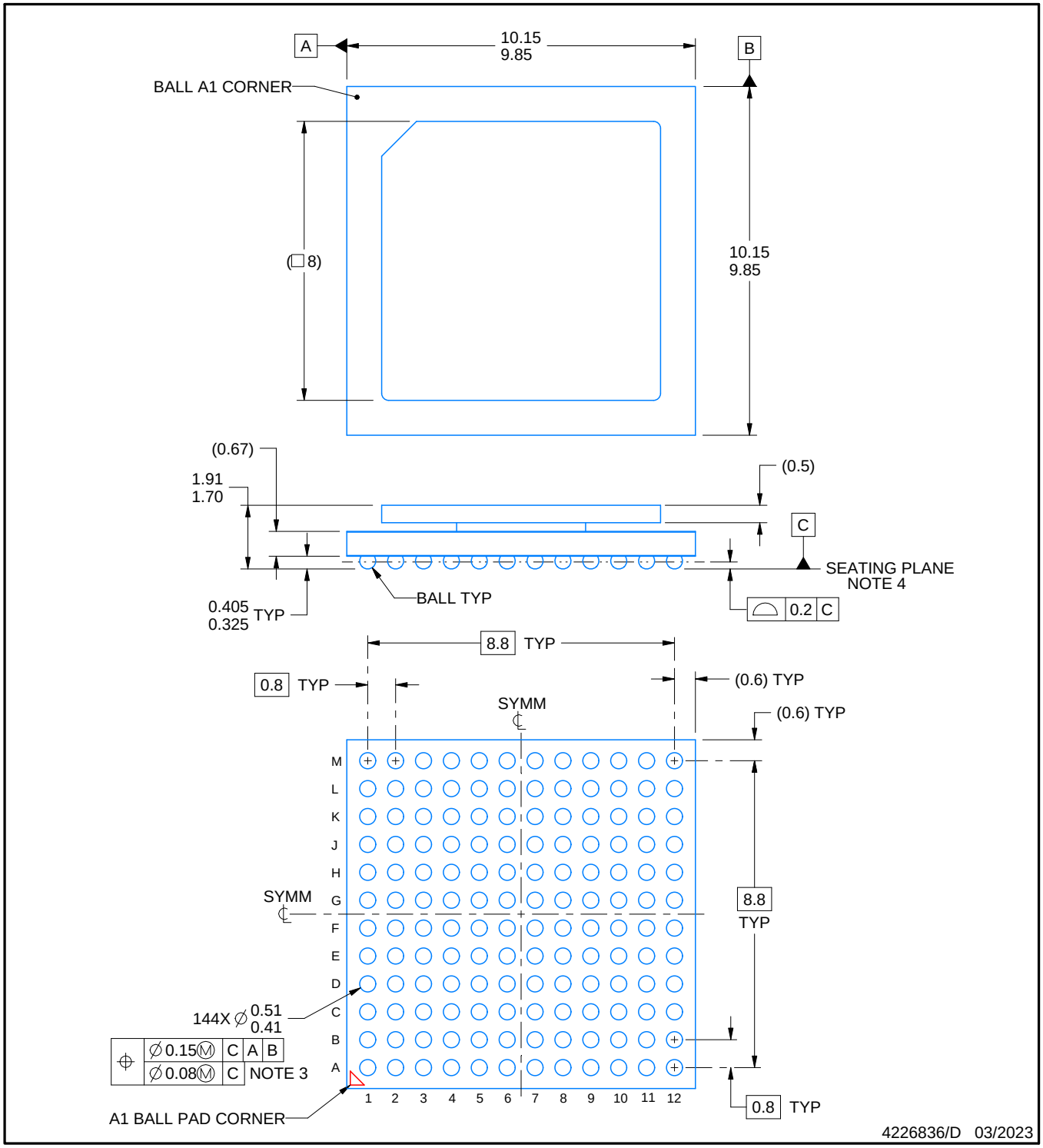
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADC12QJ1600ALRSHP	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
ADC12QJ1600ALRSHP.A	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
V62/22610-03XF	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65

PACKAGE OUTLINE

ALR0144A

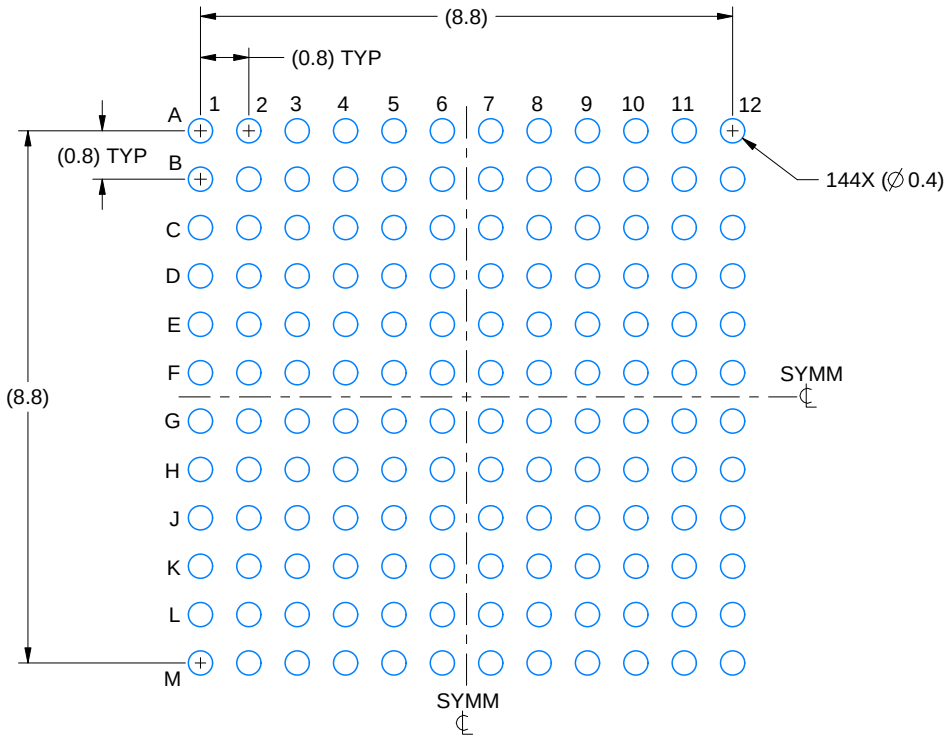
FCBGA - 1.91 mm max height

BALL GRID ARRAY

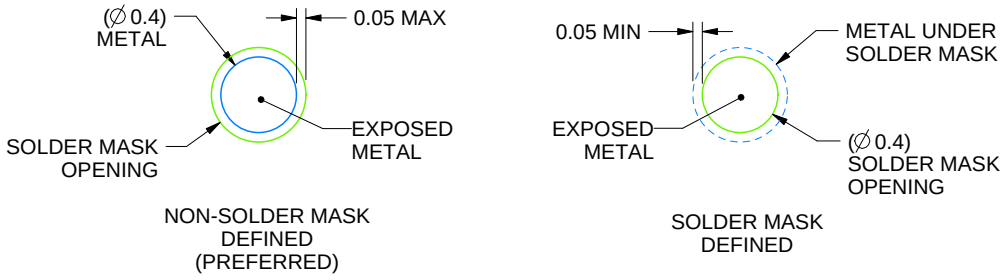


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METALSHOWN
SCALE:8X

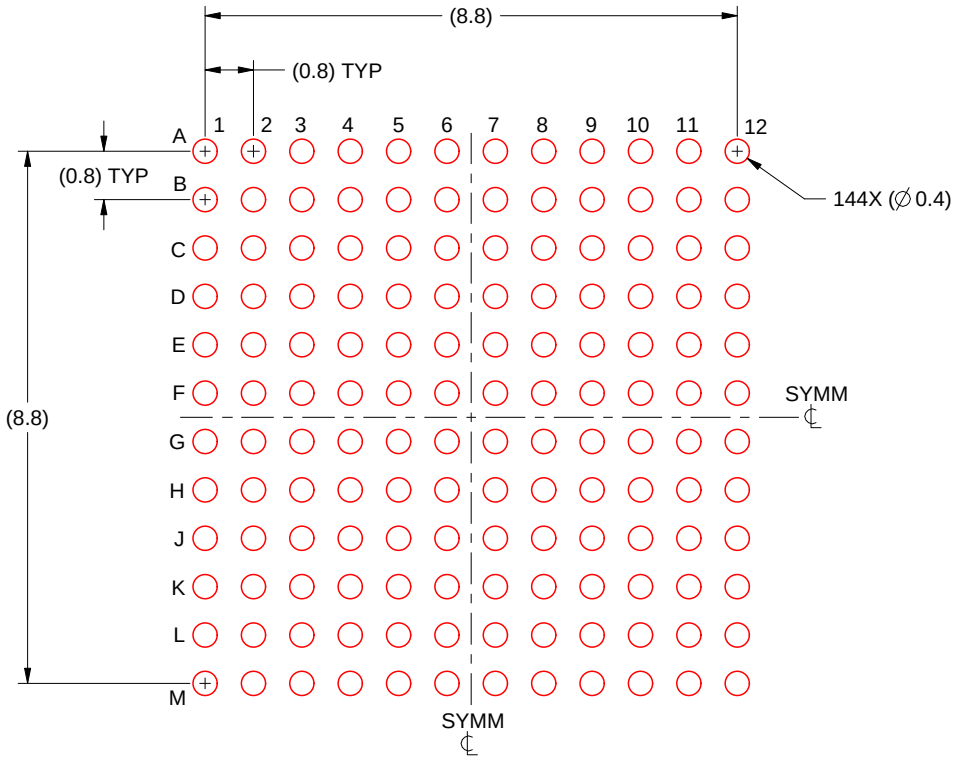


SOLDER MASK DETAILS
NOT TO SCALE

4226836/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:8X

4226836/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月