ADC12DJ5200-EP 10.4GSPS 单通道或 5.2GSPS 双通道 12 位射频采样模数转换器 (ADC)

1 特性

- 高可靠性增强型产品：
  - 受控基线：一个封装测试厂、一个制造基地、更长的产品生命周期、更长的产品变更通知周期和产品可追溯性
- ADC 内核：
  - 12 位分辨率
  - 单通道模式下的采样率高达 10.4GSPS
  - 双通道模式下的采样率高达 5.2GSPS
- 性能规格：
  - 本底噪声（ –20dBFS，V_{FS} = 1$V_{PP-DIFF}$ ）：
    - 双通道模式：–151.8dBFS/Hz
    - 单通道模式：–154.4dBFS/Hz
  - ENOB（双通道，F_{IN} = 2.4GHz ）：8.6 位
- V_{CMI} 为 0V 时的缓冲模拟输入：
  - 模拟输入带宽 (-3dB)：8GHz
  - 可用输入频率范围：> 10GHz
  - 满量程输入电压（ V_{FS}，默认值 ）：0.8V_{PP}
- 无噪声孔径延迟 (t_{AD}) 调节：
  - 精确采样控制：19fs 步长
  - 简化同步和交错
  - 温度和电压不变延迟
- 简便易用的同步特性：
  - 自动 SYSREF 计时校准
  - 样片标记时间戳
- JESD204C 串行数据接口：
  - 最大通道速率：17.16Gbps
  - 支持 64b/66b 和 8b/10b 编码
  - 8b/10b 模式兼容 JESD204B
- 可选数字下变频器 (DDC)：
  - 4 倍、8 倍、16 倍和 32 倍复杂抽取
  - 每个 DDC 均具有四个独立的 32 位 NCO
- 峰值射频输入功率 (Diff)：+26.5dBm（ +27.5dBFS，560x 满量程功率 ）
- 可实现均衡的可编程 FIR 滤波器
- 功耗：4W
- 电源：1.1V、1.9V

2 应用

- 宽带数字转换器
- 电子战（信号情报、电子情报 ）
- 卫星通信 (SATCOM)
- 射频采样软件定义无线电 (SDR)

3 说明

ADC12DJ5200-EP 器件是一款射频采样千兆采样模数转换器 (ADC)，可对从直流到 10GHz 以上的输入频率进行直接采样。ADC12DJ5200-EP 可配置为双通道 5.2GSPS ADC 或单通道 10.4GSPS ADC。支持高达 10GHz 的可用输入频率范围，可对频率捷变系统的 L、S、C 和 X 频带进行直接射频采样。

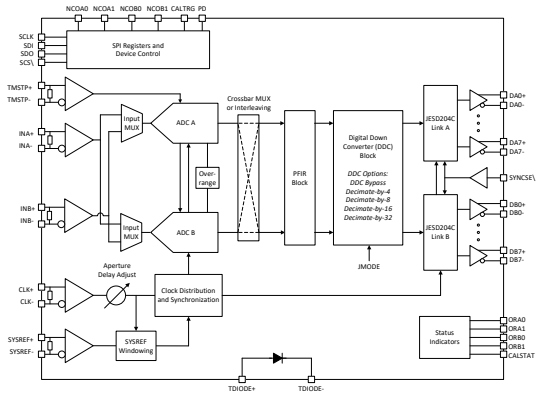
ADC12DJ5200-EP 使用具有多达 16 个串行通道的高速 JESD204C 输出接口，支持高达 17.16Gbps 的线路速率。通过 JESD204C 子类 1 支持确定性延迟和多器件同步。JESD204C 接口可进行配置，对线路速率和通道数进行权衡。支持 8b/10b 和 64b/66b 数据编码方案。64b/66b 编码支持前向纠错 (FEC)，可改进误码率。此接口向后兼容 JESD204B 接收器。

无噪声孔径延迟调节和 SYSREF 窗口等创新的同步特性可简化多通道应用的系统设计。提供可选的数字下变频器 (DDC)，以便将数字信号频谱下变频到基带信号并降低接口速率。可编程 FIR 滤波器可实现片上均衡。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADC12DJ5200-EP	FCBGA (144)	10mm × 10mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



ADC12DJ5200-EP 方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档 ）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....9
5.1 绝对最大额定值.....9
5.2 ESD 等级.....9
5.3 建议运行条件.....10
5.4 热性能信息.....10
5.5 电气特性：直流规格.....11
5.6 电气特性：功耗.....13
5.7 电气特性：交流规格（双通道模式）.....14
5.8 电气特性：交流规格（单通道模式）.....19
5.9 时序要求.....25
5.10 开关特性.....27
5.11 典型特性.....31
6 详细说明.....62
6.1 概述.....62
6.2 功能方框图.....63
6.3 特性说明.....64
6.4 器件功能模式.....92
6.5 编程.....114
6.6 SPI 寄存器映射.....116
7 应用信息免责声明.....178
7.1 应用信息.....178
7.2 典型应用.....178
7.3 初始化设置.....181
7.4 电源相关建议.....182
7.5 布局.....183
8 器件和文档支持.....188
8.1 器件支持.....188
8.2 文档支持.....188
8.3 接收文档更新通知.....189
8.4 支持资源.....189
8.5 商标.....189
8.6 静电放电警告.....189
8.7 术语表.....189
9 修订历史记录.....189
10 机械、封装和可订购信息.....190

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

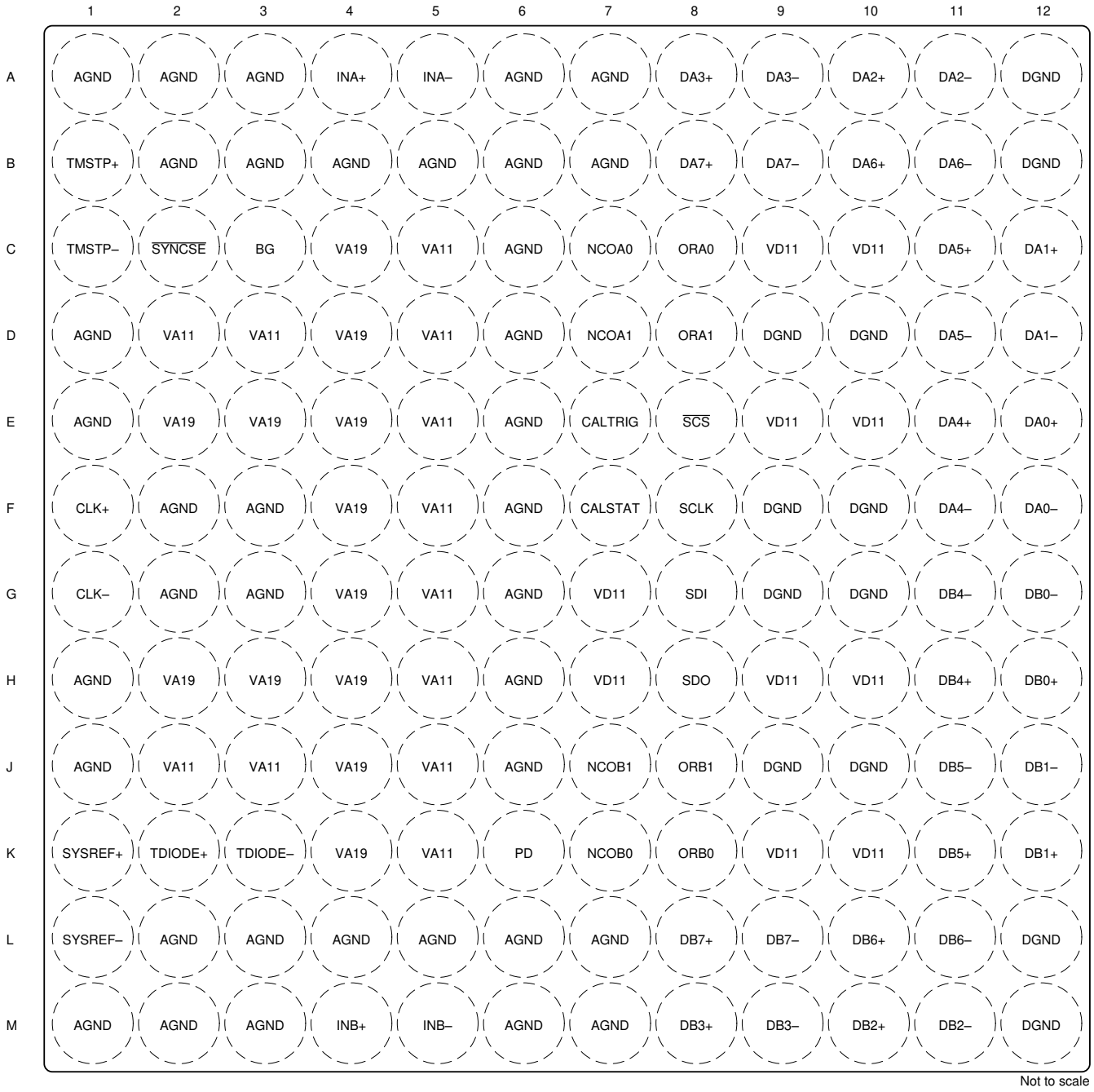


图 4-1. ALR 封装、144 焊球倒装芯片 BGA
（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
AGND	A1、A2、A3、A6、A7、B2、B3、B4、B5、B6、B7、C6、D1、D6、E1、E6、F2、F3、F6、G2、G3、G6、H1、H6、J1、J6、L2、L3、L4、L5、L6、L7、M1、M2、M3、M6、M7	—	模拟电源接地。将 AGND 和 DGND 连接到电路板上的公共接地层 (GND)。
BG	C3	O	带隙电压输出。如*建议运行条件*表中所指定，该引脚只能提供小电流并驱动有限的电容负载。该引脚可以在不使用时保持断开。
CALSTAT	F7	O	前台校准状态输出或器件警报输出。功能通过 CAL_STATUS_SEL 进行编程。该引脚可以在不使用时保持断开。
CALTRIG	E7	I	前台校准触发器输入。只有在 CAL_TRIG_EN 中选择硬件校准触发时才使用此引脚，否则将使用 CAL_SOFT_TRIG 执行软件触发。不使用时将此引脚连接到 GND。
CLK+	F1	I	器件（采样）时钟正输入。强烈建议将时钟信号交流耦合至这个输入以获得最佳性能。在单通道模式下，在上升沿和下降沿对模拟输入信号进行采样。在双通道模式下，在上升沿对模拟信号进行采样。该差分输入具有内部未修整 100Ω 差分终端，并且只要将 DEVCLK_LVPECL_EN 设置为 0，该差分输入就会自偏置为理想输入共模电压。
CLK–	G1	I	器件（采样）时钟负输入。TI 强烈建议使用交流耦合以获得最佳性能。
DA0+	E12	O	用于通道 A、通道 0 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA0–	F12	O	用于通道 A、通道 0 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA1+	C12	O	用于通道 A、通道 1 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA1–	D12	O	用于通道 A、通道 1 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA2+	A10	O	用于通道 A、通道 2 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA2–	A11	O	用于通道 A、通道 2 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA3+	A8	O	用于通道 A、通道 3 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA3–	A9	O	用于通道 A、通道 3 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA4+	E11	O	用于通道 A、通道 4 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA4–	F11	O	用于通道 A、通道 4 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
DA5+	C11	O	用于通道 A、通道 5 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA5 –	D11	O	用于通道 A、通道 5 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA6+	B10	O	用于通道 A、通道 6 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接，或者使用 0Ω 至 1MΩ 电阻连接到 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。该引脚可以在不使用时保持断开。
DA6 –	B11	O	用于通道 A、通道 6 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA7+	B8	O	用于通道 A、通道 7 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DA7 –	B9	O	用于通道 A、通道 7 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB0+	H12	O	用于通道 B、通道 0 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB0 –	G12	O	用于通道 B、通道 0 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB1+	K12	O	用于通道 B、通道 1 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开。
DB1 –	J12	O	用于通道 B、通道 1 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB2+	M10	O	用于通道 B、通道 2 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB2 –	M11	O	用于通道 B、通道 2 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB3+	M8	O	用于通道 B、通道 3 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB3 –	M9	O	用于通道 B、通道 3 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开。
DB4+	H11	O	用于通道 B、通道 4 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB4 –	G11	O	用于通道 B、通道 4 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB5+	K11	O	用于通道 B、通道 5 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB5 –	J11	O	用于通道 B、通道 5 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB6+	L10	O	用于通道 B、通道 6 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB6 –	L11	O	用于通道 B、通道 6 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
DB7+	L8	O	用于通道 B、通道 7 的高速串行化数据输出，正连接。该差分输出必须采用交流耦合，并且必须始终在接收器上使用 100Ω 差分终端进行端接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DB7 –	L9	O	用于通道 B、通道 7 的高速串行化数据输出，负连接。该引脚可以在不使用时保持断开，或使用 0Ω 至 1MΩ 电阻器将其连接至介于 GND (0V) 和 VD11 (1.1V) 之间的任何电压电平。
DGND	A12、B12、D9、D10、F9、F10、G9、G10、J9、J10、L12、M12	—	数字电源接地。将 AGND 和 DGND 连接到电路板上的公共接地层 (GND)。
INA+	A4	I	通道 A 模拟输入正连接。为实现最佳性能，建议在单通道模式下使用 INA±。差分满量程输入电压由 FS_RANGE_A 寄存器确定（请参阅*满量程电压（V_{FS}）调整*部分）。该输入通过 50Ω 终端电阻器端接至接地。输入共模电压通常设置为 0V (GND)，必须遵循*建议运行条件*表中的建议。该引脚可以在不使用时保持断开。
INA-	A5	I	通道 A 模拟输入负连接。为实现最佳性能，建议在单通道模式下使用 INA±。有关详细说明，请参阅 INA+ (pin A4)。该输入通过 50Ω 终端电阻器端接至接地。该引脚可以在不使用时保持断开。
INB+	M4	I	通道 B 模拟输入正连接。为实现最佳性能，建议在单通道模式下使用 INA±。差分满量程输入电压由 FS_RANGE_B 寄存器确定（请参阅*满量程电压（V_{FS}）调整*部分）。该输入通过 50Ω 终端电阻器端接至接地。输入共模电压通常必须设置为 0V (GND)，必须遵循*建议运行条件*表中的建议。该引脚可以在不使用时保持断开。
INB –	M5	I	通道 B 模拟输入负连接。为实现最佳性能，建议在单通道模式下使用 INA±。有关详细说明，请参阅 INB+。该输入通过 50Ω 终端电阻器端接至接地。该引脚可以在不使用时保持断开。
NCOA0	C7	I	用于 DDC A 的 NCO 选择控制的最低有效位 (LSB)。当使用复数输出 JMODE 时，NCOA0 和 NCOA1 从四个可选的 NCO 中选出一个 NCO 用于数字混合。其余未选择的 NCO 继续运行以保持相位一致性，可以通过更改 NCOA0 和 NCOA1（当 CMODE = 1 时）的值来交换。此引脚属于异步输入类型的引脚。有关更多信息，请参阅 *NCO 快速跳频 (FFH)* 和 *NCO 选择*部分。不使用时将此引脚连接到 GND。
NCOA1	D7	I	用于 DDC A 的 NCO 选择控制的 MSB。如果不使用该引脚，则将其连接至 GND。
NCOB0	K7	I	用于 DDC B 的 NCO 选择控制的最低有效位 (LSB)。当使用复数输出 JMODE 时，NCOB0 和 NCOB1 从四个可选的 NCO 中选出一个 NCO 用于数字混合。其余未选择的 NCO 继续运行以保持相位一致性，可以通过更改 NCOB0 和 NCOB1（当 CMODE = 1 时）的值来交换。此引脚属于异步输入类型的引脚。有关更多信息，请参阅 *NCO 快速跳频 (FFH)* 和 *NCO 选择*部分。不使用时将此引脚连接到 GND。
NCOB1	J7	I	用于 DDC B 的 NCO 选择控制的 MSB。如果不使用该引脚，则将其连接至 GND。
ORA0	C8	O	通道 A 的 OVR_T0 阈值快速超范围检测状态。当模拟输入超过 OVR_T0 中编程的阈值时，此状态指示器将变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。该引脚可以在不使用时保持断开。
ORA1	D8	O	通道 A 的 OVR_T1 阈值快速超范围检测状态。当模拟输入超过 OVR_T1 中编程的阈值时，此状态指示器将变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。该引脚可以在不使用时保持断开。
ORB0	K8	O	通道 B 的 OVR_T0 阈值快速超范围检测状态。当模拟输入超过 OVR_T0 中编程的阈值时，此状态指示器将变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。该引脚可以在不使用时保持断开。
ORB1	J8	O	通道 B 的 OVR_T1 阈值快速超范围检测状态。当模拟输入超过 OVR_T1 中编程的阈值时，此状态指示器将变为高电平。最小脉冲持续时间由 OVR_N 设置。有关更多信息，请参阅 *ADC 超范围检测*部分。该引脚可以在不使用时保持断开。
PD	K6	I	当设置为高电平时，该引脚会禁用所有模拟电路和串行器输出，以进行温度二极管校准或在不使用器件时降低功耗。不使用时将此引脚连接到 GND。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
SCLK	F8	I	串行接口时钟。此引脚用作串行接口时钟输入，可为串行编程数据输入和输出提供时钟。*使用串行接口*部分更详细地介绍了串行接口。支持 1.1V 至 1.8V CMOS 电平。
$\overline{SCS}$	E8	I	串行接口芯片选择低电平有效输入。*使用串行接口*部分更详细地介绍了串行接口。支持 1.1V 至 1.8V CMOS 电平。该引脚到 VD11 有一个 82kΩ 上拉电阻器。
SDI	G8	I	串口数据输入。*使用串行接口*部分更详细地介绍了串行接口。支持 1.1V 至 1.8V CMOS 电平。
SDO	H8	O	串行接口数据输出。*使用串行接口*部分更详细地介绍了串行接口。该引脚在器件正常运行期间处于高阻抗状态。在串行接口读取操作期间，该引脚输出 1.9V CMOS 电平。该引脚可以在不使用时保持断开。
$\overline{SYNCSE}$	C2	I	单端 JESD204C SYNC 信号。此输入为低电平有效输入，当 SYNC_SEL 设置为 0 时，用于在 8B/10B 模式中初始化 JESD204C 串行链路。64B/66B 模式不使用 SYNC 信号进行初始化，但可用于 NCO 同步。当在 8B/10B 模式中切换为低电平时，此输入会启动代码组同步（请参阅*代码组同步 (CGS)* 部分）。代码组同步后，必须将此输入切换为高电平以启动初始通道对齐序列（请参阅*初始通道对齐序列 (ILAS)* 部分）。通过将 SYNC_SEL 设置为 1 并使用 TMSTP± 作为差分 $\overline{SYNC}$ 输入，可以改用差分 SYNC 信号。如果将差分 $\overline{SYNC}$ (TMSTP±) 用作 JESD204C SYNC 信号，则应将该引脚连接到 GND。
SYSREF+	K1	I	SYSREF 正输入用于在 JESD204C 接口上实现同步和确定性延迟。该差分输入（SYSREF+ 至 SYSREF－）具有内部未修整的 100Ω 差分端接，当 SYSREF_LVPECL_EN 设置为 0 时，可以进行交流耦合。当 SYSREF_LVPECL_EN 设置为 0 时，该输入会自偏置。每个输入引脚（SYSREF+ 和 SYSREF－）上的终端改为 50Ω 接地，并且当 SYSREF_LVPECL_EN 设置为 1 时，可以进行直流耦合。当 SYSREF_LVPECL_EN 设置为 1 时，该输入不会自偏置，必须从外部偏置到*建议运行条件*表中提供的输入共模电压范围。
SYSREF-	L1	I	SYSREF 负输入
TDIODE+	K2	I	温度二极管正（阳极）连接。可以将外部温度传感器连接到 TDIODE+ 和 TDIODE- 来监测器件的结温。该引脚可以在不使用时保持断开。
TDIODE－	K3	I	温度二极管负（阴极）连接。该引脚可以在不使用时保持断开。
TMSTP+	B1	I	时间戳输入正连接或差分 JESD204C $\overline{SYNC}$ 正连接。当 TIMESTAMP_EN 设置为 1 时，该输入为时间戳输入，用于标记特定采样。当 SYNC_SEL 设置为 1 时，该差分输入用作 JESD204C SYNC 信号输入。此输入可同时用作时间戳和差分 SYNC 输入，从而允许使用时间戳机制来反馈 SYNC 信号。当用作 JESD204C SYNC 时，TMSTP±使用低电平有效的信号传输方式。有关更多使用信息，请参阅*时间戳*部分。必须将 TMSTP_RECV_EN 设置为 1 才能使用该输入。该差分输入（TMSTP+ 至 TMSTP－）具有内部未修整的 100Ω 差分终端，当 TMSTP_LVPECL_EN 设置为 0 时，可以进行交流耦合。每个输入引脚（TMSTP+ 和 TMSTP-）上的终端改为 50Ω 接地，并且当 TMSTP_LVPECL_EN 设置为 1 时，可以进行直流耦合。该引脚不会自偏置，因此对于交流和直流耦合配置，必须从外部偏置。当交流和直流耦合时，共模电压必须处于*建议运行条件*表中提供的范围内。如果 $\overline{SYNCSE}$ 用于 JESD204C SYNC 且无需使用时间戳功能，则可以将此引脚保持断开并禁用 (TMSTP_RECV_EN = 0)。
TMSTP－	C1	I	时间戳输入正连接或差分 JESD204C $\overline{SYNC}$ 负连接。如果 $\overline{SYNCSE}$ 用于 JESD204C SYNC 且无需使用时间戳功能，则可以将此引脚保持断开并禁用 (TMSTP_RECV_EN = 0)。
VA11	C5、D2、D3、D5、E5、F5、G5、H5、J2、J3、J5、K5	I	1.1V 模拟电源
VA19	C4、D4、E2、E3、E4、F4、G4、H2、H3、H4、J4、K4	I	1.9V 模拟电源

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
VD11	C9、C10、E9、E10、G7、H7、H9、H10、K9、K10	I	1.1V 数字电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{DD}	电源电压范围	VA19(2)	-0.3	2.35	V
		VA11(2)	-0.3	1.32	
		VD11(3)	-0.3	1.32	
		VD11 和 VA11 之间的电压	-1.32	1.32	
V_{GND}	AGND 和 DGND 之间的电压		-0.1	0.1	V
V_{PIN}	引脚电压范围	DA[7:0]+、DA[7:0]－、DB[7:0]+、DB[7:0]－、TMSTP+、TMSTP－(3)	-0.5	VD11 + 0.5(5)	V
		CLK+、CLK-、SYSREF+、SYSREF-(2)	-0.5	VA11 + 0.5(4)	
		BG、TDIODE+、TDIODE－(2)	-0.5	VA19 + 0.5(6)	
		INA+、INA－、INB+、INB－(2)	-1	1	
		CALSTAT、CALTRIG、NCOA0、NCOA1、NCOB0、NCOB1、ORA0、ORA1、ORB0、ORB1、PD、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{SYNCSE}$ (2)	-0.5	VA19 + 0.5(6)	
$I_{MAX(ANY)}$	峰值输入电流（除 INA+、INA－、INB+、INB－之外的任何输入）		-25	25	mA
$I_{MAX(INx)}$	峰值输入电流（INA+、INA－、INB+、INB－）		-50	50	mA
$P_{MAX(INx)}$	峰值射频输入功率（INA+、INA－、INB+、INB－）	差分为 Z_{S-DIFF} = 100 Ω，最长 21 天(7)		26.5	dBm
		Z_{S-SE} = 50 Ω 的单端		16.4	dBm
$I_{MAX(ALL)}$	峰值总输入电流（强制输入或输出的所有电流的绝对值之和，不包括电源电流）			100	mA
T_j	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出绝对最大额定值 下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 测量至 AGND。
(3) 测量至 DGND。
(4) 最大电压不超过 VA11 绝对最大额定值。
(5) 最大电压不超过 VD11 绝对最大额定值。
(6) 最大电压不超过 VA19 绝对最大额定值。
(7) 在典型器件上，在 F_{IN} = 1.2GHz 的情况下连续测试 21 天。测试结束时，器件未损坏。在过驱期间，ADC 仍能正确转换输入信号，尽管它会因电压超出输入满量程而饱和。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 允许在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{DD}	电源电压范围	VA19、1.9V 模拟电源(2)	1.8	1.9	2.0	V
		VA11、1.1V 模拟电源(2)	1.05	1.1	1.15	
		VD11、1.1V 数字电源(3)	1.05	1.1	1.15	
V_{CMI}	输入共模电压	INA+、INA–、INB+、INB–(2)	-50	0	100	mV
		CLK+、CLK-、SYSREF+、SYSREF-(2) (4)	0	0.3	0.55	V
		TMSTP+、TMSTP–(3) (5)	0	0.3	0.55	
V_{ID}	输入电压、差分峰峰值电压	CLK+ 至 CLK–、SYSREF+ 至 SYSREF–、TMSTP+ 至 TMSTP–	0.4	1.0	2.0	$V_{PP-DIFF}$
		INA+ 至 INA–，INB+ 至 INB–			0.8(6)	
I_{C_TD}	温度二极管输入电流	TDIODE+ 至 TDIODE–		100		µA
C_L	BG 最大负载电容				50	pF
I_O	BG 最大输出电流				100	µA
DC	输入时钟占空比		30	50	70	%
T_A	自然通风条件下的工作温度范围		-55		125	°C
T_J	工作结温				150(1)	°C

(1) 芯片的工作温度设计为 Tj = 150°C，Tj = 125°C 时器件和芯片金属化降级高达 150,000 POH 连续运行。但是，如果在高于 Tj = 105°C 结温下长时间使用，可能会增加封装时基故障 (FIT) 率。
(2) 测量至 AGND。
(3) 测量至 DGND。
(4) TI 强烈建议对 CLK± 进行交流耦合，并将 DEVCLK_LVPECL_EN 设置为 0，以使 CLK± 自偏置到最佳输入共模电压，从而实现最高性能。TI 建议对 SYSREF± 进行交流耦合，除非需要直流耦合，在这种情况下，必须使用 LVPECL 输入模式 (SYSREF_LVPECL_EN = 1)。
(5) 无论是 TMSTP_LVPECL_EN=0 时的交流耦合，还是 TMSTP_LVPECL_EN=1 时的直流耦合，TMSTP± 都没有内部偏置，需要从外部对 TMSTP± 进行偏置。
(6) 当 INA± 或 INB± 的 V_{ID} 超出由 INA± 的 FS_RANGE_A 或 INB± 的 FS_RANGE_B 设置的编程满量程电压 (V_{FS}) 时，ADC 输出代码将饱和。

5.4 热性能信息

热指标(1)		10mmx10mm FC-BGA 144 引脚	单位
$R_{\theta JA}$	结至环境热阻	23.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	0.8	°C/W
$R_{\theta JB}$	结至电路板热阻	8.4	°C/W
Ψ_{JT}	结至顶部特征参数	0.23	°C/W
Ψ_{JB}	结至电路板特征参数	8.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性：直流规格

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
	分辨率	无代码丢失时的分辨率		12		位
DNL	微分非线性	距离理想步长的最大正偏移		0.14		LSB
		距离理想步长的最大负偏移		-0.13		
INL	积分非线性	距离理想传递函数的最大正偏移		2.0		LSB
		距离理想传递函数的最大负偏移		-2.4		LSB
模拟输入（INA+、INA–、INB+、INB–）						
V_{OFF}	偏移误差	CAL_OS = 0		±0.50		mV
		CAL_OS = 1		±0.15		mV
V_{OFF_ADJ}	输入失调电压调节范围	可用的偏移校正范围（请参见 OS_CAL 或 OADJ_x_INx）		±50		mV
V_{OFF_DRIFT}	偏移漂移	仅限标称温度下的前台校准		18		μV/°C
		每个温度下的前台校准		-5.5		
		每个温度下的前台校准和 FGOS 校准		0		
V_{FS}	模拟差分输入满量程	默认满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)	750	825	910	mV_{PP}
		最大满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xFFFF)	975	1060		
		最小满量程电压 (FS_RANGE_A = FS_RANGE_B = 0x2000)		500	560	
V_{FS_DRIFT}	模拟差分输入满量程范围漂移	默认 FS_RANGE_A 和 FS_RANGE_B 设置，每个温度下的前台校准，由 50Ω 源驱动的输入，包括 R_{IN} 漂移的影响		0.033		%/°C
V_{FS_MATCH}	模拟差分输入满量程范围匹配	INA± 和 INB± 之间的匹配，默认设置，双通道模式		0.625%		
R_{IN}	AGND 单端输入电阻	每个输入引脚端接至 AGND，在 T_A = 25°C 时测量	48	50	52	Ω
R_{IN_TEMPCO}	输入终端线性温度系数			14.7		mΩ/°C
C_{IN}	单端输入电容	在直流时测量单通道模式		0.4		pF
		在直流时测量双通道模式		0.4		
温度二极管特性 (TDIODE+、TDIODE-)						
ΔV_{BE}	温度二极管电压斜率	100μA 的强制正向电流。失调电压（在 0°C 时约为 0.792V）随工艺不同而变化，必须针对每个器件进行测量。必须在器件未上电或 PD 引脚置位的情况下完成失调电压测量，以更大限度地减少器件自发热。		-1.65		mV/°C

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性：直流规格（续）

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件	最小值	典型值	最大值	单位
带隙电压输出 (BG)						
V_{BG}	基准输出电压	I_L ≤ 100µA		1.1		V
V_{BG_DRIFT}	基准输出温度漂移	I_L ≤ 100µA		-64		µV/°C
时钟输入（CLK+、CLK–、SYSREF+、SYSREF–、TMSTP+、TMSTP–）						
Z_T	内部端接	DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0 且 TMSTP_LVPECL_EN = 0 时的差分终端		100		Ω
		在 DEVCLK_LVPECL_EN = 0、SYSREF_LVPECL_EN = 0、TMSTP_LVPECL_EN = 0 时单端终端至 GND（每引脚）		50		
V_{CM}	输入共模电压自偏置	交流耦合时 CLK± 的自偏置共模电压（DEVCLK_LVPECL_EN 必须设置为 0)		0.3		V
		在交流耦合时（SYSREF_LVPECL_EN 必须设置为 0）且接收器启用 (SYSREF_RECV_EN = 1) 时，SYSREF± 的自偏置共模电压		0.28		
		在交流耦合（SYSREF_LVPECL_EN 必须设置为 0）且接收器被禁用 (SYSREF_RECV_EN = 0) 时，SYSREF± 的自偏置共模电压		0.28		
C_{L_DIFF}	差分输入电容	正负差分输入引脚之间		0.04		pF
C_{L_SE}	单端输入电容	每个输入端接地		0.5		pF
串行器/解串器输出（DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–）						
V_{OD}	差分输出电压，峰峰值	100-Ω 负载	540	600	650	$mV_{PP-DIFF}$
V_{CM}	输出共模电压	交流耦合		VD11 / 2		V
Z_{DIFF}	差分输出阻抗			100		Ω
CMOS 接口：SCLK、SDI、SDO、$\overline{SCS}$、PD、NCOA0、NCOA1、NCOB0、NCOB1、CALSTAT、CALTRIG、ORA0、ORA1、ORB0、ORB1、$\overline{SYNCSE}$						
V_{IH}	高电平输入电压	所需输入电压	0.7			V
V_{IL}	低电平输入电压	所需输入电压			0.45	V
I_{IH}	高电平输入电流				40	µA
I_{IL}	低电平输入电流		-40			µA
C_I	输入电容			3.4		pF
V_{OH}	高电平输出电压	I_{LOAD} = -400µA	1.65			V
V_{OL}	低电平输出电压	I_{LOAD} = 400µA			150	mV

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性：功耗

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件	最小值	典型值	最大值	单位
I_{VA19}	1.9V 模拟电源电流	电源模式 1：JMODE 1（单通道模式、16 个通道、8B/10B 编码、绕过 DDC）、前台校准		934		mA
I_{VA11}	1.1V 模拟电源电流			845		mA
I_{VD11}	1.1V 数字电源电流			1170		mA
P_{DIS}	功率耗散			4.01		W
I_{VA19}	1.9V 模拟电源电流	电源模式 2：JMODE 30（单通道模式、8 个通道、64B/66B 编码、绕过 DDC）、前台校准		935	1050	mA
I_{VA11}	1.1V 模拟电源电流			850	1000	mA
I_{VD11}	1.1V 数字电源电流			1195	1650	mA
P_{DIS}	功率耗散			4.0	4.98	W
I_{VA19}	1.9V 模拟电源电流	电源模式 3：JMODE 1（单通道模式、16 个通道、8B/10B 编码、绕过 DDC）、后台校准		1242		mA
I_{VA11}	1.1V 模拟电源电流			1030		mA
I_{VD11}	1.1V 数字电源电流			1265		mA
P_{DIS}	功率耗散			4.90		W
I_{VA19}	1.9V 模拟电源电流	电源模式 4：JMODE 3（双通道模式、16 个通道、8B/10B 编码、绕过 DDC）、后台校准		1320		mA
I_{VA11}	1.1V 模拟电源电流			1030		mA
I_{VD11}	1.1V 数字电源电流			1250		mA
P_{DIS}	功率耗散			5.03		W
I_{VA19}	1.9V 模拟电源电流	电源模式 5：JMODE 22（单通道模式、8 个通道、8B/10B 编码、4x 抽取）、前台校准		936		mA
I_{VA11}	1.1V 模拟电源电流			845		mA
I_{VD11}	1.1V 数字电源电流			2350		mA
P_{DIS}	功率耗散			5.3		W
I_{VA19}	1.9V 模拟电源电流	电源模式 6：JMODE 11（双通道模式、8 个通道、8B/10B 编码、4x 抽取）、前台校准		1014		mA
I_{VA11}	1.1V 模拟电源电流			845		mA
I_{VD11}	1.1V 数字电源电流			2260		mA
P_{DIS}	功率耗散			5.34		W
I_{VA19}	1.9V 模拟电源电流	电源模式 7：PD 引脚保持高电平，时钟禁用		44		mA
I_{VA11}	1.1V 模拟电源电流			30		mA
I_{VD11}	1.1V 数字电源电流			56		mA
P_{DIS}	功率耗散			0.18		W

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：交流规格（双通道模式）

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 3，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
FPBW	全功率输入带宽（–3 dB)(1)	前台校准			8.1		GHz
		后台校准			8.1		
XTALK	通道间串扰	干扰源 = 1 GHz，–1 dBFS			-77		dB
		干扰源 = 3 GHz，–1 dBFS			-71		
		干扰源 = 6 GHz，–1 dBFS			-63		
CER	误码率	最大 CER，不包括 JESD204C 接口 BER			10^{-18}		错误/样本
噪声 $_{DC}$	直流输入噪声标准偏差	无输入、前台校准，不包括 DC 偏移，包括固定交错杂散（f_S /2 杂散）			2.3		LSB
NSD	噪声频谱密度，不包括固定交错杂散（f_S /2 杂散）	最大满量程电压 (V_{FS} = 1.0V_{PP})，A_{IN} = –20dBFS			-152.0		dBFS/Hz
		默认满量程电压 (V_{FS} = 0.8V_{PP})，A_{IN} = –20dBFS			-150.4		
NF	噪声系数，Z_S = 100Ω	最大满量程电压 (V_{FS} = 1.0V_{PP})，A_{IN} = –20dBFS			23.0		dB
		默认满量程电压 (V_{FS} = 0.8V_{PP})，A_{IN} = –20dBFS			22.6		
SNR	信噪比，不包括 DC、HD2 至 HD9、f_S / 2、f_S / 2 – f_{IN}、	f_{IN} = 347MHz	A_{IN} = -1dBFS		55.6		dBFS
			A_{IN} = -3dBFS		55.9		
			A_{IN} = -12dBFS		56.3		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		57.2		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		55.4		
			A_{IN} = -3dBFS		55.8		
			A_{IN} = -12dBFS		56.3		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS，T_A = -55℃	48			
			A_{IN} = -1dBFS，T_A = 25℃	52	54.7		
			A_{IN} = -1dBFS，T_A = 125℃	51			
			A_{IN} = -3dBFS		55.2		
			A_{IN} = -12dBFS		56.2		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		56.3		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		53.0		
			A_{IN} = -3dBFS		54.0		
			A_{IN} = -12dBFS		56.0		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		51.4		
			A_{IN} = -3dBFS		52.6		
			A_{IN} = -12dBFS		55.6		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		49.6		
			A_{IN} = -3dBFS		51.1		
			A_{IN} = -12dBFS		55.2		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：交流规格（双通道模式）（续）

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 3，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
SINAD	信噪比和失真比，不包括 DC 和 f_S / 2 固定杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		54.5		dBFS
			A_{IN} = -3dBFS		55.3		
			A_{IN} = -12dBFS		56.1		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		56.3		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		54.4		
			A_{IN} = -3dBFS		55.3		
			A_{IN} = -12dBFS		56.1		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS，T_A = -55℃	46			
			A_{IN} = -1dBFS，T_A = 25℃	49	53.9		
			A_{IN} = -1dBFS，T_A = 125℃	48			
			A_{IN} = -3dBFS		54.7		
			A_{IN} = -12dBFS		56.1		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		55.7		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		51.5		
			A_{IN} = -3dBFS		53.2		
			A_{IN} = -12dBFS		55.8		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		48.8		
			A_{IN} = -3dBFS		51.5		
			A_{IN} = -12dBFS		55.5		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		46.2		
			A_{IN} = -3dBFS		49.2		
			A_{IN} = -12dBFS		55.0		
ENOB	有效位数，不包括 DC 和 f_S /2 固定杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		8.8		位
			A_{IN} = -3dBFS		8.9		
			A_{IN} = -12dBFS		9.0		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		9.1		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		8.7		
			A_{IN} = -3dBFS		8.9		
			A_{IN} = -12dBFS		9.0		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS，T_A = -55℃	7.35			
			A_{IN} = -1dBFS，T_A = 25℃	7.85	8.7		
			A_{IN} = -1dBFS，T_A = 125℃	7.7			
			A_{IN} = -3dBFS		8.8		
			A_{IN} = -12dBFS		9.0		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		9.0		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		8.3		
			A_{IN} = -3dBFS		8.5		
			A_{IN} = -12dBFS		9.0		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		7.8		
			A_{IN} = -3dBFS		8.3		
			A_{IN} = -12dBFS		8.9		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		7.4		
			A_{IN} = -3dBFS		7.9		
			A_{IN} = -12dBFS		8.8		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：交流规格（双通道模式）（续）

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 3，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
SFDR	无杂散动态范围，不包括 DC 和 f_S /2 固定杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		65		dBFS
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		73		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		67		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		64		
			A_{IN} = -3dBFS		69		
			A_{IN} = -12dBFS		74		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS	52	65		
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		73		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		68		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		59		
			A_{IN} = -3dBFS		64		
			A_{IN} = -12dBFS		73		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		54		
			A_{IN} = -3dBFS		61		
			A_{IN} = -12dBFS		75		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		50		
			A_{IN} = -3dBFS		56		
			A_{IN} = -12dBFS		71		
HD2	二阶谐波失真	f_{IN} = 347MHz	AIN =-1dBFS		-74		dBFS
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-84		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-76		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-78		
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-81		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-72	-58	
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-82		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-73		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-64		
			A_{IN} = -3dBFS		-69		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-67		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-59		
			A_{IN} = -3dBFS		-63		
			A_{IN} = -12dBFS		-81		

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：交流规格（双通道模式）（续）

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 3，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
HD3	三阶谐波失真	f_{IN} = 347MHz	AIN =-1dBFS		-65		dBFS
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-81		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-65		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-76		
			A_{IN} = -12dBFS		-81		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-67	-58	
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-84		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-71		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-66		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-62		
			A_{IN} = -12dBFS		-82		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-50		
			A_{IN} = -3dBFS		-56		
			A_{IN} = -12dBFS		-80		
f_S / 2 – f_{IN}	f_S / 2 – f_{IN} 输入信号相关交错杂散	f_{IN} = 347MHz	AIN =-1dBFS		-69		dBFS
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-76		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-71		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-68	-52	
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-74		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-70		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-74		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-68		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-61		
			A_{IN} = -3dBFS		-63		
			A_{IN} = -12dBFS		-71		
f_S / 2	f_S / 2 固定交错杂散，与输入信号无关	A_{IN} = –20dBFS			-73	-55	dBFS

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性：交流规格（双通道模式）（续）

典型值为 T_J = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 3，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
SPUR	最差杂散，不包括 DC、HD2、HD3、f_S / 2 和 f_S /2 - f_{IN} 杂散	f_{IN} = 347MHz	AIN =-1dBFS		-74		dBFS
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-76		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-73		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-74	-62	
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-76		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-78		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-68		
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-78		
IMD3	三阶互调失真	f_1 = 343MHz，f_2 = 353MHz	A_{IN} = -7dBFS/单音		-78		dBFS
			A_{IN} = -9dBFS/单音		-82		
			A_{IN} = -18dBFS/单音		-90		
			A_{IN} = -9dBFS/单音，V_{FS} = 1.0V_{PP}		-85		
		f_1 = 993MHz，f_2 = 1003MHz	A_{IN} = -7dBFS/单音		-82		
			A_{IN} = -9dBFS/单音		-85		
			A_{IN} = -18dBFS/单音		-86		
		f_1 = 2393MHz，f_2 = 2403MHz	A_{IN} = -7dBFS/单音		-78		
			A_{IN} = -9dBFS/单音		-83		
			A_{IN} = -18dBFS/单音		-92		
			A_{IN} = -9dBFS/单音，V_{FS} = 1.0V_{PP}		-81		
		f_1 = 4193MHz，f_2 = 4203MHz	A_{IN} = -7dBFS/单音		-70		
			A_{IN} = -9dBFS/单音		-75		
			A_{IN} = -18dBFS/单音		-85		
		f_1 = 5993MHz，f_2 = 6003MHz	A_{IN} = -7dBFS/单音		-56		
			A_{IN} = -9dBFS/单音		-63		
			A_{IN} = -18dBFS/单音		-91		
		f_1 = 7993MHz，f_2 = 8003MHz	A_{IN} = -7dBFS/单音		-48		
			A_{IN} = -9dBFS/单音		-54		
			A_{IN} = -18dBFS/单音		-83		

(1) 全功率输入带宽 (FPBW) 定义为输入频率，在该频率下，ADC 的重构输出在低输入频率时下降至满量程输入信号的功耗以下 3dB。可用带宽可能超过 -3dB，全功率输入带宽。

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）

典型值为 T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、应用到 INA± 的输入信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
FPBW	全功率输入带宽（–3 dB)(1)	前台校准			7.9		GHz
		后台校准			7.9		
CER	误码率	最大 CER，不包括 JESD204C 接口 BER			10^{-18}		错误/样本
噪声 $_{DC}$	直流输入噪声标准偏差	无输入、前台校准，不包括 DC 偏移，包括固定交错杂散（f_S / 2 和 f_S / 4 杂散），启用 OS_CAL			3.1		LSB
NSD	噪声频谱密度，不包括固定交错杂散（f_S /2 和 f_S / 4 杂散）	最大满量程电压 (V_{FS} = 1.0V_{PP})，A_{IN} = –20dBFS			-154.2		dBFS/ Hz
		默认满量程电压 (V_{FS} = 0.8V_{PP})，A_{IN} = –20dBFS			-152.9		
NF	噪声系数，Z_S = 100 Ω	最大满量程电压 (V_{FS} = 1.0V_{PP})，A_{IN} = –20dBFS			20.8		dB
		默认满量程电压 (V_{FS} = 0.8V_{PP})，A_{IN} = –20dBFS			20.0		
SNR	信噪比，不包括 DC、HD2 至 HD9、f_S / 2、f_S / 4、f_S / 2 – f_{IN}、f_S / 4 ± f_{IN}	f_{IN} = 347MHz	A_{IN} = -1dBFS		55.4		dBFS
			A_{IN} = -3dBFS		55.8		
			A_{IN} = -12dBFS		56.5		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		56.9		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		55.3		
			A_{IN} = -3dBFS		55.8		
			A_{IN} = -12dBFS		56.3		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS，T_A = -55℃	48			
			A_{IN} = -1dBFS，T_A = 25℃	52	54.6		
			A_{IN} = -1dBFS，T_A = 125℃	51			
			A_{IN} = -3dBFS		55.3		
			A_{IN} = -12dBFS		56.4		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		56.2		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		53.0		
			A_{IN} = -3dBFS		54.0		
			A_{IN} = -12dBFS		56.0		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		51.4		
			A_{IN} = -3dBFS		52.7		
			A_{IN} = -12dBFS		55.8		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		49.5		
			A_{IN} = -3dBFS		51.0		
			A_{IN} = -12dBFS		55.4		

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）（续）

典型值为 T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、应用到 INA± 的输入信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
SINAD	信噪比和失真比，不包括 DC 和 f_S / 2 固定杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		53.5		dBFS
			A_{IN} = -3dBFS		54.4		
			A_{IN} = -12dBFS		55.7		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		55.4		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		53.0		
			A_{IN} = -3dBFS		54.1		
			A_{IN} = -12dBFS		55.4		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		50.7		
			A_{IN} = -3dBFS		52.1		
			A_{IN} = -12dBFS		55.1		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		52.4		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		49.4		
			A_{IN} = -3dBFS		50.9		
			A_{IN} = -12dBFS		54.6		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		48.2		
			A_{IN} = -3dBFS		50.7		
			A_{IN} = -12dBFS		54.8		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		45.4		
			A_{IN} = -3dBFS		48.2		
			A_{IN} = -12dBFS		54.2		
ENOB	有效位数，不包括 DC 和 f_S /2 固定杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		8.6		位
			A_{IN} = -3dBFS		8.7		
			A_{IN} = -12dBFS		9.0		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		8.9		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		8.5		
			A_{IN} = -3dBFS		8.7		
			A_{IN} = -12dBFS		8.9		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		8.1		
			A_{IN} = -3dBFS		8.4		
			A_{IN} = -12dBFS		8.9		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		8.4		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		7.9		
			A_{IN} = -3dBFS		8.2		
			A_{IN} = -12dBFS		8.8		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		7.7		
			A_{IN} = -3dBFS		8.1		
			A_{IN} = -12dBFS		8.8		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		7.3		
			A_{IN} = -3dBFS		7.7		
			A_{IN} = -12dBFS		8.7		

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）（续）

典型值为 T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、应用到 INA± 的输入信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
SFDR	无杂散动态范围，不包括 DC、f_S / 4 和 f_S / 2 固定杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		63		dBFS
			A_{IN} = -3dBFS		67		
			A_{IN} = -12dBFS		73		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		65		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		61		
			A_{IN} = -3dBFS		64		
			A_{IN} = -12dBFS		72		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		55		
			A_{IN} = -3dBFS		57		
			A_{IN} = -12dBFS		67		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		58		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		55		
			A_{IN} = -3dBFS		57		
			A_{IN} = -12dBFS		65		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		55		
			A_{IN} = -3dBFS		60		
			A_{IN} = -12dBFS		70		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		51		
			A_{IN} = -3dBFS		55		
			A_{IN} = -12dBFS		66		
HD2	二阶谐波失真	f_{IN} = 347MHz	A_{IN} = -1dBFS		-74		dBFS
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-88		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-76		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-78		
			A_{IN} = -3dBFS		-78		
			A_{IN} = -12dBFS		-88		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-76	-58	
			A_{IN} = -3dBFS		-81		
			A_{IN} = -12dBFS		-83		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-77		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-84		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-59		
			A_{IN} = -3dBFS		-64		
			A_{IN} = -12dBFS		-80		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-54		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-74		

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）（续）

典型值为 T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、应用到 INA± 的输入信号、f_{IN} = 347MHz、A_{IN} = – 1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
HD3	三阶谐波失真	f_{IN} = 347MHz	A_{IN} = -1dBFS		-63		dBFS
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-82		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-67		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-65		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-65	-58	
			A_{IN} = -3dBFS		-71		
			A_{IN} = -12dBFS		-86		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-68		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-62		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-64		
			A_{IN} = -12dBFS		-83		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-51		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-78		
f_S / 2 – f_{IN}	f_S / 2 – f_{IN} 输入信号相关交错杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		-66		dBFS
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-77		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-70		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-62		
			A_{IN} = -3dBFS		-65		
			A_{IN} = -12dBFS		-73		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-56		
			A_{IN} = -12dBFS		-67		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-57		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-55		
			A_{IN} = -3dBFS		-57		
			A_{IN} = -12dBFS		-65		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-59		
			A_{IN} = -3dBFS		-61		
			A_{IN} = -12dBFS		-71		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-57		
			A_{IN} = -3dBFS		-58		
			A_{IN} = -12dBFS		-66		

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）（续）

典型值为 T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、应用到 INA± 的输入信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
f_S / 4 ± f_{IN}	f_S / 4 ± f_{IN} 输入信号相关交错杂散	f_{IN} = 347MHz	A_{IN} = -1dBFS		-71		dBFS
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-71		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-71		
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-69	-52	
			A_{IN} = -3dBFS		-71		
			A_{IN} = -12dBFS		-78		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-70		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-69		
			A_{IN} = -12dBFS		-75		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-69		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-67		
			A_{IN} = -3dBFS		-68		
			A_{IN} = -12dBFS		-77		
f_S / 2	f_S / 2 固定交错杂散，与输入信号无关	A_{IN} = –20dBFS、OS_CAL 禁用			-64		dBFS
		A_{IN} = –20dBFS、OS_CAL 启用			-72		
f_S / 4	f_S / 4 固定交错杂散，与输入信号无关	A_{IN} = –20dBFS			-67	-55	dBFS
SPUR	最差杂散，不包括 DC、HD2、HD3、f_S / 2、f_S / 4、f_S / 2 - f_{IN} 和 f_S / 4 ± f_{IN}	f_{IN} = 347MHz	A_{IN} = -1dBFS		-76		dBFS
			A_{IN} = -3dBFS		-75		
			A_{IN} = -12dBFS		-80		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-75		
		f_{IN} = 997MHz	A_{IN} = -1dBFS		-73		
			A_{IN} = -3dBFS		-74		
			A_{IN} = -12dBFS		-79		
		f_{IN} = 2397MHz	A_{IN} = -1dBFS		-74	-62	
			A_{IN} = -3dBFS		-77		
			A_{IN} = -12dBFS		-82		
			A_{IN} = -3dBFS，V_{FS} = 1.0 V_{PP}		-78		
		f_{IN} = 4197MHz	A_{IN} = -1dBFS		-70		
			A_{IN} = -3dBFS		-73		
			A_{IN} = -12dBFS		-77		
		f_{IN} = 5997MHz	A_{IN} = -1dBFS		-70		
			A_{IN} = -3dBFS		-72		
			A_{IN} = -12dBFS		-78		
		f_{IN} = 7997MHz	A_{IN} = -1dBFS		-66		
			A_{IN} = -3dBFS		-70		
			A_{IN} = -12dBFS		-79		

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性：交流规格（单通道模式）（续）

典型值为 T_A = 50°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、应用到 INA± 的输入信号、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了*建议的工作条件*表中的工作结温范围。

参数		测试条件		最小值	典型值	最大值	单位
IMD3	三阶互调失真	f_1 = 343MHz，f_2 = 353MHz	A_{IN} = -7dBFS/单音		-77		dBFS
			A_{IN} = -9dBFS/单音		-82		
			A_{IN} = -18dBFS/单音		-92		
			A_{IN} = -9dBFS/单音，V_{FS} = 1.0V_{PP}		-82		
		f_1 = 993MHz，f_2 = 1003MHz	A_{IN} = -7dBFS/单音		-80		
			A_{IN} = -9dBFS/单音		-83		
			A_{IN} = -18dBFS/单音		-85		
		f_1 = 2393MHz，f_2 = 2403MHz	A_{IN} = -7dBFS/单音		-80		
			A_{IN} = -9dBFS/单音		-86		
			A_{IN} = -18dBFS/单音		-94		
			A_{IN} = -9dBFS/单音，V_{FS} = 1.0V_{PP}		-82		
		f_1 = 4193MHz，f_2 = 4203MHz	A_{IN} = -7dBFS/单音		-71		
			A_{IN} = -9dBFS/单音		-76		
			A_{IN} = -18dBFS/单音		-86		
		f_1 = 5993MHz，f_2 = 6003MHz	A_{IN} = -7dBFS/单音		-59		
			A_{IN} = -9dBFS/单音		-66		
			A_{IN} = -18dBFS/单音		-88		
		f_1 = 7993MHz，f_2 = 8003MHz	A_{IN} = -7dBFS/单音		-50		
			A_{IN} = -9dBFS/单音		-57		
			A_{IN} = -18dBFS/单音		-85		

(1) 全功率输入带宽 (FPBW) 定义为输入频率，在该频率下，ADC 的重构输出在低输入频率时下降至满量程输入信号的功耗以下 3dB。可用带宽可能超过 -3dB，全功率输入带宽。

Copyright © 2025 Texas Instruments Incorporated

5.9 时序要求

典型值为 T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了建议的工作条件表中的工作结温范围。

			最小值	标称值	最大值	单位
器件（采样）时钟（CLK+、CLK-）						
f_{CLK}	输入时钟频率 (CLK±)，单通道和双通道模式(1)		800		5200	MHz
t_{CLK}	输入时钟周期 (CLK±)，单通道和双通道模式(1)		192.3		1250	ps
SYSREF（SYSREF+、SYSREF–）						
$t_{INV(SYSREF)}$	由 SYSREF_POS 状态寄存器、SYSREF_ZOOM = 1 测量的 CLK± 周期的无效 SYSREF 采集区域的宽度，表示建立或保持时间违例(3)			48		ps
$t_{INV(TEMP)}$	无效 SYSREF 采集区域在温度范围内的漂移，正数表示向 SYSREF_POS 寄存器、SYSREF_ZOOM = 1 的 MSB 移位			0.02		ps/°C
$t_{INV(VA11)}$	VA11 电源电压上的无效 SYSREF 采集区域漂移，正数表示向 SYSREF_POS 寄存器、SYSREF_ZOOM = 1 的 MSB 移位			-0.03		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB 的延迟(4)	SYSREF_ZOOM = 0		39		ps
		SYSREF_ZOOM = 1		24		
$t_{(PH_SYS)}$	SYSREF± 上升沿事件后，SYSREF± 窗口的 SYSREF± 最短置为有效时间			$5*T_{CLK}+4.5$		ns
$t_{(PL_SYS)}$	SYSREF± 下降沿事件后，SYSREF± 窗口的 SYSREF± 最短置为无效时间			$5*T_{CLK}+4.5$		ns
JESD204B 同步时序（$\overline{SYNCSE}$ 或 TMSTP±）						
$t_{H(\overline{SYNCSE})}$	从多帧边界（SYSREF 上升沿采集为高电平）到 JESD204C SYNC 信号（如果 SYNC_SEL = 0，则为 $\overline{SYNCSE}$，或如果 SYNC_SEL = 1 则为 TMSTP±）置为无效的最短保持时间，用于 NCO 同步 (NCO_SYNC_ILA = 1)(2)	JMODE = 10、21、23		19		t_{CLK} 周期数
		JMODE = 11、14、22、24、61		10		
		JMODE = 12、15、16、25、26、27、56、57、58、62、63、66、67、69、70		18		
		JMODE = 13		23		
		JMODE = 36、37、38、52、53、54、55、59、60、65、68、71		17		
		JMODE = 39		21		
		JMODE = 46、47、48、49、64		9		
$t_{SU(\overline{SYNCSE})}$	从 JESD204C SYNC 信号（如果 SYNC_SEL = 0，则为 $\overline{SYNCSE}$，或如果 SYNC_SEL = 1，则为 TMSTP±）置为无效到多帧或扩展多块边界（SYSREF 上升沿采集为高电平）的最短建立时间，用于 NCO 同步 (NCO_SYNC_ILA = 1)(2)	JMODE = 10、21、23		-2		t_{CLK} 周期数
		JMODE = 11、14、22、24、61		7		
		JMODE = 12、15、16、25、26、27、56、57、58、62、63、66、67、69、70		-1		
		JMODE = 13		-6		
		JMODE = 36、37、38、52、53、54、55、59、60、65、68、71		0		
		JMODE = 39		-4		
		JMODE = 46、47、48、49、64		8		
$t_{(\overline{SYNCSE})}$	触发链路重新同步的 $\overline{SYNCSE}$ 最短置为有效时间			4		帧
串行编程接口（SCLK、SDI、$\overline{SCS}$）						
$f_{CLK(SCLK)}$	串行时钟频率				15.625	MHz
$t_{(PH)}$	串行时钟高电平值脉冲持续时间		32			ns

Copyright © 2025 Texas Instruments Incorporated

5.9 时序要求（续）

典型值为 T_J = 25°C、VA19 = 1.9V、VA11 = 1.1V、VD11 = 1.1V、默认全量程电压、f_{IN} = 347MHz、A_{IN} = –1dBFS、f_{CLK} = 5.12GHz、滤波 1-V_{PP} 正弦波时钟、JMODE = 1，抖动启用（采用默认设置）、VA11、VD11 和 VS11 噪声抑制 ON (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，和后台校准（除非另有说明）；最小值和最大值均为标称电源电压，超出了建议的工作条件表中的工作结温范围。

		最小值	标称值	最大值	单位
$t_{(PL)}$	串行时钟低电平值脉冲持续时间	32			ns
$t_{SU(\overline{SCS})}$	$\overline{SCS}$ 至 SCLK 上升沿的建立时间	30			ns
$t_{H(\overline{SCS})}$	SCLK 上升沿至 $\overline{SCS}$ 的保持时间	30			ns
$t_{SU(SDI)}$	SDI 至 SCLK 上升沿的建立时间	25			ns
$t_{H(SDI)}$	SCLK 上升沿至 SDI 的保持时间	3			ns

(1) 除非根据已编程的 JMODE，在 *JESD204C 模式*表中从功能上限制在一个更小的范围内。
(2) 此参数仅适用于使用 8B/10B 编码的 JMODE 设置或使用 64B/66B 编码和 4 倍或 8 倍抽取的设置。$\overline{SYNC}$ 不用于 64B/66B 编码模式，除非使用 DDC 块和 NCO 并且需要同步。
(3) 使用 SYSREF_POS 为 SYSREF 采集选择理想的 SYSREF_SEL 值，更多有关 SYSREF 窗口的信息，请参阅 *SYSREF 位置检测器和采样位置选择（SYSREF 窗口）*部分。由 $t_{INV(SYSREF)}$ 指定的无效区域，表示由 SYSREF_SEL 测量的 CLK± 周期 (t_{CLK}) 的一部分，该部分可能导致建立和保持时间违例。验证 SYSREF± 和 CLK± 在系统工作条件下与在标称条件（用于查找更优 SYSREF_SEL）下的计时偏斜不会导致在 SYSREF_POS 中选定的 SYSREF_SEL 位置发生无效区域。否则，可能需要依赖温度的 SYSREF_SEL 选择来跟踪 CLK± 和 SYSREF± 之间的偏斜。
(4) 建议在 f_{CLK} = 3Ghz 以下时使用 SYSREF_ZOOM = 0，而在 f_{CLK} = 3Ghz 以上时使用 SYSREF_ZOOM = 1

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性

典型值条件：T_J = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 5.12GHz，经过滤波，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启，(EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，并进行后台校准（另有说明除外）；最小值和最大值是在标称电源电压下以及*推荐工作条件*表中给出的推荐结温范围内测得

参数		测试条件	最小值	典型值	最大值	单位
器件（采样）时钟（CLK+、CLK-）						
t_{AD}	从 CLK± 上升沿（双通道模式）或上升沿和下降沿（单通道模式）到采样时刻的采样（孔径）延迟	TAD_COARSE = 0x00，TAD_FINE = 0x00 且 TAD_INV = 0		360		ps
$t_{TAD(MAX)}$	最大 t_{AD} 调整可编程延迟，不包括时钟反相 (TAD_INV = 0)	粗调 (TAD_COARSE = 0xFF)		289		ps
		精调 (TAD_FINE = 0xFF)		4.9		ps
$t_{TAD(STEP)}$	t_{AD} 调整可编程延迟步长	粗调 (TAD_COARSE)		1.13		ps
		微调 (TAD_FINE)		19		fs
t_{AJ}	孔径抖动，rms	最小 t_{AD} 调整粗调设置（TAD_COARSE = 0x00，TAD_INV = 0），抖动功能禁用 (ADC_DITH_EN = 0)		50		fs
		最小 t_{AD} 调整粗调设置（TAD_COARSE = 0x00，TAD_INV = 0），抖动功能启用 (ADC_DITH_EN = 1)		60		fs
		最大 t_{AD} 调整粗调设置，(TAD_COARSE = 0xFF) 不包括 (TAD_INV = 0)，抖动功能禁用 (ADC_DITH_EN = 0)		65(3)		
		最大 t_{AD} 调整粗调设置(TAD_COARSE = 0xFF) 不包括 (TAD_INV = 0)，抖动功能启用 (ADC_DITH_EN = 1)		74(3)		
串行数据输出（DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–）						
f_{SERDES}	串行输出比特率		1		17.16	Gbps
UI	串行输出单位间隔		58.2		1000	ps
t_{TLH}	低电平到高电平转换时间（差分）	20% 至 80%、8H8L 测试模式，17.16Gbps		18.9		ps
t_{THL}	高电平到低电平转换时间（差分）	20% 至 80%、8H8L 测试模式，17.16Gbps		18.8		ps
DDJ	数据相关抖动峰峰值	PRBS-7 测试模式、JMODE = 19、12.8Gbps		9.0		ps
		PRBS-9 测试模式、JMODE = 30、17.16Gbps		10.0		
DCD	奇偶抖动峰峰值	PRBS-7 测试模式、JMODE = 19、12.8Gbps		.33		ps
		PRBS-9 测试模式、JMODE = 30、17.16Gbps		.6		
EBUJ	有效有界不相关抖动峰峰值	PRBS-7 测试模式、JMODE = 19、12.8Gbps		1.7		ps
		PRBS-9 测试模式、JMODE = 30、17.16Gbps		1.93		
RJ	无界随机抖动，RMS	8H8L 测试模式、JMODE = 19、12.8Gbps		0.85		ps
		PRBS-9 测试模式、JMODE = 30、17.16Gbps		0.88		
TJ	总抖动峰峰值，无界随机抖动部分根据 BER = 1e-15 (Q = 7.94) 定义	PRBS-7 测试模式、JMODE = 19、12.8Gbps		23.3		ps
		PRBS-9 测试模式、JMODE = 30、17.16Gbps		22.6		

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性（续）

典型值条件：T_J = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 5.12GHz，经过滤波，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启，(EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，并进行后台校准（另有说明除外）；最小值和最大值是在标称电源电压下以及*推荐工作条件*表中给出的推荐结温范围内测得

参数		测试条件	最小值	典型值	最大值	单位
ADC 内核延迟						
t_{ADC}	从对参考样本进行采样的 CLK± 边沿到对 SYSREF 转换为高电平进行采样的 CLK± 边沿的确定性延迟时间(1)	JMODE = 0、30、32		2.5		t_{CLK} 周期数
		JMODE = 1、5、19、40、42、44		-9.5		
		JMODE = 2、31、33		2		
		JMODE = 3、7、20		-10		
		JMODE = 6、50		-13.5		
		JMODE = 8、51		-14		
		JMODE = 10、37		183		
		JMODE = 11、47		171		
		JMODE = 12、53		167		
		JMODE = 13、39		372		
		JMODE = 14、15、49 或 55		364		
		JMODE = 16		356		
		JMODE = 21、36		148		
		JMODE = 22、46		142		
		JMODE = 23、38		223.5		
		JMODE = 24、48		219.5		
		JMODE = 25、52		138		
		JMODE = 26、54		211.5		
		JMODE = 27		207.5		
		JMODE = 34		6.5		
		JMODE = 35		6		
		JMODE = 41、43、45		-10.0		
		JMODE = 56、59		750		
		JMODE = 57、58、60		742		
		JMODE = 61、62、63、64、65		403.5		
		JMODE = 66、67、68		1514		
		JMODE = 69、70、71		777.5		

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性（续）

典型值条件：T_J = 25°C，VA19 = 1.9V，VA11 = 1.1V，VD11 = 1.1V，默认满量程电压，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 5.12GHz，经过滤波，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启，(EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，并进行后台校准（另有说明除外）；最小值和最大值是在标称电源电压下以及*推荐工作条件*表中给出的推荐结温范围内测得

参数		测试条件	最小值	典型值	最大值	单位
JESD204C 和串行器延迟						
t_{TX}	从对 SYSREF 高电平进行采样的 CLK± 上升沿到 JESD204C 串行输出通道上对应 t_{ADC} 参考样本的多帧（8B/10B 编码）或扩展多块（64B/66B 编码）的第一位的延迟时间(2)	JMODE = 0	92		111	t_{CLK} 周期数
		JMODE = 1	159		182	
		JMODE = 2	93		111	
		JMODE = 3	159		188	
		JMODE = 5	143		168	
		JMODE = 6、8、12、15、25、26	191		215	
		JMODE = 7、11、22	143		168	
		JMODE = 10	85		103	
		JMODE = 13、21、23	85		102	
		JMODE = 14、24	143		166	
		JMODE = 16、27	280		305	
		JMODE = 19、20	143		165	
		JMODE = 30、31	114		134	
		JMODE = 32、34、36	102		119	
		JMODE = 33、35、37	103		119	
		JMODE = 38	102		118	
		JMODE = 39	103		118	
		JMODE = 40	205		229	
		JMODE = 41	206		229	
		JMODE = 42、43、48 或 49	179		200	
		JMODE = 44、45、46 或 47	179		202	
		JMODE = 50、52、54	267		291	
		JMODE = 51、53、55	268		291	
		JMODE = 56、61	143		165	
		JMODE = 57、62	191		213	
		JMODE = 58、63	280		305	
		JMODE = 59、64	179		199	
		JMODE = 60	268		289	
		JMODE = 65	267		289	
		JMODE = 66、69	191		212	
		JMODE = 67、70	280		304	
		JMODE = 68	268		288	
		JMODE = 71	267		288	
串行编程接口 (SDO)						
$t_{(OZD)}$	在读操作期间从第 16 个 SCLK 周期的下降沿到 SDO 从三态转换至数据生效的延迟时间		1			ns
$t_{(ODZ)}$	从 $\overline{SCS}$ 上升沿到 SDO 从数据生效转换至三态的延迟时间				10	ns
$t_{(OD)}$	在读操作期间从 SCLK 的下降沿到 SDO 生效的延迟时间		1		12	ns

(1) t_{ADC} 是精确的、未四舍五入的确定性延迟时间。如果在 SYSREF 高电平采集点之后对参考样本进行采样，则延迟时间可能为负，在这种情况下，总延迟小于 t_{TX} 给出的延迟。

(2) 为 t_{TX} 指定的值包括确定性延迟时间和非确定性延迟时间。随着工艺、温度和电压变化，延迟时间也会有所不同。在子类 1 模式下运行时，JESD204B 会考虑这些变化，从而实现确定性延迟。必须选择适当的接收器 RBD 值，使弹性缓冲器释放点不会出现在本地多帧时钟 (LMFC) 周期的无效区域内。

Copyright © 2025 Texas Instruments Incorporated

(3) t_{AJ} 会因为内部时钟路径上的额外衰减而增加。

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

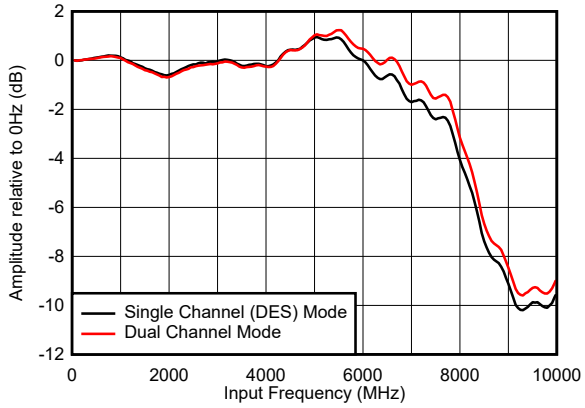
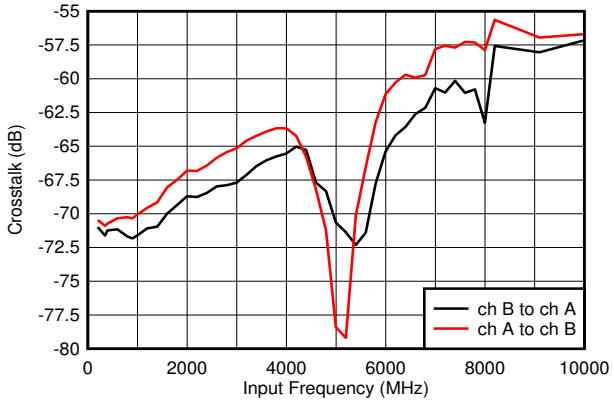


图 5-1. 输入振幅与输入频率间的关系



双通道模式，JMODE 3

图 5-2. 串扰与输入频率间的关系

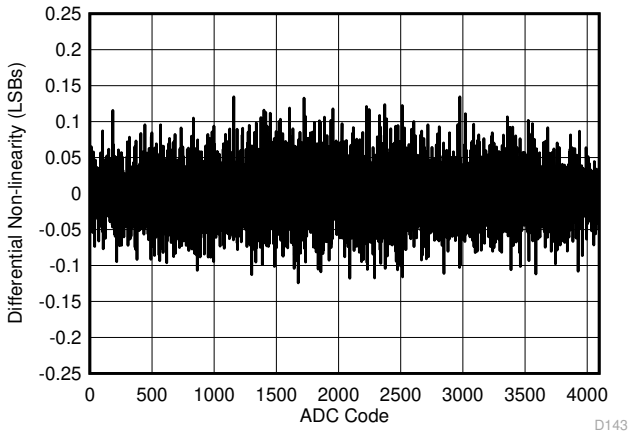


图 5-3. DNL 与 ADC 代码间的关系

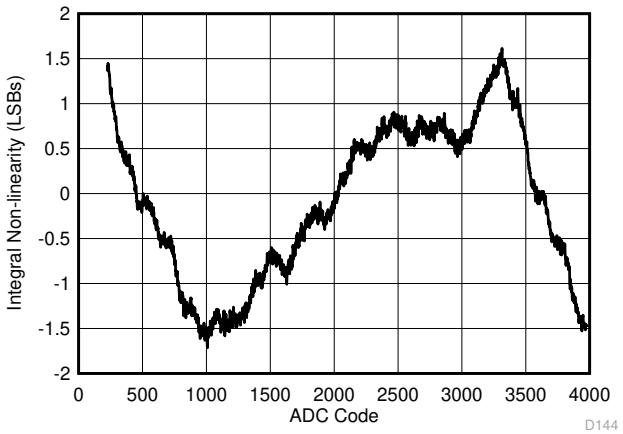


图 5-4. INL 与 ADC 代码间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

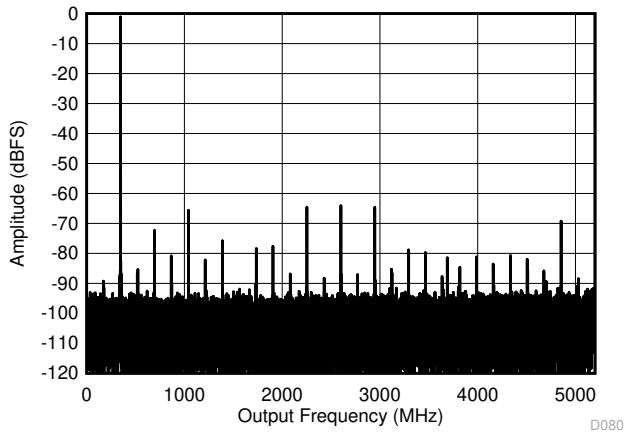


图 5-5. DES 模式：347MHz 时的单音 FFT

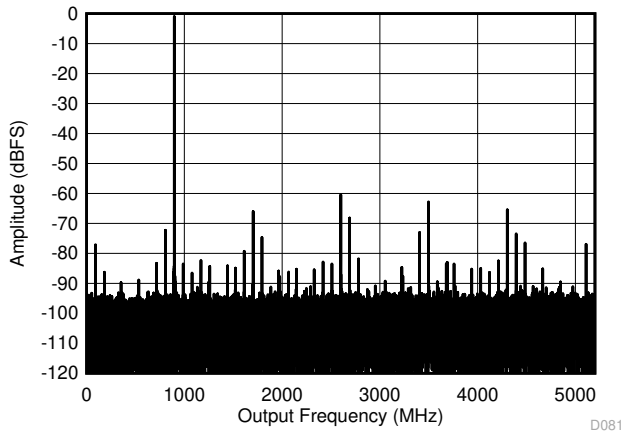


图 5-6. DES 模式：897MHz 时的单音 FFT

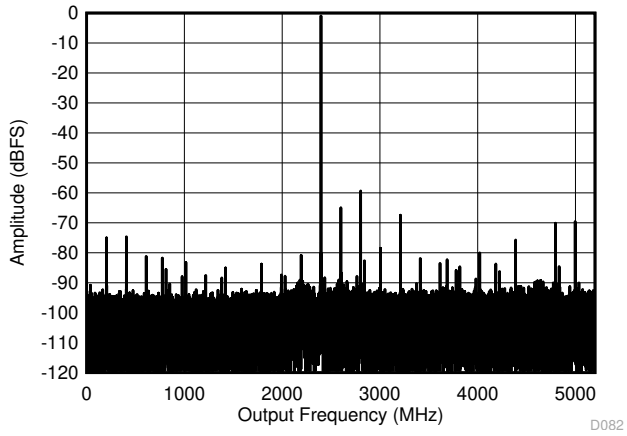


图 5-7. DES 模式：2397MHz 时的单音 FFT

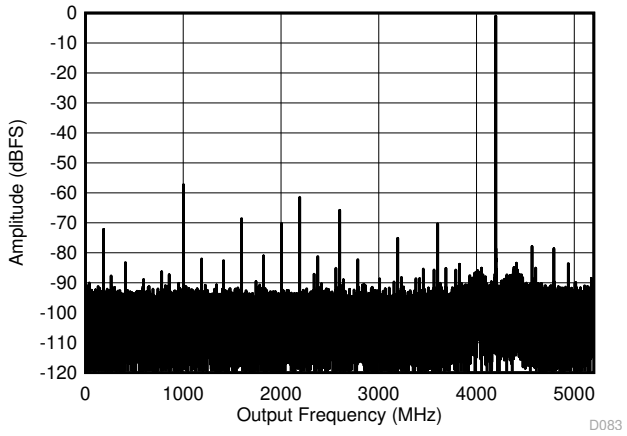


图 5-8. DES 模式：4197MHz 时的单音 FFT

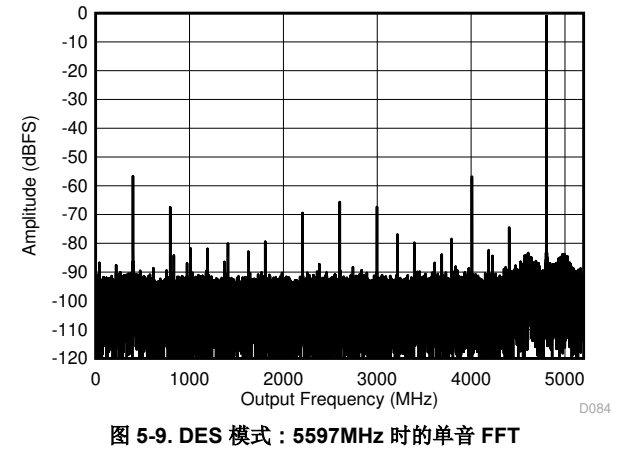


图 5-9. DES 模式：5597MHz 时的单音 FFT

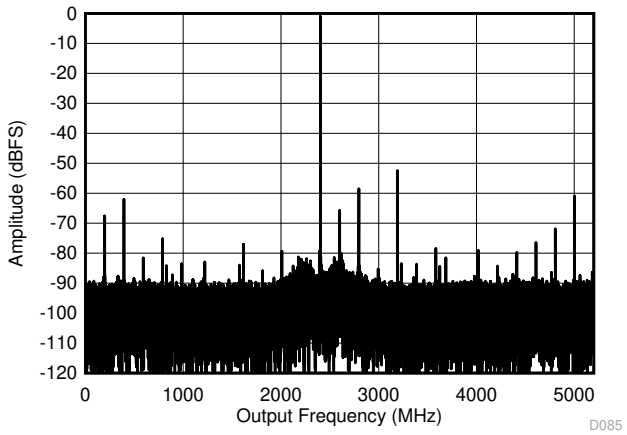
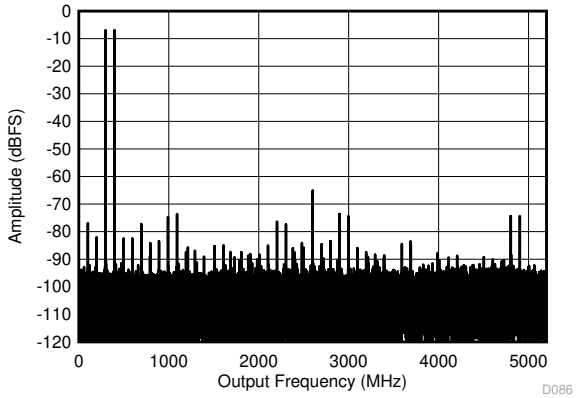


图 5-10. DES 模式：7997MHz 时的单音 FFT

Copyright © 2025 Texas Instruments Incorporated

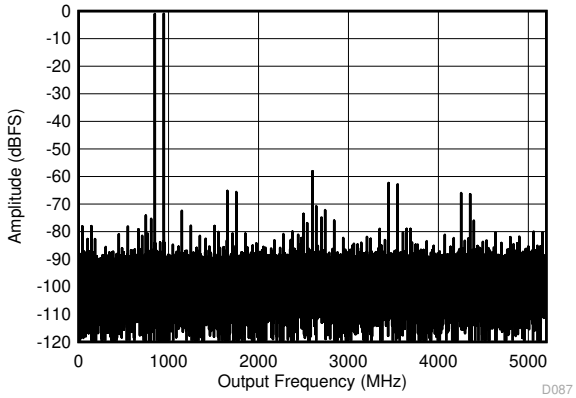
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



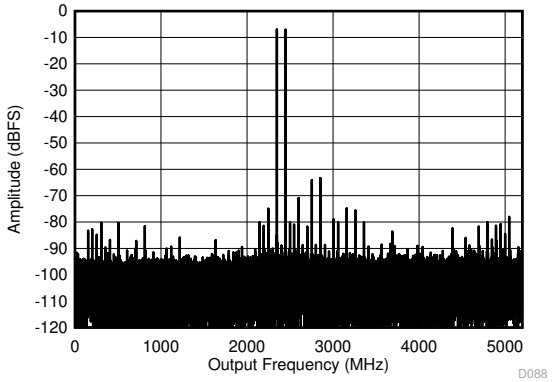
每个单音为 -7dBFS，100MHz 频音间隔

图 5-11. DES 模式：347MHz 时的双音 FFT



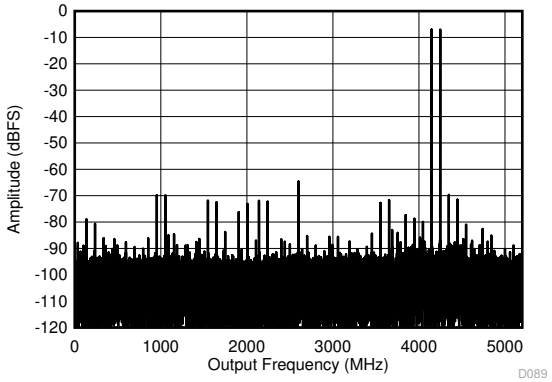
每个单音为 -7dBFS，100MHz 频音间隔

图 5-12. DES 模式：897MHz 时的双音 FFT



每个单音为 -7dBFS，100MHz 频音间隔

图 5-13. DES 模式：2397MHz 时的双音 FFT



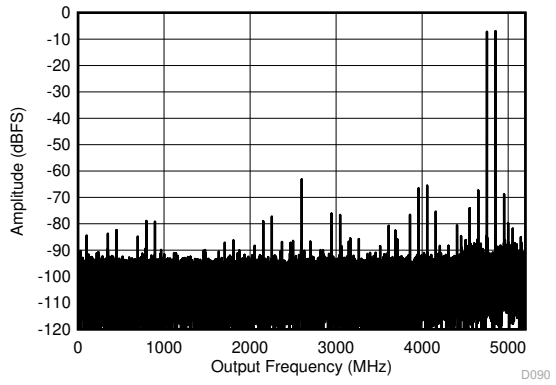
每个单音为 -7dBFS，100MHz 频音间隔

图 5-14. DES 模式：4197MHz 时的双音 FFT

Copyright © 2025 Texas Instruments Incorporated

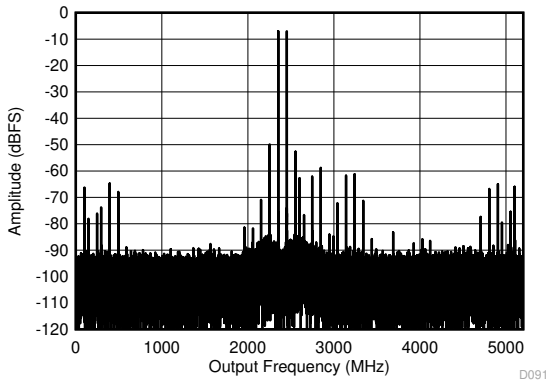
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



每个单音为 -7dBFS，100MHz 频音间隔

图 5-15. DES 模式：5597MHz 时的双音 FFT



每个单音为 -7dBFS，100MHz 频音间隔

图 5-16. DES 模式：7997MHz 时的双音 FFT

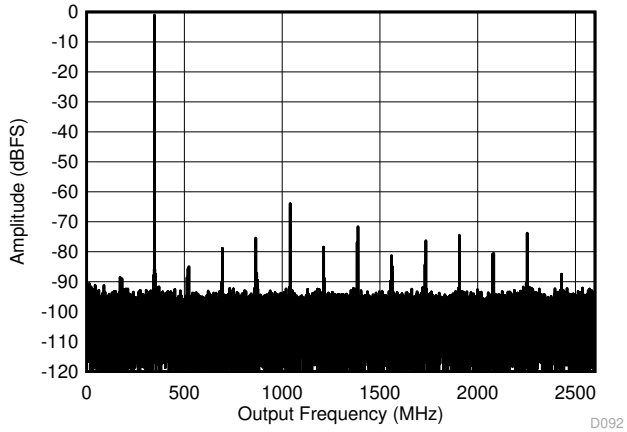


图 5-17. 双通道模式：347MHz 时的单音 FFT

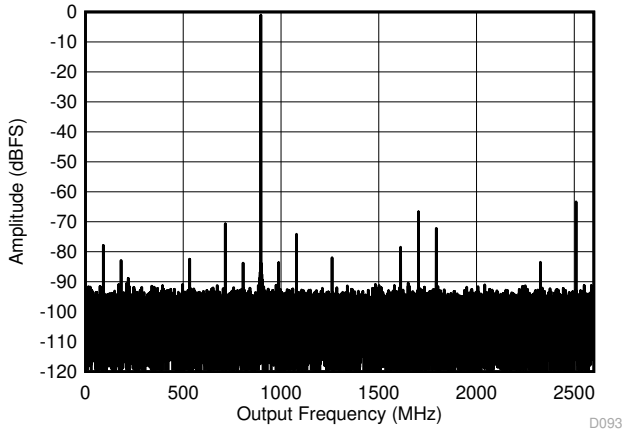


图 5-18. 双通道模式：897MHz 时的单音 FFT

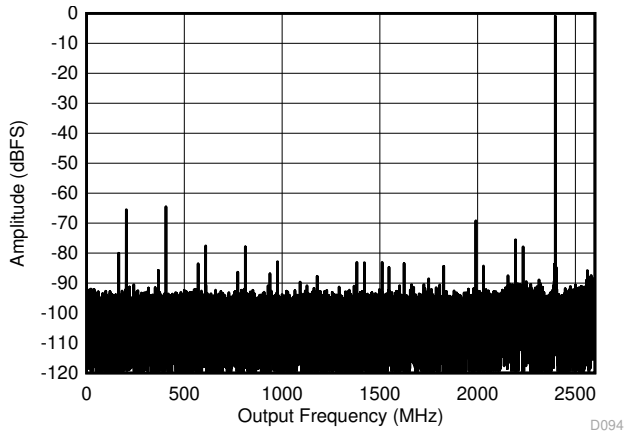


图 5-19. 双通道模式：2397MHz 时的单音 FFT

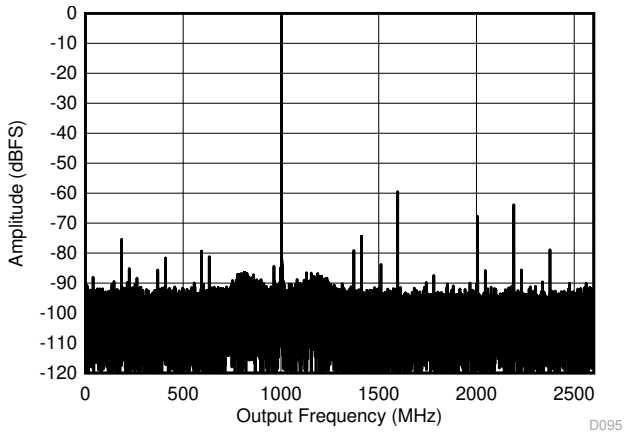


图 5-20. 双通道模式：4197MHz 时的单音 FFT

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

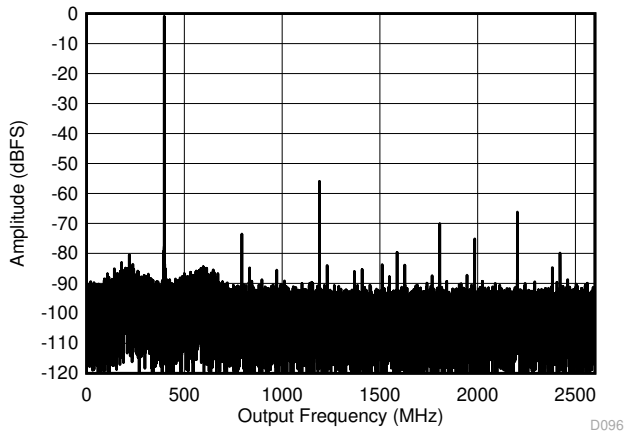


图 5-21. 双通道模式：5597MHz 时的单音 FFT

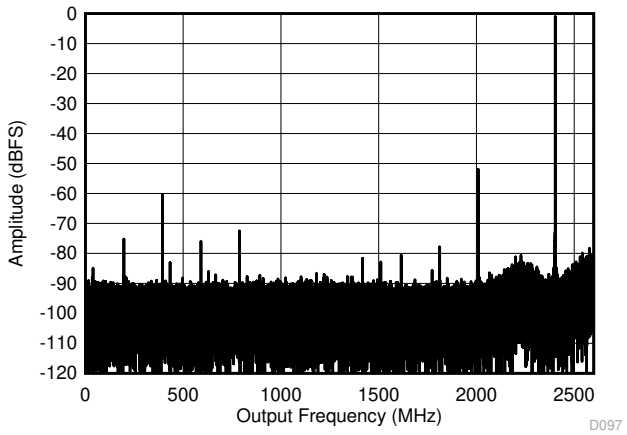
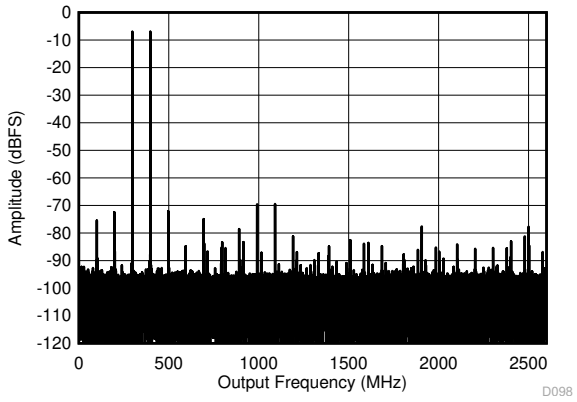
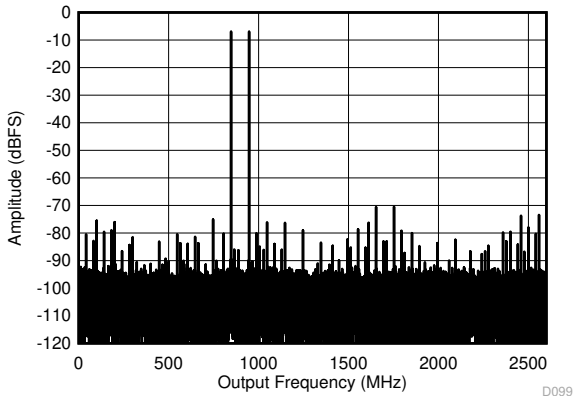


图 5-22. 双通道模式：7997MHz 时的单音 FFT



每个单音为 -7dBFS，100MHz 频音间隔

图 5-23. 双通道模式：347MHz 时的双音 FFT



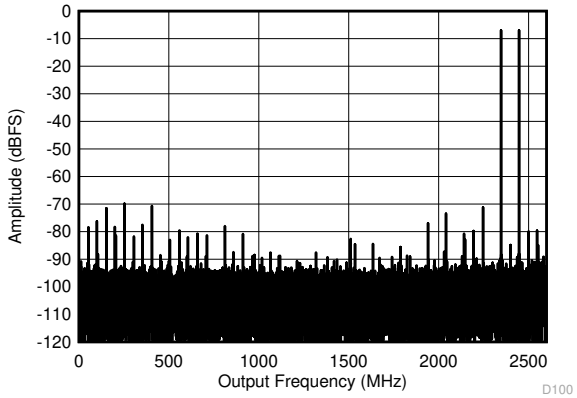
每个单音为 -7dBFS，100MHz 频音间隔

图 5-24. 双通道模式：897MHz 时的双音 FFT

Copyright © 2025 Texas Instruments Incorporated

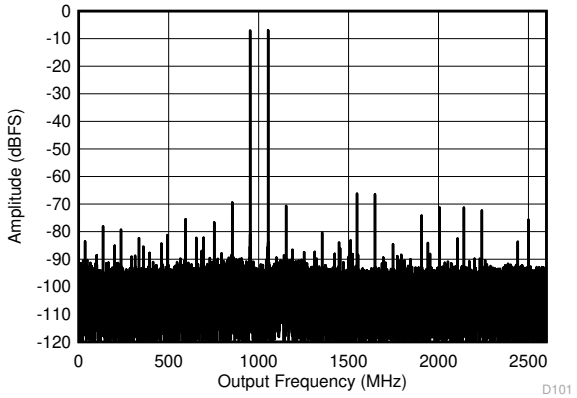
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



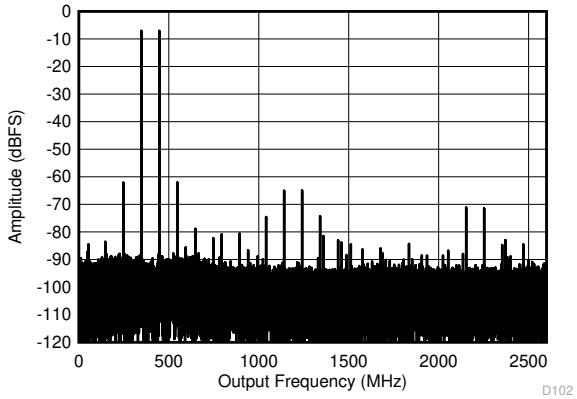
每个单音为 -7dBFS，100MHz 频音间隔

图 5-25. 双通道模式：2397MHz 时的双音 FFT



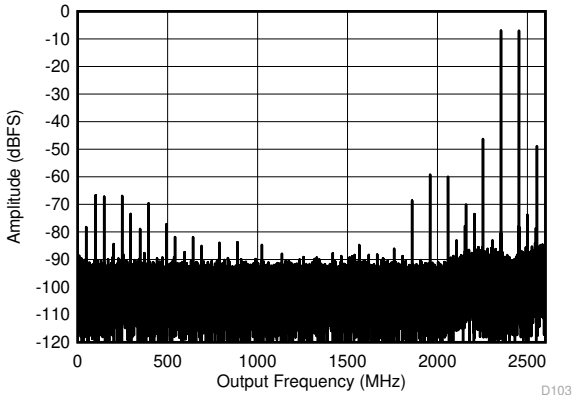
每个单音为 -7dBFS，100MHz 频音间隔

图 5-26. 双通道模式：4197MHz 时的双音 FFT



每个单音为 -7dBFS，100MHz 频音间隔

图 5-27. 双通道模式：5597MHz 时的双音 FFT



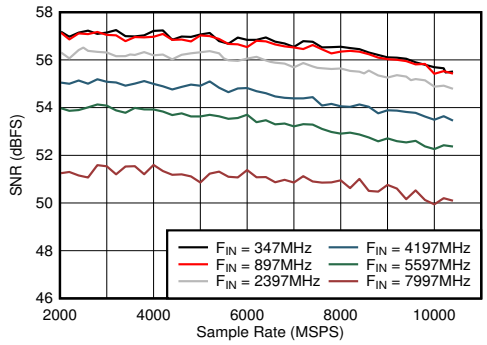
每个单音为 -7dBFS，100MHz 频音间隔

图 5-28. 双通道模式：7997MHz 时的双音 FFT

Copyright © 2025 Texas Instruments Incorporated

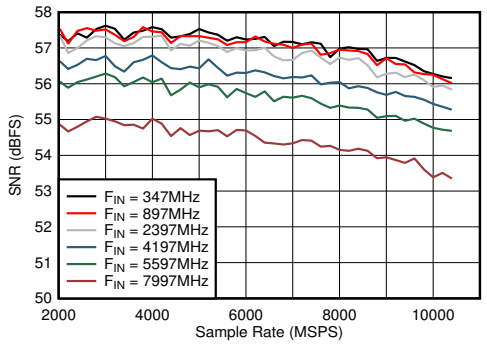
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



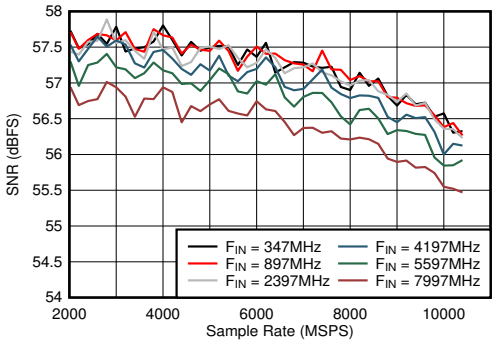
A_{IN} = –1dBFS

图 5-29. DES 模式：SNR 与采样率和输入频率间的关系



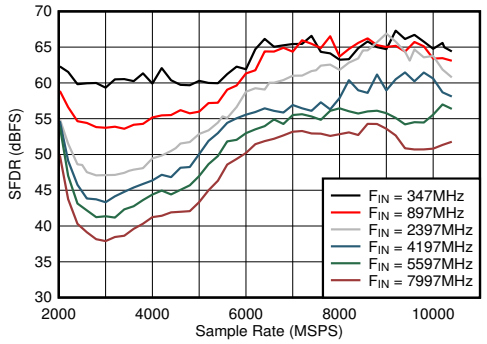
A_{IN} = –6dBFS

图 5-30. DES 模式：SNR 与采样率和输入频率间的关系



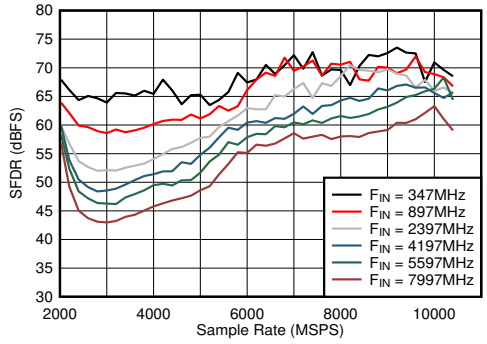
A_{IN} = –12dBFS

图 5-31. DES 模式：SNR 与采样率和输入频率间的关系



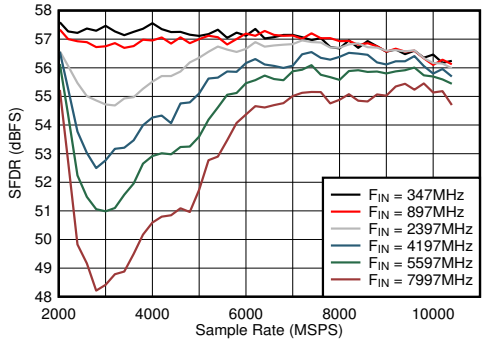
A_{IN} = –1dBFS

图 5-32. DES 模式：SFDR 与采样率和输入频率间的关系



A_{IN} = –6dBFS

图 5-33. DES 模式：SFDR 与采样率和输入频率间的关系



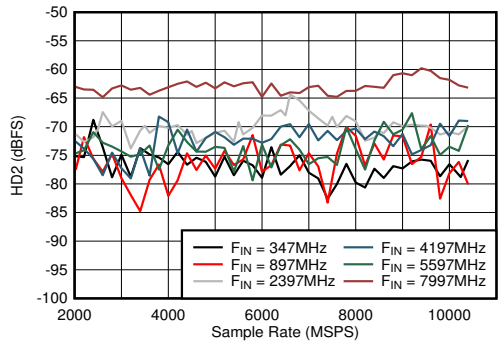
A_{IN} = –12dBFS

图 5-34. DES 模式：SFDR 与采样率和输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

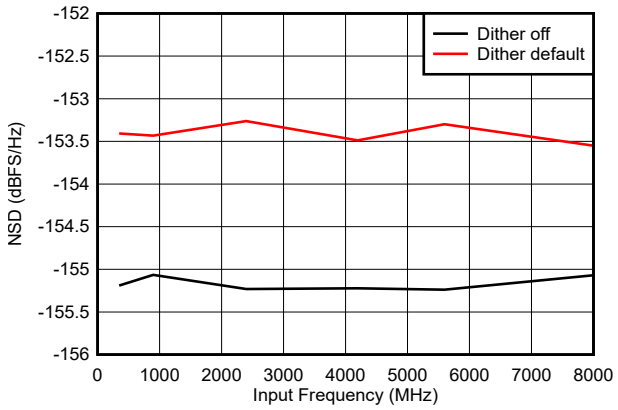
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



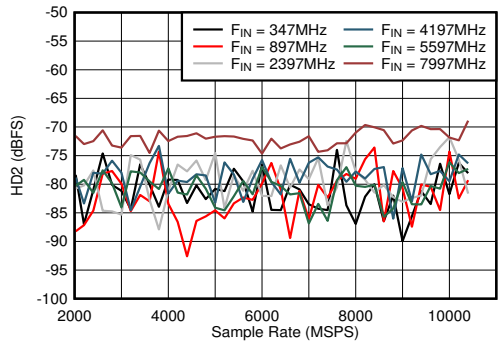
A_{IN} = –1dBFS

图 5-35. DES 模式：HD2 与采样率和输入频率间的关系



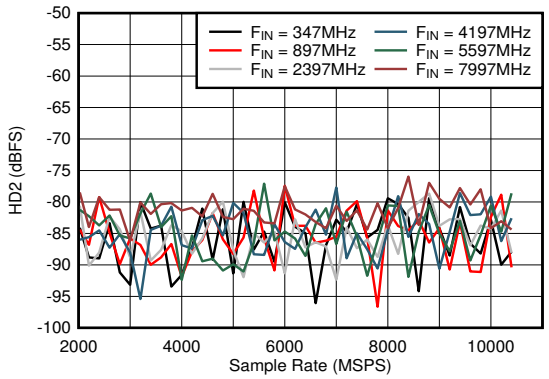
JMODE 1，A_{IN} = –80dBFS

图 5-36. DES 模式：NSD 与输入频率间的关系



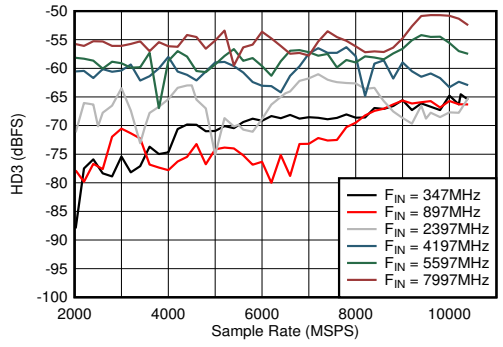
A_{IN} = –6dBFS

图 5-37. DES 模式：HD2 与采样率和输入频率间的关系



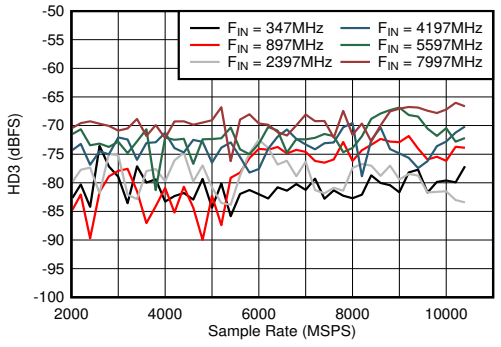
A_{IN} = –12dBFS

图 5-38. DES 模式：HD2 与采样率和输入频率间的关系



A_{IN} = –1dBFS

图 5-39. DES 模式：HD3 与采样率和输入频率间的关系



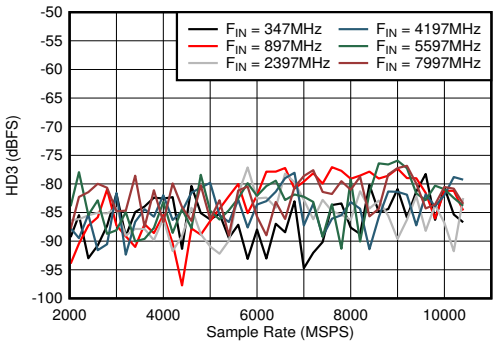
A_{IN} = –6dBFS

图 5-40. DES 模式：HD3 与采样率和输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



A_{IN} = –12dBFS

图 5-41. DES 模式：HD3 与采样率和输入频率间的关系

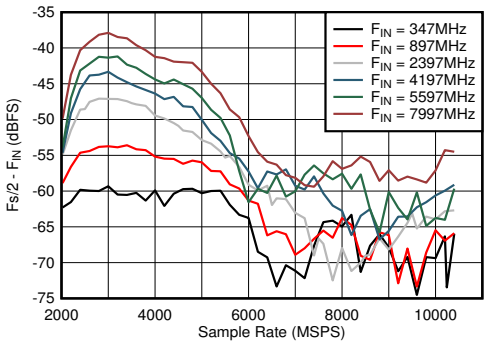


图 5-42. DES 模式：Fs/2 - F_{IN} 与采样率和输入频率间的关系

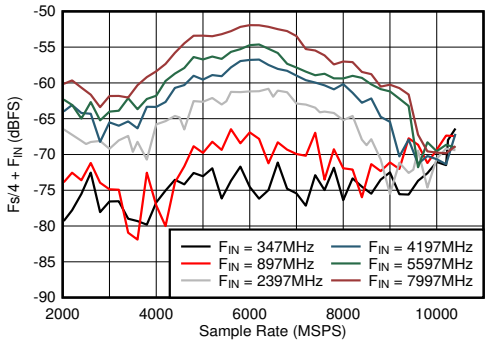


图 5-43. DES 模式：Fs/4 + F_{IN} 与采样率和输入频率间的关系

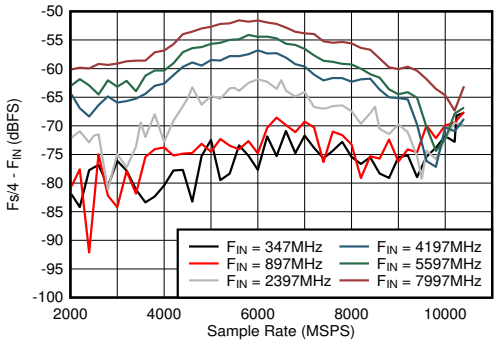
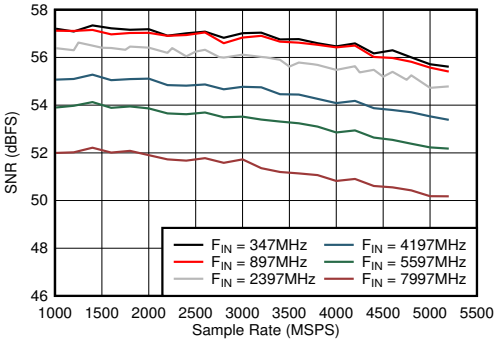
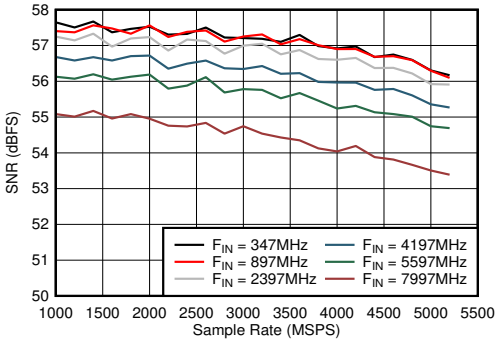


图 5-44. DES 模式：Fs/4 - F_{IN} 与采样率和输入频率间的关系



A_{IN} = –1dBFS

图 5-45. 双通道模式：SNR 与采样率和输入频率间的关系



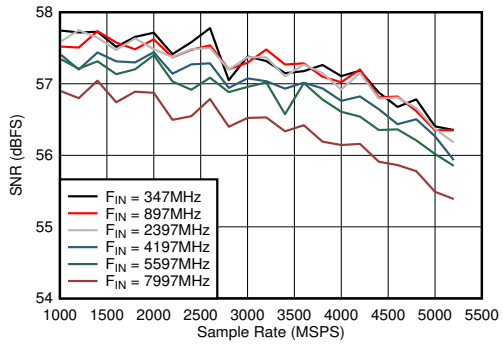
A_{IN} = –6dBFS

图 5-46. 双通道模式：SNR 与采样率和输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

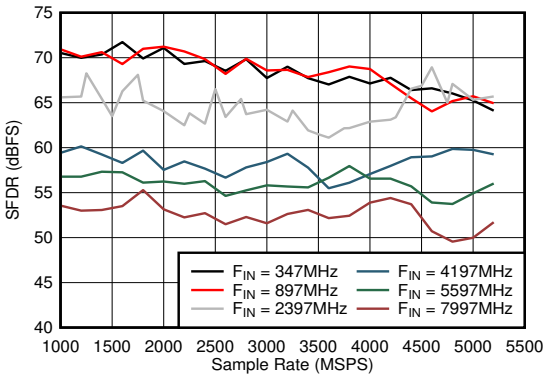
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



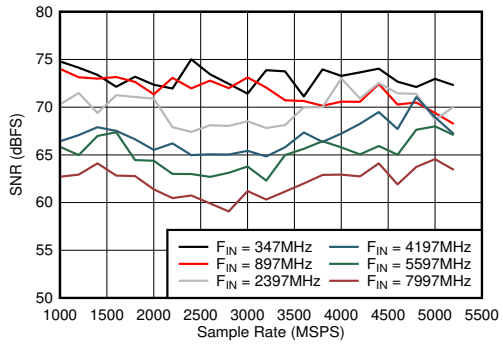
A_{IN} = –12dBFS

图 5-47. 双通道模式：SNR 与采样率和输入频率间的关系



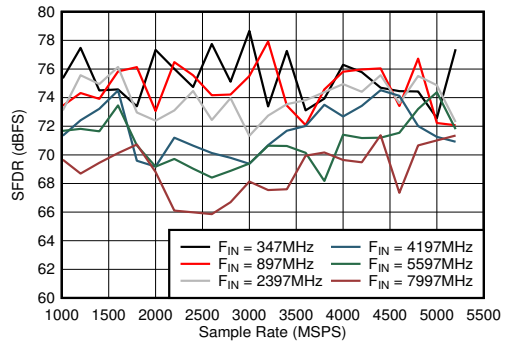
A_{IN} = –1dBFS

图 5-48. 双通道模式：SFDR 与采样率和输入频率间的关系



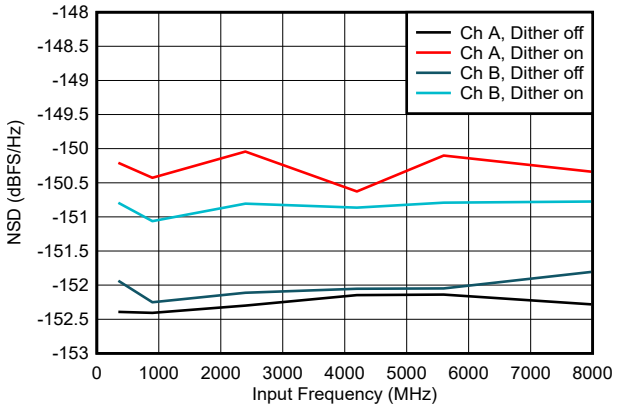
A_{IN} = –6dBFS

图 5-49. 双通道模式：SFDR 与采样率和输入频率间的关系



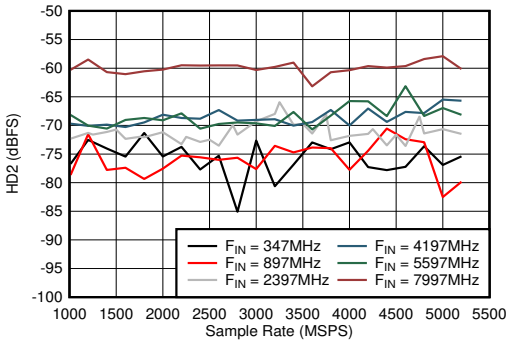
A_{IN} = –12dBFS

图 5-50. 双通道模式：SFDR 与采样率和输入频率间的关系



JMODE 3，A_{IN} = –80dBFS

图 5-51. 双通道模式：NSD 和输入频率



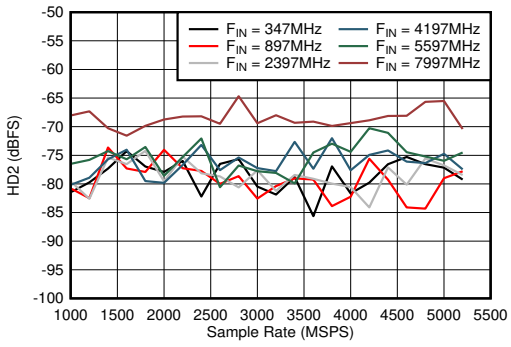
A_{IN} = –1dBFS

图 5-52. 双通道模式：HD2 与采样率和输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

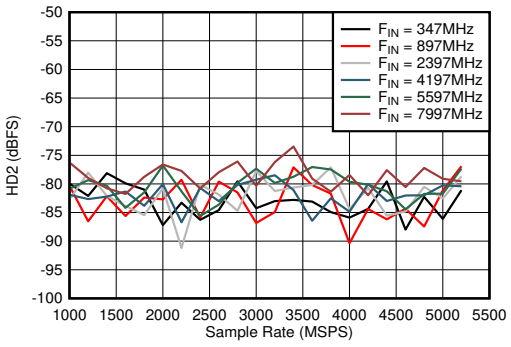
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



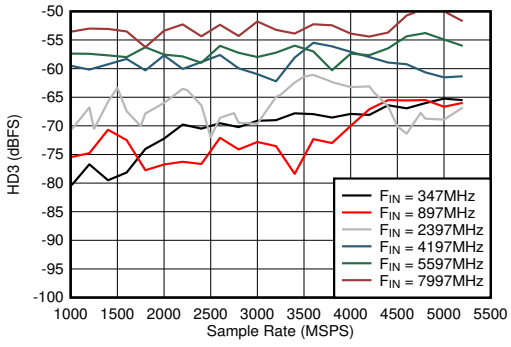
A_{IN} = –6dBFS

图 5-53. 双通道模式：HD2 与采样率和输入频率间的关系



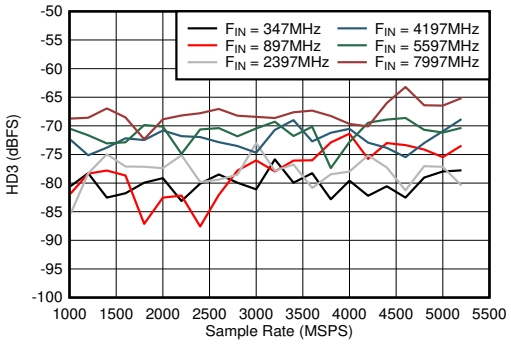
A_{IN} = –12dBFS

图 5-54. 双通道模式：HD2 与采样率和输入频率间的关系



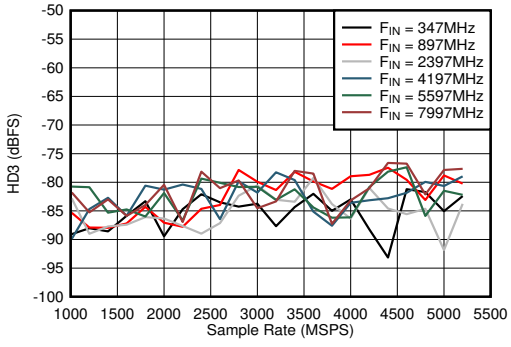
A_{IN} = –1dBFS

图 5-55. 双通道模式：HD3 与采样率和输入频率间的关系



A_{IN} = –6dBFS

图 5-56. 双通道模式：HD3 与采样率和输入频率间的关系



A_{IN} = –12dBFS

图 5-57. 双通道模式：HD3 与采样率和输入频率间的关系

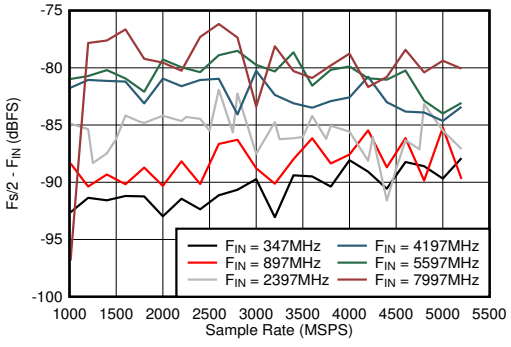


图 5-58. 双通道模式：Fs/2 - F_{IN} 与采样率和输入频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

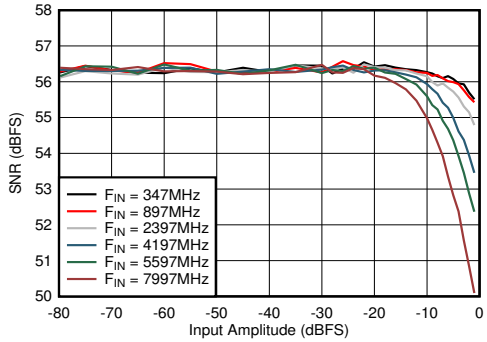


图 5-59. DES 模式：SNR 与输入振幅和频率间的关系

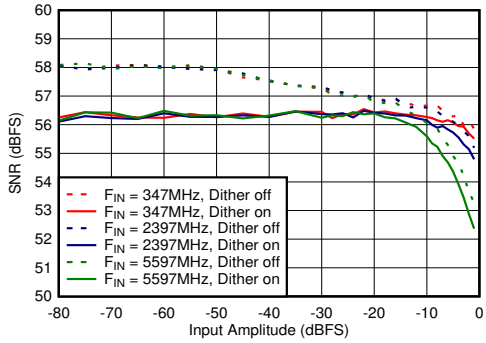


图 5-60. DES 模式：SNR 与输入振幅和抖动间的关系

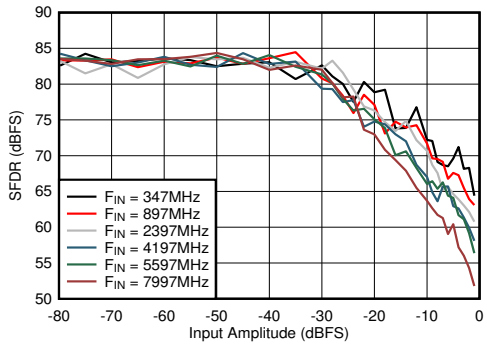


图 5-61. DES 模式：SFDR 与输入振幅和频率间的关系

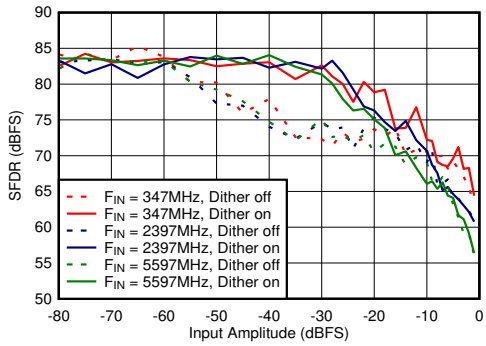


图 5-62. DES 模式：SFDR 与输入振幅和抖动间的关系

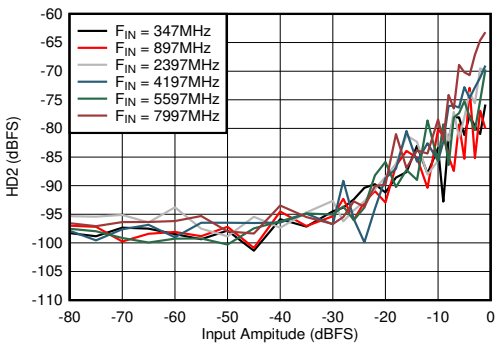


图 5-63. DES 模式：HD2 与输入振幅和频率间的关系

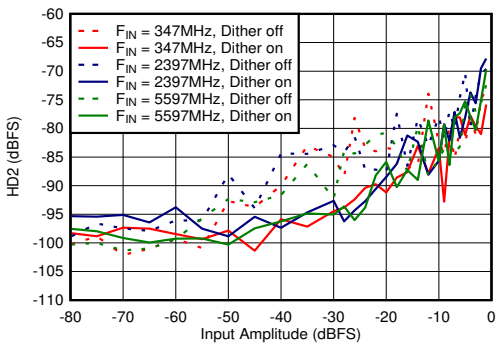


图 5-64. DES 模式：HD2 与输入振幅和抖动间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

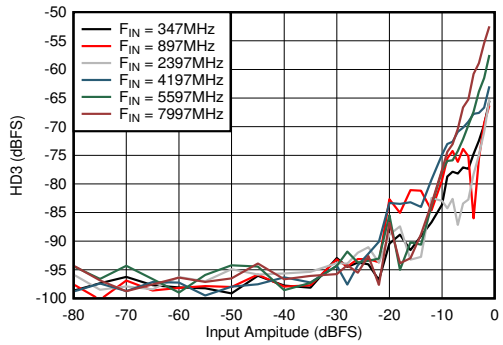


图 5-65. DES 模式：HD3 与输入振幅和频率间的关系

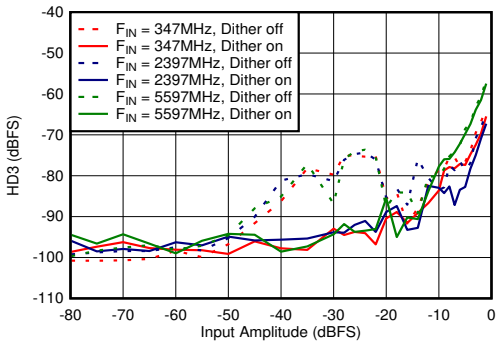


图 5-66. DES 模式：HD3 与输入振幅和抖动间的关系

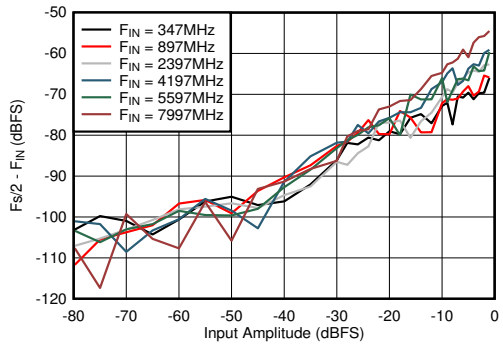


图 5-67. DES 模式：Fs/2 - F_{IN} 与输入振幅和频率间的关系

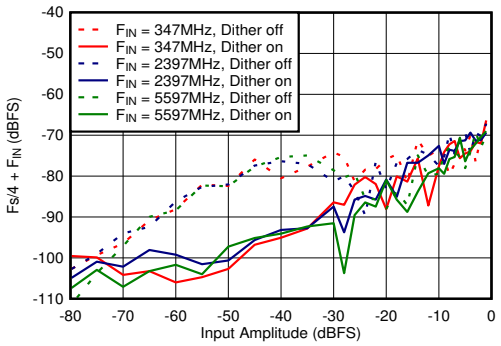


图 5-68. DES 模式：Fs/2 - F_{IN} 与输入振幅和抖动间的关系

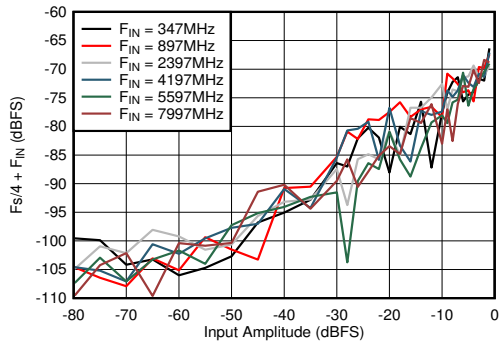


图 5-69. DES 模式：Fs/4 + F_{IN} 与输入振幅和频率间的关系

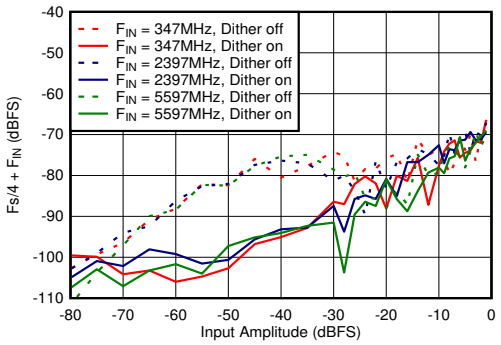


图 5-70. DES 模式：FS/4 + F_{IN} 与输入振幅和抖动间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

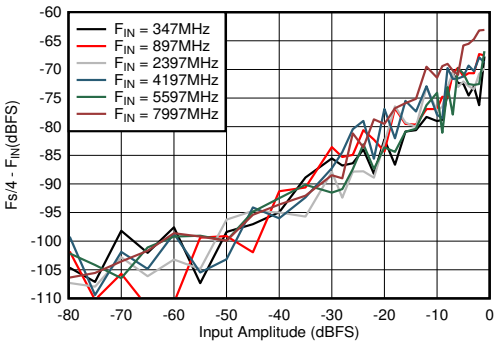


图 5-71. DES 模式：Fs/4 - F_{IN} 与输入振幅和频率间的关系

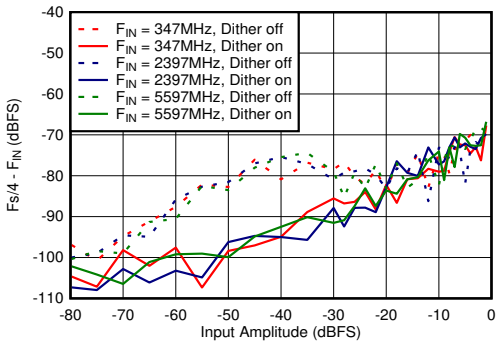


图 5-72. DES 模式：Fs/4 - F_{IN} 与输入振幅和抖动间的关系

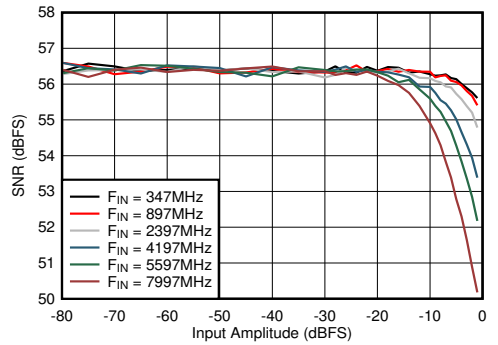


图 5-73. 双通道模式：SNR 与输入振幅和频率间的关系

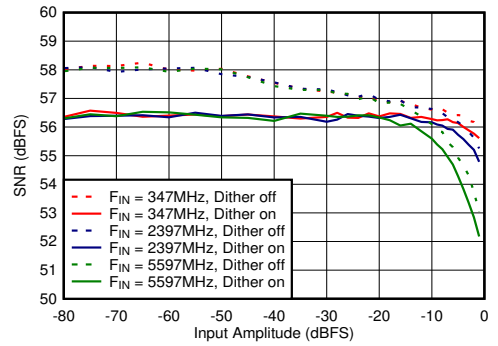


图 5-74. 双通道模式：SNR 与输入振幅和抖动间的关系

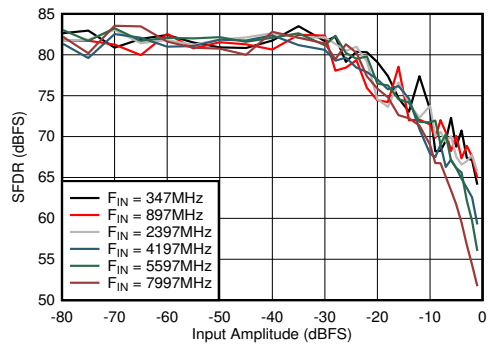


图 5-75. 双通道模式：SFDR 与输入振幅和频率间的关系

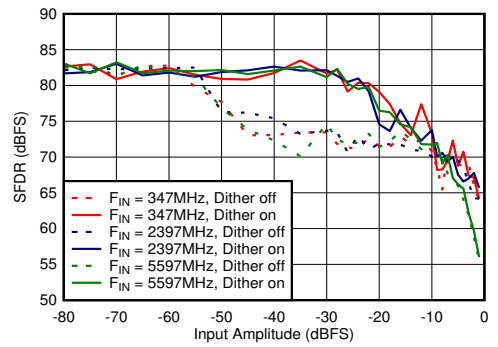


图 5-76. 双通道模式：SFDR 与输入振幅和抖动间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

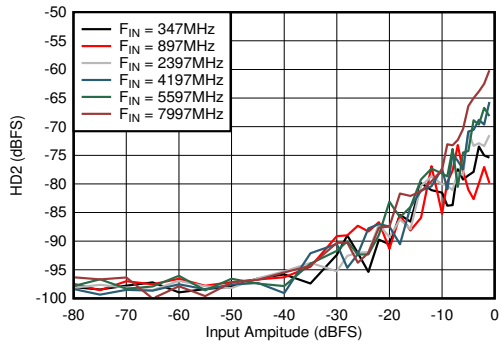


图 5-77. 双通道模式：HD2 与输入振幅和频率间的关系

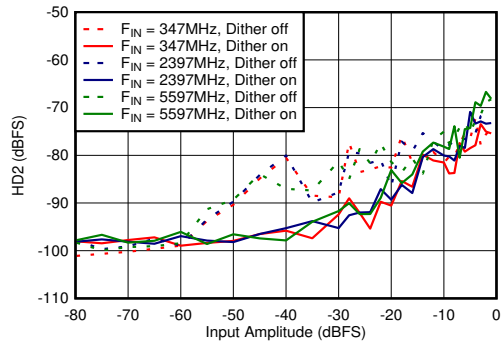


图 5-78. 双通道模式：HD2 与输入振幅和抖动间的关系

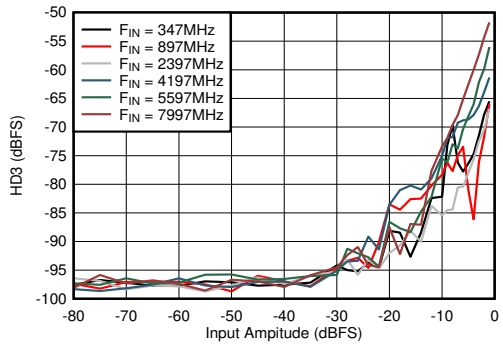


图 5-79. 双通道模式：HD3 与输入振幅和频率间的关系

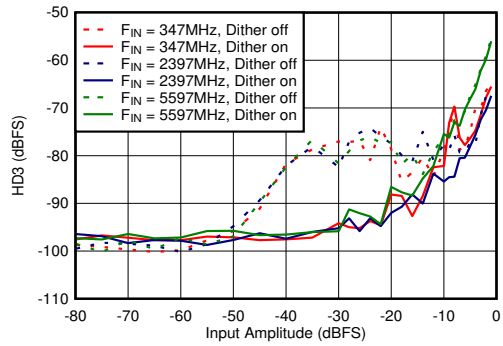


图 5-80. 双通道模式：HD3 与输入振幅和抖动间的关系

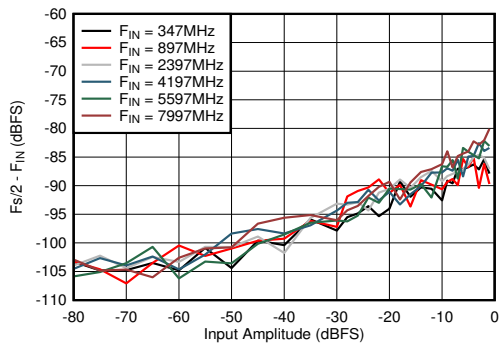


图 5-81. 双通道模式：Fs/2 - F_{IN} 与输入振幅和频率间的关系

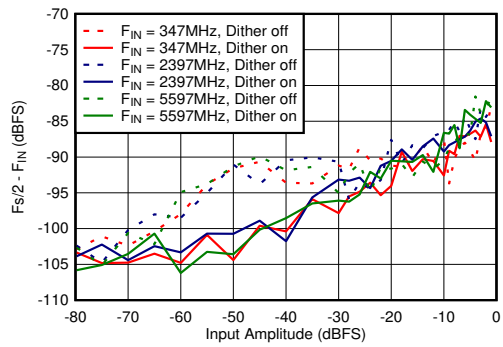


图 5-82. 双通道模式：Fs/2 - F_{IN} 与输入振幅和抖动间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

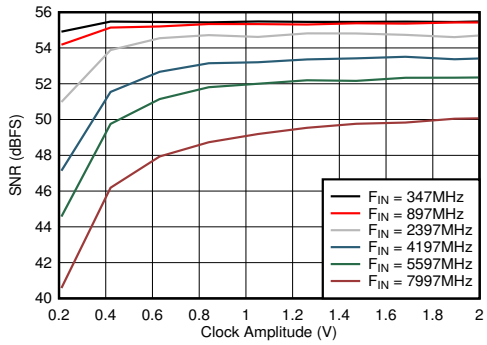


图 5-83. DES 模式：SNR 与时钟振幅间的关系

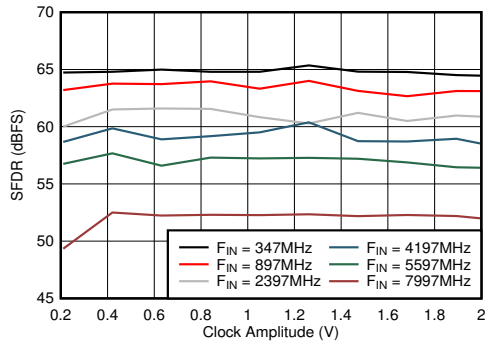


图 5-84. DES 模式：SFDR 与时钟振幅间的关系

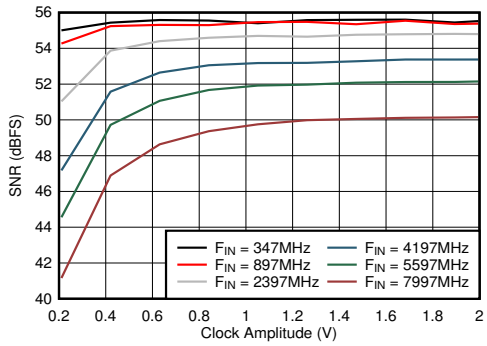


图 5-85. 双通道模式：SNR 与时钟振幅间的关系

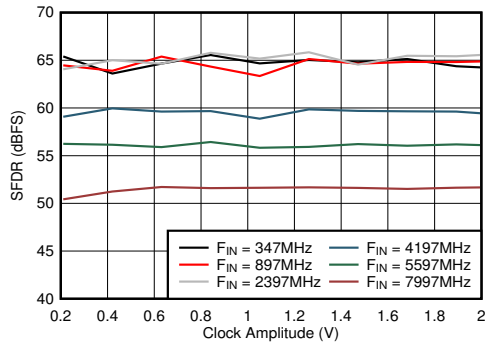
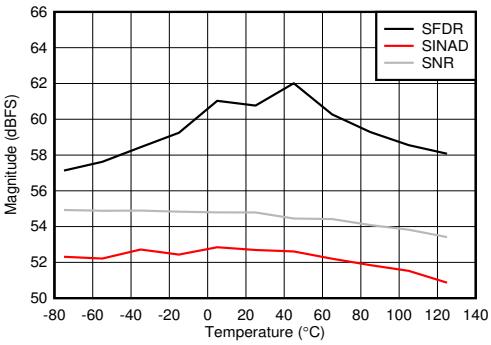
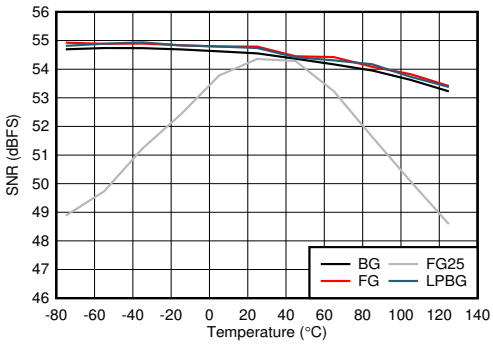


图 5-86. 双通道模式：SFDR 与时钟振幅间的关系



每个温度下的 FG 校准

图 5-87. DES 模式：SNR、SINAD 和 SFDR 与温度间的关系



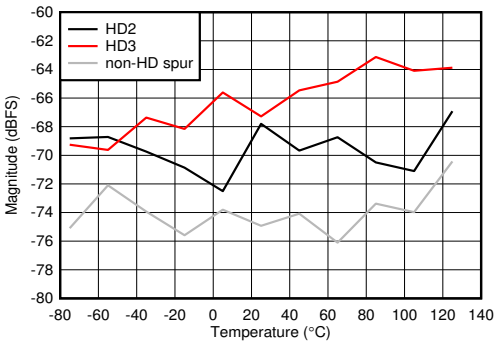
FG25 在 25°C 下进行校准，在其他温度下保持该校准状态，其他模式则每个温度点重新校准

图 5-88. DES 模式：SNR 与温度和校准模式间的关系

Copyright © 2025 Texas Instruments Incorporated

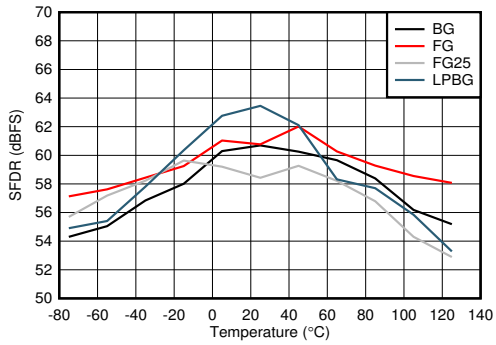
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



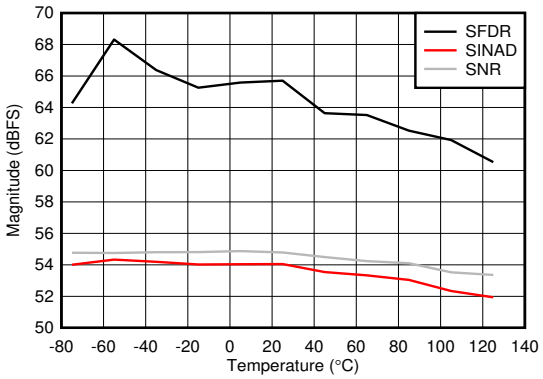
每个温度下的 FG 校准

图 5-89. DES 模式：HD2、HD3 和最差非 HD 杂散与温度间的关系



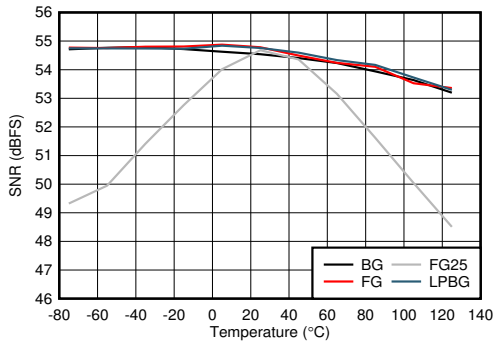
FG25 在 25°C 下进行校准，在其他温度下保持该校准状态，其他模式则每个温度点重新校准

图 5-90. DES 模式：SFDR 与温度和校准模式间的关系



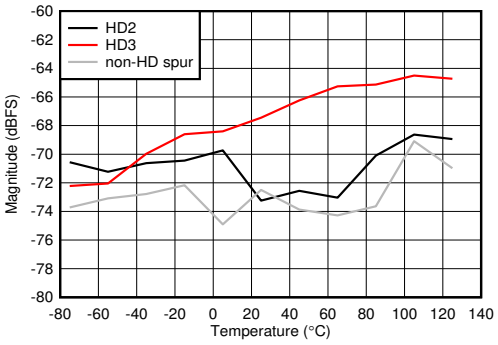
每个温度下的 FG 校准

图 5-91. 双通道模式：SNR、SINAD 和 SFDR 与温度间的关系



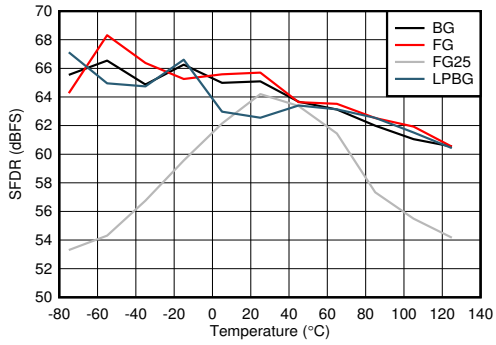
FG25 在 25°C 下进行校准，在其他温度下保持该校准状态，其他模式则每个温度点重新校准

图 5-92. 双通道模式：SNR 与温度和校准模式间的关系



每个温度下的 FG 校准

图 5-93. 双通道模式：HD2、HD3 和最差非 HD 杂散与温度间的关系



FG25 在 25°C 下进行校准，在其他温度下保持该校准状态，其他模式则每个温度点重新校准

图 5-94. 双通道模式：SFDR 与温度和校准模式间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

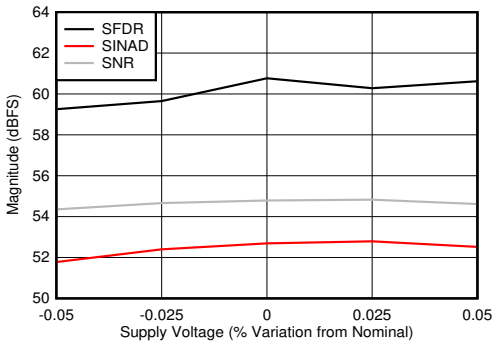


图 5-95. DES 模式：SNR、SINAD 和 SFDR 与电源电压间的关系

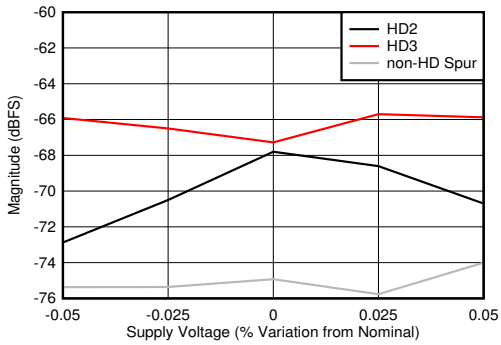


图 5-96. DES 模式：HD2、HD3 和最差非 HD 杂散与电源电压间的关系

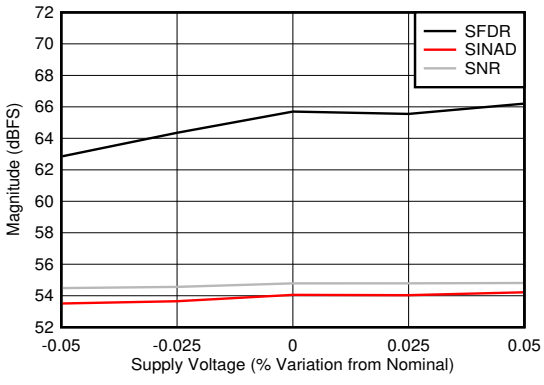


图 5-97. 双通道模式：SNR、SINAD 和 SFDR 与电源电压间的关系

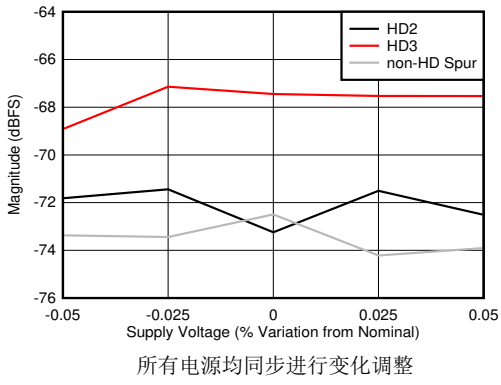


图 5-98. 双通道模式：HD2、HD3 和最差非 HD 杂散与电源电压间的关系

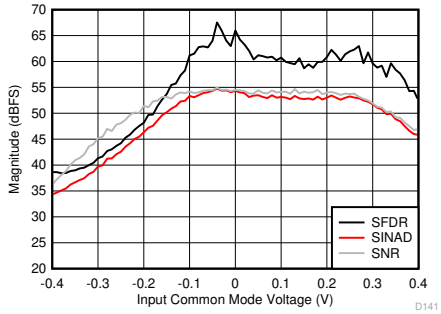


图 5-99. SNR、SFDR 和 SINAD 与输入共模电压间的关系

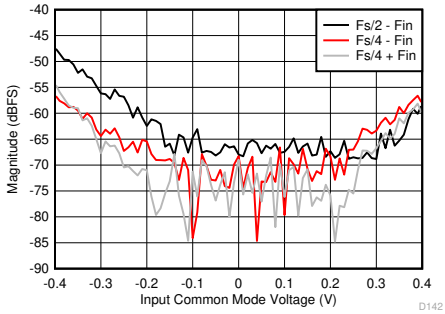
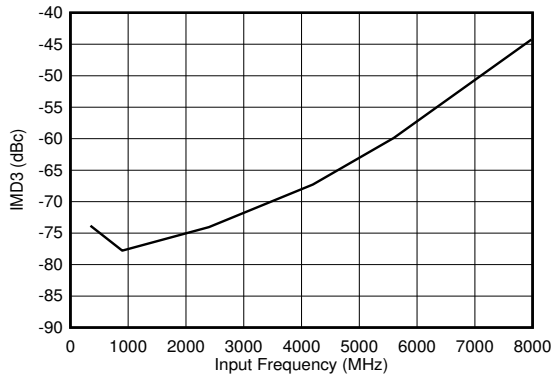


图 5-100. Fs/2 - F_{IN} 和 Fs/4±F_{IN} 与输入共模电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



每个单音为 -7dBFS

图 5-101. DES 模式：IMD3 与输入频率间的关系

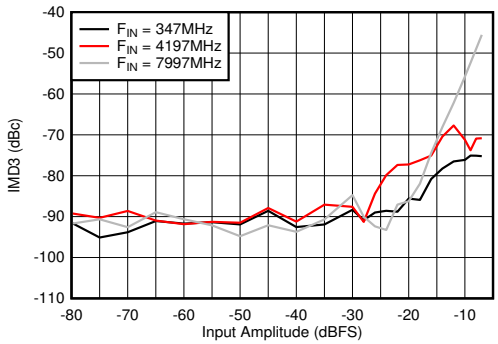
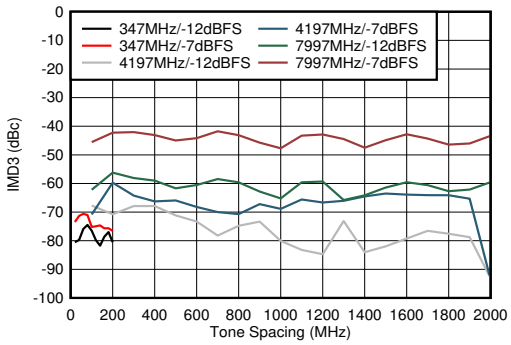
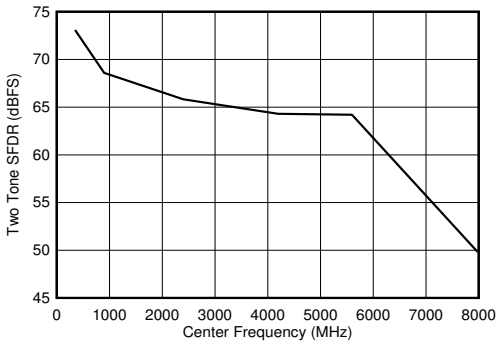


图 5-102. DES 模式：IMD3 与输入幅度间的关系



每个单音为 -7dBFS

图 5-103. DES 模式：IMD3 与频音间隔间的关系



每个单音为 -7dBFS

图 5-104. DES 模式：双音 SFDR 与输入频率间的关系

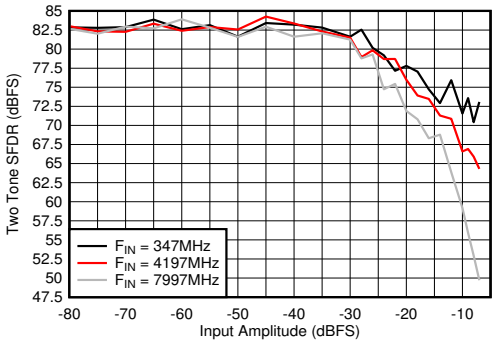
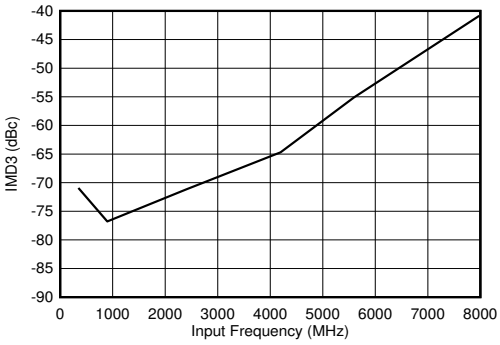


图 5-105. DES 模式：双音 SFDR 与输入振幅间的关系



每个单音为 -7dBFS

图 5-106. 双通道模式：IMD3 与输入频率间的关系

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

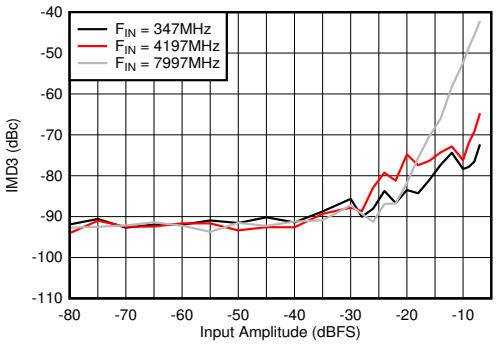


图 5-107. 双通道模式：IMD3 与输入幅度间的关系

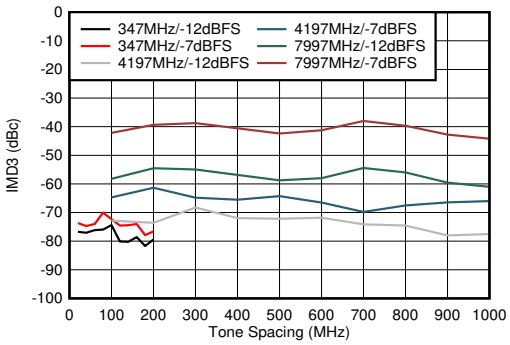


图 5-108. 双通道模式：IMD3 与频音间隔间的关系

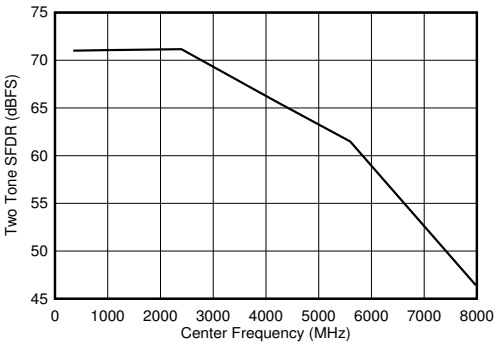


图 5-109. 双通道模式：双音 SFDR 与输入频率间的关系

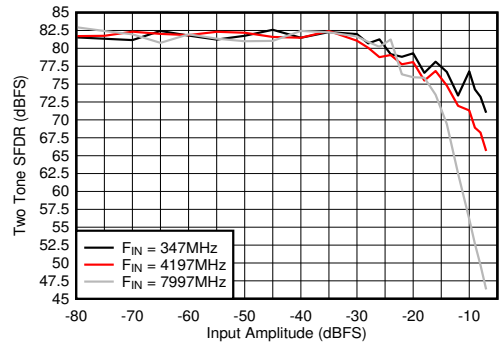
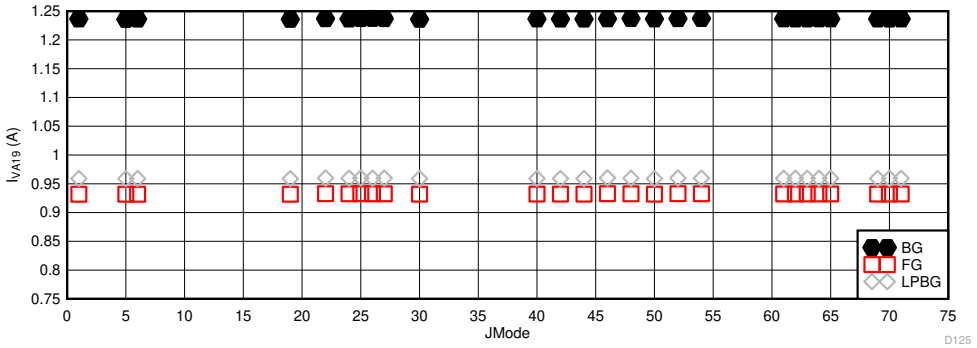


图 5-110. 双通道模式：双音 SFDR 与输入振幅间的关系



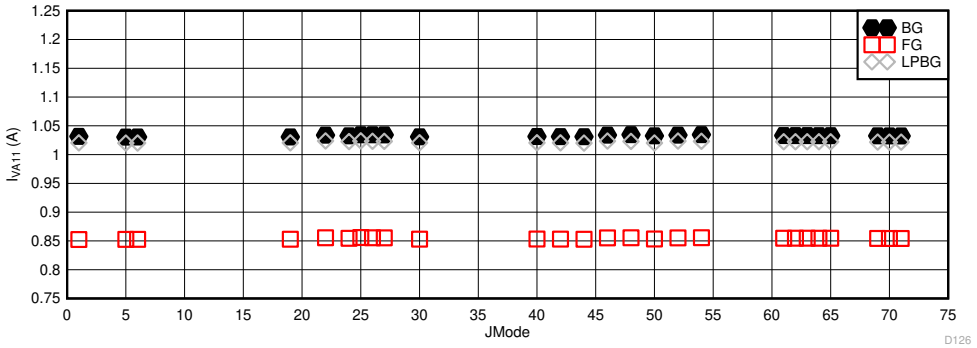
所有模式都支持 F_S = 10.4GSPS

图 5-111. DES 模式：在 10.4GSPS 时的 I_{VA19} 与 JMODE

Copyright © 2025 Texas Instruments Incorporated

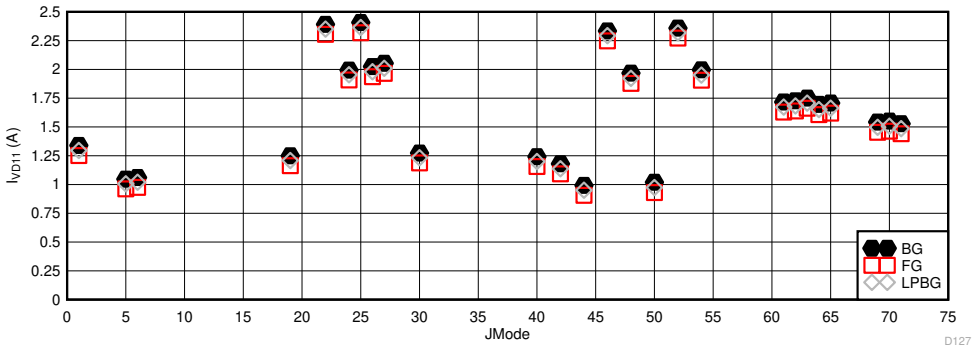
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



所有模式都支持 F_S = 10.4GSPS

图 5-112. DES 模式：在 10.4GSPS 时的 I_{VA11} 与 JMODE

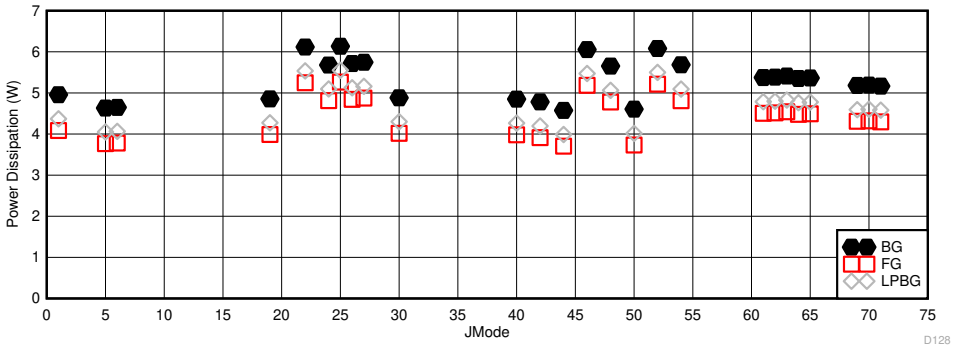


所有模式都支持 F_S = 10.4GSPS

图 5-113. DES 模式：在 10.4GSPS 时的 I_{VD11} 与 JMODE

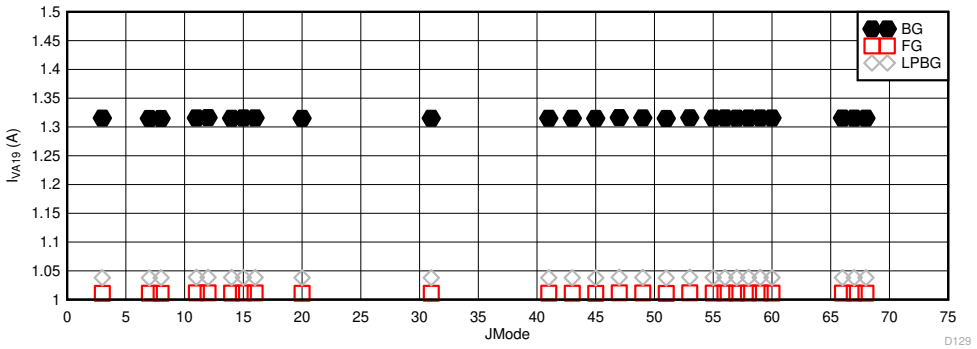
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



所有模式都支持 F_S = 10.4GSPS

图 5-114. DES 模式：在 10.4GSPS 时的功率与 JMODE 间的关系



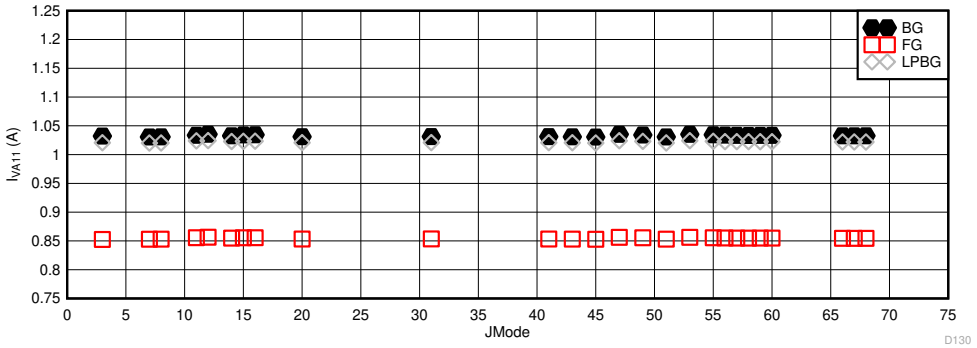
所有模式都支持 F_S = 5.2GSPS

图 5-115. 双通道模式：在 5.2GSPS 时的 I_{VA19} 与 JMODE

Copyright © 2025 Texas Instruments Incorporated

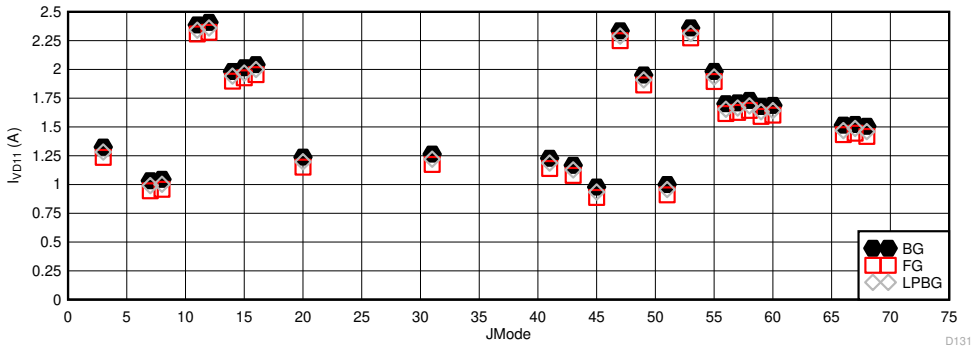
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



所有模式都支持 F_S = 5.2GSPS

图 5-116. 双通道模式：在 5.2GSPS 时的 I_{VA11} 与 JMODE

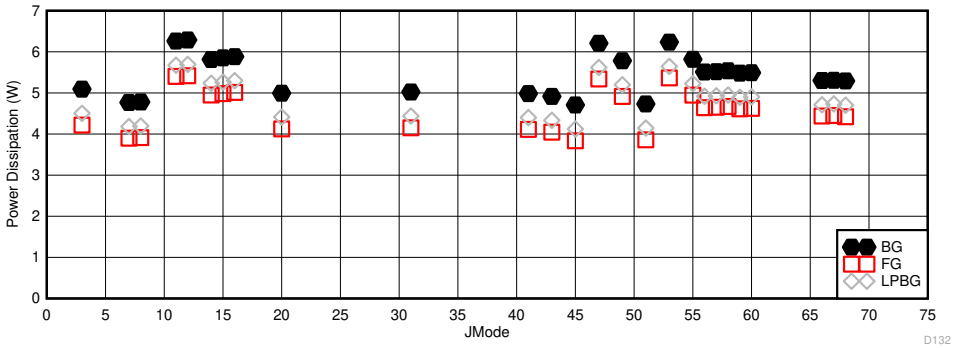


所有模式都支持 F_S = 5.2GSPS

图 5-117. 双通道模式：在 5.2GSPS 时的 I_{VD11} 与 JMODE

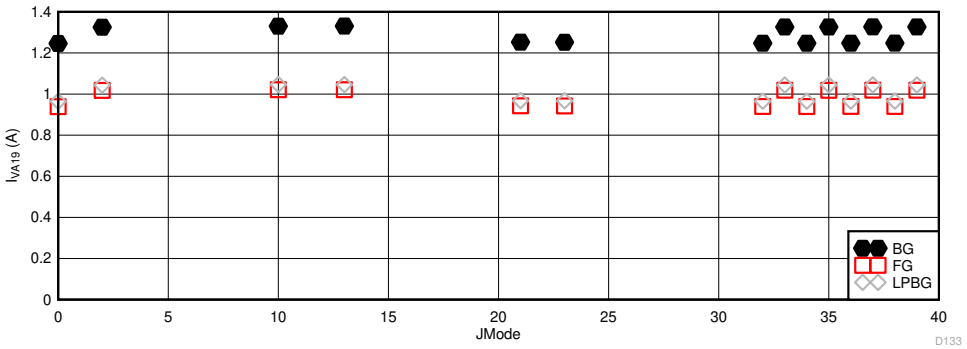
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



所有模式都支持 F_S = 5.2GSPS

图 5-118. 双通道模式：在 5.2GSPS 时的功率与 JMODE 间的关系



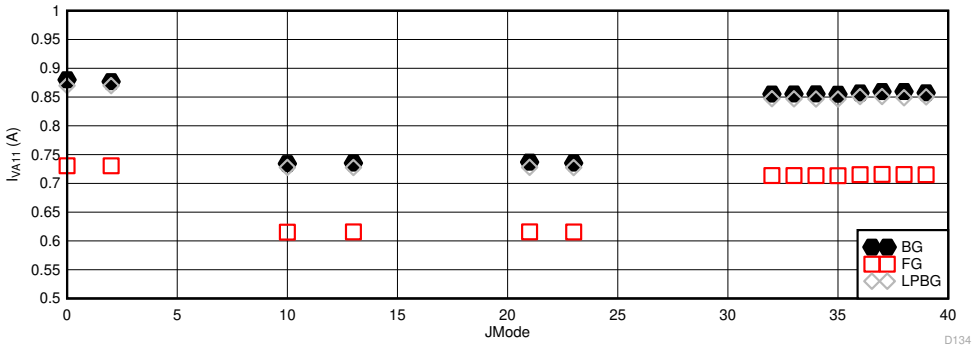
每个 表 6-23 的最大可行采样率

图 5-119. 具有较低最大 F_S 的其他模式：I_{VA19} 与 JMODE 间的关系

Copyright © 2025 Texas Instruments Incorporated

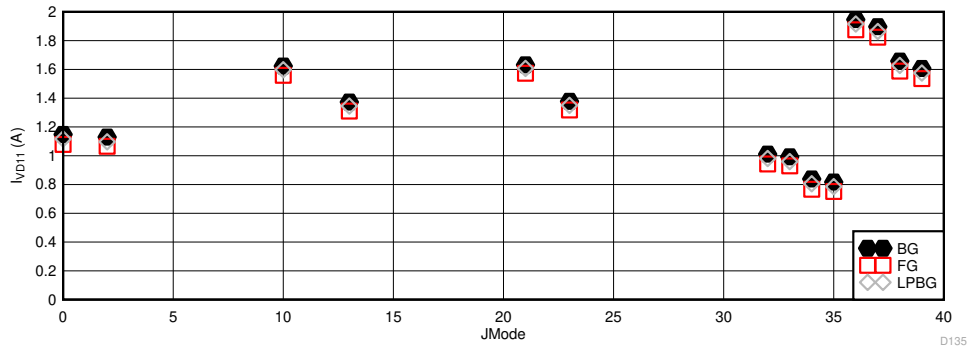
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



每个 表 6-23 的最大可行采样率

图 5-120. 具有较低最大 F_S 的其他模式：I_{VA11} 与 JMODE 间的关系



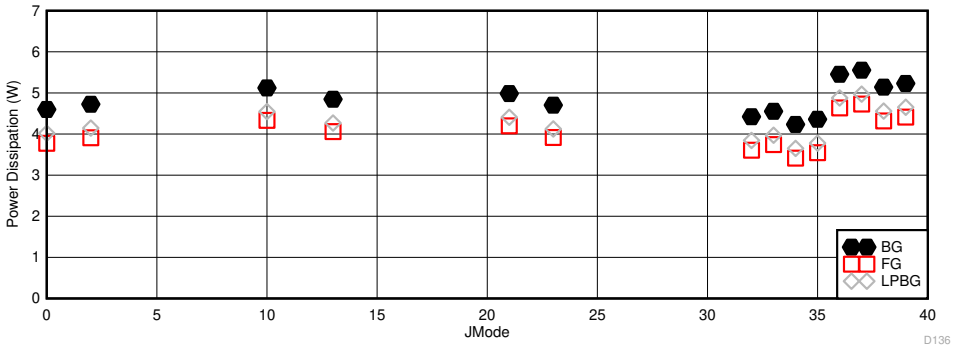
每个 表 6-23 的最大可行采样率

图 5-121. 具有较低最大 F_S 的其他模式：I_{VD11} 与 JMODE 间的关系

Copyright © 2025 Texas Instruments Incorporated

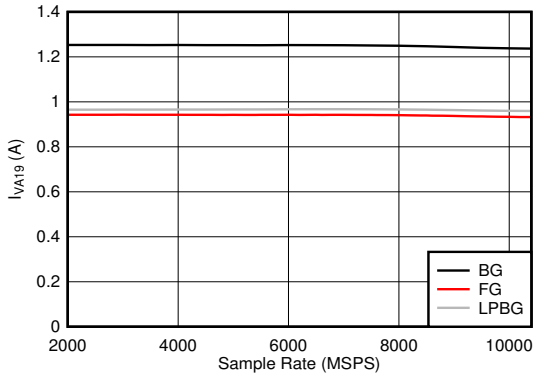
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，1V_{PP} 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



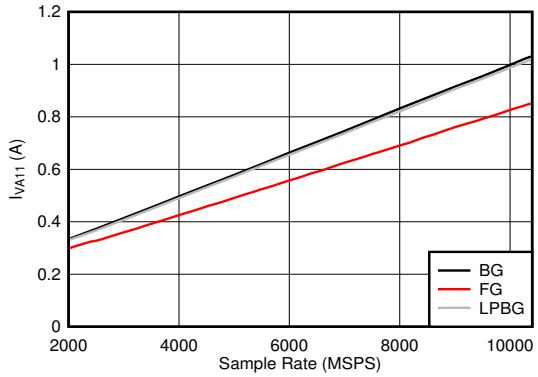
每个 表 6-23 的最大可行采样率

图 5-122. 具有较低最大 F_S 的其他模式：功耗与 JMODE 间的关系



上述情况不受 JMODE 影响

图 5-123. DES 模式：I_{VA19} 与采样率间的关系



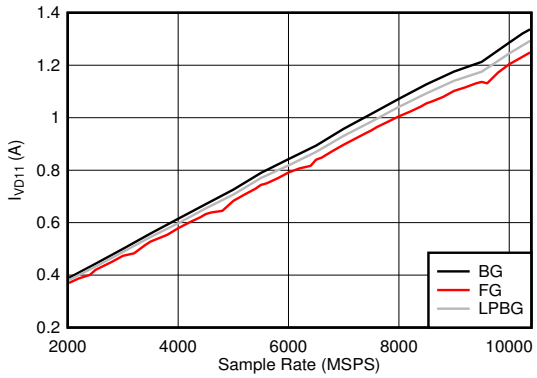
上述情况不受 JMODE 影响

图 5-124. DES 模式：I_{VA11} 与采样率间的关系

Copyright © 2025 Texas Instruments Incorporated

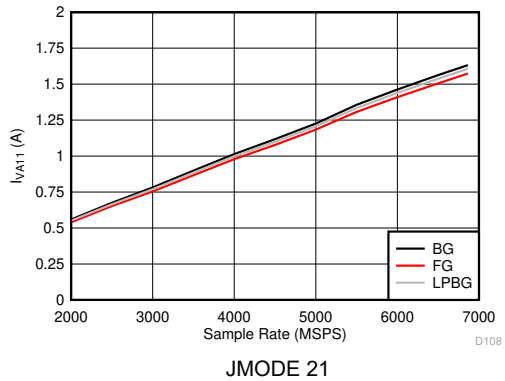
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



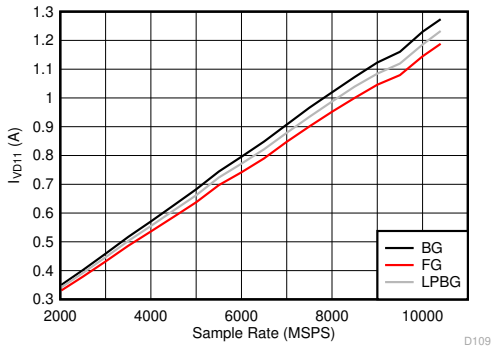
JMODE 1

图 5-125. DES 模式：I_{VD11} 与采样率间的关系



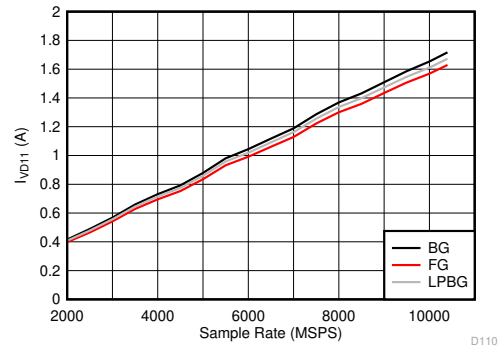
JMODE 21

图 5-126. DES 模式：I_{VD11} 与采样率间的关系



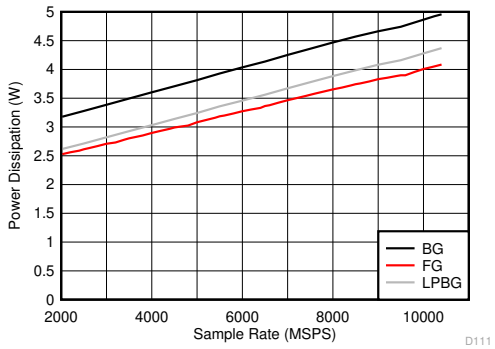
JMODE 30

图 5-127. DES 模式：I_{VD11} 与采样率间的关系



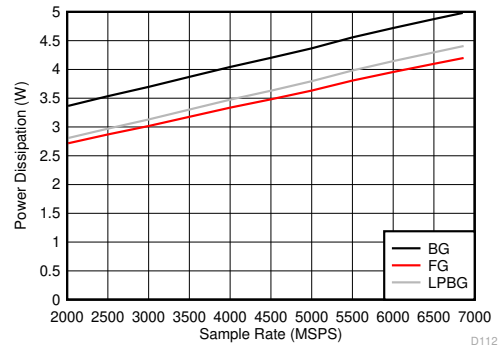
JMODE 61

图 5-128. DES 模式：I_{VD11} 与采样率间的关系



JMODE 1

图 5-129. DES 模式：功耗与采样率间的关系



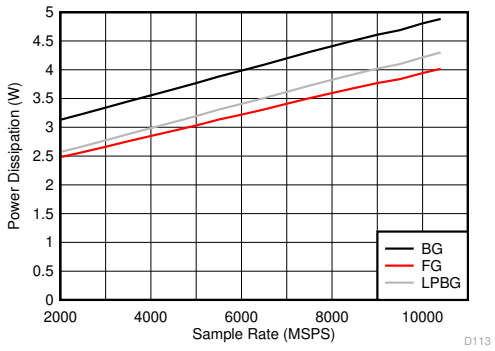
JMODE 21

图 5-130. DES 模式：功耗与采样率间的关系

Copyright © 2025 Texas Instruments Incorporated

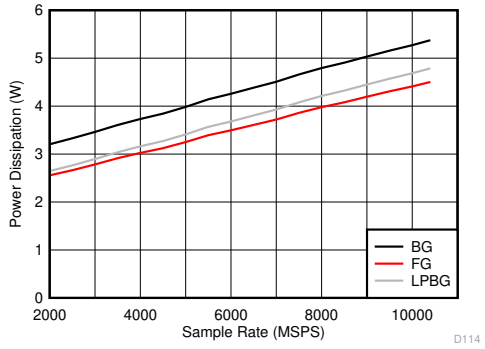
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



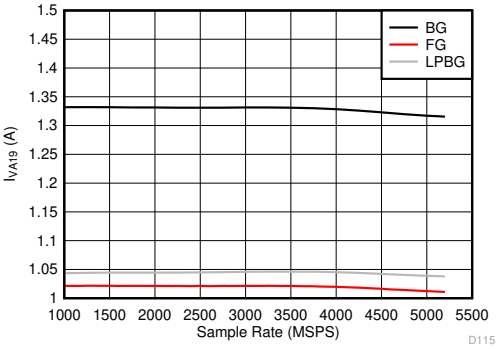
JMODE 30

图 5-131. DES 模式：功耗与采样率间的关系



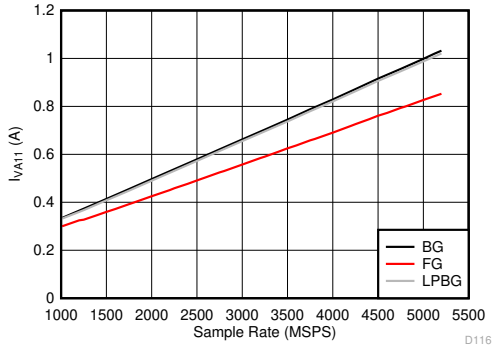
JMODE 61

图 5-132. DES 模式：功耗与采样率间的关系



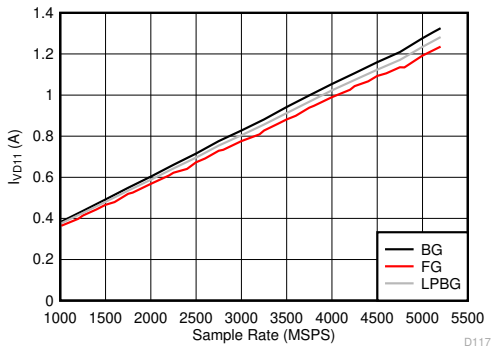
上述情况不受 JMODE 影响

图 5-133. 双通道模式：I_{VA19} 与采样率间的关系



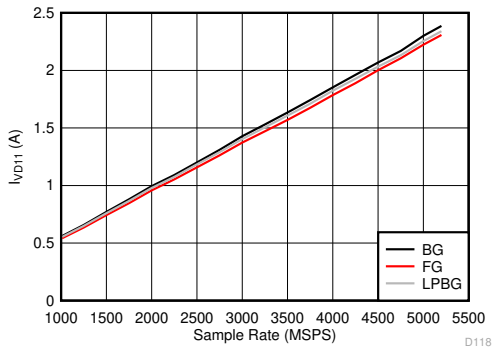
上述情况不受 JMODE 影响

图 5-134. 双通道模式：I_{VA11} 与采样率间的关系



JMODE 3

图 5-135. 双通道模式：I_{VD11} 与采样率间的关系



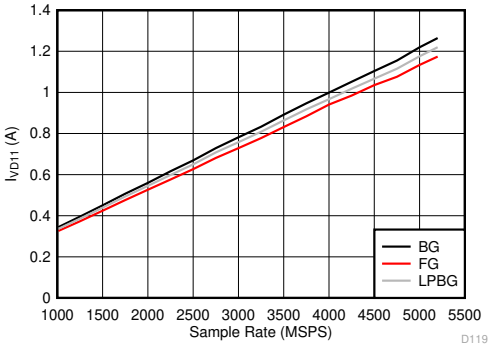
JMODE 11

图 5-136. 双通道模式：I_{VD11} 与采样率间的关系

Copyright © 2025 Texas Instruments Incorporated

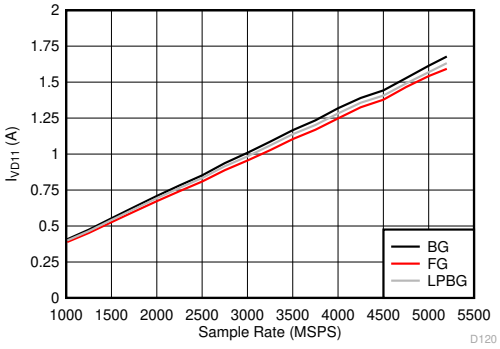
5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散



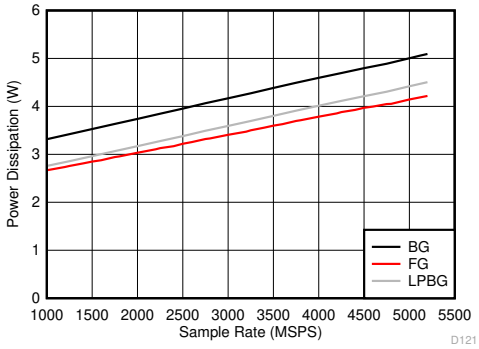
JMODE 31

图 5-137. 双通道模式：I_{VD11} 与采样率间的关系



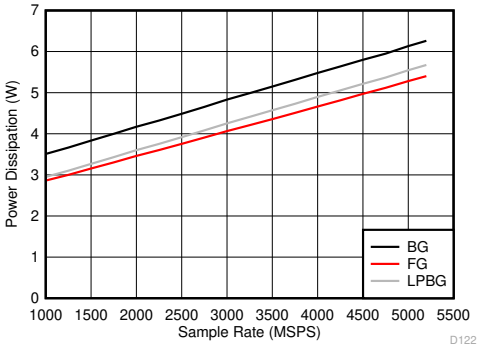
JMODE 59

图 5-138. 双通道模式：I_{VD11} 与采样率间的关系



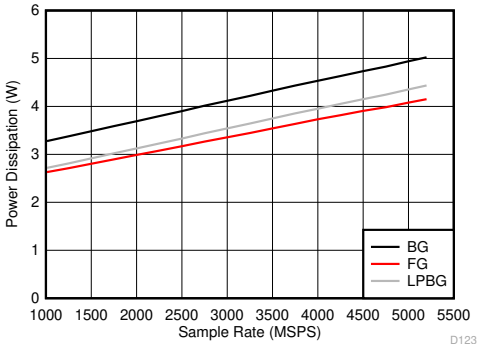
JMODE 3

图 5-139. 双通道模式：功耗与采样率间的关系



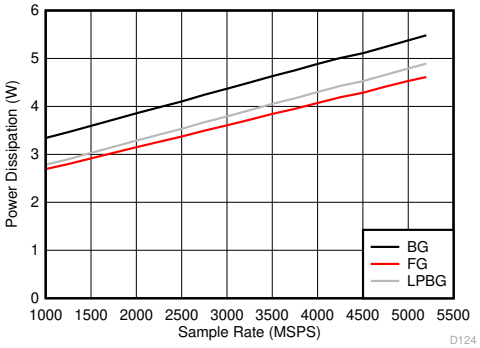
JMODE 11

图 5-140. 双通道模式：功耗与采样率间的关系



JMODE 31

图 5-141. 双通道模式：功耗与采样率间的关系



JMODE 59

图 5-142. 双通道模式：功耗与采样率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

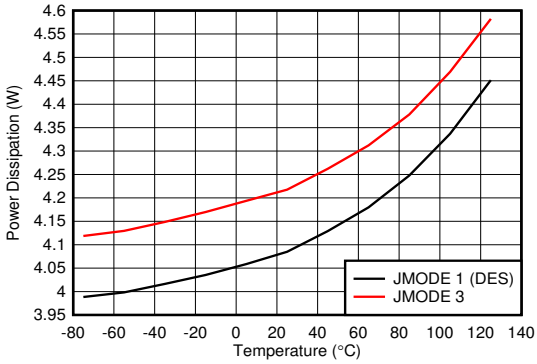


图 5-143. 功耗与温度间的关系

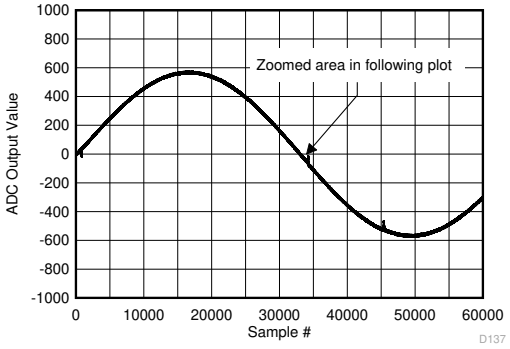


图 5-144. 后台校准内核转换（交流信号）

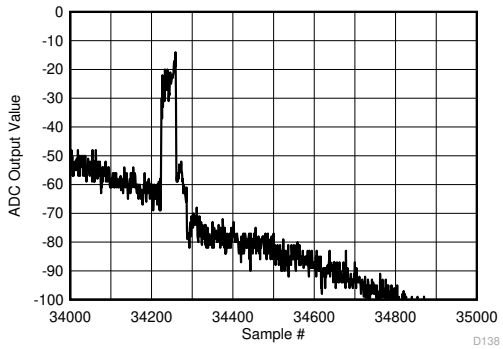


图 5-145. 后台校准内核转换（放大交流信号）

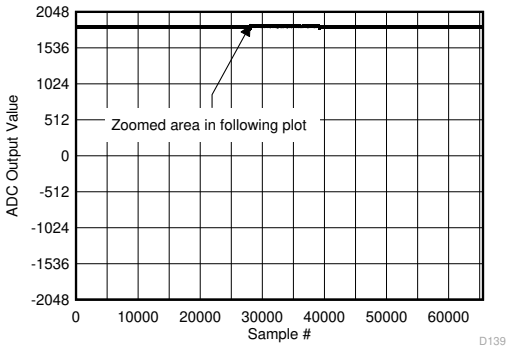


图 5-146. 后台校准内核转换（直流信号）

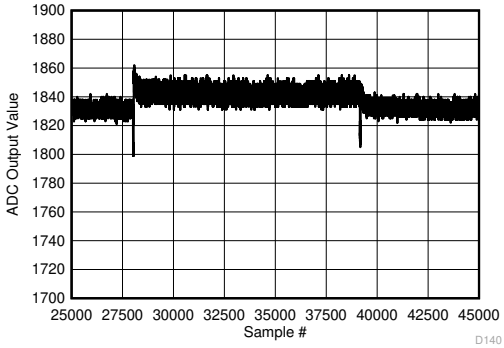


图 5-147. 后台校准内核转换（放大直流信号）

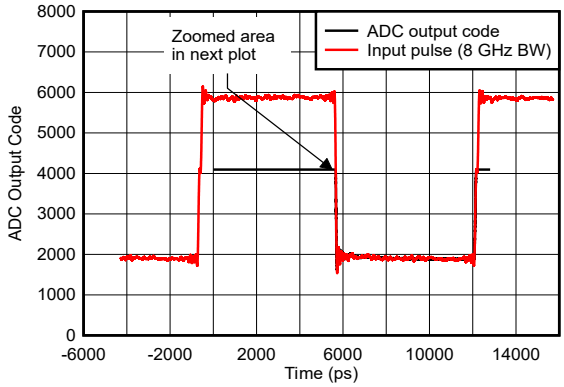


图 5-148. 脉冲过驱动恢复

Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性（续）

典型值条件：T_A = 25°C，VA19 = 1.9V，VA11 = VD11 = 1.1V，默认的满量程电压 (FS_RANGE_A = FS_RANGE_B = 0xA000)，单通道模式下施加于 INA± 的输入信号，f_{IN} = 347MHz，A_{IN} = –1dBFS，f_{CLK} = 额定最大时钟频率，经过滤波处理，$1V_{PP}$ 正弦波时钟，JMODE = 1，抖动启用默认设置，VA11、VD11 和 VS11 噪声抑制开启 (EN_VA11_NOISE_SUPPR = EN_VD11_NOISE_SUPPR = EN_VS11_NOISE_SUPPR = 1)，且进行背景校准（另有说明除外）；信噪比 (SNR) 结果不包括直流 (DC)、二次谐波 (HD2) 到九次谐波 (HD9) 及交织杂散；信噪失真比 (SINAD)、有效位数 (ENOB) 和无杂散动态范围 (SFDR) 结果不包括直流 (DC) 及固定频率交织杂散

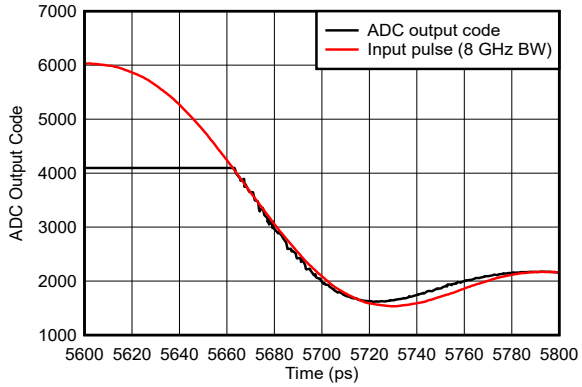


图 5-149. 脉冲过驱恢复（放大）

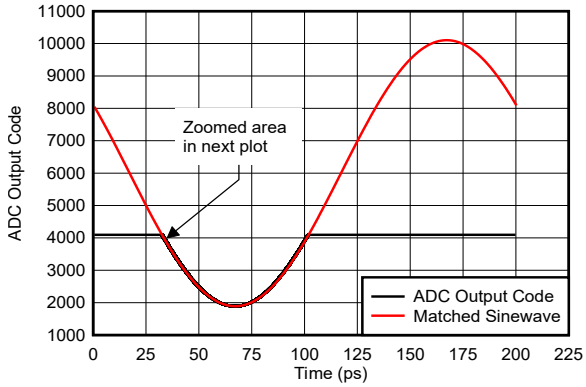


图 5-150. 正弦波过驱恢复

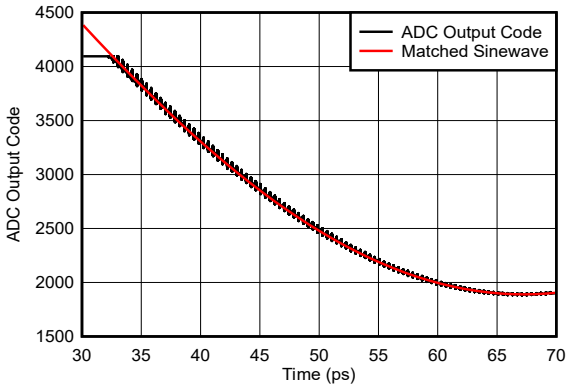


图 5-151. 正弦波过驱恢复

6 详细说明

6.1 概述

ADC12DJ5200-EP 器件是一款射频采样千兆采样模数转换器 (ADC)，可对从直流到 10GHz 以上的输入频率进行直接采样。在双通道模式下，器件的采样率高达 5.2GSPS，在单通道模式下，器件的采样率高达 10.4GSPS。通道数（双通道模式）和奎斯特带宽（单通道模式）的可编程交换功能可用于开发灵活的硬件，以满足高通道数或宽瞬时信号带宽应用的需求。8GHz 的全功率输入带宽（–3dB），可用频率在双通道和单通道模式下均超过 –3dB，可对频率捷变系统的 L、S、C 和 X 带进行直接射频采样。

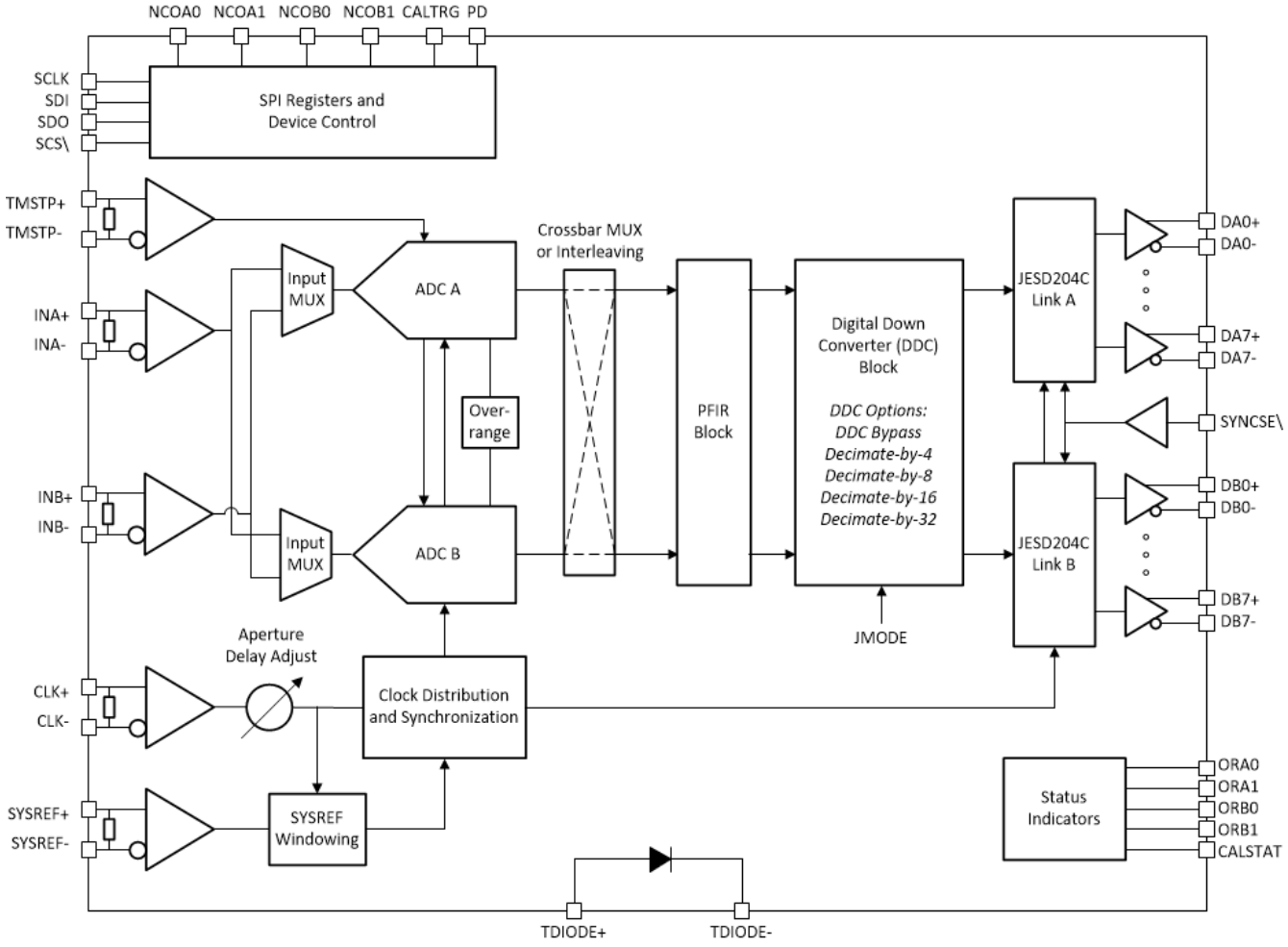
该器件采用具有多达 16 个串行通道和 1 子类兼容性的高速 JESD204C 输出接口，可实现确定性延迟和多器件同步。串行输出通道支持高达 17.16Gbps 的比特率，并可进行配置，在比特率和通道数之间进行权衡。支持 8B/10B 以及 64B/66B 数据编码方案。64B/66B 编码方案支持前向纠错 (FEC)，来改善误码率。使用 8B/10B 编码模式时、JESD204C 接口向后兼容 JESD204B 接收器。

拥有无噪声孔径延迟 (t_{AD}) 调节和 SYSREF 窗口化等多种同步特性，可简化多通道系统的系统设计。孔径延迟调节可用于简化 SYSREF 采集，在多个 ADC 之间对齐采样实例，或对前端跟踪保持 (T&H) 放大器输出的适当位置进行采样。SYSREF 窗口化提供了一种简单的方法，来测量 SYSREF 相对于器件时钟的无效时序区域，然后选择理想采样位置。双边沿采样 (DES) 在单通道模式下实现，以降低应用于 ADC 的最大时钟速率，从而支持各种时钟源，并放宽 SYSREF 采集的设置和保持时序。

该器件提供增益、偏移和静态线性误差的前台和后台校准选项。前台校准在系统启动时或在 ADC 离线且不向逻辑器件发送数据的指定时间运行。后台校准允许 ADC 在内核在后台校准的同时持续运行，使系统不会出现停机情况。校准例程还用于匹配子 ADC 内核之间的增益和偏移，以更大限度地减少时间交错产生的杂散伪影。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图


NCOA0
NCOA1
NCOB0
NCOB1
CALTRG
PD
SCLK
SDI
SDO
SCS\
SPI Registers and Device Control
TMSTP+
TMSTP-
INA+
INA-
INB+
INB-
CLK+
CLK-
SYSREF+
SYSREF-
Input MUX
Input MUX
ADC A
ADC B
Over-range
Crossbar MUX or Interleaving
PFIR Block
Digital Down Converter (DDC) Block
DDC Options:
DDC Bypass
Decimate-by-4
Decimate-by-8
Decimate-by-16
Decimate-by-32
JMODE
JESD204C Link A
JESD204C Link B
DA0+
DA0-
DA7+
DA7-
SYNCSE\
DB0+
DB0-
DB7+
DB7-
Aperture Delay Adjust
Clock Distribution and Synchronization
SYSREF Windowing
Status Indicators
ORA0
ORA1
ORB0
ORB1
CALSTAT
TDIODE+
TDIODE-

6.3 特性说明

6.3.1 器件比较

表 6-1 中列出的器件是引脚对引脚兼容的高速宽带宽 ADC 系列的一部分。该系列产品旨在提供适用于各种分辨率、采样率和信号带宽的可扩展器件系列。

表 6-1. 器件系列比较

器件型号	最大采样率	分辨率	双通道抽取	单通道抽取	接口 (MAX LINERATE)
ADC12DJ5200RF ADC12DJ5200-EP ADC12DJ5200-SP	单通道 10.4GSPS 双通道 5.2GSPS	12 位	复合：4x、8x、16x、32x	复合：4x、8x、16x、32x	JESD204B / JESD204C (17.16Gbps)
ADC08DJ5200RF	单通道 10.4GSPS 双通道 5.2GSPS	8 位	无	无	JESD204B / JESD204C (17.16Gbps)
ADC12DJ4000RF	单通道 8GSPS 双通道 4GSPS	12 位	复合：4x、8x	复合：4x、8x	JESD204B / JESD204C (17.16Gbps)
ADC12DJ3200	单通道 6.4GSPS 双通道 3.2GSPS	12 位	实时：2x 复合：4x、8x、16x	无	JESD204B (12.8Gbps)
ADC08DJ3200	单通道 6.4GSPS 双通道 3.2GSPS	8 位	无	无	JESD204B (12.8Gbps)
ADC12DJ2700	单通道 5.4GSPS 双通道 2.7GSPS	12 位	实时：2x 复合：4x、8x、16x	无	JESD204B (12.8Gbps)

6.3.2 模拟输入

器件的模拟输入端配有内部缓冲器，可支持高输入带宽并能将采样电容器干扰噪声与输入电路隔离。模拟输入必须采用差分驱动，因为单端信号运行会导致性能下降。支持模拟输入的交流耦合和直流耦合。模拟输入专为 0V 的输入共模电压 (V_{CMI}) 而设计，采用单端 50Ω 电阻器将该电压在内部端接至每个输入引脚上的接地处 (GND)。直流耦合输入信号的共模电压必须满足*建议运行条件*表中 V_{CMI} 器件输入共模要求。0V 输入共模电压简化了分离式全差分放大器以及各种变压器和平衡-非平衡变压器的接口。该器件有一项内部模拟输入保护功能，在超范围输入条件下能保护 ADC 输入；请参阅*模拟输入保护*部分。图 6-1 提供了简化的模拟输入模型。

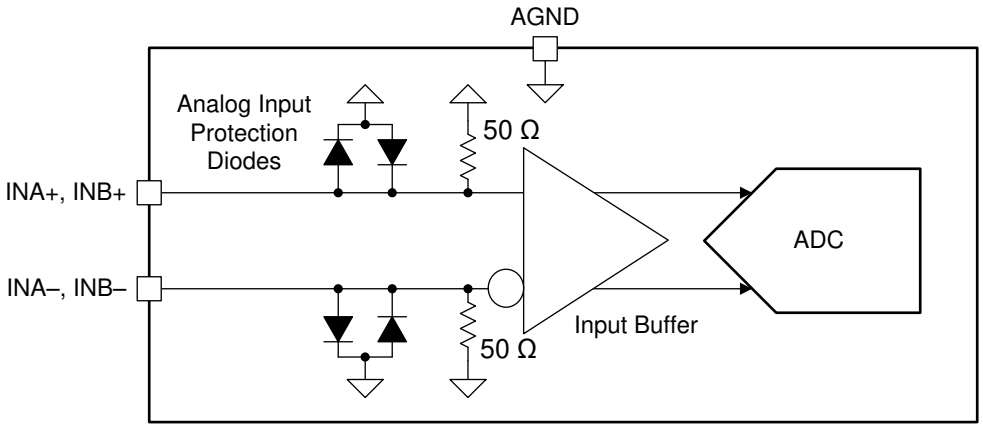


图 6-1. ADC12DJ5200-EP 模拟输入内部端接和保护图

使用单通道模式和双通道模式时，模拟输入带宽的下降非常小。在单通道模式下可以使用模拟输入（INA+ 和 INA– 或者 INB+ 和 INB–）。可以使用输入多路复用器控制寄存器中的 SINGLE_INPUT 来选择所需的输入。切换输入多路复用器后需要执行校准才能使更改生效。此外，可以在单通道模式下使用两个输入，以便使用 SINGLE_INPUT 寄存器设置分别驱动交错式 ADC。这种模式称为双输入单通道模式。双输入单通道模式与双通

Copyright © 2025 Texas Instruments Incorporated

道模式等效，但 ADC B 采样与 ADC A（单通道模式采样时序）异相。当选择了单通道模式 JMODE 设置时，此模式可用。

6.3.2.1 模拟输入保护

内部钳位二极管可在超出范围的情况下拉取或灌入输入电流，从而保护模拟输入免受过驱条件的影响，请参阅*绝对最大额定值*表中的电压和电流限制。*绝对最大额定值*表中还为峰值射频输入功率定义了超范围保护，该保护与频率无关。如果运行条件高于*建议运行条件*表中列出的最大条件会导致时基故障 (FIT) 率升高，则系统必须尽快纠正过驱条件。图 6-1 显示了模拟输入保护二极管。

6.3.2.2 满量程电压 (V_{FS}) 调整

对于 INA± 和 INB±，可分别通过 FS_RANGE_A 寄存器设置（请参阅 INA 满量程调整寄存器）和 FS_RANGE_B 寄存器设置（请参阅 INB 满量程调整寄存器）对每个模拟输入的输入满量程电压 (V_{FS}) 进行微增量调整。可用的调整范围如*电气特性：直流规格*表中所示。较大的满量程电压可提高 SNR 和本底噪声（以 dBFS/Hz 为单位）性能，但可能降低谐波失真。满量程电压调非常有用，可用于在开发多转换器系统时匹配多个 ADC 的满量程，或用于多个 ADC12DJ5200-EP 的外部交错以实现更高的采样率。

6.3.2.3 模拟输入失调电压调整

在前台校准模式下，每个输入和每个 ADC 内核的输入失调电压可通过 SPI 寄存器进行调整。OADJ_A_FG0_VINx 和 OADJ_A_FG90_VINx 寄存器（寄存器 0x344 到 0x34A）用于在采样模拟输入 x 时调整 ADC 内核 A 的失调电压（其中 x 是指 A 表示 INA±、B 表示 INB±）、其中 FG0 寄存器用于双通道模式，FG90 用于单通道模式。OADJ_B_FG0_VINx 用于在对采样输入 x 时调整 ADC 内核 B 的失调电压。OADJ_B_FG0_VINx 适用于单通道模式和双通道模式。要在双通道模式下调整失调电压，只需调整对所需输入进行采样的 ADC 内核的失调电压。在单通道模式下，ADC 内核 A 的失调量和 ADC 内核 B 的失调量必须一起调整。单通道模式下两个内核失调的差异将导致 $f_S/2$ 处产生独立于输入的杂散。这些寄存器可用于补偿单通道模式下的 $f_S/2$ 杂散。更多信息，请参阅*校准模式和修整*部分。

6.3.3 ADC 内核

ADC12DJ5200-EP 总共包含六个 ADC 内核。根据工作模式的要求，交错内核以获得更高的采样率，并动态交换内核以进行校准。该部分重点介绍了 ADC 内核的理论和主要特性。

6.3.3.1 ADC 工作原理

模拟输入端的差分电压在双通道模式下由 CLK± 的上升沿捕获，或在单通道模式下由 CLK± 的上升沿和下降沿捕获。捕获输入信号后，ADC 先比较电压与内部基准电压，再将模拟电压转换为数字值。如果 INA– 或 INB– 上的电压分别高于 INA+ 或 INB+ 上的电压，则数字输出为负二进制补码值。如果 INA+ 或 INB+ 上的电压分别高于 INA– 或 INB– 上的电压，则数字输出为正二进制补码值。方程式 1 可以根据数字输出计算输入引脚上的差分电压。

$$V_{IN} = \frac{Code}{2^N} V_{FS} \quad (1)$$

其中

- 代码是指有符号的十进制输出代码（例如，-2048 至 +2047）
- N 为 ADC 分辨率
- 及 V_{FS} 是*建议工作条件*表中指定的 ADC 满量程输入电压，包括通过编程 FS_RANGE_A 或 FS_RANGE_B 执行的任何调整

6.3.3.2 ADC 内核校准

需要进行 ADC 内核校准来优化 ADC 内核的模拟性能。当工作条件（即温度）发生显著变化时，必须重复校准，以保持最佳性能。该器件配有内置校准例程，可作为前台操作或后台操作运行。前台操作需要 ADC 停机，一旦停

Copyright © 2025 Texas Instruments Incorporated

机，ADC 不再对输入信号进行采样，从而完成此过程。后台校准可以用来克服这种限制，并使 ADC 能持续运行。参阅*校准模式和修整*部分，了解每种模式的详细信息。

6.3.3.3 模拟基准电压

ADC12DJ5200-EP 的基准电压源自内部带隙基准。为方便用户，BG 引脚上提供基准电压的缓冲版本。该输出具有 ±100µA 的输出电流能力。如果需要更大的电流，BG 输出必须被缓冲。未提供使用外部基准电压的配置，但满量程输入电压可以通过满标量程寄存器的设置进行调整。

6.3.3.4 ADC 超范围检测

为了确保系统增益管理具有尽可能短的响应时间，加入了一个低延迟可配置的超范围功能。超范围功能的工作原理是监视 ADC 上已转换的样本，以快速检测 ADC 是否接近饱和或已经处于超范围状态。根据两个可编程阈值 OVR_T0 和 OVR_T1 检查 ADC 数据的绝对值。这些阈值适用于双通道模式下的通道 A 和通道 B。表 6-2 列出了如何将 ADC 样本转换为绝对值以进行阈值比较。

表 6-2. 转换 ADC 样本，进行超范围比较

ADC 样本 （偏移二进制）	ADC 样本 （二进制补码）	绝对值
1111 1111 (255)	0111 1111(+127)	111 1111 (127)
1000 0000 (128)	0000 0000 (0)	0000 0000 (0)
0001 0000 (16)	1000 0001 0000 (-112)	111 0000 (112)
0000 0000 (0)	1000 0000 0000 (-128)	111 1111 (127)

如果绝对值在监控期间等于或超过 OVR_T0 或 OVR_T1 阈值，则与阈值关联的超范围位将被设置为 1，否则超范围位为 0。在双通道模式下，可以在通道 A 的 ORA0 和 ORA1 引脚以及通道 B 的 ORB0 和 ORB1 引脚上监控超范围状态，其中 ORx0 对应于 OVR_T0 阈值，ORx1 对应于 OVR_T1 阈值。在单通道模式下，OVR_T0 阈值的超范围状态通过监控 ORA0 和 ORB0 输出来确定，而 OVR_T1 阈值通过监控 ORA1 和 ORB1 输出来确定。在单通道模式下，每个阈值的两个输出必须一起进行“或”运算，以确定是否发生了超范围情况。OVR_N 可用于设置上次超范围事件的输出脉冲持续时间。表 6-3 列出了各种 OVR_N 设置的超范围脉冲长度。

Copyright © 2025 Texas Instruments Incorporated

表 6-3. ORA0、ORA1、ORB0 和 ORB1 输出的超范围监控周期

OVR_N	自上次超范围事件以来的超范围脉冲长度（DEVCLK 周期）
0	8
1	16
2	32
3	64
4	128
5	256
6	512
7	1024

通常，OVR_T0 阈值可设置为接近满量程值（例如 228）。触发该阈值后，典型的系统可关闭系统增益以避免削波。可以将 OVR_T1 阈值设置为低得多的值。例如，OVR_T1 阈值可以设置为 64（−12 dBFS 的峰值输入电压）。如果输入信号较强、则偶尔会触发 OVR_T1 阈值。如果输入非常弱、则永远不会触发阈值。下游逻辑器件会监控 OVR_T1 位。如果 OVR_T1 长时间保持低电平，则可以增大系统增益，直到偶尔触发阈值（意味着信号的峰值电平高于 −12 dBFS）。

6.3.3.5 误码率 (CER)

ADC 内核可能会在样本中产生位误差，通常称为*代码误差 (CER)* 或称为*闪码*，这是由不理想的比较器限制引起的元稳定性导致的。该器件使用独特的 ADC 架构，与传统管道、闪存或逐次逼近型寄存器 (SAR) ADC 相比，该架构本身能显著改善代码误差率。在等效采样率下，该器件的代码误差率比其他架构可实现的误差率高出多个数量级，从而显著提高了信号可靠性。

6.3.4 温度监测二极管

TDIODE+ 和 TDIODE- 引脚上有一个内置热监测二极管。该二极管有助于在较高环境温度环境中监控温度对器件进行温度监测和表征分析。尽管片上二极管的表征不太明确，但通过在已知环境温度或电路板温度下执行基线测量（失调电压），并使用*电气特性：直流规格*表中提供的二极管电压斜率创建线性方程，便可以有效地使用该二极管。在器件未上电或 PD 引脚置位的情况下执行失调电压测量，可更大限度地减少器件自发热。推荐的监控器件包括 LM95233 器件以及德州仪器 (TI) 的类似远程二极管温度监控产品。

6.3.5 时间戳

TMSTP+ 和 TMSTP – 差分输入可作为时间戳输入使用，根据外部触发事件相对于采样信号的时序标记特定样本。若要使用时间戳功能并输出时间戳数据，必须设置 TIMESTAMP_EN（参阅 LSB 控制位输出寄存器）。启用后，8 位输出采样的最低有效位用于输出时间戳状态。触发信号必须施加到差分 TMSTP+ 和 TMSTP- 输入上。触发信号可以与 ADC 采样时钟异步，且与模拟输入大致在同一时间被采样。

6.3.6 时钟

器件的时钟子系统具有两种输入信号：器件时钟（CLK+、CLK – ）和 SYSREF（SYSREF+、SYSREF – ）。时钟子系统内有无噪声孔径延迟调节（t_{AD} 调节）、时钟占空比校正器和 SYSREF 采集块。图 6-2 介绍了时钟子系统。

Copyright © 2025 Texas Instruments Incorporated

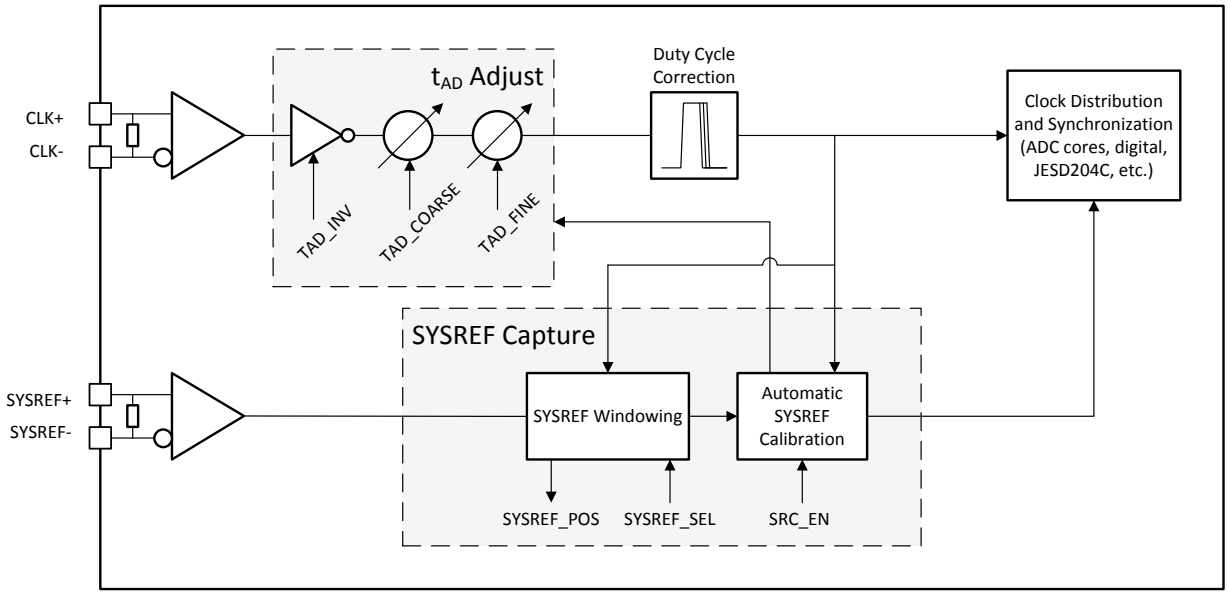


图 6-2. 时钟子系统

器件时钟用作 ADC 内核的采样时钟，以及数字处理和串行器输出的时钟。使用低噪声（低抖动）器件时钟，以保持 ADC 内的高信噪比 (SNR)。在双通道模式下，在器件时钟的上升沿对每个输入的模拟输入信号进行采样。在单通道模式下，器件时钟的上升沿和下降沿都用于捕获模拟信号，以降低 ADC 所需的最大时钟速率。无噪声孔径延迟调整（t_{AD} 调整）使用户能够以精细的步长移动 ADC 的采样实例，从而同步多个 ADC12DJ5200-EP 或对系统延迟进行微调。器件中实现了占空比校正功能，可在保持高性能的同时降低对外部器件时钟的要求。表 6-4 总结了双通道模式和单通道模式下的器件时钟接口。

表 6-4. 器件时钟与工作模式间的关系

工作模式	采样率与 f_{CLK} 的关系	采样时刻
双通道模式	$1 \times f_{CLK}$	上升沿
单通道模式	$2 \times f_{CLK}$	上升沿和下降沿

SYSREF 是一种系统时序基准，用于确定性延迟的 JESD204C 子类 1 实现。SYSREF 用于实现确定性延迟和多器件同步。为了实现可重复延迟和同步，必须用正确的器件时钟边沿捕获 SYSREF。ADC12DJ5200-EP 具有 SYSREF 窗口化和自动 SYSREF 校正功能，可降低对外部时钟电路的要求并简化同步过程。SYSREF 可以作为单个脉冲或周期时钟实现。在周期性实现中，SYSREF 必须等于 8B/10B 编码模式下的本地多帧时钟频率，或其整数分频，或 64B/66B 编码模式下的本地扩展多块时钟频率。方程式 2 用于计算 8B/10B 编码模式下的有效 SYSREF 频率和 64B/66B 编码模式下的 方程式 3。

$$f_{SYSREF} = \frac{R \times f_{CLK}}{10 \times F \times K \times n} \tag{2}$$

$$f_{SYSREF} = \frac{R \times f_{CLK}}{66 \times 32 \times E \times n} \tag{3}$$

其中

- R 和 F 通过 JMODE 设置进行设置（请参阅 工作模式 ）
- f_{CLK} 是器件时钟频率 (CLK±)
- K 是编程的多帧长度（有关有效的 K 设置，请参阅 工作模式 ）
- E 是扩展多块中的多块数。

Copyright © 2025 Texas Instruments Incorporated

- n 是任意正整数

6.3.6.1 无噪声孔径延迟调节（t_{AD} 调节）

器件的器件时钟（采样时钟）输入路径上包含一个称为 t_{AD} 调整的延迟调整，可用于移动器件内的采样实例，以便在多个器件之间对齐采样实例或用于多个器件的外部交错。此外，t_{AD} 调整可用于自动 SYSREF 校准以简化同步；请参阅*自动 SYSREF 校准*部分。孔径延迟调节的实现方式不会向时钟路径添加额外的噪声，但由于内部时钟路径衰减，在 TAD_COARSE 为较大值时可能会略微减少孔径抖动 (t_{AJ})。孔径抖动的减少可以导致高输入频率下 SNR 略有下降（请参阅*开关特性*表中的 t_{AJ}）。使用 DEVCLK 时序调整斜坡控制寄存器中的 TAD_INV、TAD_COARSE 和 TAD_FINE 对此特性进行编程。设置 TAD_INV 会使输入时钟反相，从而产生等于时钟周期一半的延迟。表 6-5 总结了 TAD_COARSE 和 TAD_FINE 可变模拟延迟的步长和范围。所有三个延迟选项都是独立的，可结合使用。器件内的所有时钟都按照设定的 t_{AD} 调整量进行移位，这会导致 JESD204C 串行输出的时序移位并影响 SYSREF 的采集。

表 6-5. t_{AD} 调整的调整范围

调整参数	调整步长	延迟设置	最大延迟
TAD_INV	1 / (f_{CLK} × 2)	1	1 / (f_{CLK} × 2)
TAD_COARSE	请参阅*开关特性*表中的 $t_{TAD(STEP)}$	256	请参阅*开关特性*表中的 $t_{TAD(MAX)}$
TAD_FINE	请参阅*开关特性*表中的 $t_{TAD(STEP)}$	256	请参阅*开关特性*表中的 $t_{TAD(MAX)}$

为了保持转换器之间的时序对齐，必须提供稳定且匹配的电源电压和器件温度。

在正常运行期间可以动态更改孔径延迟调整，但可能会导致 JESD204C 数据链路的短暂翻转。使用 TAD_RAMP 来降低 JESD204C 链路失去同步的可能性；请参阅*孔径延迟斜坡控制*部分。

6.3.6.2 孔径延迟斜坡控制 (TAD_RAMP)

ADC12DJ5200-EP 包含一个函数，用于将 t_{AD} 调整设置逐渐调整为新写入的 TAD_COARSE 值。此功能允许使用最小内部时钟电路干扰来调整 t_{AD} 调整设置。TAD_RAMP_RATE 参数允许选择较慢的（每 256 个 t_{CLK} 周期一个 TAD_COARSE LSB）或较快的斜坡（每 384 个 t_{CLK} 周期四个 TAD_COARSE LSB）。TAD_RAMP_EN 参数启用斜坡功能，任何后续对 TAD_COARSE 的写入都会启动新的斜坡。

6.3.6.3 用于多器件同步和确定性延迟的 SYSREF 采集

时钟子系统主要负责实现多器件同步和确定性延迟。ADC12DJ5200-EP 使用 JESD204C 子类 1 方法来实现确定性延迟和同步。子类 1 要求在每次系统上电时及系统中每个器件上，通过确定性器件时钟 (CLK±) 边沿捕获 SYSREF 信号。这一要求对相对于 CLK± 的 SYSREF 施加了建立和保持限制。在所有系统运行条件下，都很难以千兆采样时钟频率来满足该要求。该器件具有很多功能，可简化同步过程并放宽系统时序限制：

- 该器件在单通道模式下使用双边沿采样 (DES)，将 CLK± 输入频率减半，并将 SYSREF 的计时窗口加倍（请参阅 表 6-4）
- SYSREF 位置检测器（相对于 CLK±）和可选的 SYSREF 采样位置有助于用户在所有条件下满足建立时间和保持时间；请参阅 *SYSREF 位置检测器* 部分
- 易于使用的自动 SYSREF 校准使用孔径时序调节块 (t_{AD} adjust)、根据 SYSREF 的相位来移动 ADC 采样实例（而不是根据 ADC 采样实例的相位来调整 SYSREF）；请参阅*自动 SYSREF 校准* 部分

6.3.6.3.1 SYSREF 位置检测器和采样位置选择（SYSREF 窗口）

SYSREF 窗口化块用于首先检测 SYSREF 相对于 CLK± 上升沿的位置，然后选择所需的 SYSREF 采样实例（该实例是 CLK± 的延迟版本），以最大程度地提高建立和保持时序裕度。在很多情况下，单个 SYSREF 采样位置 SYSREF_SEL 足以满足所有系统（器件间的差异）和条件（温度和电压差异）的时序要求。但是，系统也可以使用此功能来扩展计时窗口（方法是在工作条件发生变化时跟踪 SYSREF 的移动），或者在生产测试时消除系统间的差异（方法是为每个系统在标称条件下寻找唯一的更优值）。

本部分介绍了 SYSREF 窗口化块的正确用法。首先，将器件时钟和 SYSREF 应用于器件。SYSREF 相对于器件时钟周期的位置将被确定并存储在 SYSREF 采集位置寄存器的 SYSREF_POS 位中。ADC12DJ5200-EP 必须看

Copyright © 2025 Texas Instruments Incorporated

到至少 3 个 SYSREF 上升沿，SYSREF_POS 输出才会有效。SYSREF_POS 的每个位代表一个潜在的 SYSREF 采样位置。如果 SYSREF_POS 中的位设置为 1，则相应的 SYSREF 采样位置可能存在建立或保持时间违例。确定有效的 SYSREF 采样位置（SYSREF_POS 的位置设置为 0）后，可以通过将时钟控制寄存器 0 中的 SYSREF_SEL 设置为对应于该 SYSREF_POS 位置的值来选择所需的采样位置。通常，选择两个建立和保持实例之间的中间采样位置。理想情况下，SYSREF_POS 和 SYSREF_SEL 在系统的标称工作条件（温度和电源电压）下执行，以便提供最大裕度来适应工作条件的变化。此过程可在最终测试中执行，并且可存储更优 SYSREF_SEL 设置，以便在每次系统上电时使用。此外，SYSREF_POS 可用于通过扫描系统温度和电源电压来表征系统工作条件下 CLK± 和 SYSREF± 之间的偏斜。对于 CLK± 到 SYSREF± 偏斜有较大变化的系统，此表征可用于在系统工作条件发生变化时跟踪更优 SYSREF 采样位置。通常，可以找到满足匹配良好的系统在所有条件下的时序要求的单个值，例如 CLK± 和 SYSREF± 来自单个时钟器件的条件。

备注

使用自动 SYSREF 校准时，SYSREF_SEL 必须设置为 0；请参阅*自动 SYSREF 校准*部分。

每个 SYSREF_POS 采样位置之间的步长可使用 SYSREF_ZOOM 进行调整。当 SYSREF_ZOOM 设置为 0 时，延迟步长较粗。当 SYSREF_ZOOM 设置为 1 时，延迟步长较细。请参阅*开关特性*表，了解当 SYSREF_ZOOM 被启用和禁用时的延迟步长。通常，建议在 f_{CLK} = 3GHz 以上时使用 SYSREF_ZOOM = 1，在 f_{CLK} = 3GHz 以下时使用 SYSREF_ZOOM = 0。SYSREF_POS 的位 0 和 23 始终设置为 1，因为没有足够的信息来确定这些设置是否接近时序违例，尽管实际有效窗口可以扩展到这些采样位置之外。编程到 SYSREF_SEL 中的值是表示 SYSREF_POS 中所需位位置的十进制数。表 6-6 列出了一些 SYSREF_POS 读数示例和更优 SYSREF_SEL 设置。尽管 SYSREF_POS 状态寄存器提供了 24 个采样位置，但 SYSREF_SEL 仅允许选择前 16 个采样位置，对应于 SYSREF_POS 位 0 至 15。附加的 SYSREF_POS 状态位仅用于提供 SYSREF 有效窗口的额外信息。通常，由于电源电压的延迟变化，选择较低的 SYSREF_SEL 值，但在第四个示例中，值 15 可提供额外裕度，因此可以选择该值。

表 6-6. SYSREF_POS 读数和 SYSREF_SEL 选择示例

SYSREF_POS[23:0]			更优 SYSREF_SEL 设置
0x02E[7:0]（最大延迟）	0x02D[7:0](1)	0x02C[7:0](1)（最小延迟）	
b10000000	b0110000 0	b00011001	8 或 9
b10011000	b00000000	b00110001	12
b10000000	b01100000	b0 0000001	6 或 7
b10000000	b00000011	b00000001	4 或 15
b10001100	b01100011	b00011001	6

(1) 红色着色表示选定的位，如该表最后一列中所示。

6.3.6.3.2 自动 SYSREF 校准

ADC12DJ5200-EP 具有自动 SYSREF 校准功能，可更好地满足与千兆采样数据转换器的 SYSREF 采集相关的通常具有挑战性的建立时间和保持时间要求。自动 SYSREF 校准使用 t_{AD} 调整特性来移动器件时钟，以最大限度地增加 SYSREF 建立时间和保持时间，或根据 SYSREF 上升沿对齐采样实例。

在开始自动 SYSREF 校准之前，该器件必须应用适当的器件时钟并对其进行编程以确保正常运行。当准备好启动自动 SYSREF 校准时，必须施加连续的 SYSREF 信号。使用自动 SYSREF 校准时，SYSREF 必须是连续（周期性）信号。使用 SRC_CFG 寄存器配置自动 SYSREF 校准后，通过在 SYSREF 校准使能寄存器中将 SRC_EN 设置为高电平来开始校准过程。将 SRC_EN 设置为高电平后，该器件会搜索最优的 t_{AD} 调整设置，直到器件时钟下降沿在内部与 SYSREF 上升沿对齐。可以监控 SYSREF 校准状态寄存器中的 TAD_DONE，以确保 SYSREF 校准已完成。通过将器件时钟下降沿与 SYSREF 上升沿对齐，自动 SYSREF 校准可最大限度地增加相对于器件时钟的内部 SYSREF 建立时间和保持时间，并根据 SYSREF 上升沿设置采样瞬间。自动 SYSREF 校准完成后，可以执行启动过程的其余部分以完成系统启动。

Copyright © 2025 Texas Instruments Incorporated

对于多器件同步，必须在所有器件上匹配 SYSREF 上升沿时序，因此必须匹配从通用 SYSREF 源到每个器件的布线长度。每个器件上 SYSREF 上升沿之间的任何偏差都会导致器件之间的采样实例产生额外误差，但从系统启动到每个器件启动之间仍然必须实现可重复的确定性延迟。只要在 JESD204C 接收器中选择适当的弹性缓冲器释放点，无需其他设计要求即可实现多器件同步。

图 6-3 提供了 SYSREF 校准过程的时序图。优化的建立时间和保持时间分别显示为 $t_{SU(OPT)}$ 和 $t_{H(OPT)}$。器件时钟和 SYSREF 在此图中称为*内部*时钟，因为在器件内部是与内部信号的相位对齐，而不是与器件时钟或 SYSREF 的外部（施加的）相位对齐。

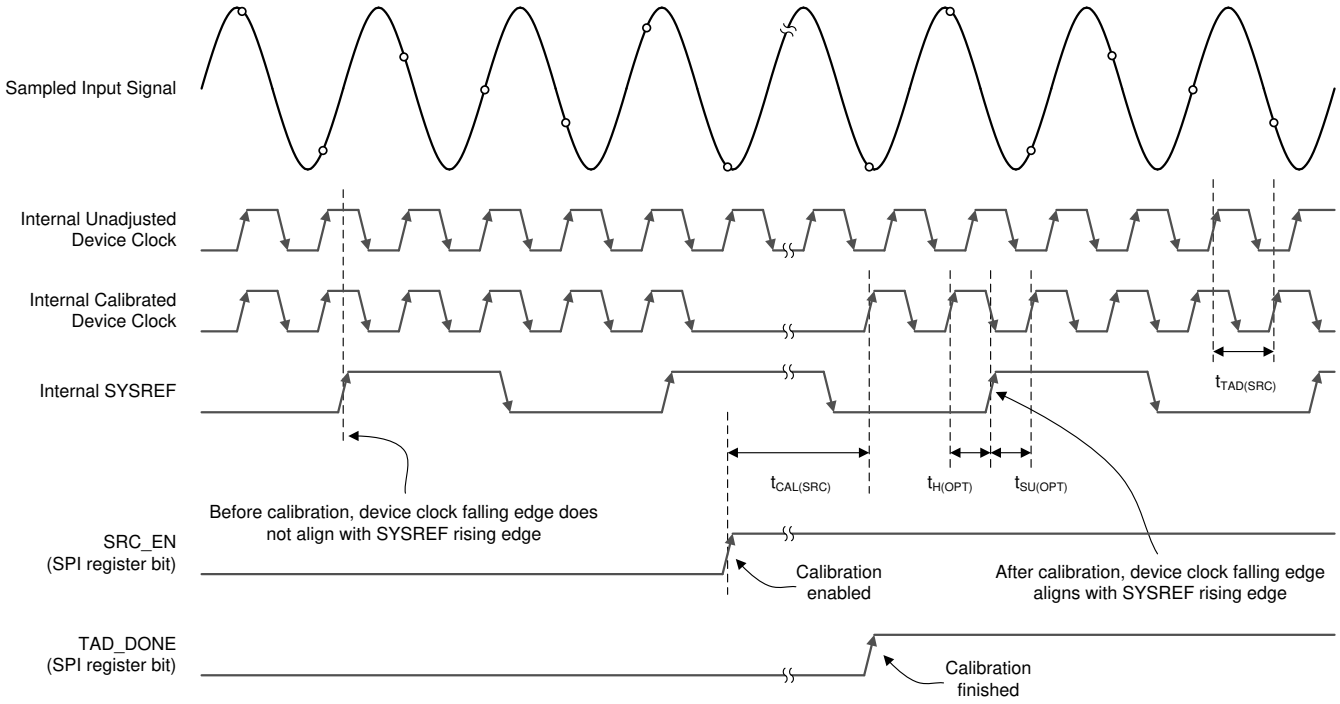


图 6-3. SYSREF 校准时序图

完成后，可以从 SYSREF 校准状态寄存器中的 SRC_TAD 读取通过自动 SYSREF 校准确定的 t_{AD} 调整设置。校准后，系统继续使用校准后的 t_{AD} 调整设置运行，直到系统断电。但是如果需要，用户可以禁用 SYSREF 校准并根据系统需求微调 t_{AD} 调整设置。或者，可在每个系统的最优 t_{AD} 调整设置的乘积测试（或定期重校准）时使用自动 SYSREF 校准。可在系统启动时将此值存储并写入 TAD 寄存器（TAD_INV、TAD_COARSE 和 TAD_FINE）。

当 ADC 校准正在运行时（前台或后台），请勿运行 SYSREF 校准。如果后台校准是所需的用例，请在使用 SYSREF 校准时禁用后台校准，然后在 TAD_DONE 变为高电平后重新启用后台校准。使用 SYSREF 校准时，时钟控制寄存器 0 中的 SYSREF_SEL 必须设置为 0。

SYSREF 校准使用非反相 (TAD_INV = 0) 和反相时钟极性 (TAD_INV = 1) 搜索 TAD_COARSE 延迟，以最大限度地降低所需的 TAD_COARSE 设置，从而最大限度地减小时钟路径上的损耗以减少孔径抖动 (t_{AJ})。

6.3.7 可编程 FIR 滤波器 (PFIR)

ADC 的输出可通过可编程有限脉冲响应 (PFIR) 数字滤波器发送，来实现频率响应均衡。可以将滤波器设置为几种工作模式，以在双通道模式下实现每个通道的独立均衡，在单通道模式下实现均衡，或在双通道模式下作为时变滤波器（例如用于 I/Q 校正）。表 6-7 中给出了各种 PFIR 工作模式。

表 6-7. PFIR 工作模式

PFIR 模式	中心抽头分辨率	中心抽头 LSB 权重	非中心抽头分辨率	非中心抽头 LSB 权重	滤波器系数
双通道均衡	18 位	2^{-16}	12 位	2^{-10}、2^{-11}...2^{-16}	每通道 9 个

Copyright © 2025 Texas Instruments Incorporated

表 6-7. PFIR 工作模式（续）

PFIR 模式	中心抽头分辨率	中心抽头 LSB 权重	非中心抽头分辨率	非中心抽头 LSB 权重	滤波器系数
单通道均衡	18 位	2^{-16}	12 位	2^{-10}、2^{-11}...2^{-16}	9
时变滤波器	18 位	2^{-16}	12 位	2^{-10}、2^{-11}...2^{-16}	每个系数集 9 个，2 个系数集

表 6-8 提供了各种 PFIR 模式的编程信息。系数被编程到 PFIR_Ax 和 PFIR_Bx 寄存器中。

表 6-8. 可编程 FIR 滤波器模式编程

PFIR 模式	PFIR_MODE	PFIR_SHARE	PFIR_MERGE
PFIR 已禁用	0	X	X
双通道均衡	2	0	0
单通道均衡	2	1	1
时变滤波器	2	0	1

6.3.7.1 双通道均衡

当 ADC 在*双通道模式*（基于 JMODE 设置）下运行时，可以在*双通道均衡*模式下设置 PFIR 滤波器。此模式可实现两个 ADC 通道的独立频率均衡。每个通道的滤波器包含 9 个可以单独设置的系数。每个滤波器的中心抽头的分辨率为 18 位，LSB 的权重为 2^{-16}。非中心抽头的分辨率为 12 位，可编程 LSB 权重为 2^{-10}、2^{-11}、2^{-12}、2^{-13}、2^{-14}、2^{-15} 或 2^{-16}。所有非中心抽头的 LSB 权重相同。图 6-4 所示为*双通道均衡*的方框图。

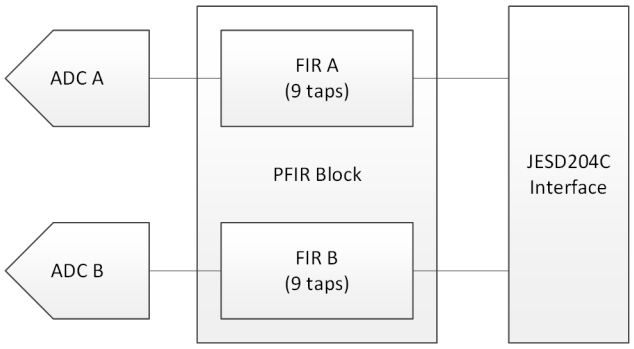


图 6-4. 双通道均衡 PFIR 方框图

6.3.7.2 单通道均衡

当 ADC 在*单通道模式*（基于 JMODE 设置）下运行时，可以在*单通道均衡*模式下设置 PFIR 滤波器。此模式可实现 ADC 的频率均衡。滤波器包含 9 个可以单独设置的系数。滤波器的中心抽头分辨率为 18 位、LSB 权重为 2^{-16}。非中心抽头的分辨率为 12 位，可编程 LSB 权重为 2^{-10}、2^{-11}、2^{-12}、2^{-13}、2^{-14}、2^{-15} 或 2^{-16}。所有非中心抽头的 LSB 权重相同。图 6-5 所示为*单通道均衡*的方框图。

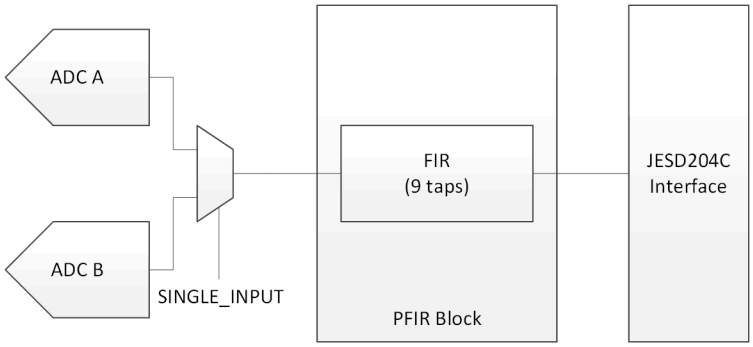


图 6-5. 单通道均衡 PFIR 方框图

Copyright © 2025 Texas Instruments Incorporated

6.3.7.3 时变滤波器

当 ADC 在*双输入单通道模式*（基于 JMODE 设置和 SINGLE_INPUT 设置）下运行时，可以在*时变滤波器*模式下设置 PFIR 滤波器。此模式支持具有两个系数集的时变滤波器，这两个系数集在每个样本之间交替变化。每个系数集包含 9 个可以单独设置的系数。滤波器的中心抽头分辨率为 18 位、LSB 权重为 2^{-16}。非中心抽头的分辨率为 12 位，可编程 LSB 权重为 2^{-10}、2^{-11}、2^{-12}、2^{-13}、2^{-14}、2^{-15} 或 2^{-16}。所有非中心抽头的 LSB 权重相同。*时变滤波器*模式的方框图如图 6-6 所示，备选方框图如所图 6-7 示，其中展示了 I/Q 校正类型拓扑中的等效滤波器。

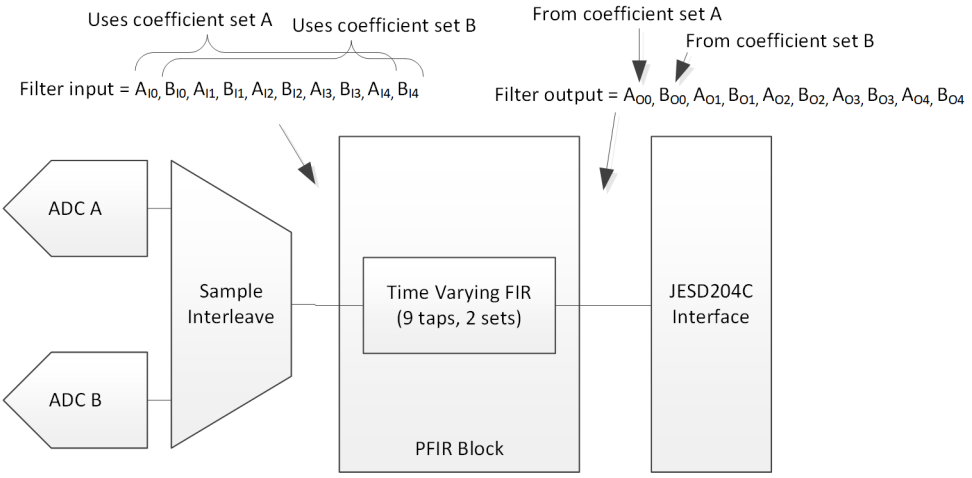


图 6-6. 时变滤波器 PFIR 方框图

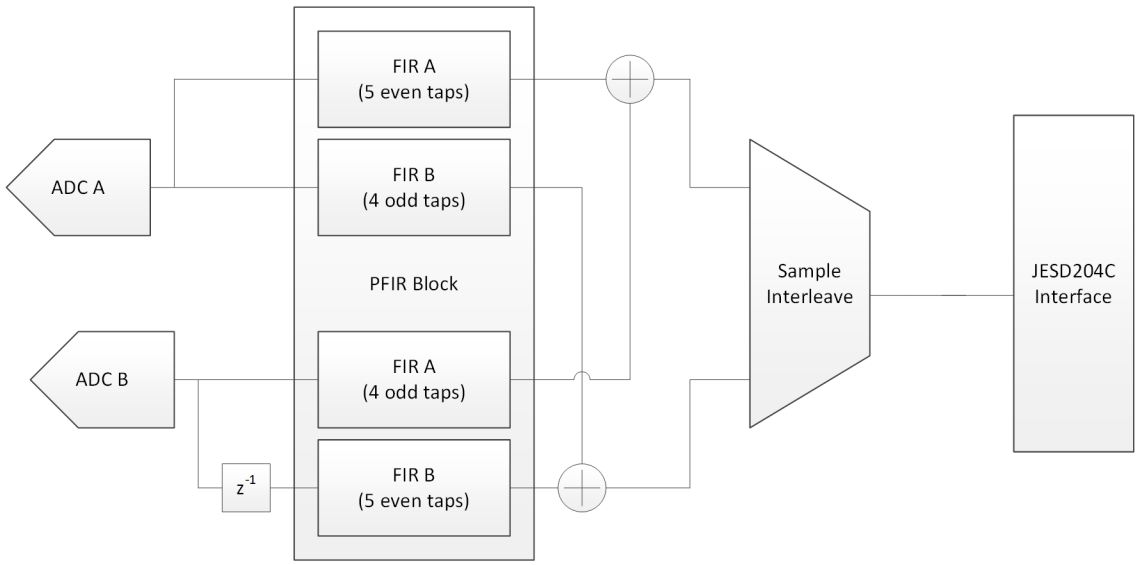


图 6-7. 备选 I/Q 校正型滤波器方框图

6.3.8 数字下变频器 (DDC)

在将模拟电压转换为数字值后，数字化样本可以直接发送到 JESD204C 接口块（DDC 旁路）或发送到数字下转换器 (DDC) 块以进行频率转换和抽取。DDC 块可用于双通道模式和单通道模式。频率转换和抽取支持选择特定的频带并减少通过数据接口发送的数据量。DDC 首先通过使用数控振荡器 (NCO) 作为本机振荡器 (LO) 执行复混频操作，将所需的频带混合到复基带 (0Hz)。然后，DDC 对基带信号进行低通滤波，以去除不需要的频率图像和任何可能混叠到所需频带中的信号。最后、它会抽取（下采样）数据以降低数据速率。请注意，滤波和抽取操作实际上作为单个操作在器件中执行。DDC 设计成具有足够高的精度，使数字处理不会降低 ADC 的噪声频谱密度

Copyright © 2025 Texas Instruments Incorporated

(NSD) 性能。图 6-8 展示了双通道模式下器件中的 DDC 块，而 图 6-9 展示了单通道模式下器件的 DDC 块。在双通道模式下，可以使用 DIG_BIND_x SPI 寄存器，可以选择每个 DDC 的输入数据使来自 ADC 通道 A 还是 ADC 通道 B。通道 B 具有相同的结构，其中输入数据由 DIG_BIND_B 选择，NCO 选择多路复用器由引脚 NCOB[1:0] 或通过 CSELB[1:0] 进行控制。在单通道模式下，只提供一个 DDC。

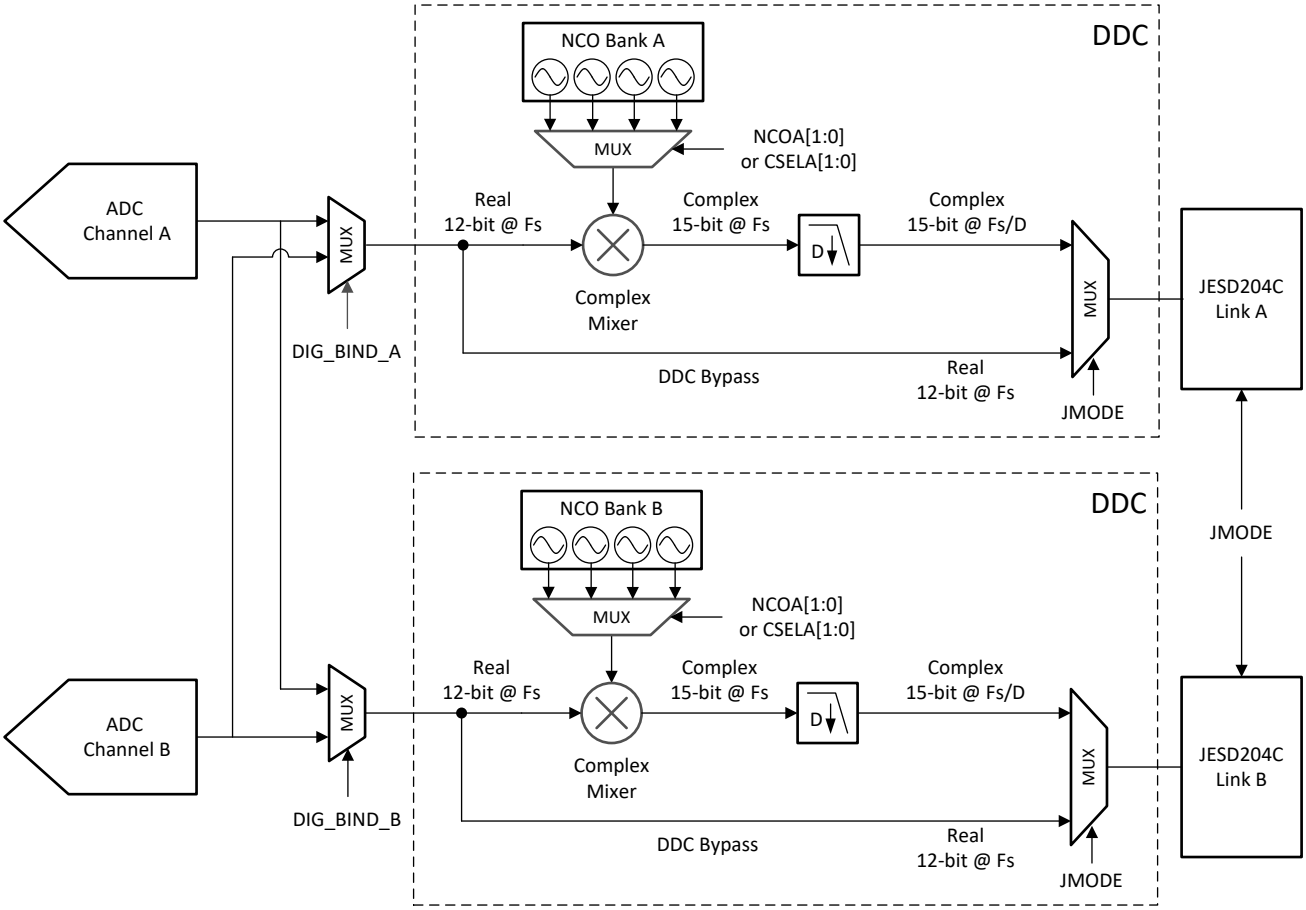


图 6-8. 双通道模式下的数字下变频块

Copyright © 2025 Texas Instruments Incorporated

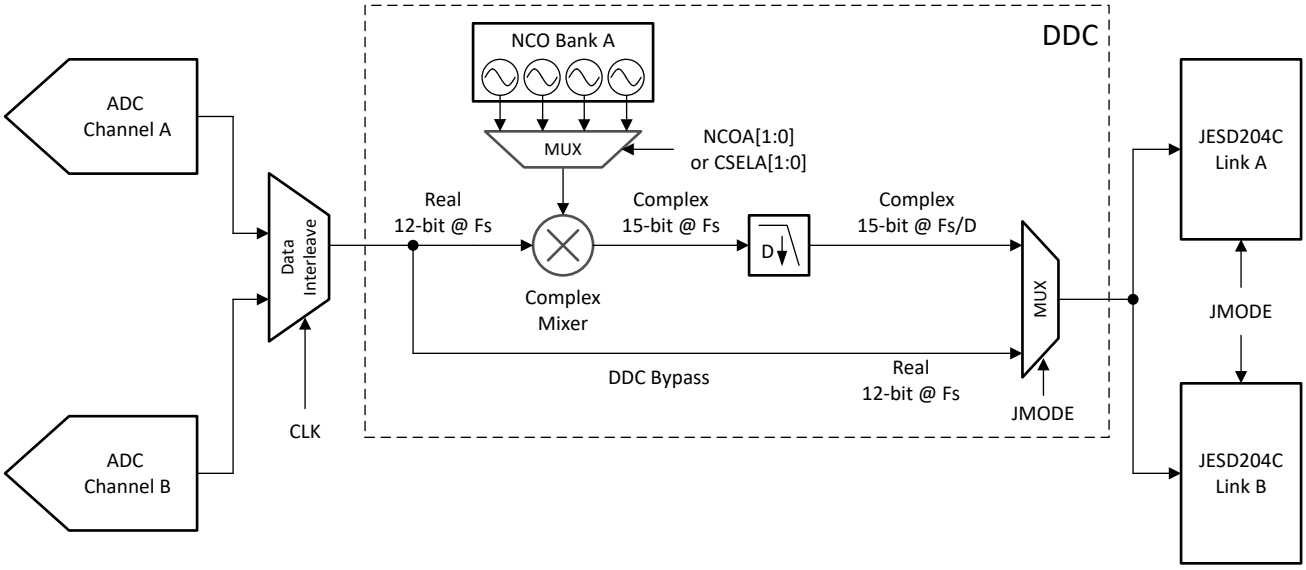


图 6-9. 单通道模式下的数字下变频块

6.3.8.1 舍入和饱和

在整个 DDC 中会使用舍入和饱和。采样四舍五入到最接近的输出代码。如果采样恰好在两个输出代码之间，则将四舍五入为偶数输出代码（收敛舍入）。此方法不会向舍入结果中引入偏置或统计直流偏移。

在 FIR 滤波器中，*仅*对滤波器输出进行舍入处理。不应进行中间四舍五入。

6.3.8.2 数控振荡器和复频混频器

DDC 包含一个复频数控荡器 (NCO) 和一个复频混频器。方程式 4 显示了由振荡器生成的复指数序列。

$$x[n] = e^{j\omega n} \tag{4}$$

频率 (ω) 由 32 位寄存器设置指定（请参阅基本 NCO 频率设置模式部分和合理 NCO 频率设置模式部分）。复指数序列乘以来自 ADC 的实数输入以将所需载波混合到等于 $f_{IN} + f_{NCO}$ 的频率，其中 f_{IN} 是混叠后的模拟输入频率（在欠采样系统中），f_{NCO} 是设定的 NCO 频率。

6.3.8.2.1 NCO 快速跳频 (FFH)

由于每个 DDC 都具有四个独立的 NCO，因此可以实现快速跳频 (FFH)，这些 NCO 可通过 DDC A 的 NCOA0 和 NCOA1 引脚以及 DDC B 的 NCOB0 和 NCOB1 引脚进行控制。每个 NCO 都具有独立的频率设置（请参阅*基本 NCO 频率设置模式* 部分）和可以单独设置的初始相位设置（请参阅 *NCO 相位偏移设置* 部分）。此外，所有 NCO 都具有独立的相位累加器，这些相位累加器在未选择特定 NCO 时继续运行，从而允许 NCO 在两次选择之间保持相位，这样下游处理就不需要在每次跳频后执行载波恢复。

当 NCO GPIO 引脚状态发生变化时，会发生 NCO 跳频。这些引脚是异步控制的，因此无法实现同步开关。图 6-10 中展示了相关的延迟，其中*开关特性* 表中提供了 t_{TX} 和 t_{ADC}。表 6-9 中的所有延迟仅为近似值。

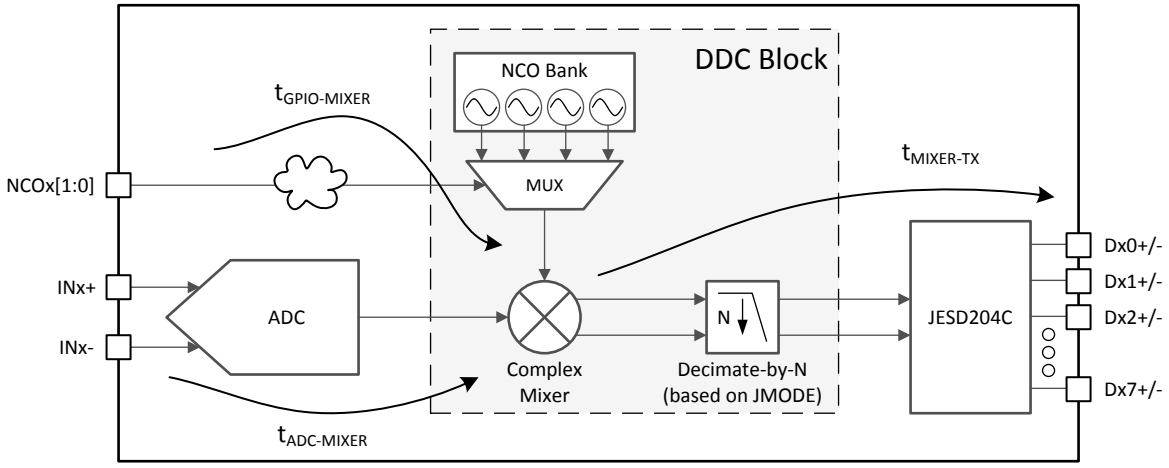


图 6-10. NCO 快速跳频延迟图

表 6-9. NCO 快速跳频延迟定义

延迟参数	价值或计算	单位
$t_{GPIO-MIXER}$	约 45 至约 68	t_{CLK} 周期数
$t_{ADC-MIXER}$	约 37	t_{CLK} 周期数
$t_{MIXER-TX}$	$(t_{TX} + t_{ADC})$ – $t_{ADC-MIXER}$	t_{CLK} 周期数

6.3.8.2.2 NCO 选择

在每个通道 DDC 内，有四种不同的频率和相位设置可供使用。四种设置中的每种设置使用 NCO 内的不同相位累加器。由于所有四相累加器都是独立的且持续运行的，因此可以在不同的 NCO 频率之间快速切换，从而实现相位相干跳频。

Copyright © 2025 Texas Instruments Incorporated

当 CMODE 设置为 1 时，通过 NCOA[1:0] 或 NCOB[1:0] 输入引脚选择每个通道使用的特定频率相位对。或者，可以将 CMODE 设置为 0（默认），依据 DDC A 的 CSELA，以及 DDC B 的 CSELB，通过 SPI 来选择所选的 NCO。表 6-10 中提供了 GPIO 和 SPI 选择选项的 NCO 选择逻辑表。

表 6-10. 使用 GPIO 或 SPI 的 NCO 选择逻辑表

NCO 选择	CMODE	NCOx1	NCOx0	CSELx[1]	CSELx[0]
使用 GPIO 的 NCO 0	1	0	0	X	X
使用 GPIO 的 NCO 1	1	0	1	X	X
使用 GPIO 的 NCO 2	1	1	0	X	X
使用 GPIO 的 NCO 3	1	1	1	X	X
使用 SPI 的 NCO 0	0	X	X	0	0
使用 SPI 的 NCO 1	0	X	X	0	1
使用 SPI 的 NCO 2	0	X	X	1	0
使用 SPI 的 NCO 3	0	X	X	1	1

每个相位累加器的频率可通过 FREQAx、FREQBx（x = 0 至 3）和可选的 NCO_RDIV 寄存器设置来独立设定。每个累加器的相位偏移可通过 PHASEAx 和 PHASEBx（x = 0 至 3）寄存器设置来独立设定。

6.3.8.2.3 基本 NCO 频率设置模式

在基本 NCO 频率设置模式下 (NCO_RDIV = 0x0000)，NCO 频率设置由 32 位寄存器值 FREQAx 和 FREQBx（x = 0 至 3）设置。如果可以使用 FREQBx 替代 FREQAx 来计算 DDC B 的 NCO 频率，则可以使用 方程式 5 计算 DDC A 的 NCO 频率。FREQAx 和 FREQBx 可以被视为二进制补码数（–2147483648 到 2147483647）或偏移二进制数（0 到 4294967295）。

$$f_{(NCO)} = FREQAx \times 2^{-32} \times f_{(DEVCLK)} \ (x = 0 - 3) \tag{5}$$

备注

在运行期间更改 FREQAx 和 FREQBx 寄存器设置会导致非确定性 NCO 相位。如果需要确定性相位，则必须重新同步 NCO；请参阅 *NCO 相位同步*部分。

6.3.8.2.4 合理 NCO 频率设置模式

在基本 NCO 频率模式下，频率步长很小并且可以合成许多频率，但有时应用需要介于两个频率步进之间的特定频率。例如，当 f_S 等于 2457.6MHz，且所需的 $f_{(NCO)}$ 等于 5.02MHz 时，FREQAx 的值为 8773085.867。截断小数部分会使 $f_{(NCO)}$ 等于 5.0199995MHz，这并不是所需的频率。

为了生成所需的频率，使用 NCO_RDIV 参数来强制相位累加器准确无误地达到特定频率。首先，选择适合所需 NCO 频率步进的频率步长 ($f_{(STEP)}$)。$f_{(STEP)}$ 的典型值为 10kHz。接下来，使用 方程式 6 对 NCO_RDIV 值进行编程。

$$NCO_RDIV = \frac{\left(f_{DEVCLK} / f_{STEP}\right)}{64} \tag{6}$$

方程式 6 的结果必须为整数值。如果该值不是整数，请调整任一参数，直到结果为整数值。

例如，为 NCO_RDIV 选择值 1920。

备注

大于 8192 的 NCO_RDIV 值会降低 NCO SFDR 性能，不建议使用。

Copyright © 2025 Texas Instruments Incorporated

现在使用 方程式 7 计算 FREQAx 寄存器值。

$$FREQAx = round\left(2^{32} \times f_{NCO} / f_{DEVCLK}\right) \quad (7)$$

或者，可以使用以下公式：

$$N = \frac{f_{(NCO)}}{f_{(STEP)}} \quad (8)$$

$$FREQAx = round\left(2^{26} \times N / NCO_RDIV\right) \quad (9)$$

表 6-11 列出了频率步进为 10kHz 的 NCO_RDIV 常见值。

表 6-11. 常见 NCO_RDIV 值（10kHz 频率步进）

f_{CLK} (MHz)	NCO_RDIV
2457.6	3840
1966.08	3072
1600	2500
1474.56	2304
1228.8	1920

6.3.8.2.5 NCO 相位偏移设置

每个 NCO 的 NCO 相位偏移设置通过 16 位寄存器值 PHASEAx 和 PHASEBx（其中 x = 0 到 3）来设置。该值左对齐到 32 位字段中，然后添加到相位累加器。

使用方程式 10 计算相位偏移（以弧度为单位）。

$$\Phi(rad) = PHASEA/Bx \times 2^{-16} \times 2 \times \pi \ (x = 0 \text{ to } 3) \quad (10)$$

6.3.8.2.6 NCO 相位同步

设置或更改 FREQAx 或 FREQBx 的值后，必须同步 NCO。在 JESD204C 链路初始化或采用 SYSREF 时，会根据 NCO_SYNC_ILA 和 NCO_SYNC_NEXT 的设置执行 NCO 同步。JESD204C 初始化过程和直流耦合和交流耦合 SYSREF 信号的 SYSREF 过程如下所示。

使用 JESD204C SYNC 信号（$\overline{SYNCSE}$ 或 TMSTP±）进行 NCO 同步。尽管 64B/66B 编码模式不使用 SYNC 信号初始化 JESD204C 链路，但此信号仍可用于 NCO 同步，方法如下：

1. 器件必须经过设定才能正常运行
2. 使用 SYNC 信号将 NCO_SYNC_ILA 设置为 1 以启用 NCO 同步
3. 将 JESD_EN 设置为 0
4. 将 FREQAx、FREQBx、PHASEAx 和 PHASEBx 设定为所需的设置
5. 在 JESD204C 接收器（逻辑器件）中，通过将 $\overline{SYNC}$ 设置为高电平来使 $\overline{SYNC}$ 信号无效
6. 将 JESD_EN 设置为 1
7. 在 JESD204C 接收器中将 $\overline{SYNC}$ 设置为低电平，将 $\overline{SYNC}$ 信号置为有效。这将在 8B/10B 编码模式下启动代码组同步 (CGS) 过程，或在 64B/66B 编码模式下启动触发器。
8. 实现 CGS 后（或准备好进行同步时），同时为所有 ADC 设置 $\overline{SYNC}$ 高电平来将 $\overline{SYNC}$ 信号置为无效，从而同步每个 ADC 中的 NCO。SYNC 信号必须满足所需的设置时间和保持时间（如*时序要求* 表中所指定）

Copyright © 2025 Texas Instruments Incorporated

使用 SYSREF 的 NCO 同步（直流耦合）：

1. 器件必须经过设定才能正常运行
2. 将 JESD_EN 设置为 1 以启动 JESD204C 链路（SYNC 信号可在 CGS 过程期间正常响应）
3. 将 FREQAx、FREQBx、PHASEAx 和 PHASEBx 设定为所需的设置
4. 验证 SYSREF 是否已禁用（保持低电平）
5. 通过将 NCO_SYNC_NEXT 设置为 1 来启用 NCO 同步
6. 向所有 ADC 发出单个 SYSREF 脉冲，以同步所有器件中的 NCO

使用 SYSREF 的 NCO 同步（交流耦合）：

1. 器件必须经过设定才能正常运行
2. 将 JESD_EN 设置为 1 以启动 JESD204C 链路（SYNC 信号可在 CGS 过程期间正常响应）
3. 将 FREQAx、FREQBx、PHASEAx 和 PHASEBx 设定为所需的设置
4. 连续运行 SYSREF
5. 通过对 SPI 写入结束时最后一个数据位 (LSB) 的 SCLK 上升沿进行计时，在所有 ADC 同时将 NCO_SYNC_NEXT 设置为 1 来启用 NCO 同步，以便 SCLK 上升沿发生在 SYSREF 上升沿之后，并且足够早地发生在下一个 SYSREF 上升沿之前，以便在下一个 SYSREF 上升沿（建议使用较长 SYSREF 期间）之前启用触发器
6. 所有 ADC 中的 NCO 由下一个 SYSREF 上升沿同步

6.3.8.3 抽取滤波器

抽取滤波器经过排列，可提供 4 或 8 的可编程整体抽取。所有抽取滤波器都对复杂数据（来自复杂数字混频器）进行处理，输出具有 15 位的分辨率。抽取滤波器采用线性相位有限脉冲响应 (FIR) 滤波器来实现。表 6-12 列出了每种抽取模式的有效输出采样率、可用信号带宽、输出格式和阻带衰减。

表 6-12. 输出采样率和信号带宽

抽取设置	$f_{(DEVCLK)}$				输出格式
	输出速率 (MSPS)	最大混叠保护信号带宽 (MHz)	阻带衰减	通带纹波	
无抽取（DDC 旁路）	$f_{(DEVCLK)}$	$f_{(DEVCLK)}/2$	—	< ±0.001dB	实信号、12 位数据
4 倍抽取率	$f_{(DEVCLK)}/4$	0.8 × $f_{(DEVCLK)}/4$	> 90dB	< ±0.001dB	复杂信号、15 位数据
8 倍抽取率	$f_{(DEVCLK)}/8$	0.8 × $f_{(DEVCLK)}/8$	> 90dB	< ±0.001dB	复杂信号、15 位数据
16 倍抽取率	$f_{(DEVCLK)}/16$	0.8 × $f_{(DEVCLK)}/16$	> 90dB	< ±0.001dB	复杂信号、15 位数据
32 倍抽取率	$f_{(DEVCLK)}/32$	0.8 × $f_{(DEVCLK)}/32$	> 90dB	< ±0.001dB	复杂信号、15 位数据

图 6-11 至 图 6-18 提供复合抽取滤波器响应。曲线中的黑色部分代表了响应的通带区域，也就是具备抗混叠保护功能的区域。曲线中的红色部分体现了响应的过渡区域，同时也涵盖了所有可能会混叠至过渡区域的频率区域。由于过渡区域不具备抗混叠保护功能，因此建议将目标信号仅放置于滤波器响应的通带区域内。曲线中的蓝色区域表示经过抽取操作后会混叠至通带的频率区域，故而可将其定义为频率响应的阻带区域。定义阻带衰减以充分过滤任何不需要的图像或信号，从而防止其混叠到所需的通带中。在模拟输入端口（即 INA± 或 INB±）前端设置模拟滤波器。此举一方面能对该频段内的信号作进一步衰减；另一方面可充分降低 ADC 输入端信号的强度，因为这些输入信号可能会产生谐波、交织杂散信号或其他非预期的杂散信号，这些杂散信号会（在复数混频和抽取操作前）混叠到目标信号频段中。

Copyright © 2025 Texas Instruments Incorporated

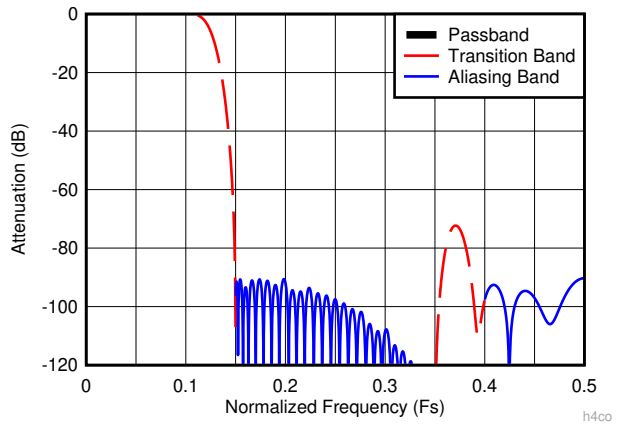


图 6-11. 4 倍抽取复合响应

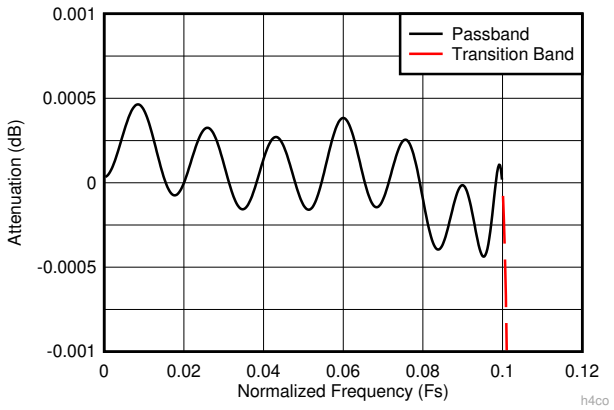


图 6-12. 4 倍抽取复合放大通带响应

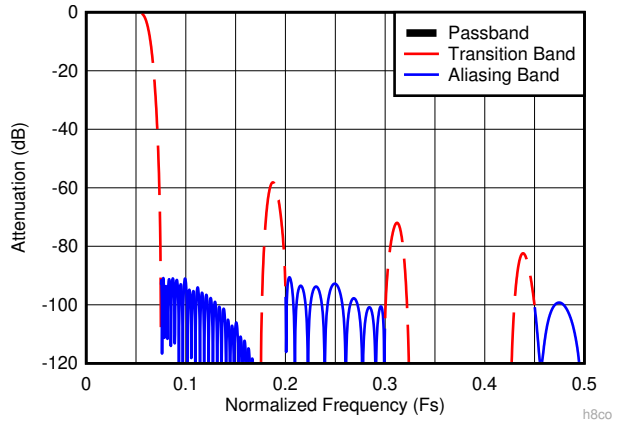


图 6-13. 8 倍抽取复合响应

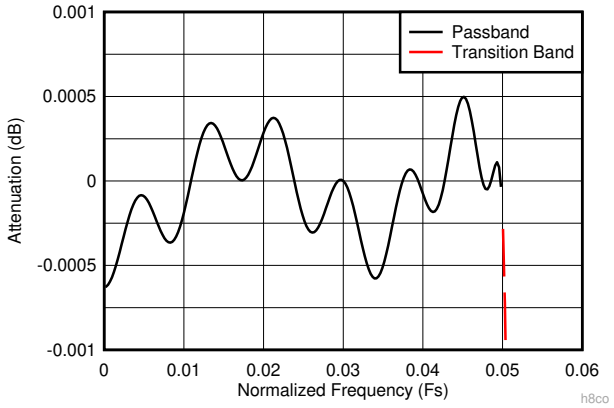


图 6-14. 8 倍抽取复合放大通带响应

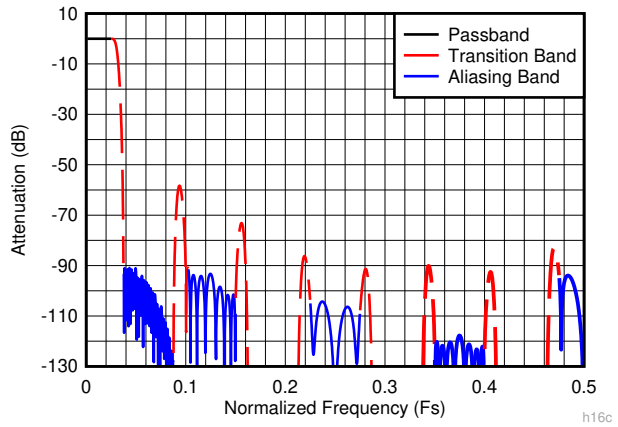


图 6-15. 16 倍抽取复合响应

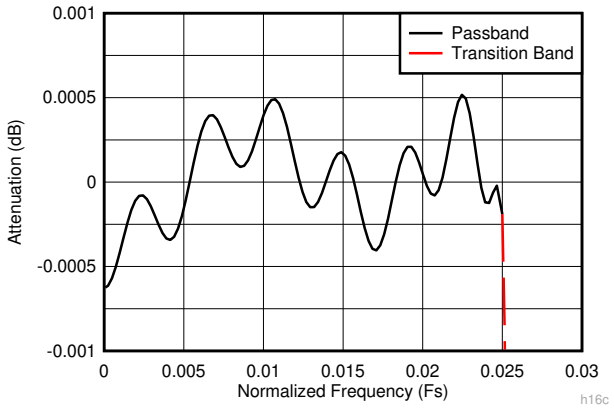


图 6-16. 16 倍抽取复合放大通带响应

Copyright © 2025 Texas Instruments Incorporated

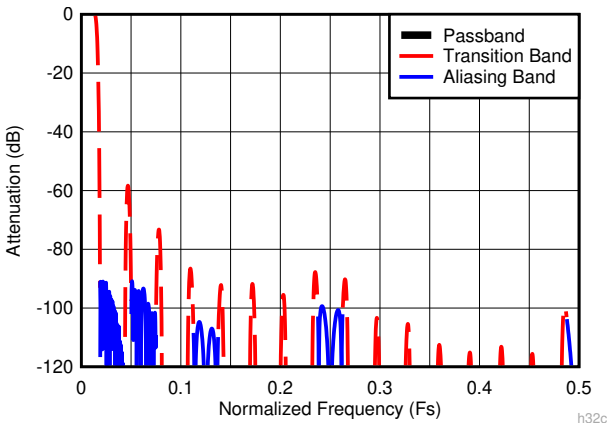


图 6-17. 32 倍抽取复合响应

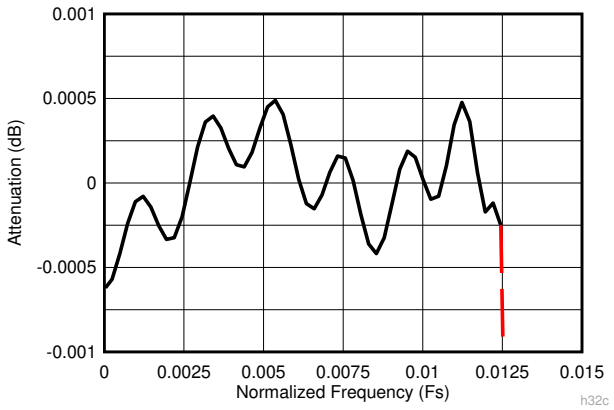


图 6-18. 32 倍抽取复合放大通带响应

为了实现最高效率，系统配置了一组高速滤波器块与用于每个抽取设置的特定块一起实现图 6-11 至图 6-18 中所示的复合响应。表 6-13 描述了用于每个抽取设置的滤波器块组合，表 6-14 列出了每个滤波器块的系数详细信息和抽取因子。系数是对称的，中心抽头用粗体文本表示。

表 6-13. 抽取模式滤波器用法

抽取设置	使用的滤波器块（按操作顺序列出）
4	CS40、CS80
8	CS20、CS40、CS80
16	CS10、CS20、CS40、CS80
32	CS5、CS10、CS20、CS40、CS80

Copyright © 2025 Texas Instruments Incorporated

表 6-14. 滤波器系数详细信息

滤波器系数集（滤波器的抽取因子、比例因子）									
CS5 (2, 2^{-5})		CS10 (2, 2^{-11})		CS20 (2, 2^{-14})		CS40 (2, 2^{-17})		CS80 (2, 2^{-19})	
-1	-1	-65	-65	109	109	-327	-327	-37	-37
0	0	0	0	0	0	0	0	0	0
9	9	577	577	-837	-837	2231	2231	118	118
16		**1024**		0	0	0	0	0	0
				4824	4824	-8881	-8881	-291	-291
				8192		0	0	0	0
						39742	39742	612	612
						65536		0	0
								-1159	-1159
								0	0
								2031	2031
								0	0
								-3356	-3356
								0	0
								5308	5308
								0	0
								-8140	-8140
								0	0
								12284	12284
								0	0
								-18628	-18628
								0	0
								29455	29455
								0	0
								-53191	-53191
								0	0
								166059	166059
								262144	

6.3.8.4 输出数据格式

DDC 输出数据由 15 位复杂数据加上两个超范围阈值检测控制位组成。表 6-15 显示了 DDC 模式的数据输出格式。

表 6-15. 复杂抽取输出采样格式

I/Q 采样	16 位输出字															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	DDC 同相 (I) 15 位输出数据															OVR_T0
Q	DDC 正交 (Q) 15 位输出数据															OVR_T1

6.3.8.5 抽取设置

6.3.8.5.1 抽取因子

抽取设置可以通过以下设置进行调整，并由 JMODE 参数进行设置。有关可用的 JMODE 值和相应的抽取设置，请参阅 工作模式 。

- DDC 旁路：无抽取、实时输出
- 4 倍抽取率：复合输出
- 8 倍抽取率：复合输出
- 16 倍抽取率：复合输出
- 32 倍抽取率：复合输出

Copyright © 2025 Texas Instruments Incorporated

6.3.8.5.2 DDC 增益提升

DDC 增益提升（请参阅 DDC 配置寄存器）通过 DDC 块提供额外的增益。将 BOOST 设置为 1 会将总抽取滤波器链增益设置为 6.02dB。设置为 0 时，总抽取滤波器链的增益为 0dB。仅当输入信号的负图像被抽取滤波器滤除时才使用该设置，否则可能会发生削波。启用或禁用增益增强时，模拟性能并不会降低，但必须注意了解基准输出功率，以便进行正确的性能计算。

6.3.9 JESD204C 接口

ADC12DJ5200-EP 使用 JESD204C 高速串行接口，可在数据转换器中将数据从 ADC 传输到接收逻辑器件。许多现有的 JESD204C 输出格式可与现有的 JESD204B 接收器向后兼容，其中涵盖了 ADC12DJ2700 和 ADC12DJ3200 中多种 JESD204B 模式。器件串行通道能够以 8B/10B 编码和 64B/66B 编码运行。最多可使用 16 个通道来降低与速度受限逻辑器件连接时的通道速率。8B/10B 和 64B/66B 编码的 JESD204C 之间存在一些差异，本节将介绍这些差异。图 6-19 展示了 8B/10B 编码的 JESD204C 接口的简化方框图，图 6-20 展示了 64B/66B 编码的 JESD204C 接口的简化方框图。

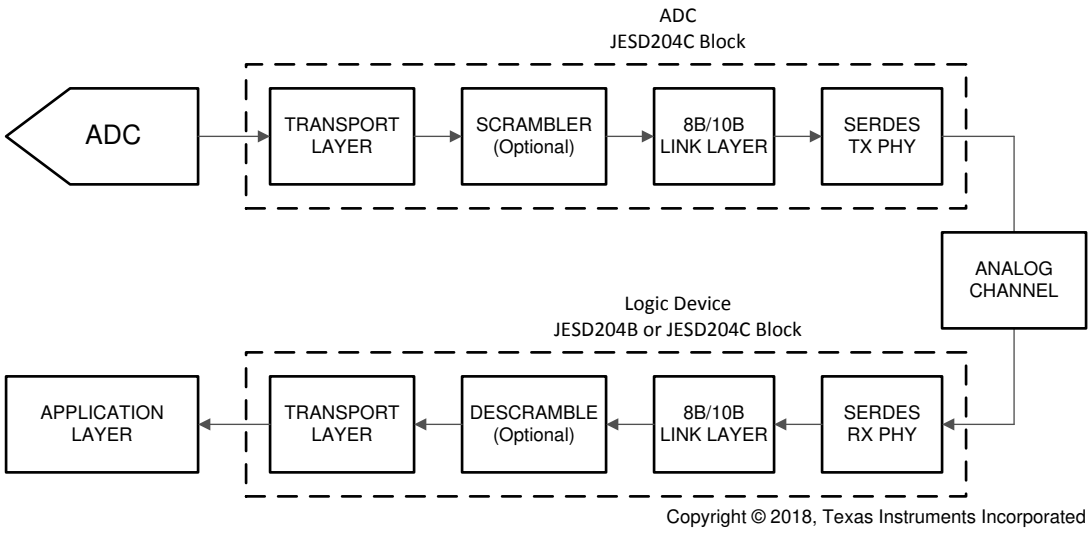


图 6-19. 8B/10B 编码的 JESD204C 简化接口图

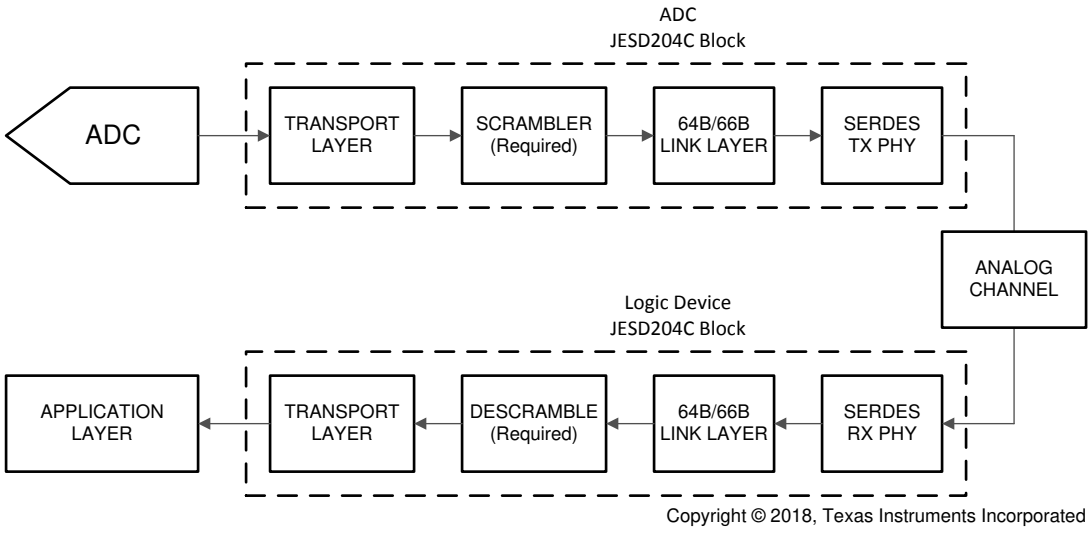


图 6-20. 64B/66B 编码的 JESD204C 简化接口图

表 6-16 中简要总结了 JESD204C 接口中使用的各种信号以及相关器件引脚名称以供参考。大多数信号都能在 8B/10B 和 64B/66B 编码的 JESD204C 之间通用，但 $\overline{\text{SYNC}}$ 除外，在 64B 或 66B 编码时，实现块同步不需要该信号。已编码到数据流中的同步标头可用于块同步，而不是 $\overline{\text{SYNC}}$ 信号。

表 6-16. JESD204C 信号总结

信号名称	引脚名称	8B/10B	64B/66B	说明
数据	DA[7:0]+、DA[7:0]–、DB[7:0]+、DB[7:0]–	是	是	8B/10B 或 64B/66B 编码后的高速串行化数据
$\overline{\text{SYNC}}$	$\overline{\text{SYNCSE}}$、TMSTP+、TMSTP–	是	否	链路初始化信号（握手），切换为低电平以启动代码组同步 (CGS) 过程。不用于 64B/66B 编码模式，除非用于 NCO 同步。
器件时钟	CLK+、CLK-	是	是	ADC 采样时钟，也用于为数字逻辑和输出串行器计时。
SYSREF	SYSREF+、SYSREF–	是	是	用于确定性复位每个 JESD204C 器件中的内部本地多帧时钟 (LMFC) 或本地扩展多块时钟 (LEMC) 计数器的系统计时参考

该器件并不支持 JESD204C 的所有可选特性。表 6-17 中提供了受支持特性和不受支持特性的列表。

表 6-17. 支持的 JESD204C 特性声明

字母标识符	参考条款	特性	在 ADC12DJ5200-EP 中支持
a	第 8 条	8B/10B 链路层	支持
b	第 7 条	64B/66B 链路层	支持
c	第 7 条	64B/80B 链路层	不支持
d	第 7 条	使用 64B/66B 或 64B/80B 链路层时的命令通道	不支持
e	第 7 条	使用 64B/66B 或 64B/80B 链路层时的前向纠错 (FEC)	支持
f	第 7 条	使用 64B/66B 或 64B/80B 链路层时的 CRC3	不支持
g	第 8 条	使用 8B/10B 链路层时的物理 $\overline{\text{SYNC}}$ 引脚	支持
h	第 7 条，第 8 条	子类 0	不受支持，但子类 1 发送器与子类 0 接收器兼容
i	第 7 条，第 8 条	子类 1	支持
j	第 8 条	子类 2	不支持
k	第 7 条，第 8 条	单个链路中的通道对齐	支持
l	第 7 条，第 8 条	子类 1，通过 MULTIREF 信号支持多点链路上的通道对齐	不支持
m	第 8 条	$\overline{\text{SYNC}}$ 接口时序与 JESD204A 兼容	支持
n	第 8 条	$\overline{\text{SYNC}}$ 接口时序与 JESD204B 兼容	支持

6.3.9.1 传输层

传输层从 ADC 输出获取样本，并将样本映射到帧内的八位位组。传输层对于 8B/10B 和 64B/66B 编码模式都是通用的。然后，将这些帧映射到可用的通道。八位位组到帧和帧到通道的映射由传输层设置（例如 L、M、F、S、N 和 N'）定义。八位位组为 8 位（在 8B/10B 或 64B/66B 编码之前），帧由 F 八位位组组成，帧映射到 L 通道。样本为 N 位，但通过链路以 N' 位的形式发送。样本来自 M 转换器，每个转换器每帧周期有 S 个样本。有时为了获得更理想的映射，M 会被人为地增大，例如，对于长帧，M 值越大，延迟越短。

Copyright © 2025 Texas Instruments Incorporated

在 操作模式 中定义的器件中有许多预定义的传输层模式。表 6-21 中介绍了器件中传输层的高级配置参数。只需设置 JMODE 寄存器，即可选择传输层模式。作为参考，表 6-22 中定义了 JESD204C 的各种配置参数。

当使用 8B/10B 编码时，链路层会进一步将帧映射为多帧，而当使用 64B/66B 编码时、则会映射为块、多块和扩展多块。

6.3.9.2 扰频器

在通道中传输数据之前，数据扰频器可用于对数据进行扰频。扰频用于避免因重复数据流而导致在传输的数据中出现频谱峰值。扰频器对于 8B/10B 编码模式是可选的，但对于 64B/66B 编码模式是必需的，以便有足够的频谱内容用于时钟恢复和自适应均衡，并保持直流平衡，允许发射器与接收器进行交流耦合。扰频器在编码前对数据进行操作，以使 8B/10B 扰频器在 10 位编码前对 8 位的八位位组进行扰频，64B/66B 扰频器在同步标头插入（66 位编码）之前对 64 位块进行扰频。JESD204C 接收器会自动将其解扰器与传入的扰频数据流同步。对于 8B/10B 编码，初始通道对齐序列 (ILA) 绝不会进行扰频。可通过为 8B/10B 编码模式设置 SCR（在 JESD204C 控制寄存器中）来启用扰频，但是，扰频会在 64B/66B 模式下自动启用。对于由 JESD204C 标准定义的 8B/10B 编码以及 64B/66B 编码方案，扰频多项式是不同的。

6.3.9.3 链路层

链路层在 JESD204C 中为 8B/10B 和 64B/66B 编码方案提供多种用途，但是每种编码方案的实现存在一些差异。一般而言，链路层的职责包括：对数据换序（请参阅扰频器）、建立代码 (8B/10B) 或块 (64B/66B) 边界以及多帧 (8B/10B) 或多块 (64B/66B) 边界、初始化链路、对数据进行编码以及监控链路运行状况。本部分分为 8B/10B 部分（8B/10B 链路层）和 64B/66B 部分（64B/66B 链路层），叙述了每种编码方案的特定实现。

6.3.9.4 8B/10B 链路层

本部分介绍了 8B/10B 编码工作模式的链路层，包括字符、帧和多帧边界的初始化、通道对齐、8B/10B 编码以及运行期间帧和多帧对齐的监控。

6.3.9.4.1 数据编码 (8B/10B)

数据链路层会将传输层的 8 位八位位组转换为 10 位字符，以便使用 8B/10B 编码在链路中进行传输。8B/10B 编码指定了直流平衡，从而允许在串行器/解串器发送器和接收器之间使用交流耦合，并为接收器维持足够数量的边沿转换，以可靠地恢复数据时钟。8B/10B 编码还提供了一些错误检测，因为字符中的一位错误可能会导致无法找到 8B/10B 解码器查找表中的 10 位字符或字符视差不正确。

6.3.9.4.2 多帧和本地多帧时钟 (LMFC)

传输层的帧合并为多帧，用于在子类 1 实现中实现确定性延迟的过程。多帧的长度由 K 参数设置，该参数定义了多帧中的帧数。JESD204C 将每个多帧的最大允许帧数 (K) 从 JESD204B 中的 32 增加到 JESD204C 中的 256，从而允许使用更长的多帧来满足确定性延迟要求。K 的总允许范围由不等式 ceil(17/F) ≤ K ≤ min (256, floor (1024/F)) 定义，其中 ceil() 和 floor() 分别是上限和下限函数。本地多帧时钟 (LMFC) 会跟踪多帧的开始和结束，以实现确定性延迟和数据同步。LMFC 由 SYSREF 信号重置为发送器和接收器中的确定性相位，用作确定性延迟的时序基准。方程式 11 中给出了 LMFC 时钟频率，其中 f_{BIT} 是串行器/解串器接口的串行比特率（线速率），F 和 K 如上所定义。当使用 8B/10B 编码模式时，如果 SYSREF 是连续信号，SYSREF 的频率必须等于 f_{LMFC} 或者是其整数分频。

$$f_{LMFC} = f_{BIT} / (10 \times F \times K) \tag{11}$$

6.3.9.4.3 代码组同步 (CGS)

初始化 JESD204C 链路的第一步是在 LMFC 被 SYSREF 确定性复位后，让接收器找到通过每个串行器/解串器通道发送的编码 10 位字符的边界。此过程称为代码组同步 (CGS)。当准备好初始化链路时，接收器首先使 $\overline{SYNC}$ 信号变为有效（设置为逻辑“0”）。发送器通过发送一连串 K28.5 逗号字符来响应请求。接收器将其字符时钟与 K28.5 字符序列对齐，并在成功接收四个连续的 K28.5 字符后实现 CGS。在实现 CGS 后，接收器在下一个 LMFC 边沿使 $\overline{SYNC}$ 变为无效（设置为逻辑“1”），并等待发送器启动初始通道对齐序列 (ILAS)。

Copyright © 2025 Texas Instruments Incorporated

6.3.9.4.4 初始通道对齐序列 (ILAS)

在发送器检测到 SYNC 信号无效（逻辑“0”到逻辑“1”的转换）后，它会一直等到其下一个 LMFC 边沿开始发送初始通道对齐序列 (ILAS) 为止。ILAS 由四个多帧组成，每个多帧都包含预定的序列。接收器会搜索 ILAS 的起始位置以确定帧和多帧边界。ILAS 的每个多帧都以 /R/ 字符 (K28.0) 开头，以 /A/ 字符 (K28.3) 结尾，并且可以使用其中任一字符检测多帧的边界。一旦 ILAS 到达接收器，每个通道便会开始在弹性缓冲器中缓冲其数据，从 /R/ 字符开始，直到所有接收器都接收到 ILAS，然后同时从所有通道中释放 ILAS 以对齐这些通道。选择弹性缓冲器释放点是为了避免因数据延迟变化（ILAS 到达每个通道的接收器）而导致数据释放的模糊性。ILAS 的第二个多帧包含 JESD204C 链路配置的配置参数，接收器可以使用这些参数来验证发送器和接收器配置是否匹配。

6.3.9.4.5 帧和多帧监控

在使用 8B/10B 编码时，ADC12DJ5200-EP 支持帧和多帧监控，以验证 JESD204C 链路的运行状况。该方案根据扰频的使用而变化。先介绍禁用扰频时的实现方案。如果当前帧的最后一个八位位组与前一帧的最后一个八位位组匹配，则当前帧的最后一个八位位组被编码为 /F/ (K28.7) 字符。如果当前帧也是多帧的最后一个帧，则改用 /A/ (K28.3) 字符。正常数据流中不应出现 /F/ 或 /A/ 字符，除非被发送器替换以监控对齐情况。当接收器在正常数据流中检测到 /F/ 或 /A/ 字符时，接收器会检查相应字符是否出现在帧或多帧的预期结束位置。如果相应字符并未出现在帧或多帧的结束位置，则表明发送器或接收器未对齐。接收器在接收到正确对齐的 /F/ 或 /A/ 字符时将对齐字符替换为适当的数据字符。相应的数据字符是之前接收到的帧的最后一个八位位组。这种方案会增加非扰频数据流的对齐字符的概率。

启用扰频时的实现略有不同，因为八位位组将随机排列。如果某个帧的最后一个八位位组是 0xFC（在 8B/10B 编码之前），则发送器会将该八位位组编码为 /F/ (/K28.7/) 字符。如果某个多帧的最后一个八位位组是 0x7C（在 8B/10B 编码之前），则发送器会将该八位位组编码为 /A/ (/K28.3/) 字符。监控 /A/ 和 /F/ 字符的位置，以验证帧和多帧对齐是否正确。接收器只需将 /F/ 字符替换为 0xFC 八位位组以及将 /A/ 字符替换为 0x7C 八位位组，即可替换对齐字符。

如果多个对齐字符出现在错误的位置或未按预期出现，则接收器会报告错误。在检测到帧或多帧未对齐时，接收器会通过发出 SYNC 来触发链路重新对齐。在重新启动链路之前，还应重新发出 SYSREF 以验证发送器和接收器中的 LMFC 是否正确对齐。

6.3.9.5 64B/66B 链路层

本部分介绍了 64B 或 66B 编码工作模式的链路层，其中包括数据换序、添加同步标头（64B 或 66B 编码）、块和多块结构、同步标头、循环冗余校验 (CRC)、前向纠错 (FEC) 和链路对齐。

6.3.9.5.1 64B/66B 编码

传输层形成的帧被封装到长度为 8 个八位组的块 (64 位) 中。对这个 64 位块进行扰频，然后附加一个 2 位同步标头 (SH)，构成一个 66 位传输块。通过在块的结束处作标记、校验循环冗余 (CRC)、前向纠错 (FEC) 或命令通道，能让同步标头与块同步。块结构如 表 6-18 所示，其中 SH 表示附加的 2 位同步标头。

表 6-18. 带同步标头的 64B/66B 块结构

SH	OCTET0	OCTET1	OCTET2	OCTET3	OCTET4	OCTET5	OCTET6	OCTET7
[0:1]	[2:9]	[10:17]	[18:25]	[26:33]	[34:41]	[42:49]	[50:57]	[58:65]

6.3.9.5.2 多块、扩展多块和本地扩展多块时钟 (LEMC)

多区块是一个 32 块容器，由 32 个块连接而成。扩展多块是多个多块的连接，其中 E 定义扩展多块中的多块数量。帧可以在块和多块之间拆分，但扩展多块中帧的数量必须为整数。只有当多块没有整数个帧时，才需要对其进行扩展。因为多块包含整数个帧，如果未使用扩展多块，则 E 参数等于 1 表示扩展多块中有一个多块。ADC12DJ5200-EP 不支持大于 1 的 E 值。

扩展多块类似于 8B/10B 传输层中的多帧。本地扩展多块时钟 (LEMC) 会跟踪多块的开始和结束，以实现确定性延迟和数据同步，其方式与 LMFC 在 8B/10B 编码模式下跟踪多帧的开始和结束方式相同。LEMC 由 SYSREF 信号重置为发送器和接收器中的确定性相位，用作确定性延迟的时序基准。方程式 12 中给出了 LEMC 时钟频率，其

Copyright © 2025 Texas Instruments Incorporated

中 f_{BIT} 是串行器/解串器接口的串行比特率（线速率）。当使用 64B/66B 编码模式时，如果 SYSREF 是连续信号，SYSREF 的频率必须等于 f_{LMFC} 或者是其整数分频。

$$f_{LEMC} = f_{BIT} / (66 \times 32 \times E) \quad (12)$$

6.3.9.5.3 使用同步报头的模块、多块和扩展多块对齐

同步标头包含两个始终彼此相反的位（01 或 10）。JESD204C 接收器可以通过查找始终包含 0 至 1 或 1 至 0 切换的 66 位边界来查找块边界。尽管 0 至 1 和 1 至 0 切换发生在一个块中的其他位置，但序列不可能长时间出现在连续块中的固定位置，除非是正确的同步标头位置。同步标头会显示块的起始位置，也可用于监控块对齐情况。如果在块的假定同步标头位置看到一个 00 或 11 位序列，则块对齐可能已丢失。在向所有器件发送 SYSREF 复位 LEMC 对齐后，多次出现不正确的同步标头位会触发同步标头的搜索。

01 的同步标头 ([0 : 1]) 对应于 1 的传输，而 10 的同步标头对应于 0 的传输。从多块中的每个块的同步标头发送的位组合成一个称为同步标头流的 32 位字。同步标头流用于与用户数据并行发送数据，以便在标记多块和扩展多块的边框后能同步链接。此外，同步标头流要么提供 CRC 或 FEC，或者提供一个命令通道。器件支持 CRC-12 和 FEC，但不支持 CRC-3 或命令通道。

32 位同步标头流始终以 00001 位序列结束，该序列称为多块末尾 (EoMB) 信号，表示多块末尾。在 CRC 和命令通道模式中，00001 序列永远不会发生在同步标头流的任何其他位置。在 FEC 模式中，一个 00001 序列可能出现在同步标头流中的另一个位置，但是在多个多块序列中，不可能在同一位置看到 00001 序列。因此，在 FEC 模式中，可能需要多个多块才能找到多块的末尾。通过监测同步标头流的位 22（即 EoEMB 位），可以找到所有模式下扩展多块的末尾，该位会显示设置为 1 时扩展多块的末尾。在 CRC 和命令通道模式中，EoMB (00001) 和 EoEMB 信号以及同步标头流中的固定 1 构成同步标头流的导频信号。

在以下各部分中解释了各种形式的同步标头流的定义格式。

6.3.9.5.3.1 循环冗余校验 (CRC) 模式

在传输过程中，循环冗余校验 (CRC) 模式可用于检测潜在的位错误。JESD204C 需要支持 12 位字 CRC-12 模式，而 3 位字 CRC-3 模式是可选的。器件不支持 CRC-3 模式，因此本部分仅针对 CRC-12 模式。发送器根据多块的 32 个块的扰频数据位计算 CRC-12 奇偶校验位。然后，12 位 CRC 奇偶校验字在下一个多块的同步标头流中发送。接收器计算已接收到的多块的 12 位奇偶校验字，并将其与下一个多块接收到的 12 位奇偶校验字进行比较。在比较后若有差异，则表明在接收到的数据位或接收到的 12 位奇偶校验字中至少有一个误差。在多块第一个数据位中，检测位错误的最小延迟为 46 个块。

使用 CRC-12 模式时同步标头流的映射如 表 6-19 所示。CRC[x] 对应于 12 位 CRC 字的位 x。CMD[x] 对应于 7 位命令字的位 x，其在器件中始终设置为 0。同步标头流末尾的 00001 位序列是用于标识多块结束的导频信号。整个同步接头中出现的 1 确保只能在同步标头的末尾看到导频信号，从而仅在接收到单个多块后实现多块对齐。EoEMB 是扩展多块结束位，对于扩展多块的最后一个多块，该位设置为 1。

表 6-19. CRC-12 模式的同步标头流位映射

位	功能	位	功能	位	功能	位	功能
0	CRC[11]	8	CRC[5]	16	Cmd[6]	24	Cmd[2]
1	CRC[10]	9	CRC[4]	17	Cmd[5]	25	Cmd[1]
2	CRC[9]	10	CRC[3]	18	Cmd[4]	26	Cmd[0]
3	1	11	1	19	1	27	0
4	CRC[8]	12	CRC[2]	20	Cmd[3]	28	0
5	CRC[7]	13	CRC[1]	21	1	29	0
6	CRC[6]	14	CRC[0]	22	EoEMB	30	0
7	1	15	1	23	1	31	1

Copyright © 2025 Texas Instruments Incorporated

CRC-12 编码器采用由 32 个扰频块（2048 位）组成的多块，并使用 方程式 13 提供的生成器多项式计算 12 位奇偶校验字。多项式足以检测跨越任何距离的多块中的所有 2 位误差以及长度长达 12 位的突发错误序列。在多块中未检测到跨越任何距离的 3 位误差的概率约为 0.004%。

$$0x987 == x^{12}+x^{9}+x^{8}+x^{3}+x^{2}+x+1 \quad (13)$$

CRC-12 的完整奇偶校验位生成如 图 6-21 所示。输入是基于多块的 32 个扰码块构建的 2048 位序列（不包括同步标头）。在处理完整的 2048 位序列后，从 S_x 块获取 12 位奇偶校验字 CRC[11：0]。在处理每个多块之前，S_x 块用 0 初始化。更多有关 CRC-12 奇偶校验字生成的信息，请参阅 JESD204C 标准。

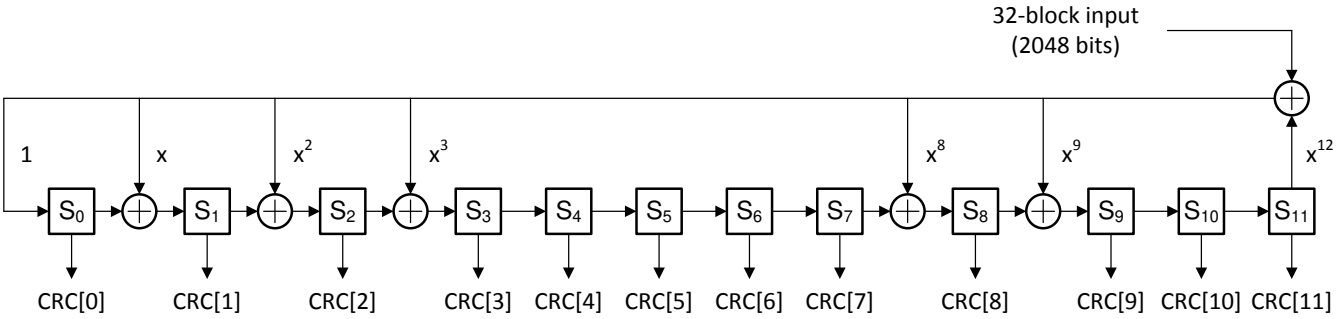


图 6-21. CRC-12 奇偶校验位发生器

6.3.9.5.3.2 正向纠错 (FEC) 模式

正向纠错 (FEC) 是 JESD204C 中的可选功能，受器件支持。鉴于 CRC-12 模式只能检测链路上的错误，FEC 能够检测并校正错误，从而提高错误敏感型应用的误码率 (BER)。许多应用可以容忍随机位错误，不过一些应用（例如示波器）依靠长时间无错误测量来检测来自被测器件 (DUT) 的特定响应。这些应用中的错误可能会导致对响应的误报检测。

一个包含 32 个块（2048 位）的扰频多块被输入到 FEC 奇偶校验位发生器中，因此生成 26 位奇偶校验字。在下一个多块的同步标头流中发送奇偶校验字。然后，接收器计算其自身的 26 位奇偶校验字，并计算本地生成的奇偶校验字与所接收的奇偶校验字之间的差值，这称为接收位故障。如果综合征为 0，则假定已正确接收所有位，而除 0 之外的任何值都表示数据位或奇偶校验字中至少有一个错误。如果综合征为非零，则可用于确定最可能的误差，然后纠正误差。从一个位错误到检测和校正多块第一个位中的位错误的最小延迟为 58 个块。

使用 表 6-20 中所述的 FEC 模式映射同步标头流。FEC[x] 对应于 26 位 FEC 字的位 x。同步标头流末尾的 00001 位序列是用于标识多块结束的导频信号。在 FEC 模式下，一个 00001 序列可能出现在同步标头流中的另一个位置，但在多个多块序列中，不可能在同一位置看到 00001 序列。因此，在 FEC 模式中，可能需要多个多块才能找到多块的末尾。EoEMB 是扩展多块结束位，对于扩展多块的最后一个多块，该位设置为 1。

表 6-20. FEC 模式的同步标头流位映射

位	功能	位	功能	位	功能	位	功能
0	FEC[25]	8	FEC[17]	16	FEC[9]	24	FEC[2]
1	FEC[24]	9	FEC[16]	17	FEC[8]	25	FEC[1]
2	FEC[23]	10	FEC[15]	18	FEC[7]	26	FEC[0]
3	FEC[22]	11	FEC[14]	19	FEC[6]	27	0
4	FEC[21]	12	FEC[13]	20	FEC[5]	28	0
5	FEC[20]	13	FEC[12]	21	FEC[4]	29	0
6	FEC[19]	14	FEC[11]	22	EoEMB	30	0
7	FEC[18]	15	FEC[10]	23	FEC[3]	31	1

Copyright © 2025 Texas Instruments Incorporated

FEC 编码器采用由 32 个扰频块（2048 位）组成的多块，并使用 方程式 14 提供的生成器多项式计算 26 位奇偶校验字。2048 个扰频输入位加 26 个奇偶校验位形成一个缩短的 (2074，2048) 二进制循环代码。(2074，2048) 二进制循环代码是由缩短循环消防代码 (8687，8661) 得出的。该多项式可以校正每个多块最多 9 位的突发误差。

$$g(x) = (x^{17}+1)(x^{9}+x^{4}+1) == x^{26}+x^{21}+x^{17}+x^{9}+x^{4}+1 \quad (14)$$

完整的 26 位 FEC 奇偶校验字生成如 图 6-22 所示。输入是基于多块的 32 个扰码块构建的 2048 位序列（不包括同步标头）。在处理完整的 2048 位序列后，从 S_x 块获取 26 位奇偶校验字 FEC[25：0]。在处理每个多块之前，S_x 块用 0 初始化。更多有关 FEC 奇偶校验字生成的信息，请参阅 JESD204C 标准。

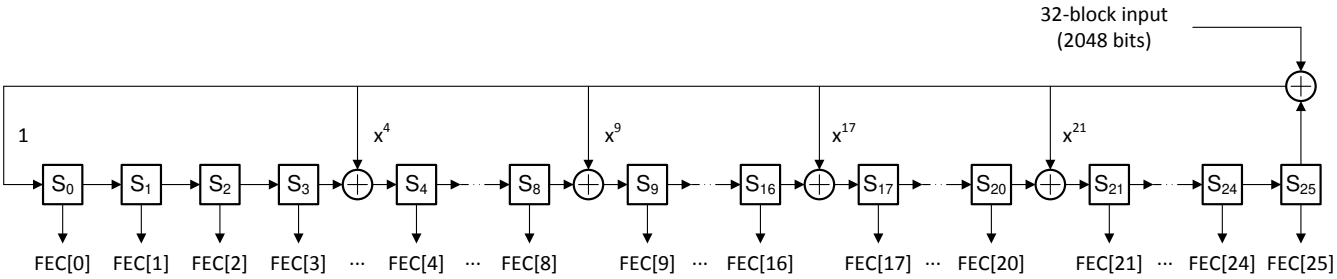


图 6-22. FEC 奇偶校验位发生器

此处不介绍 FEC 解码和纠错。有关 FEC 解码和纠错的完整详细信息，请参阅 JESD204C 标准。

6.3.9.5.4 初始通道对齐

64B/66B 链路层不使用初始通道对齐序列 (ILAS)，如 8B/10B 链路层。因此，接收器必须使用不同的方案和弹性缓冲器来对齐通道。在 8B/10B 模式下，ILAS 触发弹性缓冲器开始缓冲每个通道的数据。所有通道开始缓冲数据后，每个通道的弹性缓冲器在由释放缓冲器延迟 (RBD) 参数和 LMFC 相位确定的释放点释放。在 64B/66B 模式下，该过程从让所有通道实现块对齐，多块对齐和扩展多块对齐开始。一旦所有通道都完成对齐，在每个通道上的下一个扩展多块开始时，接收器开始在弹性缓冲器中缓冲数据。在所有通道都看到扩展多块的开始并开始缓冲数据后，数据将在下一个释放点释放。释放点是相对于 LEMC 边沿和已被编程的 RBD 值定义的，最直观的方式是在 LEMC 边沿本身上释放。必须选择释放点，以避免 LEMC 区域包含每个通道从启动到启动时的数据延迟变化。

6.3.9.5.5 模块、多块和扩展多块对齐监控

通过监控每个块的同步标头以及同步标头流的 EoMB 和 EoEMB 位，实现块，多块和扩展多块的同步。块将始终以 0 至 1 或 1 至 0 切换（同步标头）开头。由于位误差可能会导致丢失单个同步标头，然而如果在设定的块数内存在多个同步标头误差，则表示块同步已丢失，块同步应重新初始化。在这种情况下，仍然可能有块同步，但会丢失多块或扩展多块同步。通过在每个多块的同步标头流末尾查找 EoMB 信号 00001 来监控多块同步。如果多个 EoMB 信号在多个块内均是错误的，则表示多块同步已经丢失，多块同步应该被重新初始化。在众多扩展多块内，如果多个扩展多块接收到错误的 EoEMB 位，例如 1 表示不是扩展多块末尾的那一个多块，0 表示是扩展多块末尾的多块，则表示多块同步丢失，且扩展多块同步应重新初始化。如果多块或扩展多块同步丢失，应将 SYSREF 应用于错误器件中，以便在同步过程开始之前重新建立 LEMC。

6.3.9.6 物理层

JESD204C 物理层由电流模式逻辑 (CML) 输出驱动器和接收器组成。接收器由时钟检测和恢复 (CDR) 单元组成，可从串行化数据流中提取数据时钟，其中可包含连续时间线性均衡器 (CTLE) 和/或分立式反馈均衡器 (DFE)，以便校正物理传输通道的低通响应。同样，发送器可以包含预均衡功能，以解决通道上与频率相关的损耗。串行器/解串器链路的总覆盖范围取决于数据速率、电路板材料、连接器、均衡、噪声和抖动以及所需的误码性能。不必对串行器/解串器通道进行长度匹配，因为接收器会在初始通道对齐序列期间对齐这些通道。

Copyright © 2025 Texas Instruments Incorporated

6.3.9.6.1 串行器/解串器预加重功能

器件高速输出驱动器可通过使用预加重功能对传输的数据流进行预均衡，进而补偿传输通道的低通响应。可配置的预加重设置可针对不同的 PCB 材料和信号传输距离对输出驱动波形进行优化。预加重设置通过串行器预加重设置 SER_PE（位于串行器预加重控制寄存器）进行调整。提高数值可增加预加重，进而补偿损耗更大的 PCB 材料。此调整最好与接收器中的眼图分析功能结合使用。调整预加重设置，以便针对特定的硬件配置和所需的线路速率优化眼图张开度。

6.3.9.7 JESD204C 启用

在修改任何其他 JESD204C 参数时，必须通过 JESD_EN（在 JESD204C 使能寄存器中）禁用 JESD204C 接口。当 JESD_EN 设置为 0 时，该块保持复位状态，并且串行器断电。此部分的时钟也会关闭以进一步省电。在根据需要设置这些参数时，可以启用 JESD204C 块（JESD_EN 设置为 1）。

6.3.9.8 多器件同步和确定性延迟

JESD204C 子类 1 概述了一种通过串行链路实现确定性延迟的方法。如果两个器件实现相同的确定性延迟，则可以将其视为同步。从系统启动到启动的这一延迟必须是确定性的。实现确定性延迟有两个关键要求。第一项要求是正确采集使器件能提供多种功能的 SYSREF，以简化千兆采样时钟速率下的这一要求（有关更多信息，请参阅 *SYSREF 采集* 部分）。SYSREF 在 8B/10B 编码模式下复位 LMFC，或在 64B/66B 编码模式下复位 LEMC。LMFC 和 LEMC 在这两种模式之间类似，现在称为 LMFC/LEMC。

第二项要求是在接收器中选择适当的弹性缓冲器释放点。因为该器件是 ADC，因此在 JESD204C 链路中是发送器 (TX)，而逻辑器件是接收器 (RX)。弹性缓冲器是实现确定性延迟的关键块，通过在数据从发送器传输到接收器时吸收串行化数据传播延迟的变化来实现。适当的释放点是针对延迟变化提供足够裕度的释放点。错误的释放点会导致一个 LMFC/LEMC 周期的延迟变化。要选择合适的释放点，需要了解弹性缓冲器中以 LMFC/LEMC 边沿为基准的数据的平均到达时间以及所有器件的总预期延迟变化。利用此信息，可以定义 LMFC/LEMC 周期内无效释放点的区域，该区域从所有通道的最小延迟一直延展到最大延迟。本质上，设计人员必须确保所有通道的数据在前一个释放点发生后，下一个释放点发生之前到达所有器件。

图 6-23 提供了用于演示此要求的时序图。在此图中，显示了两个 ADC 的数据。第二个 ADC 具有更长的布线距离 (t_{PCB})，因此链路延迟更长。首先，根据所有器件的数据到达时间，将 LMFC/LEMC 周期的无效区域标记为关闭。然后，使用释放缓冲器延迟 (RBD) 参数设置释放点，将释放点从 LMFC/LEMC 边缘移动适当数量的帧时钟，以便释放点发生在 LMFC/LEMC 周期的有效区域内。在图 6-23 中，由于有效区域的每一侧都有足够的裕度，因此 LMFC/LEMC 边沿 (RBD = 0) 是释放点的理想选择。

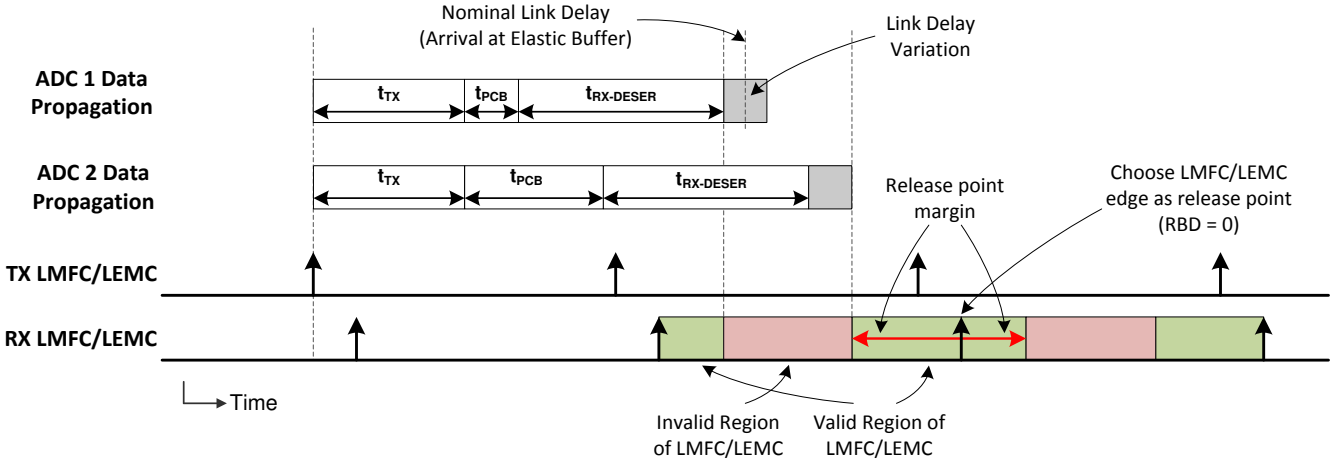


图 6-23. 用于弹性缓冲器释放点选择的 LMFC/LEMC 有效区域定义

TX 和 RX LMFC/LEMC 未必需要进行相位对齐，但了解其相位对于正确选择弹性缓冲器释放点至关重要。此外，弹性缓冲器释放点在每个 LMFC/LEMC 周期内发生，但缓冲器仅在所有通道均已到达时释放。因此，总链路延迟可能超过单个 LMFC/LEMC 周期；请参阅 *JESD204B 多器件同步：将要求进行分解* 了解更多信息。

Copyright © 2025 Texas Instruments Incorporated

6.3.9.9 在子类 0 系统中运行

ADC12DJ5200-EP 可与子类 0 兼容，前提是不需要多 ADC 同步和确定性延迟。由于这些限制，该器件无需 SYSREF 应用即可运行。内部 LMFC/LEMC 自动自生成，时序未知。在 8B/10B 模式下，SYNC 照常用来启动 CGS 和 ILAS。

6.3.10 报警监控

许多内置警报可用于监控内部事件。此功能可检测多种类型的警报和翻转：

1. 串行器 FIFO 警报（FIFO 上溢或下溢）
2. 串行器 PLL 未锁定
3. JESD204C 链路启用，但未传输数据（未处于数据传输状态）
4. SYSREF 会导致内部时钟重组
5. 会影响 NCO 相位的翻转
6. 会影响 JESD204C 时钟的翻转

发生警报时，在 ALM_STATUS 中为每个特定的警报设置一个位。每个警报位保持为已设置状态，直到主机系统写入 1 以清除警报。如果未屏蔽警报类型（请参阅警报屏蔽寄存器），则 ALARM 寄存器上会显示警报。CALSTAT 输出引脚可以配置为警报输出，当发出警报时它会变为高电平；请参阅校准引脚配置寄存器中的 CAL_STATUS_SEL 位。

6.3.10.1 时钟翻转检测

CLK_ALM 寄存器位会指明内部时钟是否已翻转。通道 A 中的时钟持续与通道 B 进行比较。如果时钟在甚至一个 DEVCLK/2 周期内不相同，CLK_ALM 寄存器位会被置位，并保持置位状态，直到主机系统通过写入 1 来清除。要使 CLK_ALM 寄存器位正常工作，请执行以下步骤：

1. 编程 JESD_EN = 0
2. 器件必须配置为使用两个通道（PD_ACH = 0，PD_BCH = 0）
3. 编程 JESD_EN = 1
4. 写入 CLK_ALM = 1 以清除 CLK_ALM
5. 如果 CAL_STATUS_SEL 配置正确，则监测 CLK_ALM 状态位或 CALSTAT 输出引脚
6. 退出全局断电模式（通过 MODE 或 PD 引脚）时，可以设置 CLK_ALM 状态位，并且必须通过向 CLK_ALM 写入 1 来清除

6.3.10.2 FIFO 翻转检测

FIFO_ALM 位指示数字逻辑块和串行器输出之间同步 FIFO 中的任何 JESD204C 串行器通道上是否发生了下溢或上溢情况。FIFO_LANE_ALM 寄存器位可用于确定哪个通道触发了下溢或上溢条件警报。如果 FIFO 指针由于不需要的时钟移位或其他单个事件或不正确的时钟频率而翻转，则错误通道的 FIFO_LANE_ALM 位设置为 1。如果设置了 INIT_ON_FIFO_ALM 位，则串行器、FIFO 和 JESD204C 块会自动重新初始化。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

ADC12DJ5200-EP 可配置为在多种功能模式下运行。本部分会介绍这些模式。

6.4.1 双通道模式

ADC12DJ5200-EP 可用作双通道 ADC，其中采样率等于在 CLK+ 和 CLK– 引脚提供的时钟频率 ($f_S = f_{CLK}$)。AIN± 和 BIN± 这两个输入在此模式下作为每个通道的相应输入。只需将 JMODE 设置为所需配置的适当设置即可选择此模式，如 工作模式 中所述。可以通过设置 DUAL_INPUT 来交换模拟输入（请参阅输入多路复用器控制寄存器）。可关闭一个通道，使 ADC12DJ5200-EP 以双通道模式的最大采样率作为单通道运行，与以双通道模式一半速率运行的单通道模式相比，这样能够节省功耗。

6.4.2 单通道模式（DES 模式）

ADC12DJ5200-EP 也可用作单通道 ADC，其采样率等于在 CLK+ 和 CLK– 引脚提供的时钟频率 ($f_S = 2 \times f_{CLK}$) 的两倍。该模式有效地将两个 ADC 通道交错在一起，形成一个具有两倍采样率的单通道 ADC。只需将 JMODE 设置为所需配置的适当设置即可选择此模式，如工作模式中所述。INA± 或 INB± 可以作为 ADC 的输入，但建议使用 INA± 以获得最佳性能。可以使用 SINGLE_INPUT 来选择模拟输入（请参阅输入多路复用器控制寄存器）。切换输入多路复用器后需要执行校准才能使更改生效。

6.4.3 双输入单通道模式（双 DES 模式）

ADC12DJ5200-EP 也可用作单通道 ADC，其采样率等于在 CLK+ 和 CLK– 引脚提供的时钟频率 ($f_S = 2 \times f_{CLK}$) 的两倍。该模式通过对两个通道进行异相采样来交错两个通道，每个通道对独立的模拟输入（INA± 和 INB±）进行采样。有效采样率是器件时钟输入 (CLK±) 的两倍。该模式对于交错跟踪保持模拟前端输出的采样非常有用。可以将 JMODE 设置为*单通道模式*（如 工作模式 中所述），并将 SINGLE_INPUT 设置为同时使用 INA± 和 INB± 来选择该模式（请参阅输入多路复用器控制寄存器）。数字处理和 JESD204C 接口运行时就像器件处于单通道模式一样，仅对其中一个输入进行采样。

Copyright © 2025 Texas Instruments Incorporated

6.4.4 JESD204C 模式

ADC12DJ5200-EP 可编程为单通道或双通道 ADC 和多个 JESD204C 输出格式。表 6-21 总结了基本工作模式配置参数以及这些参数是由用户配置的还是派生的。

表 6-21. ADC12DJ5200-EP 工作模式配置参数

参数	说明	用户配置或推导出	值
JMODE	JESD204C 工作模式，自动导出其余 JESD204C 参数、单通道或双通道模式	用户配置	由 JMODE 设置（请参阅 JESD204C 模式寄存器）
DES	1 =单通道模式，0 =双通道模式	推导出	请参阅*工作模式*
R	每个 CLK± 周期中每个通道传输的位数。JESD204C 线路速率是 CLK± 频率乘以 R。此参数设置串行器/解串器 PLL 倍乘因子，或控制串行器/解串器 PLL 的旁路。	推导出	请参阅*工作模式*
链接	使用的 JESD204C 链路数量	推导出	请参阅*工作模式*
K	每个多帧的帧数（8B/10B 模式）	用户配置	由 KM1 设置（参见 JESD204C K 参数寄存器）,参见*工作模式*中允许的值。在 64B/66B 模式下会忽略此参数。
E	每个扩展多块的多块数量（64B/66B 模式）	推导出	在 ADC12DJ5200-EP 中始终设为 1。在 8B/10B 模式下会忽略此参数。

定义 JESD204C 传输层格式需要许多参数，所有这些参数都在 8B/10B 模式下的初始通道对齐序列期间通过链路发送。64B/66B 模式不使用 ILAS，但传输层使用相同的参数。在 ADC12DJ5200-EP 中，大多数参数是根据所选的 JMODE 自动推导出的；但是，少数参数由用户配置。表 6-22 介绍了这些参数。

Copyright © 2025 Texas Instruments Incorporated

表 6-22. JESD204C 初始通道对齐序列参数

参数	说明	用户配置或推导出	值
ADJCNT	LMFC 调整量（不适用）	推导出	始终为 0
ADJDIR	LMFC 调整方向（不适用）	推导出	始终为 0
BID	存储体 ID	推导出	始终为 0
CF	每帧的控制字数	推导出	始终为 0
CS	每个样本的控制位	推导出	在 ILAS 中始终设置为 0，实际用法请参阅*工作模式*
DID	器件标识符，用于标识链路	用户配置	由 DID 设置（请参阅 JESD204C DID 参数寄存器），请参阅通道分配
F	每帧的八位位组（字节）数（每通道）	推导出	请参阅*工作模式*
HD	高密度格式（在各通道间拆分样本）	推导出	始终为 0
JESDV	JESD204 标准修订版	推导出	始终为 1
K	每个多帧的帧数	用户配置	由 KM1 寄存器设置，请参阅 JESD204C K 参数寄存器
L	每个链路的串行输出通道数	推导出	请参阅*工作模式*
LID	每个通道的通道标识符	推导出	请参阅通道分配
M	用于确定通道位封装的转换器数量；可能与器件中的 ADC 通道数量不一致	推导出	请参阅*工作模式*
N	采样分辨率（添加控制位和尾位之前）	推导出	请参阅*工作模式*
N'	添加控制和尾位后每个样本的位数	推导出	请参阅*工作模式*
S	每帧每个转换器 (M) 的样本数	推导出	请参阅*工作模式*
SCR	启用扰频器	用户配置	由 JESD204C 控制寄存器设置
SUBCLASSV	器件子类版本	推导出	始终为 1
RES1	保留字段 1	推导出	始终为 0
RES2	保留字段 2	推导出	始终为 0
CHKSUM	用于 ILAS 检查的校验和（以上所有参数的总和，模数为 256）	推导出	根据该表中的参数进行计算

Copyright © 2025 Texas Instruments Incorporated

6.4.4.1 JESD204C 工作模式表

表 6-23. ADC12DJ5200-EP 工作模式

ADC12DJ5200-EP 工作模式	用户指定的参数		推导出的参数														输入时钟范围 (MHz)
	JMODE	K [最小：步长：最大]	编码	D	DES	链接	N	CS	N'	L（每个链路）	M（每个链路）	F	S	HD	E	R (Fbit / Fclk)	
12 位、单通道、8 通道	0	4:2:256	8b/10b	1	1	2	12	0	12	4	4(1)	8	5	0	—	4	800-4290
12 位、单通道、16 通道	1	4:2:256	8b/10b	1	1	2	12	0	12	8	8(1)	8	5	0	—	2	800-5200
12 位、双通道、8 通道	2	4:2:256	8b/10b	1	0	2	12	0	12	4	4(1)	8	5	0	—	4	800-4290
12 位、双通道、16 通道	3	4:2:256	8b/10b	1	0	2	12	0	12	8	8(1)	8	5	0	—	2	800-5200
RESERVED	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
8 位、单通道、8 通道	5	32:16:256	8b/10b	1	1	2	8	0	8	4	1	1	4	0	—	2.5	800-5200
8 位、单通道、16 通道	6	32:16:256	8b/10b	1	1	2	8	0	8	8	1	1	8	0	—	1.25	800-5200
8 位、双通道、8 通道	7	32:16:256	8b/10b	1	0	2	8	0	8	4	1	1	4	0	—	2.5	800-5200
8 位、双通道、16 通道	8	32:16:256	8b/10b	1	0	2	8	0	8	8	1	1	8	0	—	1.25	800-5200
RESERVED	9	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
4 倍抽取率、双通道、4 通道	10	16:8:256	8b/10b	4	0	2	15	1	16	2	2	2	1	0	—	5	800-3432
4 倍抽取率、双通道、8 通道	11	16:8:256	8b/10b	4	0	2	15	1	16	4	2	2	2	0	—	2.5	800-5200
4 倍抽取率、双通道、16 通道	12	16:8:256	8b/10b	4	0	2	15	1	16	8	2	2	4	0	—	1.25	800-5200
8 倍抽取率、双通道、2 通道	13	8:4:256	8b/10b	8	0	2	15	1	16	1	2	4	1	0	—	5	800-3432
8 倍抽取率、双通道、4 通道	14	16:8:256	8b/10b	8	0	2	15	1	16	2	2	2	1	0	—	2.5	800-5200
8 倍抽取率、双通道、8 通道	15	16:8:256	8b/10b	8	0	2	15	1	16	4	2	2	2	0	—	1.25	800-5200
8 倍抽取率、双通道、16 通道	16	16:8:256	8b/10b	8	0	2	15	1	16	8	2	2	4	0	—	0.625	800-5200
RESERVED	17-18	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12 位、单通道、12 通道	19	16:8:256	8b/10b	1	1	2	12	0	12	6	1	2	8	1	—	2.5	800-5200
12 位、双通道、12 通道	20	16:8:256	8b/10b	1	0	2	12	0	12	6	1	2	8	1	—	2.5	800-5200
4 倍抽取率、单通道、4 通道	21	16:8:256	8b/10b	4	1	2	15	1	16	2	1	2	2	0	—	5	800-3432
4 倍抽取率、单通道、8 通道	22	16:8:256	8b/10b	4	1	2	15	1	16	4	1	2	4	0	—	2.5	800-5200
8 倍抽取率、单通道、2 通道	23	16:8:256	8b/10b	8	1	2	15	1	16	1	1	2	1	0	—	5	800-3432
8 倍抽取率、单通道、4 通道	24	16:8:256	8b/10b	8	1	2	15	1	16	2	1	2	2	0	—	2.5	800-5200
4 倍抽取率、单通道、16 通道	25	16:8:256	8b/10b	4	1	2	15	1	16	8	1	2	8	0	—	1.25	800-5200
8 倍抽取率、单通道、8 通道	26	16:8:256	8b/10b	8	1	2	15	1	16	4	1	2	4	0	—	1.25	800-5200

Copyright © 2025 Texas Instruments Incorporated

表 6-23. ADC12DJ5200-EP 工作模式（续）

ADC12DJ5200-EP 工作模式	用户指定的参数		推导出的参数															输入时钟范围 (MHz)
	JMODE	K [最小：步长：最大]	编码	D	DES	链接	N	CS	N'	L（每个链路）	M（每个链路）	F	S	HD	E	R (Fbit / Fclk)	
8 倍抽取率、单通道、16 通道	27	16:8:256	8b/10b	8	1	2	15	1	16	8	1	2	8	0	—	0.625	800-5200
RESERVED	28-29	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12 位、单通道、8 通道	30	32(2)	64b/66b	1	1	2	12	0	12	4	4(1)	8	5	0	1	3.3	800-5200
12 位、双通道、8 通道	31	32(2)	64b/66b	1	0	2	12	0	12	4	4(1)	8	5	0	1	3.3	800-5200
12 位、单通道、6 通道	32	128(2)	64b/66b	1	1	2	12	0	12	3	1	2	4	1	1	4.125	800-4160
12 位、双通道、6 通道	33	128(2)	64b/66b	1	0	2	12	0	12	3	1	2	4	1	1	4.125	800-4160
8 位、单通道、4 通道	34	256(2)	64b/66b	1	1	2	8	0	8	2	1	1	2	0	1	4.125	800-4160
8 位、双通道、4 通道	35	256(2)	64b/66b	1	0	2	8	0	8	2	1	1	2	0	1	4.125	800-4160
4 倍抽取率、单通道、4 通道	36	128(2)	64b/66b	4	1	2	15	1	16	2	1	2	2	0	1	4.125	800-4160
4 倍抽取率、双通道、4 通道	37	128(2)	64b/66b	4	0	2	15	1	16	2	2	2	1	0	1	4.125	800-4160
8 倍抽取率、单通道、2 通道	38	128(2)	64b/66b	8	1	2	15	1	16	1	1	2	1	0	1	4.125	800-4160
8 倍抽取率、双通道、2 通道	39	64(2)	64b/66b	8	0	2	15	1	16	1	2	4	1	0	1	4.125	800-4160
12 位、单通道、16 通道	40	32(2)	64b/66b	1	1	2	12	0	12	8	8(1)	8	5	0	1	1.65	800-5200
12 位、双通道、16 通道	41	32(2)	64b/66b	1	0	2	12	0	12	8	8(1)	8	5	0	1	1.65	800-5200
12 位、单通道、12 通道	42	128(2)	64b/66b	1	1	2	12	0	12	6	1	2	8	1	1	2.0625	800-5200
12 位、双通道、12 通道	43	128(2)	64b/66b	1	0	2	12	0	12	6	1	2	8	1	1	2.0625	800-5200
8 位、单通道、8 通道	44	256(2)	64b/66b	1	1	2	8	0	8	4	1	1	4	0	1	2.0625	800-5200
8 位、双通道、8 通道	45	256(2)	64b/66b	1	0	2	8	0	8	4	1	1	4	0	1	2.0625	800-5200
4 倍抽取率、单通道、8 通道	46	128(2)	64b/66b	4	1	2	15	1	16	4	1	2	4	0	1	2.0625	800-5200
4 倍抽取率、双通道、8 通道	47	128(2)	64b/66b	4	0	2	15	1	16	4	2	2	2	0	1	2.0625	800-5200
8 倍抽取率、单通道、4 通道	48	128(2)	64b/66b	8	1	2	15	1	16	2	1	2	2	0	1	2.0625	800-5200
8 倍抽取率、双通道、4 通道	49	128(2)	64b/66b	8	0	2	15	1	16	2	2	2	1	0	1	2.0625	800-5200
8 位、单通道、16 通道	50	256(2)	64b/66b	1	1	2	8	0	8	8	1	1	8	0	1	1.03125	800-5200
8 位、双通道、16 通道	51	256(2)	64b/66b	1	0	2	8	0	8	8	1	1	8	0	1	1.03125	800-5200
4 倍抽取率、单通道、16 通道	52	128(2)	64b/66b	4	1	2	15	1	16	8	1	2	8	0	1	1.03125	800-5200
4 倍抽取率、双通道、16 通道	53	128(2)	64b/66b	4	0	2	15	1	16	8	2	2	4	0	1	1.03125	800-5200
8 倍抽取率、单通道、8 通道	54	128(2)	64b/66b	8	1	2	15	1	16	4	1	2	4	0	1	1.03125	800-5200
8 倍抽取率、双通道、8 通道	55	128(2)	64b/66b	8	0	2	15	1	16	4	2	2	2	0	1	1.03125	800-5200

Copyright © 2025 Texas Instruments Incorporated

表 6-23. ADC12DJ5200-EP 工作模式（续）

ADC12DJ5200-EP 工作模式	用户指定的参数		推导出的参数														输入时钟范围 (MHz)
	JMODE	K [最小：步长：最大]	编码	D	DES	链接	N	CS	N’	L（每个链路）	M（每个链路）	F	S	HD	E	R (Fbit / Fclk)	
16 倍抽取率、双通道、2 通道	56	8:4:256	8b/10b	16	0	2	15	1	16	1	2	4	1	0	—	2.5	800-5200
16 倍抽取率、双通道、4 通道	57	16:8:256	8b/10b	16	0	2	15	1	16	2	2	2	1	0	—	1.25	800-5200
16 倍抽取率、双通道、8 通道	58	16:8:256	8b/10b	16	0	2	15	1	16	4	2	2	2	0	—	0.625	800-5200
16 倍抽取率、双通道、2 通道	59	64(2)	64b/66b	16	0	2	15	1	16	1	2	4	1	0	1	2.0625	800-5200
16 倍抽取率、双通道、4 通道	60	128(2)	64b/66b	16	0	2	15	1	16	2	2	2	1	0	1	1.03125	800-5200
16 倍抽取率、单通道、2 通道	61	16:8:256	8b/10b	16	1	2	15	1	16	1	1	2	1	0	—	2.5	800-5200
16 倍抽取率、单通道、4 通道	62	16:8:256	8b/10b	16	1	2	15	1	16	2	1	2	2	0	—	1.25	800-5200
16 倍抽取率、单通道、8 通道	63	16:8:256	8b/10b	16	1	2	15	1	16	4	1	2	4	0	—	0.625	800-5200
16 倍抽取率、单通道、2 通道	64	128(2)	64b/66b	16	1	2	15	1	16	1	1	2	1	0	1	2.0625	800-5200
16 倍抽取率、单通道、4 通道	65	128(2)	64b/66b	16	1	2	15	1	16	2	1	2	2	0	1	1.03125	800-5200
32 倍抽取率、双通道、2 通道	66	8:4:256	8b/10b	32	0	2	15	1	16	1	2	4	1	0	—	1.25	800-5200
32 倍抽取率、双通道、4 通道	67	16:8:256	8b/10b	32	0	2	15	1	16	2	2	2	1	0	—	0.625	800-5200
32 倍抽取率、双通道、2 通道	68	64(2)	64b/66b	32	0	2	15	1	16	1	2	4	1	0	1	1.03125	800-5200
32 倍抽取率、单通道、2 通道	69	16:8:256	8b/10b	32	1	2	15	1	16	1	1	2	1	0	—	1.25	800-5200
32 倍抽取率、单通道、4 通道	70	16:8:256	8b/10b	32	1	2	15	1	16	2	1	2	2	0	—	0.625	800-5200
32 倍抽取率、单通道、2 通道	71	128(2)	64b/66b	32	1	2	15	1	16	1	1	2	1	0	1	1.03125	800-5200

(1) 在这些模式下 M 等于 L，以便可以通过 L 通道按时间顺序发送样本，而不需要进行缓冲。M 参数并不代表实际的转换器数。将来自接收器中每条链路的 M 样本流交错，以生成正确的样本数据；有关更多详细信息，请参阅模式图。
(2) 在 64B/66B 模式下，K 参数不能直接编程。根据公式 K = 8*32*E/F，K 与 E 和 F 相关。K 不是 64B/66B 链路层的实际参数。

Copyright © 2025 Texas Instruments Incorporated

6.4.4.2 JESD204C 模式（续）

使用单个配置参数 JMODE 配置 ADC12DJ5200-EP 很容易（请参阅 JESD204C 模式寄存器）。使用 *工作模式* 可以找到所需工作模式的正确 JMODE 值。 *工作模式* 列出的模式是仅有的可用工作模式。该表还给出了 K 参数（由 KM1 设置，参见 JESD204C K 参数寄存器）的范围和允许的步长，该参数以帧数设置多帧长度。

ADC12DJ5200-EP 共有 16 个高速输出驱动器，这些驱动器分为两个 8 通道 JESD204C 链路。所有工作模式都使用两个链路，每个链路最多八个通道。通道分配和参数表介绍了通道及其衍生的配置参数。在指定的 JMODE 中，使用了每个链路的索引度最低通道，每个链路的索引度较高通道会自动断电。始终将索引度最低的通道路由到逻辑器件。

表 6-24. ADC12DJ5200-EP 通道分配和参数

器件引脚名称	JESD204C LINK	DID（用户配置）	LID（派生）
DA0±	A	由 DID 设置（请参阅 JESD204C DID 参数寄存器），有效 DID 等于 DID 寄存器设置 (DID)	0
DA1±			1
DA2±			2
DA3±			3
DA4±			4
DA5±			5
DA6±			6
DA7±			7
DB0±	B	由 DID 设置（请参阅 JESD204C DID 参数寄存器），有效 DID 等于 DID 寄存器设置 + 1 (DID+1)	0
DB1±			1
DB2±			2
DB3±			3
DB4±			4
DB5±			5
DB6±			6
DB7±			7

6.4.4.3 JESD204C 传输层数据格式

针对每个 JMODE 设置，根据该 JMODE 的传输层设置，采用特定的优化方式对输出数据进行格式化。不使用 DDC 时（抽取率= 1），12 位偏移二进制值将映射到八位位组。在 DDC 模式下、16 位值（15 位复数数据加 1 个超范围位）映射到八位位组。下表给出了每个 JMODE 单帧的具体映射格式。表 6-25 中提供了 JMODE 表中使用的符号定义。在所有映射中，尾位 (T) 均为 0（零）。所有样本的格式均为 MSB 在前，LSB 在后。

表 6-25. JMODE 表符号定义

符号	模式	说明
S[n]	单通道，绕过 DDC	DDC 被绕过时，在单通道模式下从 ADC 采集的样本 n
A[n]	双通道，绕过 DDC	DDC 被绕过时，在双通道模式下从通道 A 采集的样本 n
B[n]	双通道，绕过 DDC	DDC 被绕过时，在双通道模式下从通道 A 采集的样本 n
T	—	尾位，始终设置为 0
AI[n]、AQ[n]	双通道，启用 DDC	在双通道模式下从 DDC A 采集的复杂 I/Q 样本 n
BI[n]、BQ[n]	双通道，启用 DDC	在双通道模式下从 DDC B 采集的复杂 I/Q 样本 n
ORA0[n]	双通道，启用 DDC	通道 A 的超范围标志，如果通道 A 样本 n 超过超范围阈值 0 (OVR_T0)，则设置为高电平
ORA1[n]	双通道，启用 DDC	通道 A 的超范围标志，如果通道 A 样本 n 超过超范围阈值 1 (OVR_T1)，则设置为高电平
ORB0[n]	双通道，启用 DDC	通道 B 的超范围标志，如果通道 B 样本 n 超过超范围阈值 0 (OVR_T0)，则设置为高电平

Copyright © 2025 Texas Instruments Incorporated

表 6-25. JMODE 表符号定义（续）

符号	模式	说明
ORB1[n]	双通道，启用 DDC	通道 B 的超范围标志，如果通道 B 样本 n 超过超范围阈值 1 (OVR_T1)，则设置为高电平
I[n]、Q[n]	单通道，启用 DDC	在单通道模式下从 DDC 采集的复杂 I/Q 样本 n
OR0[n]	单通道，启用 DDC	超范围标志，如果样本 n 超过超范围阈值 0 (OVR_T0)，则设置为高电平
OR1[n]	单通道，启用 DDC	超范围标志，如果样本 n 超过超范围阈值 1 (OVR_T1)，则设置为高电平

表 6-26. JMODES 0 和 30（12 位、单通道、DDC 旁路、8 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S[0]		S[8]				S[16]				S[24]			S[32]		T
DA1	S[2]		S[10]				S[18]				S[26]			S[34]		T
DA2	S[4]		S[12]				S[20]				S[28]			S[36]		T
DA3	S[6]		S[14]				S[22]				S[30]			S[38]		T
DB0	S[1]		S[9]				S[17]				S[25]			S[33]		T
DB1	S[3]		S[11]				S[19]				S[27]			S[35]		T
DB2	S[5]		S[13]				S[21]				S[29]			S[37]		T
DB3	S[7]		S[15]				S[23]				S[31]			S[39]		T

表 6-27. JMODES 1 和 40（12 位、单通道、DDC 旁路、16 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	S[0]		S[16]				S[32]				S[48]			S[64]		T
DA1	S[2]		S[18]				S[34]				S[50]			S[66]		T
DA2	S[4]		S[20]				S[36]				S[52]			S[68]		T
DA3	S[6]		S[22]				S[38]				S[54]			S[70]		T
DA4	S[8]		S[24]				S[40]				S[56]			S[72]		T
DA5	S[10]		S[26]				S[42]				S[58]			S[74]		T
DA6	S[12]		S[28]				S[44]				S[60]			S[76]		T
DA7	S[14]		S[30]				S[46]				S[62]			S[78]		T
DB0	S[1]		S[17]				S[33]				S[49]			S[65]		T
DB1	S[3]		S[19]				S[35]				S[51]			S[67]		T
DB2	S[5]		S[21]				S[37]				S[53]			S[69]		T
DB3	S[7]		S[23]				S[39]				S[55]			S[71]		T
DB4	S[9]		S[25]				S[41]				S[57]			S[73]		T
DB5	S[11]		S[27]				S[43]				S[59]			S[75]		T
DB6	S[13]		S[29]				S[45]				S[61]			S[77]		T
DB7	S[15]		S[31]				S[47]				S[63]			S[79]		T

表 6-28. JMODES 2 和 31（12 位、双通道、DDC 旁路、8 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A[0]		A[4]				A[8]				A[12]			A[16]		T
DA1	A[1]		A[5]				A[9]				A[13]			A[17]		T
DA2	A[2]		A[6]				A[10]				A[14]			A[18]		T
DA3	A[3]		A[7]				A[11]				A[15]			A[19]		T
DB0	B[0]		B[4]				B[8]				B[12]			B[16]		T
DB1	B[1]		B[5]				B[9]				B[13]			B[17]		T
DB2	B[2]		B[6]				B[10]				B[14]			B[18]		T

Copyright © 2025 Texas Instruments Incorporated

表 6-28. JMODES 2 和 31（12 位、双通道、DDC 旁路、8 通道）（续）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DB3	B[3]		B[7]				B[11]		B[15]				B[19]			T

表 6-29. JMODES 3 和 41（12 位、双通道、DDC 旁路、16 通道）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DA0	A[0]		A[8]				A[16]		A[24]				A[32]			T
DA1	A[1]		A[9]				A[17]		A[25]				A[33]			T
DA2	A[2]		A[10]				A[18]		A[26]				A[34]			T
DA3	A[3]		A[11]				A[19]		A[27]				A[35]			T
DA4	A[4]		A[12]				A[20]		A[28]				A[36]			T
DA5	A[5]		A[13]				A[21]		A[29]				A[37]			T
DA6	A[6]		A[14]				A[22]		A[30]				A[38]			T
DA7	A[7]		A[15]				A[23]		A[31]				A[39]			T
DB0	B[0]		B[8]				B[16]		B[24]				B[32]			T
DB1	B[1]		B[9]				B[17]		B[25]				B[33]			T
DB2	B[2]		B[10]				B[18]		B[26]				B[34]			T
DB3	B[3]		B[11]				B[19]		B[27]				B[35]			T
DB4	B[4]		B[12]				B[20]		B[28]				B[36]			T
DB5	B[5]		B[13]				B[21]		B[29]				B[37]			T
DB6	B[6]		B[14]				B[22]		B[30]				B[38]			T
DB7	B[7]		B[15]				B[23]		B[31]				B[39]			T

表 6-30. JMODES 5 和 44（8 位、单通道、8 通道）

八位位组	0	
半字节	0	1
DA0	S[0]	
DA1	S[2]	
DA2	S[4]	
DA3	S[6]	
DB0	S[1]	
DB1	S[3]	
DB2	S[5]	
DB3	S[7]	

表 6-31. JMODES 6 和 50（8 位、单通道、16 通道）

八位位组	0	
半字节	0	1
DA0	S[0]	
DA1	S[2]	
DA2	S[4]	
DA3	S[6]	
DA4	S[8]	
DA5	S[10]	
DA6	S[12]	
DA7	S[14]	

Copyright © 2025 Texas Instruments Incorporated

表 6-31. JMODES 6 和 50（8 位、单通道、16 通道）（续）

八位位组	0	
半字节	0	1
DB0	S[1]	
DB1	S[3]	
DB2	S[5]	
DB3	S[7]	
DB4	S[9]	
DB5	S[11]	
DB6	S[13]	
DB7	S[15]	

表 6-32. JMODES 7 和 45（8 位、双通道、8 通道）

八位位组	0	
半字节	0	1
DA0	A[0]	
DA1	A[1]	
DA2	A[2]	
DA3	A[3]	
DB0	B[0]	
DB1	B[1]	
DB2	B[2]	
DB3	B[3]	

表 6-33. JMODES 8 和 51（8 位、双通道、16 通道）

八位位组	0	
半字节	0	1
DA0	A[0]	
DA1	A[1]	
DA2	A[2]	
DA3	A[3]	
DA4	A[4]	
DA5	A[5]	
DA6	A[6]	
DA7	A[7]	
DB0	B[0]	
DB1	B[1]	
DB2	B[2]	
DB3	B[3]	
DB4	B[4]	
DB5	B[5]	
DB6	B[6]	
DB7	B[7]	

表 6-34. JMODES 10 和 37（15 位、双通道、4 倍抽取率、4 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI[0]、ORA0[0]			

Copyright © 2025 Texas Instruments Incorporated

表 6-34. JMODES 10 和 37（15 位、双通道、4 倍抽取率、4 通道）（续）

八位位组	0		1	
半字节	0	1	2	3
DA1	AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]			
DB1	BQ[0]、ORB1[0]			

表 6-35. JMODES 11 和 47（15 位、双通道、4 倍抽取率、8 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AQ[0]、ORA1[0]			
DA3	AQ[1]、ORA1[1]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BQ[0]、ORB1[0]			
DB3	BQ[1]、ORB1[1]			

表 6-36. JMODES 12 和 53（15 位、双通道、4 倍抽取率、16 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AI[2]、ORA0[2]			
DA3	AI[3]、ORA0[3]			
DA4	AQ[0]、ORA1[0]			
DA5	AQ[1]、ORA1[1]			
DA6	AQ[2]、ORA1[2]			
DA7	AQ[3]、ORA1[3]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BI[2]、ORB0[2]			
DB3	BI[3]、ORB0[3]			
DB4	BQ[0]、ORB1[0]			
DB5	BQ[1]、ORB1[1]			
DB6	BQ[2]、ORB1[2]			
DB7	BQ[3]、ORB1[3]			

表 6-37. JMODES 13、39、56、59、66 和 68（15 位、双通道、8 倍抽取率、2 通道）

八位位组	0		1		2		3	
半字节	0	1	2	3	4	5	6	7
DA0	AI[0]、ORA0[0]				AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]				BQ[0]、ORB1[0]			

Copyright © 2025 Texas Instruments Incorporated

表 6-38. JMODES 14、49、57、60 和 67（15 位、双通道、8 倍抽取率、4 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]			
DB1	BQ[0]、ORB1[0]			

表 6-39. JMODES 15、55 和 58（15 位、双通道、8 倍抽取率、8 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AQ[0]、ORA1[0]			
DA3	AQ[1]、ORA1[1]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BQ[0]、ORB1[0]			
DB3	BQ[1]、ORB1[1]			

表 6-40. JMODE 16（15 位、双通道、8 倍抽取率、16 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AI[1]、ORA0[1]			
DA2	AI[2]、ORA0[2]			
DA3	AI[3]、ORA0[3]			
DA4	AQ[0]、ORA1[0]			
DA5	AQ[1]、ORA1[1]			
DA6	AQ[2]、ORA1[2]			
DA7	AQ[3]、ORA1[3]			
DB0	BI[0]、ORB0[0]			
DB1	BI[1]、ORB0[1]			
DB2	BI[2]、ORB0[2]			
DB3	BI[3]、ORB0[3]			
DB4	BQ[0]、ORB1[0]			
DB5	BQ[1]、ORB1[1]			
DB6	BQ[2]、ORB1[2]			
DB7	BQ[3]、ORB1[3]			

表 6-41. JMODES 19 和 42（12 位、单通道、DDC 旁路、12 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	S[0][11:0]			S[2][11:8]
DA1	S[2][7:0]		S[4][11:4]	
DA2	S[4][3:0]	S[6][11:0]		
DA3	S[8][11:0]			S[10][11:8]
DA4	S[10][7:0]		S[12][11:4]	
DA5	S[12][3:0]	S[14][11:0]		
DB0	S[1][11:0]			S[3][11:8]
DB1	S[3][7:0]		S[5][11:4]	
DB2	S[5][3:0]	S[7][11:0]		
DB3	S[9][11:0]			S[11][11:8]

Copyright © 2025 Texas Instruments Incorporated

表 6-41. JMODES 19 和 42（12 位、单通道、DDC 旁路、12 通道）（续）

八位位组	0		1	
半字节	0	1	2	3
DB4	S[11][7:0]		S[13][11:4]	
DB5	S[13][3:0]	S[15][11:0]		

表 6-42. JMODES 20 和 43（12 位、双通道、DDC 旁路、12 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	A[0][11:0]			A[1][11:8]
DA1	A[1][7:0]		A[2][11:4]	
DA2	A[2][3:0]	A[3][11:0]		
DA3	A[4][11:0]			A[5][11:8]
DA4	A[5][7:0]		A[6][11:4]	
DA5	A[6][3:0]	A[7][11:0]		
DB0	B[0][11:0]			B[1][11:8]
DB1	B[1][7:0]		B[2][11:4]	
DB2	B[2][3:0]	B[3][11:0]		
DB3	B[4][11:0]			B[5][11:8]
DB4	B[5][7:0]		B[6][11:4]	
DB5	B[6][3:0]	B[7][11:0]		

表 6-43. JMODES 21 和 36（15 位、单通道、4 倍抽取率、4 通道）

八位位组	0	
半字节	0	1
DA0	I[0]、OR0[0]	
DA1	I[1]、OR0[1]	
DB0	Q[0]、OR1[0]	
DB1	Q[1]、OR1[1]	

表 6-44. JMODES 22 和 46（15 位、单通道、4 倍抽取率、8 通道）

八位位组	0	
半字节	0	1
DA0	I[0]、OR0[0]	
DA1	I[1]、OR0[1]	
DA2	I[2]、OR0[2]	
DA3	I[3]、OR0[3]	
DB0	Q[0]、OR1[0]	
DB1	Q[1]、OR1[1]	
DB2	Q[2]、OR1[2]	
DB3	Q[3]、OR1[3]	

表 6-45. JMODES 23、38、61、64、69 和 71（15 位、单通道、8 倍抽取率、2 通道）

八位位组	0	
半字节	0	1
DA0	I[0]、OR0[0]	
DB0	Q[0]、OR1[0]	

Copyright © 2025 Texas Instruments Incorporated

表 6-46. JMODES 24、48、62、65 和 70（15 位、单通道、8 倍抽取率、4 通道）

八位位组	0	
半字节	0	1
DA0	I[0]、OR0[0]	
DA1	I[1]、OR0[1]	
DB0	Q[0]、OR1[0]	
DB1	Q[1]、OR1[1]	

表 6-47. JMODES 25 和 52（15 位、单通道、4 倍抽取率、16 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	I[0]、OR0[0]			
DA1	I[1]、OR0[0]			
DA2	I[2]、OR0[1]			
DA3	I[3]、OR0[1]			
DA4	I[4]、OR0[2]			
DA5	I[5]、OR0[2]			
DA6	I[6]、OR0[3]			
DA7	I[7]、OR0[3]			
DB0	Q[0]、OR1[0]			
DB1	Q[1]、OR1[0]			
DB2	Q[2]、OR1[1]			
DB3	Q[3]、OR1[1]			
DB4	Q[4]、OR1[2]			
DB5	Q[5]、OR1[2]			
DB6	Q[6]、OR1[3]			
DB7	Q[7]、OR1[3]			

表 6-48. JMODES 26、54 和 63（15 位、单通道、8 倍抽取率、8 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	I[0]、OR0[0]			
DA1	I[1]、OR0[1]			
DA2	I[2]、OR0[2]			
DA3	I[3]、OR0[3]			
DB0	Q[0]、OR1[0]			
DB1	Q[1]、OR1[1]			
DB2	Q[2]、OR1[2]			
DB3	Q[3]、OR1[3]			

表 6-49. JMODE 27（15 位、单通道、8 倍抽取率、16 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	I[0]、OR0[0]			
DA1	I[1]、OR0[1]			
DA2	I[2]、OR0[2]			
DA3	I[3]、OR0[3]			
DA4	I[4]、OR0[4]			
DA5	I[5]、OR0[5]			
DA6	I[6]、OR0[6]			
DA7	I[7]、OR0[7]			
DB0	Q[0]、OR1[0]			
DB1	Q[1]、OR1[1]			

Copyright © 2025 Texas Instruments Incorporated

表 6-49. JMODE 27（15 位、单通道、8 倍抽取率、16 通道）（续）

八位位组	0		1	
半字节	0	1	2	3
DB2	Q[2]、OR1[2]			
DB3	Q[3]、OR1[3]			
DB4	Q[4]、OR1[4]			
DB5	Q[5]、OR1[5]			
DB6	Q[6]、OR1[6]			
DB7	Q[7]、OR1[7]			

表 6-50. JMODE 32（12 位、单通道、DDC 旁路、6 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	S[0][11:0]			S[2][11:8]
DA1	S[2][7:0]		S[4][11:4]	
DA2	S[4][3:0]	S[6][11:0]		
DB0	S[1][11:0]			S[3][11:8]
DB1	S[3][7:0]		S[5][11:4]	
DB2	S[5][3:0]	S[7][11:0]		

表 6-51. JMODE 33（12 位、双通道、DDC 旁路、6 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	A[0][11:0]			A[1][11:8]
DA1	A[1][7:0]		A[2][11:4]	
DA2	A[2][3:0]	A[3][11:0]		
DB0	B[0][11:0]			B[1][11:8]
DB1	B[1][7:0]		B[2][11:4]	
DB2	B[2][3:0]	B[3][11:0]		

表 6-52. JMODE 34（8 位、单通道、4 通道）

八位位组	0	
半字节	0	1
DA0	S[0]	
DA1	S[2]	
DB0	S[1]	
DB1	S[3]	

表 6-53. JMODE 35（8 位、双通道、4 通道）

八位位组	0	
半字节	0	1
DA0	A[0]	
DA1	A[1]	
DB0	B[0]	
DB1	B[1]	

表 6-54. JMODE 37（15 位、双通道、4 倍抽取率、4 通道）

八位位组	0		1	
半字节	0	1	2	3
DA0	AI[0]、ORA0[0]			
DA1	AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]			

Copyright © 2025 Texas Instruments Incorporated

表 6-54. JMODE 37（15 位、双通道、4 倍抽取率、4 通道）（续）

八位位组	0		1	
半字节	0	1	2	3
DB1	BQ[0]、ORB1[0]			

表 6-55. JMODE 38（15 位、单通道、8 倍抽取率、2 通道）

八位位组	0	
半字节	0	1
DA0	I[0]、OR0[0]	
DB0	Q[0]、OR1[0]	

表 6-56. JMODE 39（15 位、双通道、8 倍抽取率、2 通道）

八位位组	0		1		2		3	
半字节	0	1	2	3	4	5	6	7
DA0	AI[0]、ORA0[0]				AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]				BQ[0]、ORB1[0]			

表 6-57. JMODE 56（15 位、双通道、16 倍抽取率、2 通道）

八位位组	0		1		2		3	
半字节	0	1	2	3	4	5	6	7
DA0	AI[0]、ORA0[0]				AQ[0]、ORA1[0]			
DB0	BI[0]、ORB0[0]				BQ[0]、ORB1[0]			

6.4.4.4 64B/66B 同步报头流配置

同步标头流可用于识别链路上的位错误或校正位错误。器件提供两种运行模式。循环冗余校验 (CRC) 可用于识别位错误。器件仅支持 12 位 CRC (CRC-12)，不支持 JESD204C 所述的可选 3 位 CRC-3。或者，可以使用前向纠错 (FEC) 来识别位错误，然后纠正位错误。有关 CRC-12 的信息，请参阅循环冗余校验 (CRC) 模式。有关 FEC 的信息，请参阅前向纠错 (FEC) 模式。使用同步报头模式寄存器设置同步报头流配置。

6.4.5 断电模式

PD 输入引脚允许该器件完全断电。断电也可以通过 MODE 控制（请参阅器件配置寄存器）。要在双通道模式下仅关闭一个通道，请使用通道断电寄存器。当 PD 为高电平时，串行数据输出驱动器被禁用。为了在前台校准模式下正常运行，应将 CAL_CFG 寄存器中的 ADC_OFF 编程为 0x1。当器件恢复正常运行时，必须重新建立 JESD204 链路，而且由于 ADC 流水线包含无意义的信息，系统必须等待足够的时间来刷新数据。

6.4.6 测试模式

可使用多种器件测试模式。这些模式将已知的信息模式插入器件数据路径中，以协助系统调试、开发或表征分析。

6.4.6.1 串行器测试模式详细信息

通过将 JTEST（请参阅 JESD204C 测试模式控制寄存器）设置为所需的测试模式来启用测试模式。以下各节详细介绍了每个测试模式。无论使用何种测试模式，串行器输出（通道数、速率）都会根据 JMODE 上电。仅在禁用 JESD204C 链路时启用测试模式。图 6-24 提供了展示各种测试模式插入点的例图。

Copyright © 2025 Texas Instruments Incorporated

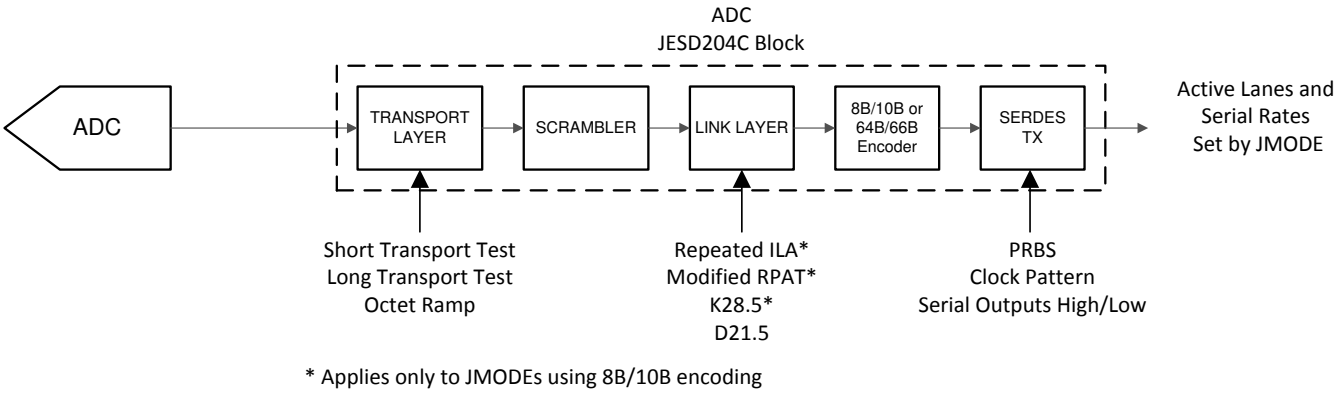


图 6-24. 测试模式插入点

6.4.6.2 PRBS 测试模式

PRBS 测试模式绕过 JESD204C 传输层和链路层，因此既不扰频也不编码。这些测试模式产生符合 ITU-T O.150 规范的伪随机位流。这些位流与可以自同步至位模式的实验室测试设备或逻辑器件配合使用。由于接收器自同步，未定义该模式的初始相位。

序列由递归公式定义。例如，方程式 15 可定义 PRBS7 序列。

$$y[n] = y[n - 6] \oplus y[n - 7] \tag{15}$$

其中

- 位 n 是之前发送的位 [n – 6] 和位 [n – 7] 的异或运算结果

表 6-58 列出了可用 PRBS 测试模式的公式和序列长度，其中 ⊕ 是异或运算，而 y[n] 则表示 PRBS 序列中的位 n。该模式的初始相位对于每个通道都具有唯一性。

表 6-58. PBRS 模式公式

PRBS 测试模式	序列	序列长度 (位)
PRBS7	$y[n] = y[n - 6] \oplus y[n - 7]$	127
PRBS9	$y[n] = y[n - 5] \oplus y[n - 9]$	511
PRBS15	$y[n] = y[n - 14] \oplus y[n - 15]$	32,767
PRBS23	$y[n] = y[n - 18] \oplus y[n - 23]$	8,388,607
PRBS31	$y[n] = y[n - 28] \oplus y[n - 31]$	2,147,483,647

6.4.6.3 时钟图形模式

在时钟图形模式下，会绕过 JESD204C 传输层和链路层，因此测试序列既不进行扰频也不进行编码。该图形包含一个 16 位长序列，该序列由 8 个 1 和 8 个零 (1111 1111 0000 0000) 组成，并无限期重复。

6.4.6.4 斜坡测试模式

在斜坡测试模式下，JESD204C 链路层正常运行，但传输层被禁用，格式器的输入被忽略。在 8B/10B 模式下，此模式在 ILA 序列完成后启动。在 64B/66B 模式下，从模式在串行器初始化后启动。每个通道发送一个相同的八位位组流，该八位位组流由链路层进行编码和扰频。如果 K < 256，则八位位组流从 0x00 递增到 K - 1。如果 K > 256，则八位位组流从 0x00 递增到 0xFF，并从 0x00 返回并恢复，直到多帧结束。此模式可用于 8B/10B 和 64B/66B 模式。

6.4.6.5 近程和远程传输测试模式

JESD204C 可定义近程和远程传输测试模式，以验证发送器和接收器中的传输层是否正常运行。8B/10B 模式和 64B/66B 模式的传输层测试模式是相同的，因为传输层独立于链路层。

Copyright © 2025 Texas Instruments Incorporated

在 8B/10B 模式下，只要链路处于 DATA_ENC 状态，传输测试模式就会在 ILA 完成后启动并重复执行。在 64B/66B 模式下，模式在串行器初始化后启动。

6.4.6.5.1 近程传输测试模式

近程传输测试模式可发送预定义的八位位组格式，该格式在每帧中重复发生。在 ADC12DJ5200-EP 中，所有 JMODE 配置都使用近程传输测试模式。

N'= 8 近程传输测试模式如 表 6-59 所示。图中显示了所有适用的通道，但仅使用为配置的 JMODE 启用的通道（索引度最低）。

表 6-59. N' = 8 种模式的近程传输测试模式（长度 = 2 帧）

帧	0	1
DA0	0x00	0xFF
DA1	0x01	0xFE
DA2	0x02	0xFD
DA3	0x03	0xFC
DB0	0x00	0xFF
DB1	0x01	0xFE
DB2	0x02	0xFD
DB3	0x03	0xFC

当 N'=12 和 F=8 时，使用一个近程测试模式，如所示。显示了全部 16 个通道，但某些通道可能会被禁用，这取决于 JMODE。

表 6-60. N' = 12 模式的近程传输测试模式 (F = 8)

半字节：	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
八位位组：	0		1		2		3		4		5		6		7	
通道 0 (A0)	0xF01		0xF02		0xF03				0xF04				0xF05			T
通道 1 (A1)	0xE11		0xE12		0xE13				0xE14				0xE15			T
通道 2 (A2)	0xD21		0xD22		0xD23				0xD24				0xD25			T
通道 3 (A3)	0xC31		0xC32		0xC33				0xC34				0xC35			T
通道 4 (A4)	0xB41		0xB42		0xB43				0xB44				0xB45			T
通道 5 (A5)	0xA51		0xA52		0xA53				0xA54				0xA55			T
通道 6 (A6)	0x961		0x962		0x963				0x964				0x965			T
通道 7 (A7)	0x871		0x872		0x873				0x874				0x875			T
通道 8 (B0)	0xF01		0xF02		0xF03				0xF04				0xF05			T
通道 9 (B1)	0xE11		0xE12		0xE13				0xE14				0xE15			T
通道 10 (B2)	0xD21		0xD22		0xD23				0xD24				0xD25			T
通道 11 (B3)	0xC31		0xC32		0xC33				0xC34				0xC35			T
通道 12 (B4)	0xB41		0xB42		0xB43				0xB44				0xB45			T
通道 13 (B5)	0xA51		0xA52		0xA53				0xA54				0xA55			T
通道 14 (B6)	0x961		0x962		0x963				0x964				0x965			T
通道 15 (B7)	0x871		0x872		0x873				0x874				0x875			T

6.4.6.6 D21.5 测试模式

在此测试模式下，控制器发送连续的 D21.5 字符串流（交替显示 0s 和 1s）。此模式适用于 8B/10B 和 64B/66B 模式。

Copyright © 2025 Texas Instruments Incorporated

6.4.6.7 K28.5 测试模式

在此测试模式下，控制器发送连续的 K28.5 字符流。该模式只适用于 8B/10B 模式。

6.4.6.8 重复 ILA 测试模式

在此测试模式下，JESD204C 链路层正常运行，但 ILA 序列 (ILAS) 会无限期重复，而不是启动数据阶段。每当接收器发出同步请求时，发送器都会启动代码组同步。代码组同步完成后，发送器重复发送 ILA 序列。该模式只适用于 8B/10B 模式。

6.4.6.9 修改的 RPAT 测试模式

INCITS TR-35-2004 中定义了 12 个八位位组的重复模式。该模式的目的是为 JESD204C 合规性和抖动测试生成白频谱内容。表 6-61 列出了 8B/10B 编码前后的模式。该模式只适用于 8B/10B 模式。

表 6-61. 修改了 RPAT 模式值

八位位组编号	DX.y 标记	8B/10B 编码器的 8 位输入	8B/10B 编码器的 20 位输出 (两个字符)
0	D30.5	0xBE	0x86BA6
1	D23.6	0xD7	
2	D3.1	0x23	0xC6475
3	D7.2	0x47	
4	D11.3	0x6B	0xD0E8D
5	D15.4	0x8F	
6	D19.5	0xB3	0xCA8B4
7	D20.0	0x14	
8	D30.2	0x5E	0x7949E
9	D27.7	0xFB	
10	D21.1	0x35	0xAA665
11	D25.2	0x59	

Copyright © 2025 Texas Instruments Incorporated

6.4.7 校准模式和修整

ADC12DJ5200-EP 有两种校准模式：前台校准和后台校准。启动前台校准时，ADC 会自动离线，在校准时，输出数据变为中间码（二进制补码中的 0x000）。后台校准使 ADC 能够继续正常运行，同时通过交换不同的 ADC 内核来代替 ADC 内核，在后台校准 ADC 内核。前台和后台校准模式下都提供了额外的失调电压校准功能。此外，可以修整许多 ADC 参数以优化用户系统中的性能。

ADC12DJ5200-EP 由六个子 ADC 组成，每个子 ADC 称为一个*组*，两个组 组成一个 *ADC 内核*。组以异相采样方式进行采样，因此每个 ADC 内核都是双向交错的。六个组构成三个 *ADC 内核*，称为 ADC A、ADC B 和 ADC C。在前台校准模式下，ADC A 对 INA± 进行采样，ADC B 在双通道模式下对 INB± 进行采样，ADC A 与 ADC B 在单通道模式下对 INA±（或 INB±）进行采样。在后台校准模式下，第三个 ADC 内核 ADC C 会定期交换，用于在不中断操作的情况下对 ADC A 和 ADC B 进行校准。图 6-25 提供了校准系统图，包括标记构成每个 ADC 内核的组。执行校准时，会根据内部生成的校准信号校准每组的线性度、增益和偏移电压。校准期间，前台和后台校准都可以驱动模拟输入，使用偏移校准（OS_CAL 或 BGOS_CAL）的情况除外，直流附近不得有任何信号（或混叠信号），才能正确估算偏移（请参阅*偏移校准*部分）。

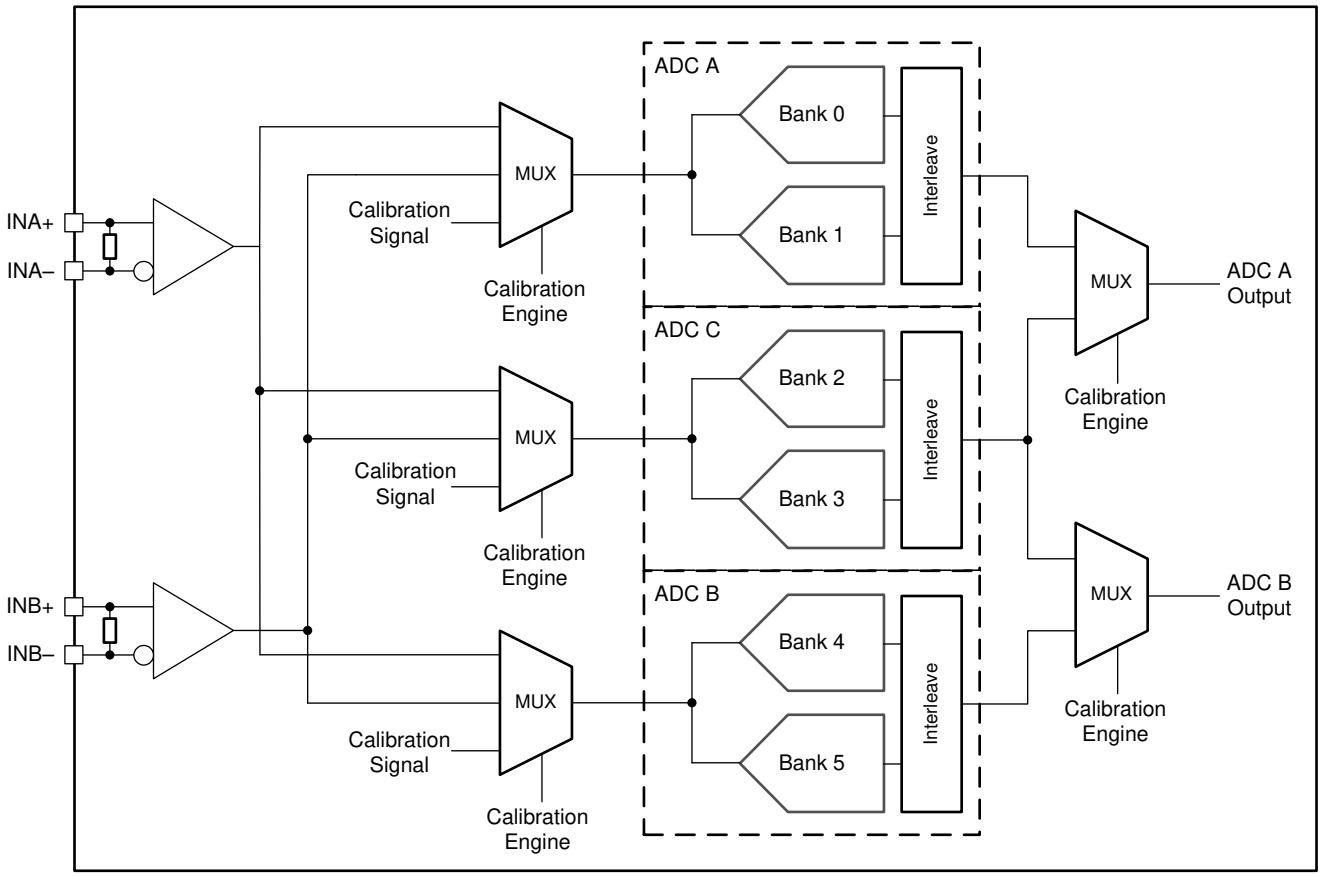


图 6-25. ADC12DJ5200-EP 校准系统方框图

除了校准之外，许多 ADC 参数是用户可控制的，为了达到最佳性能可进行修整。这些参数包括输入偏移电压，ADC 增益、交错时序和输入端接电阻。默认修整值在出厂时被编程为每个器件的唯一值，这些器件在测试系统工作条件下被确定为最佳值。用户可以从修整寄存器中读取出厂编程值，并根据需要进行调整。根据正在被采样的输入（INA±、INB±、INC± 或 IND）、正在被修整的组或正在被修整的 ADC 内核，对控制修整的寄存器字段进行标记。用户不会随着运行条件的变化而更改修整值，但用户可以这样做来获得最佳性能。由于工艺差异，任何定制修整都必须基于每个器件的情况，这意味着所有器件都没有全局最佳设置。有关可用的修整参数和相关寄存器信息，请参阅*修整*部分。

Copyright © 2025 Texas Instruments Incorporated

6.4.7.1 前台校准模式

在前台校准时要求 ADC 在该过程中停止转换模拟输入信号。前台校准始终在上电时运行。在对器件编程之前，用户必须等待足够的时间，确保校准完成。可通过触发校准引擎来启动前台校准。触发源可以是 CAL_TRIG 引脚或 CAL_SOFT_TRIG（请参阅校准软件触发器寄存器），可以通过设置 CAL_TRIG_EN 来选择（请参阅校准引脚配置寄存器）。

6.4.7.2 后台校准模式

后台校准模式支持 ADC 持续运行，且不会中断数据。通过激活已校准的额外 ADC 内核，然后接管之前其他任一有源 ADC 内核的运行，而使此项运行能持续。当 ADC 内核脱机时，对 ADC 进行校准，然后可以转而校准下一个 ADC。这一过程会持续运行，确保无论系统工作条件如何变化，ADC 内核都能始终提供出色的性能。由于额外的有效 ADC 内核，与前台校准模式相比，后台校准模式的功耗增加。*低功耗后台校准 (LPBG) 模式* 部分所述的低功耗后台校准 (LPBG) 模式提供了与标准后台校准模式相比更低的平均功耗。可以通过设置 CAL_BG 来启用后台校准（请参阅校准配置 0 寄存器）。CAL_TRIG_EN 必须设置为 0，CAL_SOFT_TRIG 必须设置为 1。

在内核切换过程时，已非常小心地以最大限度地减少对转换数据的影响，但是，随着内核交换，转换器数据上仍可能会出现短暂的毛刺脉冲。

6.4.7.3 低功耗后台校准 (LPBG) 模式

低功耗后台校准 (LPBG) 模式可降低启用额外 ADC 内核的功耗开销。离线内核在准备好进行校准并联机之前处于断电状态。设置 LP_EN = 1 以启用低功耗后台校准功能。LP_SLEEP_DLY 用于调整 ADC 唤醒以进行校准之前处于睡眠状态的时间（当 LP_EN=1 且 LP_TRIG = 0 时）。LP_WAKE_DLY 设置在校准开始并联机之前允许内核用于稳定的时间。LP_TRIG 用于在自动开关过程或由用户通过 CAL_SOFT_TRIG 或 CAL_TRIG 控制的开关过程之间进行选择。在此模式下，ADC 内核校准期间的功耗会增加。当备用 ADC 内核校准时，功耗大致在前台校准中的功耗与校准备用 ADC 时后台校准中的功耗之间交替。设计电源网络以控制此模式的瞬态电源要求。不建议在单通道工作模式中使用 LPBG 校准模式。

6.4.8 偏移校准

前台校准和后台校准模式本身会校准 ADC 内核的偏移，但是，输入缓冲器在校准环路之外。因此，没有按照标准校准过程校准它们的偏移。在双通道模式和单通道模式中，未经校准的输入缓冲器偏移会导致无输入的中间代码输出（直流偏移电压）发生移位。此外，在单通道模式下，未校准的输入缓冲器偏移会导致 f_S / 2 处产生固定杂散。为了校正输入缓冲器偏移，需提供单独的校准。

不得有直流或接近直流的信号，或直流或接近直流的混叠信号，以便正确校准偏移。这就要求系统在正常运行时指明这一条件，或者在校准期间能够使输入信号静音。前台偏移校准通过 CAL_OS 启用，作为前台校准过程的一部分，仅执行一次校准。后台偏移校准通过 CAL_BGOS 启用，作为后台校准例程的一部分继续校正偏移，以应对运行条件变化。设置 CAL_BGOS 时，系统必须确保在正常运行期间没有直流或近直流信号，也没有直流或接近直流的混叠信号。使用后台偏移校准时，模数转换受到带宽差的干扰。校准时间相对较长，因为偏移校准引擎需要大量的平均值计算。偏移校准的首选方法是将前台校准用作一次性操作，以便控制令人不安的干扰的时序。在设置 CAL_EN 之前，可以将 CAL_OS 设置为 1 来执行一次性前台校准。但是，这将无法在工作条件发生变化时校正变化。

偏移校准校正使用输入偏移修整寄存器（请参阅表 6-62）来校正偏移，因此用户在使用偏移校准时不得写入该寄存器。校准完成后，用户可以通过读取 OADJ_x_VINy 寄存器来读取校准值，其中 x 是 ADC 内核，y 是输入（INA± 或 INB±）。使用前台偏移校准时 (CAL_OS = 1) 只读取 FG_DONE 为 1 时的值，而使用后台偏移校准时 (CAL_BGOS = 1) 不读取这些值。

6.4.9 修整

表 6-62 列出了可修整的参数以及相关的寄存器。用户修整仅限于前台 (FG) 校准模式。

表 6-62. 修整寄存器说明

修整参数	修整寄存器	注释
带隙基准	BG_TRIM	BG 输出引脚上的测量值。

Copyright © 2025 Texas Instruments Incorporated

表 6-62. 修整寄存器说明（续）

修整参数	修整寄存器	注释
输入终端电阻	RTRIM_x， 其中 x = A 表示 INA±，B 表示 INB±）	器件上电时必须使用时钟。
输入失调电压	OADJ_A_FG0_VINx、OADJ_A_FG90_VINx 和 OADJ_B_FG0_VINx、 其中 OADJ_A 适用于 ADC 内核 A，OADJ_B 适用于 ADC 内核 B，FG0 适用于 ADC 内核 A 和 B 的双通道模式，以及 ADC 内核 B 的单通道模式，FG90 适用于单通道模式下的 ADC 内核 A，并且 x = A 表示 INA±，B 表示 INB±）	双通道模式下的输入失调电压调整包括更改通道 A 的 OADJ_A_FG0_VINA 和通道 B 的 OADJ_B_FG0_VINB。在单通道模式下、必须同时调整 OADJ_A_FG90_VINx 和 OADJ_B_FG0_VINx 以微调输入失调电压、或者单独调整以补偿 $f_S/2$ 杂散失调电压。
INA± 和 INB± 增益	GAIN_xy_FGDUAL 或 GAIN_xy_FGDES， 其中 x = ADC 通道（A 或 B）、y = 组编号（0 或 1）	在修整输入之前，将 FS_RANGE_A 和 FS_RANGE_B 设置为默认值。使用 FS_RANGE_A 和 FS_RANGE_B 调整满量程输入电压。GAIN_xy_FGDUAL 寄存器适用于双通道模式，GAIN_xy_FGDES 寄存器适用于单通道模式。要修整 ADC 内核 A 或 B 的增益，请以相同方向一起更改 GAIN_x0_FGDUAL 和 GAIN_x1_FGDUAL（或 GAIN_x0_FGDES 和 GAIN_x1_FGDES）。要修整 ADC A 或 B 内两个组的增益，请以相反方向更改 GAIN_x0_FGDUAL 和 GAIN_x1_FGDUAL（或 GAIN_x0_FGDES 和 GAIN_x1_FGDES）。
INA± 和 INB± 满量程输入电压	FS_RANGE_x， 其中 x = A 表示 INA±，B 表示 INB±）	针对每个输入进行满量程输入电压调整。默认值受 GAIN_Bx（x = 0、1、4 或 5）的影响。在将 FS_RANGE_x 设置为默认值的情况下，修整 GAIN_Bx。然后可以使用 FS_RANGE_x 来修整满量程输入电压。
ADC 内部内核时序（组时序）	Bx_TIME_y， 其中 x = 组编号（0、1、4 或 5） ，y = 0° (0) 或 –90° (90) 时钟相位	修整 ADC 内核的两个组（ADC A 或 B）之间的时序。0° 时钟相位用于双通道模式，而 ADC B 用于单通道模式。–90° 时钟相位仅用于单通道模式下的 ADC A。ADC 内核两个组之间的时序不匹配会导致双通道模式下出现 $f_S/2-f_{IN}$ 杂散，或单通道模式下出现 $f_S/4\pm f_{IN}$ 杂散。
ADC 间内核时序（双通道模式）	TADJ_A、TADJ_B	后缀字母（A 或 B）表示正在修整的 ADC 内核。更改 TADJ_A 或 TADJ_B 会调整双通道模式下 ADC A 相对于 ADC B 的采样实例。
ADC 间内核时序（单通道模式）	TADJ_A_FG90_VINx、TADJ_B_FG0_VINx， 其中 x = 模拟输入（INA± 或 INB±）	这些修整寄存器用于调整在单通道模式下 ADC 内核 A 相对于 ADC 内核 B 的时序。时序不匹配将导致与信号相关的 $f_S/2-f_{IN}$ 杂散。在单通道模式下，更改 TADJ_A_FG90_VINx 或 TADJ_B_FG0_VINx 会更改 ADC 内核 A 相对于 ADC 内核 B 的相对时序。

Copyright © 2025 Texas Instruments Incorporated

6.5 编程

6.5.1 使用串行接口

使用以下四个引脚访问串行接口：串行时钟 (SCLK)、串行数据输入 (SDI)、串行数据输出 (SDO) 和串行接口片选 ($\overline{SCS}$)。通过 $\overline{SCS}$ 引脚启用寄存器访问。

6.5.1.1 $\overline{SCS}$

该信号必须置位低电平才能通过串行接口访问寄存器。必须遵守相对于 SCLK 的建立和保持时间。

6.5.1.2 SCLK

在该信号的上升沿接受串行数据输入。SCLK 没有最低频率要求。

6.5.1.3 SDI

每个寄存器访问都需要在此输入端采用特定的 24 位模式。该模式包含一个读写 (R/W) 位、寄存器地址和寄存器值。数据以 MSB 优先的方式移动，多字节寄存器始终采用小端字节序格式（存储在最低地址的最低有效字节）。必须遵守有关 SCLK 的设置和保持时间（请参阅*时序要求*表）。

6.5.1.4 SDO

SDO 信号提供读取命令所请求的输出数据。该输出在写入总线周期以及读取总线周期的读取位和寄存器地址部分期间具有高阻抗。

如图 6-26 所示，每个寄存器访问都由 24 位组成。第一个位为高电平时进行读取，为低电平时进行写入。

接下来的 15 位是要写入的寄存器的地址。在写入操作期间，最后 8 位是写入到已寻址寄存器的数据。在读取操作期间，SDI 上的最后 8 个位将被忽略，在此期间，SDO 将输出来自已寻址寄存器的数据。图 6-26 展示了串行协议详细信息。

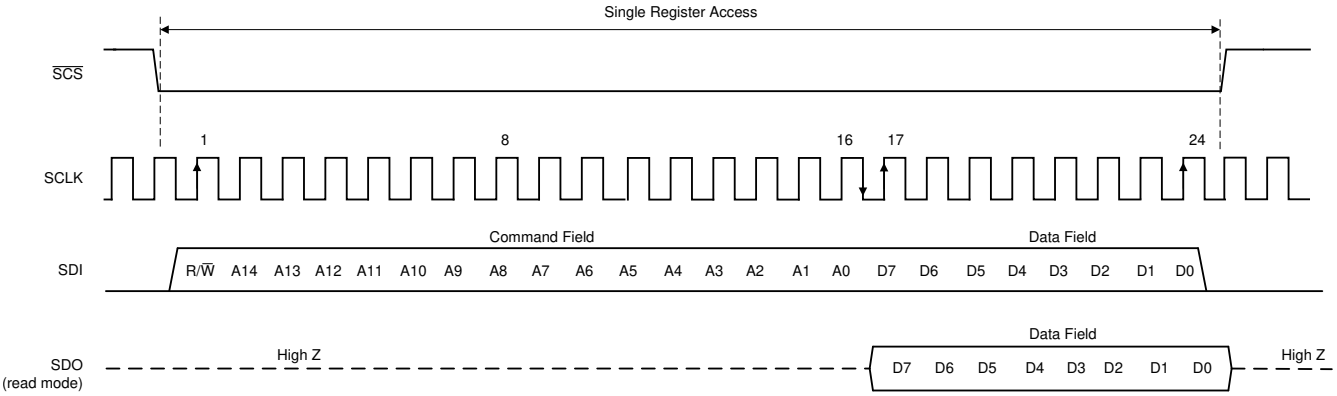


图 6-26. 串行接口协议：单读取/写入

Copyright © 2025 Texas Instruments Incorporated

6.5.1.5 流模式

串行接口支持流式读取和写入。在此模式下，事务的前 24 位将照常指定访问类型、寄存器地址和数据值。只要 $\overline{SCS}$ 输入保持在置位（逻辑低电平）状态，读/写数据的额外时钟周期就会立即传输。对于每次后续的 8 位流事务传输，寄存器地址都会自动递增（默认）或递减。ADDR_ASC 位（寄存器 000h，位 5 和 2）控制地址值是上升（递增）还是下降（递减）。可以通过设置 ADDR_HOLD 位来禁用流模式（请参阅用户 SPI 配置寄存器）。图 6-27 展示了流模式事务详细信息。

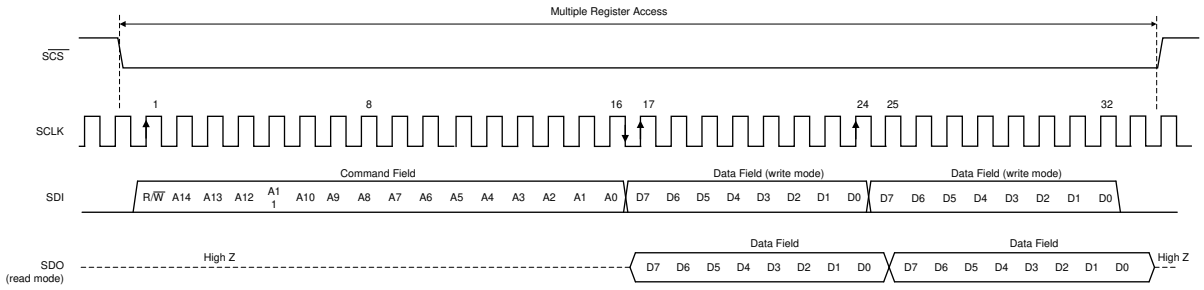


图 6-27. 串行接口协议：流式读取/写入

有关这些寄存器的详细信息，请参阅 *SPI 寄存器映射* 部分

备注

切勿在 ADC 校准期间访问串行接口。在此期间访问串行接口会降低器件性能，直到正确校准器件为止。对串行寄存器进行写入或读取操作还会降低寄存器访问期间的动态 ADC 性能。

Copyright © 2025 Texas Instruments Incorporated

6.6 SPI 寄存器映射

表 6-63 列出了 SPI_Register_Map 寄存器。表 6-63 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

表 6-63. SPI REGISTER MAP 寄存器

地址	首字母缩写词	寄存器名称	部分
0x0	CONFIG_A	配置 A (默认值：0x30)	转到
0x2	DEVICE_CONFIG	器件配置 (默认值：0x00)	转到
0x3	CHIP_TYPE	芯片类型 (默认值：0x03)	转到
0x4	CHIP_ID	芯片标识	转到
0xC	VENDOR_ID	供应商标识 (默认值 = 0x0451)	转到
0x10	USR0	用户 SPI 配置 (默认值：0x00)	转到
0x29	CLK_CTRL0	时钟控制 0 (默认值：0x00)	转到
0x2A	CLK_CTRL1	时钟控制 1 (默认值：0x00)	转到
0x02B	CLK_CNTL2	时钟控制 2 (默认值：0x11)	转到
0x2C	SYSREF_POS	SYSREF 捕获位置 (只读，默认值：未定义)	转到
0x30	FS_RANGE_A	FS_RANGE_A (默认值：0xA000)	转到
0x32	FS_RANGE_B	FS_RANGE_B (默认值：0xA000)	转到
0x38	BG_BYPASS	带隙旁路 (默认值：0x00)	转到
0x3B	TMSTP_CTRL	TMSTP 控制 (默认值：0x00)	转到
0x48	SER_PE	串行器预加重控制 (默认值：0x00)	转到
0x4F	PLL_CTRL3	PLL 控制 3 (默认值：0x13)	转到
0x60	INPUT_MUX	输入多路复用器控制 (默认值：0x01)	转到
0x61	CAL_EN	启用校准 (默认值：0x01)	转到
0x62	CAL_CFG0	校准配置 0 (默认值：0x01)	转到
0x64	CAL_CFG2	校准配置 0 (默认值：0x02)	转到
0x68	CAL_AVG	校准均值计算 (默认值：0x61)	转到
0x6A	CAL_STATUS	校准状态 (默认值：未定义) (只读)	转到
0x6B	CAL_PIN_CFG	校准引脚配置 (默认值：0x00)	转到
0x6C	CAL_SOFT_TRIG	校准软件触发器 (默认值：0x01)	转到
0x6E	CAL_LP	低功耗后台校准 (默认值：0x88)	转到
0x70	CAL_DATA_EN	校准数据使能 (默认值：0x00)	转到
0x71	CAL_DATA	校准数据 (默认值：未定义)	转到
0x7A	GAIN_TRIM_A	增益 DAC 修整 A (保险丝 ROM 的默认值)	转到
0x7B	GAIN_TRIM_B	增益 DAC 修整 B (保险丝 ROM 的默认值)	转到
0x7C	BG_TRIM	带隙修整 (保险丝 ROM 的默认值)	转到
0x7E	RTRIM_A	VinA 的电阻器修整 (保险丝 ROM 的默认值)	转到
0x7F	RTRIM_B	VinB 的电阻器修整 (保险丝 ROM 的默认值)	转到
0x9D	ADC_DITH	ADC 抖动控制 (保险丝 ROM 的默认值)	转到
0x160	LSB_CTRL	LSB 控制位输出 (默认值：0x00)	转到
0x200	JESD_EN	JESD204C 子系统启用 (默认值：0x01)	转到
0x201	JMODE	JESD204C 模式 (默认值：0x02)	转到
0x202	KM1	JESD204C K 参数 (默认值：0x1F)	转到
0x203	JSYNC_N	JESD204C 手动同步请求 (默认值：0x01)	转到
0x204	JCTRL	JESD204C 控制 (默认值：0x03)	转到

Copyright © 2025 Texas Instruments Incorporated

表 6-63. SPI REGISTER MAP 寄存器（续）

地址	首字母缩写词	寄存器名称	部分
0x205	JTEST	JESD204C 测试控制（默认值：0x00）	转到
0x206	DID	JESD204C DID 参数（默认值：0x00）	转到
0x207	FCHAR	JESD204C 帧字符（默认值：0x00）	转到
0x208	JESD_STATUS	JESD204C/系统状态寄存器	转到
0x209	PD_CH	JESD204C 通道断电（默认值：0x00）	转到
0x20A	JEXTRA_A	JESD204C 额外通道使能（链路 A）（默认值：0x00）	转到
0x20B	JEXTRA_B	JESD204C 额外通道使能（链路 B）（默认值：0x00）	转到
0x20F	SHMODE	JESD204C 同步字模式（默认值：0x00）	转到
0x210	DDC_CFG	DDC 配置（默认值：0x00）	转到
0x211	OVR_T0	超范围阈值 0（默认值：0xF2）	转到
0x212	OVR_T1	超范围阈值 1（默认值：0xAB）	转到
0x213	OVR_CFG	超范围启用/保持关闭（默认值：0x07）	转到
0x214	CMODE	DDC NCO 配置预设模式（默认值：0x00）	转到
0x215	CSEL	DDC NCO 配置预设选择（默认值：0x00）	转到
0x216	DIG_BIND	数字信道绑定（默认值：0x02）	转到
0x217	NCO_RDIV	NCO 参考除数（默认值：0x0000）	转到
0x219	NCO_SYNC	NCO 同步（默认值：0x02）	转到
0x220	FREQA0	NCO 频率（通道 A、预设 0）（默认值：0xC0000000）	转到
0x224	PHASEA0	NCO 相位（通道 A、预设 0）（默认值：0x0000）	转到
0x228	FREQA1	NCO 频率（通道 A、预设 1）（默认值：0xC0000000）	转到
0x22C	PHASEA1	NCO 相位（通道 A、预设 1）（默认值：0x0000）	转到
0x230	FREQA2	NCO 频率（通道 A、预设 2）（默认值：0xC0000000）	转到
0x234	PHASEA2	NCO 相位（通道 A、预设 2）（默认值：0x0000）	转到
0x238	FREQA3	NCO 频率（通道 A、预设 3）（默认值：0xC0000000）	转到
0x23C	PHASEA3	NCO 相位（通道 A、预设 3）（默认值：0x0000）	转到
0x240	FREQB0	NCO 频率（通道 B、预设 0）（默认值：0xC0000000）	转到
0x244	PHASEB0	NCO 相位（通道 B、预设 0）（默认值：0x0000）	转到
0x248	FREQB1	NCO 频率（通道 B、预设 1）（默认值：0xC0000000）	转到
0x24C	PHASEB1	NCO 相位（通道 B、预设 1）（默认值：0x0000）	转到
0x250	FREQB2	NCO 频率（通道 B、预设 2）（默认值：0xC0000000）	转到
0x254	PHASEB2	NCO 相位（通道 B、预设 2）（默认值：0x0000）	转到
0x258	FREQB3	NCO 频率（通道 B、预设 3）（默认值：0xC0000000）	转到
0x25C	PHASEB3	NCO 相位（通道 B、预设 3）（默认值：0x0000）	转到
0x270	INIT_STATUS	初始化状态（只读）	转到
0x297	SPIN_ID	芯片旋转标识符（默认值：请参阅说明，只读）	转到
0x2A2	TESTBUS	模拟测试总线控制（默认值：0x00）	转到
0x2B0	SRC_EN	SYSREF 校准使能（默认值：0x00）	转到
0x2B1	SRC_CFG	SYSREF 校准配置（默认值：0x05）	转到
0x2B2	SRC_STATUS	SYSREF 校准状态（只读，默认值：未定义）	转到
0x2B5	TAD	DEVCLK 时序调整（默认值：0x00）	转到
0x2B8	TAD_RAMP	DEVCLK 时序调整斜坡控制（默认值：0x00）	转到
0x2C0	ALARM	警报中断（只读）	转到

Copyright © 2025 Texas Instruments Incorporated

表 6-63. SPI REGISTER MAP 寄存器（续）

地址	首字母缩写词	寄存器名称	部分
0x2C1	ALM_STATUS	警报状态（默认值：0x3F，写入以进行清除）	转到
0x2C2	ALM_MASK	警报屏蔽寄存器（默认值：0x3F）	转到
0x2C4	FIFO_LANE_ALM	FIFO 上溢/下溢警报（默认值：0xFFFF）	转到
0x310	TADJ_A	在双通道模式下运行的 A-ADC 的时序调整（保险丝 ROM 的默认值）	转到
0x313	TADJ_B	在双通道模式下运行的 B-ADC 的时序调整（保险丝 ROM 的默认值）	转到
0x314	TADJ_A_FG90_VINA	在单通道模式下运行并对 INA± 采样的 A-ADC 的时序调整（保险丝 ROM 的默认值）	转到
0x315	TADJ_B_FG0_VINA	在单通道模式下运行并对 INA± 采样的 B-ADC 的时序调整（保险丝 ROM 的默认值）	转到
0x31A	TADJ_A_FG90_VINB	在单通道模式下运行并对 INB± 采样的 A-ADC 的时序调整（保险丝 ROM 的默认值）	转到
0x31B	TADJ_B_FG0_VINB	在单通道模式下运行并对 INB± 采样的 B-ADC 的时序调整（保险丝 ROM 的默认值）	转到
0x344	OADJ_A_FG0_VINA	在双通道模式下运行、对 INA± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）	转到
0x346	OADJ_A_FG0_VINB	在双通道模式下运行、对 INB± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）	转到
0x348	OADJ_A_FG90_VINA	在单通道模式下运行、对 INA± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）	转到
0x34A	OADJ_A_FG90_VINB	在单通道模式下运行、对 INB± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）	转到
0x34C	OADJ_B_FG0_VINA	对 INA± 进行采样 B-ADC 的偏移调整（保险丝 ROM 的默认值）	转到
0x34E	OADJ_B_FG0_VINB	对 INB± 进行采样 B-ADC 的偏移调整（保险丝 ROM 的默认值）	转到
0x350	GAIN_A0_FGDUAL	双通道模式下 ADC A 组 0 的精细增益调整（保险丝 ROM 的默认值）	转到
0x351	GAIN_A1_FGDUAL	双通道模式下 ADC A 组 1 的精细增益调整（保险丝 ROM 的默认值）	转到
0x352	GAIN_B0_FGDUAL	双通道模式下 ADC B 组 0 的精细增益调整（保险丝 ROM 的默认值）	转到
0x353	GAIN_B1_FGDUAL	双通道模式下 ADC B 组 1 的精细增益调整（保险丝 ROM 的默认值）	转到
0x354	GAIN_A0_FGDES	单通道模式下 ADC A 组 0 的精细增益调整（来自保险丝 ROM 的默认值）	转到
0x355	GAIN_A1_FGDES	单通道模式下 ADC A 组 1 的精细增益调整（来自保险丝 ROM 的默认值）	转到
0x356	GAIN_B0_FGDES	单通道模式下 ADC B 组 0 的精细增益调整（保险丝 ROM 的默认值）	转到
0x357	GAIN_B1_FGDES	单通道模式下 ADC B 组 1 的精细增益调整（保险丝 ROM 的默认值）	转到
0x400	PFIR_CFG	可编程 FIR 模式（默认值：0x00）	转到
0x418	PFIR_A0	PFIR 系数 A0	转到
0x41A	PFIR_A1	PFIR 系数 A1	转到
0x41C	PFIR_A2	PFIR 系数 A2	转到
0x41E	PFIR_A3	PFIR 系数 A3	转到
0x420	PFIR_A4	PFIR 系数 A4	转到
0x423	PFIR_A5	PFIR 系数 A5	转到
0x425	PFIR_A6	PFIR 系数 A6	转到
0x427	PFIR_A7	PFIR 系数 A7	转到
0x429	PFIR_A8	PFIR 系数 A8	转到
0x448	PFIR_B0	PFIR 系数 B0	转到
0x44A	PFIR_B1	PFIR 系数 B1	转到
0x44C	PFIR_B2	PFIR 系数 B2	转到
0x44E	PFIR_B3	PFIR 系数 B3	转到

Copyright © 2025 Texas Instruments Incorporated

表 6-63. SPI REGISTER MAP 寄存器（续）

地址	首字母缩写词	寄存器名称	部分
0x450	PFIR_B4	PFIR 系数 B4	转到
0x453	PFIR_B5	PFIR 系数 B5	转到
0x455	PFIR_B6	PFIR 系数 B6	转到
0x457	PFIR_B7	PFIR 系数 B7	转到
0x459	PFIR_B8	PFIR 系数 B8	转到

复杂的位访问类型经过编码可适应小型表单元。表 6-64 展示了适用于此部分中访问类型的代码。

表 6-64. SPI_Register_Map 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值
寄存器数组变量		
i、j、k、l、m、n		当这些变量用于寄存器名称、偏移或地址时，它们指的是寄存器数组的值，其中寄存器是一组重复寄存器的一部分。寄存器组构成分层结构，数组用公式表示。
y		当该变量用于寄存器名称、偏移或地址时，它指的是寄存器数组的值。

6.6.1 CONFIG_A 寄存器（地址 = 0x0）[复位 = 0x30]

图 6-28 展示了 CONFIG_A，表 6-65 中对此进行了介绍。

返回到汇总表。

配置 A（默认值：0x30）

图 6-28. CONFIG_A 寄存器

7	6	5	4	3	2	1	0
SOFT_RESET	RESERVED	ASCEND	SDO_ACTIVE	RESERVED			
R/W-0x0	R/W-0x0	R/W-0x1	R-0x1	R/W-0x0			

表 6-65. CONFIG_A 寄存器字段说明

位	字段	类型	复位	说明
7	SOFT_RESET	R/W	0x0	设置该位会导致芯片和所有 SPI 寄存器（包括 CONFIG_A）完全复位。该位会自行清除。写入该位后，器件可能需要长达 750ns 的时间才能复位。在此期间，请勿执行任何 SPI 事务。
6	RESERVED	R/W	0x0	
5	ASCEND	R/W	0x1	0：在流式读取/写入期间地址递减 1：在流式读取/写入期间地址递增（默认）

Copyright © 2025 Texas Instruments Incorporated

表 6-65. CONFIG_A 寄存器字段说明（续）

位	字段	类型	复位	说明
4	SDO_ACTIVE	R	0x1	始终返回 1。始终使用 SDO 进行 SPI 读取。 不支持 SDIO 模式。
3:0	RESERVED	R/W	0x0	

6.6.2 DEVICE_CONFIG 寄存器（地址 = 0x2）[复位 = 0x00]

图 6-29 展示了 DEVICE_CONFIG，表 6-66 中对此进行了介绍。

返回到汇总表。

器件配置（默认值：0x00）

图 6-29. DEVICE_CONFIG 寄存器

7	6	5	4	3	2	1	0
RESERVED						模式	
R/W-0x0						R/W-0x0	

表 6-66. DEVICE_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1:0	模式	R/W	0x0	0：正常运行（默认） 1：保留 2：保留 3：断电（最低功耗、恢复较慢）

6.6.3 CHIP_TYPE 寄存器（地址 = 0x3）[复位 = 0x03]

图 6-30 展示了 CHIP_TYPE，表 6-67 中对此进行了介绍。

返回到汇总表。

芯片类型（默认值：0x03）

图 6-30. CHIP_TYPE 寄存器

7	6	5	4	3	2	1	0
RESERVED				CHIP_TYPE			
R/W-0x0				R-0x3			

表 6-67. CHIP_TYPE 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3:0	CHIP_TYPE	R	0x3	始终返回 0x3，表示该器件是高速 ADC。

6.6.4 CHIP_ID 寄存器（地址 = 0x4）[复位 = 0x0]

图 6-31 展示了 CHIP_ID，表 6-68 对其进行了介绍。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

芯片标识

图 6-31. CHIP_ID 寄存器

15	14	13	12	11	10	9	8
CHIP_ID							
R-0x0							
7	6	5	4	3	2	1	0
CHIP_ID							
R-0x0							

表 6-68. CHIP_ID 寄存器字段说明

位	字段	类型	复位	说明
15:0	CHIP_ID	R	0x0	返回 0x0021 指示器件位于 ADCrrDJssssRF 系列中。

6.6.5 VENDOR_ID 寄存器（地址 = 0xC）[复位 = 0x0]

图 6-32 展示了 VENDOR_ID，表 6-69 中对此进行了介绍。

返回到汇总表。

供应商标识（默认值 = 0x0451）

图 6-32. VENDOR_ID 寄存器

15	14	13	12	11	10	9	8
VENDOR_ID							
R-0x0							
7	6	5	4	3	2	1	0
VENDOR_ID							
R-0x0							

表 6-69. VENDOR_ID 寄存器字段说明

位	字段	类型	复位	说明
15:0	VENDOR_ID	R	0x0	始终返回 0x0451（德州仪器 (TI) 的供应商 ID）

6.6.6 USR0 寄存器（地址 = 0x10）[复位 = 0x00]

图 6-33 展示了 USR0，表 6-70 中对此进行了介绍。

返回到汇总表。

用户 SPI 配置（默认值：0x00）

图 6-33. USR0 寄存器

7	6	5	4	3	2	1	0
RESERVED							ADDR_HOLD
R/W-0x0							R/W-0x0

表 6-70. USR0 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-70. USR0 寄存器字段说明 （续）

位	字段	类型	复位	说明
0	ADDR_HOLD	R/W	0x0	0：使用 ASCEND 寄存器来选择地址 ASCEND/DECEND 模式（默认值） 1：地址在整个流操作中保持恒定；有助于在 CAL_DATA 寄存器中读取和写入校准矢量信息

6.6.7 CLK_CTRL0 寄存器（地址 = 0x29）[复位 = 0x00]

图 6-34 展示了 CLK_CTRL0，表 6-71 中对此进行了介绍。

返回到汇总表。

时钟控制 0（默认值：0x00）

图 6-34. CLK_CTRL0 寄存器

7	6	5	4	3	2	1	0
RESERVED	SYSREF_PROC_EN	SYSREF_RECV_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			

表 6-71. CLK_CTRL0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	
6	SYSREF_PROC_EN	R/W	0x0	该位可启用 SYSREF 处理器，允许器件处理 SYSREF 事件（默认值：禁用）。在设置 SYSREF_PROC_EN 之前，必须先设置 SYSREF_RECV_EN。
5	SYSREF_RECV_EN	R/W	0x0	设置该位可启用 SYSREF 接收器电路（默认值：禁用）
4	SYSREF_ZOOM	R/W	0x0	设置该位可放大 SYSREF 窗口状态和延迟（影响 SYSERF_POS 和 SYSREF_SEL）。设置后，SYSREF 窗口化功能（在 SYSREF_POS 寄存器中报告）中使用的延迟会变少。使用 SYSREF_ZOOM 来实现高时钟速率，特别是在 SYSREF_POS 寄存器中出现多个 SYSREF 有效窗口时；请参阅 SYSREF 位置检测器和采样位置选择（SYSREF 窗口化）部分。
3:0	SYSREF_SEL	R/W	0x0	设置该字段以选择要使用的 SYSREF 延迟。根据 SYSREF_POS 返回的结果设置此字段；请参阅“SYSREF 位置检测器和采样位置选择（SYSREF 窗口）”一节。这些位必须设置为 0，才能使用 SYSREF 校准时，；请参阅自动 SYSREF 校准 部分。

6.6.8 CLK_CTRL1 寄存器（地址 = 0x2A）[复位 = 0x00]

图 6-35 展示了 CLK_CTRL1，表 6-72 中对此进行了介绍。

返回到汇总表。

时钟控制 1（默认值：0x00）

图 6-35. CLK_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED				SYSREF_TIME_STAMP_EN	DEVCLK_LVPECL_EN	SYSREF_LVPECL_EN	SYSREF_INVERTED

Copyright © 2025 Texas Instruments Incorporated

图 6-35. CLK_CTRL1 寄存器（续）

R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 6-72. CLK_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3	SYSREF_TIME_STAMP_EN	R/W	0x0	同时设置 SYSREF_TIMESTAMP_EN 和 TIME_STAMP_EN 时，可以在 JESD204C 输出样本的 LSB 上观察 SYSREF 信号。仅在 DDC 旁路模式（即 D=1）下受支持。该位允许将 SYSREF± 用作时间戳输入。
2	DEVCLK_LVPECL_EN	R/W	0x0	为 CLK± 激活直流耦合低压 PECL 模式；请参阅引脚功能表。
1	SYSREF_LVPECL_EN	R/W	0x0	为 SYSREF± 激活直流耦合低压 PECL 模式；请参阅引脚功能表。
0	SYSREF_INVERTED	R/W	0x0	该位可反转用于对齐的 SYSREF 信号。

6.6.9 CLK_CTRL2 寄存器（地址 = 0x02B）[复位 = 0x11]

图 6-36 展示了 CLK_CTRL2，表 6-73 中对此进行了介绍。

返回到汇总表。

时钟控制 2（默认值：0x11）

图 6-36. CLK_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED			C_CLK_FEEDBACK_GAIN	保留	EN_VA11_NOISE_SUPPR	CLKSAMP_DEL	
R/W-0x0			R/W-0x1	R/W-0x0	R/W-0x0	R/W-0x1	

表 6-73. CLK_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4	C_CLK_FEEDBACK_GAIN	R/W	0x1	CMLtoCMOS 转换器的可调节反馈增益（高增益：1）
3	保留	R/W	0x0	保留
2	EN_VA11_NOISE_SUPPR	R/W	0x0	设置后，VA11 上的噪声被抑制。建议使用该设置，因为它可以减少从数字电路到模拟时钟的噪声耦合，但代价是功耗略微增加。
1:0	CLKSAMP_DEL	R/W	0x1	采样时钟的可调节延迟（一次热编码）

6.6.10 SYSREF_POS 寄存器（地址 = 0x2C）[复位 = 0x0]

图 6-37 展示了 SYSREF_POS，表 6-74 中对此进行了介绍。

返回到汇总表。

SYSREF 捕获位置（只读，默认值：未定义）

图 6-37. SYSREF_POS 寄存器

23	22	21	20	19	18	17	16
SYSREF_POS							
R/W-0x0							
15	14	13	12	11	10	9	8

Copyright © 2025 Texas Instruments Incorporated

图 6-37. SYSREF_POS 寄存器（续）

SYSREF_POS							
R/W-0x0							
7	6	5	4	3	2	1	0
SYSREF_POS							
R/W-0x0							

表 6-74. SYSREF_POS 寄存器字段说明

位	字段	类型	复位	说明
23:0	SYSREF_POS	R/W	0x0	返回一个 24 位状态值，指示 SYSREF 边沿相对于 CLK+ 的位置。使用其可对 SYSREF_SEL 进行编程。

6.6.11 FS_RANGE_A 寄存器（地址 = 0x30）[复位 = 0xA000]

图 6-38 展示了 FS_RANGE_A，表 6-75 中对此进行了介绍。

返回到汇总表。

FS_RANGE_A（默认值：0xA000）

图 6-38. FS_RANGE_A 寄存器

15	14	13	12	11	10	9	8
FS_RANGE_A							
R/W-0xA000							
7	6	5	4	3	2	1	0
FS_RANGE_A							
R/W-0xA000							

表 6-75. FS_RANGE_A 寄存器字段说明

位	字段	类型	复位	说明
15:0	FS_RANGE_A	R/W	0xA000	这些位可以调整 INA± 的模拟满量程范围。 0x0000: 0x2000 以下的设置会导致性能下降 0x2000：500mVpp - 建议的最小设置 0xA000：800mVpp（默认值） 0xFFFF：1000 mVPP - 最大设置

6.6.12 FS_RANGE_B 寄存器（地址 = 0x32）[复位 = 0xA000]

图 6-39 展示了 FS_RANGE_B，表 6-76 中对此进行了介绍。

返回到汇总表。

FS_RANGE_B（默认值：0xA000）

图 6-39. FS_RANGE_B 寄存器

15	14	13	12	11	10	9	8
FS_RANGE_B							
R/W-0xA000							
7	6	5	4	3	2	1	0
FS_RANGE_B							
R/W-0xA000							

Copyright © 2025 Texas Instruments Incorporated

图 6-39. FS_RANGE_B 寄存器（续）

表 6-76. FS_RANGE_B 寄存器字段说明

位	字段	类型	复位	说明
15:0	FS_RANGE_B	R/W	0xA000	这些位可以调整 INB± 的模拟满量程范围。 0x0000: 0x2000 以下的设置会导致性能下降 0x2000：500mVpp - 建议的最小设置 0xA000：800mVpp（默认值） 0xFFFF：1000 mVPP - 最大设置

6.6.13 BG_BYPASS 寄存器（地址 = 0x38）[复位 = 0x00]

图 6-40 展示了 BG_BYPASS，表 6-77 中对此进行了介绍。

返回到汇总表。

带隙旁路（默认值：0x00）

图 6-40. BG_BYPASS 寄存器

7	6	5	4	3	2	1	0
RESERVED							BG_BYPASS
R/W-0x0							R/W-0x0

表 6-77. BG_BYPASS 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	BG_BYPASS	R/W	0x0	设置后，VA11 用作电压基准，而不是带隙电压。

6.6.14 TMSTP_CTRL 寄存器（地址 = 0x3B）[复位 = 0x00]

图 6-41 展示了 TMSTP_CTRL，表 6-78 中对此进行了介绍。

返回到汇总表。

TMSTP 控制（默认值：0x00）

图 6-41. TMSTP_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED						TMSTP_LVPECL_EN	TMSTP_RECV_EN
R/W-0x0						R/W-0x0	R/W-0x0

表 6-78. TMSTP_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1	TMSTP_LVPECL_EN	R/W	0x0	设置后，激活差分 TMSTP± 输入的低压 PECL 模式。
0	TMSTP_RECV_EN	R/W	0x0	启用差分 TMSTP±输入。

6.6.15 SER_PE 寄存器（地址 = 0x48）[复位 = 0x00]

图 6-42 展示了 SER_PE，表 6-79 中对此进行了介绍。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

串行器预加重控制（默认值：0x00）

图 6-42. SER_PE 寄存器

7	6	5	4	3	2	1	0
RESERVED				SER_PE_BOOST	SER_PE		
R/W-0x0				R/W-0x0	R/W-0x0		

表 6-79. SER_PE 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3	SER_PE_BOOST	R/W	0x0	额外的预加重增强可稍微增加预加重并随时间延长。
2:0	SER_PE	R/W	0x0	设置串行器/解串器输出通道的预加重。预加重可用于补偿 PCB 布线的高频损耗。这是一个全局设置，会影响所有 16 条通道 (DA[7:0]±、DB[7:0]±)。

6.6.16 PLL_CTRL3 寄存器（地址 = 0x4F）[复位 = 0x13]

图 6-43 显示了 PLL_CTRL3，表 6-80 中对此进行了介绍。

返回到汇总表。

芯片标识

图 6-43. PLL_CTRL3 寄存器

7	6	5	4	3	2	1	0
保留						PROP_CP_CUR	
R/W-0x1						R/W-0x3	

表 6-80. PLL_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7:3	保留	R/W	0x1	保留
2:0	PROP_CP_CUR	R/W	0x3	电荷泵电流针对 PLL 环路带宽进行了调整。这会影响稳定性、输入跟踪和 VCO 噪声。 0：电流降低了 70% 1：电流降低了 50% 2：电流降低了 25% 3：标称电流（无调整）（默认） 4：电流增加了 25% 5：电流增加了 50% 6：电流增加了 75% 7：电流增加了 100% 将 **PROP_CP_CUR** 设置为 0x7 可以提高超范围事件期间的串行器/解串器的稳定性。

6.6.17 INPUT_MUX 寄存器（地址 = 0x60）[复位 = 0x01]

图 6-44 展示了 INPUT_MUX，表 6-81 中对此进行了介绍。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

输入多路复用器控制（默认值：0x01）

图 6-44. INPUT_MUX 寄存器

7	6	5	4	3	2	1	0
RESERVED			DUAL_INPUT	RESERVED		SINGLE_INPUT	
R/W-0x0			R/W-0x0	R/W-0x0		R/W-0x1	

表 6-81. INPUT_MUX 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4	DUAL_INPUT	R/W	0x0	针对双通道模式选择输入。如果 JMODE 选择单通道模式，则该寄存器无效。 0：A 通道对 INA± 采样，B 通道对 INB± 采样（不交换）（默认） 1：A 通道对 INB± 采样，B 通道对 INA± 采样（交换）
3:2	RESERVED	R/W	0x0	
1:0	SINGLE_INPUT	R/W	0x1	定义了在单通道模式下对哪个输入采样。如果 JMODE 没有选择单通道模式，则该寄存器无效。 0：保留 1：使用 INA±（默认） 2：使用 INB± 3：ADC 通道 A 对 INA± 采样，ADC 通道 B 对 INB± 采样（DUAL DES 模式）。切换输入多路复用器后需要执行校准才能使更改生效。

6.6.18 CAL_EN 寄存器（地址 = 0x61）[复位 = 0x01]

图 6-45 展示了 CAL_EN，表 6-82 中对此进行了介绍。

返回到汇总表。

启用校准（默认值：0x01）

图 6-45. CAL_EN 寄存器

7	6	5	4	3	2	1	0
RESERVED							CAL_EN
R/W-0x0							R/W-0x1

表 6-82. CAL_EN 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	CAL_EN	R/W	0x1	校准启用。设置为高电平可运行校准。设置为低电平可将校准保持在复位状态，以便对新的校准设置进行编程。清零 CAL_EN 还会复位为数字块和 JESD204C 接口计时的时钟分频器。 有些校准寄存器需要在进行任何更改之前清零 CAL_EN。所有具有此要求的寄存器在其说明中都包含注释。更改寄存器后，设置 CAL_EN 可使用新设置重新运行校准。在设置 JESD_EN 之前，务必设置 CAL_EN。在清零 CAL_EN 之前，务必清零 JESD_EN。

6.6.19 CAL_CFG0 寄存器（地址 = 0x62）[复位 = 0x01]

图 6-46 展示了 CAL_CFG0，表 6-83 中对此进行了介绍。

返回到汇总表。

校准配置 0（默认值：0x01）

Copyright © 2025 Texas Instruments Incorporated

图 6-46. CAL_CFG0 寄存器

7	6	5	4	3	2	1	0
RESERVED				CAL_BGOS	CAL_OS	CAL_BG	CAL_FG
R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x1

表 6-83. CAL_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3	CAL_BGOS	R/W	0x0	0：禁用后台偏移校准（默认值） 1：启用后台偏移校准（需要设置 CAL_BG）。
2	CAL_OS	R/W	0x0	0：禁用前台偏移校准（默认值） 1：启用前台偏移校准（需要设置 CAL_FG）。
1	CAL_BG	R/W	0x0	0：禁用后台校准（默认值） 1：启用后台校准
0	CAL_FG	R/W	0x1	0：复位校准值，跳过前台校准。 1：复位校准值，然后运行前台校准（默认值）。

6.6.20 CAL_CFG2 寄存器（地址 = 0x64）[复位 = 0x02]

图 6-47 展示了 CAL_CFG2，表 6-84 中对此进行了介绍。

返回到汇总表。

校准配置 2（默认值：0x02）

图 6-47. CAL_CFG2 寄存器

7	6	5	4	3	2	1	0
RESERVED						ADC_OFF	
R/W-0x00						R/W-0x10	

表 6-84. CAL_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x00	保留
1:0	ADC_OFF	R/W	0x1	如果禁用后台校准，这会选择禁用哪个 ADC 并且从不校准。仅在 JESD_EN 为 0 时更改该 ADC_OFF。 0：ADC0（ADC1 将在 ADC0 中保留） 1：ADC1 2：ADC2（ADC1 将在 ADC2 中保留） 3：保留

6.6.21 CAL_AVG 寄存器（地址 = 0x68）[复位 = 0x61]

图 6-48 展示了 CAL_AVG，表 6-85 中对此进行了介绍。

返回到汇总表。

校准均值计算（默认值：0x61）

图 6-48. CAL_AVG 寄存器

7	6	5	4	3	2	1	0
RESERVED	OS_AVG			RESERVED	CAL_AVG		
R/W-0x0	R/W-0x6			R/W-0x0	R/W-0x1		

Copyright © 2025 Texas Instruments Incorporated

图 6-48. CAL_AVG 寄存器 （续）

表 6-85. CAL_AVG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	
6:4	OS_AVG	R/W	0x6	选择用于偏移校正例程的均值计算量。数值越大，均值就越高。
3	RESERVED	R/W	0x0	
2:0	CAL_AVG	R/W	0x1	选择用于线性校准例程的均值计算量。数值越大，均值就越高。

6.6.22 CAL_STATUS 寄存器（地址 = 0x6A）[复位 = 0x0]

图 6-49 展示了 CAL_STATUS，表 6-86 中对此进行了介绍。

返回到汇总表。

校准状态（默认值：未定义）（只读）

图 6-49. CAL_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED			CAL_STAT			CAL_STOPPED	FG_DONE
R-0x0			R-0x0			R-0x0	R-0x0

表 6-86. CAL_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0x0	
4:2	CAL_STAT	R	0x0	校准状态代码
1	CAL_STOPPED	R	0x0	当后台校准在请求的相位成功停止时，该位返回 1。当校准再次开始运行时，该位返回 0。如果禁用后台校准，则应在完成或跳过前台校准时设置该位。
0	FG_DONE	R	0x0	该位为高电平，表示前台校准已完成（或已跳过）。

6.6.23 CAL_PIN_CFG 寄存器（地址 = 0x6B）[复位 = 0x00]

图 6-50 展示了 CAL_PIN_CFG，表 6-87 中对此进行了介绍。

返回到汇总表。

校准引脚配置（默认值：0x00）

图 6-50. CAL_PIN_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED					CAL_STATUS_SEL		CAL_TRIG_EN
R/W-0x0					R/W-0x0		R/W-0x0

表 6-87. CAL_PIN_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	
2:1	CAL_STATUS_SEL	R/W	0x0	0：CALSTAT 输出与 FG_DONE 匹配。 1：CALSTAT 输出与 CAL_STOPPED 匹配。 2：CALSTAT 输出与 ALARM 匹配。 3：CALSTAT 输出始终为低电平。

Copyright © 2025 Texas Instruments Incorporated

表 6-87. CAL_PIN_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
0	CAL_TRIG_EN	R/W	0x0	此位可选择硬件或者软件的触发源。 0：将 CAL_SOFT_TRIG 寄存器用于校准触发器。CALTRIG 输入被禁用（忽略）。 1：将 CALTRIG 输入用于校准触发器。CAL_SOFT_TRIG 寄存器被忽略。

6.6.24 CAL_SOFT_TRIG 寄存器（地址 = 0x6C）[复位 = 0x01]

图 6-51 展示了 CAL_SOFT_TRIG，表 6-88 中对此进行了介绍。

返回到汇总表。

校准软件触发器（默认值：0x01）

图 6-51. CAL_SOFT_TRIG 寄存器

7	6	5	4	3	2	1	0
RESERVED							CAL_SOFT_TRIG
R/W-0x0							R/W-0x1

表 6-88. CAL_SOFT_TRIG 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	CAL_SOFT_TRIG	R/W	0x1	CAL_SOFT_TRIG 是一个软件位，可在没有硬件资源驱动 CALTRIG 时提供 CALTRIG 输入引脚的功能。对 CAL_TRIG_EN=0 进行编程，可将 CAL_SOFT_TRIG 用于校准触发。 注意：如果不需要校准触发器，则使 CAL_TRIG_EN=0 且 CAL_SOFT_TRIG=1（触发器设置为高电平）。

6.6.25 CAL_LP 寄存器（地址 = 0x6E）[复位 = 0x88]

图 6-52 展示了 CAL_LP，表 6-89 中对此进行了介绍。

返回到汇总表。

低功耗后台校准（默认值：0x88）

图 6-52. CAL_LP 寄存器

7	6	5	4	3	2	1	0
LP_SLEEP_DLY			LP_WAKE_DLY		RESERVED	LP_TRIG	LP_EN
R/W-0x4			R/W-0x1		R/W-0x0	R/W-0x0	R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-89. CAL_LP 寄存器字段说明

位	字段	类型	复位	说明
7:5	LP_SLEEP_DLY	R/W	0x4	这些位可调节 ADC 在唤醒校准前的睡眠时间（仅在 LP_EN = 1 且 LP_TRIG = 0 时适用）。由于整体降低功耗的优势有限，因此不建议使用低于 4 的值。 0：睡眠延迟 = $(2^3 + 1) \times 256 \times t_{CLK}$ 1：睡眠延迟 = $(2^{15} + 1) \times 256 \times t_{CLK}$ 2：睡眠延迟 = $(2^{18} + 1) \times 256 \times t_{CLK}$ 3：睡眠延迟 = $(2^{21} + 1) \times 256 \times t_{CLK}$ 4：睡眠延迟 = $(2^{24} + 1) \times 256 \times t_{CLK}$（默认值，约 1.338 秒，时钟频率为 3.2-GHz） 5：睡眠延迟 = $(2^{27} + 1) \times 256 \times t_{CLK}$ 6：睡眠延迟 = $(2^{30} + 1) \times 256 \times t_{CLK}$ 7：睡眠延迟 = $(2^{33} + 1) \times 256 \times t_{CLK}$
4:3	LP_WAKE_DLY	R/W	0x1	这些位可调整在 ADC 唤醒后校准 ADC 前提供的趋稳时间（仅在 LP_EN = 1 时适用）。不建议使用小于 1 的值，因为在校准开始前没有足够的时间让内核稳定下来。 0：唤醒延迟 = $(2^3 + 1) \times 256 \times t_{CLK}$ 1：唤醒延迟 = $(2^{18} + 1) \times 256 \times t_{CLK}$（默认值，约 21 毫秒，时钟频率为 3.2-GHz） 2：唤醒延迟 = $(2^{21} + 1) \times 256 \times t_{CLK}$ 3：唤醒延迟 = $(2^{24} + 1) \times 256 \times t_{CLK}$
2	RESERVED	R/W	0x0	
1	LP_TRIG	R/W	0x0	0：ADC 睡眠持续时间由 LP_SLEEP_DLY（自主模式）设置。 1：ADC 在被触发器唤醒之前一直处于睡眠状态。当校准触发为低电平时，ADC 会被唤醒。
0	LP_EN	R/W	0x0	0：禁用低功耗后台校准（默认值） 1：启用低功耗后台校准（仅在 CAL_BG=1 时适用）。

6.6.26 CAL_DATA_EN 寄存器（地址 = 0x70）[复位 = 0x00]

图 6-53 展示了 CAL_DATA_EN，表 6-90 中对此进行了介绍。

返回到汇总表。

校准数据使能（默认值：0x00）

图 6-53. CAL_DATA_EN 寄存器

7	6	5	4	3	2	1	0
RESERVED							CAL_DATA_EN
R/W-0x0							R/W-0x0

表 6-90. CAL_DATA_EN 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	CAL_DATA_EN	R/W	0x0	设置该位可启用 CAL_DATA 寄存器，以启用校准数据的读取和写入；有关更多信息，请参阅 CAL_DATA 寄存器。

Copyright © 2025 Texas Instruments Incorporated

6.6.27 CAL_DATA 寄存器（地址 = 0x71）[复位 = 0x0]

图 6-54 展示了 CAL_DATA，表 6-91 中对此进行了介绍。

返回到汇总表。

校准数据（默认值：未定义）

图 6-54. CAL_DATA 寄存器

7	6	5	4	3	2	1	0
CAL_DATA							
R/W-0x0							

表 6-91. CAL_DATA 寄存器字段说明

位	字段	类型	复位	说明
7:0	CAL_DATA	R/W	0x0	设置 CAL_DATA_EN 后，该寄存器的重复读取会返回 ADC 的所有校准值。该寄存器的重复写入会输入 ADC 的所有校准值。要读取校准数据，请读取寄存器 673 次。要写入此矢量、请将之前存储的校准数据写入寄存器 673 次。为了加快读取或写入操作，请设置 ADDR_HOLD = 1 并使用流读取或写入过程。 重要提示：当 CAL_STOPPED = 0 会破坏校准时访问 CAL_DATA 寄存器。此外，在读取或写入 673 次之前停止此过程会使校准数据处于无效状态。

6.6.28 GAIN_TRIM_A 寄存器（地址 = 0x7A）[复位 = 0x0]

图 6-55 展示了 GAIN_TRIM_A，表 6-92 中对此进行了介绍。

返回到汇总表。

增益 DAC 修整 A（保险丝 ROM 的默认值）

图 6-55. GAIN_TRIM_A 寄存器

7	6	5	4	3	2	1	0
GAIN_TRIM_A							
R/W-0x0							

表 6-92. GAIN_TRIM_A 寄存器字段说明

位	字段	类型	复位	说明
7:0	GAIN_TRIM_A	R/W	0x0	该寄存器启用 INA± 的增益修整。复位后，可以根据需要读取和调整出厂修整值。使用 FS_RANGE_A 调整 INA± 的模拟满量程电压 (Vfs)。

6.6.29 GAIN_TRIM_B 寄存器（地址 = 0x7B）[复位 = 0x0]

图 6-56 展示了 GAIN_TRIM_B，表 6-93 中对此进行了介绍。

返回到汇总表。

增益 DAC 修整 B（保险丝 ROM 的默认值）

图 6-56. GAIN_TRIM_B 寄存器

7	6	5	4	3	2	1	0
GAIN_TRIM_B							

Copyright © 2025 Texas Instruments Incorporated

图 6-56. GAIN_TRIM_B 寄存器（续）

R/W-0x0

表 6-93. GAIN_TRIM_B 寄存器字段说明

位	字段	类型	复位	说明
7:0	GAIN_TRIM_B	R/W	0x0	该寄存器启用 INB± 的增益修整。复位后，可以根据需要读取和调整出厂修整值。使用 FS_RANGE_B 调整 INB± 的模拟满量程电压 (Vfs)。

6.6.30 BG_TRIM 寄存器（地址 = 0x7C）[复位 = 0x0]

图 6-57 展示了 BG_TRIM，表 6-94 中对此进行了介绍。

返回到汇总表。

带隙修整（保险丝 ROM 的默认值）

图 6-57. BG_TRIM 寄存器

7	6	5	4	3	2	1	0
RESERVED				BG_TRIM			
R/W-0x0				R/W-0x0			

表 6-94. BG_TRIM 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3:0	BG_TRIM	R/W	0x0	该寄存器可修整内部带隙基准。复位后，可以根据需要读取和调整出厂修整值。

6.6.31 RTRIM_A 寄存器（地址 = 0x7E）[复位 = 0x0]

图 6-58 展示了 RTRIM_A，表 6-95 中对此进行了介绍。

返回到汇总表。

VinA 的电阻器修整（保险丝 ROM 的默认值）

图 6-58. RTRIM_A 寄存器

7	6	5	4	3	2	1	0
RTRIM_A							
R/W-0x0							

表 6-95. RTRIM_A 寄存器字段说明

位	字段	类型	复位	说明
7:0	RTRIM_A	R/W	0x0	该寄存器可控制 INA± ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

6.6.32 RTRIM_B 寄存器（地址 = 0x7F）[复位 = 0x0]

图 6-59 展示了 RTRIM_B，表 6-96 中对此进行了介绍。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

VinB 的电阻器修整（保险丝 ROM 的默认值）

图 6-59. RTRIM_B 寄存器

7	6	5	4	3	2	1	0
RTRIM_B							
R/W-0x0							

表 6-96. RTRIM_B 寄存器字段说明

位	字段	类型	复位	说明
7:0	RTRIM_B	R/W	0x0	该寄存器可控制 INB± ADC 输入终端修整。复位后，可以根据需要读取和调整出厂修整值。

6.6.33 ADC_DITH 寄存器（地址 = 0x9D）[复位 = 0x01]

图 6-60 展示了 ADC_DITH，表 6-97 中对此进行了介绍。

返回到汇总表。

ADC 抖动控制（保险丝 ROM 的默认值）

图 6-60. ADC_DITH 寄存器

7	6	5	4	3	2	1	0
RESERVED					ADC_DITH_ERR	ADC_DITH_AMP	ADC_DITH_EN
R/W-0x0					R/W-0x0	R/W-0x0	R/W-0x1

表 6-97. ADC_DITH 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R/W	0x0	
2	ADC_DITH_ERR	R/W	0x0	在消减抖动信号时，可能会出现小的舍入误差。可选择误差选择以略微降低 SNR，或略微增加直流偏移和 FS/2 杂散。此外，在单通道模式下，FS/4 杂散也将略有增加。 0：舍入误差会降低 SNR 1：舍入误差会降低直流偏移、FS/2 杂散和 FS/4 杂散
1	ADC_DITH_AMP	R/W	0x0	0：小抖动可获得更好的 SNR（默认值） 1：大抖动可获得更好的杂散性能
0	ADC_DITH_EN	R/W	0x1	设置此位以启用 ADC 抖动。抖动可以提高杂散性能，但代价是 SNR 略有下降。抖动幅度 (ADC_DITH_AMP) 可用于进一步权衡 SNR 和杂散性能。

6.6.34 LSB_CTRL 寄存器（地址 = 0x160）[复位 = 0x00]

图 6-61 展示了 LSB_CTRL，表 6-98 中对此进行了介绍。

返回到汇总表。

LSB 控制位输出（默认值：0x00）

图 6-61. LSB_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED							TIME_STAMP_EN

Copyright © 2025 Texas Instruments Incorporated

图 6-61. LSB_CTRL 寄存器（续）

R/W-0x0	R/W-0x0

表 6-98. LSB_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	TIME_STAMP_EN	R/W	0x0	设置后，时间戳信号可在输出样本的 LSB 上传输。时间戳信号的延迟（在整个芯片上）与模拟 ADC 输入的延迟相匹配。使用 TIME_STAMP_EN 时，还请设置 SYNC_RECV_EN。 注 1：在 8 位模式下，将控制位置于 8 位样本的 LSB 上（留下 7 位样本数据）。如果为 12 数据配置器件，将控制位置于 12 位数据的 LSB 上（留下 11 位样本数据）。 注释 2：该寄存器启用的控制位绝不会在 ILA 中广播（在 ILA 中 CS 为 0）。

6.6.35 JESD_EN 寄存器（地址 = 0x200）[复位 = 0x01]

图 6-62 展示了 JESD_EN，表 6-99 中对此进行了介绍。

返回到汇总表。

JESD204C 子系统启用（默认值：0x01）

图 6-62. JESD_EN 寄存器

7	6	5	4	3	2	1	0
RESERVED							JESD_EN
R/W-0x0							R/W-0x1

表 6-99. JESD_EN 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	JESD_EN	R/W	0x1	0：禁用 JESD204C 接口 1：启用 JESD204C 接口 注意：在更改其他 JESD204C 寄存器之前，必须清零 JESD_EN。当 JESD_EN 为 0 时，该块保持复位状态，串行器断电。时钟关闭以省电。LMFC/LEMC 计数器也保持在复位状态，因此 SYSREF 不会对齐 LMFC/LEMC。 注释 2：在设置 JESD_EN 之前，务必设置 CAL_EN。 注释 3：在清零 CAL_EN 之前，务必清零 JESD_EN。

6.6.36 JMODE 寄存器（地址 = 0x201）[复位 = 0x02]

图 6-63 展示了 JMODE，表 6-100 中对此进行了介绍。

返回到汇总表。

JESD204C 模式（默认值：0x02）

图 6-63. JMODE 寄存器

7	6	5	4	3	2	1	0
RW							

Copyright © 2025 Texas Instruments Incorporated

表 6-100. JMODE 寄存器字段说明

位	字段	类型	复位	说明
7:0	JMODE	RW	0x02	指定 JESD204C 模式（包括 DDC 抽取因子） 注释 1：仅当 JESD_EN=0 且 CAL_EN=0 时，才应更改该寄存器。 注释 2：MODE_LOCK 寄存器决定了允许哪些模式。

6.6.37 KM1 寄存器（地址 = 0x202）[复位 = 0x1F]

图 6-64 展示了 KM1，表 6-101 中对此进行了介绍。

返回到汇总表。

JESD204C K 参数（默认值：0x1F）

图 6-64. KM1 寄存器

7	6	5	4	3	2	1	0
KM1							
R/W-0x1F							

表 6-101. KM1 寄存器字段说明

位	字段	类型	复位	说明
7:0	KM1	R/W	0x1F	K 表示每个多帧的帧数，该寄存器必须编程为 K-1。根据 JMODE 设置，K 的合法值受到约束（请参阅 KR）。 默认值为 KM1=31，对应于 K=32。 注释：对于使用 64B/66B 链路层的模式，KM1 寄存器将被忽略，K 的值由 JMODE 确定。K 的有效值为 256*E/F。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.6.38 JSYNC_N 寄存器（地址 = 0x203）[复位 = 0x01]

图 6-65 展示了 JSYNC_N，表 6-102 中对此进行了介绍。

返回到汇总表。

JESD204C 手动同步请求（默认值：0x01）

图 6-65. JSYNC_N 寄存器

7	6	5	4	3	2	1	0
RESERVED							JSYNC_N
R/W-0x0							R/W-0x1

表 6-102. JSYNC_N 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	JSYNC_N	R/W	0x1	将该位设置为 0 以请求 JESD204C 同步（相当于使 SYNC~ 信号生效）。正常运行时，将该位设置为 1。 注意：无论 SYNC_SEL 寄存器如何设置，JSYNC_N 寄存器始终可以生成同步请求。然而，如果所选 SYNC 引脚保持低电平，则除非对 SYNC_SEL=2 进行编程、否则无法将同步请求取消置位。

Copyright © 2025 Texas Instruments Incorporated

6.6.39 JCTRL 寄存器（地址 = 0x204）[复位 = 0x03]

图 6-66 展示了 JCTRL，表 6-103 中对此进行了介绍。

返回到汇总表。

JESD204C 控制（默认值：0x03）

图 6-66. JCTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			ALT_LANES	SYNC_SEL		SFORMAT	SCR
R/W-0x0			R/W-0x0	R/W-0x0		R/W-0x1	R/W-0x1

表 6-103. JCTRL 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4	ALT_LANES	R/W	0x0	0：正常通道映射（默认）。链路 A 使用通道 DA0 至 DA3，链路 B 使用通道 DB0 至 DB3。其他通道断电。 1：备用通道映射（使用上部通道）。链路 A 使用通道 DA4 至 DA7，链路 B 使用通道 DB4 至 DB7。通道 DA0 至 DA3 和 DB0 至 DB3 断电。 注释：只有在 JMODE 选择使用 8 个或更少通道的模式时，才支持此选项。对于不满足该要求的模式，该行为未定义。
3:2	SYNC_SEL	R/W	0x0	0：使用 SYNC~ 功能的 SYNCSE 输入（默认值） 1：使用 TMSTP 输入来实现 SYNC~ 功能。还必须设置 TMSTP_RECV_EN。 2：请勿使用任何 SYNC 输入引脚（通过 JSYNC_N 使用软件 SYNC~）
1	SFORMAT	R/W	0x1	JESD204C 样本的输出样本格式 0：偏移二进制 1：有符号的二进制补码（默认）
0	SCR	R/W	0x1	0：8B/10B 扰频器已禁用（仅适用于 8B/10B 模式） 1：8b/10b 扰频器已启用（默认） 注释 1：64B/66B 模式始终使用扰频。该寄存器不适用于 64B/66B 模式。 注释 2：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.6.40 JTEST 寄存器（地址 = 0x205）[复位 = 0x00]

图 6-67 展示了 JTEST，表 6-104 中对此进行了介绍。

返回到汇总表。

JESD204C 测试控制（默认值：0x00）

图 6-67. JTEST 寄存器

7	6	5	4	3	2	1	0
RESERVED			JTEST				
R/W-0x0			R/W-0x0				

Copyright © 2025 Texas Instruments Incorporated

表 6-104. JTEST 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	JTEST	R/W	0x0	0：测试模式已禁用。正常运行（默认） 1：PRBS7 测试模式 2：PRBS15 测试模式 3：PRBS23 测试模式 4：斜坡测试模式 5：传输层测试模式 6：D21.5 测试模式 7：K28.5 测试模式* 8：重复的 ILA 测试模式* 9 ：修改的 RPAT 测试模式* 10：串行输出保持低电平 11：串行输出保持高电平 12：保留 13：PRBS9 测试模式 14：PRBS31 测试模式 15：时钟测试模式 (0x00FF) 16：K28.7 测试模式* 17-31：保留 *只有在 JMODE 选择使用 8b/10b 编码的模式时，才支持这些测试模式。 注释：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.6.41 DID 寄存器（地址 = 0x206）[复位 = 0x00]

图 6-68 展示了 DID，表 6-105 中对此进行了介绍。

返回到汇总表。

JESD204C DID 参数（默认值：0x00）

图 6-68. DID 寄存器

7	6	5	4	3	2	1	0
DID							
R/W-0x0							

表 6-105. DID 寄存器字段说明

位	字段	类型	复位	说明
7:0	DID	R/W	0x0	指定在 JESD204B ILA 的第二个多帧期间传输的 DID（器件 ID）值。链路 A 将传输 DID，链路 B 将传输 DID+1。位 0 被忽略，并且始终返回 0（如果对奇数进行编程、它将递减至偶数）。 注释：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.6.42 FCHAR 寄存器（地址 = 0x207）[复位 = 0x00]

图 6-69 展示了 FCHAR，表 6-106 中对此进行了介绍。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

JESD204C 帧字符（默认值：0x00）

图 6-69. FCHAR 寄存器

7	6	5	4	3	2	1	0
RESERVED						FCHAR	
R/W-0x0						R/W-0x0	

表 6-106. FCHAR 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1:0	FCHAR	R/W	0x0	指定用于表示帧结束的逗号字符。该字符随机传输。这只适用于使用 8B/10B 编码的模式。 0：使用 K28.7（默认值）（符合 JESD204C） 1：使用 K28.1 (不符合 JESD204C) 2：使用 K28.5 (不符合 JESD204C) 3：保留 当使用 JESD204C 接收器时，始终使用 FCHAR=0。 当使用通用 8B/10B 接收器时，K28.7 字符可能会导致问题。当 K28.7 与某些数据字符组合时，可能会出现错误、未对齐的逗号字符，而且某些接收器会重新对齐到错误的逗号。为避免这种情况，应将 FCHAR 编程为 1 或 2。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.6.43 JESD_STATUS 寄存器（地址 = 0x208）[复位 = 0x0]

图 6-70 展示了 JESD_STATUS，表 6-107 中对此进行了介绍。

返回到汇总表。

JESD204C/系统状态寄存器

图 6-70. JESD_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED	LINK_UP	SYNC_STATUS	REALIGNED	ALIGNED	PLL_LOCKED	RESERVED	
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	

表 6-107. JESD_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	
6	LINK_UP	R/W	0x0	设置后，表示 JESD204C 链路已启动。
5	SYNC_STATUS	R/W	0x0	返回 JESD204C SYNC~ 信号的状态。 0：SYNC~ 置为有效 1：SYNC~ 置为无效
4	REALIGNED	R/W	0x0	当为高电平时，表示数字块时钟、帧时钟或多帧 (LMFC) 时钟相位由 SYSREF 重新对齐。向该位写入“1”将使其清零。
3	ALIGNED	R/W	0x0	当该位为高电平时，表示 SYSREF 已建立多帧 (LMFC) 时钟相位。启用 JESD204B 编码器后的第一个 SYSREF 事件将设置该位。向该位写入“1”将使其清零。
2	PLL_LOCKED	R/W	0x0	当为高电平时，表示串行器 PLL 已锁定。

Copyright © 2025 Texas Instruments Incorporated

表 6-107. JESD_STATUS 寄存器字段说明（续）

位	字段	类型	复位	说明
1:0	RESERVED	R/W	0x0	

6.6.44 PD_CH 寄存器（地址 = 0x209）[复位 = 0x00]

图 6-71 展示了 PD_CH，表 6-108 中对此进行了介绍。

返回到汇总表。

JESD204C 通道断电（默认值：0x00）

图 6-71. PD_CH 寄存器

7	6	5	4	3	2	1	0
RESERVED						PD_BCH	PD_ACH
R/W-0x0						R/W-0x0	R/W-0x0

表 6-108. PD_CH 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1	PD_BCH	R/W	0x0	设置后，“B” ADC 通道断电。与 “B” ADC 通道绑定的数字通道也会断电（请参阅 DIG_BIND）。 重要说明： 1.在更改 PD_CH 之前，必须设置 JESD_EN=0。 2.要关闭两个 ADC 通道，请使用 MODE 寄存器。 3.如果两个通道都断电，则整个 JESD204C 子系统（包括串行器 PLL 和 LMFC）断电。 4.如果所选的 JESD204C 模式在链路 A 上发送 A 和 B 数据，并且 B 数字通道被禁用，则链路 A 保持正常运行，但 B 通道样本未定义。为了在前台校准模式下正常运行，应将 CAL_CFG 寄存器中的 ADC_OFF 编程为 0x1。
0	PD_ACH	R/W	0x0	设置后，“A” ADC 通道断电。与 “A” ADC 通道绑定的数字通道也会断电（请参阅 DIG_BIND）。 重要说明： 1.在更改 PD_CH 之前，必须设置 JESD_EN=0。 2.要关闭两个 ADC 通道，请使用 MODE 寄存器。 3.如果两个通道都断电，则整个 JESD204C 子系统（包括串行器 PLL 和 LMFC）断电。 4.如果所选的 JESD204C 模式在链路 A 上发送 A 和 B 数据，并且 B 数字通道被禁用，则链路 A 保持正常运行，但 B 通道样本未定义。为了在前台校准模式下正常运行，应将 CAL_CFG 寄存器中的 ADC_OFF 编程为 0x1。

6.6.45 JEXTRA_A 寄存器（地址 = 0x20A）[复位 = 0x00]

图 6-72 展示了 JEXTRA_A，表 6-109 中对此进行了介绍。

返回到汇总表。

JESD204C 额外通道使能（链路 A）（默认值：0x00）

Copyright © 2025 Texas Instruments Incorporated

图 6-72. JEXTRA_A 寄存器

7	6	5	4	3	2	1	0
EXTRA_LANE_A							EXTRA_SER_A
R/W-0x0							R/W-0x0

表 6-109. JEXTRA_A 寄存器字段说明

位	字段	类型	复位	说明
7:1	EXTRA_LANE_A	R/W	0x0	对这些寄存器位进行编程以启用额外的通道（即使选定的 JMODE 不要求禁用这些通道）。EXTRA_LANE_A(n) 启用 An（n=1 至 7）。该寄存器会启用受影响通道的链路层时钟。要启用额外的串行化，请设置 EXTRA_SER_A=1。
0	EXTRA_SER_A	R/W	0x0	0：仅启用额外通道的链路层时钟。 1：启用额外通道的串行器（以及链路层时钟）。使用此模式可传输额外通道的数据。 重要说明： 1.仅当 JESD_EN 为 0，才应更改该寄存器。 2. 额外通道的比特率和模式由 JMODE 和 JTEST 设置（参阅下文的异常） 3.如果此寄存器启用了某个通道（未通过 JMODE 启用），并且 JTEST 为 0 或 5，则额外通道将使用八位位组斜坡（与 JTEST=4 相同）。 4. 此寄存器不会覆盖 PD_CH 寄存器，因此请确保链路已启用以使用此功能。 5.要启用串行器"n"，还必须启用编号较低的通道 0 至 n-1，否则串行器"n"将不接收时钟。

6.6.46 JEXTRA_B 寄存器（地址 = 0x20B）[复位 = 0x00]

图 6-73 展示了 JEXTRA_B，表 6-110 中对此进行了介绍。

返回到汇总表。

JESD204C 额外通道使能（链路 B）（默认值：0x00）

图 6-73. JEXTRA_B 寄存器

7	6	5	4	3	2	1	0
EXTRA_LANE_B							EXTRA_SER_B
R/W-0x0							R/W-0x0

表 6-110. JEXTRA_B 寄存器字段说明

位	字段	类型	复位	说明
7:1	EXTRA_LANE_B	R/W	0x0	对这些寄存器位进行编程以启用额外的通道（即使选定的 JMODE 不要求禁用这些通道）。EXTRA_LANE_B(n) 启用 Bn（n=1 至 7）。该寄存器会启用受影响通道的链路层时钟。要启用额外的串行化，请设置 EXTRA_SER_B=1。

Copyright © 2025 Texas Instruments Incorporated

表 6-110. JEXTRA_B 寄存器字段说明（续）

位	字段	类型	复位	说明
0	EXTRA_SER_B	R/W	0x0	0：仅启用额外通道的链路层时钟。 1：启用额外通道的串行器（以及链路层时钟）。使用此模式可传输额外通道的数据。 重要说明： 1.仅当 JESD_EN 为 0，才应更改该寄存器。 2.额外通道的比特率和模式由 JMODE 和 JTEST 设置（参阅下文的异常） 3.如果此寄存器启用了某个通道（未通过 JMODE 启用），并且 JTEST 为 0 或 5，则额外通道将使用八位位组斜坡（与 JTEST=4 相同）。 4.此寄存器不会覆盖 PD_CH 寄存器，因此请确保链路已启用以使用此功能。 5.要启用串行器"n"，还必须启用编号较低的通道 0 至 n-1，否则串行器"n"将不接收时钟。

6.6.47 SHMODE 寄存器（地址 = 0x20F）[复位 = 0x00]

图 6-74 展示了 SHMODE，表 6-111 中对此进行了介绍。

返回到汇总表。

JESD204C 同步字模式（默认值：0x00）

图 6-74. SHMODE 寄存器

7	6	5	4	3	2	1	0
RESERVED						SHMODE	
R/W-0x0						R/W-0x0	

表 6-111. SHMODE 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1:0	SHMODE	R/W	0x0	为 64b/66b 同步字（每个多块 32 位数据）选择模式。这仅在 JMODE 选择 64b/66b 模式时适用。 0：发送 CRC-12 信号（默认设置） 1：保留 2：传输 FEC 信号 3：保留 注意：该器件不支持任何 JESD204C 命令特性。所有命令字段都将设置为零（空闲标头）。 注意：仅当 JESD_EN 为 0 时，才应更改该寄存器。

6.6.48 DDC_CFG 寄存器（地址 = 0x210）[复位 = 0x00]

图 6-75 展示了 DDC_CFG，表 6-112 中对此进行了介绍。

返回到汇总表。

DDC 配置（默认值：0x00）

Copyright © 2025 Texas Instruments Incorporated

图 6-75. DDC_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED							升压
R/W-0x0							R/W-0x0

表 6-112. DDC_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	升压	R/W	0x0	DDC 增益控制。 0：DDC 滤波器的增益为 0dB（默认）。 1：DDC 滤波器的增益为 6.02dB。仅当您您确定您的输入信号的负图像 DDC 滤除时才使用该设置，否则可能会发生削波。

6.6.49 OVR_T0 寄存器（地址 = 0x211）[复位 = 0xF2]

图 6-76 展示了 OVR_T0，表 6-113 中对此进行了介绍。

返回到汇总表。

超范围阈值 0（默认值：0xF2）

图 6-76. OVR_T0 寄存器

7	6	5	4	3	2	1	0
OVR_T0							
R/W-0xF2							

表 6-113. OVR_T0 寄存器字段说明

位	字段	类型	复位	说明
7:0	OVR_T0	R/W	0xF2	该参数可定义导致设置控制位 0 的绝对采样电平。控制位 0 连接到 DDC I 输出样本。以 dBFS（峰值）为单位的检测电平为 20log10 (OVR_T0/256)（默认值：0xF2 = 242-> -0.5dBFS）

6.6.50 OVR_T1 寄存器（地址 = 0x212）[复位 = 0xAB]

图 6-77 展示了 OVR_T1，表 6-114 中对此进行了介绍。

返回到汇总表。

超范围阈值 1（默认值：0xAB）

图 6-77. OVR_T1 寄存器

7	6	5	4	3	2	1	0
OVR_T1							
R/W-0xAB							

表 6-114. OVR_T1 寄存器字段说明

位	字段	类型	复位	说明
7:0	OVR_T1	R/W	0xAB	该参数可定义导致设置控制位 1 的绝对采样电平。控制位 1 连接到 DDC Q 输出样本。以 dBFS（峰值）为单位的检测电平为 20log10 (OVR_T1/256)（默认值：0xAB = 171 -> -3.5dBFS）

Copyright © 2025 Texas Instruments Incorporated

6.6.51 OVR_CFG 寄存器（地址 = 0x213）[复位 = 0x07]

图 6-78 展示了 OVR_CFG，表 6-115 中对此进行了介绍。

返回到汇总表。

超范围启用/保持关闭（默认值：0x07）

图 6-78. OVR_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				OVR_EN	OVR_N		
R/W-0x0				R/W-0x0	R/W-0x7		

表 6-115. OVR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3	OVR_EN	R/W	0x0	设置为高电平时，可启用超范围状态输出引脚。当 OVR_EN 设置为低电平时，ORA0、ORA1、ORB0 和 ORB1 输出保持低电平状态。该寄存器仅影响超范围输出引脚 (ORxx)。传输超范围位的 JESD204C 模式不受该寄存器影响。
2:0	OVR_N	R/W	0x7	对该寄存器进行编程，可调整 ORA0/1 和 ORB0/1 输出的脉冲扩展。超范围输出的最小脉冲持续时间为 $8 * 2^{OVR_N}$ DEVCLK 周期。将该字段递增会使监控周期加倍。

6.6.52 CMODE 寄存器（地址 = 0x214）[复位 = 0x00]

图 6-79 展示了 CMODE，表 6-116 中对此进行了介绍。

返回到汇总表。

DDC NCO 配置预设模式（默认值：0x00）

图 6-79. CMODE 寄存器

7	6	5	4	3	2	1	0
RESERVED						CMODE	
R/W-0x0						R/W-0x0	

表 6-116. CMODE 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1:0	CMODE	R/W	0x0	该寄存器设置 DDC 块中使用的 NCO 频率的选择模式。DDC A 的 NCO 频率和相位由 FREQAx 和 PHASEAx 寄存器设置，DDC B 的 NCO 频率和相位由 FREQBx 和 PHASEBx 寄存器设置，其中 x 是配置预设（0 至 3）。在单通道模式下，双通道模式下 DDC A 的 NCO 选择方法用于设置单通道 DDC 的 NCO。 0：使用 CSEL 寄存器选择 DDC A 和 DDC B 的有效 NCO 配置预设 1：使用 NCOA[1:0] 引脚选择 DDC A 的有效 NCO 配置预设，使用 NCOB[1:0] 引脚选择 DDC B 的有效 NCO 配置预设 2：使用 NCOA [1:0] 引脚选择 DDC A 和 DDC B 的有效 NCO 配置预设 3：RESERVED

Copyright © 2025 Texas Instruments Incorporated

6.6.53 CSEL 寄存器（地址 = 0x215）[复位 = 0x00]

图 6-80 展示了 CSEL，表 6-117 中对此进行了介绍。

返回到汇总表。

DDC NCO 配置预设选择（默认值：0x00）

图 6-80. CSEL 寄存器

7	6	5	4	3	2	1	0
RESERVED				CSELB		CSELA	
R/W-0x0				R/W-0x0		R/W-0x0	

表 6-117. CSEL 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3:2	CSELB	R/W	0x0	当 CMODE=0 时，该寄存器用于选择单通道模式下 DDC B 的有效 NCO 配置预设，该寄存器被忽略，必须改用 CSELA。
1:0	CSELA	R/W	0x0	当 CMODE=0 时，该寄存器用于选择 DDC A 的有效 NCO 配置预设。示例：如果 CSELA=0，则 FREQA0 和 PHASEA0 为有效设置。如果 CSELA=1，则 FREQA1 和 PHASEA1 为有效设置。 在单通道模式下，CSELA 为 DDC 选择 NCO 频率。

6.6.54 DIG_BIND 寄存器（地址 = 0x216）[复位 = 0x02]

图 6-81 展示了 DIG_BIND，表 6-118 中对此进行了介绍。

返回到汇总表。

数字信道绑定（默认值：0x02）

图 6-81. DIG_BIND 寄存器

7	6	5	4	3	2	1	0
RESERVED						DIG_BIND[1]	DIG_BIND[0]
R/W-0x0						R/W-0x1	R/W-0x0

表 6-118. DIG_BIND 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1	DIG_BIND[1]	R/W	0x1	数字通道 B 输入选择： 0：数字通道 B 从 ADC 通道 A 接收数据 1：数字通道 B 从 ADC 通道 B 接收数据（默认）

Copyright © 2025 Texas Instruments Incorporated

表 6-118. DIG_BIND 寄存器字段说明（续）

位	字段	类型	复位	说明
0	DIG_BIND[0]	R/W	0x0	数字通道 A 输入选择： 0：数字通道 A 从 ADC 通道 A 接收数据（默认） 1：数字通道 A 从 ADC 通道 B 接收数据 注释 1：使用单通道模式时，必须始终使用 DIG_BIND 的默认设置，否则器件将无法正常工作。 注释 2：在更改 DIG_BIND 之前，必须设置 JESD_EN=0 和 CAL_EN=0。 注释 3：DIG_BIND 设置与 PD_ACH/PD_BCH 结合使用，以确定数字通道是否断电。当数字通道（和链路）所绑定 ADC 通道断电（通过 PD_ACH/PD_BCH）时，每个数字通道（和链路）都会断电。

6.6.55 NCO_RDIV 寄存器（地址 = 0x217）[复位 = 0x0000]

图 6-82 展示了 NCO_RDIV，表 6-119 中对此进行了介绍。

返回到汇总表。

NCO 参考除数（默认值：0x0000）

图 6-82. NCO_RDIV 寄存器

15	14	13	12	11	10	9	8
NCO_RDIV							
R/W-0x0							
7	6	5	4	3	2	1	0
NCO_RDIV							
R/W-0x0							

表 6-119. NCO_RDIV 寄存器字段说明

位	字段	类型	复位	说明
15:0	NCO_RDIV	R/W	0x0	有时，32 位 NCO 频率字不提供所需的频率步长，只能近似得出所需的频率。这会导致频率误差。使用该寄存器可消除频率误差。 默认值 0 禁用参考除数，NCO 作为传统的 32 位 NCO 运行。 不支持会为 NCO_RDIV 产生分数值的 FS 和 FSTEP 的任何组合。大于 8192 的 NCO_RDIV 值会降低 NCO 的 SFDR 性能，不建议使用。 该寄存器用于所有 NCO 配置预设。

6.6.56 NCO_SYNC 寄存器（地址 = 0x219）[复位 = 0x02]

图 6-83 展示了 NCO_SYNC，表 6-120 中对此进行了介绍。

返回到汇总表。

NCO 同步（默认值：0x02）

图 6-83. NCO_SYNC 寄存器

7	6	5	4	3	2	1	0
RESERVED						NCO_SYNC_ILA	NCO_SYNC_NEXT
R/W-0x0						R/W-0x1	R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-120. NCO_SYNC 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1	NCO_SYNC_ILA	R/W	0x1	该位设置后，会在 SYNC~信号上升沿之后立即在 LMFC/LEMC 边界上初始化 NCO 相位（默认）。此功能适用于 8B/10B 和 64B/66B 模式。此功能可用于精确对齐多个 ADC 中的 NCO 相位。在 64B/66B 模式下，SYNC~仅用于此目的，不会影响链路运行。
0	NCO_SYNC_NEXT	R/W	0x0	在将 "0" 写入该位，然后将 "1" 写入该位之后，下一个 SYSREF 上升沿将初始化 NCO 相位。SYSREF 初始化 NCO 相位后，除非再次向该位写入 "0" 和 "1"，否则 NCO 不会在未来的 SYSREF 边沿上重新初始化。 使用此功能可在多个器件中对齐 NCO（无需重新启动 JESD 链接）。 1.确保器件上电，JESD_EN 已设置，器件时钟正在运行。 2.确保 SYSREF 已禁用（不切换）。 3.在所有器件上对 NCO_SYNC_ILA=0 进行编程。 4.在所有器件上写入 NCO_SYNC_NEXT=0。 5.在所有器件上写入 NCO_SYNC_NEXT=1。NCO 同步已配置。 6.指示 SYSREF 源生成 1 个或多个 SYSREF 脉冲。 7.所有器件都将使用第一个 SYSREF 上升沿初始化其 NCO。

6.6.57 FREQA0 寄存器（地址 = 0x220）[复位 = 0xC0000000]

图 6-84 展示了 FREQA0，表 6-121 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 A、预设 0）（默认值：0xC0000000）

图 6-84. FREQA0 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA0																															
R/W-0xC0000000																															

表 6-121. FREQA0 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQA0	R/W	0xC0000000	以下说明适用于 FREQA0 至 FREQA3 和 FREQB0 至 FREQB3。 NCO 频率 (F_{NCO}) 为： $F_{NCO} = (FREQA0 * 2^{-32}) * F_{ADC}$ F_{ADC} 是 ADC 的采样频率。FREQA0 是该寄存器的整数值。该寄存器可以解释为有符号或无符号（两种解释均有效）。 使用该公式确定要编程的值： $FREQA0 = 2^{32} * F_{NCO} / F_S$ 如果公式不产生整数值，您必须选择备用频率步进 (FSTEP)，并对 NCO_RDIV 寄存器进行编程。然后使用这些公式之一计算 FREQA0： $FREQA0 = round(2^{32} * F_{NCO}/F_S)$ $FREQA0 = round(2^{25} * F_{NCO}/F_{STEP}/NCO_RDIV)$ 在 NCO 同步后，在该寄存器运行时更改寄存器，将导致非确定性 NCO 相位。如果需要确定性相位，则应在更改该寄存器后重新同步 NCO。

Copyright © 2025 Texas Instruments Incorporated

6.6.58 PHASEA0 寄存器（地址 = 0x224）[复位 = 0x0000]

图 6-85 展示了 PHASEA0，表 6-122 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 A、预设 0）（默认值：0x0000）

图 6-85. PHASEA0 寄存器

15	14	13	12	11	10	9	8
PHASEA0							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA0							
R/W-0x0							

表 6-122. PHASEA0 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEA0	R/W	0x0	配置预设 0 的 NCO 相位。该值左对齐到 32 位字段中，然后添加到相位累加器。相位（以弧度为单位）为 PHASEA0 * 2^{-16} * 2 π。该寄存器可以解释为有符号或无符号。

6.6.59 FREQA1 寄存器（地址 = 0x228）[复位 = 0xC0000000]

图 6-86 展示了 FREQA1，表 6-123 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 A、预设 1）（默认值：0xC0000000）

图 6-86. FREQA1 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA1																															
R/W-0xC0000000																															

表 6-123. FREQA1 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQA1	R/W	0xC0000000	通道 A 的 NCO 频率，NCO 预设 1

6.6.60 PHASEA1 寄存器（地址 = 0x22C）[复位 = 0x0000]

图 6-87 展示了 PHASEA1，表 6-124 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 A、预设 1）（默认值：0x0000）

图 6-87. PHASEA1 寄存器

15	14	13	12	11	10	9	8
PHASEA1							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA1							

Copyright © 2025 Texas Instruments Incorporated

图 6-87. PHASEA1 寄存器（续）

R/W-0x0

表 6-124. PHASEA1 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEA1	R/W	0x0	通道 A 的 NCO 相位，预设 1

6.6.61 FREQA2 寄存器（地址 = 0x230）[复位 = 0xC0000000]

图 6-88 展示了 FREQA2，表 6-125 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 A、预设 2）（默认值：0xC0000000）

图 6-88. FREQA2 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA2																															
R/W-0xC0000000																															

表 6-125. FREQA2 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQA2	R/W	0xC0000000	通道 A 的 NCO 频率，NCO 预设 2

6.6.62 PHASEA2 寄存器（地址 = 0x234）[复位 = 0x0000]

图 6-89 展示了 PHASEA2，表 6-126 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 A、预设 2）（默认值：0x0000）

图 6-89. PHASEA2 寄存器

15	14	13	12	11	10	9	8
PHASEA2							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA2							
R/W-0x0							

表 6-126. PHASEA2 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEA2	R/W	0x0	通道 A 的 NCO 相位，预设 2

6.6.63 FREQA3 寄存器（地址 = 0x238）[复位 = 0xC0000000]

图 6-90 展示了 FREQA3，表 6-127 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 A、预设 3）（默认值：0xC0000000）

Copyright © 2025 Texas Instruments Incorporated

图 6-90. FREQA3 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQA3																															
R/W-0xC0000000																															

表 6-127. FREQA3 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQA3	R/W	0xC0000000	通道 A 的 NCO 频率，NCO 预设 3

6.6.64 PHASEA3 寄存器（地址 = 0x23C）[复位 = 0x0000]

图 6-91 展示了 PHASEA3，表 6-128 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 A、预设 3）（默认值：0x0000）

图 6-91. PHASEA3 寄存器

15	14	13	12	11	10	9	8
PHASEA3							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEA3							
R/W-0x0							

表 6-128. PHASEA3 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEA3	R/W	0x0	通道 A 的 NCO 相位，预设 3

6.6.65 FREQB0 寄存器（地址 = 0x240）[复位 = 0xC0000000]

图 6-92 展示了 FREQB0，表 6-129 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 B、预设 0）（默认值：0xC0000000）

图 6-92. FREQB0 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB0																															
R/W-0xC0000000																															

表 6-129. FREQB0 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQB0	R/W	0xC0000000	通道 B 的 NCO 频率，NCO 预设 0。 注释：如果 ADC 处于 DES 模式，则通道 B 的 NCO 频率和相位设置被忽略。仅将 NCO 频率和相位寄存器用于通道 A。

Copyright © 2025 Texas Instruments Incorporated

6.6.66 PHASEB0 寄存器（地址 = 0x244）[复位 = 0x0000]

图 6-93 展示了 PHASEB0，表 6-130 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 B、预设 0）（默认值：0x0000）

图 6-93. PHASEB0 寄存器

15	14	13	12	11	10	9	8
PHASEB0							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB0							
R/W-0x0							

表 6-130. PHASEB0 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEB0	R/W	0x0	通道 B 的 NCO 相位，预设 0

6.6.67 FREQB1 寄存器（地址 = 0x248）[复位 = 0xC0000000]

图 6-94 展示了 FREQB1，表 6-131 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 B、预设 1）（默认值：0xC0000000）

图 6-94. FREQB1 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB1																															
R/W-0xC0000000																															

表 6-131. FREQB1 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQB1	R/W	0xC0000000	通道 B 的 NCO 频率，NCO 预设 1

6.6.68 PHASEB1 寄存器（地址 = 0x24C）[复位 = 0x0000]

图 6-95 展示了 PHASEB1，表 6-132 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 B、预设 1）（默认值：0x0000）

图 6-95. PHASEB1 寄存器

15	14	13	12	11	10	9	8
PHASEB1							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB1							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-132. PHASEB1 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEB1	R/W	0x0	通道 B 的 NCO 相位，预设 1

6.6.69 FREQB2 寄存器（地址 = 0x250）[复位 = 0xC0000000]

图 6-96 展示了 FREQB2，表 6-133 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 B、预设 2）（默认值：0xC0000000）

图 6-96. FREQB2 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB2																															
R/W-0xC0000000																															

表 6-133. FREQB2 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQB2	R/W	0xC0000000	通道 B 的 NCO 频率，NCO 预设 2

6.6.70 PHASEB2 寄存器（地址 = 0x254）[复位 = 0x0000]

图 6-97 展示了 PHASEB2，表 6-134 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 B、预设 2）（默认值：0x0000）

图 6-97. PHASEB2 寄存器

15	14	13	12	11	10	9	8
PHASEB2							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB2							
R/W-0x0							

表 6-134. PHASEB2 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEB2	R/W	0x0	通道 B 的 NCO 相位，预设 2

6.6.71 FREQB3 寄存器（地址 = 0x258）[复位 = 0xC0000000]

图 6-98 展示了 FREQB3，表 6-135 中对此进行了介绍。

返回到汇总表。

NCO 频率（通道 B、预设 3）（默认值：0xC0000000）

图 6-98. FREQB3 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQB3																															

Copyright © 2025 Texas Instruments Incorporated

图 6-98. FREQB3 寄存器（续）

R/W-0xC0000000

表 6-135. FREQB3 寄存器字段说明

位	字段	类型	复位	说明
31:0	FREQB3	R/W	0xC0000000	通道 B 的 NCO 频率，NCO 预设 3

6.6.72 PHASEB3 寄存器（地址 = 0x25C）[复位 = 0x0000]

图 6-99 展示了 PHASEB3，表 6-136 中对此进行了介绍。

返回到汇总表。

NCO 相位（通道 B、预设 3）（默认值：0x0000）

图 6-99. PHASEB3 寄存器

15	14	13	12	11	10	9	8
PHASEB3							
R/W-0x0							
7	6	5	4	3	2	1	0
PHASEB3							
R/W-0x0							

表 6-136. PHASEB3 寄存器字段说明

位	字段	类型	复位	说明
15:0	PHASEB3	R/W	0x0	通道 B 的 NCO 相位，预设 3

6.6.73 INIT_STATUS 寄存器（地址 = 0x270）[复位 = 未定义]

图 6-100 展示了 INIT_STATUS，表 6-137 中对此进行了介绍。

返回到汇总表。

芯片旋转标识符（默认值：请参阅说明，只读）

图 6-100. INIT_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED							INIT_STATUS
R 未定义							R 未定义

表 6-137. INIT_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	未定义	RESERVED
0	INIT_DONE	R	未定义	当初始化逻辑完成器件初始化时返回 1。这表示现在可以安全地继续启动了。在 INIT_DONE 返回 1 之前，不应执行任何 SPI 事务（SOFT_RESET 除外）。

6.6.74 SPIN_ID 寄存器（地址 = 0x297）[复位 = 0x00]

图 6-101 展示了 SPIN_ID，表 6-138 中对此进行了介绍。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

芯片旋转标识符（默认值：请参阅说明，只读）

图 6-101. SPIN_ID 寄存器

7	6	5	4	3	2	1	0
RESERVED			SPIN_ID				
R/W-0x0			R/W-0x00				

表 6-138. SPIN_ID 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	SPIN_ID	R/W	0x0	SPIN 识别值： 0：ADC12DJ5200RF 1：ADC12DJ5200-EP 2：ADC12DJ4000RF 3：ADC12DJ5200SE 4：ADC12DJ5200RF（ZEG 封装） 6：ADC12DJ4000 RF（ZEG 封装） 7：ADC12DJ5200-SP 10：ADC08DJ5200RF

6.6.75 TESTBUS 寄存器（地址 = 0x2A2）[复位 = 0x0]

图 6-102 展示了 TESTBUS，表 6-139 中对此进行了介绍。

返回到汇总表。

TESTBUS 寄存器（默认值：0x0）

图 6-102. TESTBUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		EN_VD11_NOISE_SUPPR	EN_VS11_NOISE_SUPPR	RESERVED			
R/W-0x0		R/W-0x0	R/W-0x0	R/W-0x0			

表 6-139. TESTBUS 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R/W	0x0	RESERVED
5	EN_VD11_NOISE_SUPPR	R/W	0x0	设置后，VD11 上的噪声被抑制。建议使用该设置，因为它可以减少从数字电路到模拟时钟的噪声耦合，但代价是功耗略微增加。
4	EN_VS11_NOISE_SUPPR	R/W		设置后，VS11 上的噪声被抑制。建议使用该设置，因为它可以减少从数字电路到模拟时钟的噪声耦合，但代价是功耗略微增加。
3:0	RESERVED	R/W	R/W	RESERVED

6.6.76 SRC_EN 寄存器（地址 = 0x2B0）[复位 = 0x00]

图 6-103 展示了 SRC_EN，表 6-140 中对此进行了介绍。

返回到汇总表。

SYSREF 校准使能（默认值：0x00）

Copyright © 2025 Texas Instruments Incorporated

图 6-103. SRC_EN 寄存器

7	6	5	4	3	2	1	0
RESERVED							SRC_EN
R/W-0x0							R/W-0x0

表 6-140. SRC_EN 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R/W	0x0	
0	SRC_EN	R/W	0x0	0：SYSREF 校准已禁用。使用 TAD 寄存器手动控制 tad[16:0] 输出并调整 DEVCLK 延迟。（默认值） 1：SYSREF 校准已启用。DEVCLK 延迟经过自动校准。TAD 寄存器被忽略。 SRC_EN 上的 0 至 1 转换将启动 SYSREF 校准序列。在设置 SRC_EN 之前对 SRC_CFG 进行编程。在设置 SRC_EN 之前，确保当前未运行 ADC 校准。

6.6.77 SRC_CFG 寄存器（地址 = 0x2B1）[复位 = 0x05]

图 6-104 展示了 SRC_CFG，表 6-141 中对此进行了介绍。

返回到汇总表。

SYSREF 校准配置（默认值：0x05）

图 6-104. SRC_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				SRC_AVG		SRC_HDUR	
R/W-0x0				R/W-0x1		R/W-0x1	

表 6-141. SRC_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R/W	0x0	
3:2	SRC_AVG	R/W	0x1	指定用于 SYSREF 校准的平均值计算量。大值会增加校准时间并减少校准值的变化。 0：4 个平均值 1：16 个平均值 2：64 个平均值 3：256 样本均值计算

Copyright © 2025 Texas Instruments Incorporated

表 6-141. SRC_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
1:0	SRC_HDUR	R/W	0x1	指定用于 SYSREF 校准的每个高速累加的持续时间。如果 SYSREF 周期超过支持的值，校准将失败。大值会增加校准时间并支持更长的 SYSREF 周期。对于给定的 SYSREF 周期，大值也会降低校准值的变化。 0：每次累加 4 个周期，最大 SYSREF 周期为 128 个 DEVCLK 周期 1：每次累加 16 个周期，最大 SYSREF 周期为 1664 个 DEVCLK 周期 2：每次累加 64 个周期，最大 SYSREF 周期为 7808 个 DEVCLK 周期 3：每次累积 256 个周期，最大 SYSREF 周期为 32384 个 DEVCLK 周期 SYSREF 校准的最大持续时间受以下条件的限制：TSYSREFCAL（以 DEVCLK 周期为单位）= 384 * 19 * 4^(SRC_AVG + SRC_HDUR + 2)

6.6.78 SRC_STATUS 寄存器（地址 = 0x2B2）[复位 = 0x0]

图 6-105 展示了 SRC_STATUS，表 6-142 中对此进行了介绍。

返回到汇总表。

SYSREF 校准状态（只读，默认值：未定义）

图 6-105. SRC_STATUS 寄存器

23	22	21	20	19	18	17	16
RESERVED						SRC_DONE	SRC_TAD
R/W-0x0						R/W-0x0	R/W-0x0
15	14	13	12	11	10	9	8
SRC_TAD							
R/W-0x0							
7	6	5	4	3	2	1	0
SRC_TAD							
R/W-0x0							

表 6-142. SRC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
23:18	RESERVED	R/W	0x0	
17	SRC_DONE	R/W	0x0	当 SRC_EN=1 且 SYSREF 校准完成时，该位返回“1”。
16:0	SRC_TAD	R/W	0x0	该字段返回由 SYSREF 校准计算出的 TAD[16:0] 值。仅当 SRC_DONE=1 时，该字段才有效。 SRC_TAD[16] 指示 DEVCLK 是否已反转。 SRC_TAD[15:8] 指示粗延迟调整。 SRC_TAD[7:0] 指示精细延迟调整。

6.6.79 TAD 寄存器（地址 = 0x2B5）[复位 = 0x00]

图 6-106 展示了 TAD，表 6-143 中对此进行了介绍。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

DEVCLK 时序调整（默认值：0x00）

图 6-106. TAD 寄存器

23	22	21	20	19	18	17	16
RESERVED							TAD_INV
R/W-0x0							R/W-0x0
15	14	13	12	11	10	9	8
TAD_COARSE							
R/W-0x0							
7	6	5	4	3	2	1	0
TAD_FINE							
R-0x0							

表 6-143. TAD 寄存器字段说明

位	字段	类型	复位	说明
23:17	RESERVED	R/W	0x0	
16	TAD_INV	R/W	0x0	该位设置后使采样时钟反相。
15:8	TAD_COARSE	R/W	0x0	SRC_EN=0 时，该寄存器控制采样孔径延迟调整的粗分辨率。 SYSREF 校准被禁用时，可以使用该寄存器手动控制 DEVCLK 孔径延迟。如果正在运行 ADC 校准或 JESD204B，建议您逐渐增大或减小此值（一次 1 个代码）以避免时钟干扰。请参阅 TAD_COARSE 分辨率的开关特性。 如果启用了 ADC 校准 (CAL_EN=1) 或启用了 JESD204C 链路 (JESD_EN=1)，则必须遵守以下规则以避免时钟干扰和不可预测的行为： 1.不要更改 TAD_INV。在更改 TAD_INV 之前，必须对 CAL_EN=0 和 JESD_EN=0 编程。 2.TAD_COARSE 必须逐渐增大或减小（一次不超过 4 个代码）。通过 SPI 写入或设置 TAD_RAMP_EN，可以手动遵守此规则。
7:0	TAD_FINE	R/W	0x0	SRC_EN=0 时，该寄存器控制采样孔径延迟调整的细分辨率。 SYSREF 校准被禁用时，可以使用该寄存器手动控制 DEVCLK 孔径延迟。有关 TAD_FINE 分辨率，请参阅“开关特性”。TAD_FINE 可以随时更改为任何值（它的调整非常精细，不会导致时钟干扰）。

6.6.80 TAD_RAMP 寄存器（地址 = 0x2B8）[复位 = 0x00]

图 6-107 展示了 TAD_RAMP，表 6-144 中对此进行了介绍。

返回到汇总表。

DEVCLK 时序调整斜坡控制（默认值：0x00）

图 6-107. TAD_RAMP 寄存器

7	6	5	4	3	2	1	0
RESERVED						TAD_RAMP_RATE	TAD_RAMP_EN
R/W-0x0						R/W-0x0	R/W-0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-144. TAD_RAMP 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R/W	0x0	
1	TAD_RAMP_RATE	R/W	0x0	指定在 TAD_RAMP_EN=1 的情况下，写入 TAD_COARSE 寄存器时 TAD_COARSE 的斜坡速率。 0：TAD_COARSE 每 384 个采样时钟周期斜升或斜降一个代码。 1：TAD_COARSE 每 384 个采样时钟周期斜升或斜降 4 个代码。
0	TAD_RAMP_EN	R/W	0x0	TAD 斜坡使能。如果您希望粗 TAD 调整（TAD_COARSE）斜升或斜降，而不是突然变化，请设置该位。 0：写入 TAD_COARSE 寄存器后，应用的 TAD_COARSE 设置将在 1536 个 CLK 周期内更新（斜坡功能禁用）。 1：写入 TAD_COARSE 寄存器后，应用的 TAD_COARSE 设置逐渐上升或下降，直到其与 TAD_COARSE 寄存器匹配。

6.6.81 ALARM 寄存器（地址 = 0x2C0）[复位 = 0x0]

图 6-108 展示了 ALARM，表 6-145 中对此进行了介绍。

返回到汇总表。

警报中断（只读）

图 6-108. ALARM 寄存器

7	6	5	4	3	2	1	0
RESERVED							ALARM
R-0x0							R-0x0

表 6-145. ALARM 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0x0	
0	ALARM	R	0x0	只要发生的任何未在 ALM_STATUS 寄存器中屏蔽的警报，该位就会返回“1”。使用 ALM_MASK 可屏蔽（禁用）各个警报。 CAL_STATUS_SEL 可用于将警报位驱动到 CALSTAT 输出引脚上，以提供硬件警报中断信号。

6.6.82 ALM_STATUS 寄存器（地址 = 0x2C1）[复位 = 0x3F]

图 6-109 展示了 ALM_STATUS，表 6-146 中对此进行了介绍。

返回到汇总表。

警报状态（默认值：0x3F，写入以进行清除）

图 6-109. ALM_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		FIFO_ALM	PLL_ALM	LINK_ALM	REALIGNED_ALM	NCO_ALM	CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

Copyright © 2025 Texas Instruments Incorporated

表 6-146. ALM_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R/W	0x0	
5	FIFO_ALM	R/W	0x1	FIFO 上溢/下溢警报：只要有效的 JESD204C 通道 FIFO 出现下溢或溢出情况时，就会设置该位。写入“1”可将该位清零。要检查哪个通道生成了警报，请读取 FIFO_LANE_ALM。
4	PLL_ALM	R/W	0x1	PLL 锁定丢失警报：只要 PLL 未锁定，就会设置该位。写入“1”可将该位清零。
3	LINK_ALM	R/W	0x1	链路警报：只要启用了 JESD204C 链路，但未处于数据编码器状态（8B/10B 模式），就会设置该位。在 64B/66B 模式下，没有数据编码器状态，因此该警报将在链路首次启动时触发。而且，如果任何事件导致 FIFO/串行器重新对齐，也会触发。写入“1”可将该位清零。
2	REALIGNED_ALM	R/W	0x1	重新对齐警报：只要 SYSREF 导致内部时钟（包括 LMFC/LEMC）重新对齐，就会设置该位。写入“1”可将该位清零。
1	NCO_ALM	R/W	0x1	NCO 警报：该位可用于检测 NCO 相位的翻转。当发生以下任一情况时会设置该位： - NCO 被禁用 (JESD_EN=0)。 - NCO 已同步（有意或无意） -通道 A 中的任何相位累加器都与通道 B 不匹配。 写入“1”清除该位。有关该寄存器的正确使用，请参阅警报部分。
0	CLK_ALM	R/W	0x1	时钟报警：该位可用于检测内部 DDC/JESD204C 时钟的翻转。只要 A 和 B 通道的内部时钟分频器不匹配，就会设置该位。写入“1”可将该位清零。有关该寄存器的正确使用，请参阅警报部分。 注意：在上电复位或软复位后，所有警报位都设置为“1”。 注意：当 JESD_EN=0 时，均未定义所有警报（CLK_ALM 除外）。建议用户在设置 JESD_EN=1 后清除警报。

6.6.83 ALM_MASK 寄存器（地址 = 0x2C2）[复位 = 0x3F]

图 6-110 展示了 ALM_MASK，表 6-147 中对此进行了介绍。

返回到汇总表。

警报屏蔽寄存器（默认值：0x3F）

图 6-110. ALM_MASK 寄存器

7	6	5	4	3	2	1	0
RESERVED		MASK_FIFO_ALM	MASK_PLL_ALM	MASK_LINK_ALM	MASK_REALIGNED_ALM	MASK_NCO_ALM	MASK_CLK_ALM
R/W-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1

表 6-147. ALM_MASK 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R/W	0x0	
5	MASK_FIFO_ALM	R/W	0x1	设置后，FIFO_ALM 被屏蔽，不会影响 ALARM 寄存器位。
4	MASK_PLL_ALM	R/W	0x1	设置后，PLL_ALM 被屏蔽，不会影响 ALARM 寄存器位。
3	MASK_LINK_ALM	R/W	0x1	设置后，LINK_ALM 被屏蔽，不会影响 ALARM 寄存器位。
2	MASK_REALIGNED_ALM	R/W	0x1	设置后，REALIGNED_ALM 被屏蔽，不会影响 ALARM 寄存器位。
1	MASK_NCO_ALM	R/W	0x1	设置后，NCO_ALM 被屏蔽，不会影响 ALARM 寄存器位。

Copyright © 2025 Texas Instruments Incorporated

表 6-147. ALM_MASK 寄存器字段说明（续）

位	字段	类型	复位	说明
0	MASK_CLK_ALM	R/W	0x1	设置后，CLK_ALM 被屏蔽，不会影响 ALARM 寄存器位。

6.6.84 FIFO_LANE_ALM 寄存器（地址 = 0x2C4）[复位 = 0xFFFF]

图 6-111 展示了 FIFO_LANE_ALM，表 6-148 中对此进行了介绍。

返回到汇总表。

FIFO 上溢/下溢警报（默认值：0xFFFF）

图 6-111. FIFO_LANE_ALM 寄存器

15	14	13	12	11	10	9	8
FIFO_LANE_ALM							
R/W-0xFFFF							
7	6	5	4	3	2	1	0
FIFO_LANE_ALM							
R/W-0xFFFF							

表 6-148. FIFO_LANE_ALM 寄存器字段说明

位	字段	类型	复位	说明
15:0	FIFO_LANE_ALM	R/W	0xFFFF	如果通道 i 的 FIFO 出现上溢或下溢，则设置 FIFO_LANE_ALM[i]。使用此寄存器可确定哪个或哪些通道生成了警报。向该寄存器中的任何位写入“1”将清除警报（如果上溢/下溢情况持续存在，警报可能会立即再次触发）。向 ALM_STATUS 寄存器中的 FIFO_ALM 位写入“1”将清除该寄存器的所有位。

6.6.85 TADJ_A 寄存器（地址 = 0x310）[复位 = 0x0]

图 6-112 展示了 TADJ_A，表 6-149 中对此进行了介绍。

返回到汇总表。

在双通道模式下运行的 A-ADC 的时序调整（保险丝 ROM 的默认值）

图 6-112. TADJ_A 寄存器

7	6	5	4	3	2	1	0
TADJ_A							
R/W-0x0							

表 6-149. TADJ_A 寄存器字段说明

位	字段	类型	复位	说明
7:0	TADJ_A	R/W	0x0	该寄存器（以及随后的其他 TADJ*寄存器）用于调整每个 ADC 内核的采样时刻。不同的 TADJ 寄存器应用于不同模式下的不同 ADC。所有 TADJ*寄存器的默认值均为出厂编程值。可以根据需要读取和调整出厂修整值。

Copyright © 2025 Texas Instruments Incorporated

6.6.86 TADJ_B 寄存器（地址 = 0x313）[复位 = 0x0]

图 6-113 展示了 TADJ_B，表 6-150 中对此进行了介绍。

返回到汇总表。

在双通道模式下运行的 B-ADC 的时序调整（保险丝 ROM 的默认值）

图 6-113. TADJ_B 寄存器

7	6	5	4	3	2	1	0
TADJ_B							
R/W-0x0							

表 6-150. TADJ_B 寄存器字段说明

位	字段	类型	复位	说明
7:0	TADJ_B	R/W	0x0	有关说明，请参阅 TADJ_A 寄存器。在启用前台校准的情况下调整双通道模式下 B-ADC 的时序。

6.6.87 TADJ_A_FG90_VINA 寄存器（地址 = 0x314）[复位 = 0x0]

图 6-114 展示了 TADJ_A_FG90_VINA，表 6-151 中对此进行了介绍。

返回到汇总表。

在单通道模式下运行并对 INA± 采样的 A-ADC 的时序调整（保险丝 ROM 的默认值）

图 6-114. TADJ_A_FG90_VINA 寄存器

7	6	5	4	3	2	1	0
TADJ_A_FG90_VINA							
R/W-0x0							

表 6-151. TADJ_A_FG90_VINA 寄存器字段说明

位	字段	类型	复位	说明
7:0	TADJ_A_FG90_VINA	R/W	0x0	有关说明，请参阅 TADJ_A 寄存器。在启用前台校准并对 INA± 采样的情况下，在单通道模式下调整 A-ADC 的时序。

6.6.88 TADJ_B_FG0_VINA 寄存器（地址 = 0x315）[复位 = 0x0]

图 6-115 展示了 TADJ_B_FG0_VINA，表 6-152 中对此进行了介绍。

返回到汇总表。

在单通道模式下运行并对 INA± 采样的 B-ADC 的时序调整（保险丝 ROM 的默认值）

图 6-115. TADJ_B_FG0_VINA 寄存器

7	6	5	4	3	2	1	0
TADJ_B_FG0_VINA							
R/W-0x0							

表 6-152. TADJ_B_FG0_VINA 寄存器字段说明

位	字段	类型	复位	说明
7:0	TADJ_B_FG0_VINA	R/W	0x0	有关说明，请参阅 TADJ_A 寄存器。在启用前台校准并对 INA± 采样的情况下，在单通道模式下调整 B-ADC 的时序。

Copyright © 2025 Texas Instruments Incorporated

6.6.89 TADJ_A_FG90_VINB 寄存器（地址 = 0x31A）[复位 = 0x0]

图 6-116 展示了 TADJ_A_FG90_VINB，表 6-153 中对此进行了介绍。

返回到汇总表。

在单通道模式下运行并对 INB± 采样的 A-ADC 的时序调整（保险丝 ROM 的默认值）

图 6-116. TADJ_A_FG90_VINB 寄存器

7	6	5	4	3	2	1	0
TADJ_A_FG90_VINB							
R/W-0x0							

表 6-153. TADJ_A_FG90_VINB 寄存器字段说明

位	字段	类型	复位	说明
7:0	TADJ_A_FG90_VINB	R/W	0x0	有关说明，请参阅 TADJ_A 寄存器。在启用前台校准并对 INB± 采样的情况下，在单通道模式下调整 A-ADC 的时序。

6.6.90 TADJ_B_FG0_VINB 寄存器（地址 = 0x31B）[复位 = 0x0]

图 6-117 展示了 TADJ_B_FG0_VINB，表 6-154 中对此进行了介绍。

返回到汇总表。

在单通道模式下运行并对 INB± 采样的 B-ADC 的时序调整（保险丝 ROM 的默认值）

图 6-117. TADJ_B_FG0_VINB 寄存器

7	6	5	4	3	2	1	0
TADJ_B_FG0_VINB							
R/W-0x0							

表 6-154. TADJ_B_FG0_VINB 寄存器字段说明

位	字段	类型	复位	说明
7:0	TADJ_B_FG0_VINB	R/W	0x0	有关说明，请参阅 TADJ_A 寄存器。在启用前台校准并对 INB± 采样的情况下，在单通道模式下调整 B-ADC 的时序。

6.6.91 OADJ_A_FG0_VINA 寄存器（地址 = 0x344）[复位 = 0x0]

图 6-118 展示了 OADJ_A_FG0_VINA，表 6-155 中对此进行了介绍。

返回到汇总表。

在双通道模式下运行、对 INA± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）

图 6-118. OADJ_A_FG0_VINA 寄存器

15	14	13	12	11	10	9	8
RESERVED				OADJ_A_FG0_VINA			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG0_VINA							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-155. OADJ_A_FG0_VINA 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	OADJ_A_FG0_VINA	R/W	0x0	当 A-ADC 在双通道模式下对 INA± 采样并且启用前台校准时，偏移调整值应用于 A-ADC。

6.6.92 OADJ_A_FG0_VINB 寄存器（地址 = 0x346）[复位 = 0x0]

图 6-119 展示了 OADJ_A_FG0_VINB，表 6-156 中对此进行了介绍。

返回到汇总表。

在双通道模式下运行、对 INB± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）

图 6-119. OADJ_A_FG0_VINB 寄存器

15	14	13	12	11	10	9	8
RESERVED				OADJ_A_FG_VINB			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG_VINB							
R/W-0x0							

表 6-156. OADJ_A_FG0_VINB 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	OADJ_A_FG_VINB	R/W	0x0	当 A-ADC 在双通道模式下对 INB± 采样并且启用前台校准时，偏移调整值应用于 A-ADC。

6.6.93 OADJ_A_FG90_VINA 寄存器（地址 = 0x348）[复位 = 0x0]

图 6-120 展示了 OADJ_A_FG90_VINA，表 6-157 中对此进行了介绍。

返回到汇总表。

在单通道模式下运行、对 INA± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）

图 6-120. OADJ_A_FG90_VINA 寄存器

15	14	13	12	11	10	9	8
RESERVED				OADJ_A_FG90_VINA			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG90_VINA							
R/W-0x0							

表 6-157. OADJ_A_FG90_VINA 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	OADJ_A_FG90_VINA	R/W	0x0	当 A-ADC 在单通道模式下对 INA± 采样并且启用前台校准时，偏移调整值应用于 A-ADC。

Copyright © 2025 Texas Instruments Incorporated

6.6.94 OADJ_A_FG90_VINB 寄存器（地址 = 0x34A）[复位 = 0x0]

图 6-121 展示了 OADJ_A_FG90_VINB，表 6-158 中对此进行了介绍。

返回到汇总表。

在单通道模式下运行、对 INB± 采样的 A-ADC 的偏移调整（保险丝 ROM 的默认值）

图 6-121. OADJ_A_FG90_VINB 寄存器

15	14	13	12	11	10	9	8
RESERVED				OADJ_A_FG90_VINB			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_A_FG90_VINB							
R/W-0x0							

表 6-158. OADJ_A_FG90_VINB 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	OADJ_A_FG90_VINB	R/W	0x0	当 A-ADC 使用 90° 时钟相位对 INB± 采样并且启用前台校准时，偏移调整值应用于 A-ADC。

6.6.95 OADJ_B_FG0_VINA 寄存器（地址 = 0x34C）[复位 = 0x0]

图 6-122 展示了 OADJ_B_FG0_VINA，表 6-159 中对此进行了介绍。

返回到汇总表。

对 INA± 进行采样 B-ADC 的偏移调整（保险丝 ROM 的默认值）

图 6-122. OADJ_B_FG0_VINA 寄存器

15	14	13	12	11	10	9	8
RESERVED				OADJ_B_FG0_VINA			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_B_FG0_VINA							
R/W-0x0							

表 6-159. OADJ_B_FG0_VINA 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	OADJ_B_FG0_VINA	R/W	0x0	当 B-ADC 对 INA± 采样并且启用前台校准时，偏移调整值应用于 B-ADC。适用于双通道模式和单通道模式。

6.6.96 OADJ_B_FG0_VINB 寄存器（地址 = 0x34E）[复位 = 0x0]

图 6-123 展示了 OADJ_B_FG0_VINB，表 6-160 中对此进行了介绍。

返回到汇总表。

对 INB± 进行采样 B-ADC 的偏移调整（保险丝 ROM 的默认值）

Copyright © 2025 Texas Instruments Incorporated

图 6-123. OADJ_B_FG0_VINB 寄存器

15	14	13	12	11	10	9	8
RESERVED				OADJ_B_FG0_VINB			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
OADJ_B_FG0_VINB							
R/W-0x0							

表 6-160. OADJ_B_FG0_VINB 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	OADJ_B_FG0_VINB	R/W	0x0	当 B-ADC 对 INB± 采样并且启用前台校准时，偏移调整值应用于 B-ADC。适用于双通道模式和单通道模式。

6.6.97 GAIN_A0_FGDUAL 寄存器（地址 = 0x350）[复位 = 0x0]

图 6-124 展示了 GAIN_A0_FGDUAL，表 6-161 中对此进行了介绍。

返回到汇总表。

双通道模式下 ADC A 组 0 的精细增益调整（保险丝 ROM 的默认值）

图 6-124. GAIN_A0_FGDUAL 寄存器

7	6	5	4	3	2	1	0
RESERVED			GAIN_A0_FGDUAL				
R/W-0x0			R/W-0x0				

表 6-161. GAIN_A0_FGDUAL 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC A 组 0 的精细增益调整。

6.6.98 GAIN_A1_FGDUAL 寄存器（地址 = 0x351）[复位 = 0x0]

图 6-125 展示了 GAIN_A1_FGDUAL，表 6-162 中对此进行了介绍。

返回到汇总表。

双通道模式下 ADC A 组 1 的精细增益调整（保险丝 ROM 的默认值）

图 6-125. GAIN_A1_FGDUAL 寄存器

7	6	5	4	3	2	1	0
RESERVED			GAIN_A1_FGDUAL				
R/W-0x0			R/W-0x0				

表 6-162. GAIN_A1_FGDUAL 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	GAIN_A1_FGDUAL	R/W	0x0	ADC A 组 1 的精细增益调整。

Copyright © 2025 Texas Instruments Incorporated

6.6.99 GAIN_B0_FGDUAL 寄存器（地址 = 0x352）[复位 = 0x0]

图 6-126 展示了 GAIN_B0_FGDUAL，表 6-163 中对此进行了介绍。

返回到汇总表。

双通道模式下 ADC B 组 0 的精细增益调整（保险丝 ROM 的默认值）

图 6-126. GAIN_B0_FGDUAL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN_A0_FGDUAL			
R/W-0x0				R/W-0x0			

表 6-163. GAIN_B0_FGDUAL 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC B 组 0 的精细增益调整。

6.6.100 GAIN_B1_FGDUAL 寄存器（地址 = 0x353）[复位 = 0x0]

图 6-127 展示了 GAIN_B1_FGDUAL，表 6-164 中对此进行了介绍。

返回到汇总表。

双通道模式下 ADC B 组 1 的精细增益调整（保险丝 ROM 的默认值）

图 6-127. GAIN_B1_FGDUAL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN_B1_FGDUAL			
R/W-0x0				R/W-0x0			

表 6-164. GAIN_B1_FGDUAL 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	GAIN_B1_FGDUAL	R/W	0x0	ADC B 组 1 的精细增益调整。

6.6.101 GAIN_A0_FGDES 寄存器（地址 = 0x354）[复位 = 0x0]

图 6-128 展示了 GAIN_A0_FGDES，表 6-165 中对此进行了介绍。

返回到汇总表。

单通道模式下 ADC A 组 0 的精细增益调整（来自保险丝 ROM 的默认值）

图 6-128. GAIN_A0_FGDES 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN_A0_FGDUAL			
R/W-0x0				R/W-0x0			

表 6-165. GAIN_A0_FGDES 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-165. GAIN_A0_FGDES 寄存器字段说明（续）

位	字段	类型	复位	说明
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC A 组 0 的精细增益调整。

6.6.102 GAIN_A1_FGDES 寄存器（地址 = 0x355）[复位 = 0x0]

图 6-129 展示了 GAIN_A1_FGDES，表 6-166 中对此进行了介绍。

返回到汇总表。

单通道模式下 ADC A 组 1 的精细增益调整（来自保险丝 ROM 的默认值）

图 6-129. GAIN_A1_FGDES 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN_A1_FGDUAL			
R/W-0x0				R/W-0x0			

表 6-166. GAIN_A1_FGDES 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	GAIN_A1_FGDUAL	R/W	0x0	ADC A 组 1 的精细增益调整。

6.6.103 GAIN_B0_FGDES 寄存器（地址 = 0x356）[复位 = 0x0]

图 6-130 展示了 GAIN_B0_FGDES，表 6-167 中对此进行了介绍。

返回到汇总表。

单通道模式下 ADC B 组 0 的精细增益调整（保险丝 ROM 的默认值）

图 6-130. GAIN_B0_FGDES 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN_A0_FGDUAL			
R/W-0x0				R/W-0x0			

表 6-167. GAIN_B0_FGDES 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	GAIN_A0_FGDUAL	R/W	0x0	ADC B 组 0 的精细增益调整。

6.6.104 GAIN_B1_FGDES 寄存器（地址 = 0x357）[复位 = 0x0]

图 6-131 展示了 GAIN_B1_FGDES，表 6-168 中对此进行了介绍。

返回到汇总表。

单通道模式下 ADC B 组 1 的精细增益调整（保险丝 ROM 的默认值）

图 6-131. GAIN_B1_FGDES 寄存器

7	6	5	4	3	2	1	0
RESERVED				GAIN_B1_FGDUAL			
R/W-0x0				R/W-0x0			

Copyright © 2025 Texas Instruments Incorporated

图 6-131. GAIN_B1_FGDES 寄存器（续）

表 6-168. GAIN_B1_FGDES 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R/W	0x0	
4:0	GAIN_B1_FGDUAL	R/W	0x0	ADC B 组 1 的精细增益调整。

6.6.105 PFIR_CFG 寄存器（地址 = 0x400）[复位 = 0x00]

图 6-132 展示了 PFIR_CFG，表 6-169 中对此进行了介绍。

返回到汇总表。

可编程 FIR 模式（默认值：0x00）

图 6-132. PFIR_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED	PFIR_SHARE	PFIR_MERGE	PFIR_SCW			PFIR_MODE	
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0			R/W-0x0	

表 6-169. PFIR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	
6	PFIR_SHARE	R/W	0x0	设置后，B 通道的 PFIR 使用与 A 通道的 PFIR 相同的系数。当 PFIR_SHARE=0 时，B 通道滤波器使用自己的一组系数（与通道 A 不同）。有关用法的详细信息，请参阅可编程 FIR 滤波器 (PFIR)部分。
5	PFIR_MERGE	R/W	0x0	设置后，PFIR 滤波器合并为单个逻辑滤波器。此模式处理 ADC 数据样本，就像它们属于单个样本流一样。只要在单通道模式下设置 ADC，就会设置 PFIR_MERGE=1。
4:2	PFIR_SCW	R/W	0x0	PFIR 的侧边系数权重。此字段确定系数的权重（中心系数除外）。增加系数权重会增加系数范围，但会降低精度。LSB 权重为 2^{PFIR_SCW-16}，其中 PFIR_SCW 权重可以编程为 0 至 6。默认值为 0，其 LSB 权重为 2^{-16}。
1:0	PFIR_MODE	R/W	0x0	0：PFIR 块被禁用（默认） 1：保留 2：启用 PFIR 块 3：保留 注意：使用 PFIR 时，还必须对滤波器系数进行编程。 注释：• 仅当 JESD_EN=0 时，才应更改全部 PFIR_* 寄存器。

6.6.106 PFIR_A0 寄存器（地址 = 0x418）[复位 = 0x0]

图 6-133 展示了 PFIR_A0，表 6-170 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A0

图 6-133. PFIR_A0 寄存器

15	14	13	12	11	10	9	8

Copyright © 2025 Texas Instruments Incorporated

图 6-133. PFIR_A0 寄存器（续）

RESERVED							PFIR_A0
R/W-0x0							R/W-0x0
7	6	5	4	3	2	1	0
PFIR_A0							
R/W-0x0							

表 6-170. PFIR_A0 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A0	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第一个抽头，或单通道模式下可编程 FIR 滤波器的第一个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.107 PFIR_A1 寄存器（地址 = 0x41A）[复位 = 0x0]

图 6-134 展示了 PFIR_A1，表 6-171 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A1

图 6-134. PFIR_A1 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_A1			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A1							
R/W-0x0							

表 6-171. PFIR_A1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A1	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第二个抽头，或单通道模式下可编程 FIR 滤波器的第二个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.108 PFIR_A2 寄存器（地址 = 0x41C）[复位 = 0x0]

图 6-135 展示了 PFIR_A2，表 6-172 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A2

图 6-135. PFIR_A2 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_A2			
R/W-0x0				R/W-0x0			

Copyright © 2025 Texas Instruments Incorporated

图 6-135. PFIR_A2 寄存器（续）

7	6	5	4	3	2	1	0
PFIR_A2							
R/W-0x0							

表 6-172. PFIR_A2 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A2	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第三个抽头，或单通道模式下可编程 FIR 滤波器的第三个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.109 PFIR_A3 寄存器（地址 = 0x41E）[复位 = 0x0]

图 6-136 展示了 PFIR_A3，表 6-173 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A3

图 6-136. PFIR_A3 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_A3			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A3							
R/W-0x0							

表 6-173. PFIR_A3 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A3	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第四个抽头，或单通道模式下可编程 FIR 滤波器的第四个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.110 PFIR_A4 寄存器（地址 = 0x420）[复位 = 0x0]

图 6-137 展示了 PFIR_A4，表 6-174 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A4

图 6-137. PFIR_A4 寄存器

23	22	21	20	19	18	17	16
RESERVED						PFIR_A4	
R/W-0x0						R/W-0x0	
15	14	13	12	11	10	9	8

Copyright © 2025 Texas Instruments Incorporated

图 6-137. PFIR_A4 寄存器（续）

PFIR_A4							
R/W-0x0							
7	6	5	4	3	2	1	0
PFIR_A4							
R/W-0x0							

表 6-174. PFIR_A4 寄存器字段说明

位	字段	类型	复位	说明
23:18	RESERVED	R/W	0x0	
17:0	PFIR_A4	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第五个抽头，或单通道模式下可编程 FIR 滤波器的第五个抽头。这是 9 抽头滤波器的中心抽头，因此分辨率为 18 位。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.111 PFIR_A5 寄存器（地址 = 0x423）[复位 = 0x0]

图 6-138 展示了 PFIR_A5，表 6-175 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A5

图 6-138. PFIR_A5 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_A5			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A5							
R/W-0x0							

表 6-175. PFIR_A5 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A5	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第六个抽头，或单通道模式下可编程 FIR 滤波器的第六个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.112 PFIR_A6 寄存器（地址 = 0x425）[复位 = 0x0]

图 6-139 展示了 PFIR_A6，表 6-176 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A6

图 6-139. PFIR_A6 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_A6			
R/W-0x0				R/W-0x0			

Copyright © 2025 Texas Instruments Incorporated

图 6-139. PFIR_A6 寄存器（续）

7	6	5	4	3	2	1	0
PFIR_A6							
R/W-0x0							

表 6-176. PFIR_A6 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A6	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第七个抽头，或单通道模式下可编程 FIR 滤波器的第七个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.113 PFIR_A7 寄存器（地址 = 0x427）[复位 = 0x0]

图 6-140 展示了 PFIR_A7，表 6-177 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A7

图 6-140. PFIR_A7 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_A7			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_A7							
R/W-0x0							

表 6-177. PFIR_A7 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A7	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第八个抽头，或单通道模式下可编程 FIR 滤波器的第八个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.114 PFIR_A8 寄存器（地址 = 0x429）[复位 = 0x0]

图 6-141 展示了 PFIR_A8，表 6-178 中对此进行了介绍。

返回到汇总表。

PFIR 系数 A8

图 6-141. PFIR_A8 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_A8			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-141. PFIR_A8 寄存器（续）

PFIR_A8
R/W-0x0

表 6-178. PFIR_A8 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_A8	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC A 可编程 FIR 滤波器的第九个抽头，或单通道模式下可编程 FIR 滤波器的第九个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.115 PFIR_B0 寄存器（地址 = 0x448）[复位 = 0x0]

图 6-142 展示了 PFIR_B0，表 6-179 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B0

图 6-142. PFIR_B0 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B0			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B0							
R/W-0x0							

表 6-179. PFIR_B0 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_B0	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第一个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.116 PFIR_B1 寄存器（地址 = 0x44A）[复位 = 0x0]

图 6-143 展示了 PFIR_B1，表 6-180 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B1

图 6-143. PFIR_B1 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B1			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B1							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-180. PFIR_B1 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_B1	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第二个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.117 PFIR_B2 寄存器（地址 = 0x44C）[复位 = 0x0]

图 6-144 展示了 PFIR_B2，表 6-181 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B2

图 6-144. PFIR_B2 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B2			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B2							
R/W-0x0							

表 6-181. PFIR_B2 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_B2	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第三个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.118 PFIR_B3 寄存器（地址 = 0x44E）[复位 = 0x0]

图 6-145 展示了 PFIR_B3，表 6-182 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B3

图 6-145. PFIR_B3 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B3			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B3							
R/W-0x0							

表 6-182. PFIR_B3 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-182. PFIR_B3 寄存器字段说明（续）

位	字段	类型	复位	说明
11:0	PFIR_B3	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第四个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.119 PFIR_B4 寄存器（地址 = 0x450）[复位 = 0x0]

图 6-146 展示了 PFIR_B4，表 6-183 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B4

图 6-146. PFIR_B4 寄存器

23	22	21	20	19	18	17	16
RESERVED						PFIR_B4	
R/W-0x0						R/W-0x0	
15	14	13	12	11	10	9	8
PFIR_B4							
R/W-0x0							
7	6	5	4	3	2	1	0
PFIR_B4							
R/W-0x0							

表 6-183. PFIR_B4 寄存器字段说明

位	字段	类型	复位	说明
23:18	RESERVED	R/W	0x0	
17:0	PFIR_B4	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第五个抽头。这是 9 抽头滤波器的中心抽头，因此分辨率为 18 位。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.120 PFIR_B5 寄存器（地址 = 0x453）[复位 = 0x0]

图 6-147 展示了 PFIR_B5，表 6-184 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B5

图 6-147. PFIR_B5 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B5			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B5							
R/W-0x0							

Copyright © 2025 Texas Instruments Incorporated

表 6-184. PFIR_B5 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_B5	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第六个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.121 PFIR_B6 寄存器（地址 = 0x455）[复位 = 0x0]

图 6-148 展示了 PFIR_B6，表 6-185 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B6

图 6-148. PFIR_B6 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B6			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B6							
R/W-0x0							

表 6-185. PFIR_B6 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_B6	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第七个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.122 PFIR_B7 寄存器（地址 = 0x457）[复位 = 0x0]

图 6-149 展示了 PFIR_B7，表 6-186 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B7

图 6-149. PFIR_B7 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B7			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B7							
R/W-0x0							

表 6-186. PFIR_B7 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	

Copyright © 2025 Texas Instruments Incorporated

表 6-186. PFIR_B7 寄存器字段说明（续）

位	字段	类型	复位	说明
11:0	PFIR_B7	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第八个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

6.6.123 PFIR_B8 寄存器（地址 = 0x459）[复位 = 0x0]

图 6-150 展示了 PFIR_B8，表 6-187 中对此进行了介绍。

返回到汇总表。

PFIR 系数 B8

图 6-150. PFIR_B8 寄存器

15	14	13	12	11	10	9	8
RESERVED				PFIR_B8			
R/W-0x0				R/W-0x0			
7	6	5	4	3	2	1	0
PFIR_B8							
R/W-0x0							

表 6-187. PFIR_B8 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R/W	0x0	
11:0	PFIR_B8	R(1)/W	0x0	PFIR 滤波器的有符号二进制补码系数。这是双通道模式下 ADC B 可编程 FIR 滤波器的第九个抽头。

(1) 读取函数不能正确返回 MSB 值 — 回读中的 MSB 值始终为 0。

Copyright © 2025 Texas Instruments Incorporated

7 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

ADC12DJ5200-EP 可广泛应用于雷达、卫星通信、测试设备（通信测试仪和示波器）以及软件定义无线电 (SDR) 等应用中。较宽的输入带宽支持至少 10GHz 的直接射频采样，而高采样率支持大于 5GHz 的信号带宽。ADC12DJ5200-EP 也可用于直流耦合以满足示波器或宽带数字转换器的需求。*典型应用* 部分描述了两种能够满足众多此类应用需求的配置。

7.2 典型应用

7.2.1 宽带射频采样接收器

本节展示 ADC12DJ5200-EP 作为宽带射频采样接收器的应用。该解决方案具有灵活性，既可用作双通道接收器（如分集接收器），也能作为单通道接收器，单通道模式下信号带宽可达双通道时的两倍。ADC 由单端射频放大器驱动，而差分信号的转换通过变压器（平衡-非平衡变压器）实现。该器件包含采用单通道和双通道模式的数字下变频器(DDC)，可将所需的频带混合到基带中，并对数据进行下采样以降低接口速率。图 7-1 显示了宽带射频采样接收器的方框图，其中器件配置为单通道模式以实现最大信号带宽。

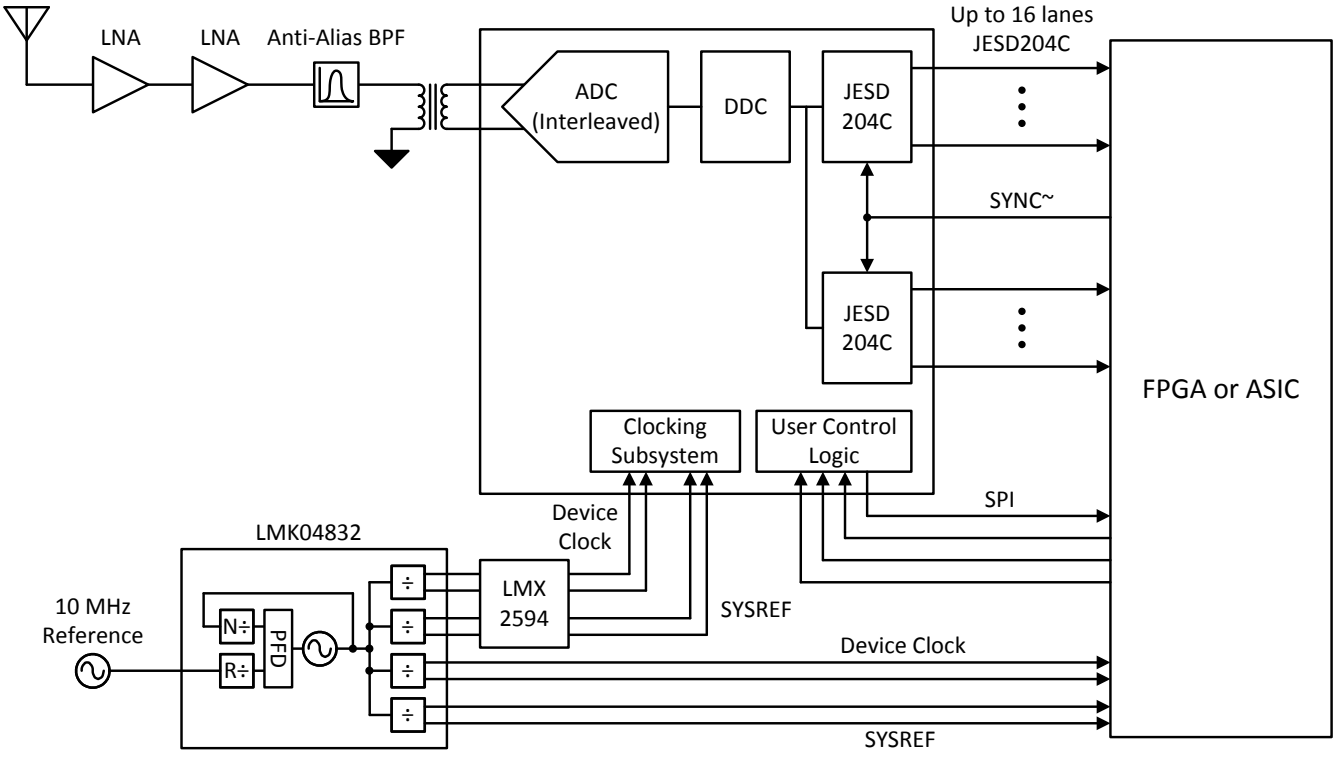


图 7-1. 宽带射频采样的典型配置

7.2.1.1 设计要求

7.2.1.1.1 输入信号路径

使用合适的带限滤波器来抑制输入信号路径中不需要的频率。

Copyright © 2025 Texas Instruments Incorporated

需要使用 1：2 平衡-非平衡变压器将 50Ω 单端信号转换为 100Ω 差分信号，以输入到 ADC。平衡-非平衡变压器输出可以是交流耦合的，也可以直接连接到 ADC 差分输入，后者在内部端接至 GND。

必须选择驱动器来提供任何所需的信号增益并具有必要的带宽能力。

一般来说，选择平衡-非平衡变压器时，必须覆盖所需的频率范围，具有 1:2 的阻抗比，并在所需的频率范围内具有可接受的增益和相位平衡。对于差分输出回波损耗较差的平衡-非平衡变压器，应尽可能安装在靠近 ADC 输入端口的位置，以避免在高输入频率下频率响应中出现波纹。电阻式衰减器（π 型或 T 型）也有助于抑制由较差的回波损耗引起的波纹。表 7-1 列出了针对不同频率范围的多种推荐平衡-非平衡变压器。

表 7-1. 推荐的平衡-非平衡变压器

器件型号	制造商(1)	最小频率 (MHz)	最大频率 (MHz)
BAL-0009SMG	Marki Microwave	0.5	9000
BAL-0208SMG	Marki Microwave	2000	8000
TCM2-43X+	迷你电路	10	4000
TCM2-33WX+	迷你电路	10	3000
B0430J50100AHF	Anaren	400	3000

(1) 请参阅*第三方产品免责声明*部分。

7.2.1.1.2 时钟

ADC12DJ5200-EP 时钟输入必须与器件交流耦合，以提供额定性能。时钟源必须具有极低的抖动（集成相位噪声）才能实现额定性能。推荐的时钟合成器包括 LMX2594 和 LMX2572。

JESD204C 数据转换器系统（ADC 加上逻辑器件）需要额外的 SYSREF 和器件时钟。LMK04832、LMK04828、LMK04826 和 LMK04821 器件适合生成这些时钟。根据 ADC 时钟频率和抖动要求，此器件也可用作系统时钟合成器或器件时钟和 SYSREF 分配器件（在系统中使用了多个 ADC12DJ5200-EP 器件时）。对于高于 3.2GHz 的时钟频率，LMX2594 和 LMX2572 可以通过单个器件提供器件时钟和 SYSREF，如图 7-1 中所示。

7.2.1.2 详细设计过程

与该期间配合使用的某些元件值必须根据系统参数进行计算。本节涵盖了这些内容。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2.1 计算交流耦合电容的值

输入 CLK ± 和 JESD204C 输出数据对中使用了交流耦合电容器。电容器值必须足够大，以满足所需的最低频率信号要求，但不能太大，因为这会导致启动偏置时间过长或产生不必要的寄生电感。

最小电容器值可根据通过电容器传输的最低频率信号计算得出。在给定 50Ω 单端时钟或数据路径阻抗的情况下，不错的做法是在所需的最低频率下将电容器阻抗设置为 < 1Ω。这样的设置可确保该频率下的信号电平影响极小。对于 CLK± 路径，最小额定时钟频率为 800 MHz。因此，最小电容值可以通过以下公式计算：

$$Z_C = 1/(2 \times \pi \times f_{CLK} \times C) \quad (16)$$

设置 Z_c = 1Ω 并重新排列，将得出：

$$C = 1/(2 \times \pi \times 800\ \text{MHz} \times 1\ \Omega) = 199\ \text{pF} \quad (17)$$

因此，需要至少 199pF 的电容值来为 CLK± 路径提供低频响应。如果最小时钟频率高于 800 MHz，则可以针对该频率重新进行此计算。可以根据该接口中的最低频率对 JESD204C 输出数据电容器进行类似的计算。还必须选择在高频下响应良好且尺寸与所连接的高频信号布线相匹配的电容。0201 尺寸的电容器通常非常适合这些应用。

7.2.2 可重新配置的双通道 5 GSPS 或单通道 10 Gsps 示波器

本节展示了该器件在可重新配置示波器中的应用。该器件非常适合示波器应用。其在通道数量和采样速度之间进行权衡的能力，使设计人员能够构建灵活的硬件，以满足多种需求。这种灵活性节省了开发时间和成本，允许在不同项目中重复使用硬件，并为实现额外功能提供了软件升级途径。本节介绍的一款示波器，可作为双通道示波器以 5GSPS 的速率运行，也可通过 SPI 编程重新配置为单通道、10GSPS 速率的示波器。通过重新配置的设置，用户能够根据需要在不更改硬件的情况下，对示波器的通道数量和采样率进行权衡取舍。通过使用抗混叠低通滤波器将输入带宽设置为所需的最大信号带宽。然后可以根据需要使用数字滤波来重新配置模拟带宽。例如，在脉冲瞬态检测期间，可将最大带宽设置为 2GHz，而在进行低噪声电源纹波观测时，可通过数字滤波将其重新配置为 100MHz。图 7-2 显示了该应用的方框图。

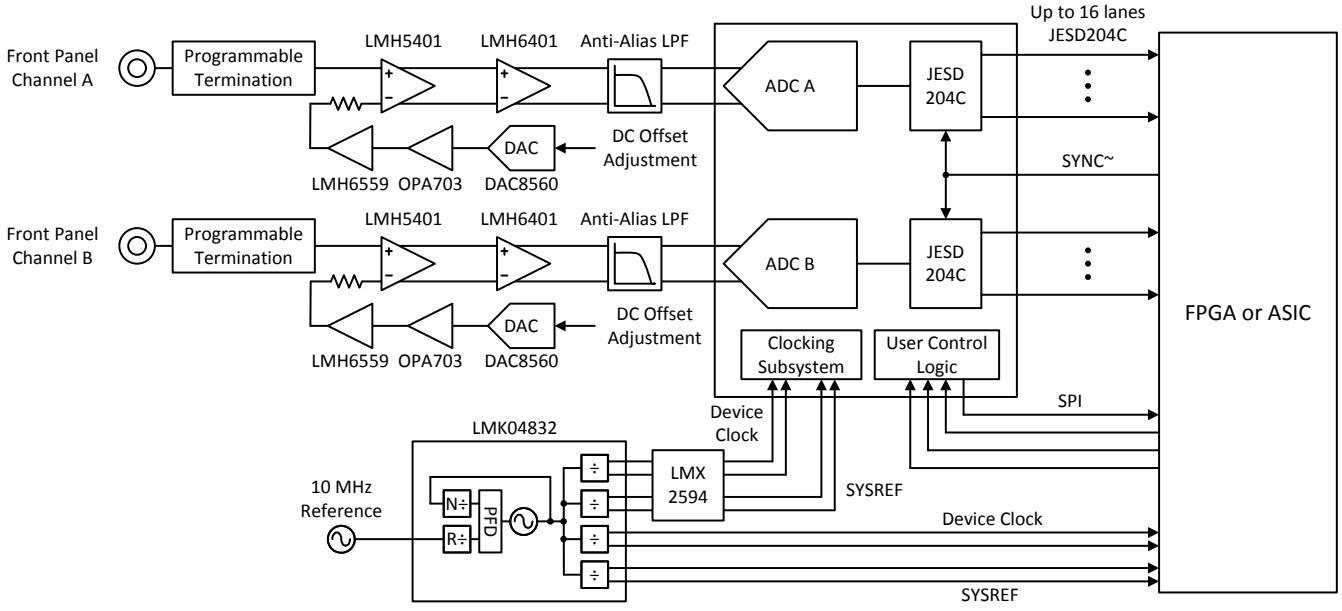


图 7-2. 可重新配置示波器的典型配置

Copyright © 2025 Texas Instruments Incorporated

7.2.2.1 设计要求

7.2.2.1.1 输入信号路径

大多数示波器都需要进行直流耦合，以便监测直流或低频信号。这一要求强制该设计使用直流耦合全差分放大器，以将前面板的单端信号转换为 ADC 的差分信号。此设计使用两个差分放大器。图 7-2 中所示的第一个放大器是 LMH5401，用于将单端信号转换为差分信号。LMH5401 通过一个可编程端接网络与前面板连接，并且有一个失调调整输入端口。该放大器具有 8GHz 的增益带宽积，足以支持 1GHz 带宽示波器。第二个放大器为 LMH6401，位于 LMH5401 之后，用于为示波器提供数字可编程增益控制。LMH6401 支持的增益范围为 –6dB 至 26dB，步长为 1dB。如果不需要增益控制，或者在信号链的其他位置进行增益控制，则可以将该放大器替换为第二个 LMH5401 以获得额外的固定增益，或完全省略。

示波器的输入包含一个可编程终端模块，这里不做详细介绍。该块可对前面板输入终端进行编程。例如，很多示波器支持将端接电阻编程为 50Ω 或 1MΩ，从而满足各种应用的需求。此外，还可能需要 75Ω 终端来支持电缆基础设施使用场景。该模块还可以选择直流阻断功能，以消除外部信号的直流分量，从而只让交流信号通过。

使用一个精密 DAC 来配置示波器前端的失调，以防止包含较大直流失调的输入信号中出现模拟信号链饱和现象。图 7-2 中显示了 DAC8560 以及信号调节放大器 OPA703 和 LMH6559。第一个差分放大器 LMH5401，其一个输入端由前面板输入电路驱动，另一个输入端则由直流失调偏置驱动。为了在单端到差分转换操作中获得良好的偶次谐波性能，这些驱动信号的阻抗必须在直流和整个频率范围内匹配。LMH6559 的高带宽特性使该器件能够在较宽的频率范围内保持低阻抗。

ADC 的输入端设有一个抗混叠低通滤波器，用于限制进入 ADC 的输入信号带宽。该放大器还会对前端噪声进行带宽限制，以防止混叠噪声降低整个系统的信噪比。需按照示波器规定的最大输入信号带宽来设计此滤波器。之后，可以通过 FPGA 或 ASIC 中的数字滤波器重新配置输入带宽，从而将示波器的输入带宽限制在小于最大带宽的范围。

7.2.2.1.2 时钟

ADC12DJ5200-EP 时钟输入必须与器件交流耦合，以提供额定性能。时钟源必须具有极低的抖动（集成相位噪声）才能实现额定性能。推荐的时钟合成器包括 LMX2594 和 LMX2572。

JESD204C 数据转换器系统（ADC 加上逻辑器件）需要额外的 SYSREF 和器件时钟。LMK04832、LMK04828、LMK04826 和 LMK04821 器件适合生成这些时钟。根据 ADC 时钟频率和抖动要求，此器件也可用作系统时钟合成器或器件时钟和 SYSREF 分配器件（在系统中使用了多个 ADC12DJ5200-EP 器件时）。对于高于 3.2GHz 的时钟频率，LMX2594 和 LMX2572 可以通过单个器件提供器件时钟和 SYSREF，如图 7-1 中所示。

7.2.2.1.3 ADC12DJ5200-EP 示波器应用

ADC12DJ5200-EP 具有诸多特性，使其非常适合示波器应用。低误码率 (CER) 消除了时域毛刺脉冲或闪烁码这类不理想现象的问题。低 CER 使该器件完美适用于长时间瞬态检测测量，并降低了误触发的概率。0V 的输入共模电压使得驱动放大器能够使用等分电源，使放大器输出共模电压以 0V 为中心，并且无需在 ADC 输入之前进行共模电压转换。该器件的高输入带宽简化了驱动放大器电路和抗混叠低通滤波器的设计。在单通道模式下使用双边沿采样 (DES)，无需在双通道和单通道模式之间切换时更改时钟频率，并通过放宽 SYSREF 的设置和保持时序要求来简化同步。通过 t_{AD} 调节电路，用户可以对多个 ADC12DJ5200-EP 器件的采样实例进行时间校准，或设置前端跟踪保持 (T&H) 放大器的理想采样点。

7.3 初始化设置

器件和 JESD204C 接口需要特定的启动和对齐序列。在以下步骤中列出了该序列的顺序。

1. 器件上电或复位。
2. 以所需频率施加稳定的器件 CLK 信号。
3. 通过将 SOFT_RESET 切换为 1 来执行软件复位。等待至少 1µs 后再继续。
4. 对 JESD_EN = 0 进行编程，以停止 JESD204C 状态机并允许更改设置。
5. 对 CAL_EN = 0 进行编程以停止校准状态机并允许更改设置。
6. 对所需的 JMODE 进行编程。
7. 对所需的 KM1 值进行编程。KM1 = K – 1。

Copyright © 2025 Texas Instruments Incorporated

8. 根据需要对 SYNC_SEL 进行编程。选择 SYNCSE 或时间戳差分输入。
9. 根据需要配置器件校准设置。根据需要选择前台或后台校准模式和偏移校准。
10. 对 CAL_EN = 1 进行编程以启用校准状态机。
11. 通过 OVR_EN 启用超范围，并根据需要调整设置。
12. 对 JESD_EN = 1 进行编程，以重新启动 JESD204C 状态机并允许重新启动链路。
13. JESD204C 接口在运行时响应所施加的来自接收器的 SYNC 信号。
14. 编程 CAL_SOFT_TRIG = 0。
15. 编程 CAL_SOFT_TRIG = 1 以启动校准。

7.4 电源相关建议

该器件需要两个不同的电源电压。VA19 电源总线需要 1.9V 直流电，VA11 和 VD11 电源总线需要 1.1V 直流电。

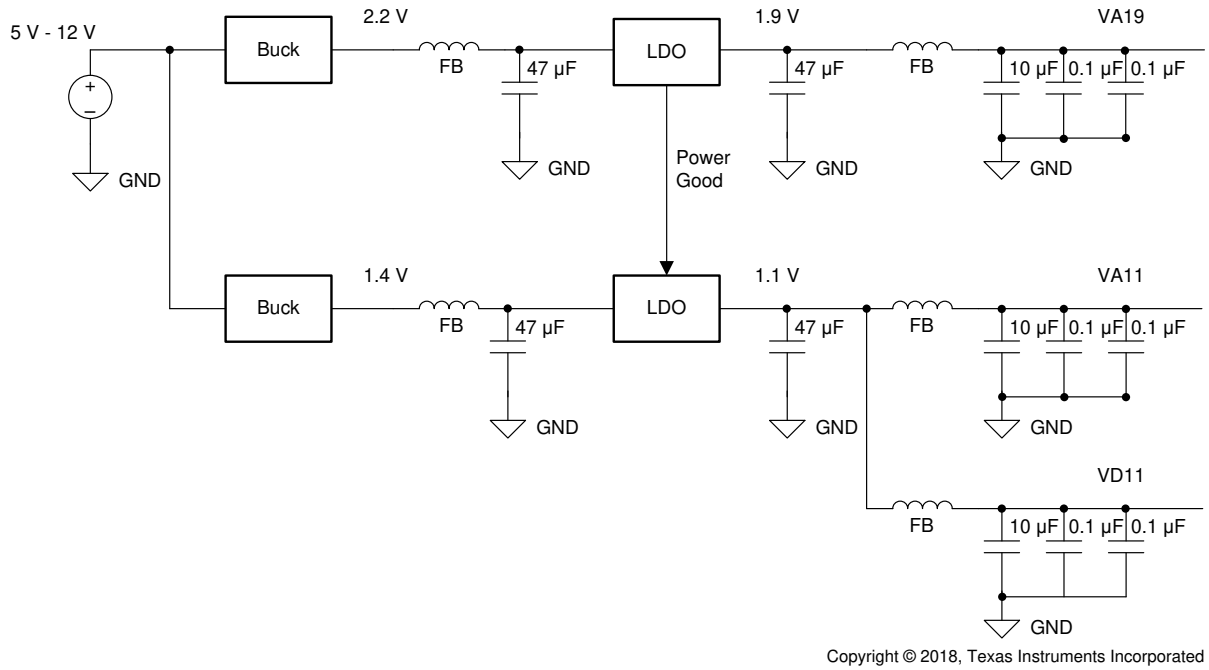
电源电压必须具有低噪声，并提供所需的电流以实现额定器件性能。

推荐的电源架构包括以下两种：

1. 使用降压高效开关转换器，然后进行第二级稳压，以降低开关噪声并提高电压精度。
2. 使用高效开关转换器直接降低最终的 ADC 电源电压。该方法可提供出色的效率，但必须注意尽可能降低开关噪声，以防止 ADC 性能下降。

TI WEBENCH® Power Designer 可用于选择和设计所需的各个电源元件：请参阅 WEBENCH® Power Designer

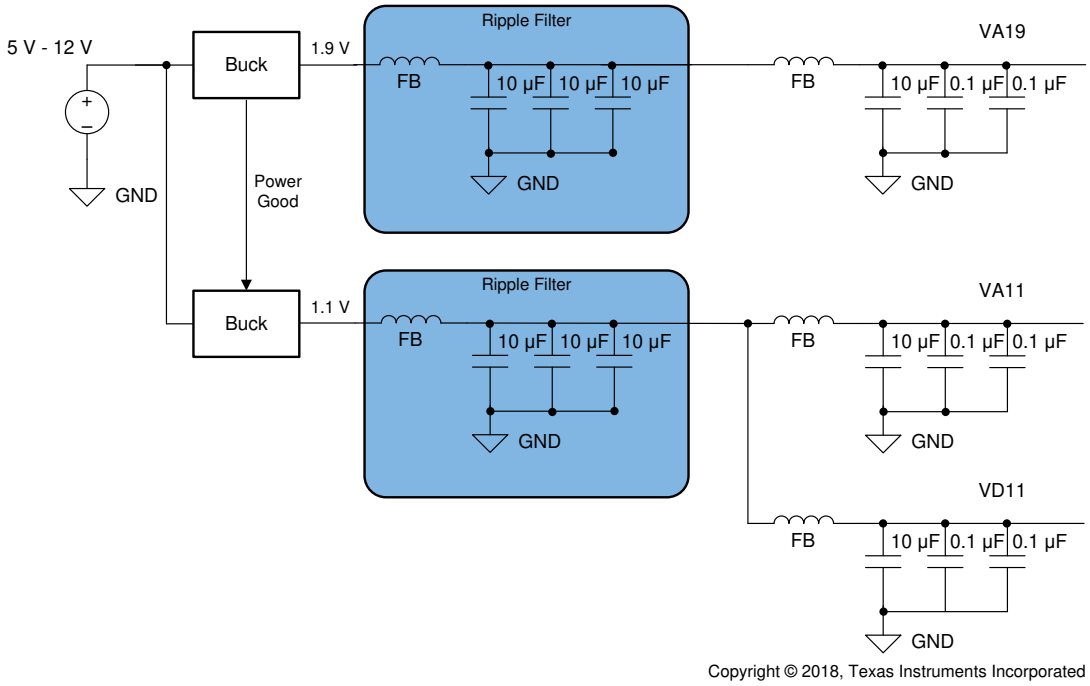
对于仅开关的方法，纹波滤波器经设计必须能对直流/直流转换器的开关频率和开关频率的谐波进行充分的滤波。请注意，WEBENCH® 报告的开关频率，并设计 EMI 滤波器和电容器组合，以使陷波频率根据需要居中。每种应用对电源电压噪声的容忍度不同，因此没有严格的纹波要求。图 7-3 和图 7-4 展示了这两种方法。



FB = 铁氧体磁珠滤波器。

图 7-3. LDO 线性稳压器方法示例

Copyright © 2025 Texas Instruments Incorporated



纹波滤波器陷波频率应与降压转换器的 fs 相匹配。

FB = 铁氧体磁珠滤波器。

图 7-4. 仅开关的方法示例

7.4.1 电源时序

必须使用电源正常输出和使能输入对稳压器进行定序，以确保在 VA19 电源状态良好后再启用 Vx11 稳压器。同样，只要 VA19 电源在断电时降至稳压范围之外，Vx11 稳压器就会被禁用。

ADC 的一般要求是，在上电、运行和断电期间 VA19≥Vx11。

TI 还建议 VA11 和 VD11 由同一个 1.1V 稳压器供电。这一建议可确保所有 1.1V 模块处于相同电压，并且这些电源之间不存在时序控制问题。此外，使用铁氧体磁珠滤波器来隔离 VA11 和 VD11 总线上的噪声，使其互不影响。

7.5 布局

7.5.1 布局指南

在电路板设计过程中，有几个关键信号需要特别注意：

1. 模拟输入信号
2. CLK 和 SYSREF
3. JESD204C 数据输出
4. 电源连接
5. 接地连接

模拟输入信号，时钟信号和 JESD204C 数据输出的路由必须在高频下实现出色的信号质量，但也必须进行路由，以最大限度地相互隔离。请使用以下常规做法：

1. 尽可能使用松散耦合的 100Ω 差分布线进行路由。这种布线可更大限度地降低角和长度匹配蛇形对成对阻抗的影响。
2. 提供足够的线对间距以更大限度地减少串扰，尤其是在松散耦合差分布线情况下。当无法提供足够的间距时，紧密耦合的差分布线可用于降低自辐射噪声或提高相邻布线的抗噪性。

Copyright © 2025 Texas Instruments Incorporated

3. 提供足够的接地平面覆铜间距，更大限度地减少与高速布线的耦合。任何接地平面覆铜都必须有足够的过孔连接到电路板的主接地平面。请勿使用悬空或接地不良的覆铜。
4. 使用平滑的半径角。避免 45° 或 90°弯曲，以减少阻抗不匹配。
5. 在元件着陆垫上引入接地平面开孔，以避免这些位置的阻抗不连续。在着陆垫下方的一个或多个接地平面上进行开孔，以实现焊盘尺寸或层叠高度，从而实现所需的 50 Ω 单端阻抗。
6. 避免在基准接地平面中的不平顺处附近布线。不平顺处包括与电源和信号过孔以及通孔器件引线相关的接地平面或接地层间隙的切割处。
7. 在由布线传输的最大频率 (<< λ_{MIN}/8) 决定的适当间距下，提供与任何高速信号相邻的对称接地连接拼接过孔。
8. 当高速信号必须使用过孔转换到另一层时，应尽可能远地穿过电路板（最好是从上到下），以更大限度地减少过孔顶部或底部的过孔残桩。如果层选择不灵活，请使用背钻或埋入式盲孔来消除残桩。在各层之间转换时，务必使接地过孔靠近信号过孔放置，就近形成接地回路。

请特别注意 JESD204C 数据输出路由和模拟输入路由之间的潜在耦合。JESD204C 输出的开关噪声可耦合到模拟输入布线中，并由于 ADC 的高输入带宽而显示为宽带噪声。理想情况下，JESD204C 数据输出在 ADC 输入布线之外的单独层上布线，以避免噪声耦合（*布局示例*部分中未显示）。紧密耦合布线也可用于减少噪声耦合。

由于信号反射或驻波，CLK± 输入引脚和时钟源之间的阻抗不匹配会导致 ADC CLK± 引脚上时钟信号的振幅降低。减小时钟幅度可能会降低 ADC 噪声性能，尤其是在高输入频率条件下。为了避免这种情况，应使时钟源靠近 ADC（如*布局示例*部分中所示）或在 ADC CLK± 输入引脚上实现阻抗匹配。

此外，TI 建议在进行制造之前对关键信号布线执行信号质量仿真。务必评估插入损耗、回波损耗和时域反射法 (TDR)。

此器件的电源和接地连接也非常重要。必须遵循以下规则：

1. 为所有电源和接地引脚提供低电阻连接路径。
2. 如有必要，可使用多个电源层接入所有引脚。
3. 避免使用狭窄的隔离路径，那会增加连接电阻。
4. 使用信号、接地或电源电路板层叠来更大限度地增加接地平面和电源平面之间的耦合。

Copyright © 2025 Texas Instruments Incorporated

7.5.2 布局示例

图 7-5 至 图 7-7 提供了器件评估模块 (EVM) 上重要布线的示例。

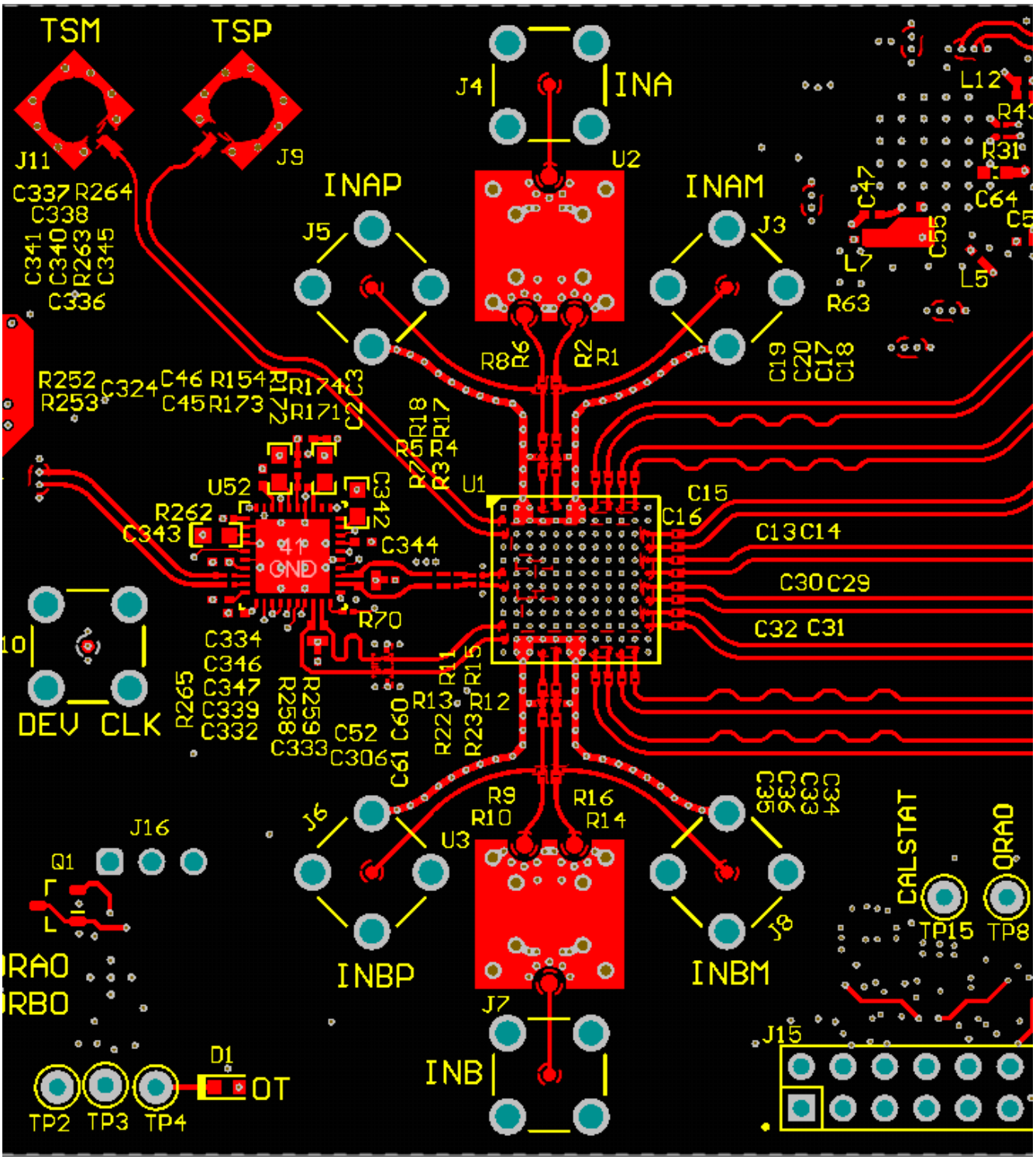


图 7-5. 顶层布线：模拟输入、CLK 和 SYSREF、DA0-3、DB0-3

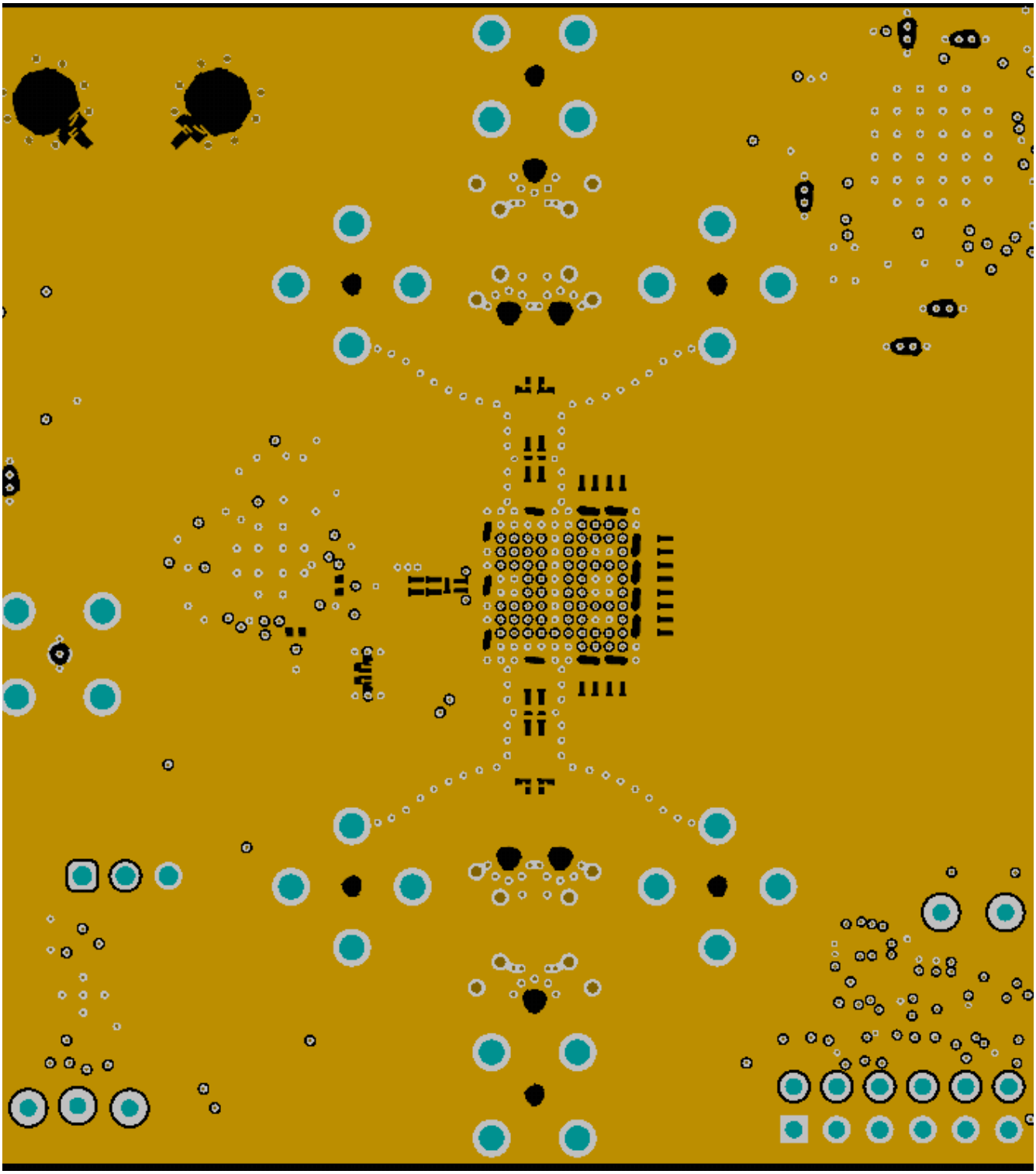


图 7-6. GND1 开孔可优化元件焊盘的阻抗

Copyright © 2025 Texas Instruments Incorporated

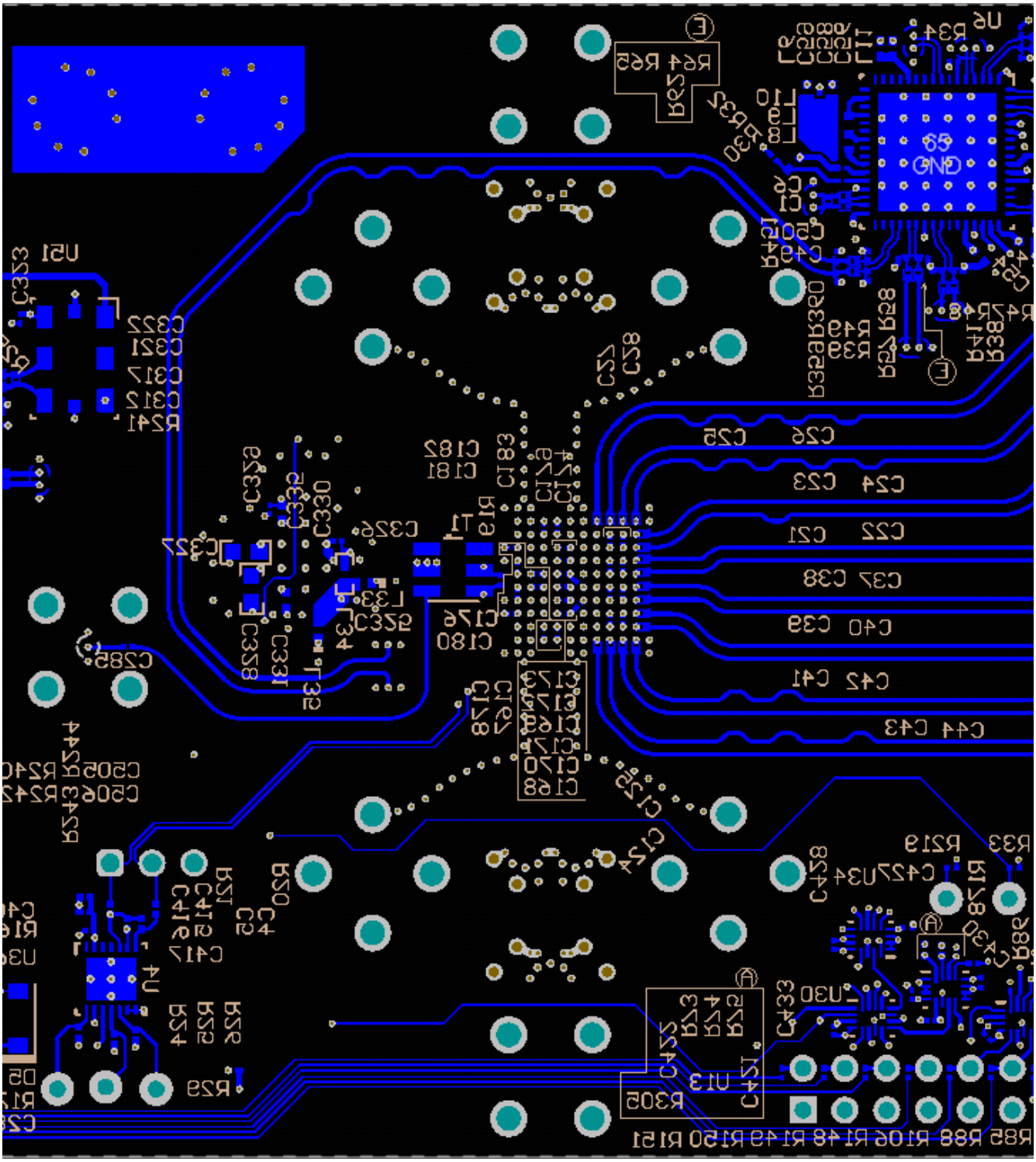


图 7-7. 底层布线：附加 CLK 布线、DA4-7、DB4-7

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

WEBENCH® Power Designer

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- *ADC12DJ5200RF 评估模块用户指南*
- *JESD204B 多器件同步：分解要求*
- *12 位高速数字转换器的可扩展 20.8GSPS 参考设计*
- *同步射频系统参考设计的多通道数据转换器 DDC 和 NCO 特性*
- *DSO、雷达和 5G 无线测试仪的多通道 JESD204B 15GHz 时钟参考设计*
- *DSO、雷达和 5G 无线测试系统的灵活的 3.2GSPS 多通道 AFE 参考设计*
- *可最大限度提升 12.8GSPS 数据采集系统性能的低噪声电源参考设计*
- *高速示波器和宽带数字转换器的 12.8GSPS 模拟前端参考设计*
- *使用 ADC12DJ3200 参考设计的 L、S、C 和 X 带的直接射频采样雷达接收器*
- *LMX2594 多 PLL 参考设计*
- *具有相位同步且符合 JESD204B 标准的 LMX2594 15-GHz 宽带 PLLatinum™ 射频合成器*
- *具有相位同步且符合 JESD204B 标准的 LMX2572 6.4-GHz 低功耗宽带射频合成器*
- *具有双环路 PLL 且符合 JESD204B 标准的 LMK04832 超低噪声时钟抖动清除器*
- *具有双环路 PLL 且符合 JESD204B 标准的 LMK0482x 超低噪声时钟抖动清除器*
- *具有内部 EEPROM 的 LMK61E2 超低抖动可编程振荡器*
- *LMH5401 8-GHz 低噪声、低功耗全差分放大器*
- *LMH6401 直流至 4.5GHz 全差分数字可变增益放大器*
- *TPSM84424 4.5V 至 17V 输入、0.6V 至 10V 输出、4A 电源模块*
- *TPS7A470x 36V、1A、4 μVRMS、RF LDO 稳压器*
- *TPS7A83A 2A 高精度 (0.75%) 低噪声 (4.4 μVRMS) LDO 稳压器*
- *TPS7A84 高电流 (3A) 高精度 (1%) 低噪声 (4.4 μVRMS) LDO 稳压器*
- *具有 2.5V、2ppm/°C 基准的 DAC8560 16 位超低干扰电压输出数模转换器*
- *具有 SMBus 接口和 TruTherm™ 的 LM95233 双路远程二极管和本地温度传感器*
- *具有引脚可编程总线地址的 TMP461 高精度远程和本地温度传感器*

Copyright © 2025 Texas Instruments Incorporated

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

8.5 商标

WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from JUNE 10, 2024 to APRIL 4, 2025 (from Revision D (June 2024) to Revision E (April 2025)) — **Page**

- 添加了 PLL_CTRL3 寄存器 ... 116
- 将寄存器说明中 FREQA0 公式的指数由 +32 更改为 -32 ... 116

Changes from MARCH 28, 2023 to JUNE 10, 2024 (from Revision C (March 2023) to Revision D (June 2024)) — **Page**

- 更改了 *JESD204C 传输层数据格式* 部分，将其他适用的 JMODES 添加到了格式表中，而不是使用交叉参考。 ... 98

Changes from FEBRUARY 15, 2023 to MARCH 11, 2023 (from Revision B (February 2023) to Revision C (March 2023)) — **Page**

- 更改了 *JESD204C 传输层数据格式* 部分 ... 98
- 更改了斜坡测试模式，添加了进一步澄清 ... 108
- 更改了 CAL_LP 寄存器说明表中的上标。例如，223 更改为 2^{23}。 ... 116
- 更改了 SPIN_ID 寄存器中的 SPIN_ID 值 ... 116
- 将寄存器说明中 FREQA0 公式的指数由 +32 更改为 -32 ... 116

Changes from JULY 26, 2022 to NOVEMBER 17, 2022 (from Revision A (July 2022) to Revision B (November 2022)) — **Page**

- 将文件从*预告信息* 更改为*量产数据* ... 1

- 已做更改，即该斜坡测试模式在多帧结束时停止，或在斜坡测试模式下有超过 256 个八位位组时在 0xFF 处停止。 108
- 在近程和远程传输测试模式中开始传输测试模式输出时添加 108
- 在近程传输测试模式中添加了 N'= 12 的短测试模式 109

Changes from Revision * (June 2022) to Revision A (July 2022)	Page
• 更改了 *功能方框图*	63

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC12DJ5200ALREP	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12DJ52 EP
ADC12DJ5200ALREP.A	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12DJ52 EP
V62/22611-01XF	Active	Production	FCCSP (ALR) | 144	184 | JEDEC TRAY (5+1)	No	SNPB	Level-3-235C-168 HR	-55 to 125	ADC12DJ52 EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

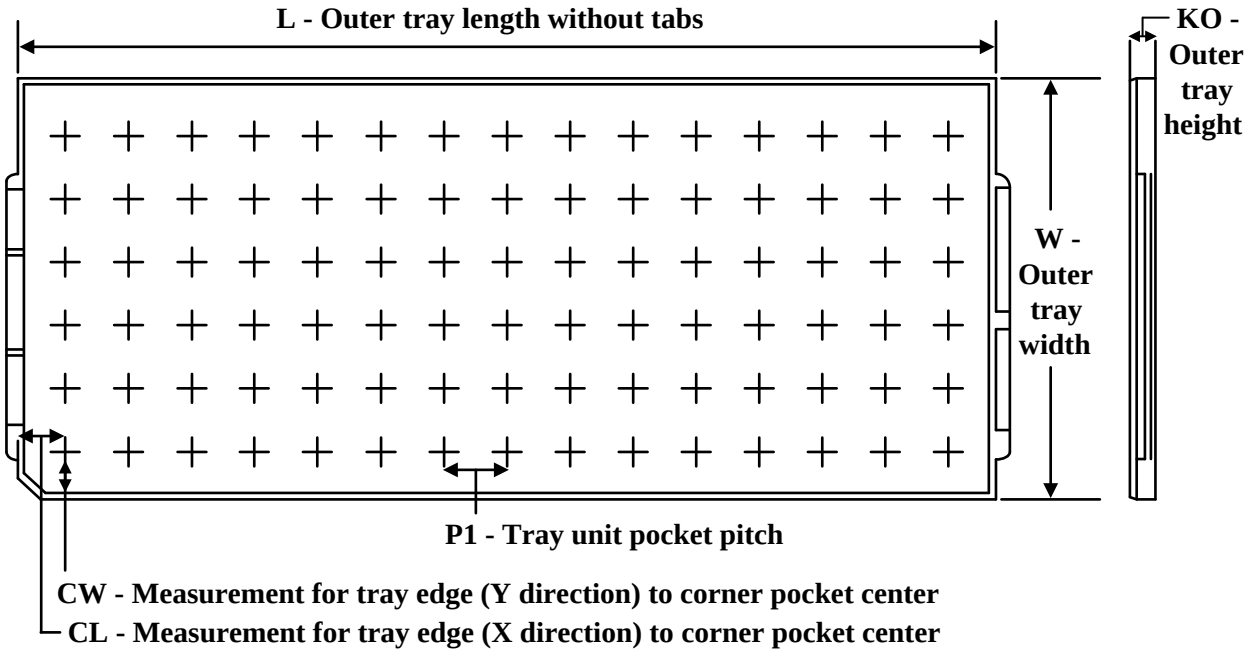
OTHER QUALIFIED VERSIONS OF ADC12DJ5200-EP :

- Catalog : ADC12DJ5200-SEP
- Space : ADC12DJ5200-SP

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

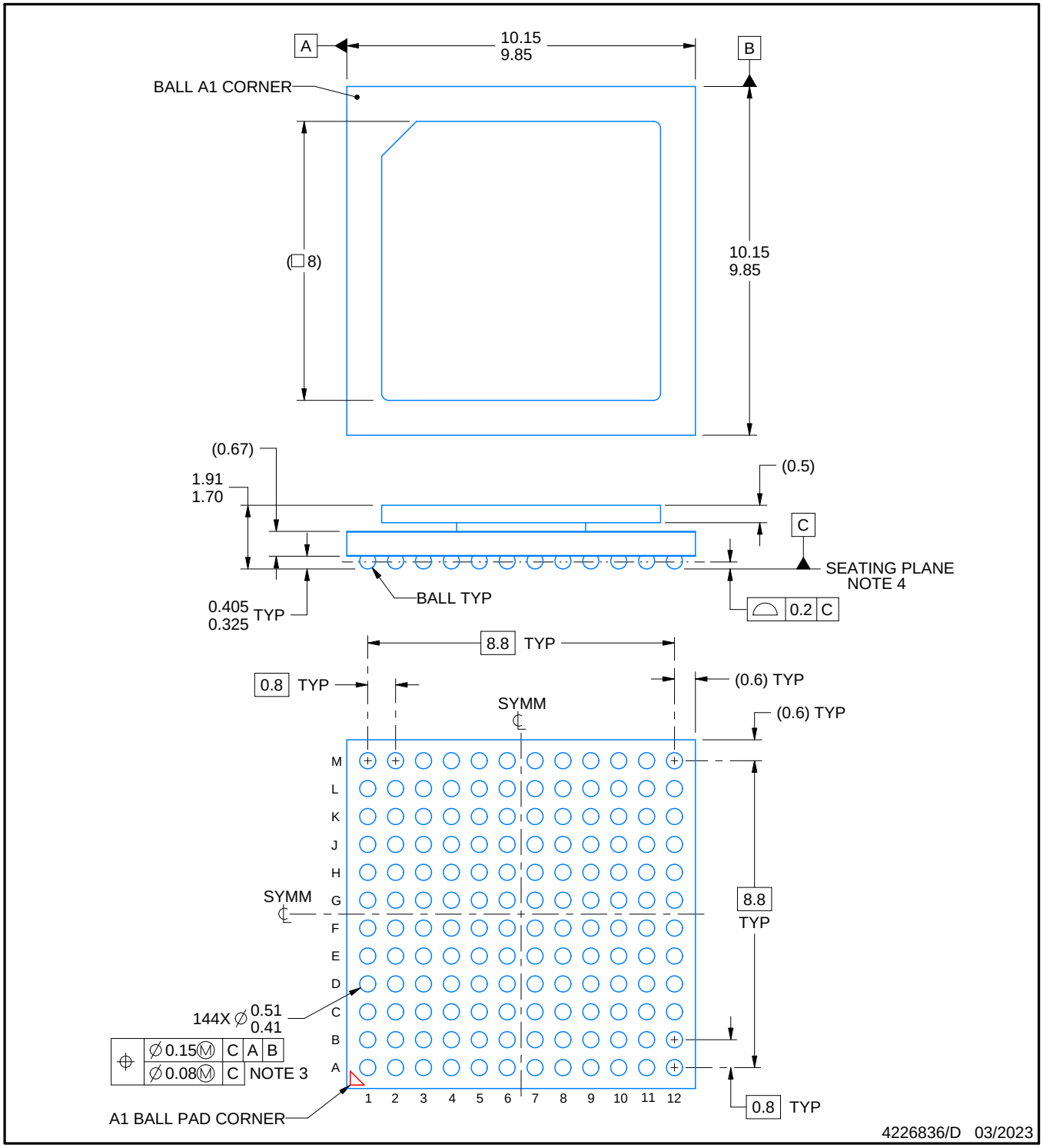
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADC12DJ5200ALREP	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
ADC12DJ5200ALREP.A	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65
V62/22611-01XF	ALR	CFCBGA	144	184	8 x 23	150	315	135.9	7620	13.4	10.1	19.65

PACKAGE OUTLINE

ALR0144A

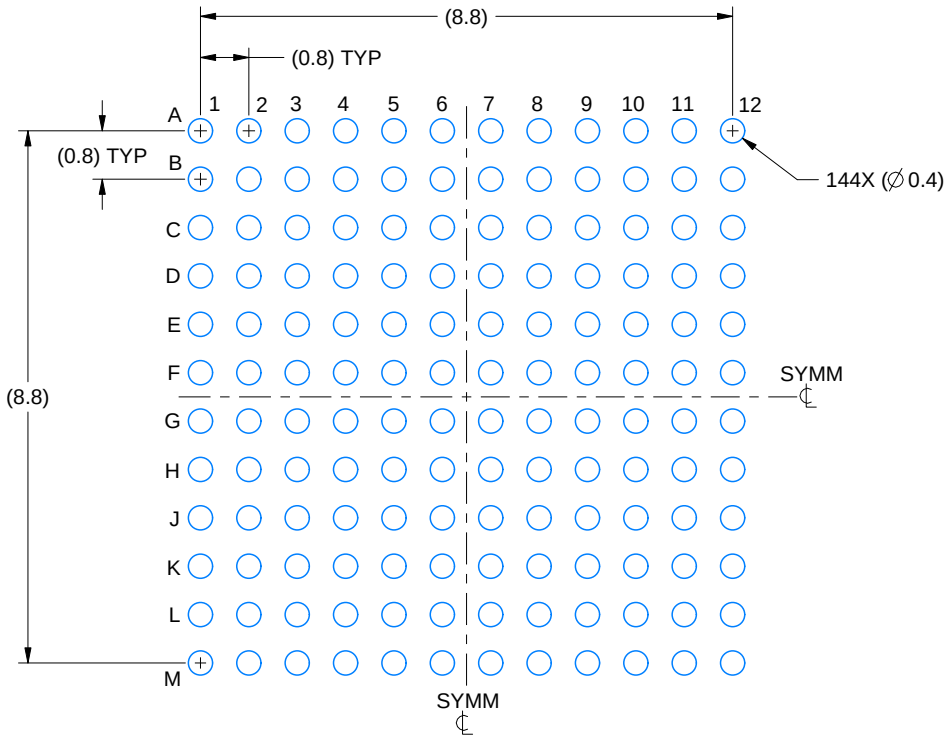
FCBGA - 1.91 mm max height

BALL GRID ARRAY

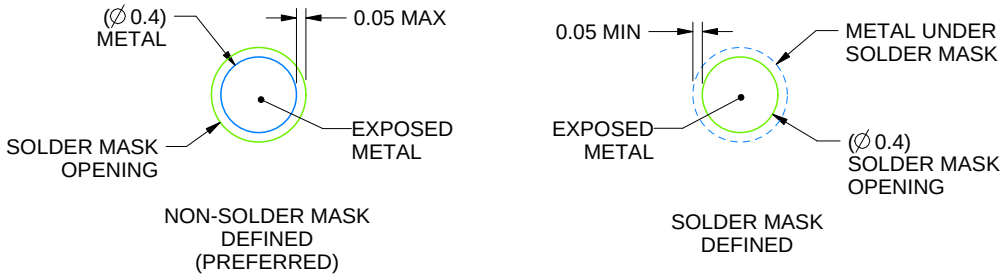


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METALSHOWN
SCALE:8X

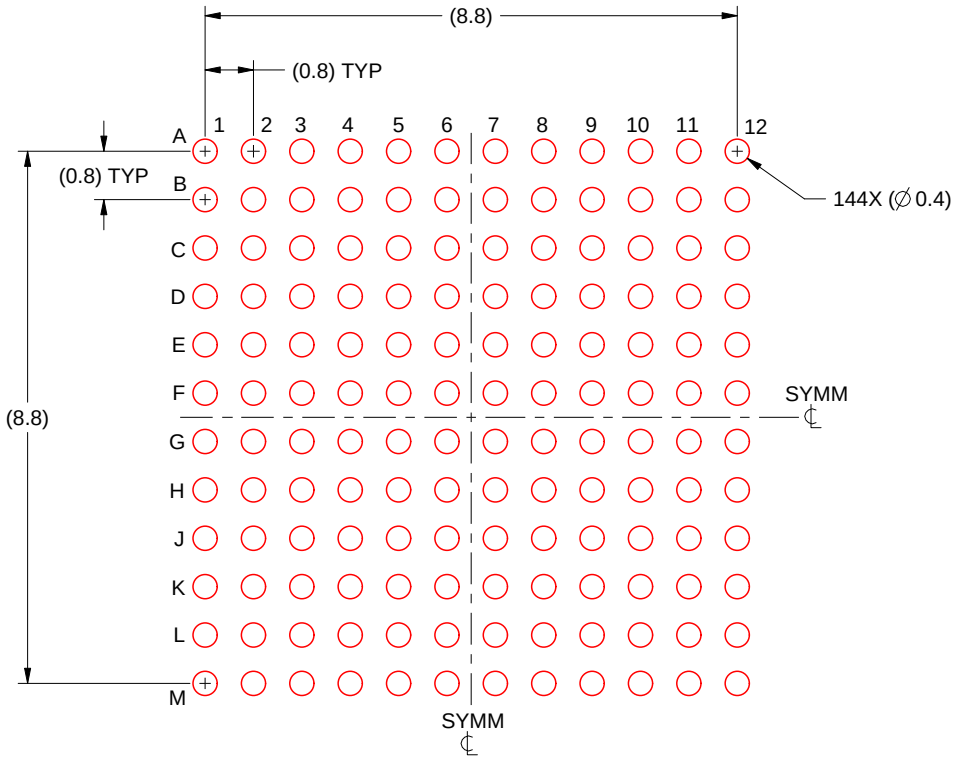


SOLDER MASK DETAILS
NOT TO SCALE

4226836/D 03/2023

NOTES: (continued)

6. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:8X

4226836/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月