2N7002L 6V N 通道 MOSFET

1 特性

- 低导通电阻
- 低栅极阈值电压
- 低输入电容
- 快速开关速度
- 工作结温和贮存温度：
  - -65°C 至 +150°C
- 2kV 栅极源 ESD 等级

2 应用

- 个人电子产品
- 楼宇自动化
- 工业自动化

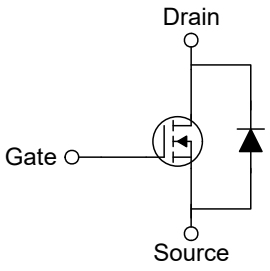
3 说明

该器件是一个采用塑料封装的 N 通道场效应晶体管。它旨在更大限度地降低导通状态电阻，同时保持快速开关性能。

封装信息

器件型号	封装(1)	封装尺寸（标称值）
2N7002L	DBZ (SOT-23)	2.92mm × 2.37mm
	DCK (SOT-SC70)	2.10mm x 2.00mm
	DBV (SOT-23)	2.90mm x 2.80mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版方框图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 热性能信息 4
5.3 电气特性 5
5.4 典型特性 6
6 详细说明 8
6.1 概述 8
6.2 功能方框图 8
6.3 特性说明 8
6.4 器件功能模式 8
7 应用和实施 9
7.1 应用信息 9
7.2 典型应用 9
8 电源相关建议 10
9 布局 10
9.1 布局指南 10
9.2 布局示例 10
10 器件和文档支持 11
10.1 文档支持 11
10.2 接收文档更新通知 11
10.3 支持资源 11
10.4 商标 11
10.5 静电放电警告 11
10.6 术语表 11
11 修订历史记录 11
12 机械、封装和可订购信息 11

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

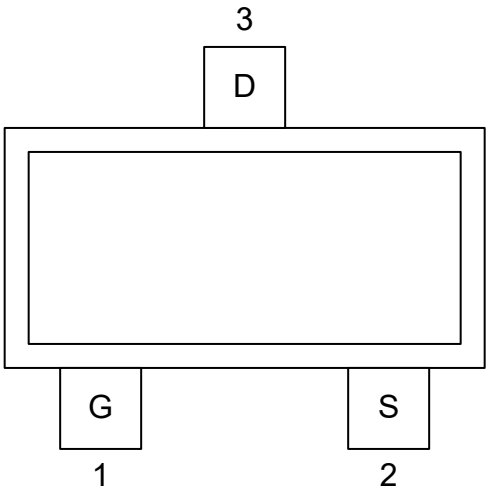


图 4-1. DBZ、DBV 封装（3 引脚 SOT-23）和 DCK 封装（3 引脚 SOT-SC70）顶视图

引脚功能

引脚		说明
名称	DBZ、DBV、DCK	
G	1	栅极
S	2	源极
D	3	漏极

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{DS}	漏源电压		6	V
V_{GS}	栅源电压		7	V
I_D	漏极电流 T_A = 25°C		1.4	A
I_D	漏极电流 T_A = 85°C		437	mA
I_{DM}	脉冲漏极电流 (t_p = 1s)		1.43	A
T_J，T_{STG}	运行结温和储存温度范围	-65	150	°C
I_S	拉电流		1.4	A
T_L	焊接时的引线温度		260	°C
ESD	栅源/栅漏 ESD 等级		2000	V

(1) *超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。*

5.2 热性能信息

热指标(1)		2N7002L DCK 3 引脚	单位
$R_{\theta JA}$	结至环境热阻	265.4	°C/W
$R_{\theta JC(top}$	结至外壳（顶部）热阻	142.3	°C/W
$R_{\theta JB}$	结至电路板热阻	82.4	°C/W
Ψ_{JT}	结至顶部特征参数	38.2	°C/W
Ψ_{JB}	结至电路板特征参数	81.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.3 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	参数		测试条件	最小值	典型值	最大值	单位
关断特性	$V_{(BR)DSS}$	漏源击穿电压	V_{GS} = 0V，I_D = 1μA	9.7	11.7	13.7	V
	$V_{(BR)DSS}$ / T_J	漏源击穿电压温度系数			4		mV/℃
	I_{DSS}	零栅极电压漏极电流	V_{GS} = 0V， V_{DS} = 6V，T_J = 25℃			2.5	nA
	I_{DSS}	零栅极电压漏极电流	V_{GS} = 0V， V_{DS} = 6V，T_J = 125℃			0.26	μA
	I_{GSS}	栅源漏电流	V_{DS} = 0V， V_{GS} = +7.0V			384	nA
导通特性	V_{GS}	栅极阈值电压	V_{GS} = V_{DS}，I_D = 250μA	0.4	0.7	0.95	V
	$V_{GS/(TH)}$	负阈值温度系数			-1.4		mV/℃
	R_{DSON}	漏源导通电阻	V_{GS} = 5V，I_D = 64mA	1.2		3	Ω
	R_{DSON}	漏源导通电阻	V_{GS} = 3.3V，I_D = 64mA	1.6		4.5	Ω
	G_{FS}	正向	V_{DS} = 5V，I_D = 64mA	57		181	mS
电荷和电容	C_{ISS}	输入电容	V_{GS} = 0V，f = 1MHz，V_{DS} = 6V		4.8	5	pF
	C_{OSS}	输出电容			7.4	8.5	
	C_{RSS}	反向传输电容			5	5.5	
	$Q_{G(TOT)}$	总栅极电荷	V_{GS} = 0V 至 5V，V_{DS} = 6V（请参阅图）		0.034		nC
	$Q_{G(TH)}$	栅极电荷阈值	V_{GS} = 0V 至 5V，V_{DS} = 6V（请参阅图）		0.007		
	Q_{GS}	栅源电荷	V_{GS} = 0V 至 5V，V_{DS} = 6V（请参阅图）		0.019		
	Q_{GD}	栅漏极电荷	V_{GS} = 0V 至 5V，V_{DS} = 6V（请参阅图）		170		fC
开关特性	$t_{d(ON)}$	导通延迟时间	V_{GS} = 5V，V_{DD} = 6V，R_G = 25Ω，R_D = 2.49kΩ			1.4	nS
	t_r	上升时间				1.1	
	$t_{d(OFF)}$	关断延迟时间				7.0	
	t_f	下降时间				55	
漏极到源极二极管特性	V_{SD}	正向二极管电压	V_{GS} = 0V，I_S = 20mA，T_J = 25℃			0.97	V
			V_{GS} = 0V，I_S = 20mA，T_J = 85℃			0.93	

(1) 所有典型值均在 T_A=25°C 下测得。

Copyright © 2026 Texas Instruments Incorporated

5.4 典型特性

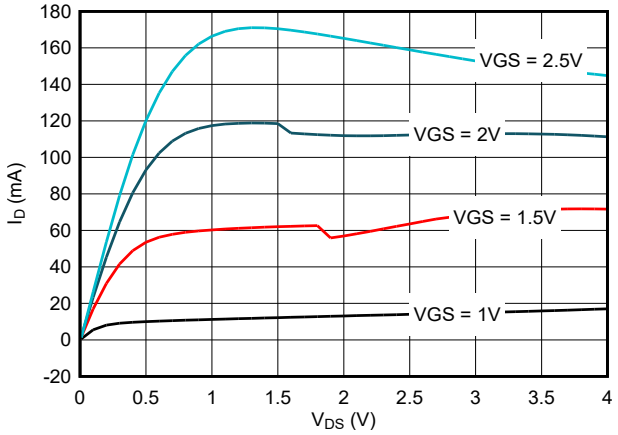


图 5-1. 输出特性：漏极电流与漏源电压之间的函数关系

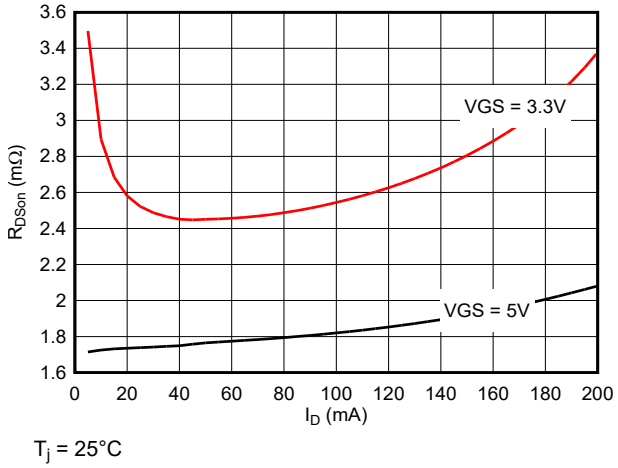


图 5-2. 漏源导通状态电阻与漏极电流之间的函数关系

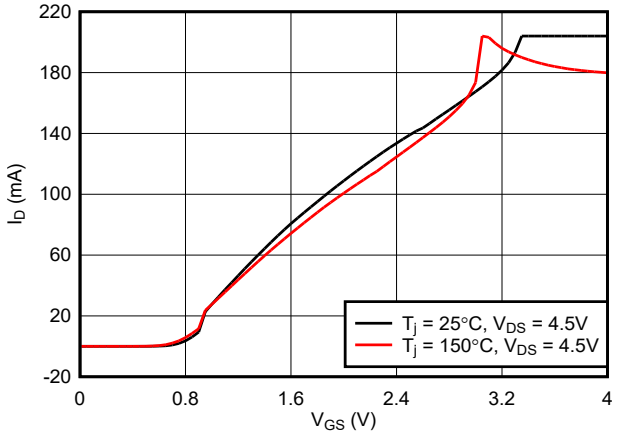


图 5-3. 传输特性：漏极电流与栅源电压之间的函数关系

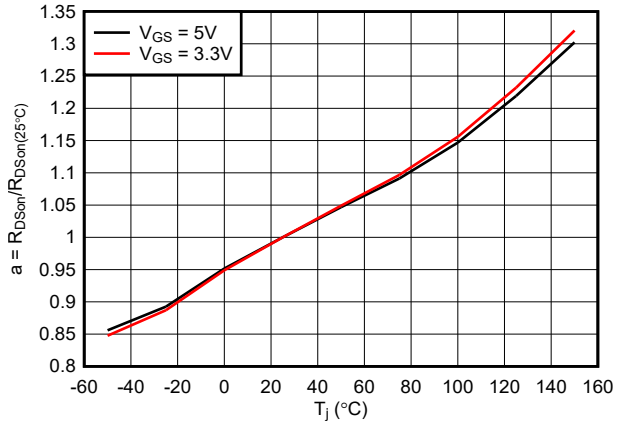


图 5-4. 归一化漏源导通状态电阻系数与结温之间的函数关系

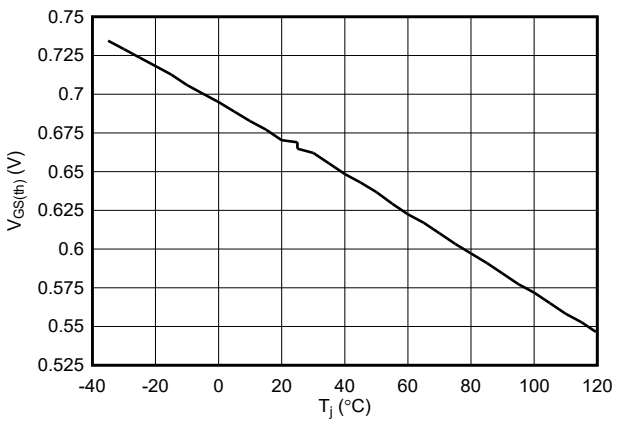


图 5-5. 栅源阈值电压与结温之间的函数关系

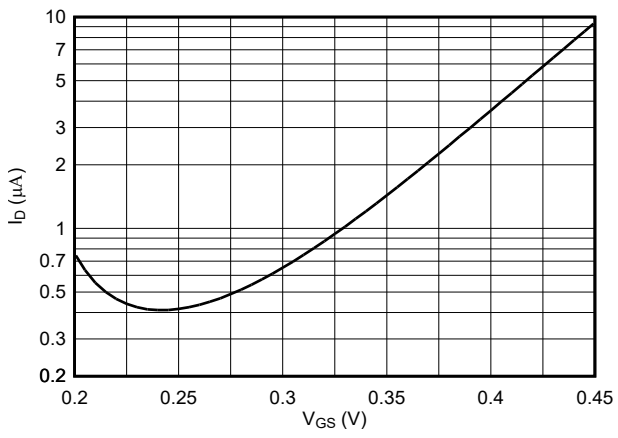
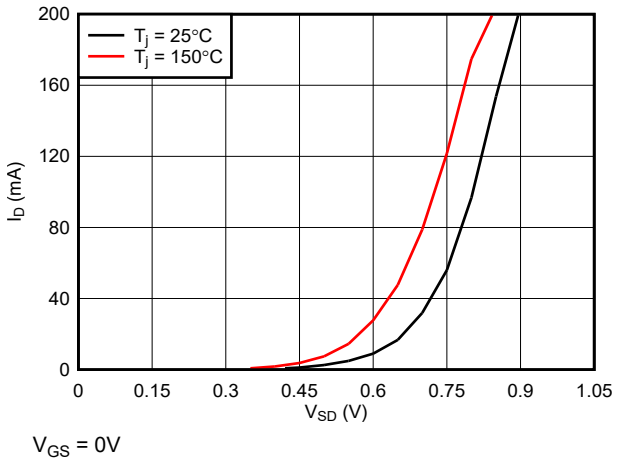


图 5-6. 亚阈值漏极电流与栅源电压之间的函数关系

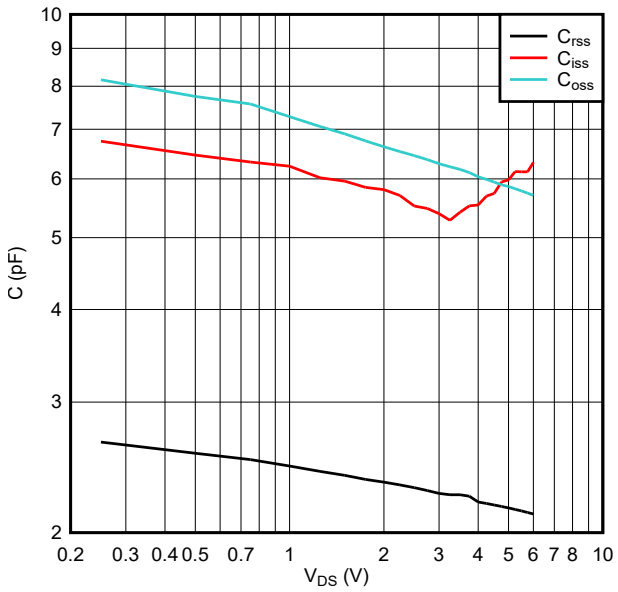
Copyright © 2026 Texas Instruments Incorporated

5.4 典型特性（续）



V_{GS} = 0V

图 5-7. 源极电流与源漏电压之间的函数关系



V_{GS} = 0V，f = 1MHz

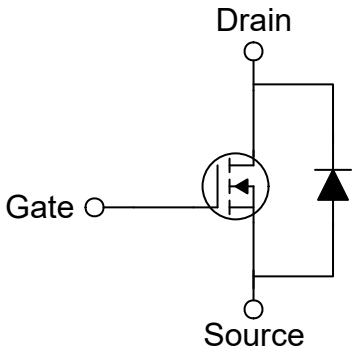
图 5-8. 电容与漏源电压之间的函数关系

6 详细说明

6.1 概述

2N7002L 是一款 N 通道增强模式 MOSFET，专为低电压、低电流应用中的通用开关而设计。在典型的低侧配置中，源极接地且栅极由逻辑电平信号驱动。当栅极电压超过阈值电压时，MOSFET 导通并在漏极和源极之间提供低导通电阻路径。

6.2 功能方框图



6.3 特性说明

2N7002L 是一款电压控制型 N 沟道 MOSFET，其漏源导通状态由施加的栅源电压控制。当栅源电压超过栅极阈值电压时，漏极与源极端子之间会形成导电沟道。沟道电阻随栅源电压的升高而降低。

当栅源电压低于阈值电压时，漏极至源极通路呈现高阻抗，将电流限制在泄漏水平。栅极在稳态下仅消耗极微小的电流，使得该器件可直接由逻辑电平信号控制。相对较小的栅极电荷和寄生电容支持开关操作。

器件导通时，电流的大小与方向取决于漏极和源极引脚上的电压，以及电路中连接的其他元件（如上拉或下拉元件）。器件关断时，内部二极管仍可能允许电流沿某一方向流动（具体取决于器件两端的电压），设计电路时需考虑这一行为。

6.4 器件功能模式

表 6-1 列出了器件的功能模式。

表 6-1. 功能表

模式	说明
关闭	V_{GS} < 阈值；器件不导
通	V_{GS} > 阈值；器件导通

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

在电平转换应用中，2N7002L 器件可用于连接在不同接口电压下运行的器件或系统。在以下示例中，系统控制器驱动 2N7002L 的栅极。当控制器输出高逻辑电平时，MOSFET 导通并将系统器件的 EN 引脚拉至低电平。当控制器输出为低电平时，MOSTFET 关断且上拉电阻器将 EN 引脚拉高至 5V。这将创建一个开漏式接口，可用于电平转换或以高于控制器逻辑域的电压驱动使能信号。

7.2 典型应用

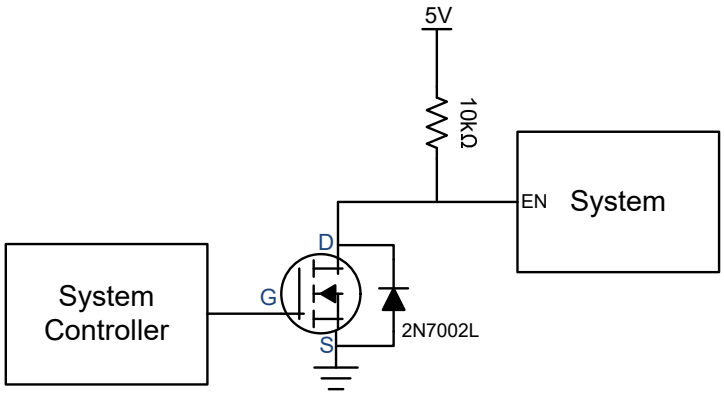


图 7-1. 使用 2N7002L 的典型应用

7.2.1 设计要求

为使 2N7002L 正常运行，设计必须保持在*绝对最大额定值*和*电气特性*表中定义的限值范围内。

7.2.2 详细设计过程

使用 2N7002L 进行设计时需要为栅极驱动、负载电流和开关操作选择适当的工作条件，同时确保所有参数都保持在*绝对最大额定值*和*电气特性*表中规定的限值范围内。

1. 选择工作 V_{DS}：确保施加到漏极的电源电压不超过绝对最大额定值。
2. 选择有效的 V_{GS}：使用处于建议 V_{GS} 限值内的逻辑电平栅极电压。
3. 确认负载电流功能：确保漏极电流在器件的持续电流和热性能范围内。
4. 检查开关功能：验证栅极驱动强度和开关频率是否与器件的栅极电荷和电容兼容。

Copyright © 2026 Texas Instruments Incorporated

8 电源相关建议

在*绝对最大额定值*和*电气特性*表中定义的限值范围内运行 2N7002L。使用 5V 漏极电源并确保 V_{DS} 绝不会超过 6V，包括在瞬态事件期间也应如此。使用逻辑轨（1.8V、3.3V 或 5V）驱动栅极并确保 V_{GS} 在任何情况下都不会超过 7V。将去耦电容器放置在器件或负载附近以减少与开关相关的电压尖峰。

9 布局

9.1 布局指南

尽量缩短漏极、源极和栅极连接的布线长度，以减少寄生电感和开关噪声。

- 使栅极驱动信号远离嘈杂的开关节点，以防止耦合。
- 在源极或漏极焊盘上提供足够的覆铜区以实现散热。
- 如果开关小型电感负载，请将任何反激式元件或钳位元件靠近器件放置，以更大限度地减小瞬态应力。

9.2 布局示例

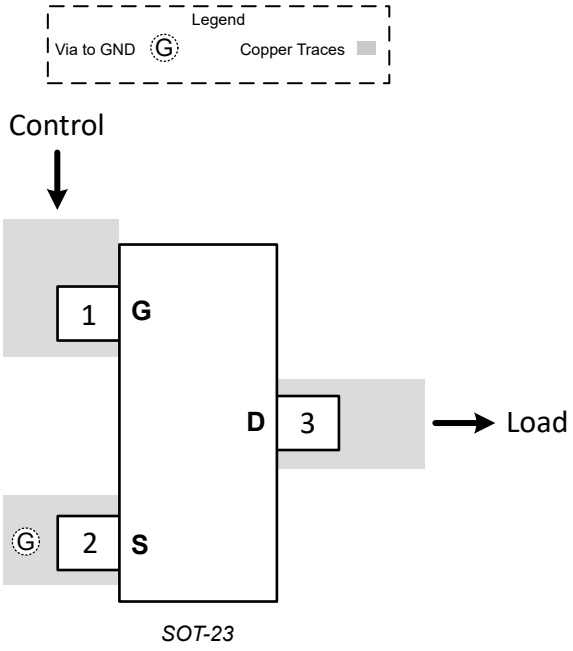


图 9-1. SOT-23 或 SOT-SC70 封装的示例布局

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*CMOS 输入缓慢变化或悬空的影响*
- 德州仪器 (TI)，*使用 TI 的 X2SON 封装进行设计和制造*

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2025) to Revision A (January 2026)	Page
• 将数据表状态从*预告信息* 更改为*量产数据*	1
• 添加了“热性能信息”	4

日期	修订版本	注释
December 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
2N7002LDBVR	Active	Production	SOT-23 (DBV) | 3	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	
2N7002LDBZR	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2N7L
2N7002LDCKR	Active	Production	SC70 (DCK) | 3	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2N7
P2N7002LDBZR	Active	Preproduction	SOT-23 (DBZ) | 3	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF 2N7002L :

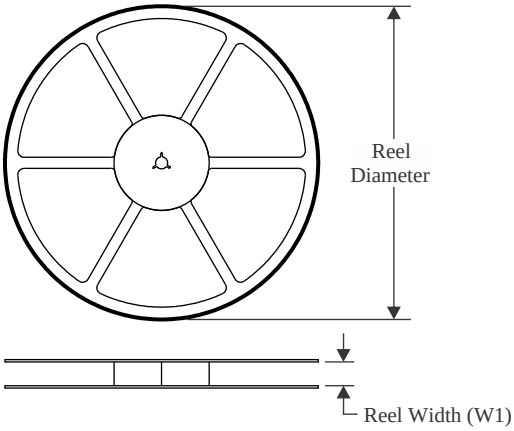
- Automotive : 2N7002L-Q1

NOTE: Qualified Version Definitions:

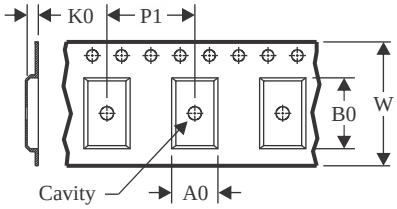
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

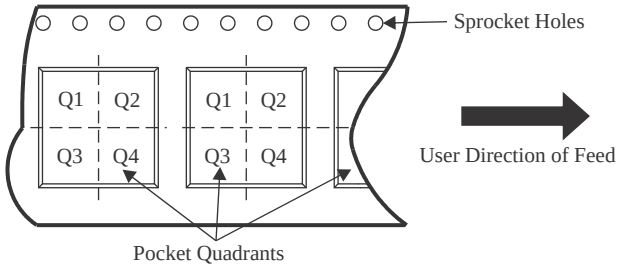


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

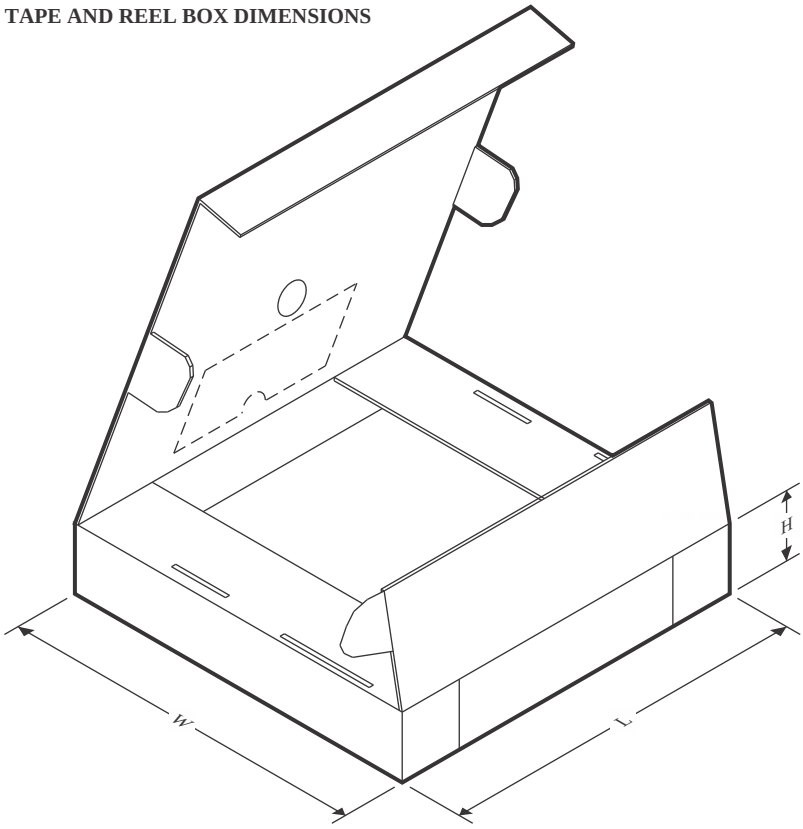
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
2N7002LDBVR	SOT-23	DBV	3	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
2N7002LDCKR	SC70	DCK	3	3000	180.0	8.4	2.3	2.75	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

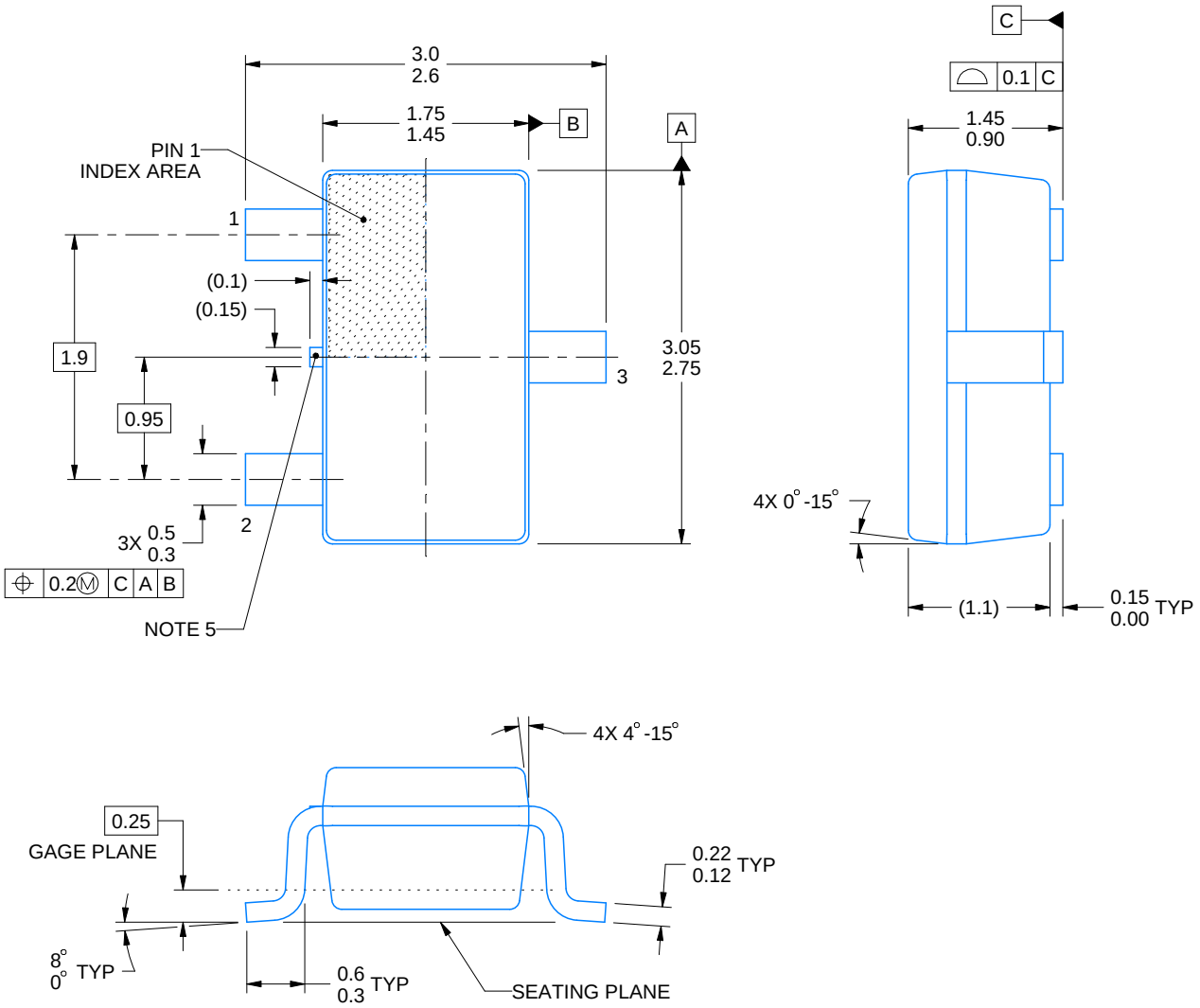
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
2N7002LDBVR	SOT-23	DBV	3	3000	190.0	190.0	30.0
2N7002LDCKR	SC70	DCK	3	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0003A

SOT-23 - 1.45 mm max height

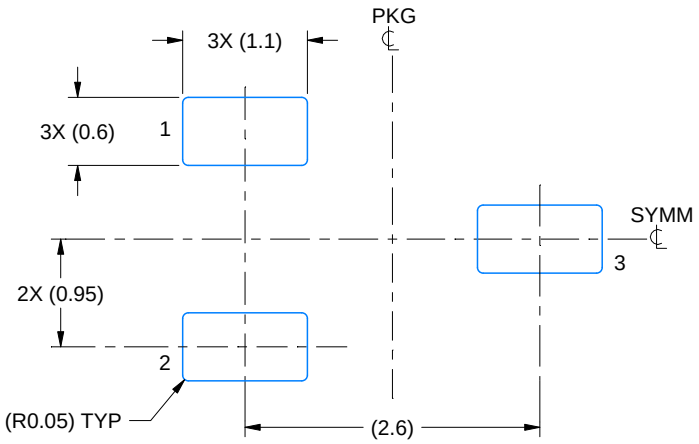
SMALL OUTLINE TRANSISTOR



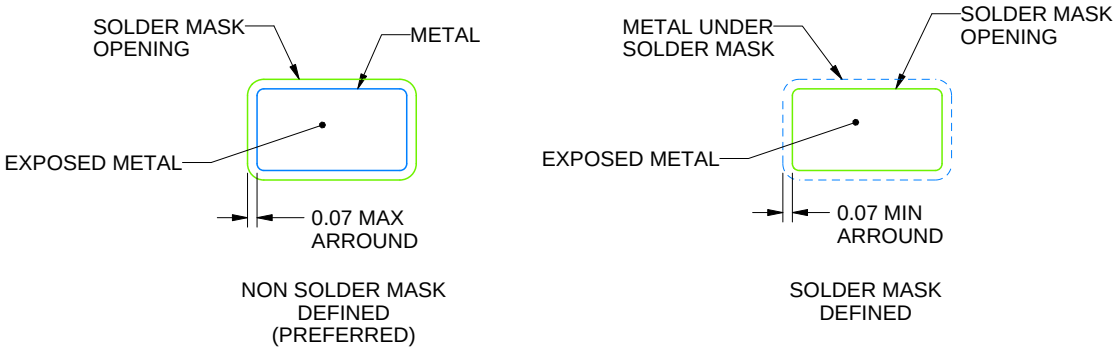
4220743/D 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

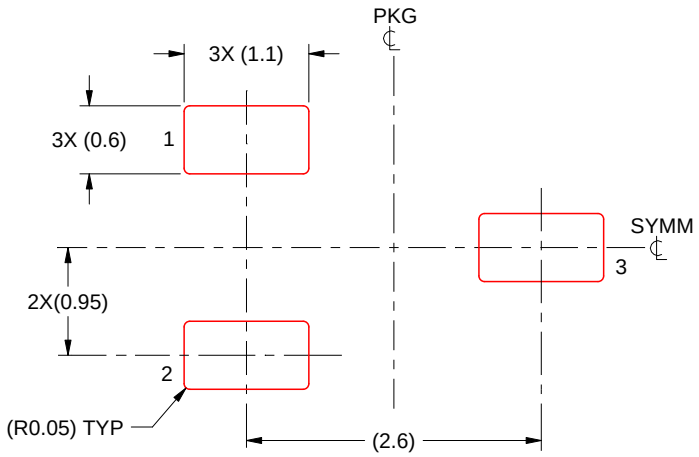


SOLDER MASK DETAILS

4220743/D 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4220743/D 08/2024

NOTES: (continued)

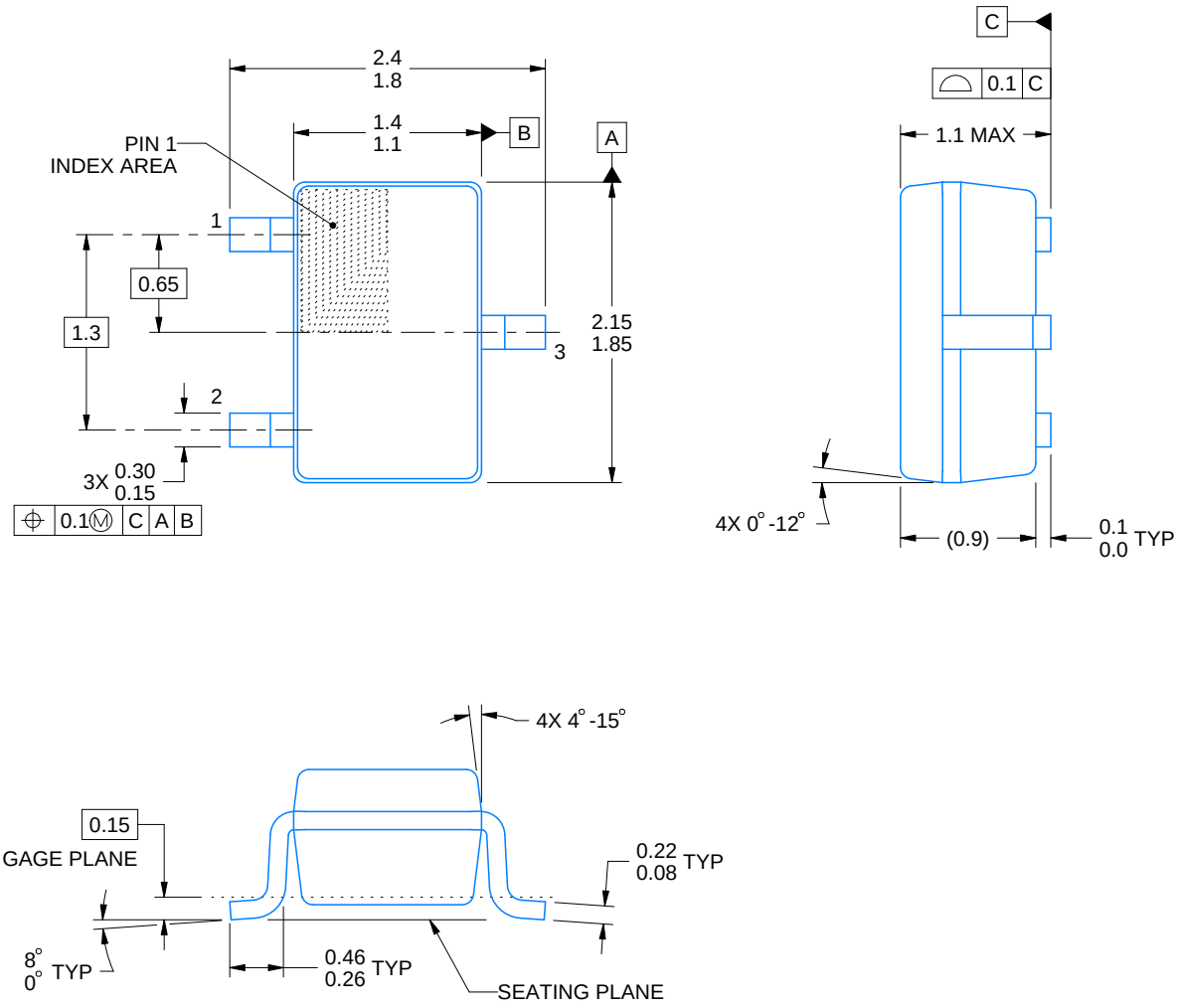
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0003A

SOT-SC70 - 1.1 max height

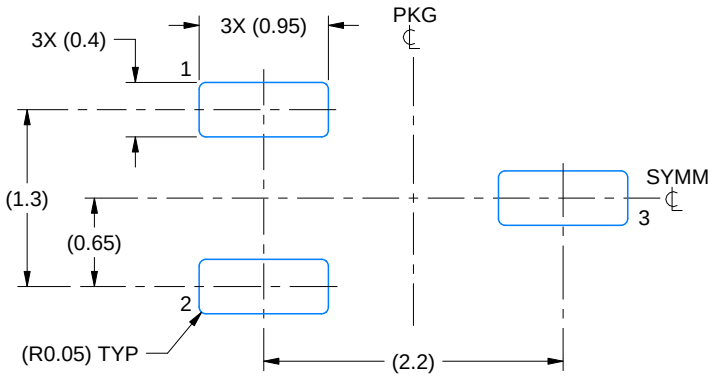
SMALL OUTLINE TRANSISTOR SC70



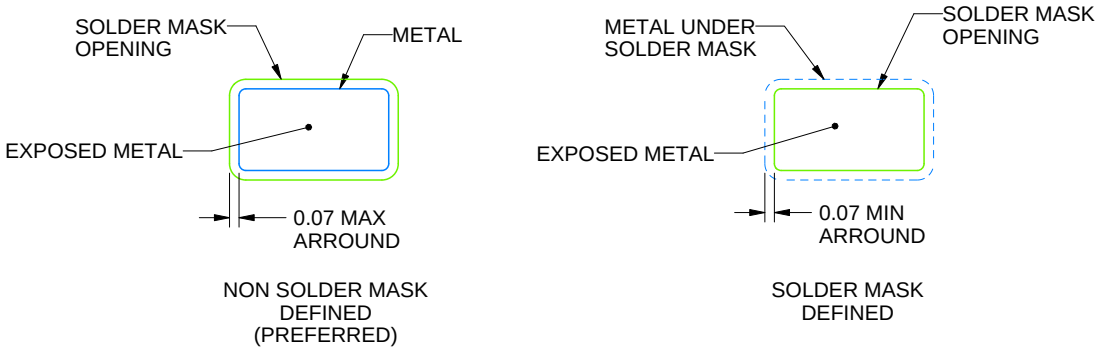
4220745/F 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

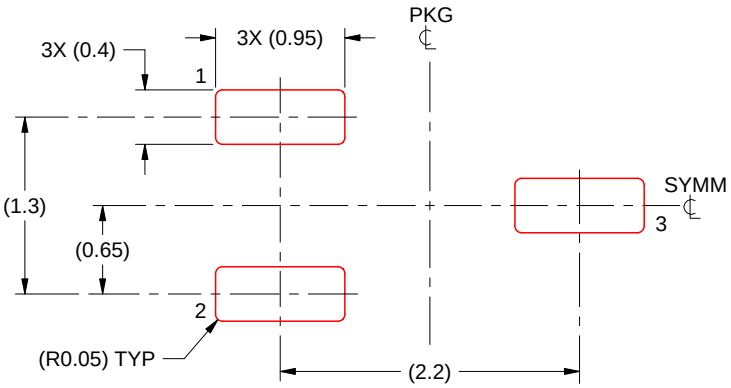


SOLDER MASK DETAILS

4220745/F 11/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4220745/F 11/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

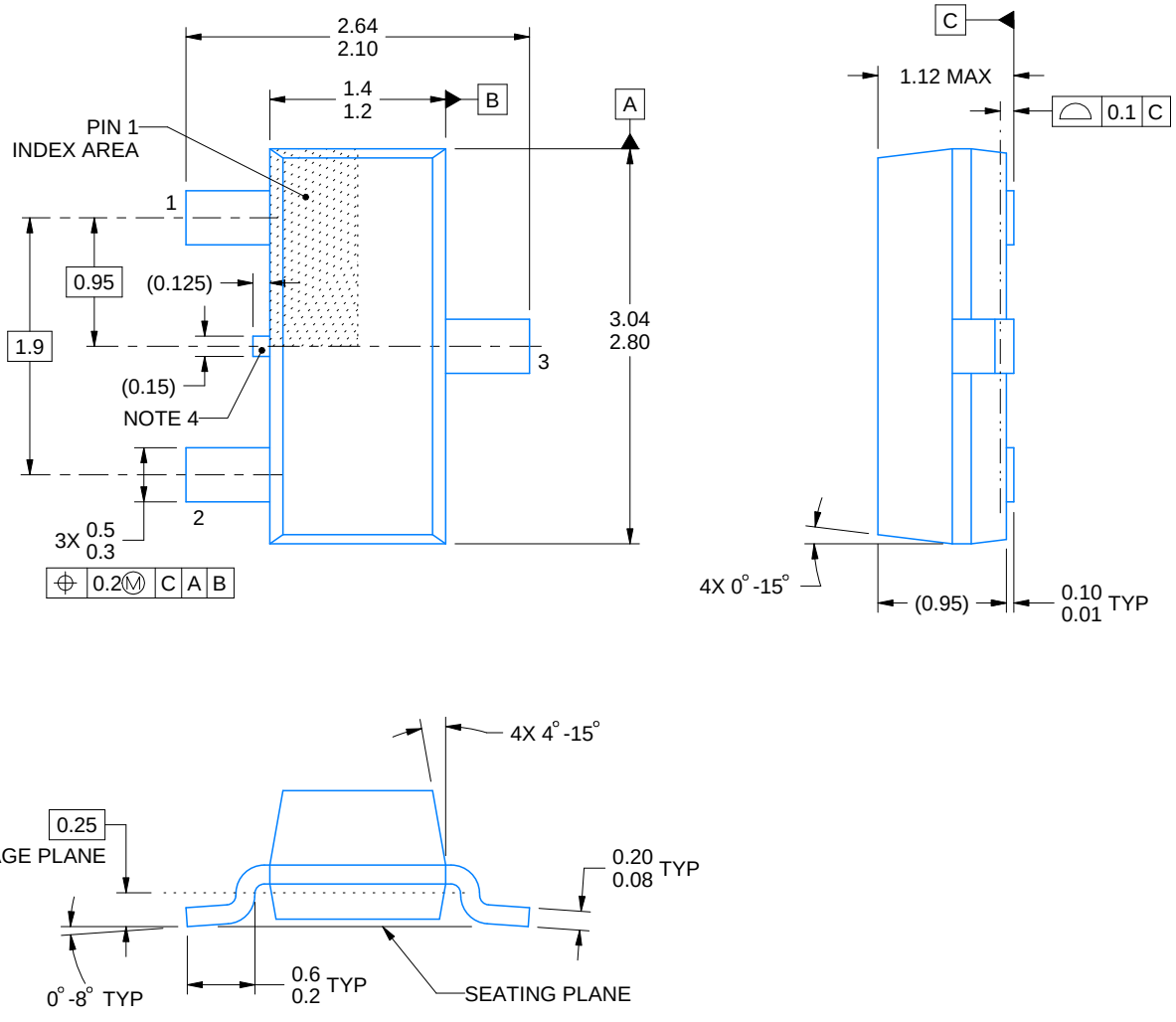
PACKAGE OUTLINE

DBZ0003A



SOT-23 - 1.12 mm max height

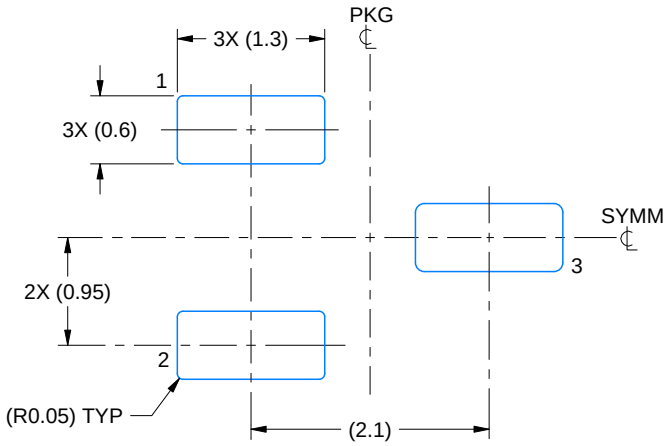
SMALL OUTLINE TRANSISTOR



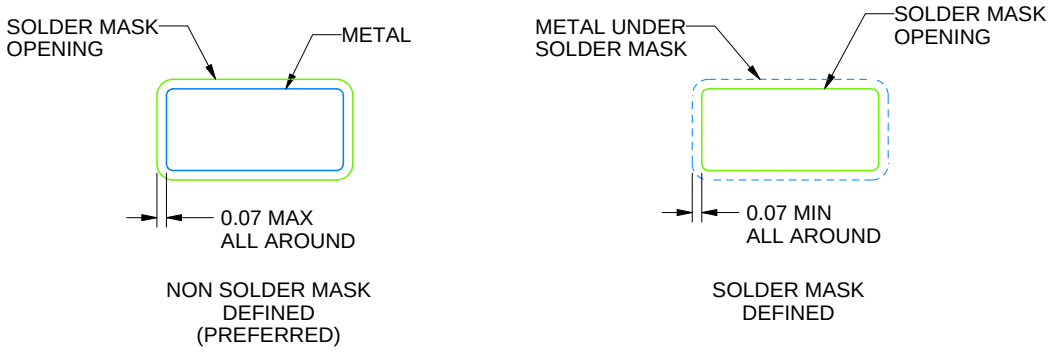
4214838/F 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration TO-236, except minimum foot length.
4. Support pin may differ or may not be present.
5. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
SCALE:15X

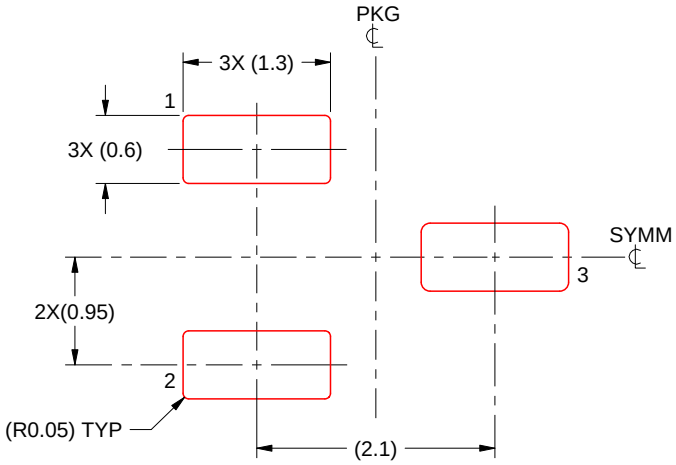


SOLDER MASK DETAILS

4214838/F 08/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214838/F 08/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月