TPS7B81-Q1 汽车类 150mA、非电池电源、超低 I_Q(3μA) 低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 温度等级 1：–40°C 至 +150°C，T_J
- 3V 至 40V 宽 V_{IN} 输入电压范围，瞬态电压高达 45V
- 最大输出电流：150mA
- 低静态电流 I_Q：
  - EN = 低电平时为 300nA（典型值，关断模式）
  - 轻负载时典型值为 2.7μA
  - 轻负载时最大值为 4.5μA
- 在整个线路、负载和温度范围内的输出电压精度为 1.5%
- 最大压降电压：对于固定 5V 输出版本，150mA 负载电流下为 540mV
- 与低 ESR（0.001Ω 至 5Ω）陶瓷输出稳定电容器（1μF 至 200μF）搭配使用时可保持稳定
- 固定输出电压：5V、3.3V 和 2.5V
- 集成故障保护：
  - 热关断
  - 短路和过流保护
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 封装：
  - DGN（8 引脚 HVSSOP），$R_{\theta JA}$ = 63.9°C/W
  - DRV（6 引脚 WSON），$R_{\theta JA}$ = 72.8°C/W
  - DRV（6 引脚 WSON 可湿性侧面），$R_{\theta JA}$ = 72.8°C/W
  - KVU（5 引脚 TO-252），$R_{\theta JA}$ = 38.8°C/W

2 应用

- 汽车音响主机
- 大灯
- 电池管理系统 (BMS)
- 逆变器和电机控制

3 说明

在汽车电池连接应用中，低静态电流 (I_Q) 对于省电和延长电池寿命至关重要。常开型系统必须在扩展温度范围内具有超低 I_Q，以便在车辆点火开关关闭时能够实现持久运行。

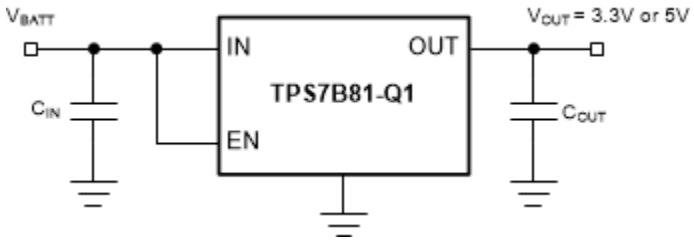
TPS7B81-Q1 是一款低压降 (LDO) 线性稳压器，专为高达 40V 的 V_{IN} 应用而设计。此器件在轻负载下的典型静态电流仅为 2.7μA，是为备用系统中微控制器和控制器局域网和本地互连网络 (CAN/LIN) 收发器供电的出色设计。

这些器件具有集成的短路和过流保护功能。该器件可在 -40°C 至 +125°C 的环境温度下运行，结温范围为 -40°C 至 +150°C。此外，该器件采用了几种不同尺寸的热传导封装。紧凑型 WSON 封装具有可湿性侧面选项。即使整个器件散热较多，TO-252 封装也有助于持久运行。这些特性使得该器件非常适合用作各种电池连接汽车应用的电源。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7B81-Q1	DGN (HVSSOP，8)	3mm × 3mm
	DRV（WSON，6）	2mm × 2mm
	DRV（WSON 可湿性侧面，6）	2mm × 2mm
	KVU（TO-252，5）	6.1mm × 6.6mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 典型特性 7
6 详细说明 11
6.1 概述 11
6.2 功能方框图 11
6.3 特性说明 11
6.4 器件功能模式 12
7 应用和实施 13
7.1 应用信息 13
7.2 典型应用 17
7.3 电源相关建议 18
7.4 布局 18
8 器件和文档支持 20
8.1 器件支持 20
8.2 接收文档更新通知 20
8.3 支持资源 20
8.4 商标 20
8.5 静电放电警告 20
8.6 术语表 20
9 修订历史记录 20
10 机械、封装和可订购信息 21

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

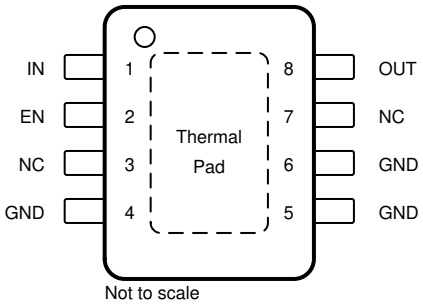


图 4-1. DGN 封装 8 引脚 HVSSOP PowerPAD™（顶视图）

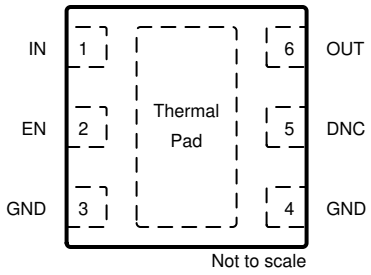


图 4-2. DRV 封装 6 引脚 WSON PowerPAD™（顶视图）

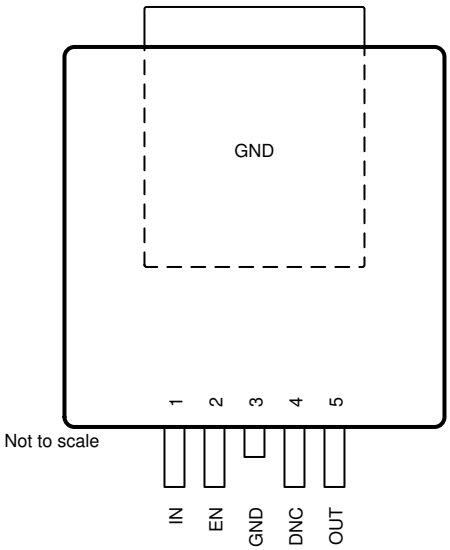


图 4-3. KVU 封装，5 引脚 TO-252（顶视图）

表 4-1. 引脚功能

引脚				类型	说明
名称	编号				
	DGN	DRV	KVU		
DNC	—	5	4	—	请勿连接到偏置电压。将此引脚接地或保持悬空。
EN	2	2	2	I	使能输入引脚。驱动 EN 大于 V_{IH} 以打开稳压器。驱动 EN 低于 V_{IL} 以使低压降 (LDO) 置于关断模式。
GND	4、5、6	3.4	3，TAB	—	接地基准
IN	1	1	1	I	输入电源引脚。为了获得理想瞬态响应并尽可能减小输入阻抗，请在 IN 到接地端之间使用建议值或更大的陶瓷电容器，如 *建议运行条件* 表和 *输入电容器* 部分所示。将输入电容器放置在尽可能靠近器件的输出的位置上。
NC	3、7	—	—	—	无内部连接
OUT	8	6	5	O	稳压输出电压引脚。需要在 OUT 到接地端之间连接一个电容器以确保稳定性。为获得出色的瞬态响应，请使用标称推荐值或从 OUT 到接地端的更大陶瓷电容器，如 *建议运行条件* 表和 *输出电容器* 部分所示。将此输出电容器尽可能靠近器件输出端放置。
散热焊盘				—	将散热焊盘连接到大面积 GND 平面，以提升热性能。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
V_{IN}	非稳压输入(3)	-0.3	45	V
V_{EN}	使能输入(3)	-0.3	V_{IN}	V
V_{OUT}	经调节的输出	-0.3	7	V
T_J	结温范围	-40	150	°C
T_{stg}	贮存温度范围	-40	150	°C

(1) 在 *绝对最大额定值* 范围外运行可能对器件造成永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以 GND 为基准。
(3) 绝对最大电压，可承受 45V 电压达 200ms。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{IN}	非稳压输入电压	3	40	V
V_{EN}	使能输入电压	0	V_{IN}	V
C_{OUT}	输出电容器要求(1)	1	200	µF
ESR	输出电容器 ESR 要求(2)	0.001	5	Ω
T_A	环境温度范围	-40	125	°C
T_J	结温范围	-40	150	°C

(1) 表中指定的输出电容范围是有效值。
(2) f = 10kHz 时的相关 ESR 值。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TPS7B81-Q1			单位
		DGN (HVSSOP)	DRV (WSON)	KVU (TO-252)	
		8 引脚	6 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	63.9	72.8	31.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50.2	85.8	39.9	°C/W
$R_{\theta JB}$	结至电路板热阻	22.6	37.4	9.9	°C/W
ψ_{JT}	结至顶部特征参数	1.8	2.7	4.2	°C/W
ψ_{JB}	结至电路板特征参数	22.3	37.3	9.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	12.1	13.8	2.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

在整个工作环境温度范围内，T_J = –40°C 至 +150°C，V_{IN} = 14V，并配备 10µF 陶瓷输出电容器（除非另有说明）

参数		测试条件			最小值	典型值	最大值	单位
电源电压和电流 (IN)								
V_{IN}	输入电压				$V_{OUT(Nom)}$ + $V_{(Dropout)}$		40	V
$I_{(SD)}$	关断电流	EN = 0V				0.3	1	µA
$I_{(Q)}$	静态电流	V_{IN} = 6V 至 40V，EN ≥ 2V，I_{OUT} = 0mA				1.9	3.5	µA
		V_{IN} = 6V 至 40V，EN ≥ 2V，I_{OUT} = 0.2mA		DGN 封装		2.7	6.5	
				DRV 和 KVU 封装		2.7	4.5	
$V_{(IN, UVLO)}$	V_{IN} 欠压检测	降低 V_{IN}，直到输出关闭					2.7	V
		迟滞				200		mV
使能输入 (EN)								
V_{IL}	逻辑输入低电平						0.7	V
V_{IH}	逻辑输入高电平				2			V
I_{EN}	使能电流					10		nA
稳压输出 (OUT)								
V_{OUT}	经调节的输出	V_{IN} = V_{OUT} + $V_{(Dropout)}$ 至 40V，I_{OUT} = 1mA 至 150mA			-1.5%		1.5%	
$V_{(Line-Reg)}$	线路调整	V_{IN} = 6V 至 40V，I_{OUT} = 10mA					10	mV
$V_{(Load-Reg)}$	负载调整	V_{IN} = 14V，I_{OUT} = 1mA 至 150mA		DGN 封装			20	mV
				DRV 和 KVU 封装			10	
$V_{(Dropout)}$	压降电压(1)	V_{OUT} = 5V	I_{OUT} = 150mA	DGN 封装		270	540	mV
				DRV 和 KVU 封装		325	585	
			I_{OUT} = 100mA	DGN 封装		180	350	
				DRV 和 KVU 封装		200	390	
		V_{OUT} = 3.3V	I_{OUT} = 150mA	DGN 封装			650	
				DRV 和 KVU 封装		345	675	
			I_{OUT} = 100mA			255	450	

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

在整个工作环境温度范围内，T_J = –40°C 至 +150°C，V_{IN} = 14V，并配备 10µF 陶瓷输出电容器（除非另有说明）

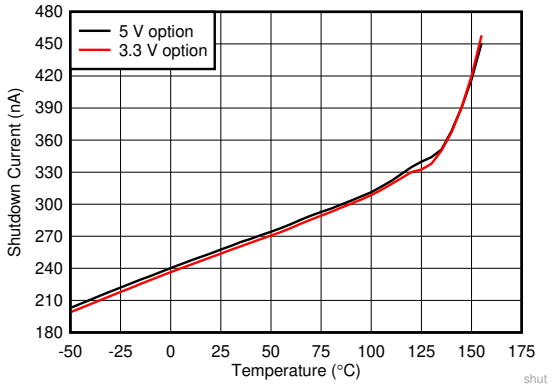
参数		测试条件	最小值	典型值	最大值	单位
I_{OUT}	输出电流	V_{OUT} 处于稳压状态，V_{IN} = 7V（对于固定 5V 选项），V_{IN} = 5.8V（对于固定 3.3V 选项）	0		150	mA
$I_{(CL)}$	输出电流限制	V_{OUT} 短路至 90% × V_{OUT}	180	510	690	mA
PSRR	电源纹波抑制	$V_{(Ripple)}$ = 0.5V_{PP}，I_{OUT} = 10mA，频率 = 100Hz，C_{OUT} = 2.2µF		60		dB
工作温度范围						
$T_{(SD)}$	结关断温度			175		°C
$T_{(HYST)}$	热关断迟滞			20		°C

(1) 由于最小输入电压的限制，2.5V 输出不适用压降指标。

Copyright © 2025 Texas Instruments Incorporated

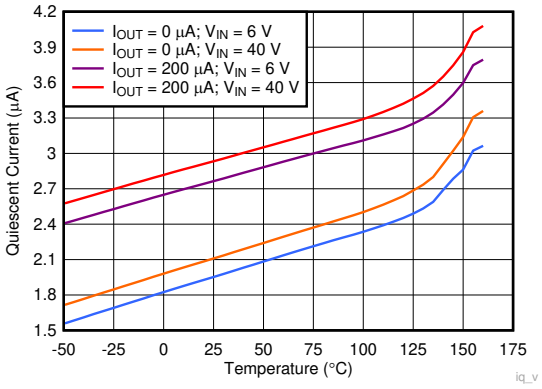
5.6 典型特性

T_J = –40°C 至 +150°C，V_{IN} = 14V，且 V_{EN} ≥ 2V（除非另有说明）



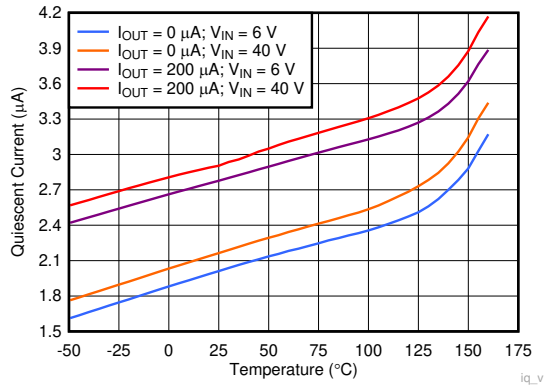
V_{EN} = 0V

图 5-1. 关断电流与环境温度间的关系



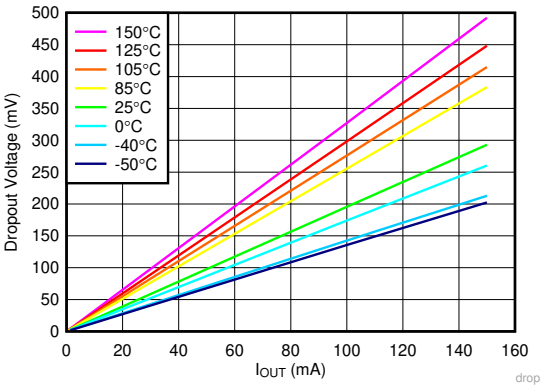
V_{OUT} = 5V

图 5-2. 静态电流与环境温度间的关系



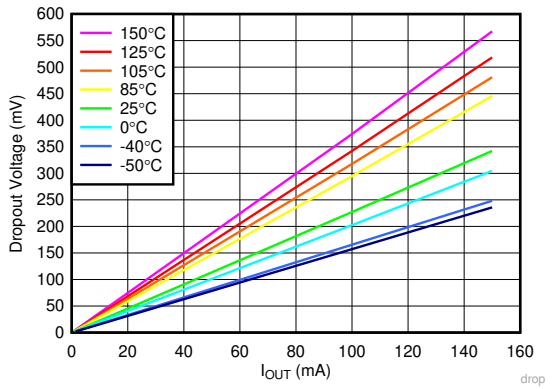
V_{OUT} = 3.3V

图 5-3. 静态电流与环境温度间的关系



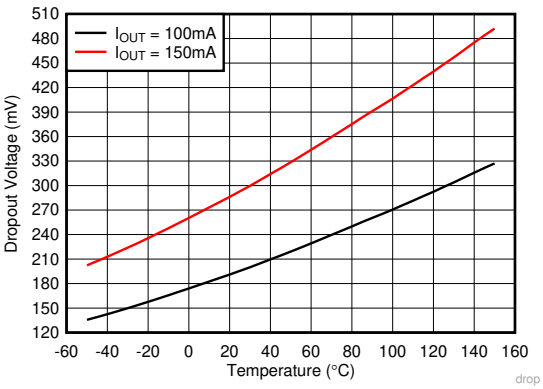
V_{OUT} = 5V，DRV 封装

图 5-4. 压降电压与输出电流间的关系



V_{OUT} = 3.3V，DRV 封装

图 5-5. 压降电压与输出电流间的关系



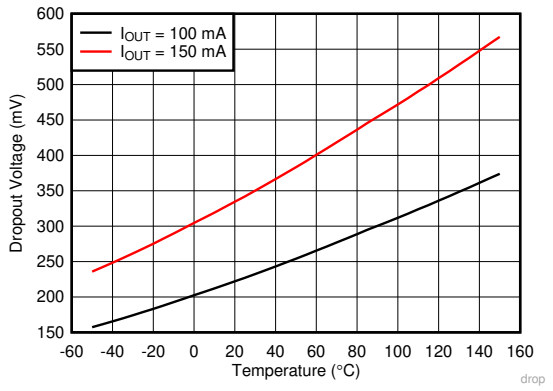
V_{OUT} = 5V

图 5-6. 压降电压与环境温度间的关系

Copyright © 2025 Texas Instruments Incorporated

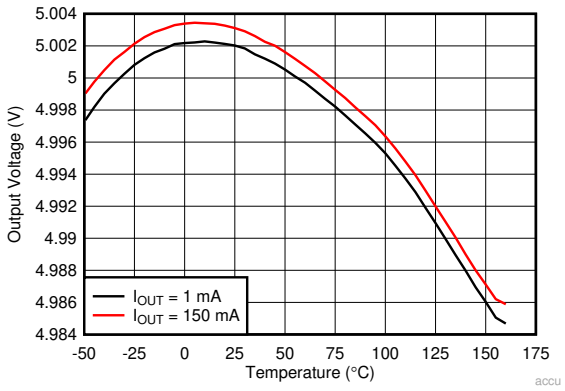
5.6 典型特性（续）

T_J = –40°C 至 +150°C，V_{IN} = 14V，且 V_{EN} ≥ 2V（除非另有说明）



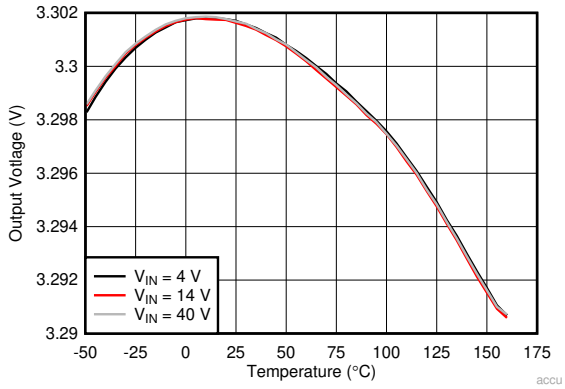
V_{OUT} = 3.3V

图 5-7. 压降电压与环境温度间的关系



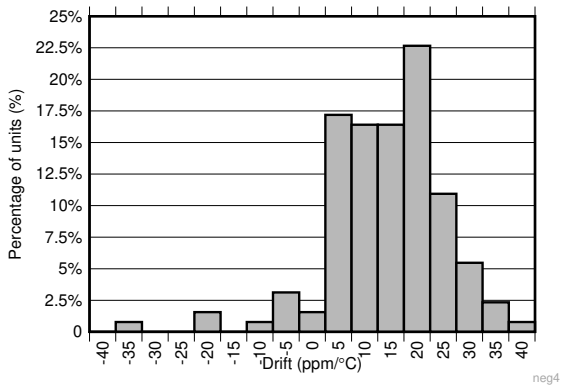
V_{OUT} = 5V

图 5-8. 输出电压与环境温度间的关系



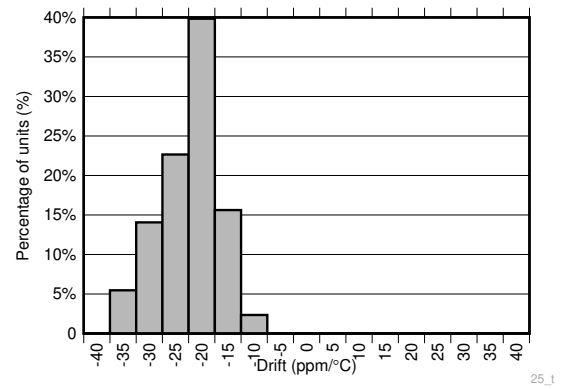
V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-9. 输出电压与环境温度间的关系



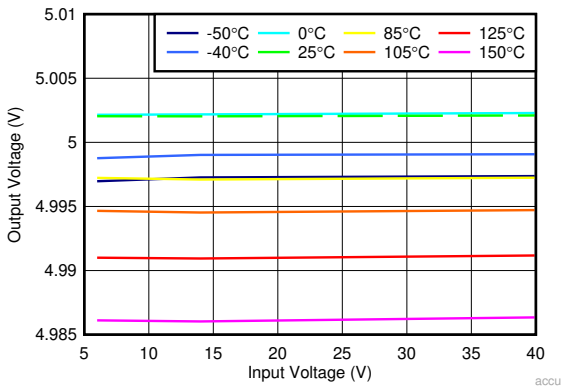
3.3V 和 5V 选项，I_{OUT} = 1mA

图 5-10. 温漂直方图（-40°C 至 +25°C）



3.3V 和 5V 选项，I_{OUT} = 1mA

图 5-11. 温漂直方图（25°C 至 150°C）



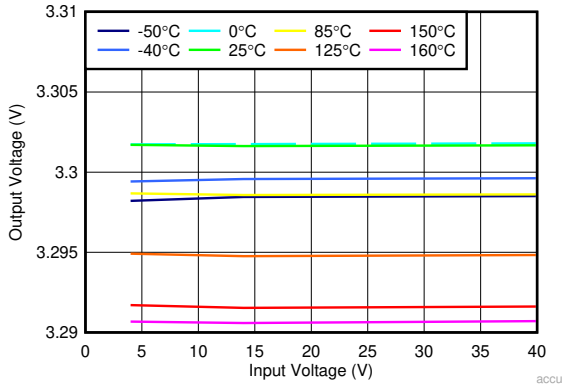
V_{OUT} = 5V，I_{OUT} = 1mA

图 5-12. 输出电压与输入电压间的关系

Copyright © 2025 Texas Instruments Incorporated

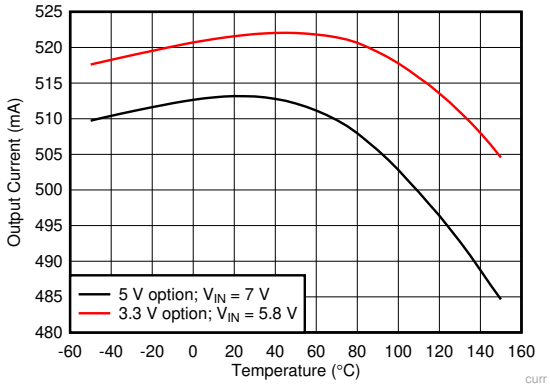
5.6 典型特性（续）

T_J = –40°C 至 +150°C，V_{IN} = 14V，且 V_{EN} ≥ 2V（除非另有说明）



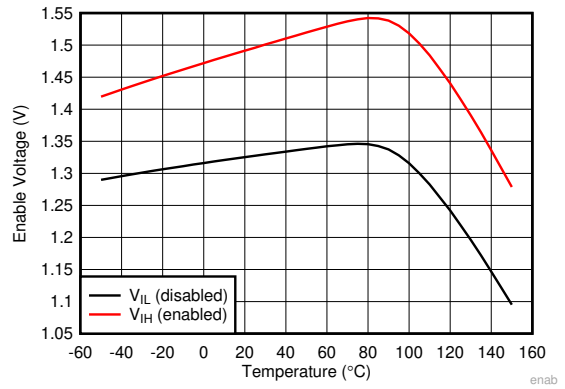
V_{OUT} = 3.3V，I_{OUT} = 1mA

图 5-13. 输出电压与输入电压间的关系



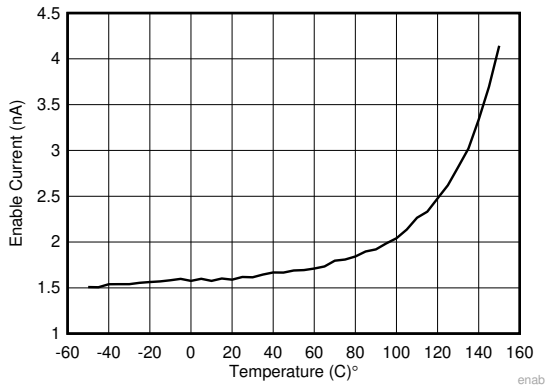
V_{OUT} 短路至 90% × $V_{OUT(NOM)}$

图 5-14. 输出电流限制与环境温度



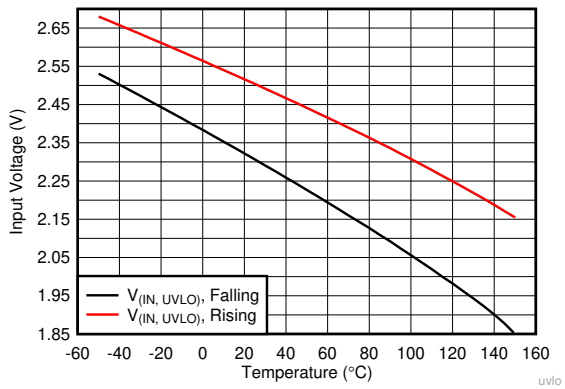
A.

图 5-15. 使能电压与环境温度间的关系



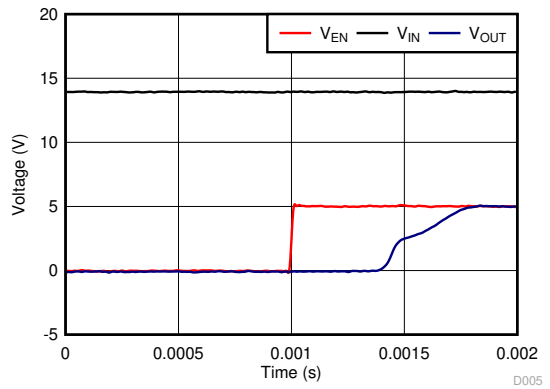
A.

图 5-16. 使能电流与环境温度间的关系



A.

图 5-17. UVLO 与环境温度间的关系



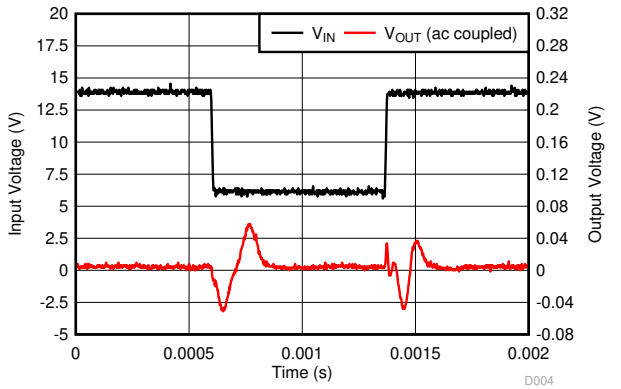
V_{OUT} = 5V，C_{IN} = 1µF，C_{OUT} = 1µF

图 5-18. 通过使能启动

Copyright © 2025 Texas Instruments Incorporated

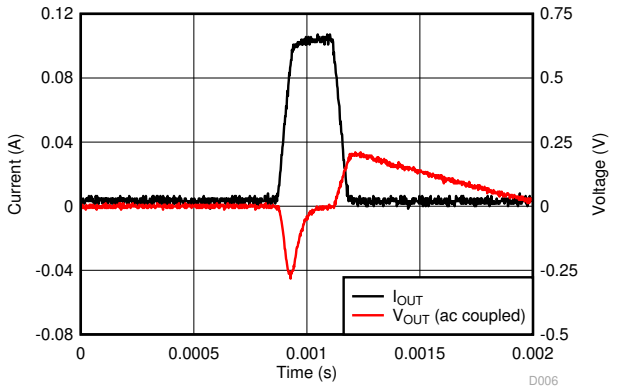
5.6 典型特性（续）

T_J = –40°C 至 +150°C，V_{IN} = 14V，且 V_{EN} ≥ 2V（除非另有说明）



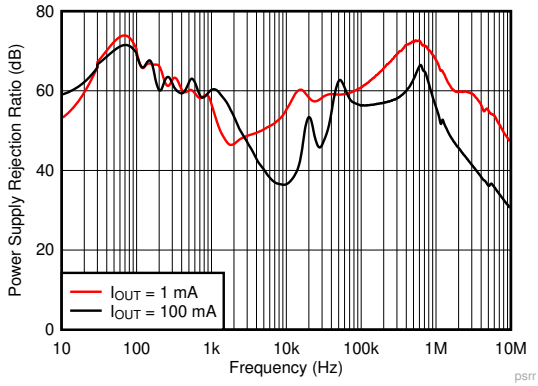
V_{OUT} = 3.3V，C_{IN} = 0μF，C_{OUT} = 1μF，I_{OUT} = 100mA，压摆率 = 1V/μs

图 5-19. 线路瞬态



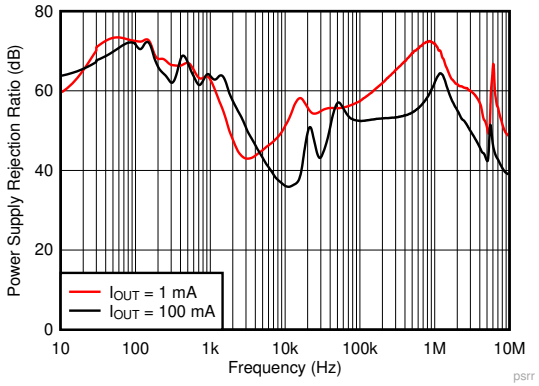
V_{OUT} = 5V，C_{IN} = 1μF，C_{OUT} = 1μF，I_{OUT} = 1mA → 100mA → 1mA，转换率 = 1mA/μs

图 5-20. 负载瞬态



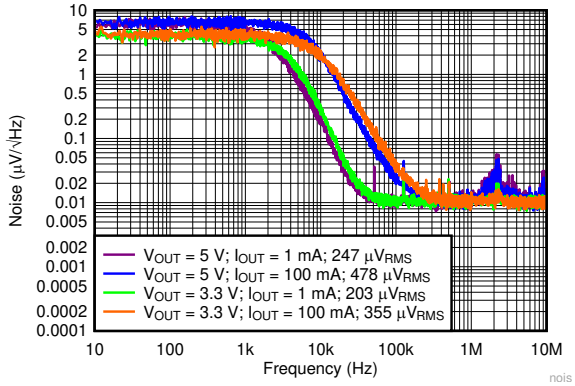
V_{OUT} = 5V，C_{IN} = 0μF，C_{OUT} = 10μF

图 5-21. PSRR 与频率间的关系



V_{OUT} = 3.3V，C_{IN} = 0μF，C_{OUT} = 10μF

图 5-22. PSRR 与频率间的关系



C_{IN} = 0.1μF，C_{OUT} = 10μF

图 5-23. 噪声与频率间的关系

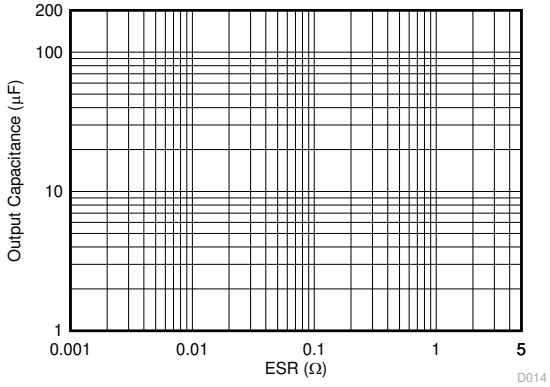


图 5-24. 输出电容与 ESR 稳定性间的关系

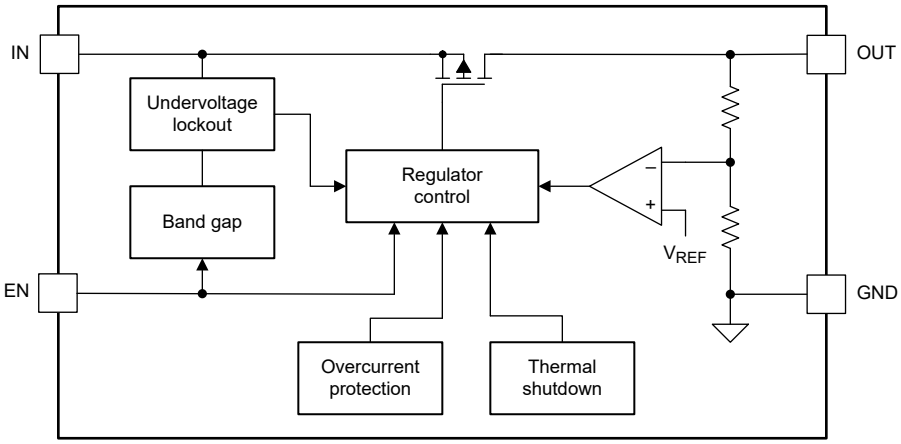
Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS7B81-Q1 是一款 40V、150mA 超低静态电流的低压降 (LDO) 线性稳压器。该电压稳压器在轻负载情况下仅消耗 3 µ A 静态电流，专为汽车类常开型应用而设计。

6.2 功能方框图



6.3 特性说明

6.3.1 器件使能 (EN)

EN 引脚是可耐受高压的引脚。高电平输入会激活器件并开启稳压功能。将此引脚连接到外部微控制器或数字电路以启用和禁用器件，或连接到 IN 引脚以实现自偏置应用。

6.3.2 欠压关断

该器件具有集成的欠压锁定 (UVLO) 电路，可在输入电压 (V_{IN}) 降至低于内部 UVLO 阈值 ($V_{(UVLO)}$) 时关闭输出。此特性可确保稳压器在低输入电压条件下不会锁存至未知状态。若输入电压发生负向瞬变，跌至 UVLO 阈值以下后又恢复，则当输入电压高于要求电平后，稳压器将先关断再以正常上电时序重新启动。

6.3.3 电流限值

该器件具有电流限制保护功能，可在发生过载或输出接地短路情况时使器件保持在安全工作区内。该特性可保护器件免受过大功率耗散的影响。例如，在输出端发生短路时，故障保护功能会将通过导通元件的电流限制到 $I_{(LIM)}$，以保护器件免受过大的功率耗散的影响。

6.3.4 热关断

该器件集成热关断 (TSD) 电路，可提供过热保护。为了实现持续正常运行，结温不得超过热 TSD 跳变点。如果结温超过 TSD 跳变点，输出将关闭。当结温降至低于 TSD 触发点减去热关断磁滞所得结果时，输出将重新开启。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 在 V_{IN} 低于 3V 条件下运行

该器件正常工作时的输入电压需高于 3V。该器件也可在更低的输入电压下工作；最高 UVLO 电压为 2.7V。该器件不会在低于实际 UVLO 电压的输入电压下工作。

6.4.2 在 V_{IN} 高于 3V 条件下运行

当 V_{IN} 大于 3V 时，如果 V_{IN} 也高于输出设定值加上器件压降电压，则 V_{OUT} 等于设定值。否则，V_{OUT} 等于 V_{IN} 减去压降电压。

表 6-1. 器件功能模式比较

工作模式	参数			
正常模式	$V_{IN} > V_{OUT(nom)} + V_{(Dropout)}$ 且 $V_{IN} \geq 3V$	$V_{EN} > V_{IH}$	$I_{OUT} < I_{CL}$	$T_J < 160°C$
压降模式	$3V \leq V_{IN} < V_{OUT(nom)} + V_{(Dropout)}$	$V_{EN} > V_{IH}$	$I_{OUT} < I_{CL}$	$T_J < 160°C$
禁用模式（任何真条件都会禁用该器件）	$V_{IN} < V_{(IN, UVLO)}$	$V_{EN} < V_{IL}$	—	$T_J > 160°C$

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS7B81-Q1 是一款 150mA、40V 超低静态电流的低压降 (LDO) 线性稳压器。PSpice 瞬态模型可从产品文件夹中下载，并可用于评估器件的基本功能。

7.1.1 功率耗散

电路可靠性需要适当考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须尽量消除其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。可使用 方程式 1 来计算 P_D：

$$P_D = (V_{OUT} - V_{IN}) \times I_{OUT} \quad (1)$$

需要注意的一点是，通过适当选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。器件的低压降有助于在宽输出电压范围内实现出色效率。

器件的主要热传导路径是通过封装上的散热焊盘。因此，必须将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，可将热量传导到任何内部平面区域或底部覆铜平面。

最大功耗决定了该器件允许的最高结温 (T_J)。根据 方程式 2，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。该公式重新排列后可得到输出电流（如方程式 3 所示）。

$$T_J = T_A + R_{\theta JA} \times P_D \quad (2)$$

$$I_{OUT} = \left(T_J - T_A\right) \div \left[R_{\theta JA} \times (V_{IN} - V_{OUT})\right] \quad (3)$$

遗憾的是，此热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 PCB 和铜扩散面积决定，仅用作封装热性能的相对测量。请注意，对于精心设计的热布局，$R_{\theta JA}$ 实际上是封装结至外壳（底部）热阻 ($R_{\theta JCbot}$) 与 PCB 铜产生的热阻的总和。

图 7-1 至 图 7-6 展示了 $R_{\theta JA}$ 和 ψ_{JB} 的功能与铜面积和厚度的关系。这些图是使用 101.6mm × 101.6mm × 1.6mm 两层和四层 PCB 生成。对于四层板，内部平面使用 1oz 厚度的覆铜。外层均使用 1oz 和 2oz 铜厚度进行模拟。该器件的散热焊盘下方设有一个 2 × 1 阵列的散热过孔，这些过孔的钻孔直径为 300µm，铜镀层厚度为 25µm。散热通孔连接顶层和底层，如果是 4 层板，则连接第一个内部 GND 平面。每一层都有一个面积相等的铜平面。

Copyright © 2025 Texas Instruments Incorporated

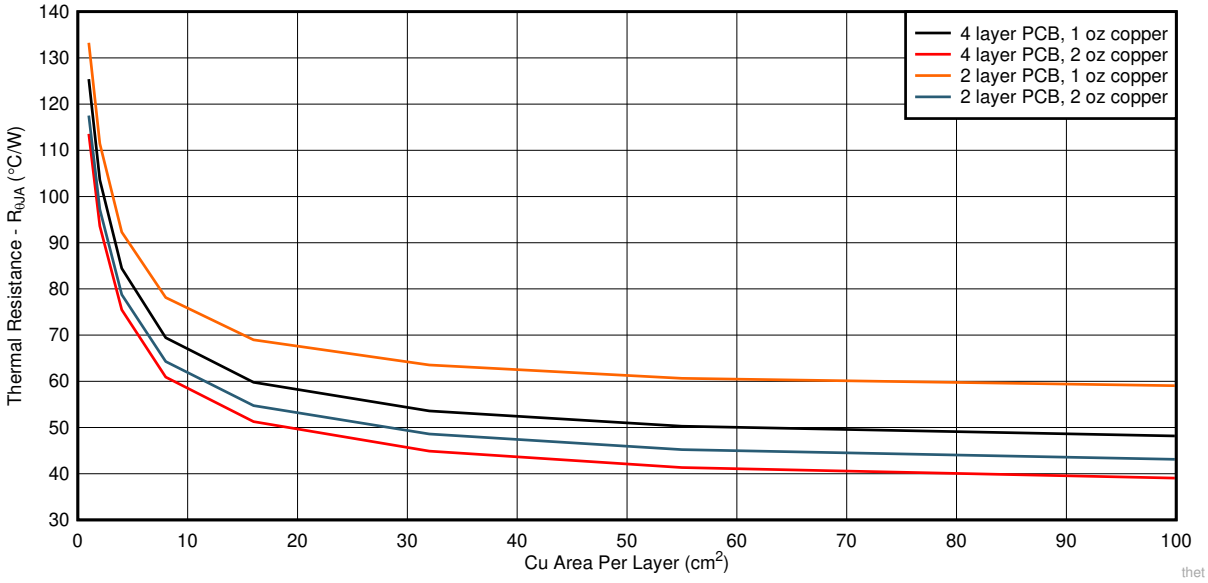


图 7-1. WSON (DRV) 封装的 $R_{\theta JA}$ 与铜面积间的关系

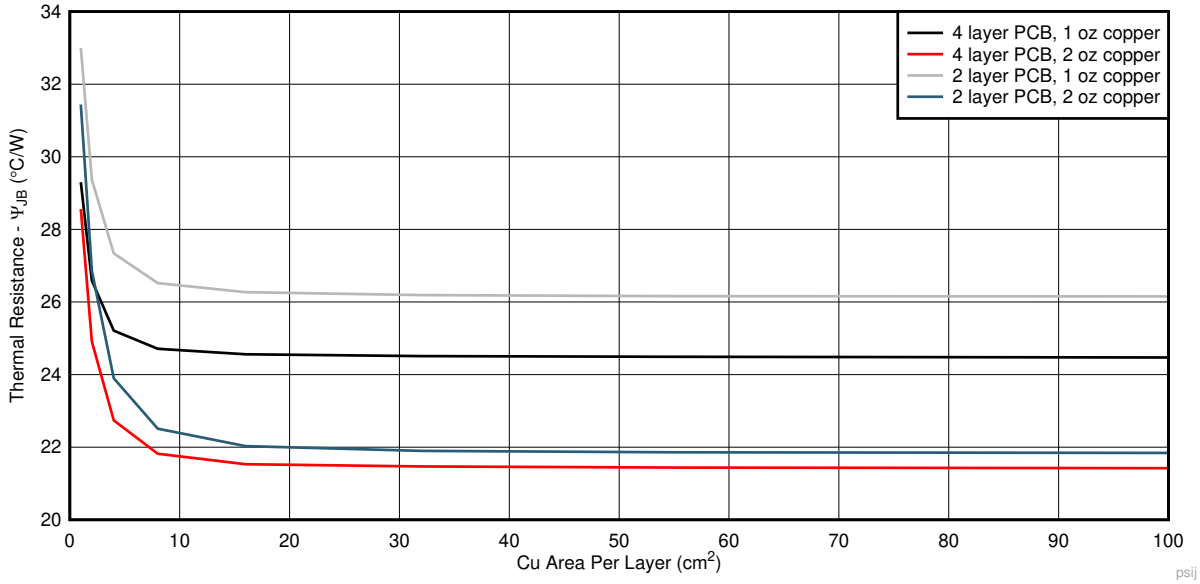


图 7-2. WSON (DRV) 封装的 ψ_{JB} 与铜面积间的关系

Copyright © 2025 Texas Instruments Incorporated

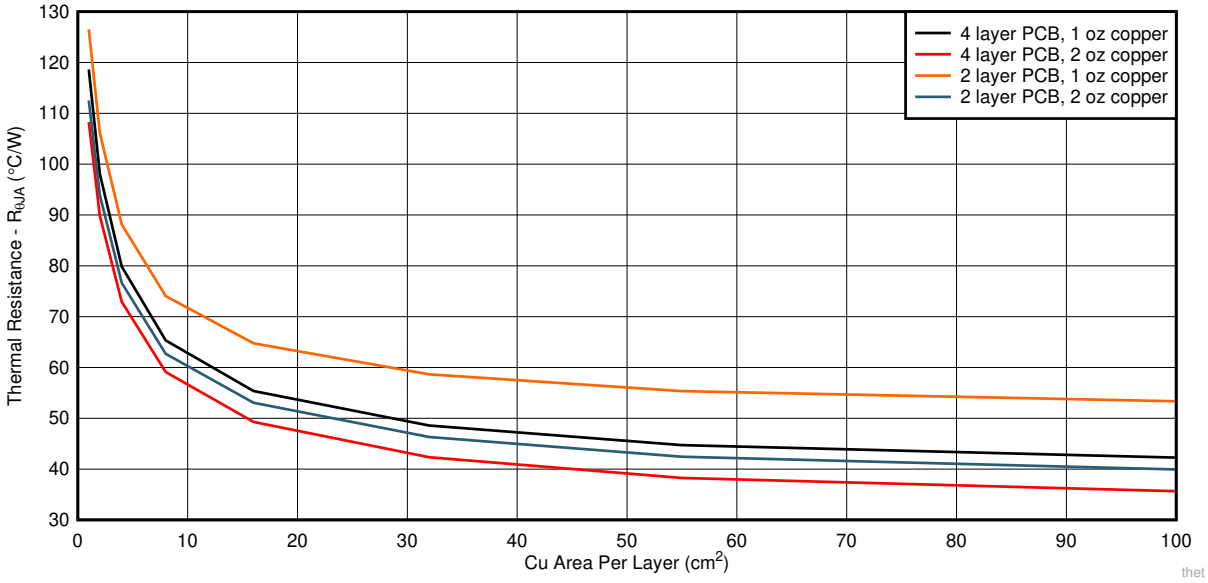


图 7-3. HVSSOP (DGN) 封装的 $R_{\theta JA}$ 与铜面积间的关系

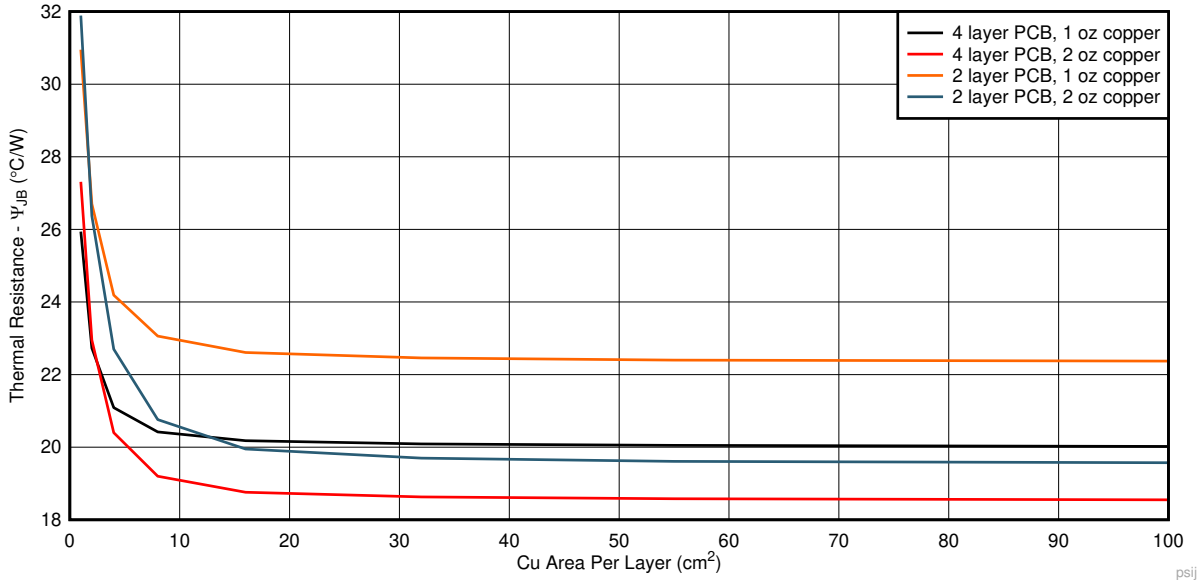


图 7-4. HVSSOP (DGN) 封装的 ψ_{JB} 与铜面积间的关系

Copyright © 2025 Texas Instruments Incorporated

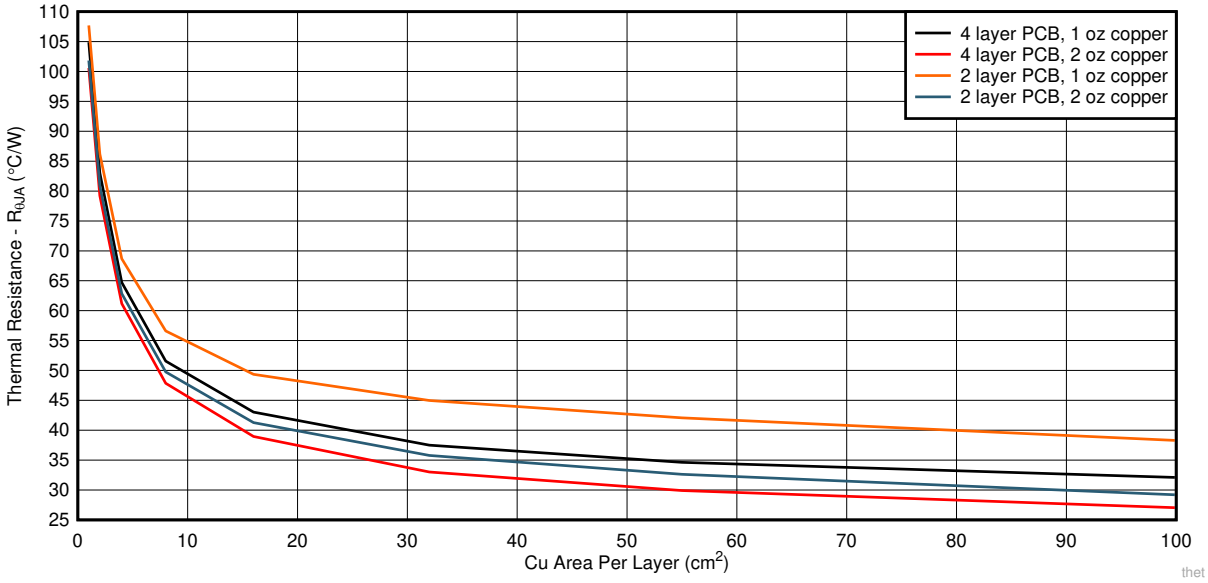


图 7-5. TO-252 (KVU) 封装的 $R_{\theta JA}$ 与铜面积间的关系

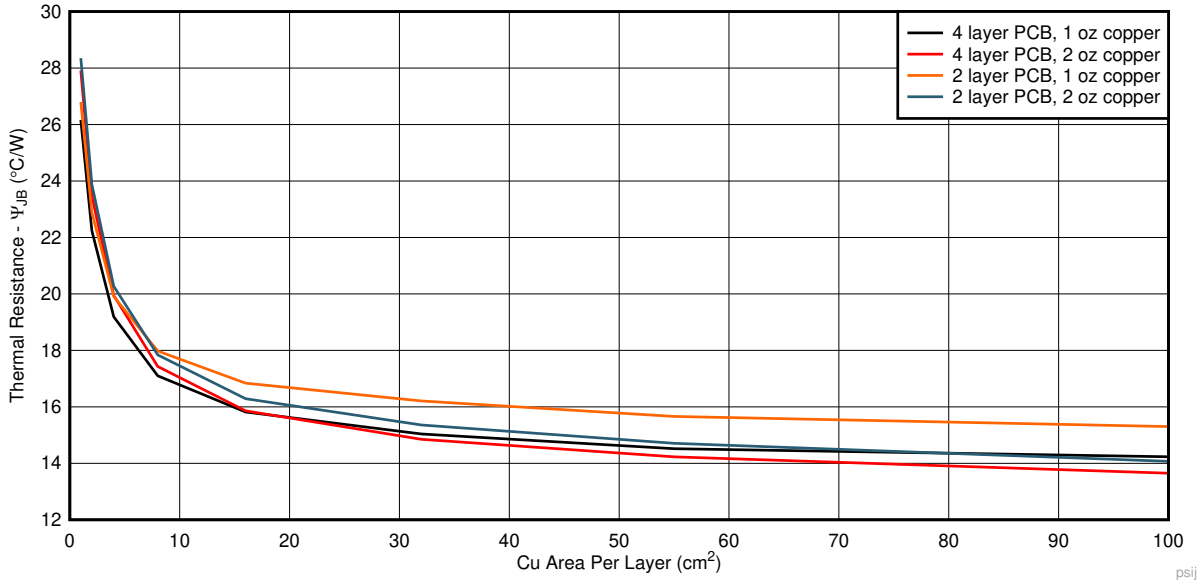


图 7-6. TO-252 (KVU) 封装的 ψ_{JB} 与铜面积间的关系

Copyright © 2025 Texas Instruments Incorporated

7.1.1.1 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与覆铜面积明显无关。关键热指标（Ψ_{JT} 和 Ψ_{JB}）的使用符合方程式 4 并在 *节 5.4* 表中给出。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times PD$$
$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \times PD \quad (4)$$

其中：

- P_D 是耗散功率，如方程式 1 中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

7.2 典型应用

图 7-7 显示了 TPS7B81-Q1 的典型应用电路。根据最终应用场景，可使用不同的外部元件值。在快速负载阶跃场景中，应用可能需要使用更大电容值的输出电容器以防止输出电压出现大幅跌落。TI 建议使用具有 X5R 或 X7R 类型电介质的低等效串联电阻 (ESR) 陶瓷电容器。

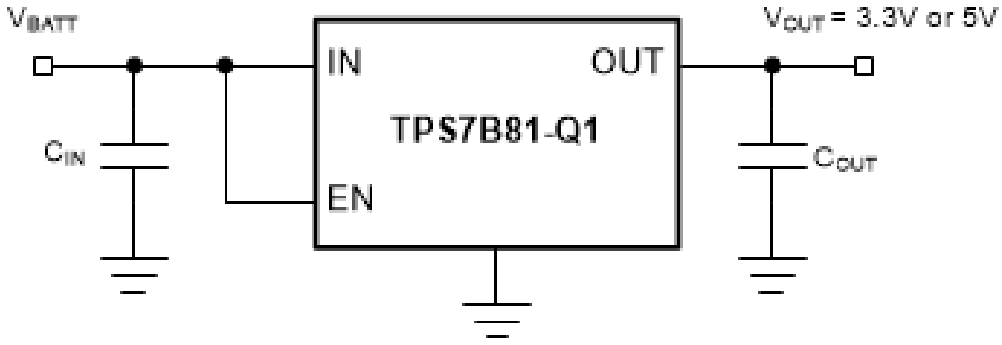


图 7-7. TPS7B81-Q1 典型应用原理图

7.2.1 设计要求

此设计示例使用表 7-1 中列出的参数。

表 7-1. 设计要求参数

参数	值
输入电压范围	3V 至 40V
输出电压	5V 或 3.3V
输出电流	150mA（最大值）

7.2.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围
- 输出电压
- 输出电流

7.2.2.1 输入电容器

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将 10µF 至 22µF 电容器从 IN 连接到 GND。该电容器可抵消电抗性输入源，改善瞬态响应、输入纹波和 PSRR。额定电压必须大于最大输入电压。

Copyright © 2025 Texas Instruments Incorporated

7.2.2.2 输出电容器

为确认 TPS7B81-Q1 的稳定性，该器件需要配备一个输出电容器，其电容值范围应为 1 µF 至 200 µF，ESR 范围应在 0.001 Ω 至 5 Ω 之间。TI 建议选择具有低 ESR 的陶瓷电容器来改善负载瞬态响应。

7.2.3 应用曲线

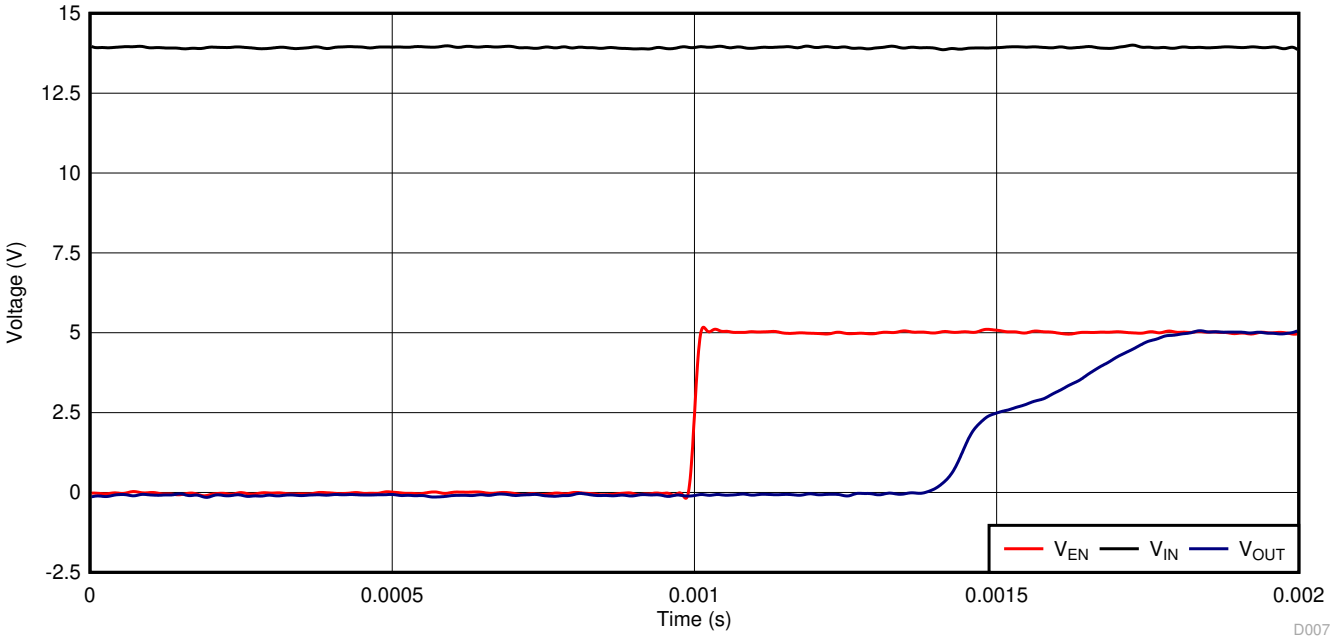


图 7-8. TPS7B81-Q1 加电波形 (5V)

7.3 电源相关建议

该器件设计为可在 3V 至 40V 的输入电源电压范围内运行。该输入电源必须经过良好调节。若输入电源距离 TPS7B81-Q1 超过数英寸，TI 建议需在输入端并联一个电容值大于或等于 10 µF 的电容器与一个 0.1 µF 的旁路电容器。

7.4 布局

7.4.1 布局指南

布局是 LDO 电源的重要一步，尤其是在采用高电压和大输出电流电源时。如果布局设计不当，稳压器会由于热限制而无法提供足够的输出电流。为优化器件散热性能并在高环境温度下实现最大电流输出，请尽可能扩大散热焊盘下方的铜箔面积，并在铜箔上布置充足的散热过孔。图 7-9 展示了示例布局。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

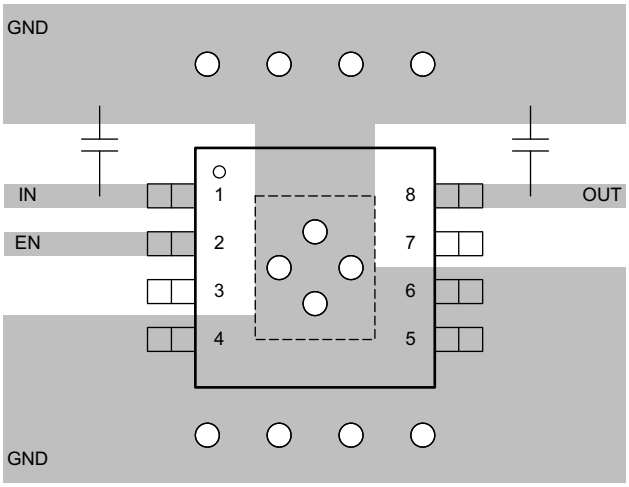


图 7-9. TPSB81-Q1 示例布局图

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 提供的选项

产品(1)	说明
TPS7B81**xx**Q(**W**)***yyyz***Q1	**xx** 是标称输出电压（例如，50 = 5.0V，33 = 3.3V）。 **Q** 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。 **yyy** 为封装标识符。 **z** 为卷带数量。 **Q1** 表示此器件是一款汽车级 (AEC-Q100) 器件。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录或访问 TI 网站 www.ti.com。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (June 2025) to Revision F (September 2025)	Page
• 向文档添加了具有可湿性侧面 (DRV) 的 WSON 封装	1
• 添加了 *器件命名规则* 部分	20

Changes from Revision D (June 2020) to Revision E (June 2025)	Page
• 向 *特性* 部分添加了功能安全的项目符号	1
• 在 *功能方框图* 中将功率 FET 从 NMOS 更改为 PMOS	11

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8125QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	26GX
TPS7B8125QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	26GX
TPS7B8133QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VTX
TPS7B8133QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VTX
TPS7B8133QDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1X2H
TPS7B8133QDRVRQ1.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1X2H
TPS7B8133QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8133Q1
TPS7B8133QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8133Q1
TPS7B8133QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3NGH
TPS7B8150QDGNRQ1	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VUX
TPS7B8150QDGNRQ1.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	1VUX
TPS7B8150QDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1WNH
TPS7B8150QDRVRQ1.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1WNH
TPS7B8150QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	No	SN	Level-3-260C-168 HR	-40 to 150	7B8150Q1
TPS7B8150QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	No	SN	Level-3-260C-168 HR	-40 to 150	7B8150Q1
TPS7B8150QWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3NHH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7B81-Q1 :

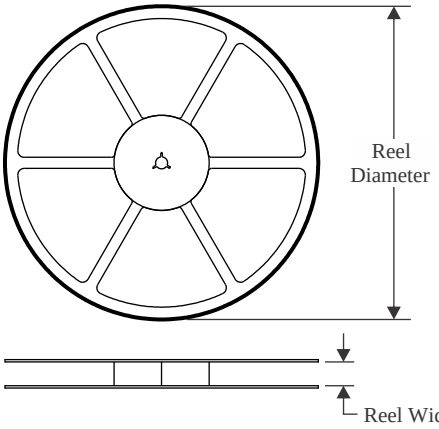
- Catalog : TPS7B81

NOTE: Qualified Version Definitions:

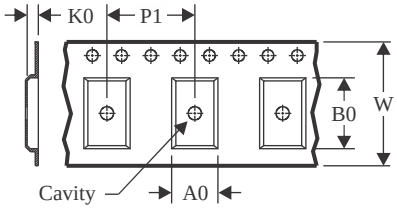
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

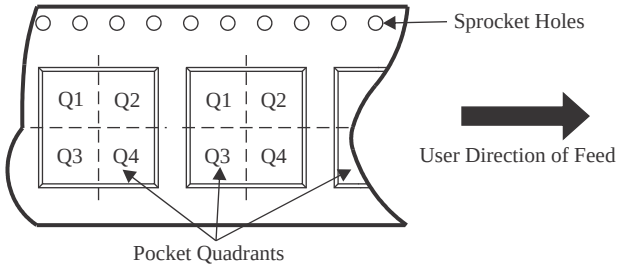


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

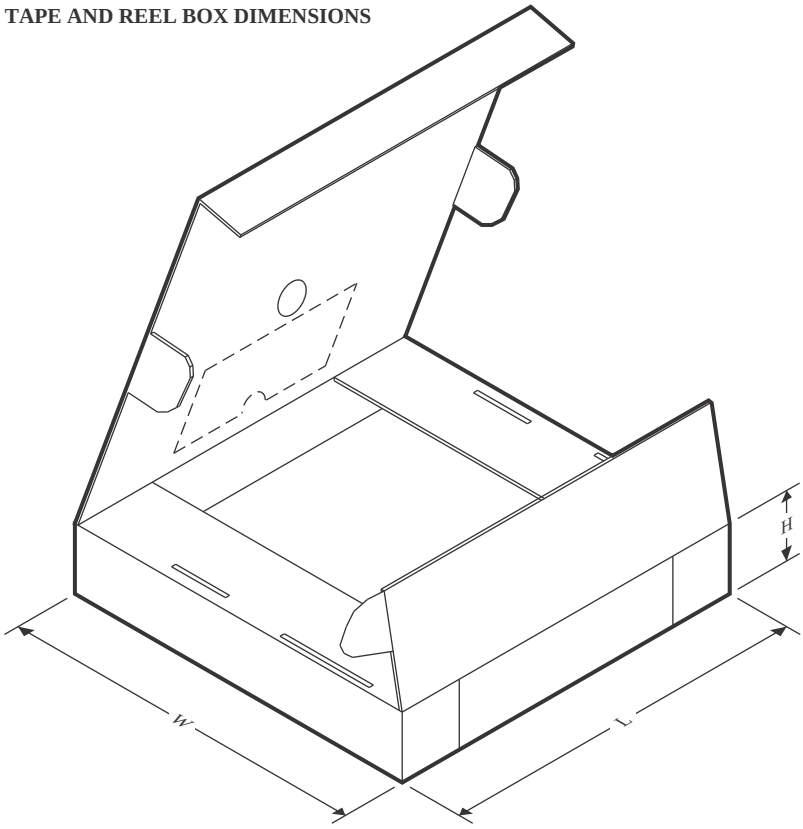
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8125QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8133QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8133QDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8133QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8133QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8150QDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS7B8150QDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7B8150QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8150QWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8125QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8133QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8133QDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8133QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8133QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8150QDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS7B8150QDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7B8150QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8150QWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

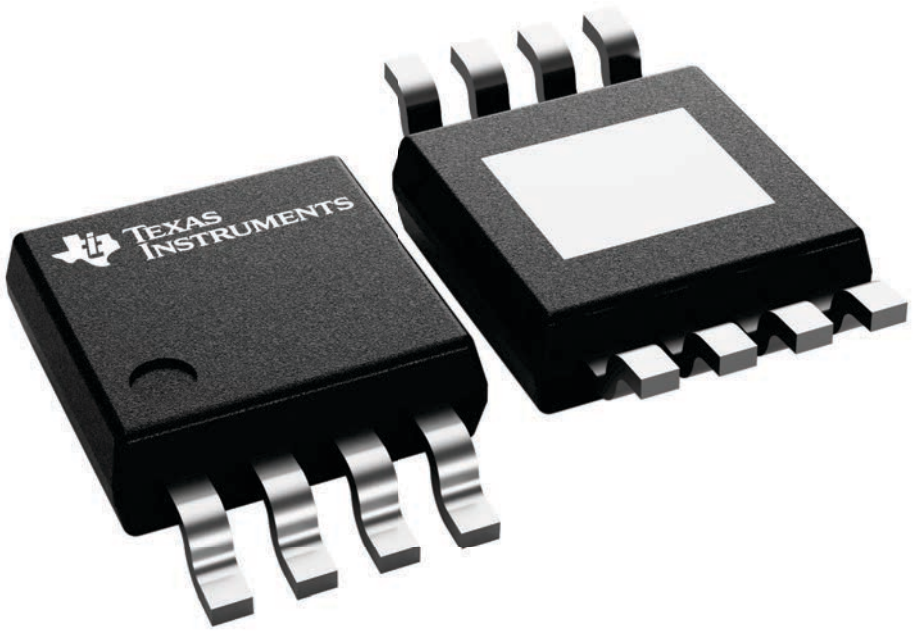
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

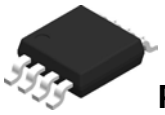
SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



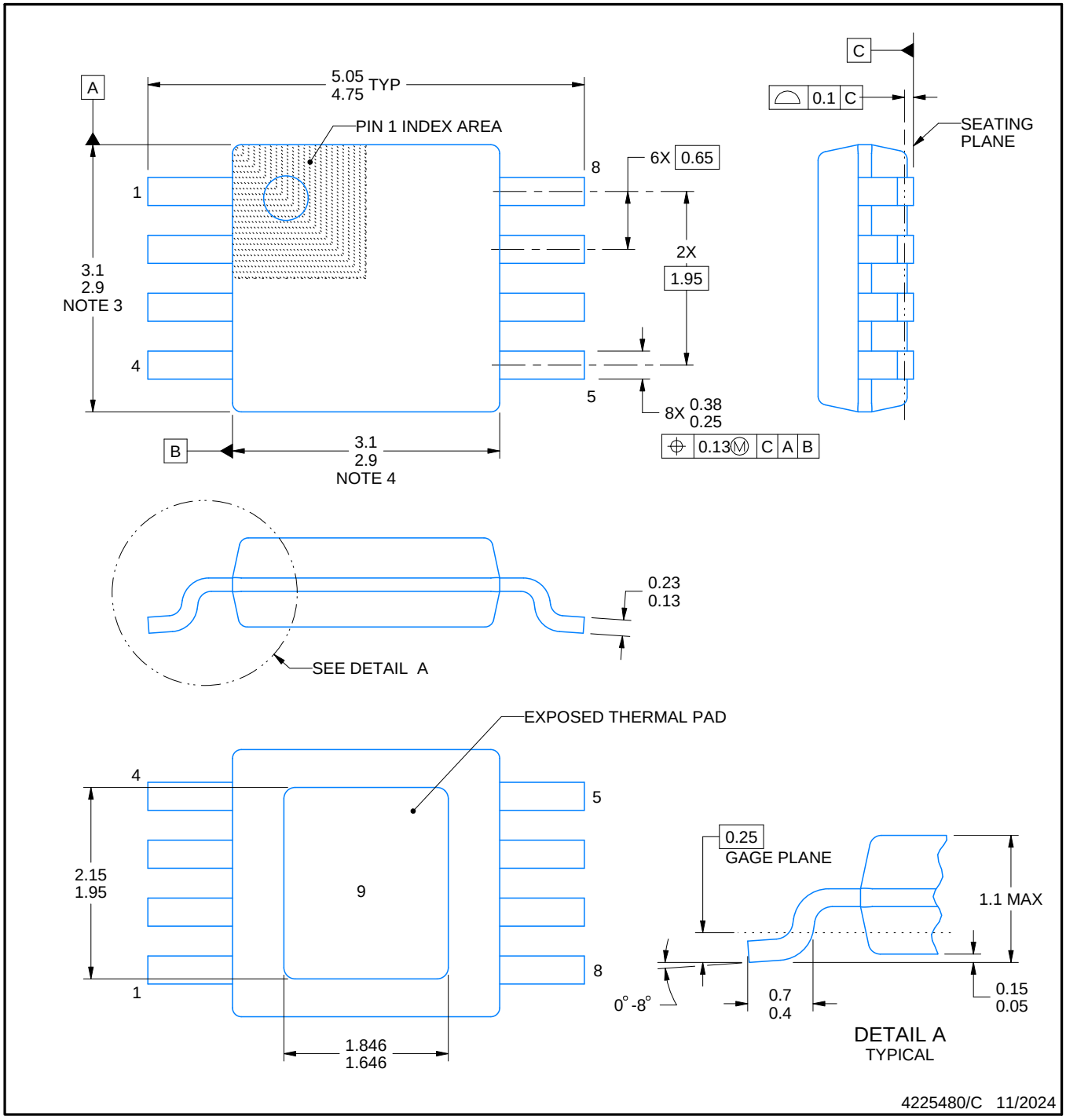
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

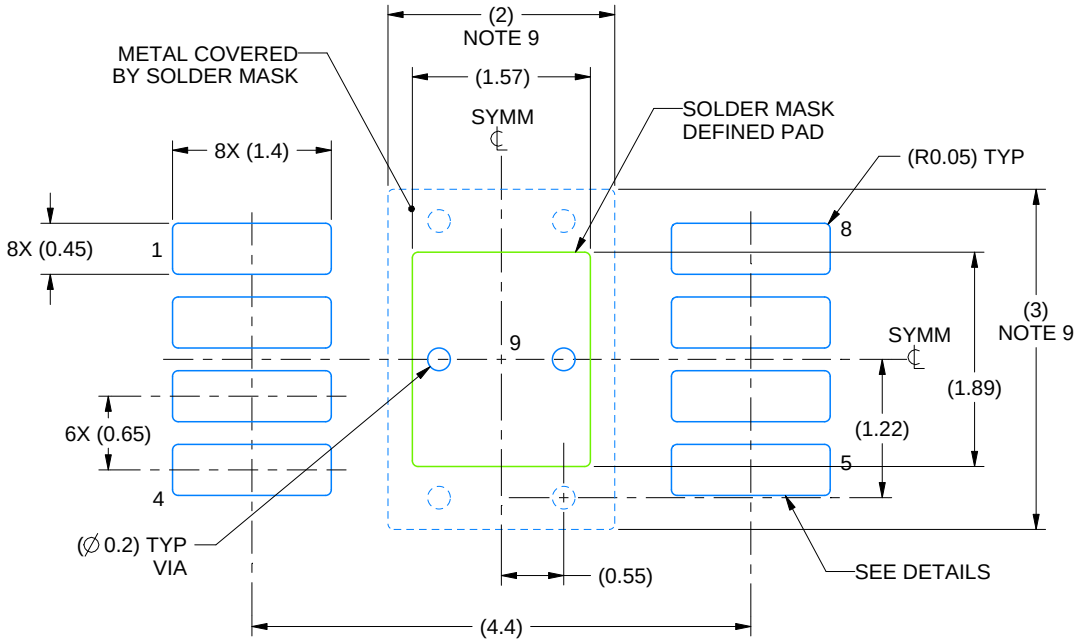
SMALL OUTLINE PACKAGE



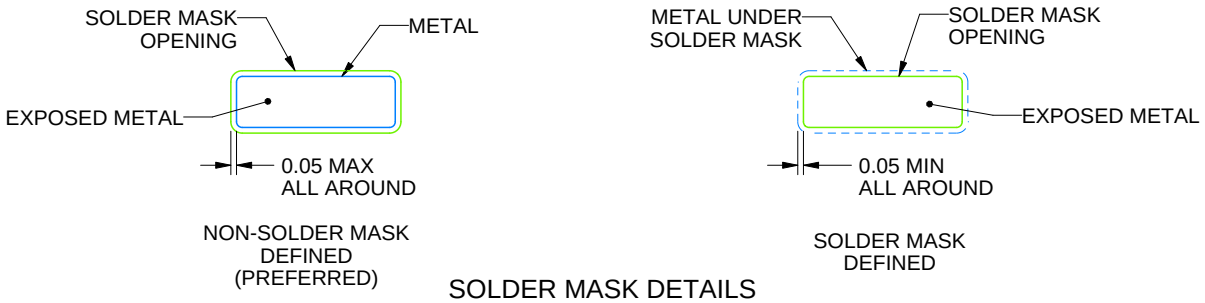
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

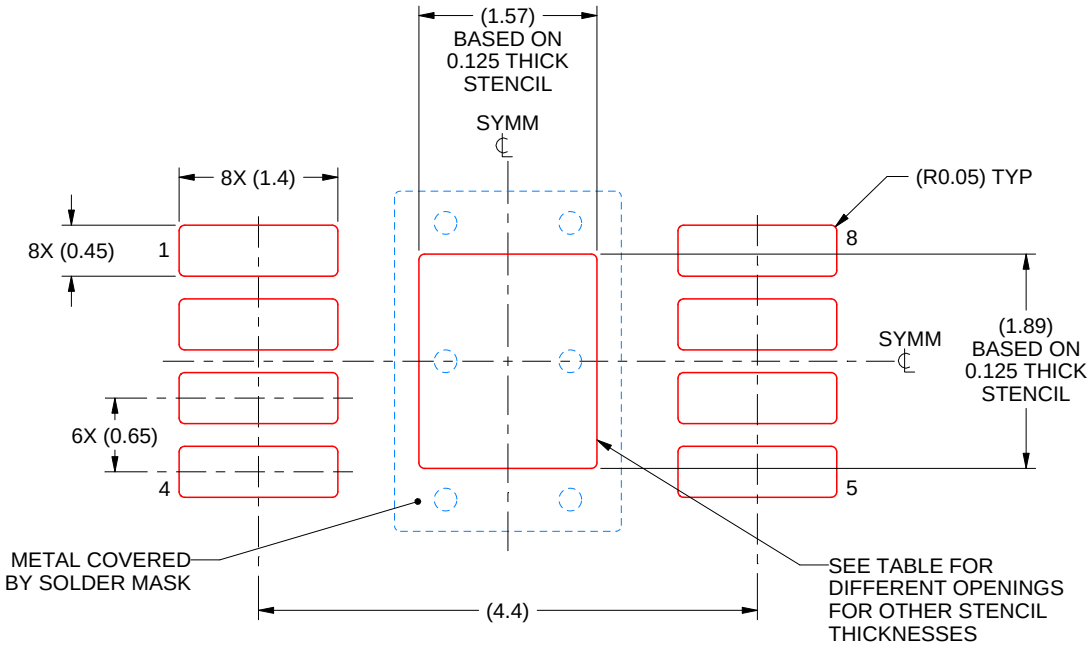


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

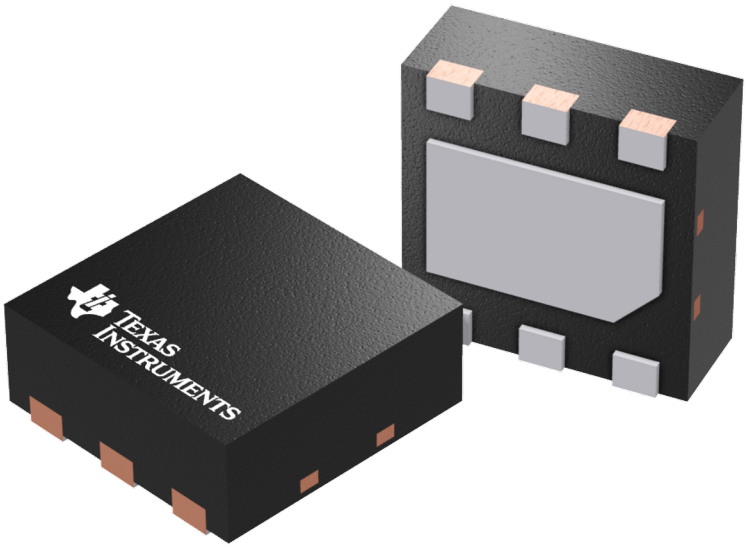
4225480/C 11/2024

NOTES: (continued)

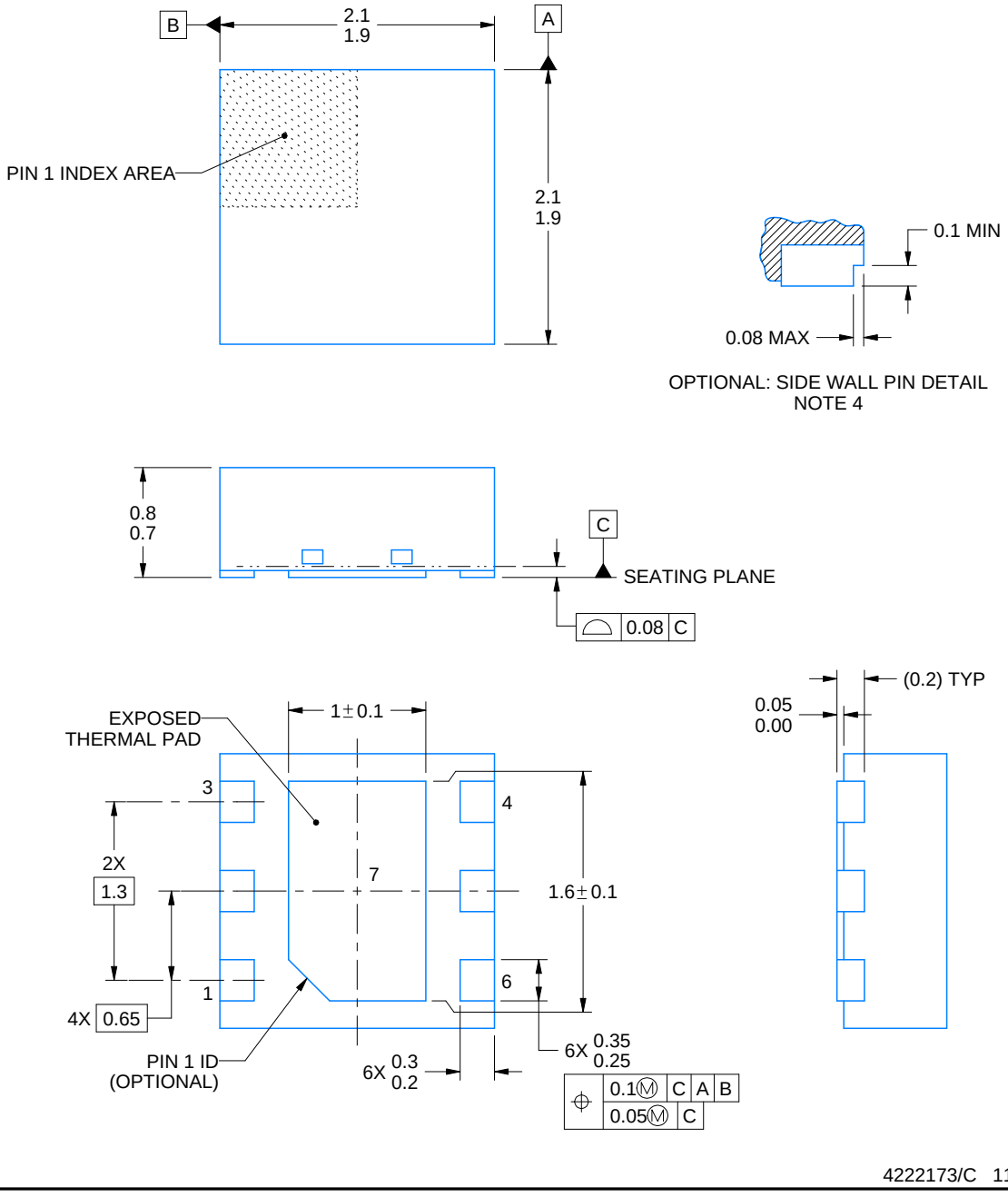
10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

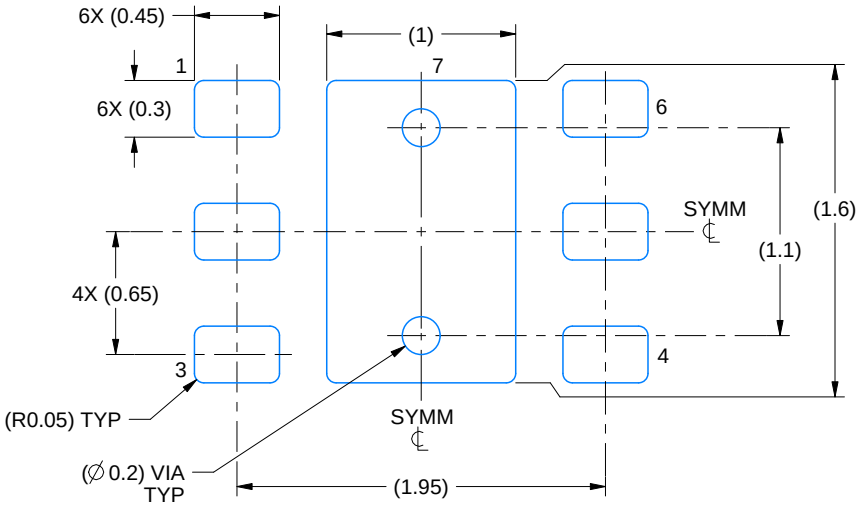


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

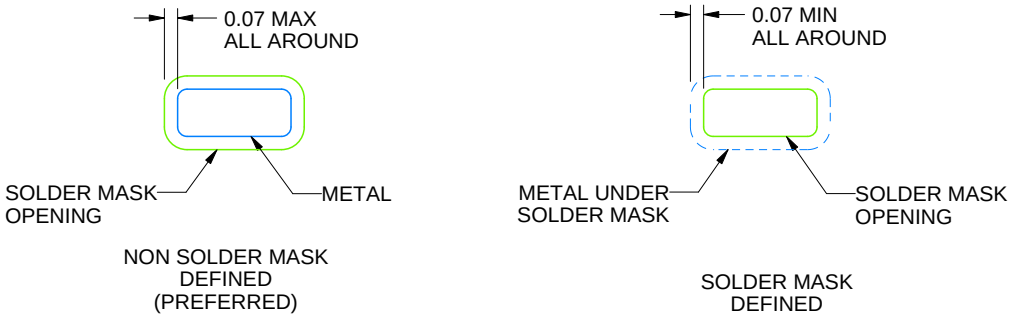


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
SCALE:25X

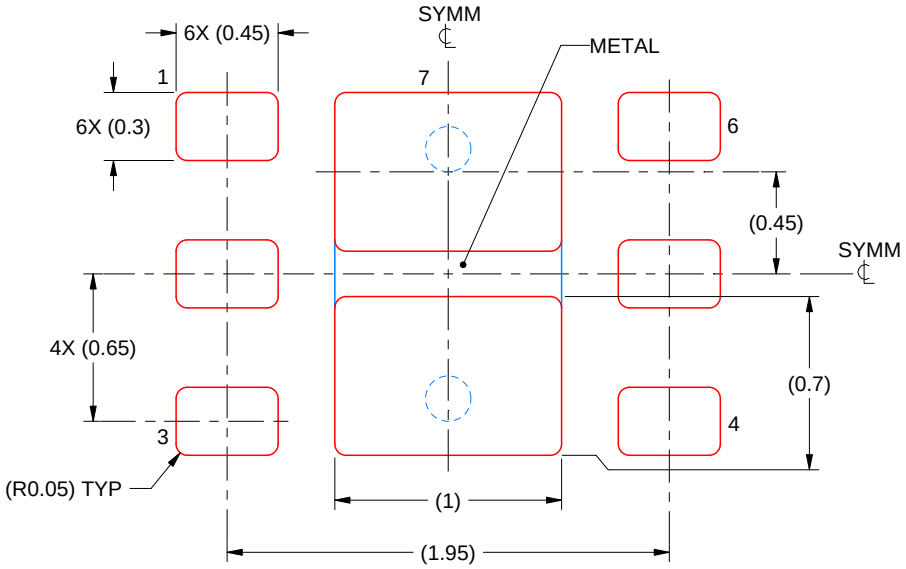


SOLDER MASK DETAILS

4222173/C 11/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

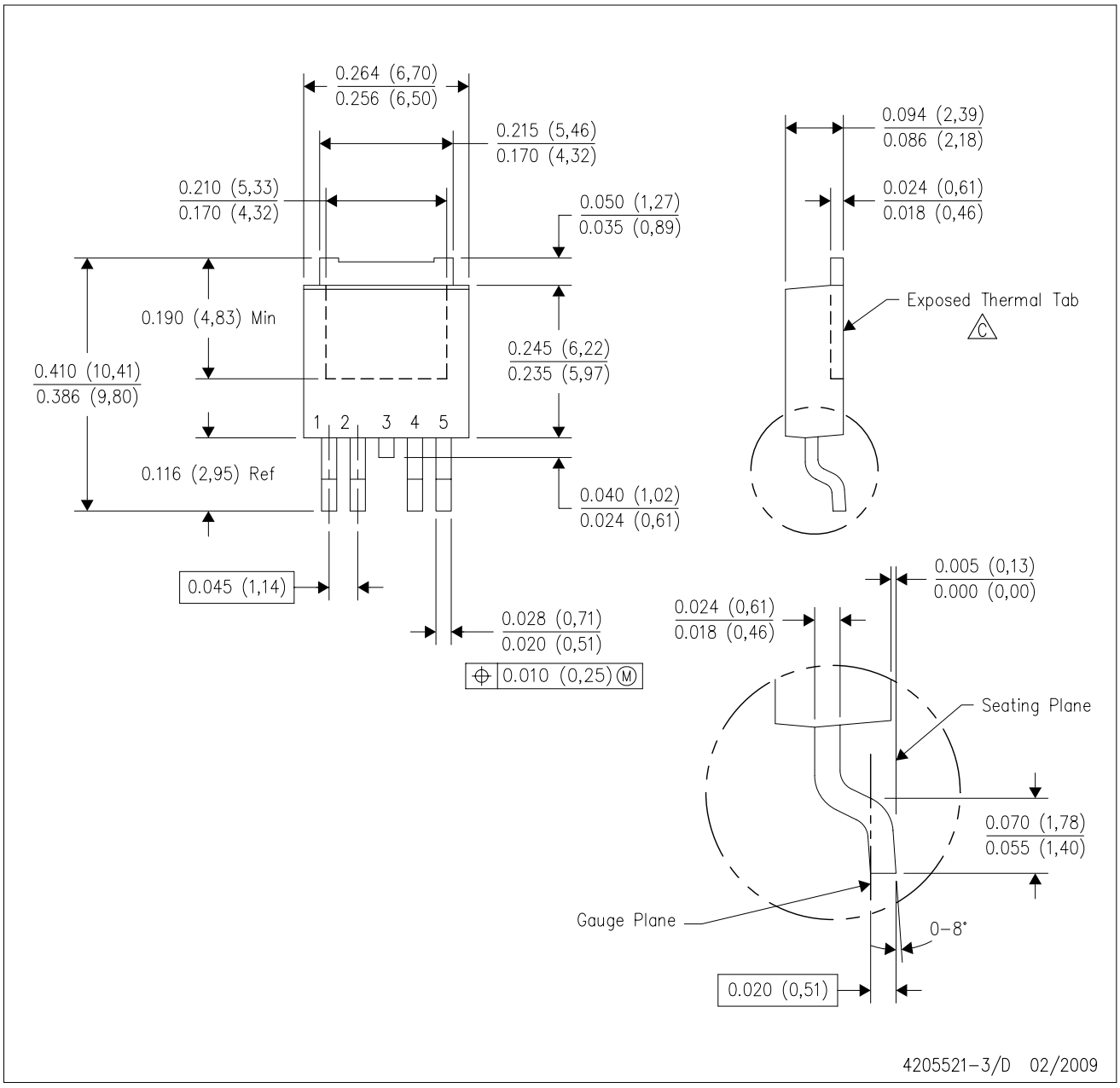
EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/C 11/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

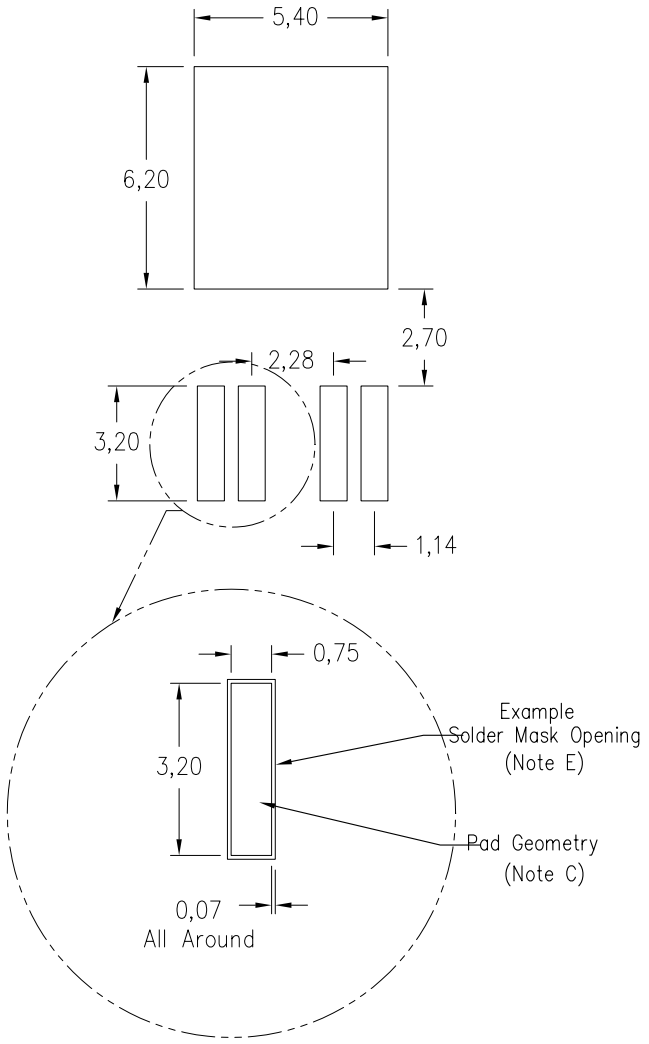
KVU (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



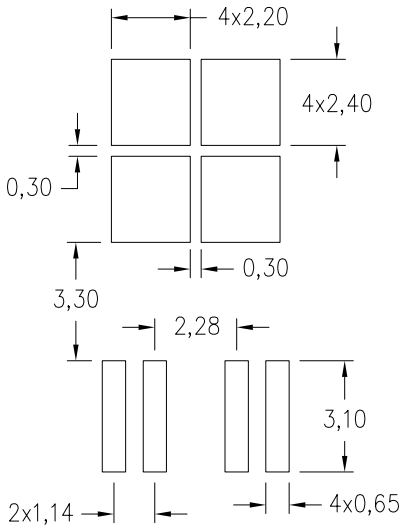
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. The center lead is in electrical contact with the exposed thermal tab.
D. Body Dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.006 (0,15) per side.
E. Falls within JEDEC TO–252 variation AD.

KVU (R–PSFM–G5) PLASTIC FLANGE MOUNT PACKAGE

Example Board Layout



Stencil Openings
Based on a stencil thickness
of .127mm (.005inch).



63% solder coverage on center pad

4211592–3/B 03/12

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is an alternate information source for PCB land pattern designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in thermal pad.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月