

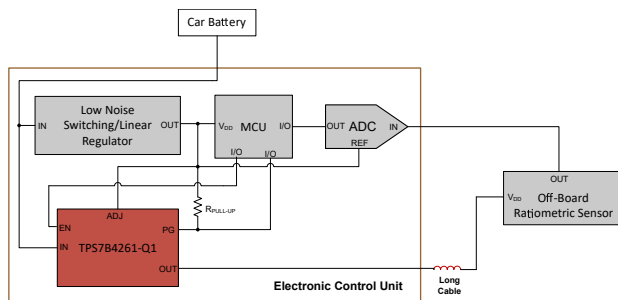
TPS7B4261-Q1 具有 PG 的汽车级 300mA 40V 电压跟踪 LDO

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C， T_A
 - 结温：-40°C 至 +150°C， T_J
- 宽输入电压范围：
 - 绝对最大电压范围：-40V 至 45V
 - 工作范围：3.3V 至 40V
- 宽输出电压范围：2V 至 40V
- 最大输出电流：300mA
- 非常严格的输出跟踪容差：6mV (最大值)
- 低压降：330mV (200mA)
- 独立使能引脚功能
- 电源正常状态指示功能可检测欠压和过压情况
- 轻负载时低静态电流：55 μ A
- 在各种陶瓷输出电容值范围内可保持稳定：
 - C_{OUT} 范围：1 μ F 至 100 μ F
 - ESR 范围：1m Ω 至 2 Ω
- 集成保护特性：
 - 反向电流保护
 - 反极性保护
 - 过热保护
 - 提供输出至地和输出至电源短路保护
- 采用低热阻 8 引脚封装：
 - HSOIC (DDA)， $R_{\theta JA} = 48^\circ\text{C/W}$

2 应用

- 动力总成压力传感器
- 动力总成温度传感器
- 动力总成排气传感器
- 动力总成油液浓度传感器
- 车身控制模块 (BCM)
- 区域控制模块 (ZCM)
- HVAC 控制模块



典型应用

TPS7B4261-Q1 可对 ADC 基准电压进行有效的缓冲，并通过长线缆安全传输此电压（或其调整值）来为非板载传感器供电。如果传感器是比例式的，而且输出由 ADC 进行采样，则 TPS7B4261-Q1 所述特性将有助于显著提高传感器测量的可靠性和精度。

3 说明

TPS7B4261-Q1 是一款单片集成低压降电压跟踪器。该器件采用 8 引脚 HSOIC 封装。TPS7B4261-Q1 旨在为汽车环境中的非板载传感器供电。该器件的高 300mA 电流额定值可能允许单个 TPS7B4261-Q1 同时为多个非板载传感器供电。由于提供非板载电源的电缆发生故障的风险较高，因此器件配备了集成保护功能，可应对电池短路、反极性、输出至地短路（电流限制）和过热（热关断）等故障情况。该器件集成了背对背 P 沟道金属氧化物半导体场效应晶体管 (PMOS) 拓扑。该拓扑消除了对外部二极管的需求，从而有助于防止出现导致反向电流的故障情况。该器件可承受 45V（绝对最大值）输入电压，并能经受住汽车负载突降瞬态条件的考验。

该器件在线路、负载和温度条件下跟踪施加在输出 (OUT) 引脚处和可调节输入引脚 (ADJ) 上的基准电压，并具有非常严格的 6mV（最大值）容差。凭借这种严格跟踪容差功能，TPS7B4261-Q1 可在高达 300mA 的负载下提供高精度电源电压。TPS7B4261-Q1 具有独立使能引脚 (EN) 和电源正常状态功能、可检测欠压和过压故障情况。

通过将 EN 输入引脚置于低电平，TPS7B4261-Q1 可切换至待机模式，从而将低压降稳压器 (LDO) 的静态电流消耗降至 3.8 μ A 以下。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS7B4261-Q1	DDA (HSOIC , 8)	6mm × 4.9mm

- 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
- 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



内容

1 特性	1	7 应用和实施	14
2 应用	1	7.1 应用信息.....	14
3 说明	1	7.2 典型应用.....	15
4 引脚配置和功能	3	7.3 电源相关建议.....	16
5 规格	4	7.4 布局.....	17
5.1 绝对最大额定值.....	4	8 器件和文档支持	20
5.2 ESD 等级.....	4	8.1 器件支持.....	20
5.3 建议运行条件.....	4	8.2 文档支持.....	20
5.4 热性能信息.....	5	8.3 接收文档更新通知.....	20
5.5 电气特性.....	5	8.4 支持资源.....	20
5.6 典型特性.....	7	8.5 商标.....	20
6 详细说明	8	8.6 静电放电警告.....	20
6.1 概述.....	8	8.7 术语表.....	20
6.2 功能方框图.....	8	9 修订历史记录	20
6.3 特性说明.....	8	10 机械、封装和可订购信息	21
6.4 器件功能模式.....	13	10.1 机械数据.....	22

4 引脚配置和功能

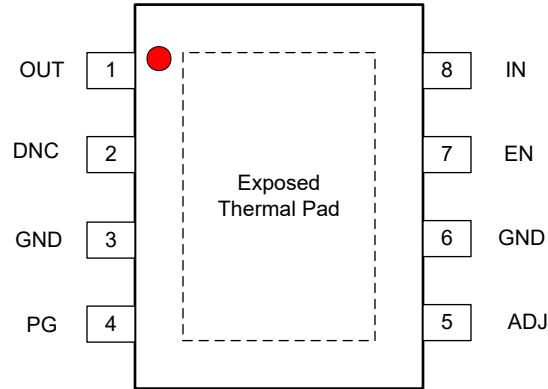


图 4-1. DDA 封装，8 引脚 HSOIC（顶视图）

表 4-1. 引脚功能

引脚名称		DDA	类型	说明
ADJ	5	I	可调节输入引脚。将外部基准电压直接连接到此引脚或使用分压器连接以降低输出电压。该引脚内部连接到误差放大器的反相输入端。为了补偿线路影响、请在此引脚附近放置一个 0.1μF 电容器。	
DNC	2	—	请勿将此引脚连接到电压源。将此引脚悬空或连接至 GND 以提高热性能。	
EN	7	I	使能引脚。低于 V_{IL} 的低电平信号会禁用器件，高于 V_{IH} 的高电平信号会启用器件。不要将这个引脚悬空。	
GND	3, 6	G	GND 引脚。将此引脚连接到低阻抗接地路径。	
IN	8	I	输入电源电压引脚。为获得出色的瞬态响应并尽可能减小输入阻抗，请在 IN 到 GND 之间使用建议值或更高的陶瓷电容器。请参阅 建议运行条件 表。将输入电容器放置在尽可能靠近器件输入引脚的位置以补偿线路影响。更多详细信息，请参阅 输入和输出电容器选择 部分。	
OUT	1	O	稳压输出电压引脚。需要在 OUT 到 GND 之间连接一个电容器以确保稳定性。为了获得最佳的瞬态响应，请在 建议运行条件 表中提供的 C_{OUT} 值范围内选择一个陶瓷电容器。请尽可能将此电容靠近设备的输出端放置。更多详细信息，请参阅 输入和输出电容器选择 部分。	
PG	4	O	高电平有效、开漏电源正常引脚。通过上拉电阻将此引脚连接到正电压。器件启动后，仅当跟踪器输出电压分别低于或超过标称 V_{OUT} 值的欠压或过压阈值时，该引脚才假定为逻辑低电平。此功能有助于确定跟踪器输出端可能存在的故障情况。更多详细信息，请参阅 电源正常 部分。	
散热焊盘	—		散热焊盘。将焊盘连接到 GND 以获得尽可能出色的热性能。	

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{IN}	非稳压输入引脚电压	-40	45	V
V _{OUT}	稳压输出引脚电压	-5	45	V
V _{EN}	使能引脚电压	-40	45	V
V _{PG}	电源正常引脚电压	-0.3	45	V
V _{ADJ}	可调节参考输入引脚电压	-40	45	V
T _J	工作结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2500	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±1000	
		所有引脚		
		转角引脚		

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	典型值	最大值	单位
V _{IN}	输入电压	3.3		40	V
V _{OUT}	输出电压	2		40	V
I _{OUT}	输出电流	0		300	mA
V _{EN}	使能引脚电压	0		40	V
V _{ADJ}	可调节参考引脚电压	2		40	V
V _{PG}	电源正常引脚电压	0		40	V
C _{IN}	输入电容器 ⁽¹⁾		1		μF
C _{OUT}	输出电容器 ⁽²⁾	1		100	μF
ESR	输出电容器 ESR 要求	0.001		2	Ω
T _J	工作结温	-40		150	°C

(1) 为确保强大的 EMI 性能, 建议的最小输入电容为 500nF。

(2) 为了实现稳定性, 需要最小值为 500nF 的有效输出电容。

5.4 热性能信息

热指标 ^{(1) (2)}		TPS7B4261-Q1	
		DDA (HSOIC)	单位
		8 引脚	
R _{θJA}	结至环境热阻	48	°C/W
R _{θJCTop}	结至外壳 (顶部) 热阻	71.6	°C/W
R _{θJB}	结至电路板热阻	23.5	°C/W
ψ _{JT}	结至顶部特征参数	9.3	°C/W
ψ _{JB}	结至电路板特征参数	23.3	°C/W
R _{θJCbot}	结至外壳 (底部) 热阻	11.5	°C/W

- (1) 此热数据基于 JEDEC 标准高 K 板布局, JESD 51-7。这是一种两信号、两平面、四层的电路板, 外层镀有 2oz 铜。铜箔圆配被焊接到散热焊垫上。正确的连接工艺也必须合并在一起。
- (2) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

规定条件如下 (除非另有说明): T_J = -40°C 至 +150°C, V_{IN} = 13.5V, I_{OUT} = 100μA, C_{OUT} = 1μF, C_{IN} = 1μF, V_{EN} = 2V 和 V_{ADJ} = 5V; 典型值条件为 T_J = 25°C

参数	测试条件	最小值	典型值	最大值	单位	
I _Q	静态电流	V _{IN} = 5.4V 至 40V, I _{OUT} = 100μA, T _J = 25°C		75	μA	
		V _{IN} = 5.4V 至 40V, I _{OUT} = 100μA, -40°C < T _J < 85°C		80		
		V _{IN} = 5.4V 至 40V, I _{OUT} = 100μA		85		
I _{GND}	接地电流	V _{IN} = 5.4V 至 40V, I _{OUT} = 300mA		3.2	mA	
I _{SHUTDOWN}	关断电源电流	V _{ADJ/EN} = 0V		3.8	μA	
I _{ADJ}	ADJ 引脚电流	I _{OUT} = 100μA		0.9	μA	
V _{UVLO (RISING)}	上升输入电源 UVLO	V _{IN} 上升, I _{OUT} = 5mA	2.6	2.7	2.85	V
V _{UVLO (FALLING)}	下降输入电源 UVLO	V _{IN} 下降, I _{OUT} = 5mA	2.3	2.4	2.5	V
V _{UVLO (HYST)}	V _{UVLO(IN)} 迟滞			300	mV	
ΔV _{OUT}	输出电压跟踪准确度	V _{IN} = V _{OUT} + 1.2V 至 40V, I _{OUT} = 100μA 至 300mA ⁽¹⁾	-6		6	mV
ΔV _{OUT (ΔVIN)}	线性调节率	V _{IN} = V _{OUT} + 1.2V 至 40V, I _{OUT} = 100μA	-0.4		0.4	mV
ΔV _{OUT (ΔIOUT)}	负载调节率	V _{IN} = V _{OUT} + 1.2V, I _{OUT} = 100μA 至 300mA ⁽¹⁾			2.1	mV
V _{DO}	压降电压	I _{OUT} = 200mA, V _{ADJ} ≥ 3.3V, V _{IN} = V _{ADJ}		330	700	mV
I _{CL}	输出电流限制	V _{IN} = V _{OUT} + 1.2V, V _{OUT} 短接至 90% x V _{ADJ}	301	430	560	mA
V _{PG UV-TH}	电源正常欠压阈值, V _{ADJ} - V _{OUT}	V _{OUT} 降低, V _{IN} = V _{ADJ} = 0.5V, V _{IN} 降低	40	80	120	mV
V _{PG OV-TH}	电源正常过压阈值, V _{OUT} - V _{ADJ}	V _{OUT} 上升, V _{IN} ≥ V _{ADJ/REF} + 0.5V	40	80	120	mV
V _{PG-HYST}	电源正常状态迟滞			25	mV	
t _{PG}	电源正常状态反应时间		20	50	80	μS
V _{PG, LOW}	电源正常状态输出低电平电压	I _{PG} = 1.8mA			0.4	V
I _{PG, LEAKAGE}	电源正常引脚泄漏电流	V _{PG} = 5V			2	μA
V _{EN, OFF}	器件禁用电压范围				0.8	V
V _{EN, ON}	器件使能电压范围		1.8		V	
I _{EN}	使能引脚漏电流	V _{EN} = 5V			1	μA
PSRR	电源纹波抑制	V _{RIPPLE} = 1V _{PP} , 频率 = 100Hz, I _{OUT} ≥ 5mA		80	dB	
V _n	输出噪声电压	V _{OUT} = 3.3V, I _{OUT} = 1mA, BW = 10Hz 至 100KHz, 将 5μV _{RMS} 参考用于此测量		150	μV _{RMS}	
I _{REV}	V _{IN} 下的反向电流	V _{IN} = 0V, V _{OUT} = 32V	-0.6		0.6	μA
I _{REV-N1}	V _{IN} 为负时的反向电流	V _{IN} = -20V, V _{OUT} = 20V	-1.2		1.2	μA

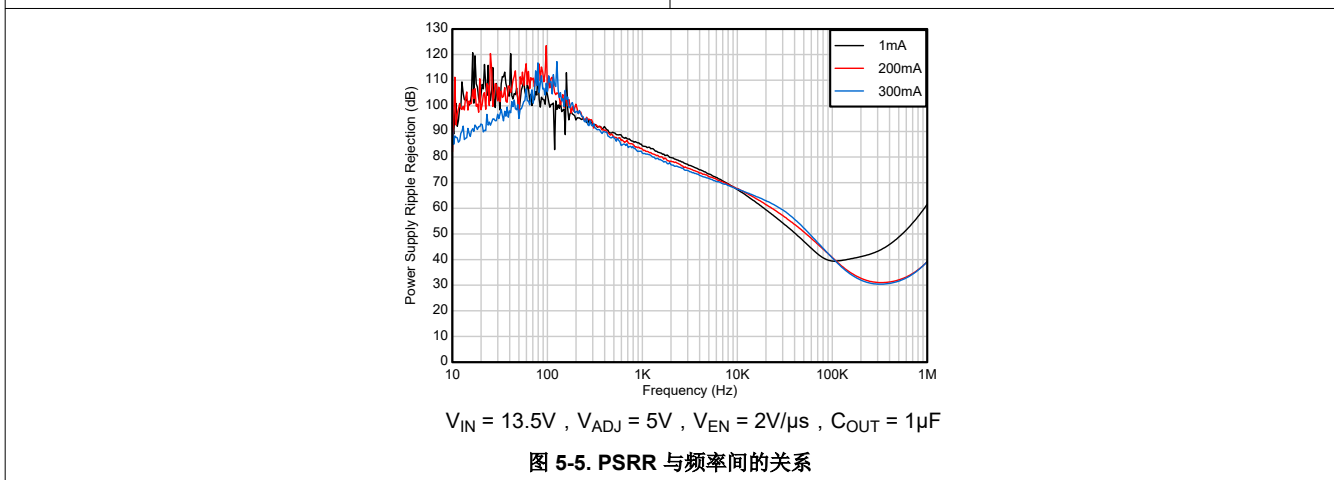
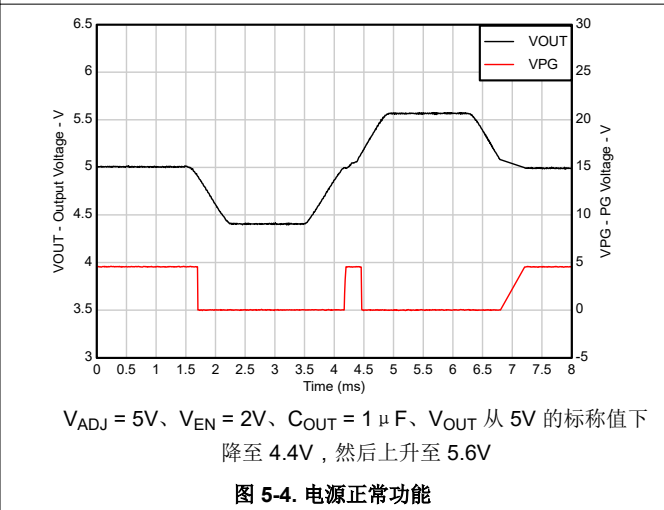
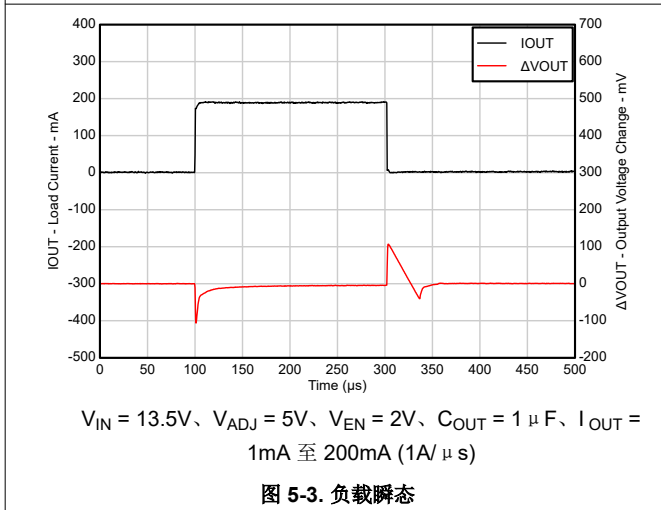
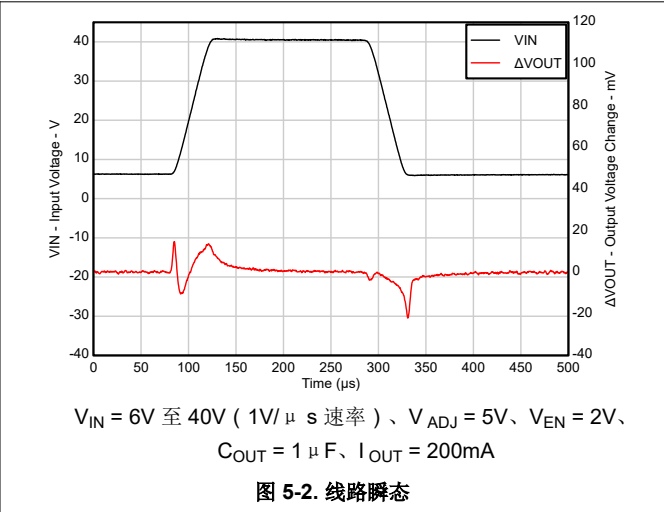
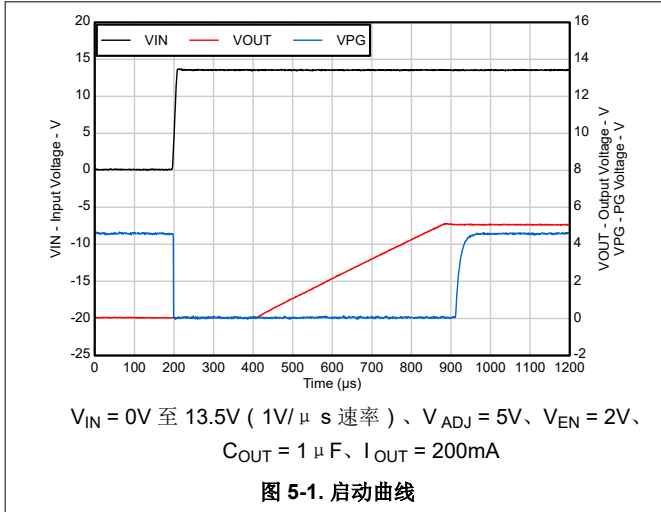
5.5 电气特性 (续)

规定条件如下 (除非另有说明) : $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 1\mu\text{F}$, $C_{IN} = 1\mu\text{F}$, $V_{EN} = 2\text{V}$ 和 $V_{ADJ} = 5\text{V}$; 典型值条件为 $T_J = 25^{\circ}\text{C}$

参数		测试条件	最小值	典型值	最大值	单位
$T_{SD}(\text{SHUTDOWN})$	结关断温度			175		$^{\circ}\text{C}$
$T_{SD}(\text{HYST})$	热关断迟滞			15		$^{\circ}\text{C}$

- (1) 由于功率耗散可能很大, 因此该规格是使用低占空比脉冲测试测得的。有关在将结温保持在 150°C 以下时器件耗散多少功率的更多信息, 请参阅热性能信息表。

5.6 典型特性



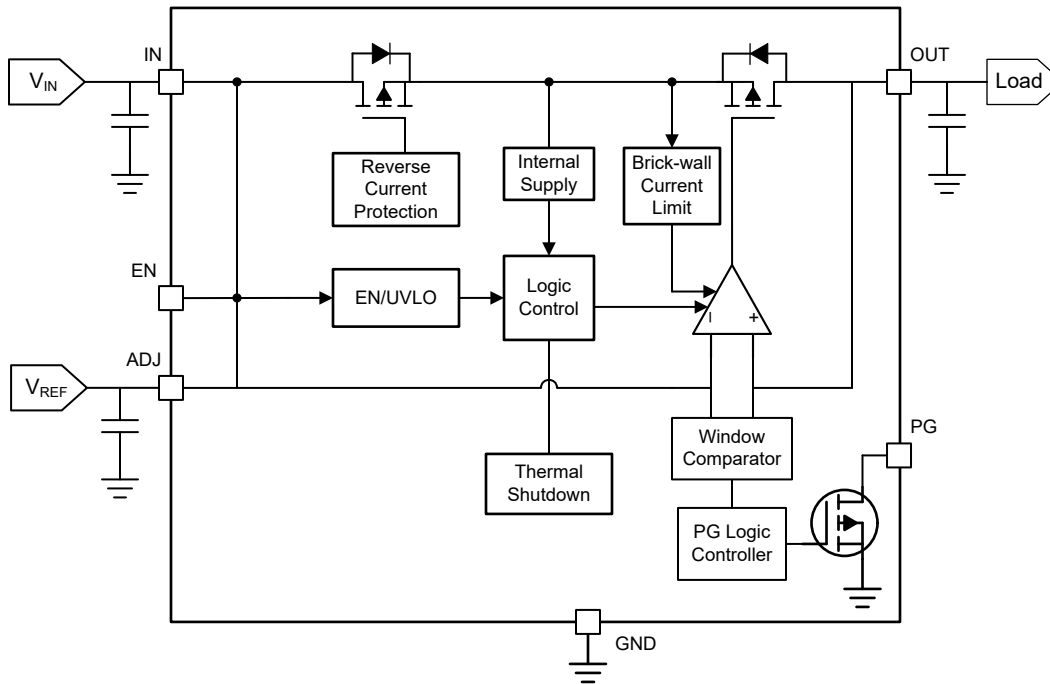
6 详细说明

6.1 概述

TPS7B4261-Q1 是一款集成低压降 (LDO) 电压跟踪器，具有超低跟踪容差。由于在为非板载传感器，供电时很容易发生电缆短路，因此 LDO 中内置了多项功能。这些功能可防止出现电池短路、GND 短路和反向电流等故障状况。

此外，该器件还具有热关断保护、砖墙式电流限制、欠压锁定(UVLO)、反极性保护以及欠压和过压检测功能。

6.2 功能方框图



6.3 特性说明

6.3.1 跟踪器输出电压 (V_{OUT})

由于该器件是跟踪 LDO，因此输出电压等于向 ADJ 引脚提供的电压，只要为 ADJ 引脚 ($\geq 2V$) 和 EN 引脚 ($\geq 1.8V$) 提供足够的电压即可。只要 V_{EN} 和 V_{ADJ} 都超过 $V_{EN, ON}$ ，LDO 就会保持启用状态；当 V_{EN} 或 V_{ADJ} 中的任何一个小于 $V_{EN, OFF}$ 时，LDO 将保持禁用状态。 $V_{EN, ON}$ 和 $V_{EN, OFF}$ 的值可在 [电气特性](#) 表中找到。该器件集成了软启动特性，可使输出电压线性上升，并限制启动时的浪涌电流。启动后和达到稳定状态时，在所有指定的工作条件下，输出电压 V_{OUT} 相对于 ADJ 引脚 V_{ADJ} 上设置的电压保持在 $\pm 6mV$ 范围内。

6.3.1.1 输出电压等于基准电压

图 6-1 展示了直接施加到 ADJ 引脚上的外部参考电压。在这些条件下，LDO 输出电压等于基准电压，如方程式 1 所示。

$$V_{OUT} = V_{REF} \quad (1)$$

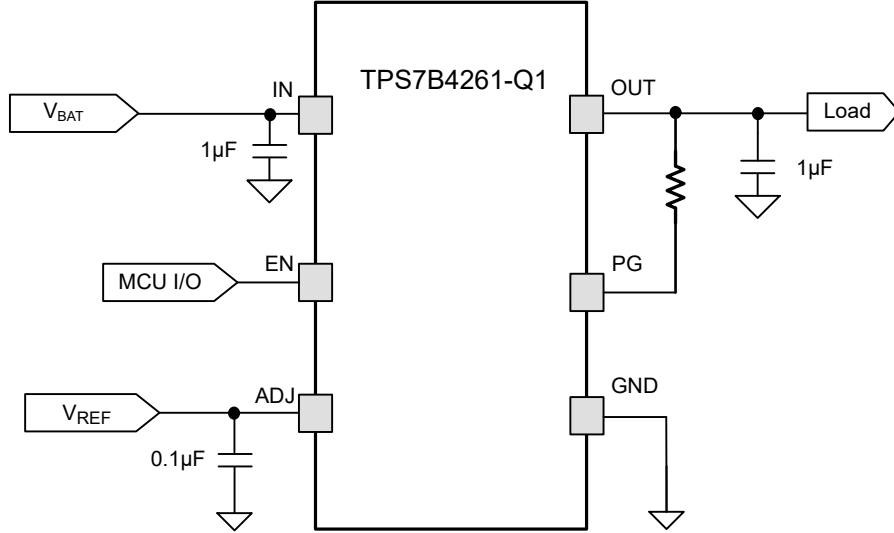


图 6-1. 跟踪器输出电压等于基准电压

6.3.1.2 输出电压小于基准电压

如图 6-2 所示，在 ADJ 引脚上连接一个外部电阻分压器有助于生成低于基准电压的输出电压。R₁ 和 R₂ 都必须小于 100kΩ 才能最小化 ADJ 引脚泄漏电流 I_{ADJ} 导致的电压误差。方程式 2 计算 V_{out}。

$$V_{OUT} = \frac{(V_{REF} \times R_2)}{R_1 + R_2} \quad (2)$$

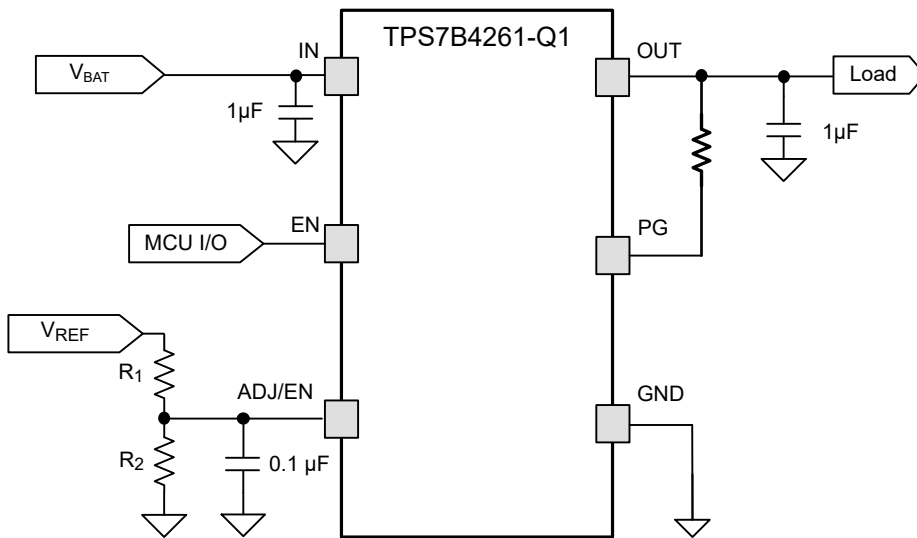


图 6-2. 跟踪器输出电压低于基准电压

6.3.2 反向电流保护

TPS7B4261-Q1 采用了背对背 PMOS 拓扑结构, 该结构可在故障状态下 (导致 V_{OUT} 高于 V_{IN} 以及随后的反向电流流动) 保护器件免受故障条件的损坏。只要是 **绝对最大额定值** 未违反, 如果即使发生该故障条件, 器件也不会受到损坏。这种集成保护功能消除了对外部二极管的需求。反向电流比较器通常对 $10\ \mu\text{s}$ 中的反向电压情况作出响应, 并与阻断 PMOS 晶体管的体二极管一起将反向电流限制为 I_{REV} , 如 **电气特性** 表中所述。

6.3.3 电源正常

TPS7B4261-Q1 具有基于开漏的电源正常引脚, 有助于检测跟踪器输出端的欠压和过压故障情况。此引脚可以通过上拉电阻器上拉至稳压轨, 并且此 $V_{pull-up}$ 轨的最大值可根据中列出的 V_{PG} 范围值推断 **建议运行条件**。输入电压 V_{IN} 必须高于 V_{UVLO} (上升), V_{PG} 才具有有效值。

只要设备启用 ($V_{EN} > V_{EN, ON}$) 且提供了足够的 V_{IN} 和 V_{ADJ} ($V_{IN} \geq V_{IN, min}$, $V_{ADJ} \geq V_{ADJ, min}$), 当跟踪器输出电压保持在 $V_{PG, UV, ADJ-TH}$ 和 $V_{PG, OV-TH}$ 值内时, PG 引脚就会进入高阻抗状态, 并上拉至 $V_{PULL-UP}$ 。

跟踪器输出电压的变化超过电源正常开关阈值, 同样持续时间超过 t_{PG} , 使 PG 引脚处于低电平, 达到电压 $V_{PG} < V_{PG, LOW}$ 电平。 V_{OUT} 中最后小于 t_{PG} 的瞬变不会被 PG 引脚标记为错误。当器件被禁用 ($V_{EN} < V_{EN, OFF}$) 时、即使提供了足够的 V_{IN} 和 V_{ADJ} 、PG 引脚也保持低电平。**电气特性** 表中指定了 $V_{PG, OV-TH}$ 、 $V_{PG, UV-TH}$ 、 t_{PG} 以及 $V_{UV, PG, LOW}$ 的值。

6.3.4 欠压锁定

该器件具有内部固定的欠压锁定 (UVLO) 阈值。当输入电压 V_{IN} 降至欠压锁定电平以下 (请参阅 **电气特性** 表中的 $V_{UVLO(FALLING)}$ 参数) 时, 将激活欠压锁定。此激活可确保稳压器不会在低输入电源电压期间锁存至未知状态。如果输入电压具有降至 UVLO 阈值以下的负瞬态并恢复, 那么当输入电压恢复到所需的电平时, 稳压器会关断并按标准上电序列加电 (请参阅 **电气特性** 表中的 $V_{UVLO(RISING)}$ 参数)。

6.3.5 热保护

当结温上升至大约 175°C 时, 过热保护会禁用输出以使器件冷却。当结温被冷却至大约 160°C 时, 输出电路又会被启用。根据功率耗散、热阻和环境温度, 过热保护电路可循环关闭和打开直到导致过多功率耗散的情况消失。这一循环操作会限制稳压器的功耗, 防止稳压器因过热而损坏。

TPS7B4261-Q1 的内部保护电路经过设计, 可防止出现过载情况。该电路并不是为了取代适当的散热装置。TPS7B4261-Q1 持续不断地运行至热关断状态会降低器件的可靠性。

6.3.6 电流限值

该器件具有内部电流限制电路，可在过流或短路事件期间保护器件。如图 6-3 中所示，该电流限制电路是一种砖墙方案。当处于电流限制状态时，该器件会提供 I_{CL} 并且输出电压未经调节。在这种情况下，输出电压取决于负载阻抗。

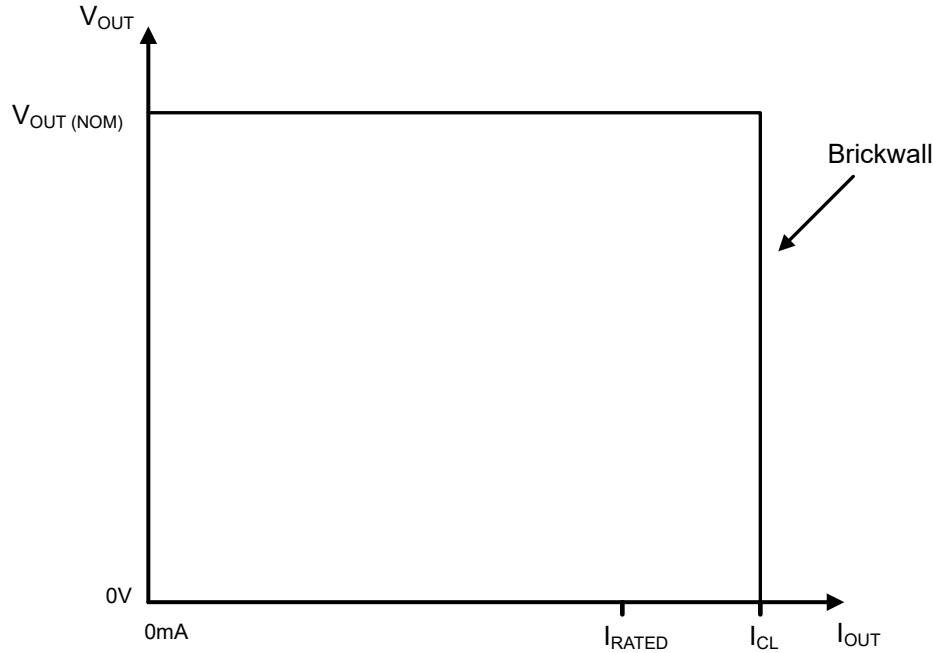


图 6-3. 砖墙电流限制方案

在电流限制事件期间，由于电流电平升高和输入到输出差分电压 ($V_{IN} - V_{OUT}$) 增加，有可能出现高功率耗散。如果器件散热量过高，它会进入热关断状态。如果器件冷却后重新开启时电流限制条件未消失，则器件将进入热关断状态。这个循环会一直持续到电流限制条件消失。该器件能够承受此故障，但在该模式下重复运行会导致长期可靠性下降。

6.3.7 输出短路至电池

当输出短接至电池时（请参阅图 6-4）、TPS7B4261-Q1 能够耐受并且不会对器件造成损坏。当设备由图 6-5 电压较低的隔离电源供电时，也会发生电池短路（请参阅图 6-5）。在本例中，当 V_{OUT} 上发生电池短路（典型值为 14V）时，TPS7B4261-Q1 电源输入电压设置为 7V，通常运行电压为 5V。背对背 PMOS 拓扑有助于限制流经 V_{IN} 和 I_{REV} 的连续反向电流、如电气特性表中所示。

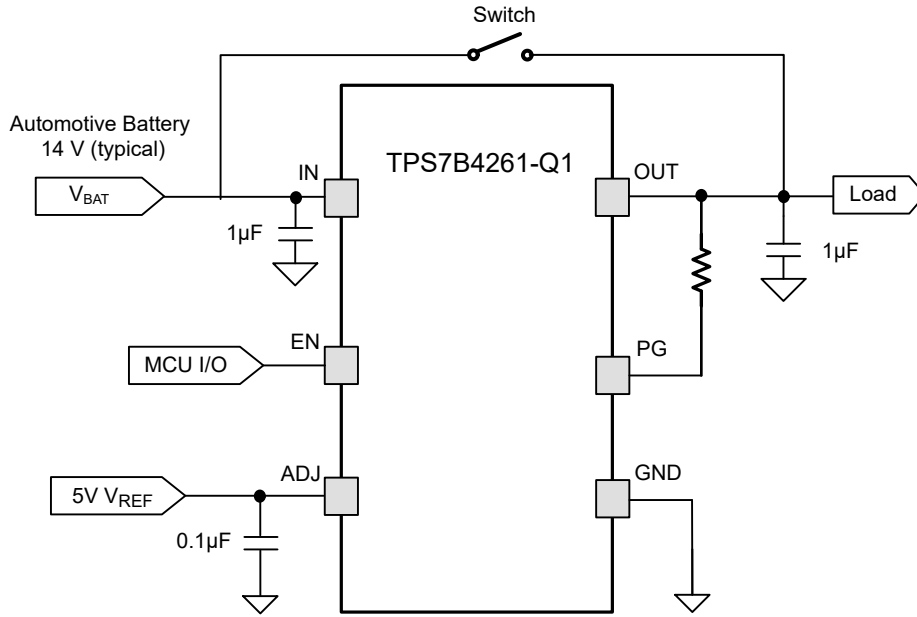


图 6-4. 跟踪器输出短路至电池

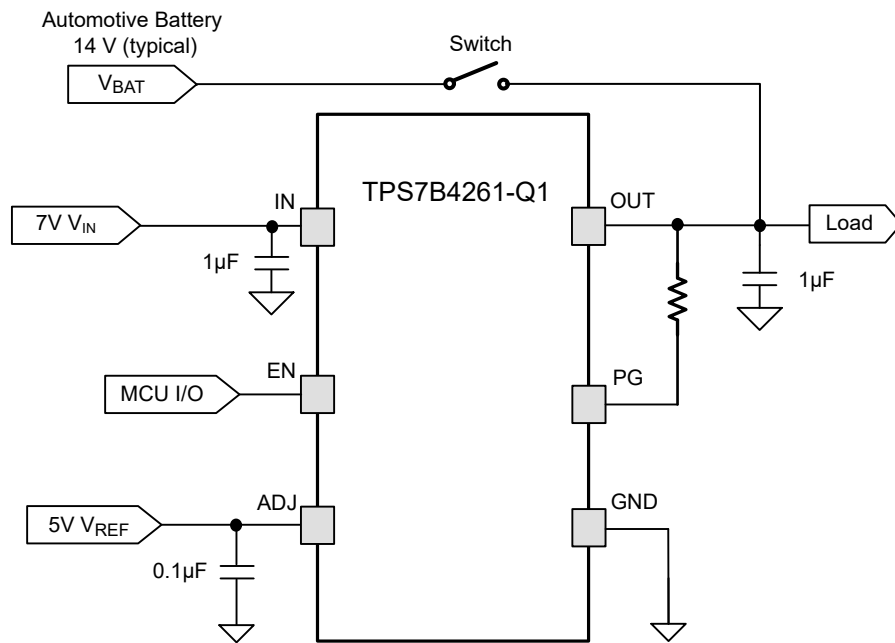


图 6-5. 跟踪器输出电压高于输入电压

ADVANCE INFORMATION

6.4 器件功能模式

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 [电气特性](#) 表。

表 6-1. 器件功能模式比较

工作模式	参数 ⁽¹⁾				
	V_{IN}	V_{ADJ}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(Nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{ADJ} > V_{EN, ON}$	$V_{EN} > V_{EN, ON}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J \leq 150^{\circ}C$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{ADJ} > V_{EN, ON}$	$V_{EN} > V_{EN, ON}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用 (任何真条件都会 禁用该器件)	$V_{IN} < V_{UVLO}$	$V_{ADJ} < V_{EN, OFF}$	$V_{EN} < V_{EN, OFF}$	不适用	$T_J > T_{SD(shutdown)}$

(1) 当 V_{IN} 大于 V_{UVLO} (rising) 且 V_{ADJ} 和 V_{EN} 都大于使能上升阈值 $V_{EN, ON}$ 时，器件将打开。

6.4.1 正常运行

器件输出电压 V 满足以下条件时，电压 $V_{OUT(Nom)}$ 会跟踪 ADJ 引脚上的基准：

- 输入电压为至少 $3.3V$ ($V_{IN(min)}$)，大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)。
- ADJ 引脚上的基准电压和使能引脚电压 V_{EN} 都大于使能上升阈值 $V_{EN, ON}$ 。 ADJ 引脚上的电压在适当的 V_{REF} 值保持稳定。
- 输出电流小于 $I_{(max)}$ ($I_{OUT} \leq 300mA$)。
- 器件结温低于热关断温度 ($T_J < T_{SD}$)。

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。在此模式下，输出电压会跟踪输入电压。在此模式下，器件的瞬态性能会显著下降。在此模式下，导通晶体管驱动为完全导通。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件处于压降状态时， $V_{IN} < V_{OUT(NOM)} + V_{DO}$ ，紧随正常稳压状态，但不在启动期间）时，导通晶体管被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于标称输出电压加上压降电压 ($V_{OUT(NOM)} + V_{DO}$) 的值时，输出电压可能会过冲很短的时间，而器件会将导通晶体管拉回到饱和区域。

6.4.3 在 $V_{IN} < 3.3V$ 的情况下运行

对于低于 $3.3V$ 和高于 V_{UVLO} (falling) 的输入电压，LDO 继续运行，但某些电路可能没有适当的余量以在规格范围内运行。当输入电压下降至 V_{UVLO} (FALLING) 以下时，器件关断。

6.4.4 通过 ADJ 和 EN 控件禁用

ADJ 和 EN 引脚都可以独立禁用器件。通过强制 V_{ADJ} 或 V_{EN} 低于 $V_{EN, OFF}$ 来关断器件的输出。当被禁用时，导通晶体管被关闭，内部电路被关断，并且 LDO 处于低功耗模式。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 压降电压

压降电压 (V_{DO}) 被定义为输入电压减去输出电压 ($V_{IN} - V_{OUT}$)，在这种情形下，导通晶体管完全导通。当输入电压下降到误差放大器将传输晶体管的栅极驱动至电源轨时，就会出现这种情况。在这种情况下，控制环路没有剩余的运行余量。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压直接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降，但要减去压差电压 (V_{DO})。

在压降模式下，不再调节输出电压，瞬态性能会严重下降。该器件会失去 PSRR、负载瞬态可能会导致较大的输出电压偏差。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定输出电流 (I_{RATED} ，见表 [建议运行条件](#))，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$ 。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (3)$$

7.1.2 反向电流

TPS7B4261-Q1 集成了反向电流保护功能，可防止故障情况造成损坏从而导致 V_{OUT} 高于 V_{IN} 。在这种故障情况下，只要 V_{IN} 和 V_{OUT} 的绝对最大值未超过规定值，且 $V_{OUT} - V_{IN}$ 小于 40V，就不会发生损坏，并且流经 LDO 的反向电流小于 1.2 μA (最大值)。反向电流比较器通常对反向电压条件作出响应，并且与阻断 PMOS 晶体管的体二极管一起，在 10 μs 内限制反向电流。

7.2 典型应用

图 7-1 显示了 TPS7B4261-Q1 的典型应用电路。

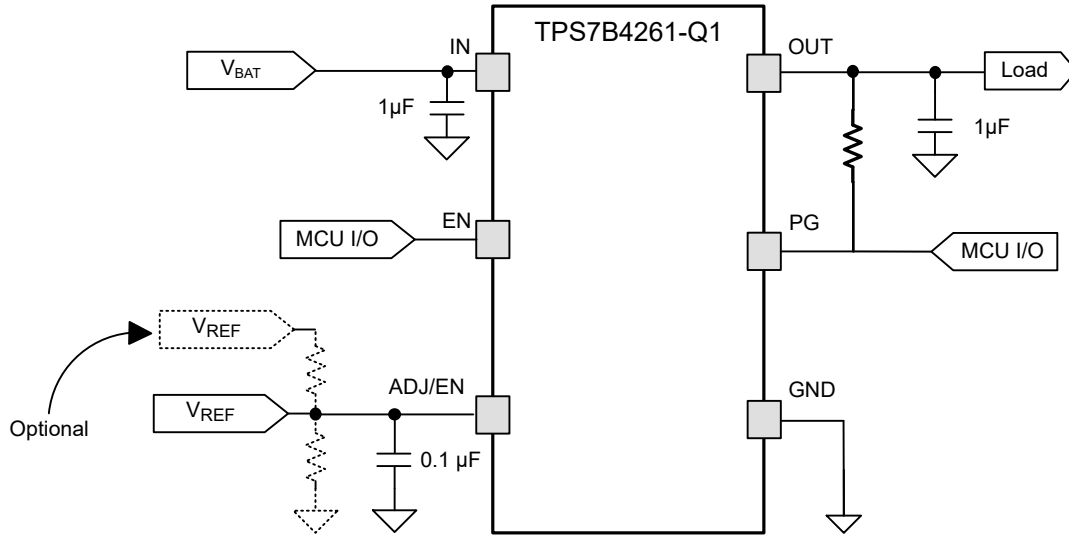


图 7-1. 典型应用原理图

7.2.1 设计要求

此设计示例使用表 7-1 中列出的参数。

表 7-1. 设计参数

设计参数	示例值
输入电压	3.3V 至 40V
可调节基准电压	2V 至 40V
使能电压	1.8V 至 40V
输出电压	2V 至 40V
输出电流额定值	300mA
输出电容器范围	1µF 至 100µF
输出电容器 ESR 范围	1mΩ 至 2Ω

7.2.2 详细设计过程

7.2.2.1 输入和输出电容器选择

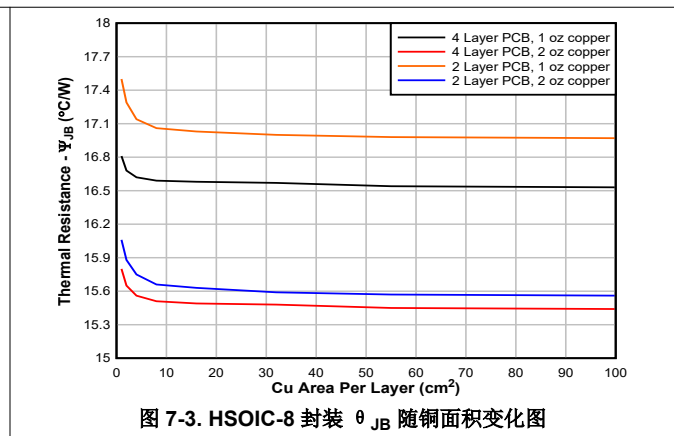
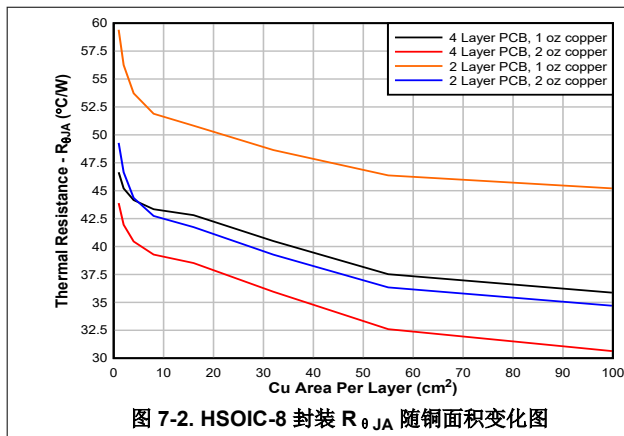
根据终端应用的不同，可以使用不同值的外部组件。一些应用在快速负载阶跃期间使用容值更大的输出电容器，以防止发生复位。使用电介质类型为 X5R 或 X7R 的低等效串联电阻 (ESR) 陶瓷电容器，以获得更好的负载瞬态响应。

TPS7B4261-Q1 需要至少 $1\ \mu\text{F}$ 或更大 (500nF 或更大电容值) 的输出电容器来实现稳定性，并需要一个介于 $0.001\ \Omega$ 和 $2\ \Omega$ 之间的等效串联电阻 (ESR)。如果没有输出电容器，稳压器将振荡。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。对于大多数应用而言，OUT 引脚上的低 ESR、 $10\ \mu\text{F}$ 陶瓷电容器足以提供出色的瞬态性能。

为 TPS7B4261-Q1 使用最小 100nF 的输入电容器。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在很大的频率范围内具有高阻抗，请并联使用多个输入电容器以降低频率范围内的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.2.3 应用曲线

以下几个图说明了 $R_{\theta\text{JA}}$ 和 ψ_{JB} 与 HSOIC-8 (DDA) 封装铜面积和厚度之间关系的函数。这些图是基于尺寸为 $101.6\text{mm} \times 101.6\text{mm} \times 1.6\text{mm}$ 的两层和四层印刷电路板 (PCB) 生成的。对于 2 层电路板、底层是恒定尺寸的接地层、顶层铜与接地 (GND) 相连并发生变化。对于 4 层电路板、第二层是恒定尺寸的接地层、第三层是恒定尺寸的电源平面。顶层和底层铜填充连接至 GND 并以相同的速率变化。对于 4 层电路板、内部平面使用 1oz 厚度的覆铜。外层均使用 1oz 和 2oz 铜厚度进行仿真。器件下方设有一个 3×3 阵列的热通孔，其钻孔直径为 $300\ \mu\text{m}$ ，镀铜层厚度为 $25\ \mu\text{m}$ 。热通孔连接顶层和底层，如果是 4 层板，则连接第一个内层 GND 平面。[PowerPAD™ 热增强型封装应用手册](#) 讨论了热通孔对热性能的影响。



7.3 电源相关建议

该器件设计为可在 3.3V 至 40V 的输入电源电压范围内运行。

7.4 布局

7.4.1 布局指南

为了获得出色的整体性能，请将所有电路元件放置在电路板的同一侧。将这些元件放置在尽可能靠近各自 LDO 引脚连接的位置。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近。使用较宽的元件侧铜表面进行这些连接。强烈建议不要在输入和输出电容器上使用过孔和长布线，否则会对系统性能产生负面影响。使用嵌入在 PCB 中，或者位于 PCB 底部与元件相对位置的接地基准平面。该参考平面用于提供输出电压的精度并屏蔽噪声。该参考平面，当连接到散热焊盘时，其作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

7.4.1.1 封装

有关 TPS7B4261-Q1 的焊盘封装建议，请参阅本文档末尾的和 www.ti.com。

7.4.1.2 对于改进 PSRR 和噪声性能的电路板布局布线建议

为了改善交流性能(如 PSRR、输出噪声和瞬态响应等)、在设计电路板时为 V_{IN} 和 V_{OUT} 使用单独的接地层。仅在器件的 GND 引脚上连接每个接地层。此外，将输出电容器的接地连接直接连接到器件的 GND 引脚。

减小等效串联电感 (ESL) 和等效串联电阻 (ESR)，从而更大限度地提高性能和稳定性。将每个电容器放置在尽可能靠近器件且位于 PCB 同一侧安装稳压器的位置。

请勿将任何电容器放置在 PCB 的另一侧安装稳压器的位置。强烈建议不要使用过孔和长布线，因为这会对系统性能产生负面影响。过孔和长布线可能会导致不稳定。

如果可能，并且为了实现本文档中所述的最高性能、请使用与 TPS7B4261-Q1 评估板相同的布局模式。此评估板可从 www.ti.com 获取。

7.4.1.3 功率耗散和热效应注意事项

[方程式 4](#) 用于计算器件功率耗散。

$$P_D = I_{OUT} \times (V_{IN} - V_{OUT}) + I_Q \times V_{IN} \quad (4)$$

其中：

- P_D = 总功率耗散
- I_{OUT} = 输出电流
- V_{IN} = 输入电压
- V_{OUT} = 输出电压
- I_Q = 静态电流

因为 I_Q 远小于 I_{OUT} 、所以 [方程式 4](#) 中的 $I_Q \times V_{IN}$ 项可以忽略不计。

使用 [方程式 5](#) 计算在给定环境空气温度 (T_A) 下运行的器件的结温 (T_J)。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (5)$$

其中：

- $R_{\theta JA}$ = 结至周围环境的热阻抗

[方程式 6](#) 用于计算因功率耗散而导致的结温上升。

$$\Delta T = T_J - T_A = (R_{\theta JA} \times P_D) \quad (6)$$

对于给定的最大结温 (T_{JMAX})，可以使用来计算器件运行 [方程式 7](#) 时的最高环境空气温度 (T_{AMAX})。

$$T_{AMAX} = T_{JMAX} - (R_{\theta JA} \times P_D) \quad (7)$$

7.4.1.4 热性能与铜面积间的关系

最常用的热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此, $R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。[热性能信息](#) 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 (图 7-4)、PCB 和铜扩散面积决定。参数仅用作封装热性能的相对测量值。对于精心设计的热布局, $R_{\theta JA}$ 实际上是 $R_{\theta JCbot}$ 与 PCB 铜产生的热阻的总和。 $R_{\theta JCbot}$ 是 [热性能信息](#) 表中给出的结至外壳 (底部) 的热阻。

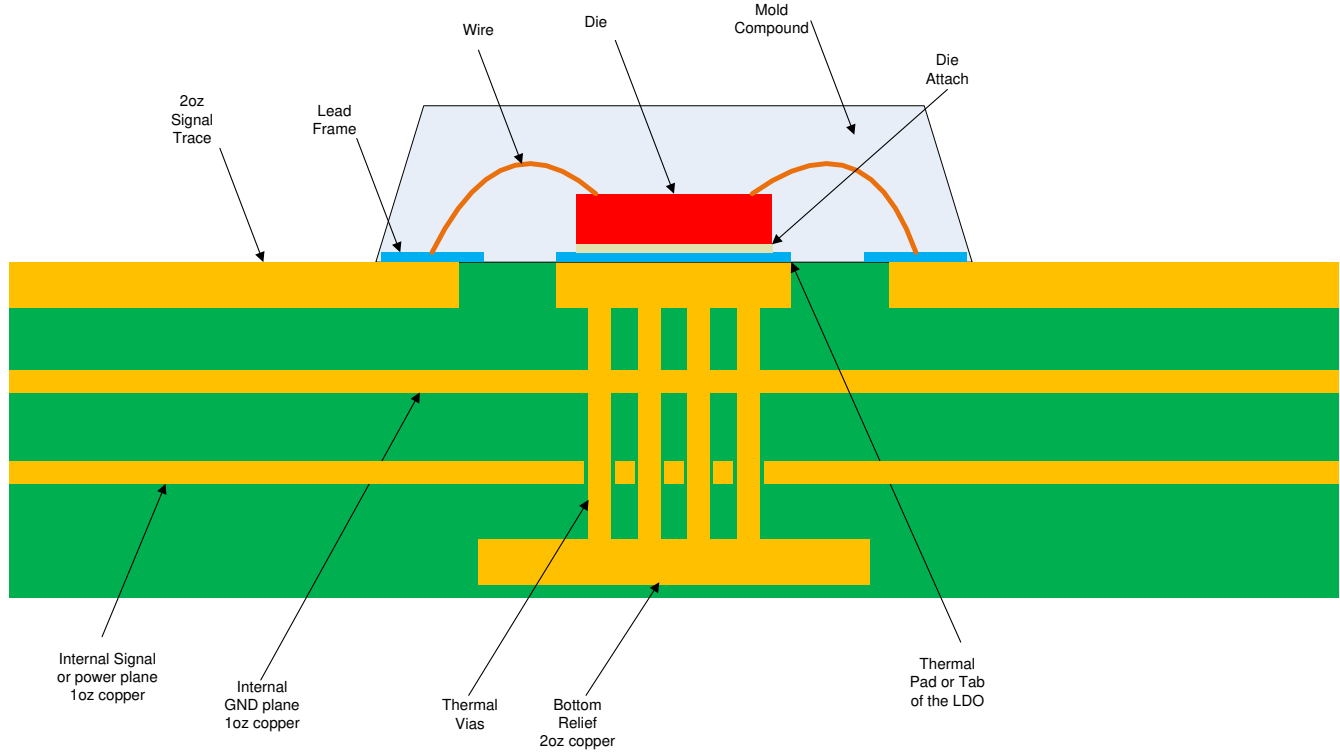


图 7-4. JEDEC 标准 2s2p PCB

ADVANCE INFORMATION

7.4.2 布局示例

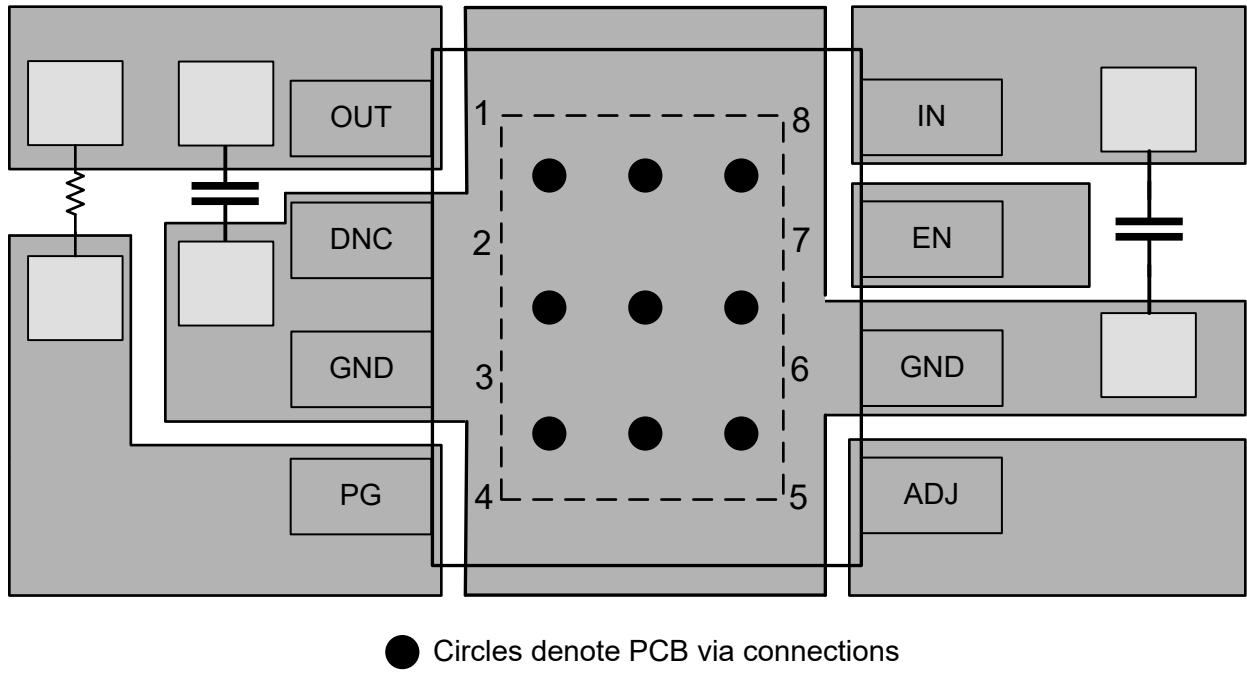


图 7-5. 布局示例

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

产品 ⁽¹⁾	V _{OUT}
TPS7B4261QDDARQ1	在 HSOIC (DDA) 封装中： Q 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。 R 为包装数量。 Q1 表示此器件是一款汽车级 (AEC-Q100) 器件。

(1) 要获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问器件产品文件夹 (www.ti.com)。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[PowerPAD™ 热增强型封装应用手册](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同


日期	修订版本	注释
January 2025	*	初始发行版

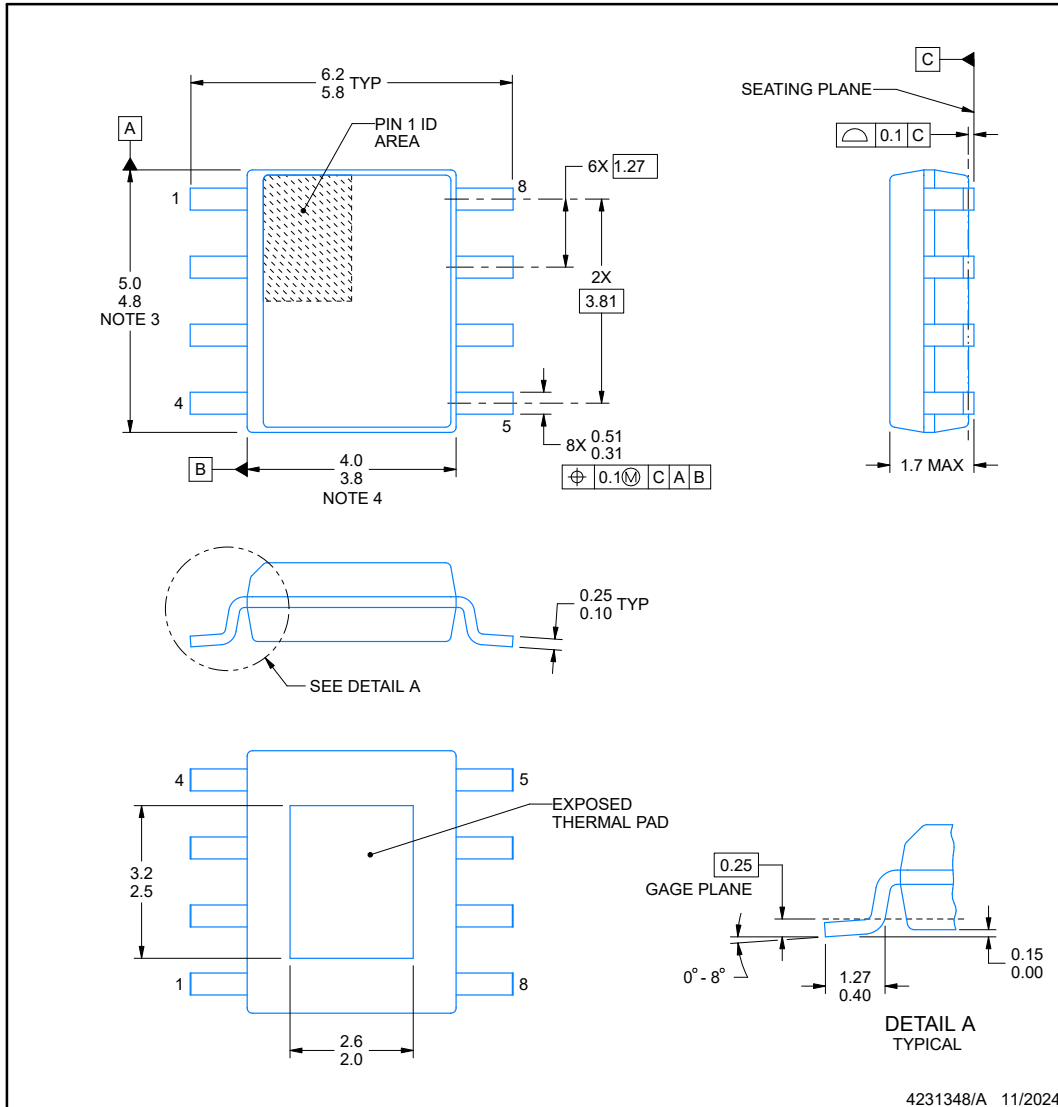
10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 机械数据

ADVANCE INFORMATION

DDA0008J-C02  **PACKAGE OUTLINE**
PowerPAD™ SOIC - 1.7 mm max height
PLASTIC SMALL OUTLINE



4231348/A 11/2024

PowerPAD is a trademark of Texas Instruments.

NOTES:

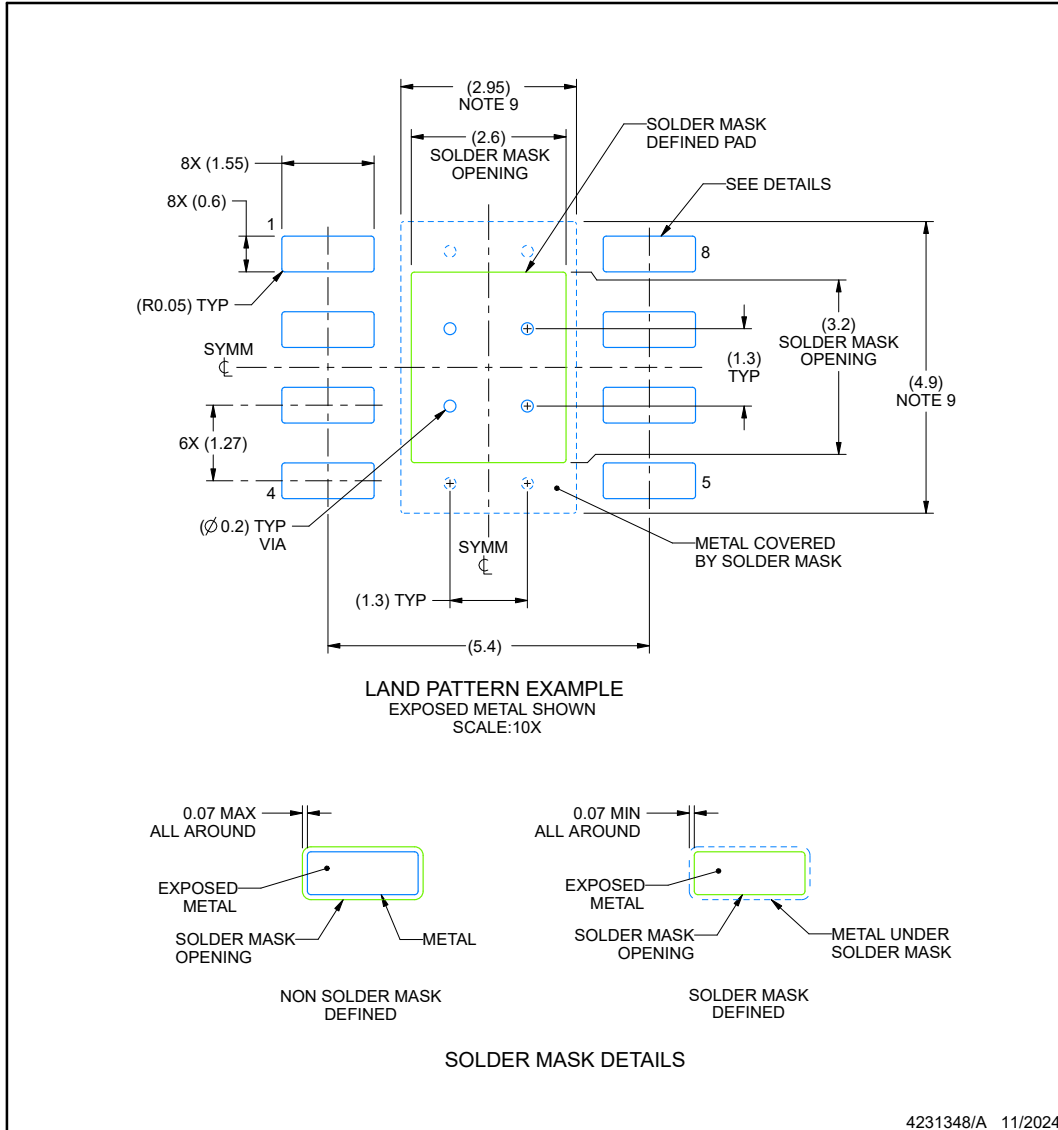
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

DDA0008J-C02

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

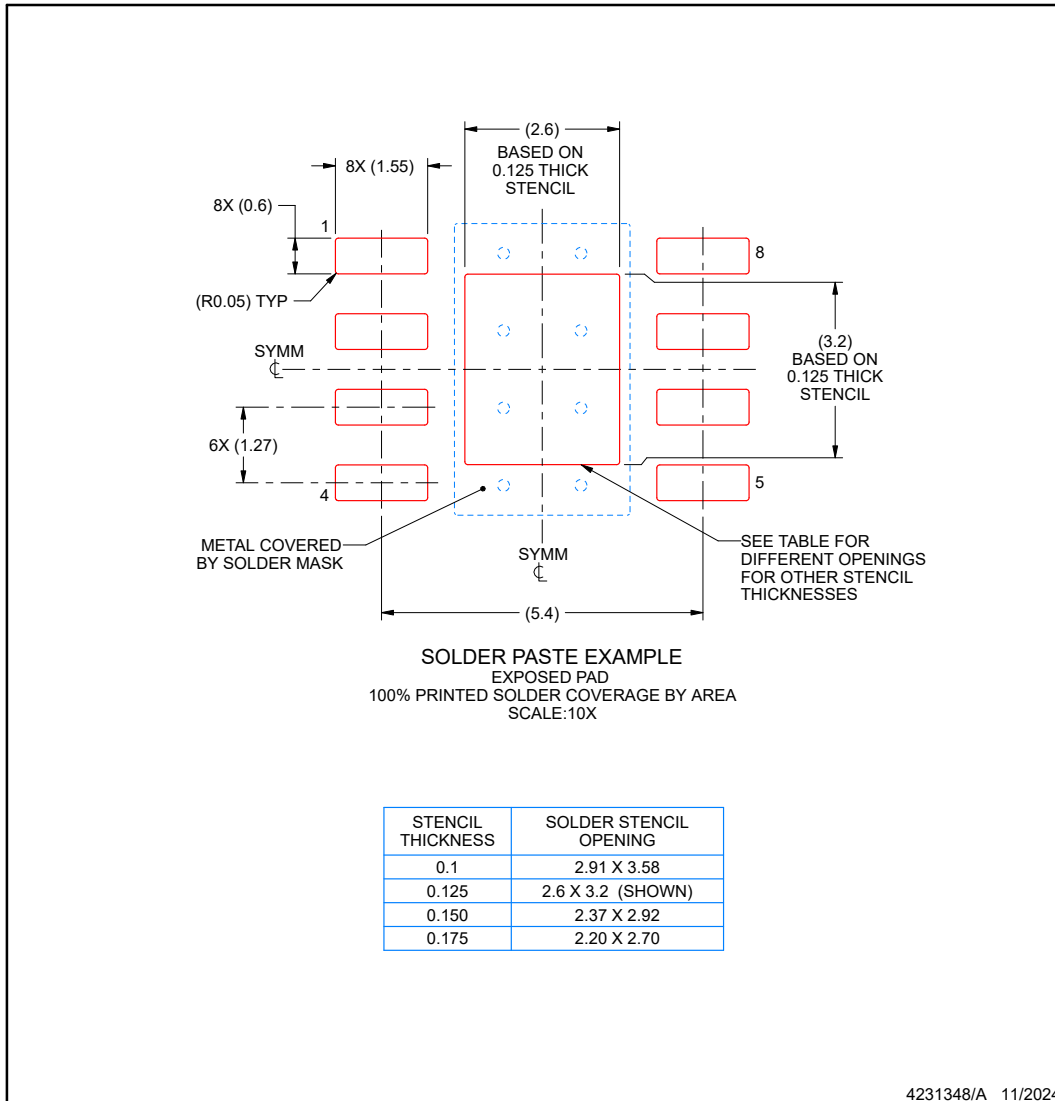
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008J-C02

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPS7B4261QDDARQ1	ACTIVE	SO PowerPAD	DDA	8	2500	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

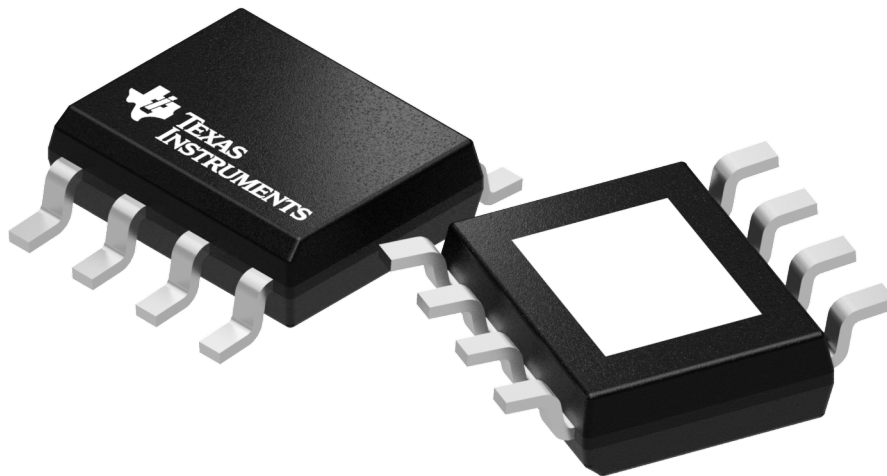
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

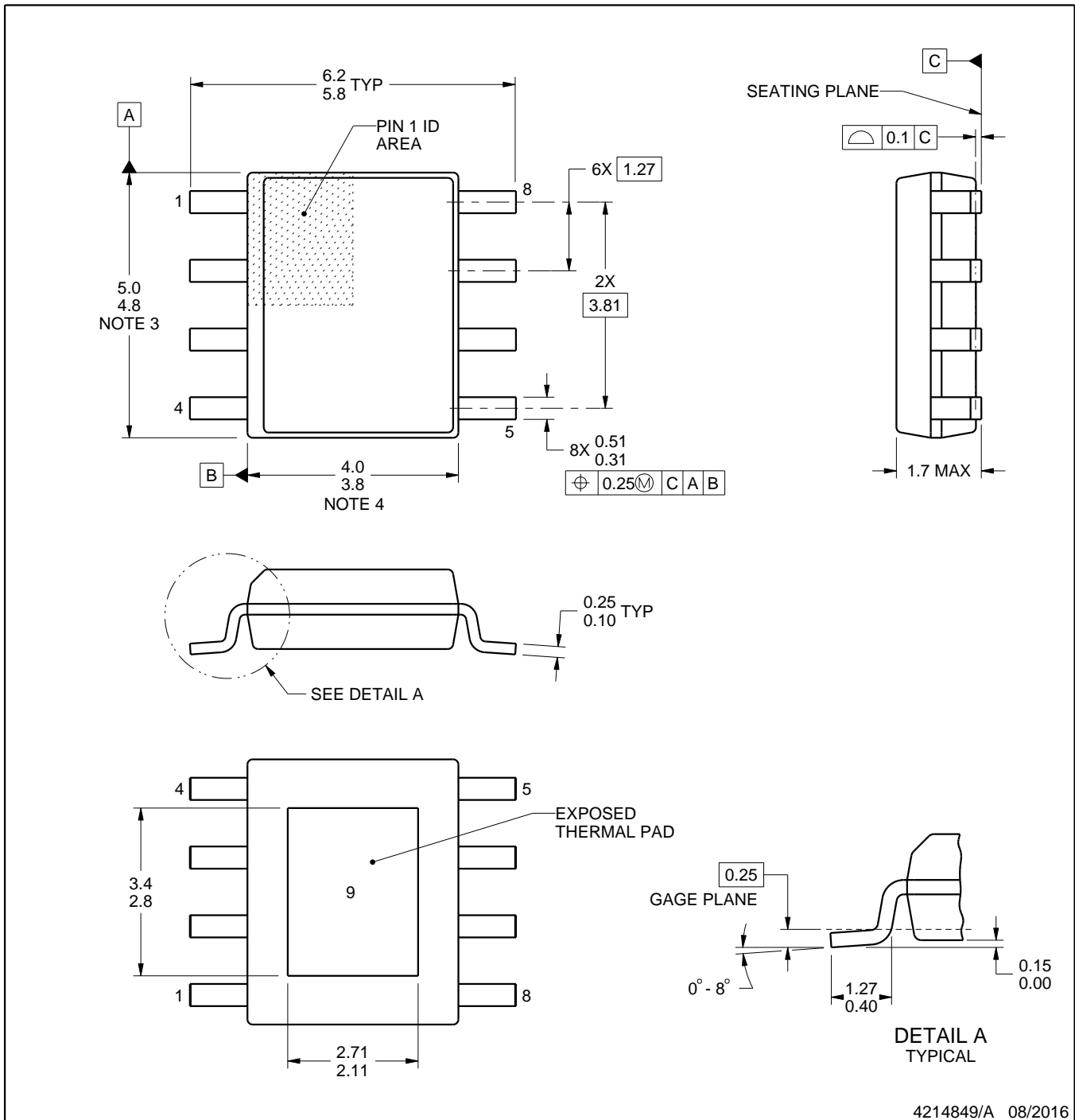
DDA0008B



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/A 08/2016

NOTES:

PowerPAD is a trademark of Texas Instruments.

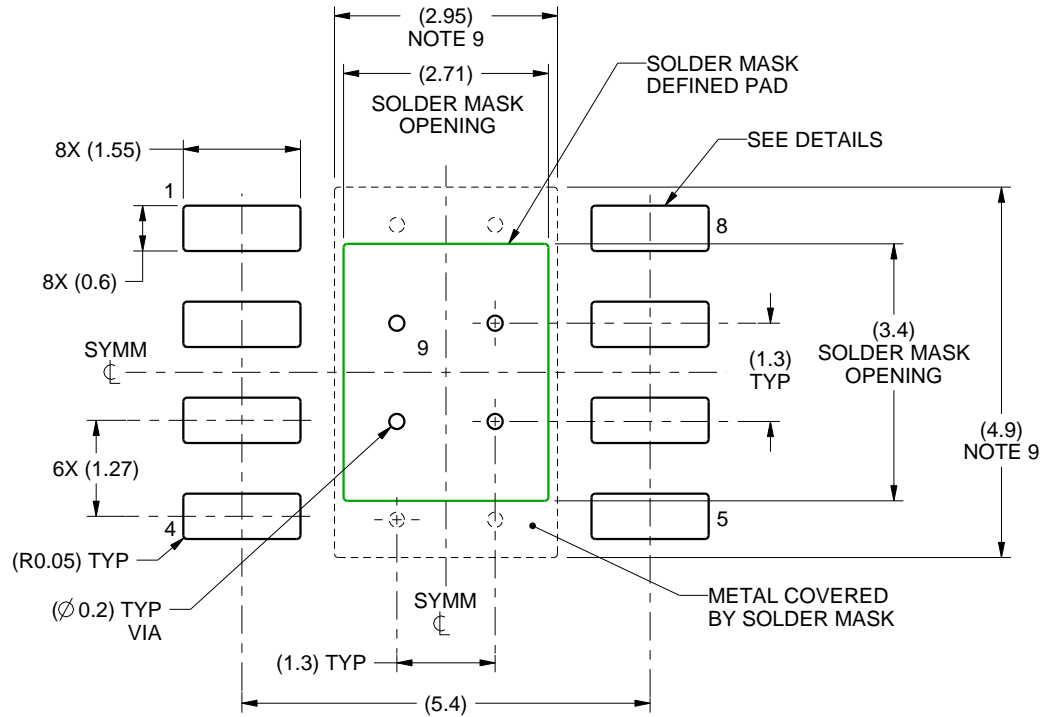
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

EXAMPLE BOARD LAYOUT

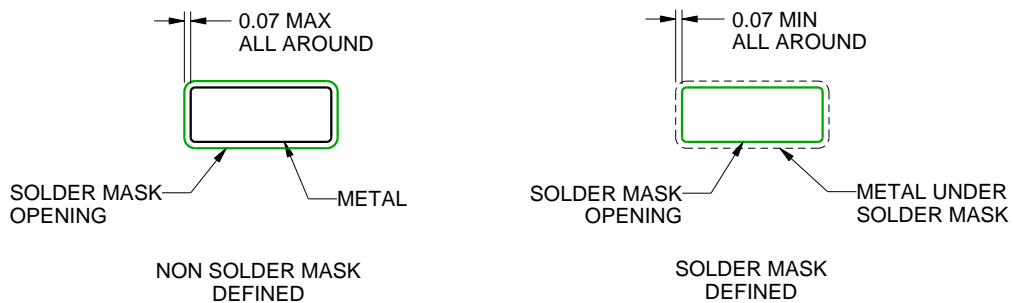
DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/A 08/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/A 08/2016

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司