TPS6287x 2.7V 至 6V 输入，6A、9A、12A 和 15A 快速瞬态可堆叠同步降压转换器，具有 I²C 接口和远程检测功能

1 特性

- 可作为集成电感器的电源模块：TPSM8287A06、TPSM8287A10、TPSM8287A12、TPSM8287A15
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 输入电压范围为 2.7V 至 6V
- 6A、9A、12A、15A 引脚对引脚器件系列
- 四个输出电压范围：
  - 0.4V 至 0.71875V（步长为 1.25mV）
  - 0.4V 至 1.0375V（步长为 2.5mV）
  - 0.4V 至 1.675V（步长为 5mV）
  - 0.8V 至 3.35V（步长为 10mV）
- 输出电压精度为 ±1%
- 差分遥感
- 7mΩ 和 4.5mΩ 内部功率 MOSFET
- 可调节外部补偿
- 节电或强制 PWM 操作
- 可选择与外部时钟或展频运行同步
- 与 I²C 兼容的接口频率高达 1MHz
- 可通过堆叠提高输出电流能力
- 热警告和热关断
- 有源输出放电
- 具有窗口比较器的电源正常输出
- 采用具有可湿性侧面的 2.55mm × 3.55mm × 1mm VQFN 封装
- 结温范围为 –40°C 至 125°C，T_J

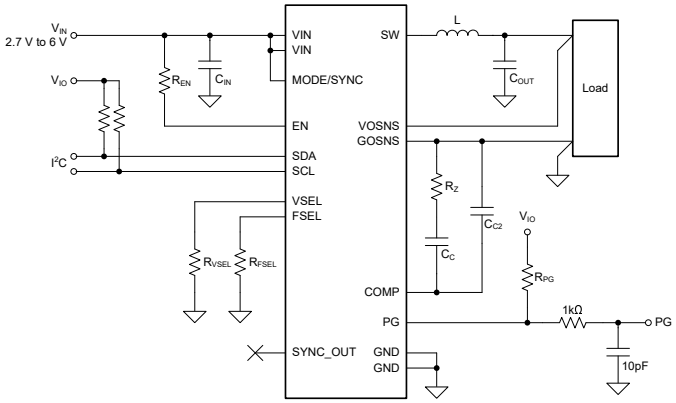
2 应用

- 光纤网络，存储
- FPGA、ASIC 和数字内核电源
- DDR 存储器电源

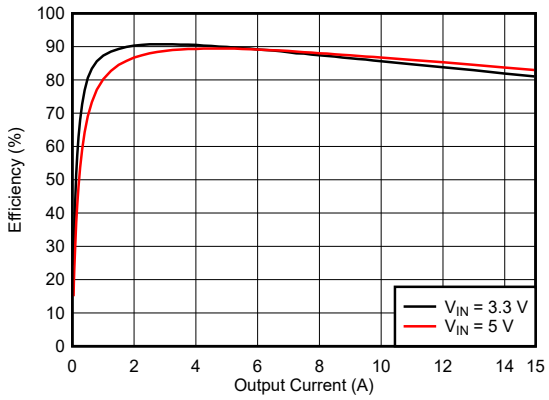
器件信息

器件型号	电流额定值(1)	封装(2)
TPS62870	6A	RXS（VQFN-FCRLF，16）
TPS62871	9A	
TPS62872	12A	
TPS62873	15A	

(1) 有关更多信息，请参阅 节 12。
(2) 请参阅*器件选项*表。



TPS6287x 简化原理图



效率与输出电流间的关系，
V_{OUT} = 0.75V；FPWM；f_{SW} = 2.25MHz

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

3 说明

TPS6287x 是具有差分遥感功能的引脚对引脚 6A、9A、12A 和 15A 同步直流/直流降压转换器系列。对于每个电流额定值，都有适用的具有 I^2C 接口且功能全面的器件型号，以及不具有 I^2C 接口且功能有限的器件型号。所有器件都具有高效率且易于使用。低阻电源开关可在高温环境下支持高达 15A 的持续输出电流。

这些器件可在堆叠模式下运行，以提供更高的输出电流或将功耗分散到多个器件上。

TPS6287x 系列实现了固定频率 DCS 控制方案，该方案支持快速瞬变。器件可以在省电模式下运行以充分提高效率，也可以在强制 PWM 模式下运行以实现出色瞬态性能和超低输出电压纹波。

远程检测功能可调节负载点的电压，并且该器件在所有运行条件下均可实现优于 ±1% 的直流电压精度。

通过 FSEL 引脚实现电阻可选开关频率。开关频率可设置为 1.5MHz、2.25MHz、2.5MHz 或 3.0MHz，也可与频率范围相同的外部时钟同步。

I^2C 兼容接口提供多种控制、监控和警告功能，例如电压监控和温度相关警告。通过 I^2C 兼容接口可快速调整输出电压，使负载功耗适应应用性能需求。通过 VSEL 引脚，默认启动电压可实现电阻可选。

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性.... 1
2 应用.... 1
3 说明.... 2
4 器件选项.... 4
5 引脚配置和功能.... 6
6 规格.... 8
6.1 绝对最大额定值.... 8
6.2 ESD 等级.... 8
6.3 建议运行条件.... 8
6.4 热性能信息.... 9
6.5 电气特性.... 9
6.6 I^2C 接口时序特性.... 11
6.7 时序要求.... 12
6.8 典型特性.... 13
7 详细说明.... 14
7.1 概述.... 14
7.2 功能方框图.... 14
7.3 特性说明.... 15
7.4 器件功能模式.... 30
7.5 编程.... 31
8 寄存器映射.... 35
9 应用和实施.... 41
9.1 应用信息.... 41
9.2 典型应用.... 41
9.3 最佳设计实践.... 51
9.4 电源相关建议.... 52
9.5 布局.... 52
10 器件和文档支持.... 53
10.1 器件支持.... 53
10.2 接收文档更新通知.... 53
10.3 支持资源.... 53
10.4 商标.... 53
10.5 静电放电警告.... 53
10.6 术语表.... 53
11 修订历史记录.... 53
12 机械、封装和可订购信息.... 54

4 器件选项

器件型号	输出电流	启动电压和 I²C 地址 (1) (2) (3)	VSEL 设置	展频时钟	软启动时间
TPS62873Z0WRXSR	15A	0.800V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		0.800V，0x43	47kΩ 至 VIN		
TPS62873Z1WRXSR	15A	0.600V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		0.900V，0x43	47kΩ 至 VIN		
TPS62873Z2WRXSR	15A	0.500V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		1.050V，0x43	47kΩ 至 VIN		
TPS62873Z4WRXSR	15A	0.850V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		1.000V，0x43	47kΩ 至 VIN		
TPS62873Z5WRXSR	15A	0.400V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		0.400V，0x43	47kΩ 至 VIN		
TPS62872Z0WRXSR	12A	0.800V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		0.800V，0x43	47kΩ 至 VIN		
TPS62872Z2WRXSR	12A	0.500V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		1.050V，0x43	47kΩ 至 VIN		
TPS62872Z4WRXSR	12A	0.850V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		1.000V，0x43	47kΩ 至 VIN		
TPS62871Z0WRXSR	9A	0.800V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		0.800V，0x43	47kΩ 至 VIN		
TPS62871Z2WRXSR	9A	0.500V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		1.050V，0x43	47kΩ 至 VIN		

Copyright © 2025 Texas Instruments Incorporated

器件型号	输出电流	启动电压和 I²C 地址 (1) (2) (3)	VSEL 设置	展频时钟	软启动时间
TPS62871Z4WRXSR	9A	0.850V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		1.000V，0x43	47kΩ 至 VIN		
TPS62870Z0WRXSR	6A	0.800V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		0.800V，0x43	47kΩ 至 VIN		
TPS62870Z4WRXSR	6A	0.850V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		1.000V，0x43	47kΩ 至 VIN		
TPS62873Z6WRXSR	15A	0.500V，0x40	6.2kΩ 至 GND	默认设置 = 关闭	默认设置 = 1ms
		0.750V，0x41	短接至 GND		
		0.875V，0x42	短接至 VIN		
		0.500V，0x43	47kΩ 至 VIN		

(1) I²C 地址链接到所选的启动电压。用户无法独立选择启动电压和 I²C 地址。
(2) 用户可以使用 VSEL 引脚选择器件使用的四个启动电压中的一个。有关更多信息，请参阅表 7-5 和表 7-10。
(3) 有关其他启动电压或 I²C 地址选项，请联系 TI

除非另有说明，否则不具有 I²C 的器件型号与具有 I²C 的器件型号采用相同的默认设置运行。

5 引脚配置和功能

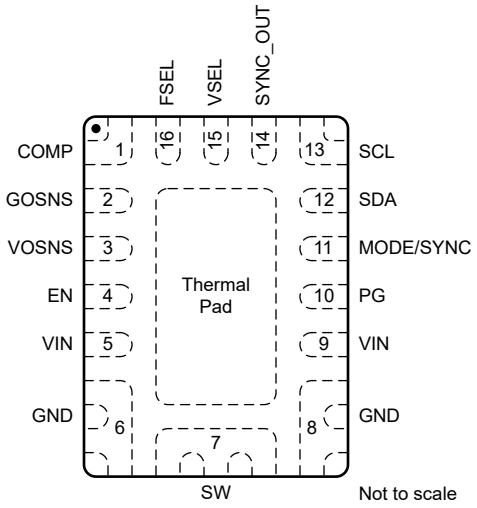


图 5-1. 16 引脚 RXS VQFN 封装（顶视图）

表 5-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
COMP	1	—	器件补偿输入。该引脚和 GOSNS 之间连接的电阻器和电容器定义控制环路的补偿。 在堆叠运行中，将所有堆叠器件的 COMP 引脚连接在一起，并在公共 COMP 节点和 GOSNS 之间连接一个电阻器和电容器。
GOSNS	2	I	输出接地检测（差分输出电压检测）
VOSNS	3	I	输出电压检测（差分输出电压检测）
EN	4	I	这是器件的使能引脚。您必须使用至少 15kΩ 的串联电阻器连接到该引脚。该引脚上的逻辑低电平将禁用器件，该引脚上的逻辑高电平将启用器件。请勿使该引脚保持未连接状态。 对于堆叠运行，将所有堆叠器件的 EN 引脚与电源电压或处理器的 GPIO 上的电阻器互连。有关详细说明，请参阅节 7.3.17。
VIN	5、9	P	电源输入。将输入电容器连接在尽可能靠近 VIN 引脚与 GND 引脚之间的位置上（在封装的两侧）
GND	6、8	GND	接地引脚
SW	7	O	该引脚是转换器的开关引脚，连接到内部功率 MOSFET。
PG	10	I/O	开漏电源正常状态输出。未处于“电源正常”状态时为低阻抗，处于“电源正常”状态时为高阻抗。当不用于单器件运行时，该引脚可以保持开路或连接到 GND。 在堆叠运行中，将所有堆叠器件的 PG 引脚互连。在堆叠运行中，只有主转换器的 PG 引脚是开漏输出。对于在堆叠模式下定义为辅助转换器的器件，该引脚是输入引脚。有关详细说明，请参阅节 7.3.17。
MODE/SYNC	11	I	当该引脚被拉至低电平时，器件在省电模式下运行。如果该引脚被拉至高电平，则器件在强制 PWM 模式下运行。请勿使该引脚保持未连接状态。该模式引脚还可用于将器件与外部时钟进行同步。
SDA	12	I/O	I^2C 串行数据引脚。不保持悬空。将一个上拉电阻器连接至逻辑高电平。 对于堆叠运行的辅助器件和没有 I^2C 的器件型号，连接到 GND。
SCL	13	I	I^2C 串行时钟引脚。不要将这个引脚悬空。将一个上拉电阻器连接至逻辑高电平。 对于堆叠运行中的辅助器件以及没有 I^2C 的器件型号，将该引脚连接到 GND。
SYNC_OUT	14	O	用于在堆叠模式下实现同步的内部时钟输出引脚。对于单器件运行，将该引脚悬空。在堆叠运行中，将该引脚连接到菊花链中下一个器件的 MODE/SYNC 引脚。*请勿使用该引脚连接非 TPS6287x 器件。* 在启动期间，该引脚用于确定器件是否必须在堆叠运行中作为辅助转换器运行。在该引脚和 GND 之间连接一个 47kΩ 电阻器，以定义堆叠运行中的辅助转换器。有关详细说明，请参阅节 7.3.17。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型[1]	说明
名称	编号		
VSEL	15	—	启动输出电压选择引脚。通过电阻器连接至或短路至 GND 或 V_{IN} 可定义所选的输出电压。请参阅节 7.3.6.2。
FSEL	16	—	频率选择引脚。通过电阻器连接至或短路至 GND 或 V_{IN} 可决定自由运行开关频率。请参阅 节 7.3.6.2。
外露散热焊盘		—	必须将散热焊盘焊接到 GND，以获得适当的热阻和机械稳定性。

(1) I = 输入，O = 输出，P = 电源，GND = 地

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）[1]

		最小值	最大值	单位
电压[2]	VIN[4]	-0.3	6.5	V
	SW（直流）	-0.3	V_{IN} + 0.3	
	SW（交流，小于 10ns）[3]	-3	10	
	VOSNS	-0.3	3.8	
	SCL，SDA	-0.3	5.5	
	FSEL、VSEL、EN、MODE/SYNC、PG	-0.3	6.5	
	GOSNS	-0.3	0.3	
	COMP	-0.3	V_{IN}	
电流	SYNC_OUT	-1	1	mA
	COMP	-1	1	
	PG		5	
	SDA		9	
	EN		1	
T_J	结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以 GND 引脚为基准。
(3) 打开开关时。
(4) 引脚上的电压可以在短时间内超过 6.5V 绝对最大值条件，但必须保持小于 8V。8V 的 VIN 持续 100ms 相当于器件在室温下老化大约 8 小时。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001[1]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002[2]	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{IN}	输入电压	VIN	2.7		6	V
		SDA、SCL			5	
V_{OUT}	输出电压		0.4		3.35 V 或 (V_{IN} - 1.4 V)[1]	V
I_{OUT}	输出电流	TPS62870			6	A
		TPS62871			9	
		TPS62872			12	
		TPS62873			15	

Copyright © 2025 Texas Instruments Incorporated

6.3 建议运行条件（续）

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
L	电感		110		330	nH
		f_{SW} ≥ 2.25 MHz 以及 V_{OUT} ≤ 1.675 V	55		330	
C_{IN}	输入电容（每个引脚）(2)	VIN	5	10		μF
C_{OUT}	输出电容(2)		40		(3)	
C_{PAR}	寄生电容	VSEL、FSEL			100	pF
		SYNC_OUT			20	
	电阻器容差	VSEL、FSEL			±2%	
T_J	工作结温		-40		125	°C

(1) 以较低值为准。
(2) *有效* 电容。
(3) 建议的最大输出电容取决于应用的具体工作条件。然而，输出电容值通常可能高达几毫法。

6.4 热性能信息

热指标(1)		TPS6287x		单位
		RXS (JEDEC)	RXS (EVM)	
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	43.2	28	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	19.2	不适用	°C/W
$R_{\theta JB}$	结至电路板热阻	7.7	不适用	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	1.5	°C/W
Ψ_{JB}	结至电路板特征参数	7.7	9.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	6.3	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标* 应用手册。

6.5 电气特性

在工作结温范围内（T_J = –40°C 至 125°C）且 V_{IN} = 2.7V 至 6V。典型值是在 V_{IN} = 3.3V 且 T_J = 25°C 的条件下测得（除非另有说明）。

参数			测试条件	最小值	典型值	最大值	单位
电源							
I_Q	电源电流 (VIN)	工作	EN = 高电平、I_{OUT} = 0mA、$V_{(SW)}$ = 0V、主器件运行、器件不进行开关、T_J = 25°C		1.75	3	mA
		待机	EN = 低电平、$V_{(SW)}$ = 0V、T_J = 25°C		16.5	40	μA
V_{IT+}	正向 UVLO 阈值电压 (VIN)			2.5	2.6	2.7	V
V_{IT-}	负向 UVLO 阈值电压 (VIN)			2.4	2.5	2.6	V
V_{hys}	UVLO 迟滞电压 (VIN)			90			mV
V_{IT+}	正向 OVLO 阈值电压 (VIN)			6.1	6.3	6.5	V
V_{IT-}	负向 OVLO 阈值电压 (VIN)			6.0	6.2	6.4	V
V_{hys}	OVLO 迟滞电压 (VIN)			85			mV
V_{IT-}	负向上电复位阈值			1.4			V
T_{SD}	热关断阈值温度		T_J 上升		170		°C
	热关断迟滞				20		°C

6.5 电气特性（续）

在工作结温范围内（T_J = –40°C 至 125°C）且 V_{IN} = 2.7V 至 6V。典型值是在 V_{IN} = 3.3V 且 T_J = 25°C 的条件下测得（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
T_W	热警告阈值温度	T_J 上升		150		°C
	热警告迟滞			20		°C
控制和接口						
V_{IT+}	正向输入阈值电压 (EN)		0.97	1.0	1.03	V
V_{IT-}	负向输入阈值电压 (EN)		0.87	0.9	0.93	V
V_{hys}	迟滞电压 (EN)		95			mV
I_{IH}	高电平输入电流 (EN)	V_{IH} = V_{IN}，禁用内部下拉电阻器			200	nA
I_{IL}	低电平输入电流 (EN)	V_{IL} = 0V，禁用内部下拉电阻器	-200			nA
V_{IH}	高电平输入电压（SDA、SCL、MODE/SYNC、VSEL、FSEL、SYNC_OUT）		0.8			V
V_{IL}	低电平输入电压（SDA、SCL、MODE/SYNC、VSEL、FSEL、SYNC_OUT）				0.4	V
V_{OL}	低电平输出电压 (SDA)	I_{OL} = 3mA			0.4	V
		I_{OL} = 9mA			0.4	V
		I_{OL} = 5mA			0.2	V
I_{OH}	高电平输出电流（SDA、SCL）	V_{OH} = 3.3V			200	nA
I_{IL}	低电平输入电流 (MODE/SYNC)	V_{IL} = 0V	-150		150	nA
I_{IH}	高电平输入电流 (MODE/SYNC)	V_{IH} = V_{IN}			3	μA
I_{IL}	低电平输入电流 (SYNC_OUT)	V_{IL} = 0V	-250			nA
I_{IH}	高电平输入电流 (SYNC_OUT)	V_{IH} = 2V			150	nA
$C_{IN_SDA_SCL}$	SDA 和 SCL 引脚上的寄生输入电容			10		pF
$t_{d(EN)1}$	EN 连接至 V_{IN} 时的启用延迟时间	测量从 EN 变为高电平至器件开始开关的时间 SR_{VIN} = 1V/μs		175	500	μs
$t_{d(EN)2}$	已施加 V_{IN} 时的启用延迟时间	测量从 EN 变为高电平至器件开始开关的时间			100	μs
$t_{d(RAMP)}$	输出电压斜坡时间	测量从器件开始开关至 PG 的上升沿的时间	0.35	0.5	0.65	ms
			0.7	1	1.3	ms
			1.4	2	2.6	ms
			2.8	4	5.2	ms
	锁定外部频率所需的时间			50		μs
	内部上拉电阻（VSEL、FSEL）		5.5		9	kΩ
	内部下拉电阻（VSEL、FSEL）		1.3		2.2	kΩ
V_{T+}	正向电源正常阈值电压（输出欠压）		94	96	98	$\%V_{OUT}$
V_{T-}	负向电源正常阈值电压（输出欠压）		92	94	96	$\%V_{OUT}$
V_{T+}	正向电源正常阈值电压（输出过压）		104	106	108	$\%V_{OUT}$
V_{T-}	负向电源正常阈值电压（输出过压）		102	104	106	$\%V_{OUT}$
V_{OL}	低电平输出电压 (PG)	I_{OL} = 1mA			0.3	V
I_{OH}	高电平输出电流 (PG)	V_{OH} = 3.3V			200	nA
V_{IH}	高电平输入电压 (PG)	以堆叠方式运行时配置为辅助器件的器件	0.8			V
V_{IL}	低电平输入电压 (PG)	以堆叠方式运行时配置为辅助器件的器件			0.4	V
I_{IH}	高电平输入电流 (PG)	以堆叠方式运行时配置为辅助器件的器件			1	μA

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在工作结温范围内（T_J = –40°C 至 125°C）且 V_{IN} = 2.7V 至 6V。典型值是在 V_{IN} = 3.3V 且 T_J = 25°C 的条件下测得（除非另有说明）。

参数			测试条件	最小值	典型值	最大值	单位
I_{IL}	低电平输入电流 (PG)		以堆叠方式运行时配置为辅助器件的器件	-1			μA
$t_{d(PG)}$	抗尖峰脉冲时间 (PG)		PG 引脚上的高电平到低电平或低电平到高电平转换	34	40	46	μs
输出							
V_{OUT}	输出精度		$V_{IN} \geqslant V_{OUT}$ + 1.4V	-1		1	%
I_{IB}	输入偏置电流 (GOSNS)		$V_{(GOSNS)}$ = -100mV 至 100mV	-6			μA
I_{IB}	输入偏置电流 (VOSNS)		$V_{(VOSNS)}$ = 3.3V，V_{IN} = 6V			6	μA
V_{ICR}	输入共模范围 (GOSNS)			-100		100	mV
	恒流模式下的输出放电电流		$V_{(VOSNS)}$ = 2V	50	115	200	mA
R_{DIS}	电阻式放电模式下的输出放电电阻		$V_{(VOSNS)} \leqslant$ 0.5V			6	Ω
f_{SW}	开关频率 (SW)		f_{SW} = 1.5MHz，PWM 运行，V_{IN} = 3.3V，V_{OUT} = 0.75V	1.35	1.5	1.65	MHz
			f_{SW} = 2.25MHz，PWM 运行，V_{IN} = 3.3V，V_{OUT} = 0.75V	2.025	2.25	2.475	
			f_{SW} = 2.5MHz，PWM 运行，V_{IN} = 3.3V，V_{OUT} = 0.75V	2.25	2.5	2.75	
			f_{SW} = 3MHz，PWM 运行，V_{IN} = 3.3V，V_{OUT} = 0.75V	2.7	3	3.3	
f_{mod}	展频扫描频率				f_{sw}/2048		kHz
Δf_{SW}	展频运行期间的开关频率变化				±10%		
τ	仿真电流时间常数				12.5		μs
$r_{DS(on)}$	高侧 FET 静态导通状态电阻		V_{IN} = 3.3V		7	16	mΩ
$r_{DS(on)}$	低侧 FET 静态导通状态电阻		V_{IN} = 3.3V		4.1	9.4	mΩ
$I_{(SW)(off)}$	高侧 FET 关断状态电流		V_{IN} = 6V，$V_{(SW)}$ = 0V，T_J = 25°C	-1			μA
	低侧 FET 关断状态电流		V_{IN} = 6V，$V_{(SW)}$ = 6V，T_J = 25°C			100	
I_{LIM}	高侧 FET 正向开关电流限制，直流	TPS62870		9	12	14	A
		TPS62871		12	16	18	
		TPS62872		15	20	22	
		TPS62873		18	24	26	
	低侧 FET 负电流限制，直流			7.5		12	A

6.6 I²C 接口时序特性

参数		测试条件	最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率	标准模式			100	kHz
		快速模式			400	
		快速模式 +			1000	
t_{HD}、t_{STA}	（重复）START 条件后的保持时间	标准模式	4			μs
		快速模式	0.6			
		快速模式 +	0.26			
t_{LOW}	SCL 时钟的低电平周期	标准模式	4.7			μs
		快速模式	1.3			
		快速模式 +	0.5			

6.6 I²C 接口时序特性（续）

参数		测试条件	最小值	典型值	最大值	单位
t_{HIGH}	SCL 时钟的高电平周期	标准模式	4			μs
		快速模式	0.6			
		快速模式 +	0.26			
t_{SU}、t_{STA}	重复 START 条件的建立时间	标准模式	4.7			μs
		快速模式	0.6			
		快速模式 +	0.26			
t_{HD}、t_{DAT}	数据保持时间	标准模式	0		3.45	μs
		快速模式	0		0.9	
		快速模式 +	0			
t_{SU}、t_{DAT}	数据设置时间	标准模式	250			ns
		快速模式	100			
		快速模式 +	50			
t_r	SDA 和 SCL 信号的上升时间	标准模式			1000	ns
		快速模式	20		300	
		快速模式 +			120	
t_f	SDA 和 SCL 信号的下降时间	标准模式			300	ns
		快速模式	$20\times V_{DD}/5.5V$ (1)		300	
		快速模式 +	$20\times V_{DD}/5.5V$ (1)		120	
t_{SU}、t_{STO}	STOP 条件的建立时间	标准模式	4			μs
		快速模式	0.6			
		快速模式 +	0.26			
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	标准模式	4.7			μs
		快速模式	1.3			
		快速模式 +	0.5			
C_b	每个总线的容性负载	标准模式			400	pF
		快速模式			400	
		快速模式 +			550	

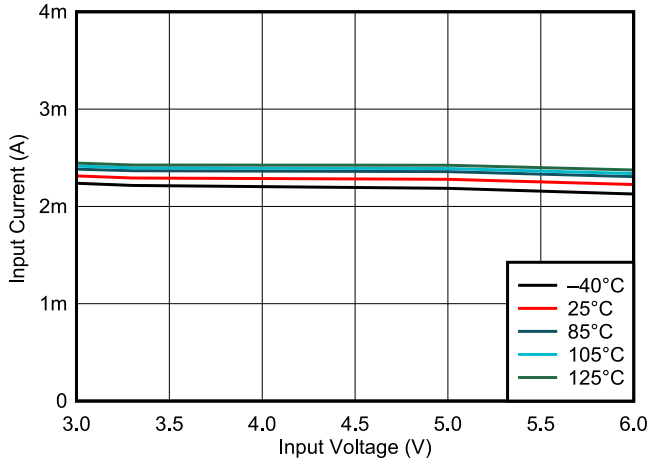
(1) VDD 是 SDA 和 SCL 的上拉电压

6.7 时序要求

			最小值	标称值	最大值	单位
$f_{(SYNC)}$	同步时钟频率范围 (MODE/SYNC)	标称 f_{SW} = 1.5 MHz	1.3		2.0	MHz
$f_{(SYNC)}$	同步时钟频率范围 (MODE/SYNC)	标称 f_{SW} = 2.25 MHz	1.8		2.7	MHz
$f_{(SYNC)}$	同步时钟频率范围 (MODE/SYNC)	标称 f_{SW} = 2.5 MHz	2.0		3.0	MHz
$f_{(SYNC)}$	同步时钟频率范围 (MODE/SYNC)	标称 f_{SW} = 3.0 MHz	2.5		3.3	MHz
$D_{(SYNC)}$	同步时钟占空比范围 (MODE/SYNC)		45%		55%	

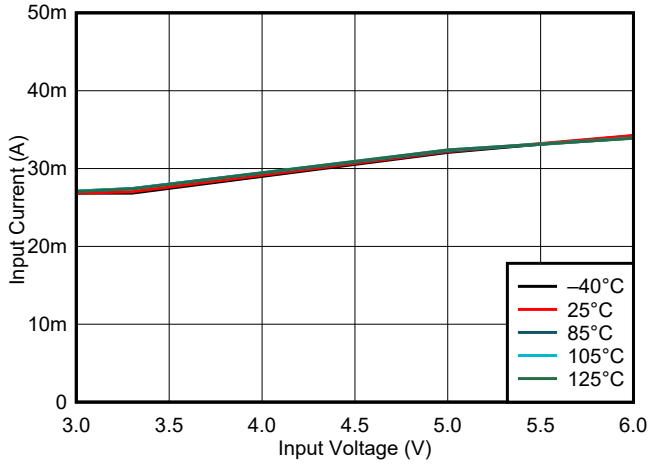
Copyright © 2025 Texas Instruments Incorporated

6.8 典型特性



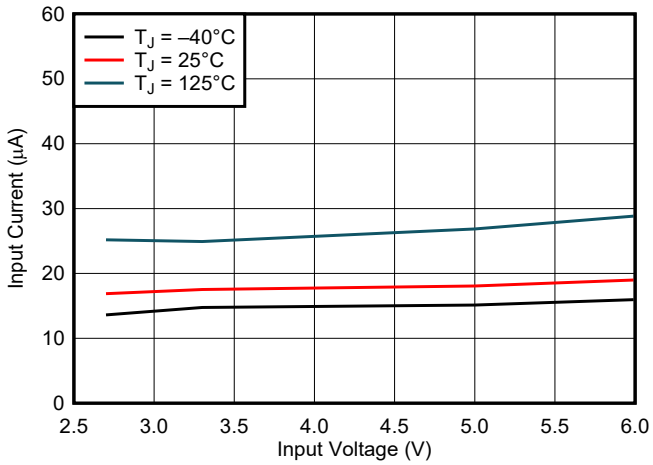
V_{OUT} = 0.75 V　　MODE = 低电平

图 6-1. 工作电源电流（节能模式）



V_{OUT} = 0.75 V　　MODE = 高电平

图 6-2. 工作电源电流（强制 PWM）



ENABLE = 低电平

图 6-3. 静态电源电流

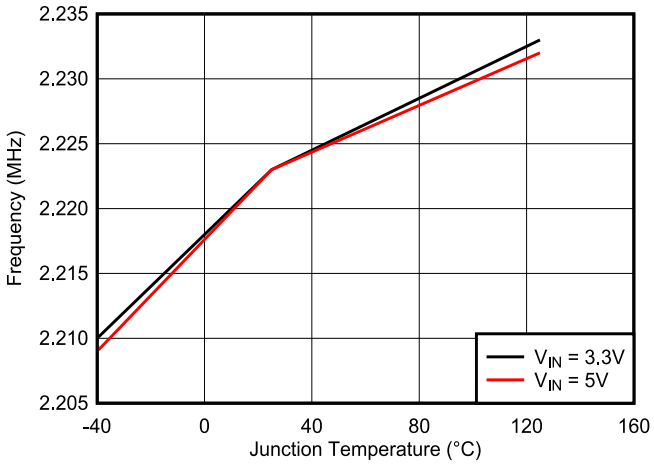


图 6-4. 开关频率与温度间的关系

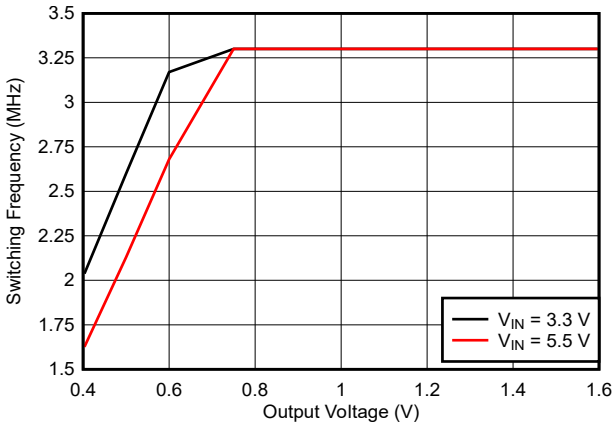


图 6-5. 最大开关频率与 V_{IN} 和 V_{OUT}

7 详细说明

7.1 概述

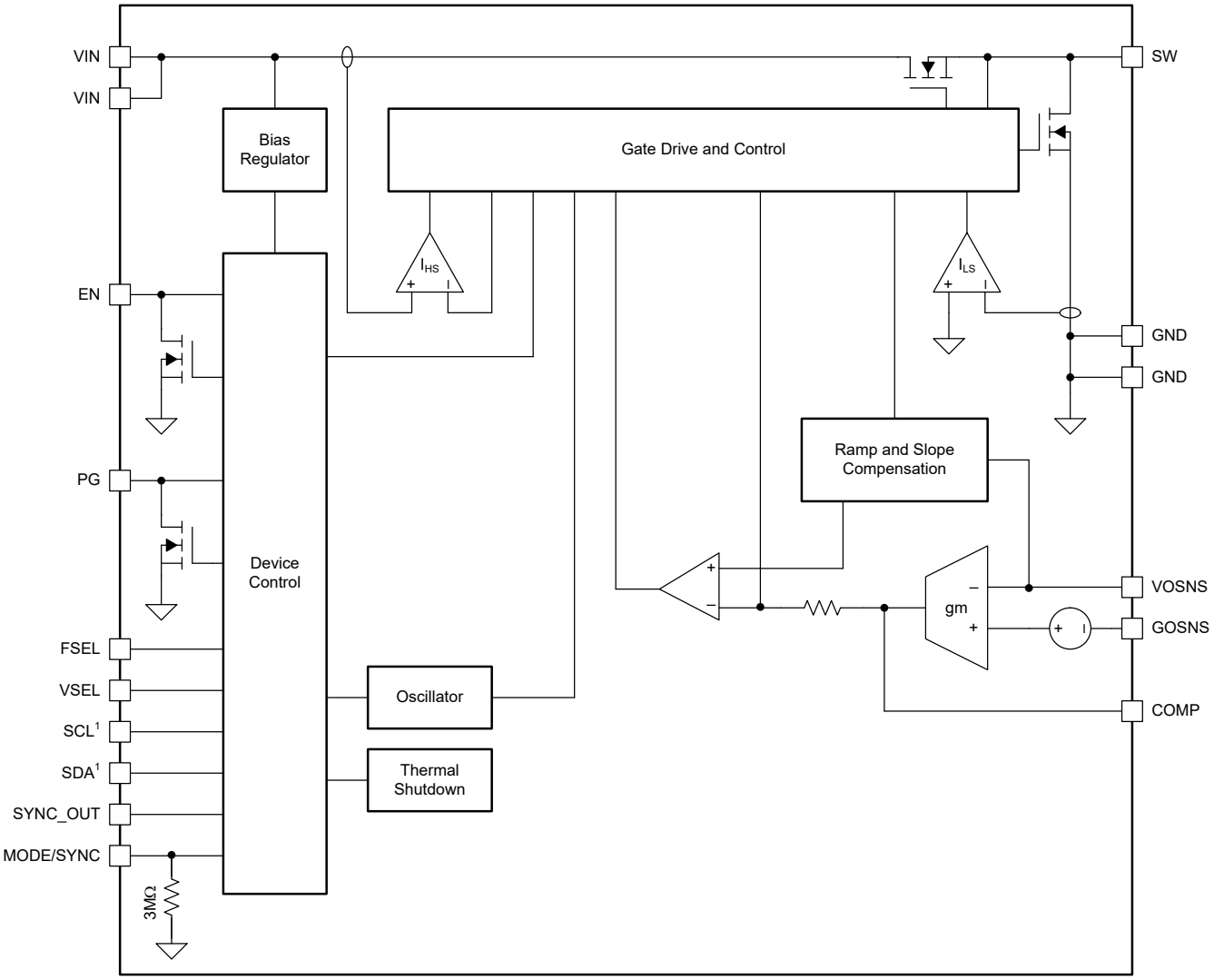
TPS6287x 器件是同步直流/直流降压转换器。这些器件采用固定频率 DCS-Control 拓扑，实现快速瞬态响应。凭借低输出电压纹波、高直流精度和差分遥感功能，这些器件非常适合为现代高性能处理器的内核供电。

该系列器件包括 6A、9A、12A 和 15A 器件。为了进一步提高输出电流能力，用户可以将多个器件“堆叠”。例如，由两个 TPS62873 器件组成的堆栈具有 30A 的电流能力。堆叠中的每个器件必须具有相同的额定电流，以避免其中一个器件过早进入电流限制状态。

对于每个电流额定值，都有适用的具有 I²C 接口且功能全面的器件，以及不具有 I²C 接口且功能有限的器件（请参阅*器件选项*）。用户可以按照与具有 I²C 的器件型号完全相同的方式使用不带 I²C 的器件型号，但不同之处在于：

- 用户必须将未使用的 SCL 和 SDA 引脚连接到 GND。
- 对于可在 I²C 器件型号中编程的参数和功能，用户必须知晓（固定不变的）出厂设置。

7.2 功能方框图



1. In device variants without I²C the SDA and SCL pins are internally connected, but the functionality of these pins is deactivated.

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 固定频率 DCS 控制拓扑

图 7-1 展示了 TPS6287x 器件中使用的固定频率 DCS-Control 拓扑的简化方框图。该拓扑包含一个内部仿真电流环路、一个中间直接反馈环路和一个外部电压调节环路。如需有关此拓扑的更多详情，请参阅 SLYT846。

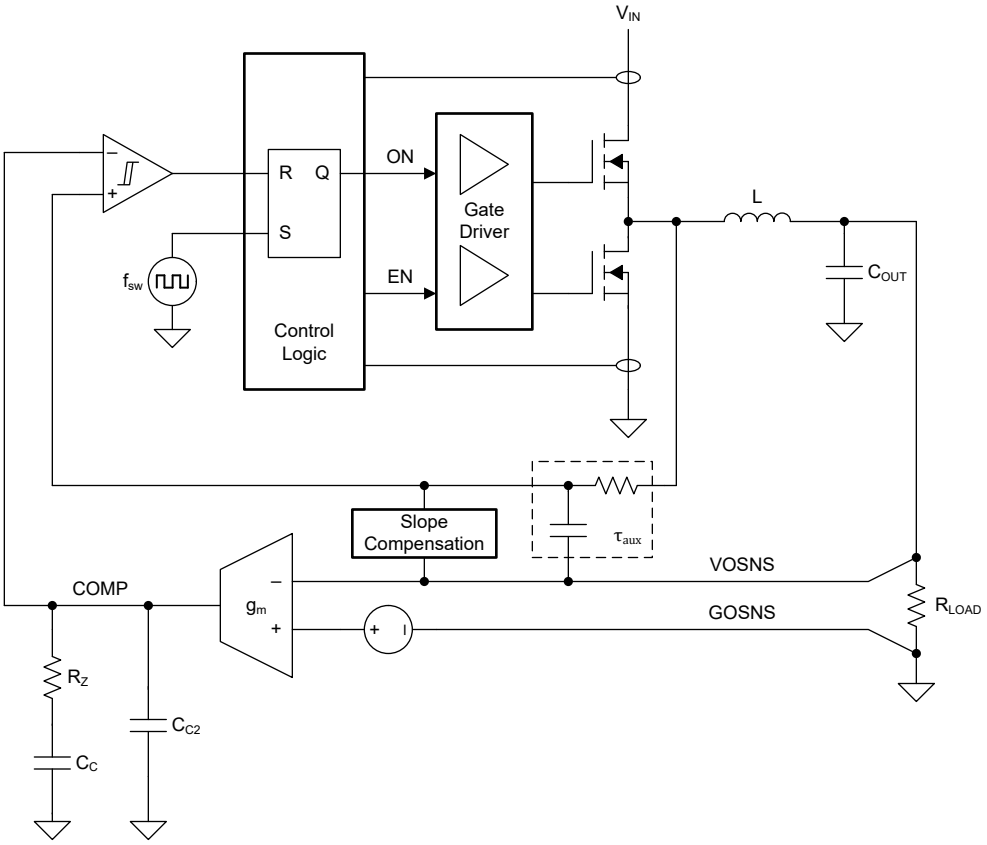


图 7-1. 固定频率 DCS-Control 拓扑（简化版）

7.3.2 强制 PWM 和省电模式

该器件可以通过三种不同的方法控制电感器电流以调节输出：

- 具有连续电感器电流的脉宽调制 (PWM-CCM)
- 具有非连续电感器电流的脉宽调制 (PWM-DCM)
- 具有不连续电感器电流和脉冲跳跃的脉冲频率调制 (PFM-DCM)

PWM-CCM 模式下的导通时间由方程式 1 给出。对于非常小的输出电压，最短导通时间 ($t_{on,\ min}$) 大约为 50ns，开关频率从设定值开始减少。即使达到最短导通时间，器件也会通过延长关断时间来保持适当的输出电压调节。

$$t_{ON} = \frac{V_{OUT}}{V_{IN} \times f_{SW}} \tag{1}$$

在 PWM-CCM 运行期间，器件以恒定频率进行开关，电感器电流是连续的（请参阅图 7-2）。PWM 运行实现了超低输出电压纹波和理想瞬态性能。

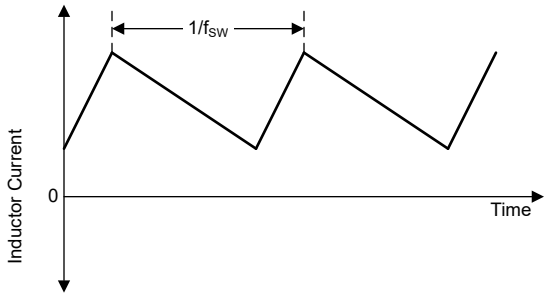


图 7-2. 连续导通模式 (PWM-CCM) 电流波形

在 PWM-DCM 运行期间，该器件以恒定频率进行开关，电感器电流是不连续的（请参阅图 7-3）。在此模式下，该器件会控制峰值电感器电流以保持选定的开关频率，同时仍能够调节输出。

可以使用 方程式 2 来计算器件进入 PWM-DCM 的输出电流阈值。

$$I_{OUT(CCM-DCM)} = \frac{(V_{IN} - V_{OUT})}{2L} t_{ON} \tag{2}$$

根据 方程式 1，须与 t_{ON} 一起使用。

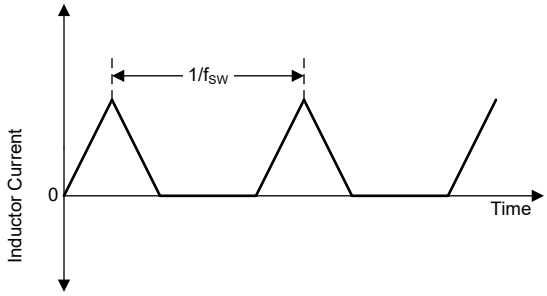


图 7-3. 不连续导通模式 (PWM-DCM) 电流波形

在 PFM-DCM 运行期间，该器件使峰值电感器电流保持恒定（处于与转换器的最短导通时间相对应的电平）并跳过脉冲以调节输出（请参阅图 7-4）。PFM-DCM 运行期间发生的开关脉冲与内部时钟同步。

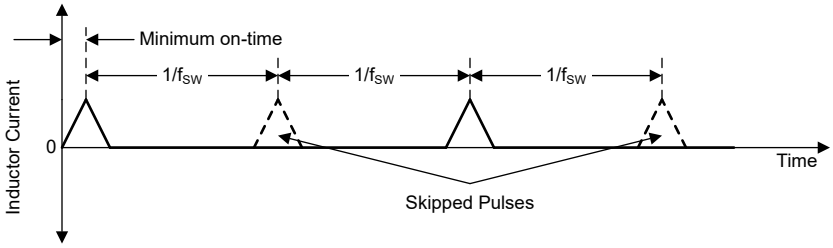


图 7-4. 不连续导通模式 (PFM-DCM) 电流波形

可以使用方程式 3 来计算器件从 PWM-DCM 变为 PFM-DCM 的输出电流阈值：

$$I_{OUT(PFM-DCM)} = \frac{V_{IN} \times t_{ON_min_PFM}}{2} \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L} \tag{3}$$

在 PFM-DCM 约为 20ns 时，$t_{ON_min_PFM}$ 为最短导通时间。

图 7-5 展示了对于 2.25MHz 的开关频率，该阈值通常如何随 V_{IN} 和 V_{OUT} 进行变化。

Copyright © 2025 Texas Instruments Incorporated

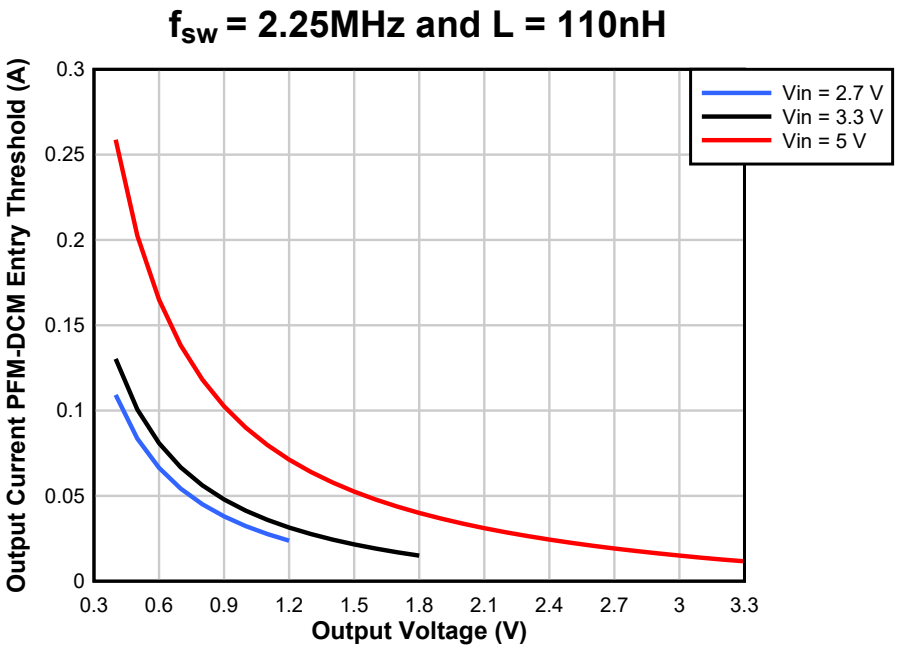


图 7-5. 输出电流 PFM-DCM 进入阈值

用户可以将器件配置为使用强制 PWM (FPWM) 模式或省电模式 (PSM)：

- 在强制 PWM 模式下，器件始终使用 PWM-CCM。
- 在省电模式下，器件在中高负载下使用 PWM-CCM，在低负载下使用 PWM-DCM，在极低负载下使用 PFM-DCM。不同工作模式之间的转换是无缝的。

表 7-1 展示了 MODE/SYNC 引脚的功能表以及控制器件工作模式的 CONTROL1 寄存器中的 FPWMEN 位。

表 7-1. FPWM 模式和省电模式选择

MODE/SYNC 引脚	FPWMEN 位	工作模式	备注
低	0	PSM	请勿在堆叠配置中使用。
	1	FPWM	
高	X	FPWM	
同步时钟	X	FPWM	

7.3.3 精密使能

使能 (EN) 引脚是双向引脚，具有两项功能：

- 作为输入，EN 引脚启用和禁用器件中的 DC/DC 转换器。
- 作为输出，EN 引脚向堆叠配置中的其他器件提供 SYSTEM_READY 信号。

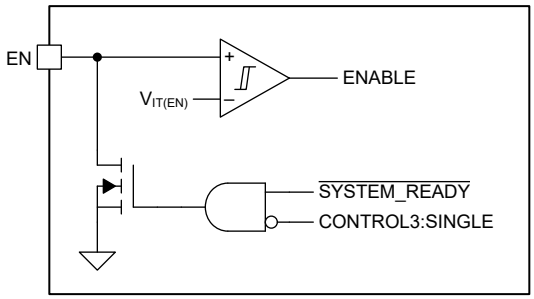


图 7-6. 使能功能方框图

由于 EN 引脚连接有一个内部开漏晶体管，因此请勿直接从低阻抗源驱动该引脚。应使用一个电阻器来限制流入 EN 引脚的电流（请参阅节 9）。

当 VIN 引脚首次通电时，器件会将 EN 引脚拉至低电平，直到其从非易失性存储器加载默认寄存器设置并读取 VSEL、FSEL 和 SYNC_OUT 引脚状态。如果发生热关断或过压锁定等故障，该器件还会将 EN 拉至低电平。在堆叠配置中，所有器件共享一个公共使能信号，这意味着只有在堆栈中的*所有*器件完成初始化后堆栈中的直流/直流转换器才能开始开关。同样，堆栈中的一个或多个器件发生故障会禁用栈中的*所有* 转换器（请参阅节 7.3.17）。

在独立（非堆叠）应用中，如果用户在 CONTROL3 寄存器中设置 SINGLE = 1，则可以禁用 EN 引脚的有源下拉。当 SINGLE = 1 时，故障条件对 EN 引脚没有影响（EN 引脚在器件初始化期间*始终*被下拉））。在堆叠应用中，请确保 SINGLE = 0。

当内部 $\overline{\text{SYSTEM_READY}}$ 信号为低电平（即初始化完成且无故障情况）时，内部开漏晶体管处于高阻态，EN 引脚的功能与标准输入类似。EN 引脚上的高电平启用器件中的 DC/DC 转换器。低电平则禁用 DC/DC 转换器（I^2C 接口在器件完成初始化后立即启用，并且不受内部 ENABLE 或 $\overline{\text{SYSTEM_READY}}$ 信号状态的影响）。

EN 引脚上的低电平强制器件关断。在关断期间，功率级中的 MOSFET 关闭，内部控制电路被禁用，器件仅消耗 20μA（典型值）的电流。

EN 引脚的上升阈值电压为 1.0V，下降阈值电压为 0.9V。阈值电压的容差为 ±30mV，这意味着用户可以使用 EN 引脚实现精确的导通和关断行为。

当 VIN 引脚通电时，EN 引脚的切换不会重置加载的默认寄存器设置。

7.3.4 启动

当 VIN 引脚上的电压超过正向 UVLO 阈值时，该器件将进行如下初始化：

- 器件将 EN 引脚拉至低电平。
- 器件启用内部基准电压。
- 器件读取 VSEL、FSEL 和 SYNC_OUT 引脚的状态。
- 器件将默认值加载到器件寄存器中。

初始化完成后，器件启用 I^2C 通信并释放 EN 引脚。控制 EN 引脚的外部电路现在决定了器件的行为：

- 当 EN 引脚为低电平时，器件将被禁用。用户可对器件寄存器进行写入和读取，但 DC/DC 转换器不工作。
- 当 EN 引脚为高电平时，器件将被启用。用户可对器件寄存器进行写入和读取，在短暂延迟后，DC/DC 转换器开始增大输出。

图 7-7 展示了 EN 引脚上拉至 V_{IN} 时的启动序列。

Copyright © 2025 Texas Instruments Incorporated

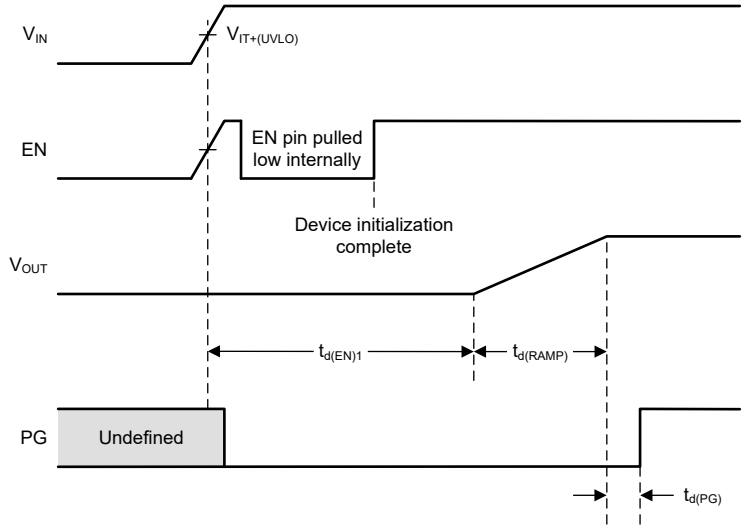


图 7-7. EN 上拉至 V_{IN} 时的启动时序

图 7-8 展示了外部信号连接到 EN 引脚时的启动序列。

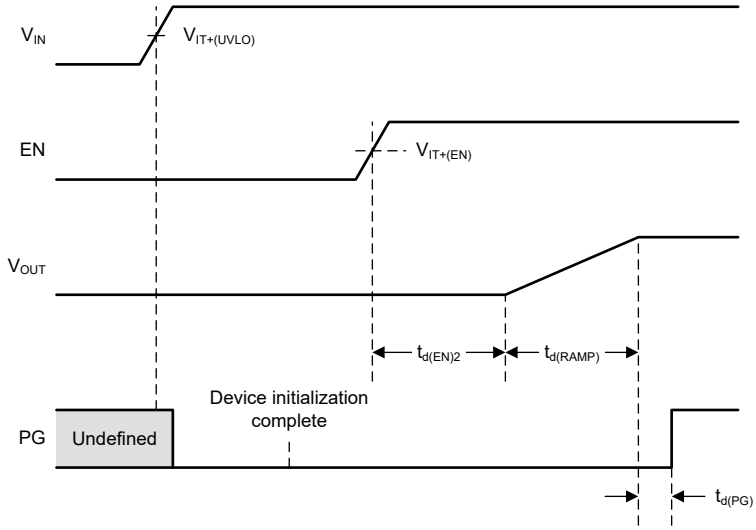


图 7-8. 外部信号连接到 EN 引脚时的启动时序

CONTROL2 寄存器中的 SSTIME[1:0] 位选择软启动斜坡的持续时间：

- $t_{d(RAMP)}$ = 500 µs
- $t_{d(RAMP)}$ = 1ms（默认值）
- $t_{d(RAMP)}$ = 2ms
- $t_{d(RAMP)}$ = 4ms

如果用户在器件软启动序列已启动时对以下内容进行编程，则器件会在软启动序列完成之前忽略新值：

- 新输出电压设定点 (VSET[7:0])
- 输出电压范围 (VRANGE[1:0])
- 软启动时间 (SSTIME[1:0]) 设置

如果您在软启动期间更改了 VSET[7:0] 的值，则器件将首先斜升至软启动序列开始时的 VSET[7:0] 的值。然后，软启动完成后，器件才会斜升或斜降至新值。

该器件可能在启动时产生预偏置输出。在这种情况下，从外部只能看到内部电压斜坡的一部分（请参阅图 7-9）。

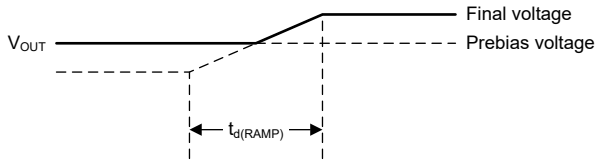


图 7-9. 启动时产生预偏置输出

请注意，无论其他配置设置或运行条件如何，器件在启动斜坡期间都*始终*以 DCM 模式运行。

7.3.5 开关频率选择

在器件初始化期间，连接到器件中的数字转换器的电阻器决定 FSEL 引脚的状态并根据表 7-2 设置直流/直流转换器的开关频率。

表 7-2. 开关频率选项

FSEL 引脚 (1)	开关频率
短接至 GND	1.5MHz
6.2kΩ 至 GND	2.25MHz
47kΩ（连接至 V_{IN}）	2.5MHz
短接至 V_{IN}	3MHz

(1) 为了实现可靠的电压设置，请确保没有杂散电流路径连接到 FSEL 引脚，并且 FSEL 引脚 与 GND 之间的寄生电容小于 100pF。

图 7-10 展示了用于检测 FSEL 引脚状态的 R2D 转换器的简化方框图（相同的电路会检测 VSEL 引脚的状态 - 请参阅 节 7.3.6.2）。

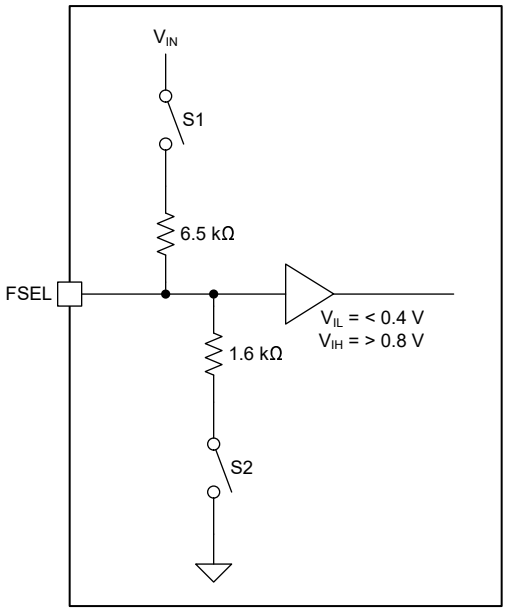


图 7-10. FSEL R2D 转换器功能方框图

FSEL 引脚状态检测的工作原理如下：

为了检测最高有效位 (MSB)，电路会断开 S1 和 S2，输入缓冲器检测连接到 FSEL 引脚的是高电平还是低电平。

检测最低有效位 (LSB)：

Copyright © 2025 Texas Instruments Incorporated

- 如果 MSB 为 0，则电路闭合 S1。如果输入缓冲器检测到高电平，则 LSB = 1。如果电路检测到低电平，则 LSB = 0。
- 如果 MSB 为 1，则电路闭合 S2。如果输入缓冲器检测到低电平，则 LSB = 0。如果电路检测到高电平，则 LSB = 1。

7.3.6 输出电压设置

7.3.6.1 输出电压范围

该器件具有四个不同的电压范围。CONTROL2 寄存器中的 VRANGE[1:0] 位能控制哪个范围有效（请参阅表 7-3）。器件初始化后的默认输出电压范围为 0.4V 至 1.675V，阶跃为 5mV。

表 7-3. 电压范围

VRANGE[1:0]	电压范围
0b00	0.4V 至 0.71875V（步长为 1.25mV）
0b01	0.4V 至 1.0375V（步长为 2.5mV）
0b10	0.4V 至 1.675V（步长为 5mV）
0b11	0.8V 至 3.3V（步长为 10mV）

请注意，每次更改 VRANGE[1:0] 位后都必须对 VSET 寄存器进行写入 – 即使 VSET[7:0] 位的值未变化也是如此。该序列是器件开始使用新电压范围所必需的。

切换至 0.8V 至 3.35V 范围或者从该范围向其他范围切换时，器件会在 0.4V 至 0.8V 之间切换内部基准电压。为了避免在更改期间可能发生的任何输出电压过冲或下冲，VRANGE 更改必须在新、旧范围内都出现的输出电压下进行，而 VSET[7:0] 位必须在新、旧范围内设置相同的输出电压。

为确保正常运行，输入电压需要至少比所选输出电压高 1.4V。

在不具有 I^2C 的器件型号中，输出电压范围在出厂时设置为 0.4V 至 1.675V。

7.3.6.2 输出电压设定点

VSET 寄存器中的 VSET[7:0] 位与所选范围一起控制器件的输出电压设定点（请参阅表 7-4）。

表 7-4. 启动电压设置

VRANGE[1:0]	输出电压设定点
0b00	0.4V + VSET[7:0] × 1.25mV
0b01	0.4V + VSET[7:0] × 2.5mV
0b10	0.4V + VSET[7:0] × 5mV
0b11	0.8V + VSET[7:0] × 10mV

在初始化过程中，器件会读取 VSEL 引脚的状态，并根据 表 7-5 选择默认输出电压。请注意，VSEL 引脚引脚还会选择器件的 I^2C 目标地址（请参阅表 7-10）。

表 7-5. 默认输出电压设定点

VSEL 引脚[(1)]	器件型号	VSET[7:0]	输出电压设定点
6.2kΩ 至 GND	TPS6287xZ0	0x50	800mV
	TPS6287xZ1	0x28	600mV
	TPS6287xZ2	0x14	500mV
	TPS6287xZ4	0x5A	850mV
	TPS6287xZ5	0x00	400mV
短路至 GND	全部	0x46	750mV
短路至 V_{IN}	全部	0x5F	875mV

表 7-5. 默认输出电压设定点（续）

VSEL 引脚[(1)]	器件型号	VSET[7:0]	输出电压设定点
47kΩ（连接至 V_{IN}）	TPS6287xZ0	0x50	800mV
	TPS6287xZ1	0x64	900mV
	TPS6287xZ2	0x82	1050mV
	TPS6287xZ4	0x78	1000mV
	TPS6287xZ5	0x00	400mV

(1) 为了实现可靠的电压设置，请确保没有杂散电流路径连接到 VSEL 引脚，并且 VSEL 引脚与 GND 之间的寄生电容小于 100pF。

如果您在器件已经开始软启动序列时对新的输出电压设定点 (VSET[7:0])、输出电压范围 (VRANGE[1:0]) 或软启动时间 (SSTIME[1:0]) 设置进行编程，则在软启动序列完成之前，器件会忽略新值。如果您在软启动期间更改了 VSET[7:0] 的值，则器件将首先斜升至软启动序列开始时的 VSET[7:0] 的值。软启动完成后，才会斜升或斜降至新值。

如果用户在 EN 为低电平时更改 VSET[7:0]、VRAMP[1:0] 或 SSTIME[1:0]，则器件会在用户下次启用器件时使用新值。

启动期间，输出电压先增大至 VSEL 引脚设置的目标值，然后再增大或减小至通过 I^2C 接口编程至器件的任何新值。

7.3.6.3 非默认输出电压设定点

如果所有默认电压范围或电压设定点组合都不适合应用，用户可以在启用器件之前通过 I^2C 更改这些器件设置。然后，当用户将 EN 引脚拉至高电平时，器件以所需的启动电压启动。

请注意，如果用户*在器件变化时*通过 I^2C 更改器件设置，则器件会忽略这些更改，直到变化完成为止。

7.3.6.4 动态电压调节

如果您在 DC/DC 转换器运行时更改输出电压设定值，则器件会以受控的方式上升或下降至新的电压设置。

CONTROL1 寄存器中的 VRAMP[1:0] 位设置 DVS 期间器件从一个电压变化为另一个电压时的压摆率（请参阅表 7-6）。

表 7-6. 动态电压调节压摆率

VRAMP[1:0]	DVS 压摆率
0b00	10mV/μs（0.5μs/阶跃）
0b01	5mV/μs（1μs/阶跃）
0b10	1.25mV/μs（5μs/阶跃）
0b11	0.5mV/μs（10μs/阶跃）

请注意，将输出增大至更高的电压需要额外的输出电流，因此在 DVS 期间，转换器必须产生由以下公式给出的总输出电流：

$$I_{OUT} = I_{OUT(DC)} + C_{OUT}\frac{dV_{OUT}}{dt} \quad (4)$$

其中

- I_{OUT} 是在增大至更高电压的过程中转换器必须产生的总电流。
- $I_{OUT(DC)}$ 是直流负载电流。
- C_{OUT} 是总输出电容。
- dV_{OUT}/dt 是输出电压的压摆率（可在 0.5mV/μs 至 10mV/μs 的范围内进行编程）。

为确保正常运行，请确保 DVS 期间的总输出电流不超过器件的电流限制。

Copyright © 2025 Texas Instruments Incorporated

7.3.7 补偿 (COMP)

COMP 引脚是外部补偿网络的连接点。将电阻器和电容器串联到 GOSNS 足以满足典型应用的要求。以串联方式连接的电阻器也可提供足够的范围来优化各种工作条件下的环路响应。

在堆叠配置中使用多个器件时，所有器件共享一个公共的补偿网络，COMP 引脚确保这些器件之间实现均等的电流共享（请参阅节 7.3.17）。

7.3.8 模式选择和时钟同步 (MODE/SYNC)

MODE/SYNC 引脚上的高电平选择强制 PWM 运行。MODE/SYNC 引脚上的低电平选择省电运行，在该模式下，器件会根据负载条件自动在 PWM 和 PFM 之间转换。

如果用户将有效时钟信号施加到 MODE/SYNC 引脚，器件会将开关周期与外部时钟同步，并自动选择强制 PWM 运行。

MODE/SYNC 引脚与 CONTROL1 寄存器中的 FPWMEN 位进行逻辑或运算（请参阅表 7-1）。

当多个器件在堆叠配置中一起使用时，辅助器件的 MODE/SYNC 引脚是时钟信号的输入（请参阅节 7.3.17）。

7.3.9 展频时钟 (SSC)

该器件具有展频时钟功能，可以降低电磁干扰 (EMI)。当 SSC 功能有效时，器件将开关频率大约调制为标称值的 ±10%。频率调制具有三角形特征（请参阅图 7-11）。

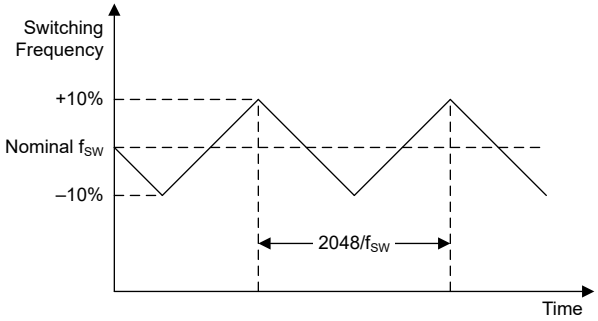


图 7-11. 展频时钟行为

要使用 SSC 功能，请确保：

- CONTROL1 寄存器中的 SSCEN = 1。
- 器件未与外部时钟同步。

TI 建议在使用 SSC 时使用 FPWM 运行模式，但 PSM 运行模式也支持 SSC。要禁用 SSC 功能，请确保 CONTROL1 寄存器中的 SCCEN = 0。

要在堆叠配置中对多个器件使用 SSC 功能，请确保主转换器通过内部振荡器运行并将所有辅助转换器与主时钟同步（请参阅图 7-15）。

7.3.10 输出放电

该器件具有输出放电功能，可确保器件禁用时输出电压按照规定下降，并在器件关闭时保持输出电压接近 0V。当 CONTROL1 寄存器中的 DISCHEN = 1 时，启用输出放电功能。默认情况下启用输出放电功能。

如果启用，器件将在以下条件下对输出进行放电：

- EN 引脚上施加了低电平。
- CONTROL1 寄存器中的 SWEN = 0。
- 发生热关断事件。
- 发生 UVLO 事件。

- 发生 OVLO 事件。

上电后用户至少启用器件一次后，输出放电功能才可用。断电期间，只要内部电源电压大于约 1.8V，器件就会继续对输出放电。

7.3.11 欠压锁定 (UVLO)

该器件具有欠压锁定功能，如果电源电压过低而无法正常运行，该功能会禁用器件。UVLO 功能的负向阈值为 2.5V（典型值）。如果电源电压降低至该值以下，器件将停止开关，如果 CONTROL1 寄存器中的 DISCHEN = 1，则会开启输出放电功能。此外，EN 引脚被拉至低电平，这会禁用堆栈中的所有其他器件。当电源电压高于 2.6V（典型值）时，器件会自动再次开始开关，开始新的软启动序列。

7.3.12 过压锁定 (OVLO)

该器件具有过压锁定功能，如果电源电压过高而无法正常运行，该功能会禁用直流/直流转换器。OVLO 功能的正向阈值为 6.3V（典型值）。如果电源电压增加到该值以上，器件将停止开关，如果 CONTROL1 寄存器中的 DISCHEN = 1，则会开启输出放电功能。

当电源电压降至 6.2V（典型值）以下时，器件会自动再次开始开关 – 开始新的软启动序列。

7.3.13 过流保护

7.3.13.1 逐周期电流限制

如果峰值电感器电流增加到高于高侧电流限制阈值，则器件会关断高侧开关并开启低侧开关以降低电感器电流。仅当电感器电流降至低侧电流限制阈值以下时，该器件才会再次开启高侧开关。

请注意，由于电流限制比较器的传播延迟，实际的电流限制阈值可能会大于*电气特性*中指定的直流值。实际的电流限制由以下公式给出：

$$I_L = I_{LIMH} + \left(\frac{V_{IN} - V_{OUT}}{L}\right) \times t_{pd} \tag{5}$$

其中：

- I_L 是电感电流。
- I_{LIMH} 是在直流条件下测量的高侧电流限制阈值。
- V_{IN} 是输入电压。
- V_{OUT} 是输出电压。
- L 是峰值电流水平下的有效电感。
- t_{pd} 是电流限制比较器的传播延迟（通常为 50ns）。

7.3.13.2 断续模式

要启用断续运行，请确保 CONTROL1 寄存器中的 HICCUPEN = 1。

如果启用了断续运行并且高侧开关电流在连续 32 个开关周期内超过电流限制阈值，则器件：

- 停止开关 128μs，之后器件自动再次开始开关（器件启动新的软启动序列）。
- 设置 STATUS 寄存器中的 HICCUP 位。
- 将 PG 引脚拉至低电平。PG 引脚保持低电平，直到过载情况消失并且器件可以正确启动并调节输出电压。请注意，电源正常状态指示功能具有抗尖峰脉冲电路，该电路会将电源良好信号的上升沿延迟 40μs（典型值）。

只要输出过载条件存在，断续运行就会继续 – 以 32 个电流限制周期的重复序列进行，然后暂停 128μs，然后尝试软启动。

如果用户在过载条件消除后读取 STATUS 寄存器，会发现器件已清除 HICCUP 位。

Copyright © 2025 Texas Instruments Incorporated

7.3.13.3 限流模式

要启用限流模式，请确保 CONTROL1 寄存器中的 HICCUPEN = 0。

启用电流限制操作后，只要存在过载情况，器件就会逐周期限制高侧开关电流。如果器件在四个或更多连续开关周期内限制高侧开关电流，则会在 STATUS 寄存器中设置 ILIM = 1。

当过载条件不再出现时，如果用户读取 STATUS 寄存器，会发现器件已清除 ILIM 位。

7.3.14 电源正常 (PG)

电源正常 (PG) 引脚是双向引脚，具有两项功能：

- 在独立配置和堆叠配置的主器件中，PG 引脚是一个漏极开路输出，用于指示转换器或堆栈的状态。
- 在堆叠配置的辅助器件中，PG 引脚是一个输入，用于指示软启动序列何时完成以及堆栈中的所有转换器何时可以从 DCM 开关更改为 CCM 开关。

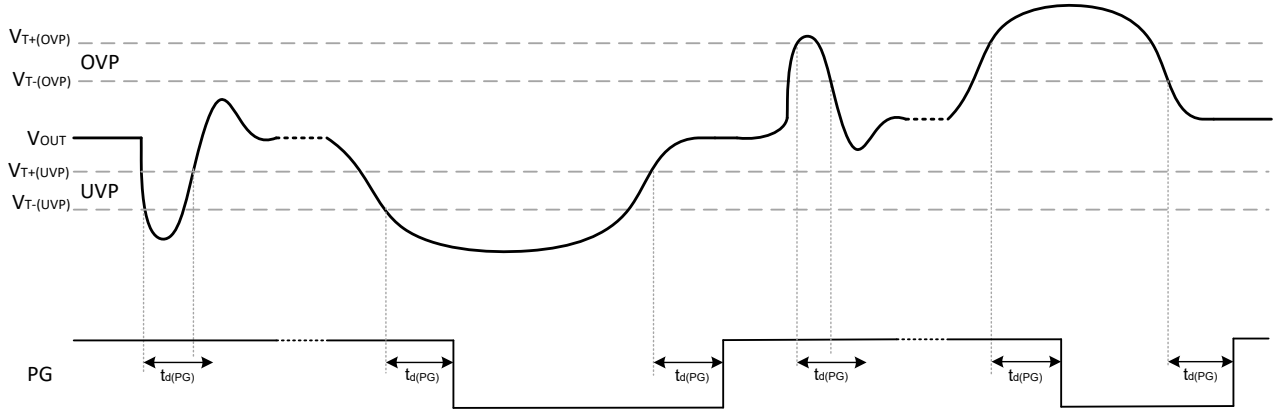


图 7-12. PG 时序

7.3.14.1 独立或主器件行为

PG 引脚的主要用途是指示输出电压是否处于稳压状态，但该引脚也指示器件是否处于热关断或禁用状态。表 7-7 总结了独立器件或主器件中 PG 引脚的行为。

表 7-7. 电源正常状态指示功能表

V_{IN}	EN	V_{OUT}	软启动	PGBLNKDVS	T_J	PG
V_{IN} < 2V	X	X	X	X	X	未定义
$V_{IT-(UVLO)} \geqslant V_{IN} \geqslant$ 2V	X	X	X	X	X	低
$V_{IT-(OVLO)} > V_{IN} > V_{IT+(UVLO)}$	L	X	X	X	X	低
	H	X	有效	X	X	低
		$V_{OUT} > V_{T+(OVP)}$ 或 $V_{OUT} < V_{T-(UVP)}$	无效	0	X	低
				1（DVS 未激活）	X	低
		X		1（DVS 激活）	$T_J < T_{SD}$	高阻态
		$V_{T-(OVP)} > V_{OUT} > V_{T+(UVP)}$		X		高阻态
		X	X	X	$T_J > T_{SD}$	低
$V_{IN} > V_{IT+(OVLO)}$	X	X	X	X	X	低

图 7-13 展示了独立器件或主器件中电源正常状态指示功能的功能方框图。窗口比较器监视输出电压，如果输出电压小于标称输出电压的 95%（典型值）或大于标称输出电压的 105%（典型值），则比较器的输出变为高电平。窗口比较器的输出经过抗尖峰脉冲处理（典型的抗尖峰脉冲时间为 40μs），然后用于驱动开漏 PG 引脚。

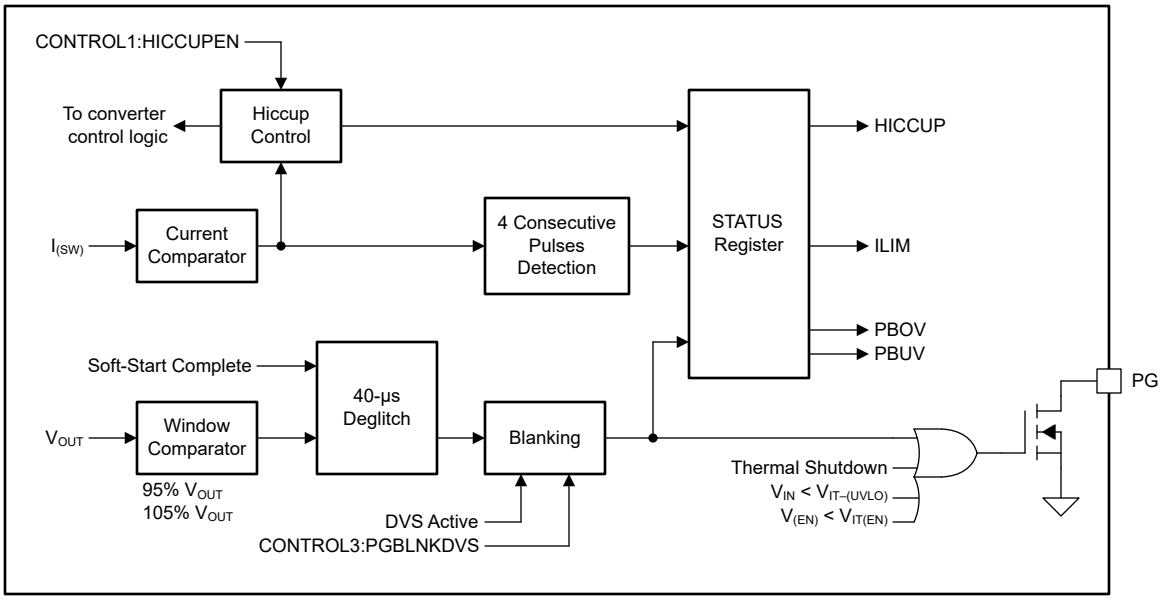


图 7-13. 电源正常状态指示功能方框图（独立或主器件）

如果发生输出欠压或过压事件，器件会分别在 STATUS 寄存器中设置 PBUV 或 PBOV 位。当电源不良条件不再出现时，如果您读取 STATUS 寄存器，会发现器件已清除 PBOV 和 PBUV 位。

在 DVS 工作期间，窗口比较器的电压基准会跟随斜坡输出电压设定点变化。在 FPWM 模式下启用 DVS 时、PG 通常不会变为低电平，因为该器件会主动向上或向下驱动输出电压以跟随 DVS 斜坡变化。在省电模式下，如果没有足够的负载来足够快地下拉输出电压以保持在窗口比较器的限制范围内，PG 会在斜降时变为低电平。在 FPWM 和省电模式下，设置 CONTROL3 寄存器中的 PGBLNKDVS = 1 会强制器件在 DVS 斜升时间（由 CONTROL1 寄存器中的 VRAMP[1:0] 位设置）内忽略电源正常窗口比较器的输出，从而使 PG 引脚保持高阻抗。DVS 时间过后，PG 会再次反映窗口比较器的输出。

请注意，在以下情况下，无论窗口比较器的输出如何，PG 引脚始终处于低电平：

- 器件处于热关断状态
- 器件被禁用
- 器件处于欠压锁定或过压锁定（UVLO 或 OVLO）状态
- 器件处于软启动状态

可以在 PG 引脚上添加一个小型 RC 滤波器（例如 1kΩ + 10pF），滤除高频信号。

7.3.14.2 辅助器件行为

图 7-14 展示了辅助器件中电源正常状态指示功能的功能方框图。在初始化期间，器件预设 FF1 和 FF2，这会下拉 PG 引脚并强制器件在 DCM 模式下运行。当器件完成软启动时，器件会复位 FF2，从而关闭 Q1。然而，在堆叠配置中，所有器件共享相同的 PG 信号，因此 PG 引脚保持低电平，直到堆栈中的*所有*器件完成软启动。当这种情况发生时，会复位 FF1，转换器以 CCM 模式运行。

Copyright © 2025 Texas Instruments Incorporated

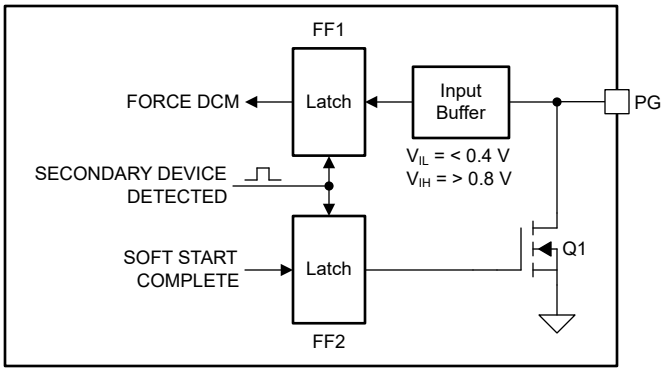


图 7-14. 电源正常状态指示功能方框图（辅助器件）

7.3.15 遥感

该器件具有 VOSNS 和 GOSNS 两个引脚，用于遥感输出电压。遥感使转换器能够直接检测负载点的输出电压，并提高输出电压调节的精度。

7.3.16 热警告和热关断

该器件具有两级过热检测功能。

如果结温升至 150°C（典型值）热警告阈值以上，器件会设置 STATUS 寄存器中的 TWARN 位。如果您在结温降至 130°C（典型值）TWARN 阈值以下后读取 STATUS 寄存器，会发现器件已清除 TWARN 位。

如果结温升至 170°C（典型值）热关断阈值以上，则器件：

- 停止开关
- 下拉 EN 引脚（如果 CONTROL3 寄存器中的 SINGLE = 0）
- 启用输出放电（如果 CONTROL1 寄存器中的 DISCHEN = 1）
- 设置 STATUS 寄存器中的 TSHUT 位
- 将 PG 引脚拉至低电平

如果结温降至 150°C（典型值）热关断阈值以下，则器件：

- 从新的软启动序列开始再次开始开关
- 将 EN 引脚设置为高阻抗
- 将 PG 引脚设置为高阻抗

如果您在结温降至 150°C（典型值）TSHUT 阈值以下后读取 STATUS 寄存器，会发现器件已清除 TSHUT 位。

在所有器件共享公共使能信号的堆叠配置中，一个器件中的热关断状态会禁用整个堆栈。当过热的器件冷却下来后，整个堆栈会自动再次开始开关。

7.3.17 堆叠操作

可以在所谓的“堆栈”中并行连接多个器件；例如，用于增大输出电流能力或降低器件结温。一个堆栈包含一个*主*器件和一个或多个*辅助*器件。在初始化期间，每个器件都会监视 SYNC_OUT 引脚，以确定其必须作为主器件还是辅助器件运行：

- 如果 SYNC_OUT 引脚和接地端之间有一个 47kΩ 电阻器，则该器件作为辅助器件运行。
- 如果 SYNC_OUT 引脚处于高阻抗状态，则该器件作为主器件运行。

图 7-15 展示由两个 TPS6287x 器件组成的堆栈中的建议互连。

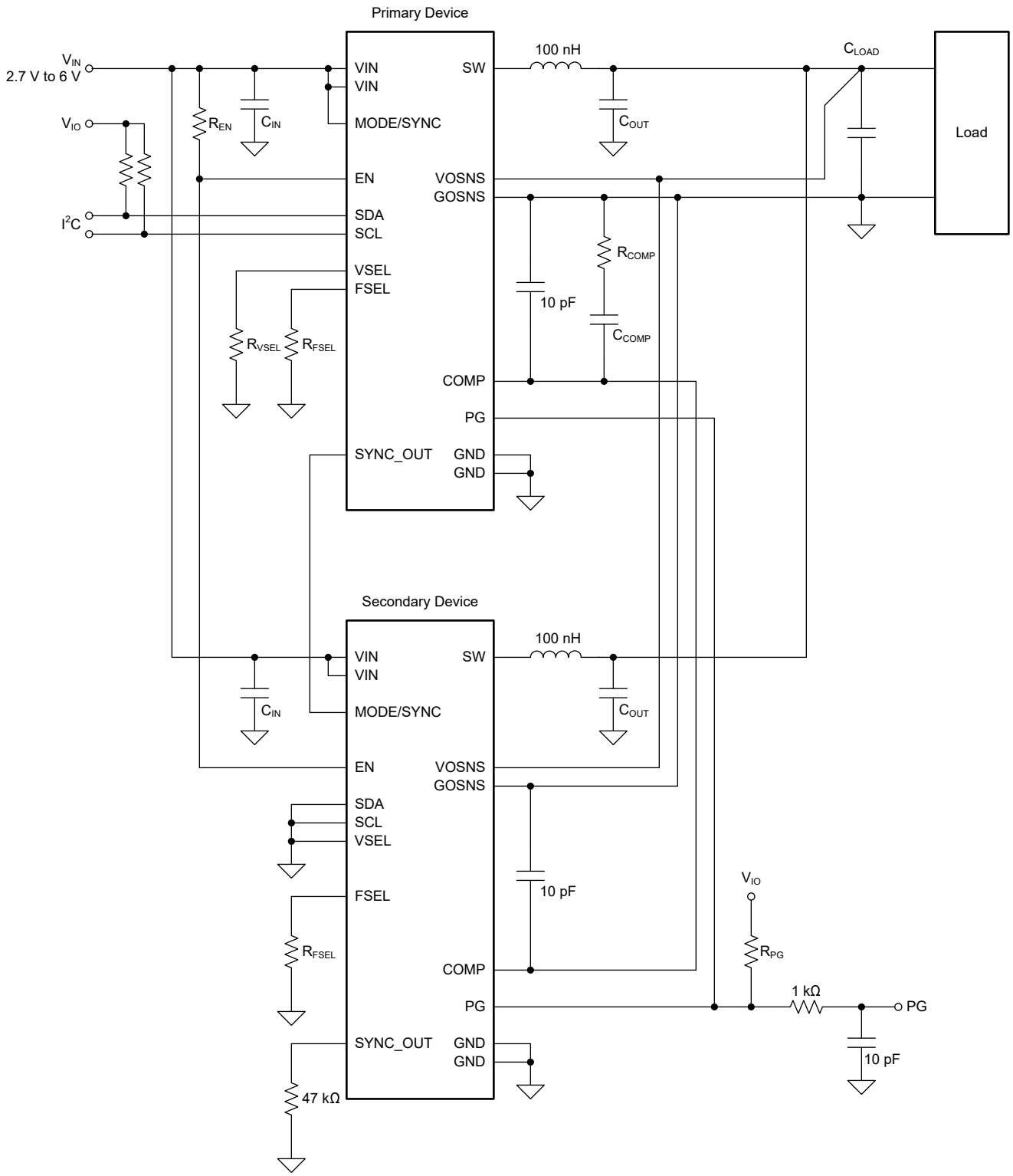


图 7-15. 堆叠配置中的两个 TPS6287x 器件

需要注意的关键点包括：

- 堆栈中的所有器件共享一个公共使能信号，必须使用至少 15kΩ 的电阻上拉该信号。

Copyright © 2025 Texas Instruments Incorporated

- 堆栈中的所有器件共享一个公共电源正常信号，必须将逻辑高电平上拉至 Vsub(IH_PG) 以上。即使未使用 PG 输出，也必须连接和上拉 PG 引脚。
- 堆栈中的所有器件共享一个公共补偿信号。
- 所有辅助器件必须在 SYNC_OUT 引脚和接地端之间连接一个 47kΩ 电阻器。
- 必须连接*每个器件的*遥感引脚（VOSNS 和 GOSNS）（请勿将这些引脚悬空）。
- 每个器件必须配置为相同的开关频率。
- 主器件必须配置为强制 PWM 运行（辅助器件自动配置为强制 PWM 运行）。
- 堆叠配置可以支持与外部时钟或展频时钟的同步。
- 只有主器件的 VSELx 引脚用于设置默认输出电压。辅助器件的 VSEL 引脚未使用，必须接地。
- 辅助器件的 SDA 和 SCL 引脚未使用，必须接地。
- 堆叠配置使用菊花链时钟信号，其中每个器件以相对于菊花链中的相邻器件大约 140° 的相位偏移进行开关。要以菊花链方式连接时钟信号，请将主器件的 SYNC_OUT 引脚连接到第一个辅助器件的 MODE/SYNC 引脚。将第一个辅助器件的 SYNC_OUT 引脚连接到第二个辅助器件的 MODE/SYNC 引脚。继续对堆栈中的所有器件使用该连接方案，将其以菊花链方式连接在一起。
- 不得在堆叠配置中使用断续过流保护功能。

在堆叠配置中，公共使能信号还用作 SYSTEM_READY 信号（请参阅节 7.3.3）。堆栈中的每个器件都可以在器件启动期间或发生故障时将 EN 引脚拉至低电平。因此，只有当所有器件都完成启动序列并且无故障时，堆栈才会启用。任何一个器件出现故障都会禁用整个堆栈（只要故障条件存在）。

在启动期间，只要使能信号 (SYSTEM_READY) 为低电平，主器件就会将 COMP 引脚拉至低电平。当使能信号变为高电平时，主器件主动控制 COMP 引脚，堆栈中的所有转换器都与 COMP 电压保持一致。在启动期间，堆栈中的每个器件在初始化时将 PG 引脚拉至低电平。初始化完成后，堆栈中的每个辅助器件将 PG 引脚设置为高阻抗，主器件单独控制 PG 信号的状态。当堆栈完成启动斜坡并且输出电压处于规格范围内时，PG 引脚变为高电平。堆栈中的辅助转换器检测电源正常信号的上升沿，并从 DCM 运行切换至 CCM 运行。堆栈成功启动后，主器件按照正常方式控制电源良好信号。在堆叠配置中，有些故障仅影响单个器件，而另一些故障则影响所有器件。例如，如果一个器件进入电流限制状态，则只有该器件受到影响。但是，一个器件中的热关断或欠压锁定事件会通过共享的使能 (SYSTEM_READY) 信号禁用所有器件。

堆叠运行期间的功能

某些器件功能在堆叠运行期间不可用，或者仅在主转换器中可用。表 7-8 总结了堆叠运行期间的可用功能。

表 7-8. 堆叠运行期间的功能

功能	主器件	辅助器件	备注
UVLO	是	是	公共使能信号
OVLO	是	是	公共使能信号
OCP - 电流限制	是	是	个人
OCP – 断续 OCP	否	否	请勿在堆叠运行期间使用。
热关断	是	是	公共使能信号
电源正常（窗口比较器）	是	否	仅主器件
I^2C 接口	是	否	仅主器件
DVS	通过 I^2C	否	电压环路仅由主器件控制
SSC	通过 I^2C	是，通过主器件	以菊花链形式从主器件连接到辅助器件
SYNC	是	是，通过主器件	向主器件施加同步时钟
精密使能	否	否	仅二进制使能
输出放电	通过 I^2C	是	始终在辅助器件中启用

堆叠运行期间的故障处理

在堆叠配置中，有些故障仅影响单个器件，而另一些故障则影响所有器件。例如，如果一个器件进入电流限制状态，则只有该器件受到影响。一个器件中的热关断或欠压锁定事件会通过共享的使能 (SYSTEM_READY) 信号禁用所有器件。表 7-9 总结了堆叠运行期间 TPS6287x 器件的故障处理。

表 7-9. 堆叠运行期间的故障处理

故障条件	器件响应	系统响应
UVLO	使能信号被拉至低电平	新的软启动
OVLO		
热关断		
电流限制	使能信号保持高电平	误差放大器被钳位

7.4 器件功能模式

7.4.1 上电复位

当电源电压低于 POR 阈值时，器件在 POR 模式下运行，1.4V（典型）。

在 POR 模式下，不提供任何功能，器件寄存器的内容无效。

当电源电压增加到 POR 阈值以上时，器件退出 POR 模式并进入 UVLO 模式。

7.4.2 欠压锁定

当电源电压介于 POR 和 UVLO 阈值之间时，器件在 UVLO 模式下运行。

如果器件从 POR 模式进入 UVLO 模式，则没有任何功能可用。如果器件从待机模式进入 UVLO 模式，则输出放电功能可用。器件寄存器的内容在 UVLO 模式下有效。

当电源电压降至 POR 阈值以下时，器件退出 UVLO 模式并进入 POR 模式。当电源电压增至 UVLO 阈值以上时，器件退出 UVLO 模式并进入待机模式。

7.4.3 待机

当电源电压大于 UVLO 阈值并且满足以下任何条件时（并且器件完成了初始化），器件在待机模式下运行：

- EN 引脚上施加了低电平。
- CONTROL1 寄存器中的 SWEN = 0。
- 器件结温大于热关断阈值。
- 电源电压大于 OVLO 阈值。

在器件上电复位且电源电压升至 UVLO 阈值电压以上后，器件会在指定时间间隔 $t_{d(EN)1}$（典型值 175µs，最大值 500µs）进行初始化。如果电源电压降至 UVLO 阈值以下但不低于 POR 阈值，则当电源电压再次增加时，器件不会重新初始化。在初始化期间，器件读取 FSEL、VSEL 和 SYNC_OUT 引脚的状态。

器件完成初始化后，在待机模式下可使用以下功能：

- I^2C 接口
- 输出放电
- 电源正常状态指示

当电源电压降至 UVLO 阈值以下时，器件退出待机模式并进入 UVLO 模式。当满足以下所有条件时，器件退出待机模式并进入导通模式：

- EN 引脚上施加了高电平。
- CONTROL1 寄存器中的 SWEN = 1。
- 器件结温低于热关断阈值。
- 电源电压低于 OVLO 阈值。

7.4.4 开启

当电源电压大于 UVLO 阈值并且满足以下所有条件时，器件在导通模式下运行：

Copyright © 2025 Texas Instruments Incorporated

- EN 引脚上施加了高电平。
- CONTROL1 寄存器中的 SWEN = 1。
- 器件结温低于热关断阈值。
- 电源电压低于 OVLO 阈值。

在导通模式下所有功能均可用。

当电源电压降至 UVLO 阈值以下时，器件退出导通模式并进入 UVLO 模式。当满足以下任一条件时，器件退出导通模式并进入待机模式：

- EN 引脚上施加了低电平。
- CONTROL1 寄存器中的 SWEN = 0。
- 器件结温大于热关断阈值。
- 电源电压大于 OVLO 阈值。

7.5 编程

7.5.1 串行接口说明

I²C 是由 Philips Semiconductor（现为 NXP Semiconductors）开发的 2 线制串行接口（请参阅 I²C 总线规范和用户手册，修订版 6，2014 年 4 月 4 日）。总线由数据线 (SDA) 和时钟线 (SCL) 以及上拉结构组成。当总线*空闲*时，SDA 和 SCL 线都被拉至高电平。所有与 I²C 兼容的器件通过漏极开路 I/O 引脚、SDA 和 SCL 连接到 I²C 总线。*控制器*（通常是微控制器或数字信号处理器）控制总线。控制器负责产生 SCL 信号和器件地址。控制器还会产生指示数据传输开始和停止的特定条件。*目标*在控制器的控制下通过总线接收或发送数据，或者同时进行这二者。

TPS6287x 器件作为目标运行，支持 I²C 总线规范中定义的以下数据传输*模式*：标准模式 (100Kbps)、快速模式 (400Kbps) 和快速+ 模式 (1Mbps)。该接口增加了电源设计的灵活性，使大多数功能都能够根据瞬时应用要求编程为新值。只要输入电压保持在 1.4V 以上，寄存器内容就会保持不变。

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 F/S 模式。该器件支持 7 位寻址；不支持通用调用地址。

上电期间 VSEL 引脚的状态定义了器件的 I²C 目标地址（请参阅表 7-10）。请注意，VSEL 引脚还会设置器件的默认启动电压（请参阅表 7-4）。

表 7-10. I²C 接口目标地址选择

VSEL 引脚	I²C 目标地址 (1)
6.2kΩ 至 GND	0x40
短路至 GND	0x41
短路至 V_{IN}	0X42
47kΩ（连接至 V_{IN}）	0x43

(1) 可用的 I²C 地址。此参数取决于器件编号。请参阅节 4 中的器件选项表

TI 建议在 SDA 和 SCL 上拉电压初始上电后，I²C 控制器在 I²C 总线上发出一个停止条件，以便确保 I²C 引擎复位。

7.5.2 标准模式、快速模式、快速模式+ 协议

控制器通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高电平到低电平的转换，如图 7-16 所示。所有与 I²C 兼容的器件都必须识别启动条件。

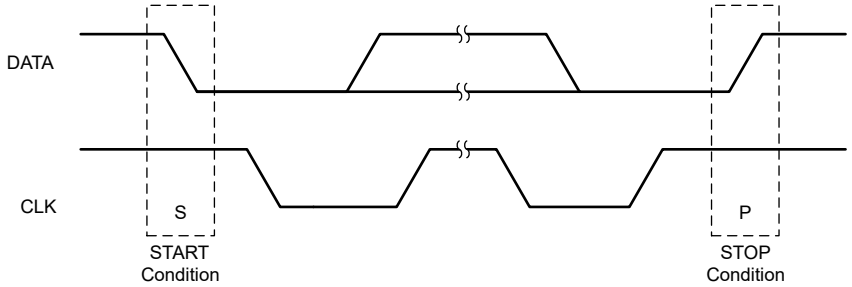


图 7-16. 启动条件和停止条件

控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取及写入方向位 (R/$\overline{W}$)。在所有传输期间，控制器确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定（请参阅图 7-17）。所有器件都识别控制器发送的地址，并将该地址与内部固定地址进行比较。只有具有匹配地址的目标才会通过在第九个 SCL 周期的整个高电平期间将 SDA 线拉至低电平来生成响应（请参阅图 7-18）。在检测到该确认时，控制器便知道已建立与目标器件的通信链路。

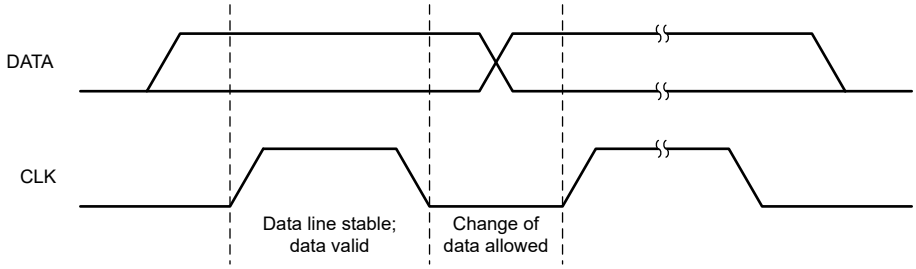


图 7-17. 串行接口上的位传输

控制器产生更多的 SCL 周期，以便向目标器件发送数据（R/$\overline{W}$ 位为 0）或从目标器件接收数据（R/$\overline{W}$ 位为 1）。在任一种情况下，目标都必须确认控制器发送的数据。因此，响应信号可由控制器或目标产生，具体取决于哪个是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，可根据需要继续。

为了用信号指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从高电平拉至低电平来产生停止条件（请参阅图 7-16）。此停止条件将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I^2C 兼容的器件都必须识别停止条件。在收到停止条件后，所有器件都知道总线已释放，并等待启动条件，接着是匹配的地址。

尝试从本节中未列出的寄存器地址读取数据会导致读出 0x00。

Copyright © 2025 Texas Instruments Incorporated

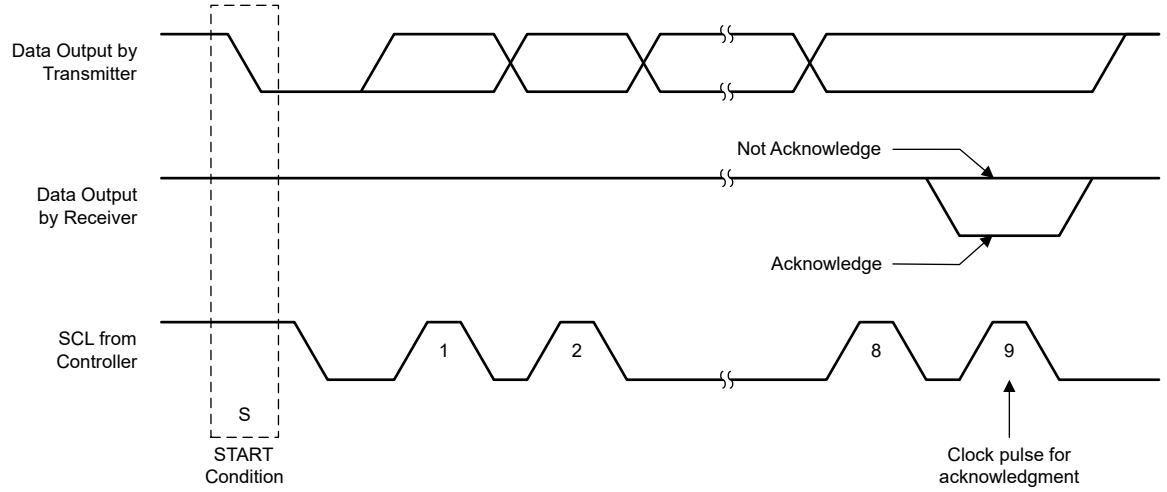


图 7-18. I²C 总线上的确认

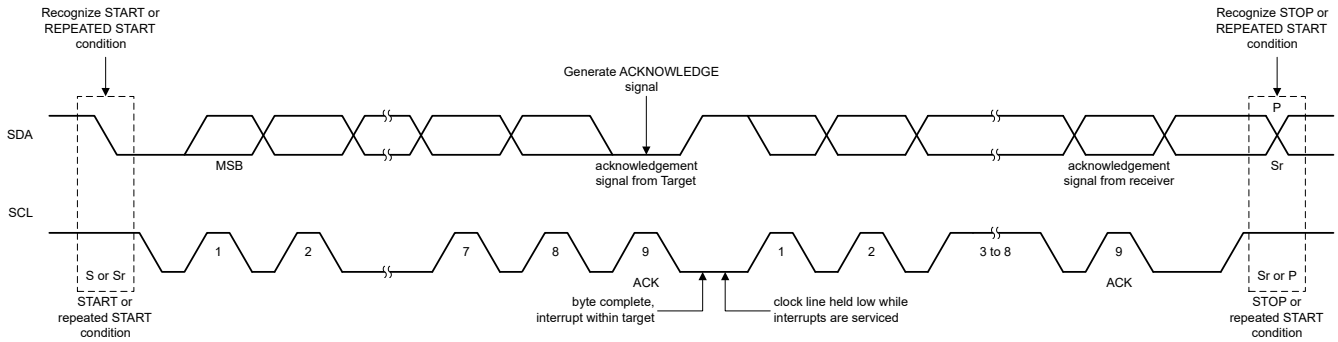


图 7-19. 总线协议

7.5.3 I²C 更新序列

单次更新需要以下内容：

- 启动条件
- 有效的 I²C 地址
- 寄存器地址字节
- 数据字节

在收到每个字节之后，接收器件通过在单个时钟脉冲的高电平周期内将 SDA 线拉至低电平来进行确认。一个有效的 I²C 地址字节选择目标。该目标在 LSB 字节之后的确认信号下降沿执行更新。

图 7-20. 标准-、快速和快速+ 模式下的“写入”数据传输格式

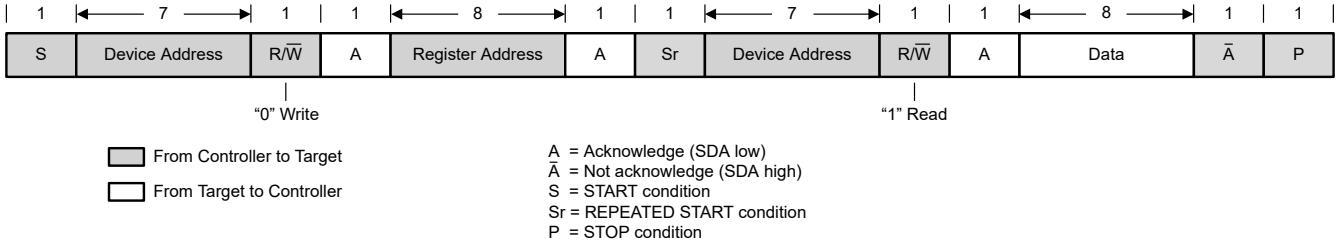


图 7-21. 标准-、快速、快速+ 模式下的“读取”数据传输格式

7.5.4 I²C 寄存器复位

I²C 寄存器可通过以下方式复位：

- 将输入电压拉至 1.4V（典型值）以下。
- 设置 CONTROL 寄存器中的 RESET 位。当 RESET = 1 时，所有寄存器均复位为默认值，并立即开始新的启动。在 $t_{d(EN)2}$ 之后，用户可以再次对 I²C 寄存器进行编程。

Copyright © 2025 Texas Instruments Incorporated

8 寄存器映射

表 8-1 列出了器件寄存器。将表 8-1 中未列出的所有寄存器偏移地址都视为保留的存储单元。请勿修改寄存器内容。

表 8-1. 器件寄存器

地址	首字母缩写词	寄存器名称	部分
0h	VSET	输出电压设定点	转到
1h	CONTROL1	控制 1	转到
2h	CONTROL2	控制 2	转到
3h	CONTROL3	控制 3	转到
4h	状态	状态	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
- *n*		复位后的值或默认值

8.1 VSET 寄存器（地址 = 0h）[复位 = X]

图 8-1 显示了 VSET，在表 8-3 中对此进行了介绍。

返回到汇总表。

该寄存器控制输出电压设定点。

图 8-1. VSET 寄存器

7	6	5	4	3	2	1	0
VSET							
R/W-X							

表 8-3. VSET 寄存器字段说明

位	字段	类型	复位	说明
7-0	VSET	R/W	X	输出电压设定点（请参阅 CONTROL2 寄存器中的范围设置位）。 范围 1：输出电压设定点 = 0.4V + VSET[7:0] × 1.25mV 范围 2：输出电压设定点 = 0.4V + VSET[7:0] × 2.5mV 范围 3：输出电压设定点 = 0.4V + VSET[7:0] × 5mV 范围 4：输出电压设定点 = 0.8 V + VSET[7:0] × 10 mV 上电期间 VSEL 引脚的状态决定了复位值。

Copyright © 2025 Texas Instruments Incorporated

8.2 CONTROL1 寄存器（地址 = 1h）[复位 = 2Ah]

图 8-2 显示了 CONTROL1，表 8-4 中对此进行了介绍。

返回到汇总表。

该寄存器控制各种器件配置选项。

图 8-2. CONTROL1 寄存器

7	6	5	4	3	2	1	0
复位	SSCEN	SWEN	FPWMEN	DISCHEN	HICCUPEN	VRAMP	
R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-1b	R/W-0b	R/W-10b	

表 8-4. CONTROL1 寄存器字段说明

位	字段	类型	复位	说明
7	复位	R/W	0b	复位器件 0b = 无效 1b = 将所有寄存器复位为默认值 读取该位始终返回 0。
6	SSCEN	R/W	0b	启用展频时钟 0b = 禁用 SSC 运行 1b = 启用 SSC 运行
5	SWEN	R/W	1b	软件启用 0b = 禁用开关（保留寄存器值） 1b = 启用开关（无启用延迟）
4	FPWMEN	R/W	0b	强制 PWM 启用 0b = 启用省电运行 1b = 启用强制 PWM 运行 该位与 MODE/SYNC 引脚进行逻辑或运算。如果向 MODE/SYNC 引脚施加高电平或同步时钟，则无论该位的状态如何，器件都会以强制 PWM 模式运行。
3	DISCHEN	R/W	1b	启用输出放电 0b = 禁用输出放电 1b = 启用输出放电
2	HICCUPEN	R/W	0b	断续运行启用 0b = 禁用断续运行 1b = 启用断续运行。请勿在堆叠运行期间启用断续运行。
1-0	VRAMP	R/W	10b	从一个输出电压设置更改为另一个时的输出电压斜坡速度 00b = 10 mV/μs 01b = 5 mV/μs 10b = 1.25 mV/μs 11b = 0.5 mV/μs

8.3 CONTROL2 寄存器（地址 = 2h）[复位 = 9h]

图 8-3 显示了 CONTROL2，表 8-5 中对此进行了介绍。

返回到汇总表。

该寄存器控制各种器件配置选项。

图 8-3. CONTROL2 寄存器

7	6	5	4	3	2	1	0
RESERVED				VRANGE		SSTIME	
R-0000b				R/W-10b		R/W-01b	

表 8-5. CONTROL2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0000b	保留供将来使用。为了确保与未来器件型号兼容，请将这些位编程为 0。
3-2	VRANGE	R/W	10b	在 1.25mV 阶跃时，输出电压范围 00b = 0.4V 至 0.71875V，在 2.5mV 阶跃时，输出电压范围 01b = 0.4V 至 1.0375V，在 5mV 阶跃时，输出电压范围 10b = 0.4V 至 1.675V，在 10mV 阶跃时，输出电压范围 11b = 0.8V 至 3.35V
1-0	SSTIME	R/W	01b	软启动斜坡时间 00b = 0.5 ms 01b = 1 ms 10b = 2 ms 11b = 4 ms

Copyright © 2025 Texas Instruments Incorporated

8.4 CONTROL3 寄存器（地址 = 3h）[复位 = 0h]

图 8-4 显示了 CONTROL3，表 8-6 中对此进行了介绍。

返回到汇总表。

该寄存器控制各种器件配置选项。

图 8-4. CONTROL3 寄存器

7	6	5	4	3	2	1	0
RESERVED						SINGLE	PGBLNKDVS
R-000000b						R/W-0b	R/W-0b

表 8-6. CONTROL3 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	000000b	保留供将来使用。为了确保与未来器件型号兼容，请将这些位编程为 0。
1	SINGLE	R/W	0b	单器件运行。该位控制内部 EN 下拉和 SYNC_OUT 功能。 0b = 启用 EN 引脚下拉和 SYNC_OUT 1b = 禁用 EN 引脚下拉和 SYNC_OUT。请勿在堆叠运行期间使用。
0	PGBLNKDVS	R/W	0b	DVS 期间的电源正常消隐 0b = PG 引脚反映窗口比较器的输出。 1b = PG 引脚在 DVS 期间为高阻抗。

8.5 STATUS 寄存器（地址 = 4h）[复位 = 2h]

图 8-5 显示了状态，在表 8-7 中对此进行了介绍。

返回到汇总表。

该寄存器返回器件状态标志。

图 8-5. STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		断续	ILIM	TWARN	TSHUT	PBUV	PBOV
R-00b		R-0b	R-0b	R-0b	R-0b	R-1b	R-0b

表 8-7. 状态寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留供将来使用。为了与未来器件型号兼容，请忽略这些位。
5	断续	R	0b	断续。该位报告自上次读取 STATUS 寄存器以来是否发生断续事件。 0b = 未发生断续事件 1b = 发生了断续事件
4	ILIM	R	0b	电流限制。该位报告自上次读取 STATUS 寄存器以来是否发生电流限制事件。 0b = 未发生电流限制事件 1b = 发生了电流限制事件
3	TWARN	R	0b	热警告。该位报告自上次读取 STATUS 寄存器以来是否发生热警告事件。 0b = 未发生热警告事件 1b = 发生了热警告事件
2	TSHUT	R	0b	热关断。该位报告自上次读取 STATUS 寄存器以来是否发生关断事件。 0b = 未发生热关断事件 1b = 发生了热关断事件
1	PBUV	R	1b	电源不良欠压。该位报告自上次读取 STATUS 寄存器以来是否发生了电源不良事件（输出电压过低）。 0b = 未发生电源不良欠压事件 1b = 发生了电源不良欠压事件
0	PBOV	R	0b	电源不良过压。该位报告自上次读取 STATUS 寄存器以来是否发生了电源不良事件（输出电压过高）。 0b = 未发生电源不良过压事件 1b = 发生了电源不良过压事件

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

下一节讨论如何选择外部元件来完成典型应用的电源设计。

9.2 典型应用

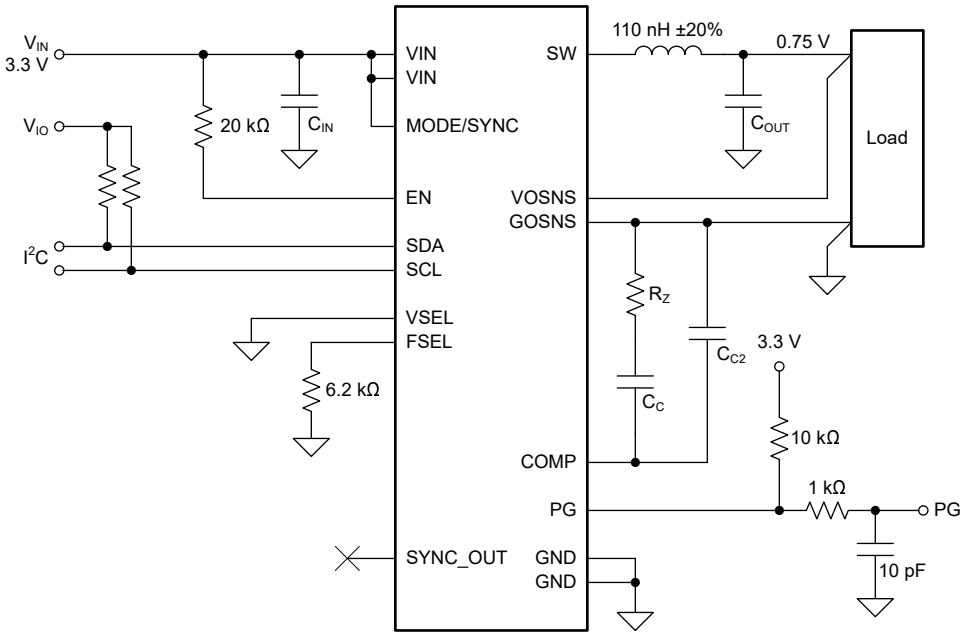


图 9-1. 典型应用原理图

9.2.1 设计要求

表 9-1 列出了该应用示例的运行参数。

表 9-1. 设计参数

符号	参数	值
V_{IN}	输入电压	3.3V
V_{OUT}	输出电压	0.75V
TOL_{VOUT}	应用允许的输出电压容差	±3.3%
TOL_{DC}	TPS6287x（直流精度）的输出电压容差	±1%
ΔI_{OUT}	输出电流负载阶跃	±7.5A（从 3.8A 至 11.3A）
t_t	负载步长跃变时间	1 µs
f_{SW}	开关频率	2.25MHz
L	电感	110nH
TOL_{IND}	电感器容差	±20%
g_m	误差放大器跨导	1.5mS
τ	内部时序参数	12.5 µs
TOL_{τ}	内部时序参数的容差	±30%

表 9-1. 设计参数（续）

符号	参数	值
k_{BW}	开关频率与转换器带宽之比（必须 ≥ 4）	4
Nϕ	相位数	1

初步计算

电源的最大允许偏差为 ±3.3%。TPS6287x 的直流精度指定为 ±1%，因此瞬态期间的最大输出电压变化可以通过以下方式进行计算：

$$\Delta V_{OUT} = \pm V_{OUT} \times (3.3\% - 1\%) = \pm 17.25mV \quad (6)$$

9.2.2 详细设计过程

以下各节介绍如何计算满足给定应用的指定瞬态要求所需的外部元件。计算包括元件的最坏情况变化，并使用 RMS 方法合并不相关参数的变化。

9.2.2.1 选择电感器

已针对 50nH 至 300nH 范围内的电感器，优化了 TPS6287x 器件。如果转换器的瞬态响应受到电感器中电流转换率的限制，则使用较小的电感器可以提高性能。然而，输出纹波电流随着电感器感值的减小而增加，并且较高的输出电流纹波会产生较高的输出电压纹波，这会增加瞬态过冲或下冲。给定应用的最佳配置始终是多个参数之间权衡的结果。对于典型应用，TI 建议起始值为 110nH。

使用以下项可计算峰峰值电感电流纹波：

$$I_{L(PP)} = \frac{V_{OUT}}{V_{IN}}\left(\frac{V_{IN} - V_{OUT}}{N\phi \times L \times f_{sw}}\right) \quad (7)$$

$$I_{L(PP)} = \frac{0.75}{3.3}\left(\frac{3.3 - 0.75}{1 \times 110 \times 10^{-9} \times 2.25 \times 10^{6}}\right) = 2.342A \quad (8)$$

表 9-2 列出了多个电感器，经设计其可用于此项应用中。然而，该列表并不详尽，其他制造商提供的其他电感器也可能非常适用。

表 9-2. 推荐电感器列表

电感	电流额定值 (I_{SAT} AT 25°C)	尺寸 (L × W × H)	直流电阻	器件型号[(1)]
92nH	24A	4 × 4 × 1.2 mm	5.2mΩ（典型值）	Coilcraft，XEL4012-920NE
100nH	30A	4 × 4 × 3.2 mm	1.5mΩ（典型值）	Coilcraft，XEL4030-101ME
110nH	29A	4 × 4 × 2.1 mm	1.4mΩ（典型值）	Coilcraft，XGL4020-111ME
110nH	29A	3.2 × 2.5 × 2.5mm	1.9mΩ（典型值）	TDK，CLT32-R11
55nH	39.5A	3.2 × 2.5 × 2.5mm	1.0mΩ（典型值）	TDK，CLT32-55N
110nH	17.0A	3.2 × 2.5 × 2.5mm	3.0mΩ（典型值）	Cyntec，VCTA32252E-R11MS6
100nH	25A	4.2 × 4.0 × 2.1mm	1.9mΩ（典型值）	Cyntec，VCHA042A-R10MS62M
100nH	44A	5.45 × 5.25 × 2.8mm	0.8mΩ（典型值）	Cyntec，VCHW053T-R10NMS5

(1) 请参阅 节 10.1.1。

9.2.2.2 选择输入电容器

与所有降压转换器一样，TPS6287x 器件的输入电流是不连续的。输入电容器为器件提供低阻抗能源，值、类型和位置对于正确运行至关重要。TI 建议使用低 ESR 多层陶瓷电容器，以便实现理想性能。实际上，总输入电容通常包括不同电容器的组合，其中较大的电容器在较低频率下提供去耦合，而较小的电容器在较高频率下提供去耦合。

Copyright © 2025 Texas Instruments Incorporated

TPS6287x 器件采用*蝶形*布局，两对 VIN 和 GND 引脚位于封装的两个相对侧。这使得输入电容器可以对称地放置在 PCB 上，以使产生的电磁场相互抵消，从而降低 EMI。

转换器的占空比由以下公式给出：

$$D = \frac{V_{OUT}}{\eta \times V_{IN}} \tag{9}$$

其中
- V_{IN} 是输入电压。
- V_{OUT} 是输出电压。
- η 是效率。

$$D = \frac{0.75}{0.9 \times 3.3} = 0.253 \tag{10}$$

满足输入电压纹波要求所需的输入电容值由以下公式给出：

$$C_{IN} = \frac{D \times (1 - D) \times I_{OUT}}{V_{IN(PP)} \times f_{sw}} \tag{11}$$

其中
- D 为占空比。
- f_{SW} 为开关频率。
- L 是电感。
- I_{OUT} 是输出电流。ΔI_{OUT} 给出最大值 11.3A，如下所述 表 9-1

100mV 用作输入电压纹波目标。

$$C_{IN} = \frac{0.253 \times (1 - 0.253) \times 11.3}{0.1 \times 2.25 \times 10^6} = 9.5\mu F \tag{12}$$

通过方程式 11 计算得出的 C_{IN} 值是考虑所有降额、容差和老化影响后的*有效*电容。每个输入引脚需要 5μF 有效电容。TI 建议 C_{IN} 使用具有 X7R 电介质（或类似介质）的多层陶瓷电容器，并且这些电容器必须尽可能靠近 VIN 和 GND 引脚放置，以尽量减小环路面积。

表 9-3 列出了多个非常适合该应用的电容器。该列表并不详尽，其他制造商提供的其他电容器也可能非常适用。

表 9-3. 建议的输入电容器列表

电容	尺寸	电压额定值	制造商，器件型号 (1)
	MM（英寸）		
470nF ±10%	1005 (0402)	10V	Murata，GCM155C71A474KE36D
470nF ±10%	1005 (0402)	10V	TDK，CGA2B3X7S1A474K050BB
10 μF ±10%	2012 (0805)	10V	Murata，GCM21BR71A106KE22L
10 μF ±10%	2012 (0805)	10V	TDK，CGA4J3X7S1A106K125AB
22 μF ±10%	3216 (1206)	10V	Murata，GCM31CR71A226KE02L
22 μF ±20%	3216 (1206)	10V	TDK，CGA5L1X7S1A226M160AC

(1) 请参阅 节 10.1.1。

9.2.2.3 选择补偿电阻器

使用 方程式 13 来计算补偿电阻器 R_Z 的建议阻值：

$$R_Z = \frac{1}{g_m}\left(\frac{\pi \times \left[\Delta I_{OUT} + \frac{I_{L(PP)}}{2}\right] \times \frac{L}{N\phi}}{4 \times \tau \times \Delta V_{OUT}} - 1\right)\left(1 + \sqrt{{TOL_{IND}}^2 + {TOL_\tau}^2}\right) \quad (13)$$

$$R_Z = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times \left[7.5 + \frac{2.342}{2}\right] \times \frac{110 \times 10^{-9}}{1}}{4 \times 12.5 \times 10^{-6} \times 17.25 \times 10^{-3}} - 1\right)\left(1 + \sqrt{{20\%}^2 + {30\%}^2}\right) = 2.244k\Omega \quad (14)$$

向上舍入后，E24 系列最接近的标准值是 2.4kΩ。

9.2.2.4 选择输出电容器

实际上，总输出电容通常包括不同电容器的组合，其中较大的电容器在较低频率下提供负载电流，而较小的电容器在较高频率下提供负载电流。输出电容器的容值、类型和位置对于正常运行而言至关重要。TI 建议使用具有 X7R 电介质（或类似电介质）的低 ESR 多层陶瓷电容器，以便实现理想性能。

TPS6287x 器件采用蝶形布局，两个 GND 引脚位于封装的两个相对侧。这使得输出电容器可以对称地放置在 PCB 上，以使产生的电磁场相互抵消，从而降低 EMI。

转换器的瞬态响应由以下两个标准之一限制：

- 流经电感器的电流的压摆率，在这种情况下，转换器的反馈环路饱和。
- 转换器带宽与开关频率的最大允许比率，其中转换器保持稳定状态（即环路不会饱和）。对于典型应用，TI 建议最低比率为 4。

上述哪个标准适用于任何给定的应用取决于运行条件和所使用的元件值。因此，TI 建议用户计算这两种情况的输出电容，并选择两个值中较高的一个。

如果转换器保持在稳压状态，则所需的最小输出电容由以下公式给出：

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times (1 + g_m \times R_Z)}{2 \times \pi \times \frac{L}{N\phi} \times \frac{f_{SW}}{4}}\right)\left(1 + \sqrt{{TOL_\tau}^2 + {TOL_{IND}}^2 + {TOL_{fSW}}^2}\right) \quad (15)$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times \left(1 + 1.5 \times 10^{-3} \times 2.4 \times 10^3\right)}{2 \times \pi \times \frac{110 \times 10^{-9}}{1} \times \frac{2.25 \times 10^6}{4}}\right)\left(1 + \sqrt{{30\%}^2 + {20\%}^2 + {10\%}^2}\right) = 203.2\mu F \quad (16)$$

如果转换器环路饱和，则最小输出电容由以下公式给出：

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}}\left(\frac{\frac{L}{N\phi} \times \left(\Delta I_{OUT} + \frac{I_{L(PP)}}{2}\right)^2}{2 \times V_{OUT}} - \frac{\Delta I_{OUT} \times t_t}{2}\right)(1 + TOL_{IND}) \quad (17)$$

$$C_{OUT(min)(sat)} = \frac{1}{17.25 \times 10^{-3}}\left(\frac{\frac{110 \times 10^{-9}}{1} \times \left(7.5 + \frac{2.342}{2}\right)^2}{2 \times 0.75} - \frac{7.5 \times 1 \times 10^{-6}}{2}\right)(1 + 20\%) = 122.7\mu F \quad (18)$$

在本例中，选择 $C_{OUT(min)}$ = 203μF，即两个输出电容值中的较大者。

计算最坏情况下的元件值时，请使用上面计算得出的值作为所需的*最小* 输出电容。对于陶瓷电容器，在考虑容差、直流偏置、温度和老化影响的情况下，*最大*电容通常是最小电容的两倍。在这种情况下，最大电容 $C_{OUT(max)}$ 为 406 μF。

Copyright © 2025 Texas Instruments Incorporated

表 9-4. 建议的输出电容器列表

电容	尺寸	电压额定值	制造商，器件型号[(1)]
	MM（英寸）		
22 µF ±20%	2012 (0805)	6.3V	TDK，CGA4J1X7T0J226M125AC
22 µF ±10%	2012 (0805)	6.3V	Murata，GCM31CR71A226KE02
47 µF ±20%	3216 (1206)	4V	TDK，CGA5L1X7T0G476M160AC
47 µF ±20%	2012 (1210)	6.3V	Murata，GCM32ER70J476ME19
100 µF ±20%	3225 (1210)	4V	TDK，CGA6P1X7T0G107M250AC
100 µF ±20%	3216 (1210)	6.3V	Murata，GRT32EC70J107ME13

(1) 请参阅 节 10.1.1。

9.2.2.5 选择补偿电容器 C_C

首先，使用方程式 19 计算内部环路的带宽：

$$BW_{INNER} = \frac{\tau}{2\pi \times \frac{L}{N\Phi} \times C_{OUT(max)}} \tag{19}$$

$$BW_{INNER} = \frac{12.5 \times 10^{-6}}{2\pi \times \frac{110 \times 10^{-9}}{1} \times 406 \times 10^{-6}} = 45kHz \tag{20}$$

接下来，计算 g_mR_Z 的乘积：

$$g_m \times R_Z = 1.5 \times 10^{-3} \times 2.4 \times 10^{3} = 3.6 \tag{21}$$

如果 $g_mR_Z > 1$，则使用方程式 22 计算 C_C 的建议值。如果 $g_mR_z < 1$，则使用方程式 24 计算 C_C 的建议值。

$$C_C = \frac{2}{\pi \times BW_{INNER} \times g_m \times {R_Z}^2} \tag{22}$$

$$C_C = \frac{2}{\pi \times 45 \times 10^{3} \times 1.5 \times 10^{-3} \times \left(2.4 \times 10^{3}\right)^2} = 1.638nF \tag{23}$$

E12 系列最接近的标准值为 1.8nF。

$$C_C = \frac{2 \times g_m}{\pi \times BW_{INNER}} \tag{24}$$

9.2.2.6 选择补偿电容器 C_{C2}

补偿电容器 C_{C2} 是一个可选电容器，我们建议您使用该电容器来旁路来自 COMP 引脚的高频噪声。该电容器的容值并不重要；10pF 或 22pF 电容器非常适合典型应用。

9.2.3 应用曲线

除非另有说明，否则所有应用曲线都是在 L = 110nH (Coilcraft XGL4020-111ME) 且 f_{sw} = 2.25MHz 的条件下获得。

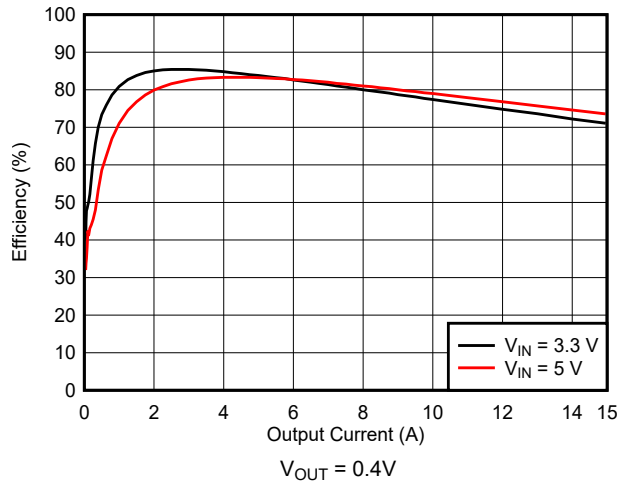


图 9-2. 效率

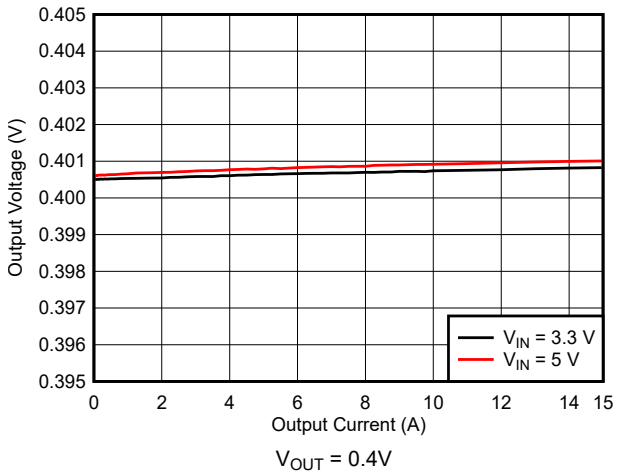


图 9-3. 负载调整率

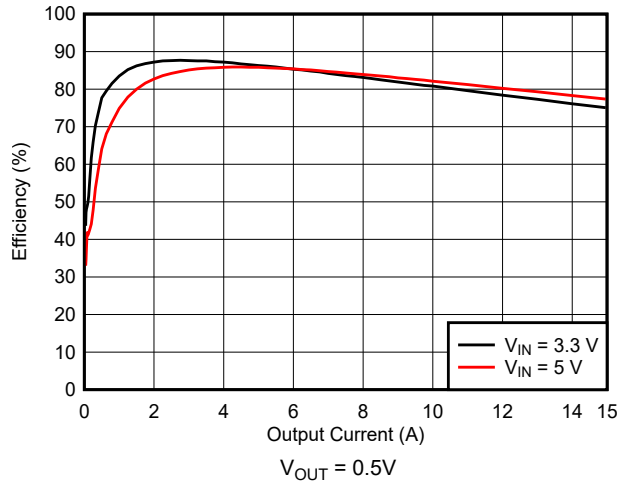


图 9-4. 效率

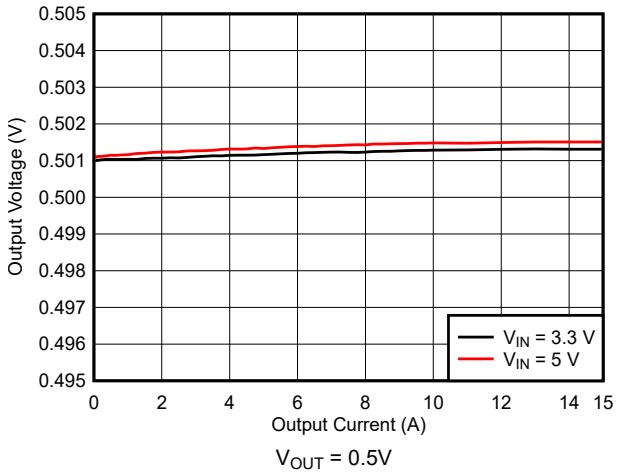


图 9-5. 负载调整率

Copyright © 2025 Texas Instruments Incorporated

9.2.3 应用曲线（续）

除非另有说明，否则所有应用曲线都是在 L = 110nH (Coilcraft XGL4020-111ME) 且 f_{sw} = 2.25MHz 的条件下获得。

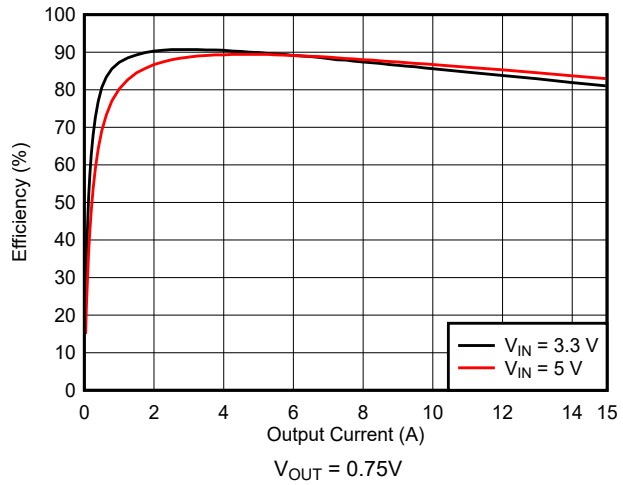


图 9-6. 效率

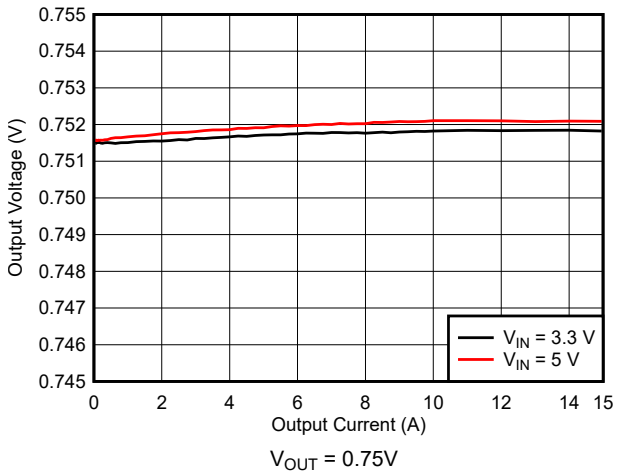


图 9-7. 负载调整率

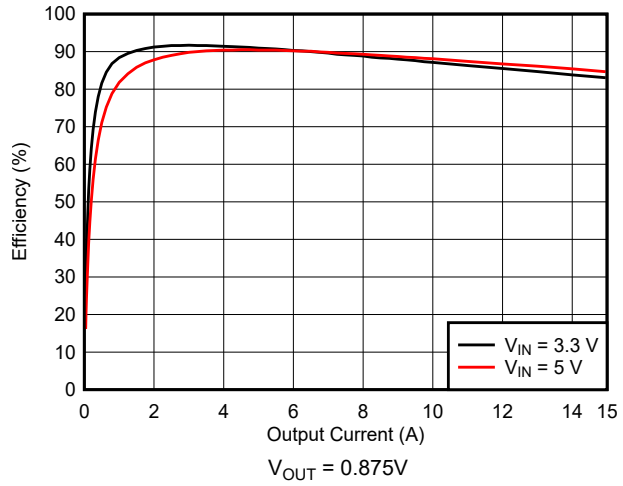


图 9-8. 效率

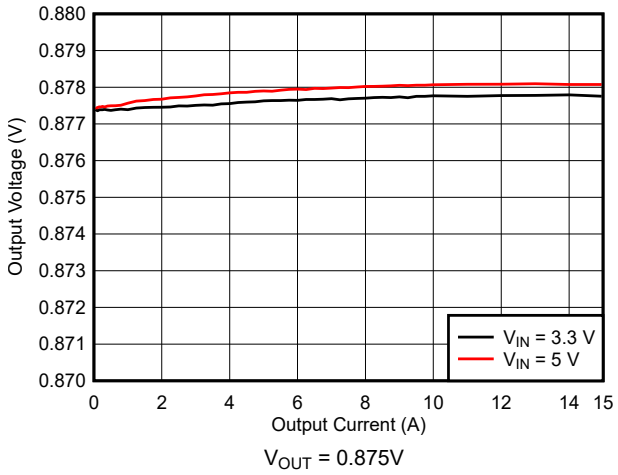


图 9-9. 负载调整率

9.2.3 应用曲线（续）

除非另有说明，否则所有应用曲线都是在 L = 110nH (Coilcraft XGL4020-111ME) 且 f_{sw} = 2.25MHz 的条件下获得。

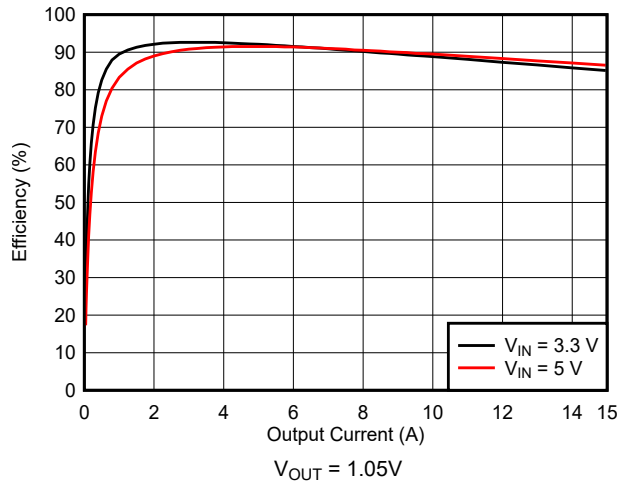


图 9-10. 效率

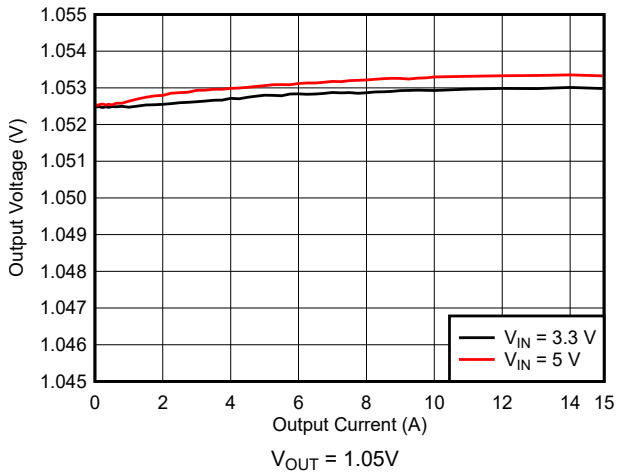


图 9-11. 负载调整率

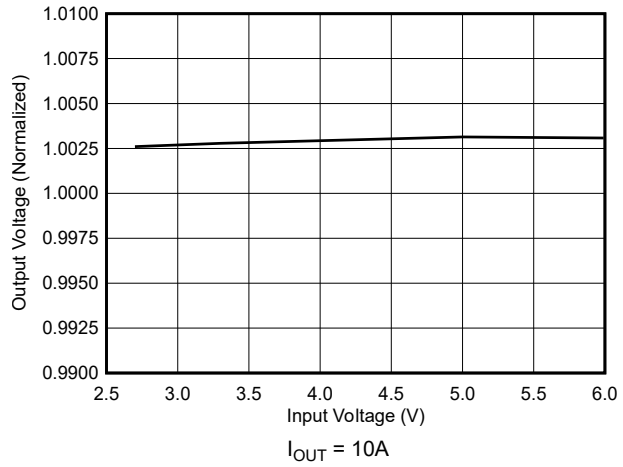


图 9-12. 线性调整率

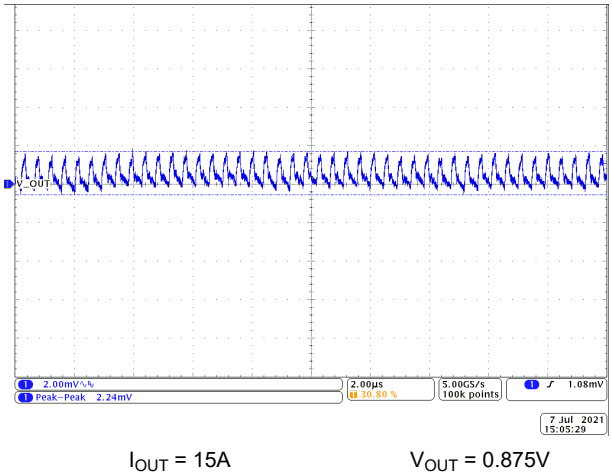


图 9-13. 输出电压纹波

Copyright © 2025 Texas Instruments Incorporated

9.2.3 应用曲线（续）

除非另有说明，否则所有应用曲线都是在 L = 110nH (Coilcraft XGL4020-111ME) 且 f_{sw} = 2.25MHz 的条件下获得。

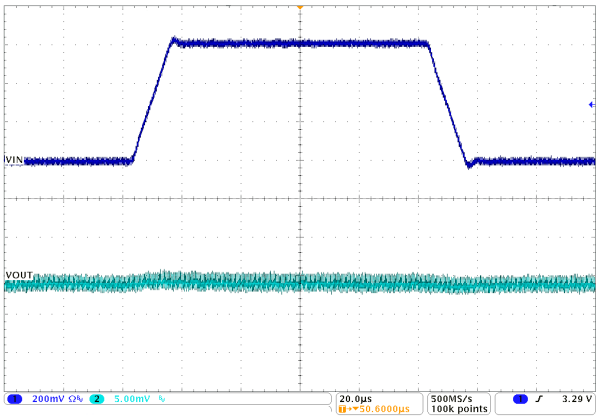
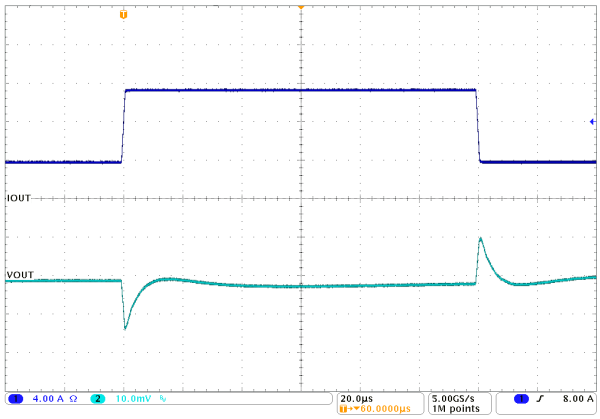
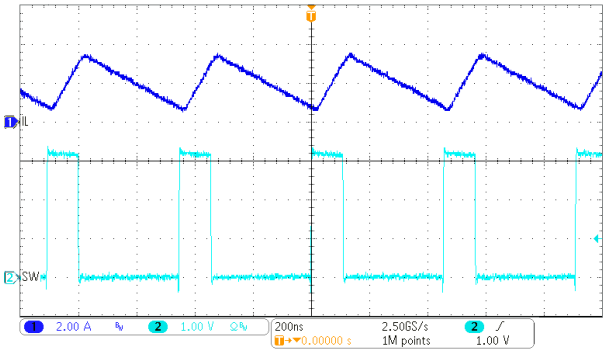


图 9-14. 线路瞬态响应



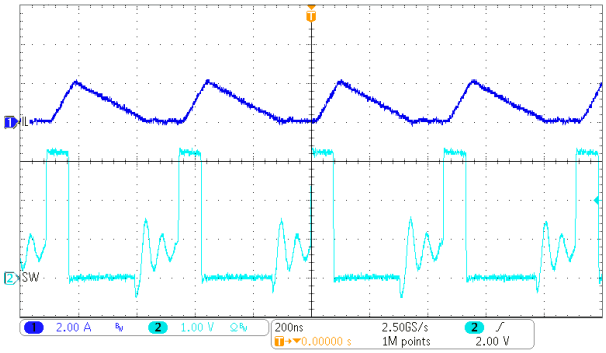
ΔI_{OUT} = 7.5A　　CH1 = 50mV/A

图 9-15. 负载瞬态响应



I_{OUT} = 2A

图 9-16. PWM-CCM 运行

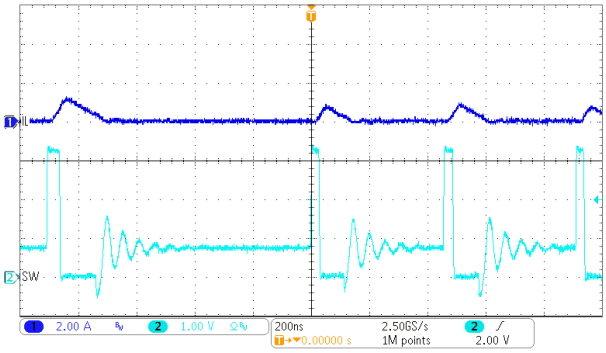


I_{OUT} = 750mA

图 9-17. PWM-DCM 运行

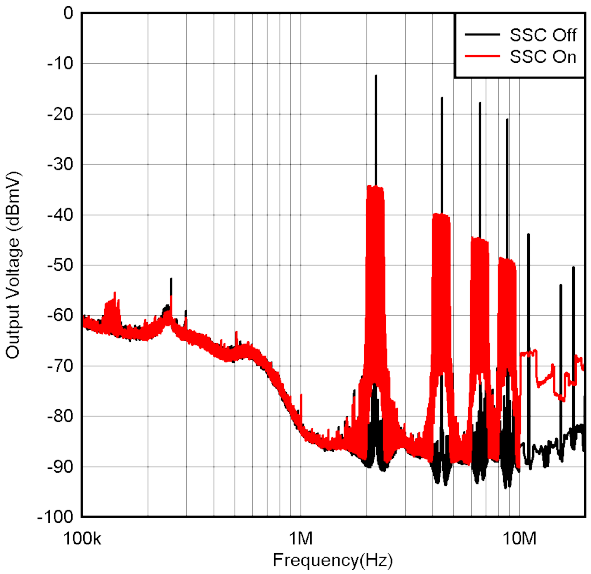
9.2.3 应用曲线（续）

除非另有说明，否则所有应用曲线都是在 L = 110nH (Coilcraft XGL4020-111ME) 且 f_{sw} = 2.25MHz 的条件下获得。



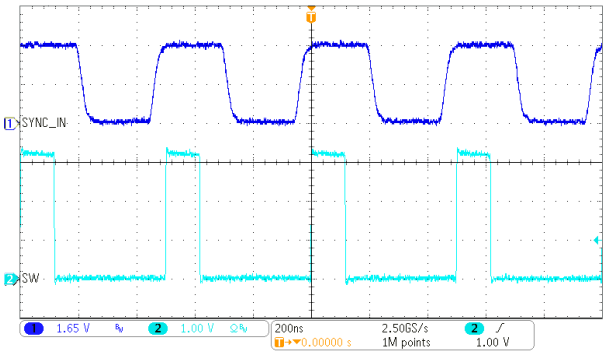
I_{OUT} = 75mA

图 9-18. PFM 操作



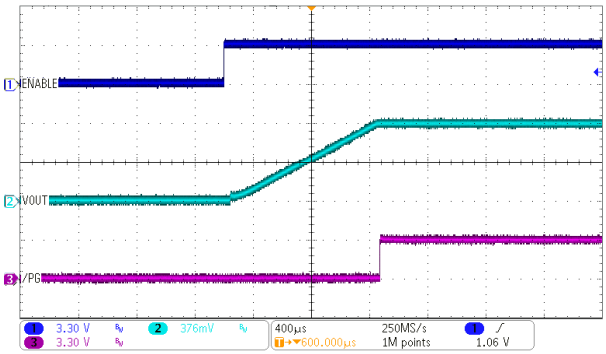
V_{OUT} = 0.75V　　I_{OUT} = 11.5A

图 9-19. 扩频运行



负载 = 0.75Ω　　FSEL = 2.25MHz　　$f_{(SYNC)}$ = 2MHz

图 9-20. 可与外部时钟保持同步



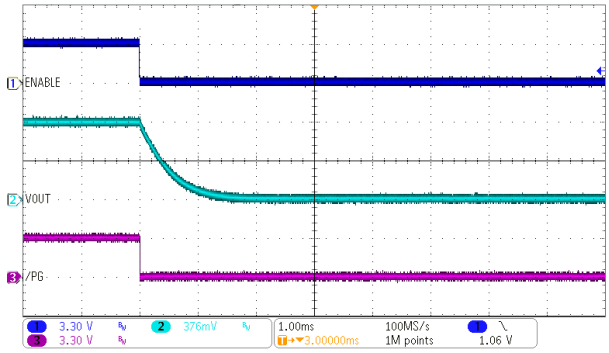
负载 = 0.75Ω

图 9-21. 通过 EN 引脚启动

Copyright © 2025 Texas Instruments Incorporated

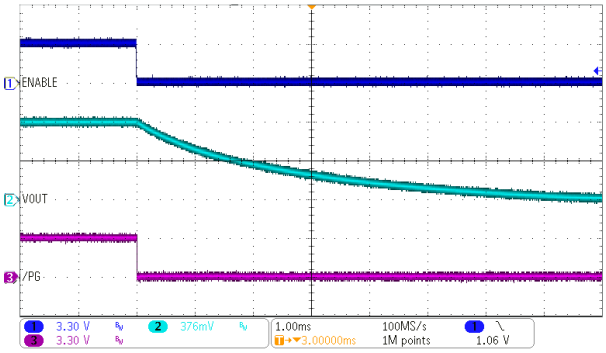
9.2.3 应用曲线（续）

除非另有说明，否则所有应用曲线都是在 L = 110nH (Coilcraft XGL4020-111ME) 且 f_{sw} = 2.25MHz 的条件下获得。



负载 = 7.5 Ω

图 9-22. 通过 EN 引脚关断（启用放电）



负载 = 7.5 Ω

图 9-23. 关断（禁用放电）

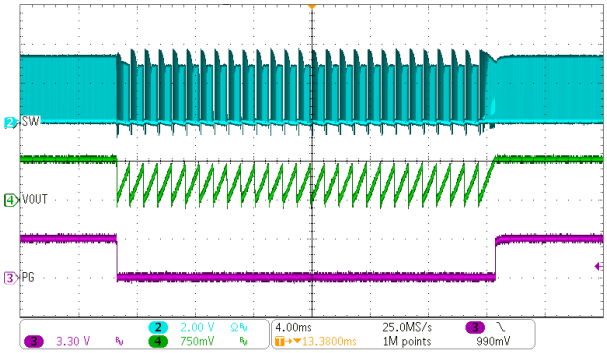
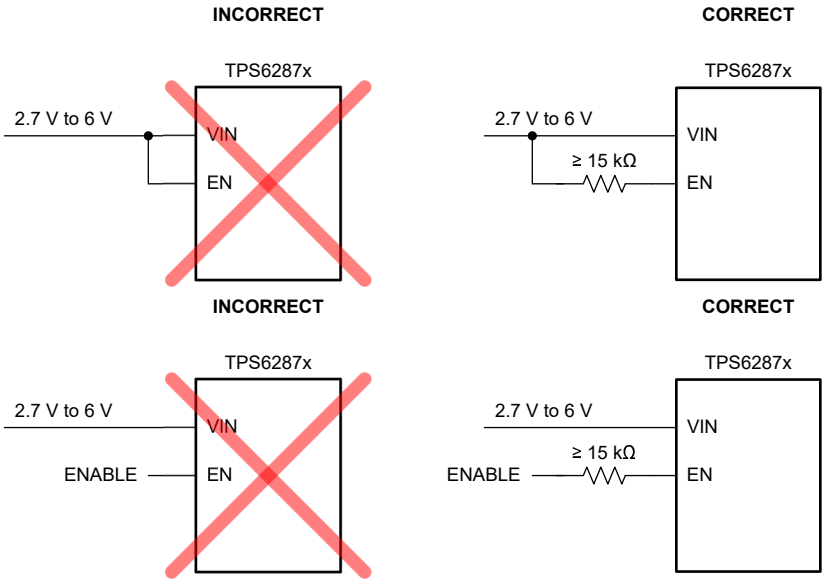


图 9-24. 电流限制（断续）

9.3 最佳设计实践



9.4 电源相关建议

TPS6287x 系列对输入电源没有特殊要求。输入电源的输出电流额定值必须根据 TPS6287x 的电源电压和电流要求来确定。

9.5 布局

9.5.1 布局指南

要达到 TPS6287x 器件能实现的性能，需要正确的设计 PDN 和 PCB。因此，TI 建议用户对设计进行电源完整性分析。有大量市售的电源完整性软件工具，用户可以使用这些工具针对 PCB 布局和无源器件对性能的影响进行建模。

除了使用电源完整性工具外，TI 还建议遵循以下基本原则：

- 将输入电容器靠近 VIN 和 GND 引脚放置。从最靠近 VIN 和 GND 引脚的最小电容器开始按照尺寸递增的顺序放置输入电容器。对封装的两个 VIN-GND 引脚对使用相同的布局，以从蝶形配置中获得最大收益。
- 将电感器放置在靠近器件的位置，并使 SW 节点保持较小。
- 将外露散热焊盘和器件的 GND 引脚连接在一起。使用多个散热过孔将器件的裸露散热焊盘连接到一个或多个接地平面（TI 的 EVM 使用九个 150μm 散热过孔）。
- 使用多个电源平面和接地平面。
- 将 VOSNS 和 GOSNS 遥感线路作为差分对进行布线，并将其连接到 PDN 的最低阻抗点。如果所需的连接点不是 PDN 的最低阻抗点，请优化 PDN，直到所需连接点为 PDN 的最低阻抗点为止。请勿将 VOSNS 和 GOSNS 排布放到任何开关节点附近。
- 在 COMP 和 GOSNS 之间连接补偿元件。请勿将补偿元件直接连接至电源接地端。
- 使用多个过孔将每个电容器焊盘连接到电源平面和接地平面（TI 的 EVM 通常在每个焊盘上使用四个过孔）。
- 使用大量拼接过孔，以确保在不同电源平面和接地平面之间实现低阻抗连接。
- 确保位于负载处的电容至少是位于器件处的电容的两倍。

9.5.2 布局示例

图 9-25 显示了该器件的一个评估模块的顶层。该图展示了前面列出的 PCB 布局原则的实际实施。用户可以在评估模块用户指南中找到该 PCB 中使用的所有层的全套图。

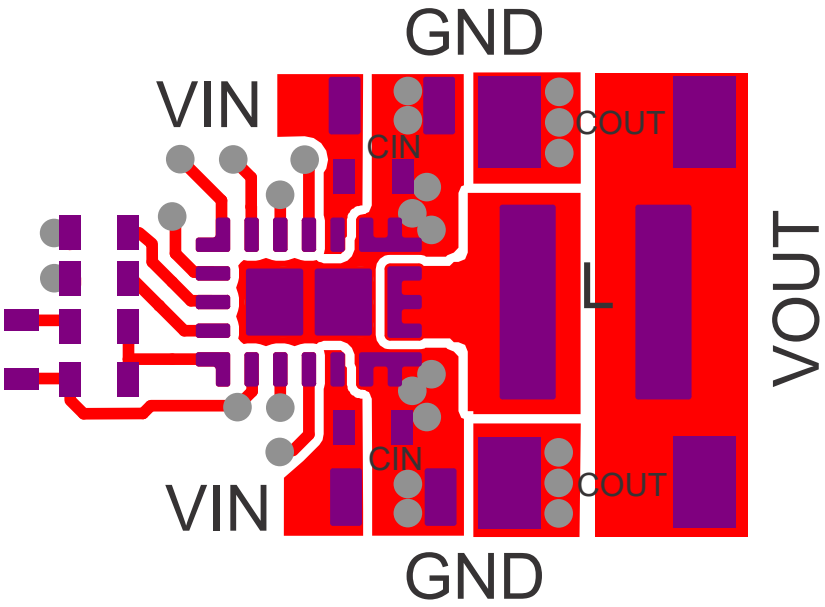


图 9-25. 布局示例

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (September 2025) to Revision E (October 2025) — **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 在*器件选项*表中添加了 TPS62873Z6WRXSR 4

Changes from Revision C (January 2025) to Revision D (September 2025) — **Page**

- 添加了电源模块产品链接，在文件标题中添加了“远程检测”，并添加了效率图 1
- 添加了表注 (3)。有关其他启动电压或 I^2C 地址选项，请联系 TI。 4
- 将 SCL 引脚的类型更新为 I (输入) ，具体如所示表 5-1 6
- 在*绝对最大额定值*表中添加了 COMP 引脚电压并添加了 SDA 和 EN 引脚电流 8
- 在参数 $C_{IN_SDA_SCL}$ 中添加了 SDA 和 SCL 引脚的寄生输入电容典型值 8
- 在 I^2C *时序特性*表中添加了表注 (1) 8
- 通篇将引脚名称从 SYNCOUT 更改为 SYNC_OUT 14
- 添加了 方程式 1 以阐明 t_{on}，将 方程式 2 更改为 $I_{OUT(CCM-DCM)}$，并添加了 方程式 3 用于计算 $I_{OUT(PFM-DCM)}$ 15
- 将 VOUT[7:0] 更改为 VSET[7:0] 18

- 将 CONTROL1 更改为 CONTROL2 21
- 将 TPS6287xZ5 添加至表 7-5，并将 VOUT[7:0] 更改为 VSET[7:0] 21
- 添加了 UVLO 期间 EN 引脚的说明 24
- 添加了图 7-12 25
- 更新了表 7-7，更正了第三行中的 Vin 条件并添加了一个子行，以说明 PG 在 VOUT > VT+(OVP) 或 VOUT < VT-(UVP) 和 DVS 无效时变为低电平 25
- 添加了说明，即，在发生欠压或过压事件时，为器件设置 PBUV 或 PBOV 位，并更改了 DVS 期间有关 PG 行为的说明 25
- 添加了注释以说明公共电源正常信号必须能上拉至逻辑高电平 27
- 更新了有关初始化时间间隔的说明，并阐明了器件初始化完成后 I^2C、输出放电和电源正常功能可用 30
- 在下述内容中删除备选 I^2C 地址表 7-10 31
- 更新了图 7-20 和图 7-21（将目标地址重命名为器件地址，并将器件地址的位数从 8 更正为 7） 33
- 将 $t_{d(EN)}$ 更改为 $t_{d(EN)2}$ 34
- 在 表 9-1 中将（从 3.8A 至 11.3A）添加至 ΔI_{OUT} 41
- 添加了有关 I_{OUT} 的阐述，如下所述 方程式 11 42
- 更新了 方程式 20，以在 406 µF 作为最大 Cout 值时重新计算 BW_{inner}，并根据已重新计算的 BW_{inner} 进行更新方程式 23 45
- 将可选 C_{C2} 的值从 1pF 更改为 10pF 45
- 添加了注释，即除非另有说明，否则所有曲线都是在 L = 110nH (Coilcraft XGL4020-111ME) 且 f_{sw} = 2.25MHz 的条件下获得 46

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62870Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	870Z0B
TPS62870Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	870Z0B
TPS62870Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	870Z4B
TPS62871Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z0B
TPS62871Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z0B
TPS62871Z2WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z2B
TPS62871Z2WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z2B
TPS62871Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z4B
TPS62871Z4WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z4B
TPS62872Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z0B
TPS62872Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z0B
TPS62872Z2WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z2B
TPS62872Z2WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z2B
TPS62872Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z4B
TPS62872Z4WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z4B
TPS62873Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z0B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62873Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z0B
TPS62873Z1WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z1B
TPS62873Z1WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z1B
TPS62873Z2WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z2B
TPS62873Z2WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z2B
TPS62873Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z4B
TPS62873Z4WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z4B
TPS62873Z5WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z5B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS62870, TPS62871, TPS62872, TPS62873 :

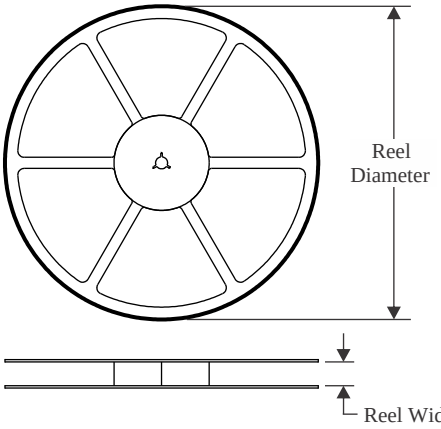
- Automotive : TPS62870-Q1, TPS62871-Q1, TPS62872-Q1, TPS62873-Q1

NOTE: Qualified Version Definitions:

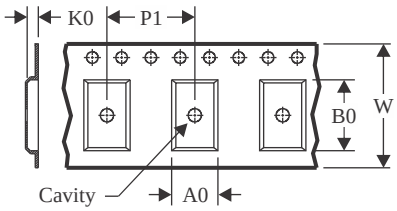
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

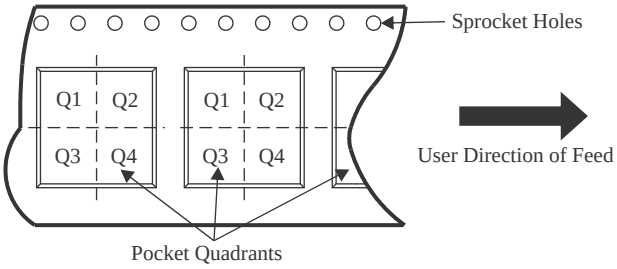


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

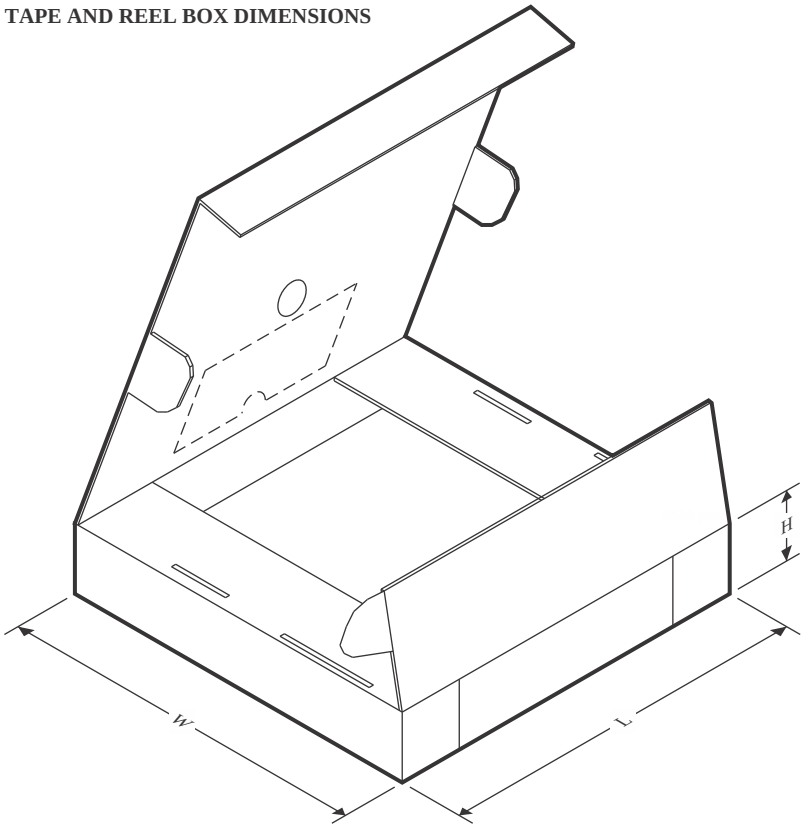


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1

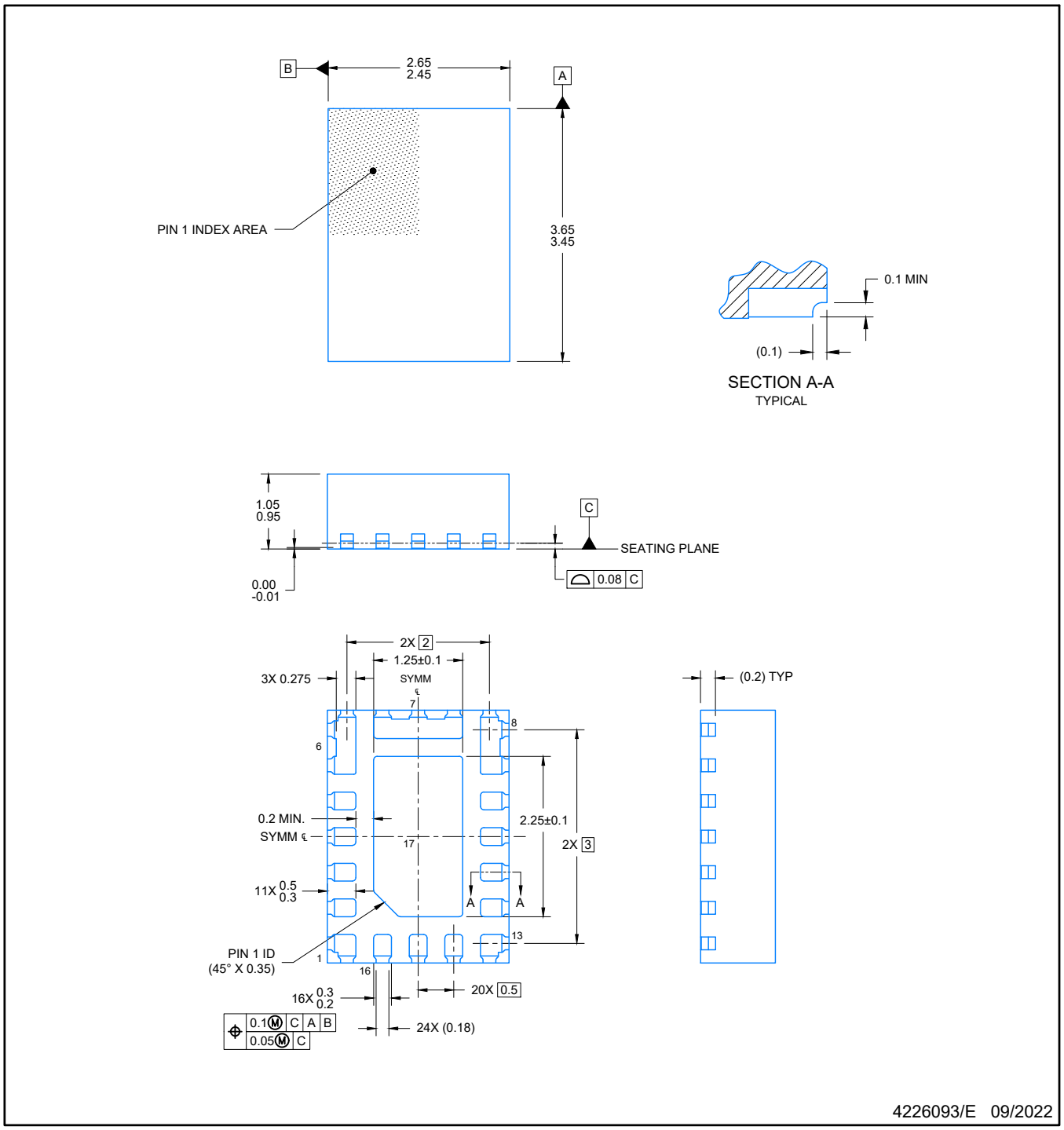
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

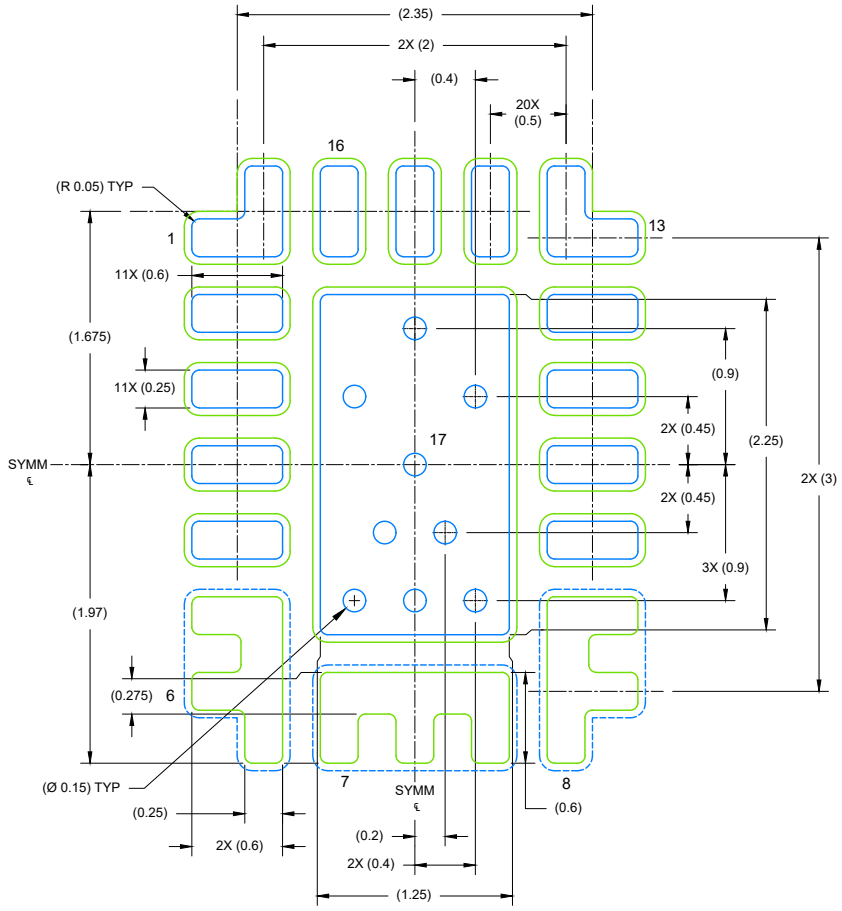
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0

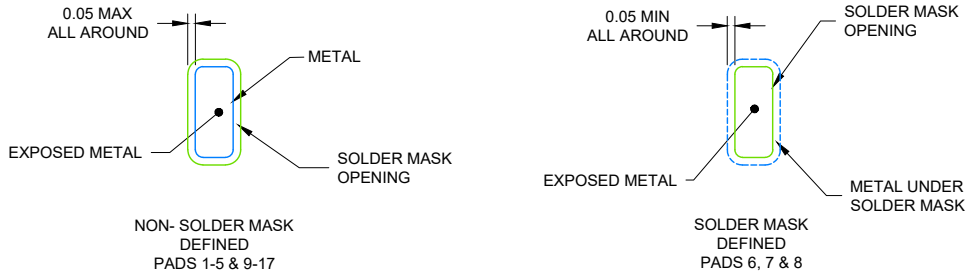


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

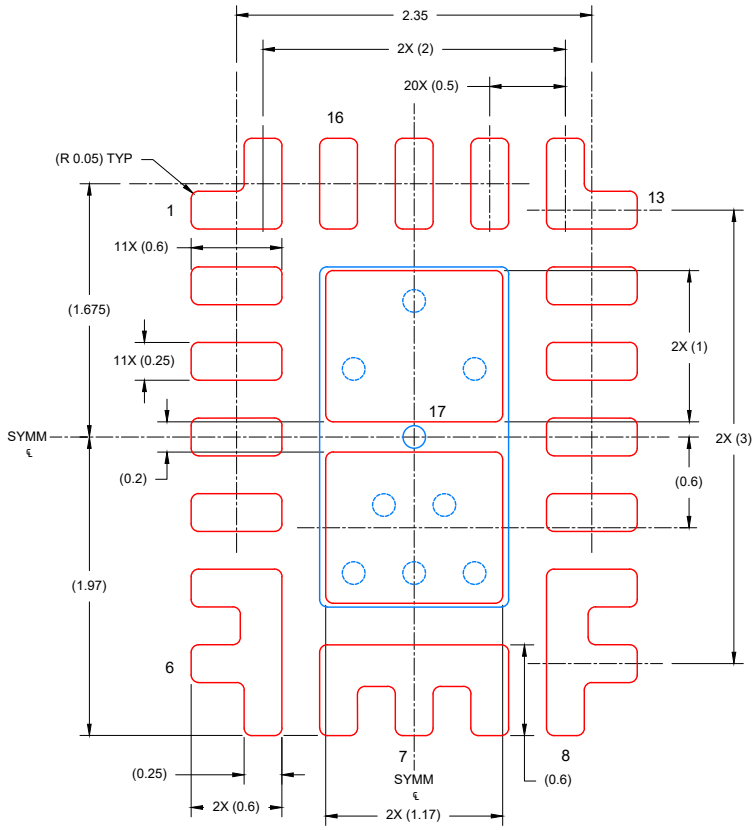


SOLDER MASK DETAILS

4226093/E 09/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

SCALE: 15X

4226093/E 09/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月