

TMS320F2803x 实时微控制器

1 特性

- 高效 32 位 CPU (TMS320C28x)
 - 60MHz (16.67ns 周期时间)
 - 16 × 16 和 32 × 32 MAC 操作
 - 16 × 16 双 MAC
 - 哈佛 (Harvard) 总线架构
 - 连动运算
 - 快速中断响应和处理
 - 统一存储器编程模型
 - 高效代码 (使用 C/C++ 和汇编语言)
- 可编程控制律加速器 (CLA)
 - 32 位浮点数学加速器
 - 独立于主 CPU 之外的代码执行
- 字节序：小端字节序
- 支持 JTAG 边界扫描
 - IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构
- 器件和系统均可实现低成本：
 - 单 3.3V 电源
 - 无电源时序要求
 - 集成型加电复位和欠压复位
 - 低功耗
 - 无模拟支持引脚
- 时钟：
 - 两个内部零引脚振荡器
 - 片上晶振振荡器和外部时钟输入
 - 看门狗计时器模块
 - 丢失时钟检测电路
- 多达 45 个具有输入滤波功能且可单独编程的多路复用 GPIO 引脚
- 可支持所有外设中断的外设中断扩展 (PIE) 模块
- 三个 32 位 CPU 计时器
- 每个增强型脉宽调制器 (ePWM) 中均有一个独立的 16 位计时器
- 片上存储器
 - 闪存, SARAM, OTP, 引导 ROM 可用
- 代码安全模块
- 128 位安全密钥和锁
 - 保护安全内存块
 - 防止固件逆向工程
- 串行端口外设
 - 一个串行通信接口 (SCI) 通用异步接收器/发送器 (UART) 模块
 - 两个串行外设接口 (SPI) 模块
 - 一个内部集成电路 (I2C) 模块
 - 一个本地互连网络 (LIN) 模块
 - 一个增强型控制器局域网 (eCAN) 模块
- 增强型控制外设
 - ePWM
 - 高分辨率 PWM (HRPWM)
 - 增强型捕捉 (eCAP) 模块
 - 高分辨率输入捕捉 (HRCAP) 模块
 - 增强型正交编码器脉冲 (eQEP) 模块
 - 模数转换器 (ADC)
 - 片上温度传感器
 - 比较器
- 高级仿真特性
 - 分析和断点功能
 - 通过硬件进行实时调试
- 封装选项
 - 56 引脚 RSH Very Thin Quad Flatpack (无引线) (VQFN)
 - 64 引脚 PAG Thin Quad Flatpack (TQFP) 封装
 - 80 引脚 PN Low-Profile Quad Flatpack (LQFP) 封装
- 温度选项
 - T : - 40°C 至 105°C
 - S : - 40°C 至 125°C
 - Q : - 40°C 至 125°C 的环境温度范围 (通过针对汽车应用的 AEC Q100 认证)



2 应用

- 空调室外机
- 电梯门自动启闭装置驱动控制
- 直流/直流转换器
- 逆变器和电机控制
- 车载充电器 (OBC) 和无线充电器
- 自动分拣设备
- 纺织机
- 焊接机
- 交流充电 (桩) 站
- 直流充电 (桩) 站
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统 (PCS)
- 微型逆变器
- 太阳能电源优化器
- 串式逆变器
- 交流驱动器控制模块
- 线性电机分段控制器
- 伺服驱动器功率级模块
- 交流输入 BLDC 电机驱动器
- 直流输入 BLDC 电机驱动器
- 工业交流-直流
- 三相 UPS
- 商用网络和服务器 PSU
- 商用通信电源整流器

3 说明

C2000™ 32 位微控制器针对处理、感应和驱动进行了优化，可提高实时控制应用 (如工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输、电机控制以及感应和信号处理) 的闭环性能。C2000 系列包括高级性能 MCU 和入门级性能 MCU。

F2803x 系列微控制器将 C28x 内核和控制律加速器 (CLA) 的性能与高度集成的控制外设整合到低引脚数的器件中。该系列器件的代码与基于 C28x 的旧版代码兼容，同时具有较高的模拟集成度。

内部稳压器实现了单电源轨运行。HRPWM 模块经过强化，可实现双边沿控制 (调频)。增设了具有 10 位内部基准的模拟比较器，可直接进行路由以控制 PWM 输出。ADC 可在 0V 至 3.3V 的满标量程范围内进行转换，支持 V_{REFHI}/V_{REFLO} 基准的比例运算。ADC 接口已针对低开销和延迟进行了优化。

要了解有关 C2000 MCU 的更多信息，请访问 [C2000™ 实时控制 MCU](#) 页面。

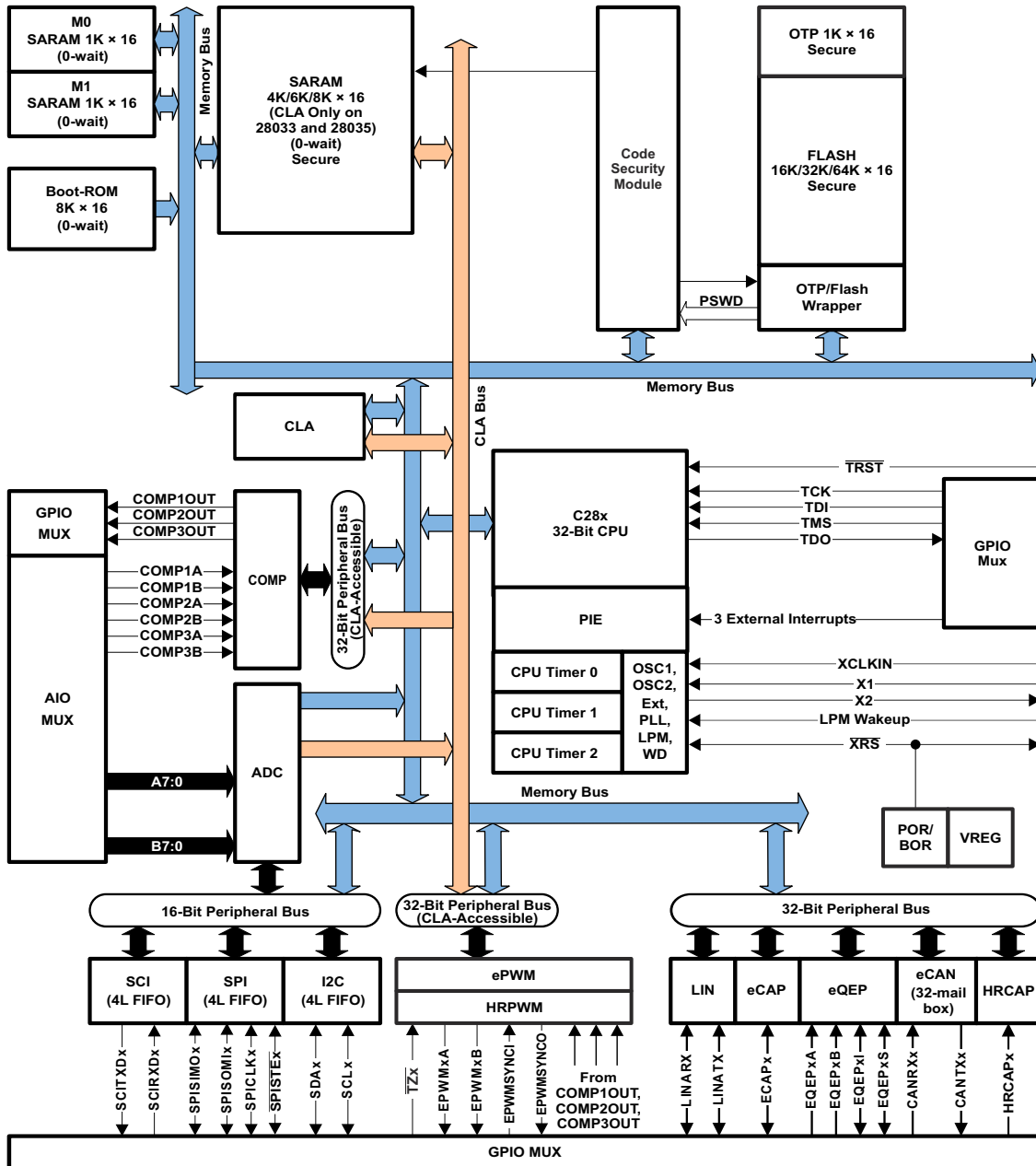
器件信息

器件型号 ⁽¹⁾	封装	封装尺寸
TMS320F28035PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28034PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28033PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28032PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28031PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28030PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28035PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28034PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28033PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28032PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28031PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28030PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28035RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28034RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28033RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28032RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28031RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28030RSH	VQFN (56)	7.0mm × 7.0mm

(1) 有关这些器件的详细信息，请参阅[机械](#)、[封装](#)和[可订购信息](#)。

3.1 功能方框图

功能方框图展示了器件的功能方框图。



A. 由于引脚复用，所有外设引脚不能同时使用。

图 3-1. 功能方框图

内容

1 特性	1	7 详细说明	40
2 应用	2	7.1 概述.....	40
3 说明	2	7.2 内存映射.....	47
3.1 功能方框图.....	4	7.3 寄存器映射.....	54
4 器件比较	6	7.4 器件仿真寄存器.....	56
4.1 相关产品.....	8	7.5 VREG/BOR/POR.....	57
5 引脚配置和功能	9	7.6 系统控制.....	59
5.1 引脚图.....	9	7.7 低功耗模式块.....	67
5.2 信号说明.....	12	7.8 中断.....	68
6 规格	20	7.9 外设.....	73
6.1 绝对最大额定值.....	20	8 应用、实施和布局	142
6.2 ESD 等级 - 汽车.....	20	8.1 TI 参考设计.....	142
6.3 ESD 等级 - 商用.....	21	9 器件和文档支持	143
6.4 建议工作条件.....	21	9.1 器件和开发支持工具命名规则.....	143
6.5 功耗摘要.....	22	9.2 工具与软件.....	144
6.6 电气特性.....	26	9.3 文档支持.....	145
6.7 热阻特性.....	27	9.4 支持资源.....	146
6.8 散热设计注意事项.....	29	9.5 商标.....	146
6.9 无信号缓冲情况下 MCU 与 JTAG 调试探针的连接...	30	9.6 静电放电警告.....	146
6.10 参数信息.....	31	9.7 术语表.....	146
6.11 测试负载电路.....	31	10 修订历史记录	146
6.12 电源时序.....	32	11 机械、封装和可订购信息	148
6.13 时钟规范.....	35	11.1 封装信息.....	148
6.14 闪存定时.....	38		

4 器件比较

表 4-1 列出了 TMS320F2803x 器件的特性。

表 4-1. 器件比较

特性	类型 ⁽¹⁾	28030 28030-Q1 (60MHz)			28031 28031-Q1 (60MHz)			28032 28032-Q1 (60MHz)			28033 28033-Q1 (60MHz)			28034 28034-Q1 (60MHz)			28035 28035-Q1 (60MHz)		
		80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN
指令周期	-	16.67ns			16.67ns			16.67ns			16.67ns			16.67ns			16.67ns		
控制律加速器 (CLA)	0	否			否			否			是			否			是		
片上闪存 (16 位字)	-	16K			32K			32K			32K			64K			64K		
片上 SARAM (16 位字)	-	6K			8K			10K			10K			10K			10K		
针对片上闪存/ SARAM/OTP 块的代码安全	-	支持			是			是			是			是			是		
引导 ROM (8K X 16)	-	支持			是			是			是			是			是		
一次性可编程 (OTP) ROM (16 位字)	-	1K			1K			1K			1K			1K			1K		
ePWM 通道	1	14	12	8	14	12	8	14	12	8	14	12	8	14	12	8	14	12	8
eCAP 输入	0	1			1			1			1			1			1		
eQEP 模块	0	1			1			1			1			1			1		
看门狗计时器	-	支持			是			是			是			是			是		
12 位 ADC	MSPS	2.0			2.0			4.6			4.6			4.6			4.6		
	转换时间	500.00ns			500.00ns			216.67ns			216.67ns			216.67ns			216.67ns		
	通道	16	14	13	16	14	13	16	14	13	16	14	13	16	14	13	16	14	13
	温度传感器	是			是			是			是			是			是		
	双采样保持	是			是			是			是			是			是		
32 位 CPU 计时器	-	3			3			3			3			3			3		
高分辨率 ePWM 通道	1	-			-			7	6	4	7	6	4	7	6	4	7	6	4
高分辨率捕捉 (HRCAP) 模块	0	-			-			2	2	-	2	2	-	2	2	-	2	2	-
带有集成 DAC 的比较器	0	3			3			3			3			3			3		
内部集成电路 (I2C)	0	1			1			1			1			1			1		
增强型控制器局域网 (eCAN)	0	1			1			1			1			1			1		
本地互连网络 (LIN)	0	1			1			1			1			1			1		
串行外设接口 (SPI)	1	2	1	1	2	1	1	2	1	1	2	1	1	2	1	1	2	1	1
串行通信接口 (SCI) (兼容 UART)	0	1			1			1			1			1			1		
I/O 引脚 (共用)	GPIO	45	33	26	45	33	26	45	33	26	45	33	26	45	33	26	45	33	26
	AIO	6			6			6			6			6			6		
外部中断	-	3			3			3			3			3			3		
电源电压 (标称值)	-	3.3V			3.3V			3.3V			3.3V			3.3V			3.3V		

表 4-1. 器件比较 (续)

特性		类型 ⁽¹⁾	28030 28030-Q1 (60MHz)			28031 28031-Q1 (60MHz)			28032 28032-Q1 (60MHz)			28033 28033-Q1 (60MHz)			28034 28034-Q1 (60MHz)			28035 28035-Q1 (60MHz)		
			80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN
封装类型	T: -40°C 至 105°C	-	28030			28031			28032			28033			28034			28035		
	S: -40°C 至 125°C	-	28030			28031			28032			28033			28034			28035		
	Q: -40°C 至 125°C ⁽²⁾	-	28030-Q1		-	28031-Q1		-	28032-Q1		-	28033-Q1		-	28034-Q1		-	28035-Q1		-

- (1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。这些器件特异性差异列示在 [C2000 实时控制外设参考指南](#) 和 [TMS320F2803x 实时微控制器技术参考手册](#) 中。
- (2) 字母“Q”是指针对汽车应用的 AEC Q100 认证。

4.1 相关产品

有关类似产品的信息，请参阅以下链接：

[TMS320F2802x 实时微控制器](#)

F2802x 系列提供最低引脚数和闪存大小选项。提供 InstaSPIN-FOC™ 版本。

[TMS320F2803x 实时微控制器](#)

F2803x 系列增加了引脚数和闪存大小选项。F2803x 系列还引入了并行控制律加速器 (CLA) 选项。

[TMS320F2805x 实时微控制器](#)

F2805x 系列类似于 F2803x 系列，但添加了片上可编程增益放大器 (PGA)。提供 InstaSPIN-FOC 和 InstaSPIN-MOTION™ 版本。

[TMS320F2806x 实时微控制器](#)

F2806x 系列率先包含浮点单元 (FPU)。F2806x 系列也增加了引脚数、闪存大小选项和外设数量。提供 InstaSPIN-FOC™ 和 InstaSPIN-MOTION™ 版本。

[TMS320F2807x 实时微控制器](#)

F2807x 系列提供出色的性能以及最大引脚数、闪存大小和外设选项。F2807x 系列包括新一代加速器、ePWM 外设和模拟技术。

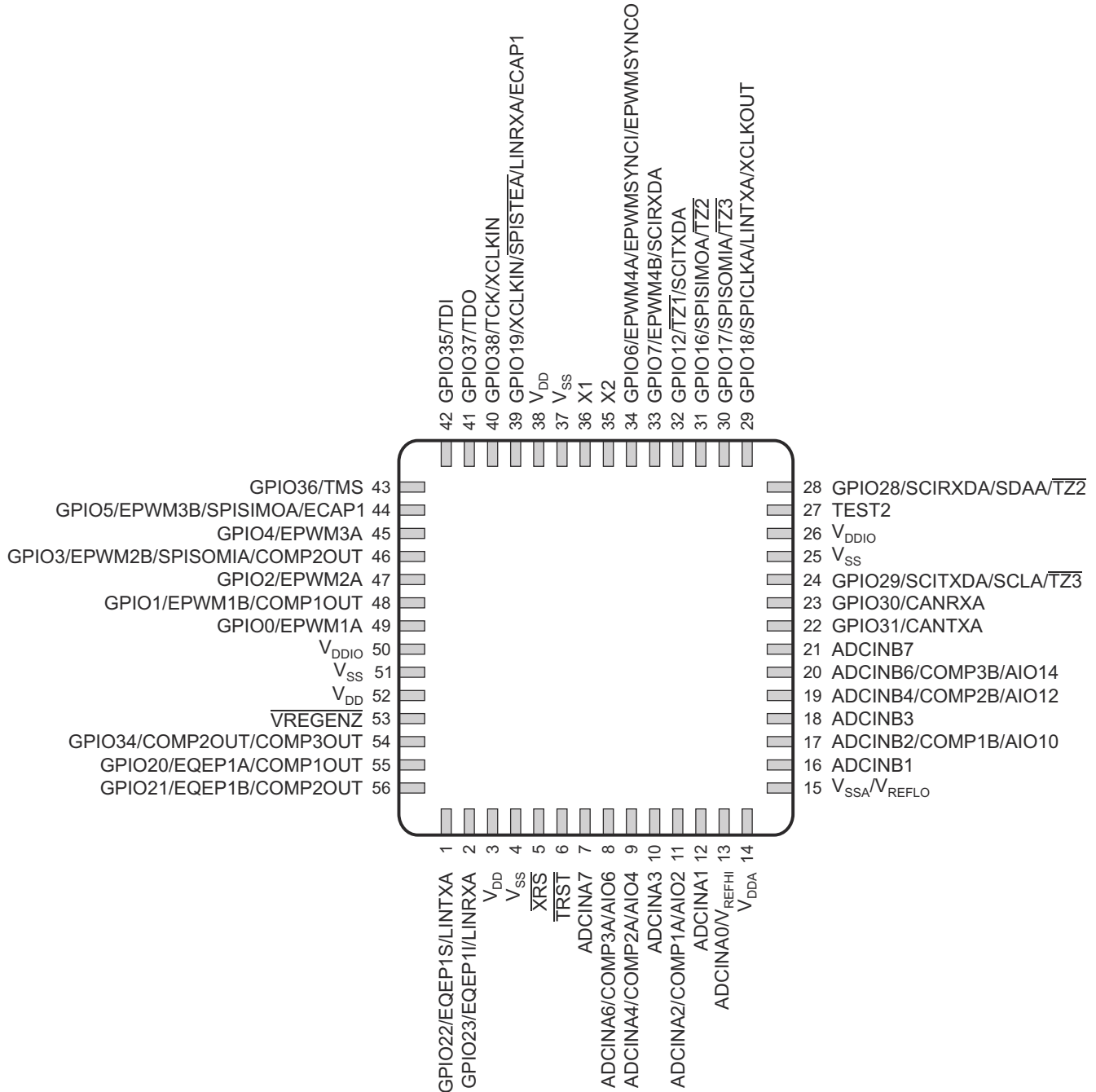
[TMS320F28004x 实时微控制器](#)

F28004x 系列是 F2807x 系列的精简版，具有最新一代的增强性能。F28004x 系列是使用 F2806x 系列的最佳路线图选项。提供 InstaSPIN-FOC 和可配置逻辑块 (CLB) 版本。

5 引脚配置和功能

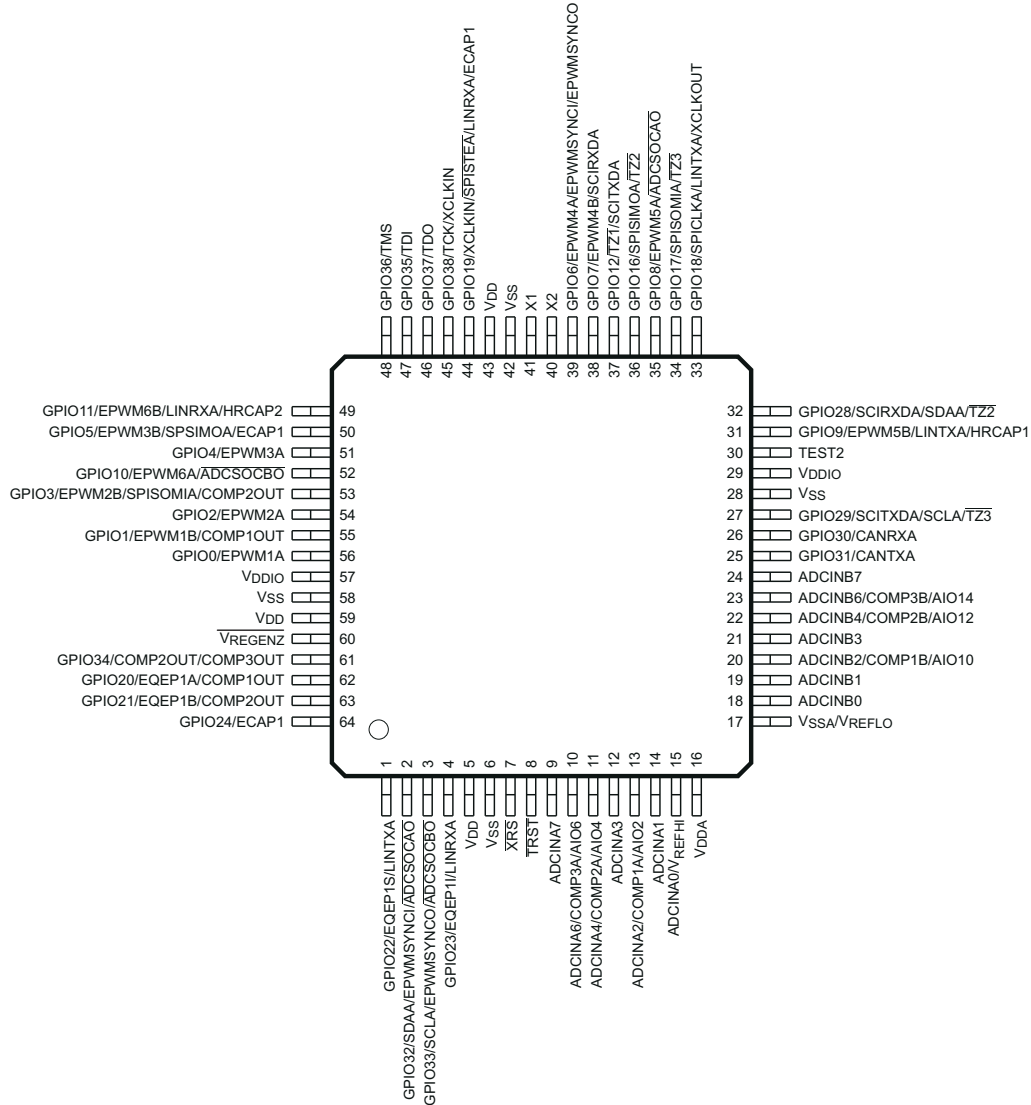
5.1 引脚图

图 5-1 显示了 56 引脚 RSH Very Thin Quad Flatpack (无引线) (VQFN) 引脚分配。图 5-2 显示了 64 引脚 PAG Thin Quad Flatpack (TQFP) 引脚分配。图 5-3 显示了 80 引脚 PN Low-Profile Quad Flatpack (LQFP) 引脚分配。



- 这个图表显示了 56 引脚 RSH 封装的顶视图。阴影表示端子实际上在封装的底部。请参阅节 11，了解 56 引脚 RSH 机械制图。
- 引脚 13：V_{REFHI} 和 ADCINA0 共用 56 引脚 RSH 器件上的同一引脚，它们不可同时使用。
- 引脚 15：V_{REFLO} 始终连接至 56 引脚 RSH 器件上的 V_{SSA}。

图 5-1. 2803x 56 引脚 RSH VQFN (顶视图)



- A. 引脚 15 : V_{REFHI} 和 ADCINA0 共用 64 引脚 PAG 器件上的同一引脚，它们不可同时使用。
- B. 引脚 17 : V_{REFLO} 始终连接至 64 引脚 PAG 器件上的 V_{SSA} 。

图 5-2. 2803x 64 引脚 PAG TQFP (顶视图)

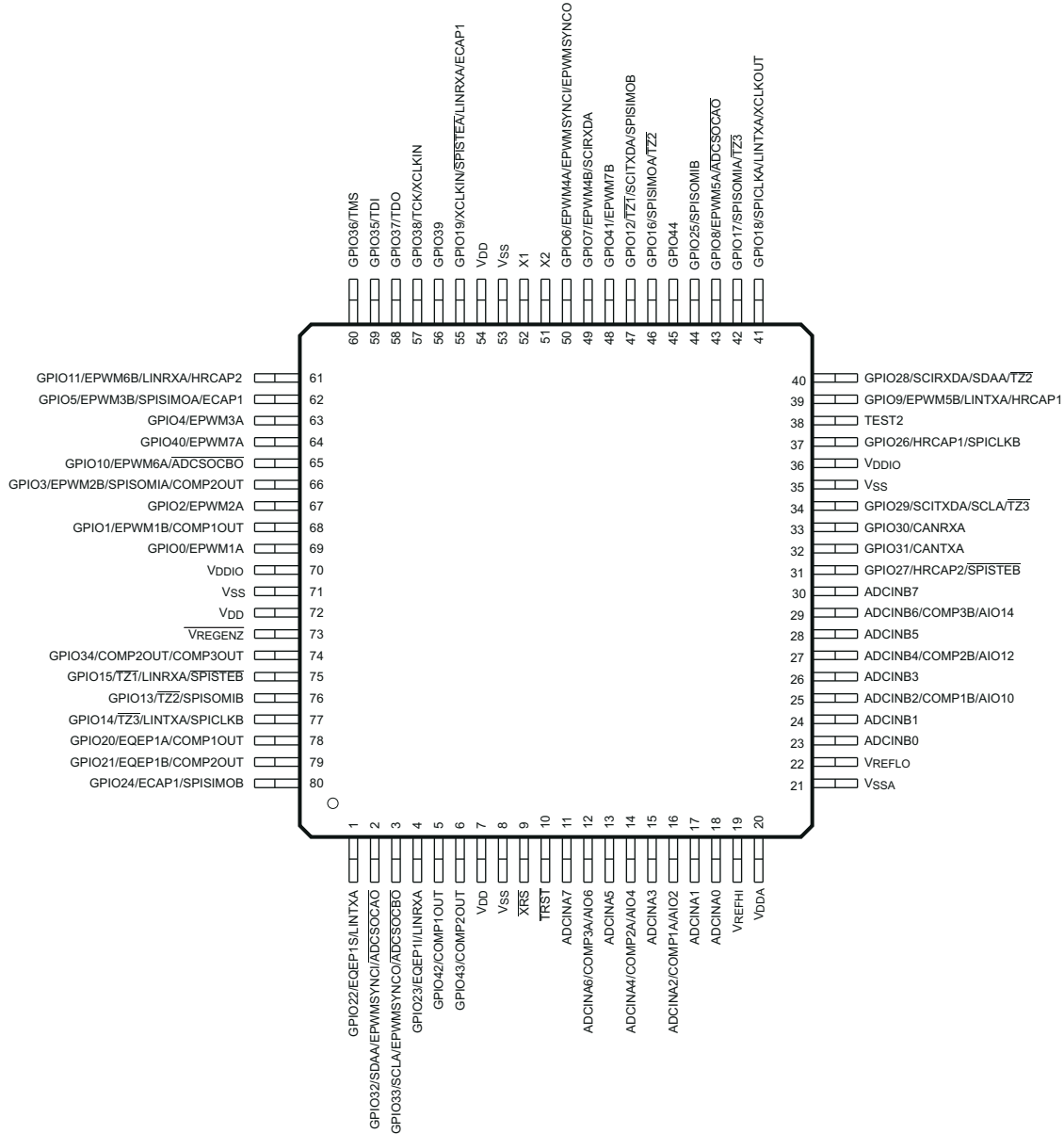


图 5-3. 2803x 80 引脚 PN LQFP (顶视图)

5.2 信号说明

表 5-1 对这些信号进行了说明。除 JTAG 引脚以外，除非另有说明，否则 GPIO 功能是复位时的默认功能。在它们下面列出的外设信号是供替换的功能。有些外设功能并非在所有器件上都可用。详细信息，请参阅表 4-1。输入不可承受 5V 电压。所有 GPIO 引脚均为 I/O/Z 且有一个内部上拉电阻，可在每个引脚上有选择性地启用/禁用。这一特性只适用于 GPIO 引脚。复位时不启用 PWM 引脚上的上拉电阻。复位后启用其他 GPIO 引脚上的上拉电阻。AIO 引脚没有内部上拉电阻。

备注

使用片上 VREG 时，GPIO19、GPIO34、GPIO35、GPIO36、GPIO37 和 GPIO38 引脚在上电期间会有毛刺脉冲。这种潜在的毛刺脉冲将在读取引导模式引脚之前结束，不会影响引导行为。如果应用不能接受毛刺脉冲，可从外部提供 1.8V 电源。或者添加一个与这些引脚串联的限流电阻（例如 470 Ω），可考虑使用外部驱动器限制降级到引脚和/或外部电路的可能性。当使用外部 1.8V 电源时，无需电源时序。然而，如果 I/O 引脚的电平转换输出缓冲器中的 3.3V 晶体管在 1.8V 晶体管之前上电，输出缓冲器有可能打开，这会导致上电期间引脚上出现毛刺脉冲。为了避免这种情况，V_{DD} 引脚应早于 V_{DDIO} 引脚或与之同时上电，确保 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前达到 0.7V。

表 5-1. 信号说明

名称	终端			I/O/Z ⁽¹⁾	说明
	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
JTAG					
TRST	10	8	6	I	带有内部下拉电阻的 JTAG 测试复位。当被驱动至高电平时， $\overline{\text{TRST}}$ 使扫描系统获得器件运行的控制权。如果此信号未连接或驱动至低电平，则器件将在功能模式下运行，测试复位信号将被忽略。 请注意： TRST 是高电平有效的测试引脚，在器件正常运行期间必须始终保持低电平。此引脚上需要一个外部上拉电阻器。此电阻器的阻值应该基于适用于该设计的调试器 Pod 的驱动强度。通常情况下，一个 2.2kΩ 电阻器可提供足够的保护。由于这是特定于应用的，TI 建议针对调试器和应用的适当运行对每个目标板进行验证。(↓)
TCK	参阅 GPIO38			I	参阅 GPIO38。带有内部上拉电阻的 JTAG 测试时钟。(↑)
TMS	参阅 GPIO36			I	参阅 GPIO36。带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。(↑)
TDI	参阅 GPIO35			I	参阅 GPIO35。带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器 (指令或数据) 中计时。(↑)
TDO	参阅 GPIO37			O/Z	参阅 GPIO37。JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 下降沿从 TDO 移出。(8mA 驱动)
闪存					
TEST2	38	30	27	I/O	测试引脚。为 TI 保留。必须保持未连接状态。

表 5-1. 信号说明 (续)

名称	终端			I/O/Z ⁽¹⁾	说明
	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
时钟					
XCLKOUT	参阅 GPIO18		-	O/Z	参阅 GPIO18。源自 SYSCLKOUT 的输出时钟。XCLKOUT 频率或者与 SYSCLKOUT 的频率相同，或者是后者的一半或四分之一。这通过 XCLK 寄存器中的位 1:0 (XCLKOUTDIV) 控制。复位时，XCLKOUT = SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为 3，可关闭 XCLKOUT 信号。GPIO18 的多路复用器控制也必须设定为 XCLKOUT，才能使此信号传播到引脚。
XCLKIN	参阅 GPIO19 和 GPIO38			I	参阅 GPIO19 和 GPIO38。外部振荡器输入。时钟的引脚源由 XCLK 寄存器内的 XCLKINSEL 位控制，默认选择 GPIO38。此引脚馈送来自外部 3.3V 振荡器的时钟。在这种情况下，X1 引脚（如果可用）必须连接至 GND，而且必须通过 CLKCTL 寄存器内的位 14 禁用片上晶体振荡器。如果使用晶振/谐振器，必须通过 CLKCTL 寄存器内的位 13 禁用 XCLKIN 路径。 请注意： 使用 GPIO38/TCK/XCLKIN 引脚提供外部时钟以使器件正常运行的设计可能需要集成一些挂钩，以便在使用 JTAG 连接器进行调试期间禁用此路径。这是为了防止 JTAG 调试会话期间被激活的 TCK 信号相互竞争。在此期间可使用零引脚内部振荡器为器件计时。
X1	52	41	36	I	1.8V 片上晶体振荡器输入。若要使用此振荡器，必须在 X1 和 X2 之间连接一个石英晶振或陶瓷谐振器。在这种情况下，必须通过 CLKCTL 寄存器内的位 13 禁用 XCLKIN 路径。如果此引脚未使用，则必须将其连接至 GND。(I)
X2	51	40	35	O	片上晶体振荡器输出。必须在 X1 和 X2 之间连接一个石英晶振或陶瓷谐振器。如果 X2 未使用，必须使其保持未连接状态。(O)
复位					
XRS	9	7	5	I/O	器件复位（输入）和看门狗复位（输出）。这些器件内置上电复位 (POR) 电路和欠压复位 (BOR) 电路。在上电或欠压情况下，此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRS 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRS 和 V _{DDIO} 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻器。如果在 XRS 和 V _{SS} 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值将能让看门狗在 512 个 OSCCLK 周期内正确地将 XRS 引脚驱动至 V _{OL} 。任何源头的器件复位都会导致器件终止执行。程序计数器指向位置 0x3F FFC0 包含的地址。当复位失效时，从程序计数器指定的位置开始执行。此引脚的输出缓冲器是一个具有内部上拉电阻的开漏器件。(†) 如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
ADC、比较器、模拟 I/O					
ADCINA7	11	9	7	I	ADC 组 A，通道 7 输入
ADCINA6				I	ADC 组 A，通道 6 输入
COMP3A	12	10	8	I	比较器输入 3A
AIO6				I/O	数字 AIO 6
ADCINA5	13	-	-	I	ADC 组 A，通道 5 输入
ADCINA4				I	ADC 组 A，通道 4 输入
COMP2A	14	11	9	I	比较器输入 2A
AIO4				I/O	数字 AIO 4
ADCINA3	15	12	10	I	ADC 组 A，通道 3 输入
ADCINA2				I	ADC 组 A，通道 2 输入
COMP1A	16	13	11	I	比较器输入 1A
AIO2				I/O	数字 AIO 2

表 5-1. 信号说明 (续)

名称	终端			I/O/Z ⁽¹⁾	说明
	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
ADCINA1	17	14	12	I	ADC 组 A, 通道 1 输入
ADCINA0	18	15	13	I	ADC 组 A, 通道 0 输入。 请注意: V _{REFHI} 和 ADCINA0 共用 64 引脚 PAG 器件上的同一引脚, 并且它们不可同时使用。 请注意: V _{REFHI} 和 ADCINA0 共用 56 引脚 RSH 器件上的同一引脚, 并且它们不可同时使用。
V _{REFHI}	19	15	13	I	ADC 外部基准高 - 仅在 ADC 外部基准模式下使用。请参阅节 7.9.2.1, ADC。 请注意: V _{REFHI} 和 ADCINA0 共用 64 引脚 PAG 器件上的同一引脚, 并且它们不可同时使用。 请注意: V _{REFHI} 和 ADCINA0 共用 56 引脚 RSH 器件上的同一引脚, 并且它们不可同时使用。
ADCINB7	30	24	21	I	ADC 组 B, 通道 7 输入
ADCINB6				I	ADC 组 B, 通道 6 输入
COMP3B	29	23	20	I	比较器输入 3B
AIO14				I/O	数字 AIO 14
ADCINB5	28	-	-	I	ADC 组 B, 通道 5 输入
ADCINB4				I	ADC 组 B, 通道 4 输入
COMP2B	27	22	19	I	比较器输入 2B
AIO12				I/O	数字 AIO12
ADCINB3	26	21	18	I	ADC 组 B, 通道 3 输入
ADCINB2				I	ADC 组 B, 通道 2 输入
COMP1B	25	20	17	I	比较器输入 1B
AIO10				I/O	数字 AIO 10
ADCINB1	24	19	16	I	ADC 组 B, 通道 1 输入
ADCINB0	23	18	-	I	ADC 组 B, 通道 0 输入
V _{REFLO}	22	17	15	I	ADC 外部基准低。 请注意: V _{REFLO} 始终连接至 64 引脚 PAG 器件和 56 引脚 RSH 器件上的 V _{SSA} 。
CPU 和 I/O 电源					
V _{DDA}	20	16	14		模拟电源引脚。在此引脚附近连接一个 2.2 μF 电容器 (典型值)。
V _{SSA}	21	17	15		模拟接地引脚。 请注意: V _{REFLO} 始终连接至 64 引脚 PAG 器件和 56 引脚 RSH 器件上的 V _{SSA} 。
V _{DD}	7	5	3		CPU 和逻辑数字电源引脚。使用内部 VREG 时, 在每个 V _{DD} 引脚和接地端之间放置一个 1.2 μF 电容器。可使用容值较高的电容器。
	54	43	38		
	72	59	52		
V _{DDIO}	36	29	26		数字 I/O 缓冲器和闪存电源引脚。启用 VREG 时使用单电源。在每个引脚上放置一个去耦电容器。确切值应由系统电压调节解决方案决定。
	70	57	50		
V _{SS}	8	6	4		数字接地引脚
	35	28	25		
	53	42	37		
	71	58	51		

表 5-1. 信号说明 (续)

终端				I/O/Z ⁽¹⁾	说明
名称	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
稳压器控制信号					
VREGENZ	73	60	53	I	具有内部下拉电阻的内部稳压器 (VREG) 使能。直接连接到 VSS (低) 以启用内部 1.8V VREG。直接连接到 VDDIO (高) 以禁用 VREG 并使用外部 1.8V 电源。
GPIO 和外设信号⁽²⁾					
GPIO0				I/O/Z	通用输入/输出 0
EPWM1A	69	56	49	O	增强型 PWM1 输出 A 和 HRPWM 通道
-				-	-
-				-	-
GPIO1				I/O/Z	通用输入/输出 1
EPWM1B	68	55	48	O	增强型 PWM1 输出 B
-				-	-
COMP1OUT				O	比较器 1 的直接输出
GPIO2				I/O/Z	通用输入/输出 2
EPWM2A	67	54	47	O	增强型 PWM2 输出 A 和 HRPWM 通道
-				-	-
-				-	-
GPIO3				I/O/Z	通用输入/输出 3
EPWM2B	66	53	46	O	增强型 PWM2 输出 B
SPISOMIA				I/O	SPI-A 从器件输出, 主器件输入
COMP2OUT				O	比较器 2 的直接输出
GPIO4				I/O/Z	通用输入/输出 4
EPWM3A	63	51	45	O	增强型 PWM3 输出 A 和 HRPWM 通道
-				-	-
-				-	-
GPIO5				I/O/Z	通用输入/输出 5
EPWM3B	62	50	44	O	增强型 PWM3 输出 B
SPISIMOA				I/O	SPI-A 从器件输入, 主器件输出
ECAP1				I/O	增强型捕捉输入/输出 1
GPIO6				I/O/Z	通用输入/输出 6
EPWM4A	50	39	34	O	增强型 PWM4 输出 A 和 HRPWM 通道
EPWMSYNCl				I	外部 ePWM 同步脉冲输入
EPWMSYNCO				O	外部 ePWM 同步脉冲输出
GPIO7				I/O/Z	通用输入/输出 7
EPWM4B	49	38	33	O	增强型 PWM4 输出 B
SCIRXDA				I	SCI-A 接收数据
-				-	-
GPIO8				I/O/Z	通用输入/输出 8
EPWM5A	43	35	-	O	增强型 PWM5 输出 A 和 HRPWM 通道
-				-	-
ADCSOCAO				O	ADC 转换启动 A

表 5-1. 信号说明 (续)

名称	终端			I/O/Z ⁽¹⁾	说明
	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPI09 EPWM5B LINTXA HRCAP1	39	31	-	I/O/Z O O I	通用输入/输出 9 增强型 PWM5 输出 B LIN 发送 A 高分辨率输入捕捉 1
GPI010 EPWM6A - ADCSOCBO	65	52	-	I/O/Z O O	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 - ADC 转换启动 B
GPI011 EPWM6B LINRXA HRCAP2	61	49	-	I/O/Z O I I	通用输入/输出 11 增强型 PWM6 输出 B LIN 接收 A 高分辨率输入捕捉 2
GPI012 TZ1 SCITXDA SPISIMOB	47	37	32	I/O/Z I O I/O	通用输入/输出 12 跳闸区输入 1 SCI-A 发送数据 SPI-B 从器件输入, 主器件输出 请注意: SPI-B 仅在 PN 封装中可用。
GPI013 TZ2 - SPISOMIB	76	-	-	I/O/Z I I/O	通用输入/输出 13 跳闸区输入 2 - SPI-B 从器件输出, 主器件输入
GPI014 TZ3 LINTXA SPICLKB	77	-	-	I/O/Z I O I/O	通用输入/输出 14 跳闸区输入 3 LIN 发送 SPI-B 时钟输入/输出
GPI015 TZ1 LINRXA SPISTEB	75	-	-	I/O/Z I I I/O	通用输入/输出 15 跳闸区输入 1 LIN 接收 SPI-B 从器件发送使能输入/输出
GPI016 SPISIMOA - TZ2	46	36	31	I/O/Z I/O I	通用输入/输出 16 SPI-A 从器件输入, 主器件输出 - 跳闸区输入 2
GPI017 SPISOMIA - TZ3	42	34	30	I/O/Z I/O I	通用输入/输出 17 SPI-A 从器件输出, 主器件输入 - 跳闸区输入 3

表 5-1. 信号说明 (续)

名称	终端			I/O/Z ⁽¹⁾	说明
	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPIO18 SPICLKA LINTXA XCLKOUT	41	33	29	I/O/Z I/O O O/Z	通用输入/输出 18 SPI-A 时钟输入/输出 LIN 发送 源自 SYSCLKOUT 的输出时钟。XCLKOUT 频率或者与 SYSCLKOUT 的频率相同，或者是后者的一半或四分之一。这通过 XCLK 寄存器中的位 1:0 (XCLKOUTDIV) 控制。复位时，XCLKOUT = SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为 3，可关闭 XCLKOUT 信号。GPIO18 的多路复用器控制也必须设定为 XCLKOUT，才能使此信号传播到引脚。
GPIO19 XCLKIN SPISTEA LINRXA ECAP1	55	44	39	I/O/Z I/O I I/O	通用输入/输出 19 外部振荡器输入。此引脚到时钟块的路径不受此引脚多路复用功能的控制。如果此路径用于其他外设功能，必须注意不要启用此路径来计时。 SPI-A 从器件发送使能输入/输出 LIN 接收 增强型捕捉输入/输出 1
GPIO20 EQEP1A - COMP1OUT	78	62	55	I/O/Z I - O	通用输入/输出 20 增强型 QEP1 输入 A - 比较器 1 的直接输出
GPIO21 EQEP1B - COMP2OUT	79	63	56	I/O/Z I - O	通用输入/输出 21 增强型 QEP1 输入 B - 比较器 2 的直接输出
GPIO22 EQEP1S - LINTXA	1	1	1	I/O/Z I/O - O	通用输入/输出 22 增强型 QEP1 选通 - LIN 发送
GPIO23 EQEP1I - LINRXA	4	4	2	I/O/Z I/O - I	通用输入/输出 23 增强型 QEP1 索引 - LIN 接收
GPIO24 ECAP1 - SPISIMOB	80	64	- 参阅 GPIO5 和 GPIO19	I/O/Z I/O - I/O	通用输入/输出 24 增强型捕捉输入/输出 1 - SPI-B 从器件输入，主器件输出 请注意： SPI-B 仅在 PN 和 RSH 封装中可用。
GPIO25 - - SPISOMIB	44	-	-	I/O/Z - - I/O	通用输入/输出 25 - - SPI-B 从器件输出，主器件输入

表 5-1. 信号说明 (续)

名称	终端			I/O/Z ⁽¹⁾	说明
	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPIO26 HRCAP1 - SPICLK _B	37	-	-	I/O I I/O	通用输入/输出 26 高分辨率输入捕捉 1 - SPI-B 时钟输入/输出
GPIO27 HRCAP2 - SPISTEB	31	-	-	I/O I I/O	通用输入/输出 27 高分辨率输入捕捉 2 - SPI-B 从器件发送使能输入/输出
GPIO28 SCIRXDA SDAA TZ2	40	32	28	I/O I I/OD I	通用输入/输出 28 SCI 接收数据 I2C 数据开漏双向端口 跳闸区输入 2
GPIO29 SCITXDA SCLA TZ3	34	27	24	I/O O I/OD I	通用输入/输出 29 SCI 发送数据 I2C 时钟开漏双向端口 跳闸区输入 3
GPIO30 CANRXA - -	33	26	23	I/O I - -	通用输入/输出 30 CAN 接收 - -
GPIO31 CANTXA - -	32	25	22	I/O O - -	通用输入/输出 31 CAN 发送 - -
GPIO32 SDAA EPWMSYNCL ADCSOCA \bar{O}	2	2	-	I/O I/OD I O	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 外部同步脉冲输入 ADC 转换启动 A
GPIO33 SCLA EPWMSYNCO ADCSOCB \bar{O}	3	3	-	I/O I/OD O O	通用输入/输出 33 I2C 时钟开漏双向端口 增强型 PWM 外部同步脉冲输出 ADC 转换启动 B
GPIO34 COMP2OUT - COMP3OUT	74	61	54	I/O O O	通用输入/输出 34 比较器 2 的直接输出 - 比较器 3 的直接输出
GPIO35 TDI	59	47	42	I/O I	通用输入/输出 35 带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器 (指令或数据) 中计时
GPIO36 TMS	60	48	43	I/O I	通用输入/输出 36 带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。

表 5-1. 信号说明 (续)

名称	终端			I/O/Z ⁽¹⁾	说明
	PN 引脚编号	PAG 引脚编号	RSH 引脚编号		
GPIO37 TDO	58	46	41	I/O/Z O/Z	通用输入/输出 37 JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 下降沿从 TDO 移出 (8mA 驱动)
GPIO38 TCK XCLKIN -	57	45	40	I/O/Z I I -	通用输入/输出 38 带有内部上拉电阻的 JTAG 测试时钟 外部振荡器输入。此引脚到时钟块的路径不受此引脚多路复用功能的控制。如果此路径用于其他功能, 必须注意不要启用此路径来计时。
GPIO39 - - -	56	-	-	I/O/Z - - -	通用输入/输出 39
GPIO40 EPWM7A - -	64	-	-	I/O/Z O - -	通用输入/输出 40 增强型 PWM7 输出 A 和 HRPWM 通道
GPIO41 EPWM7B - -	48	-	-	I/O/Z O - -	通用输入/输出 41 增强型 PWM7 输出 B
GPIO42 - - COMP1OUT	5	-	-	I/O/Z O	通用输入/输出 42 比较器 1 的直接输出
GPIO43 - - COMP2OUT	6	-	-	I/O/Z O	通用输入/输出 43 比较器 2 的直接输出
GPIO44 - - -	45	-	-	I/O/Z - - -	通用输入/输出 44

- (1) I = 输入, O = 输出, Z = 高阻抗, OD = 开漏, ↑ = 上拉, ↓ = 下拉
- (2) GPIO 功能 (以粗斜体显示) 在复位时为默认值。在它们下面列出的外设信号是供替换的功能。对于实现了 GPIO 功能多路复用的 JTAG 引脚, 输入到 GPIO 块的路径始终有效。根据 TRST 信号条件, 启用/禁用从 GPIO 块输出的路径和从一个引脚到 JTAG 块的路径。详细信息, 请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“系统控制”一章。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾ ⁽²⁾

		最小值	最大值	单位
电源电压	相对于 V_{SS} 的 V_{DDIO} (I/O 和闪存)	-0.3	4.6	V
	相对于 V_{SS} 的 V_{DD}	-0.3	2.5	
模拟电压	相对于 V_{SSA} 的 V_{DDA}	-0.3	4.6	V
输入电压	V_{IN} (3.3V)	-0.3	4.6	V
	V_{IN} (X1)	-0.3	2.5	
输出电压	V_O	-0.3	4.6	V
输入钳位电流	数字/模拟输入 (每引脚), I_{IK} ($V_{IN} < V_{SS}$ 或 $V_{IN} > V_{DDIO}$) ⁽³⁾	-20	20	mA
	模拟输入 (每引脚), $I_{IKANALOG}$ ($V_{IN} < V_{SSA}$ 或 $V_{IN} > V_{DDA}$)	-20	20	
	所有输入的总计, $I_{IKTOTAL}$ ($V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$)	-20	20	
输出钳位电流	I_{OK} ($V_O < 0$ 或 $V_O > V_{DDIO}$)	-20	20	mA
结温 ⁽⁴⁾	T_J	-40	150	°C
贮存温度 ⁽⁴⁾	T_{stg}	-65	150	°C

- 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些仅为应力额定值,并不表明器件在这些额定值下或者任何其它超过节 6.4 所述条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- 除非另有说明,所有电压值均相对于 V_{SS} 。
- 每引脚持续钳位电流为 ± 2 mA。请勿在此条件下持续运行,因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。
- 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。更多信息,请参阅 [半导体和 IC 封装热指标](#)、[计算嵌入式处理器的有效使用寿命](#)和 [计算任务剖面的 FIT](#)。

6.2 ESD 等级 - 汽车

		值	单位
采用 80 引脚 PN 封装的 TMS320F2803x-Q1			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	所有引脚	± 2000
	充电器件模型 (CDM), 符合 AEC Q100-011	除转角引脚以外的所有引脚	± 500
		80 引脚 PN 上的转角引脚: 1、20、21、40、41、60、61、80	± 750
采用 64 引脚 PAG 封装的 TMS320F2803x-Q1			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	所有引脚	± 2000
	充电器件模型 (CDM), 符合 AEC Q100-011	除转角引脚以外的所有引脚	± 500
		64 引脚 PAG 上的转角引脚: 1、16、17、32、33、48、49、64	± 750

- AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 ESD 等级 - 商用

		值	单位
采用 80 引脚 PN 封装的 TMS320F2803x			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	
采用 64 引脚 PAG 封装的 TMS320F2803x			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	
采用 56 引脚 RSH 封装的 TMS320F2803x			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	

(1) JEDEC 文件 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.4 建议工作条件

		最小值	标称值	最大值	单位
器件电源电压, I/O, V _{DDIO}		2.97	3.3	3.63	V
器件电源电压 CPU, V _{DD} (当内部 VREG 禁用并且由 1.8V 电源外部供电时)		1.71	1.8	1.995	V
电源接地, V _{SS}			0		V
模拟电源电压, V _{DDA}		2.97	3.3	3.63	V
模拟接地, V _{SSA}			0		V
器件时钟频率 (系统时钟)		2		60	MHz
高电平输入电压, V _{IH} (3.3V)		2		V _{DDIO} +0.3	V
低电平输入电压, V _{IL} (3.3V)		V _{SS} -0.3		0.8	V
高电平输出源电流, V _{OH} =V _{OH} (最小值), I _{OH}	所有 GPIO/AIO 引脚			-4	mA
	组 2 ⁽¹⁾			-8	mA
低电平输出灌电流, V _{OL} =V _{OL} (最大值), I _{OL}	所有 GPIO/AIO 引脚			4	mA
	组 2 ⁽¹⁾			8	mA
环境温度, T _A	T 版本	-40		105	°C
	S 版本	-40		125	
	Q 版本 (AEC Q100 认证)	-40		125	
结温, T _J		-40		150	°C

(1) 组 2 引脚如下所示: GPIO16、GPIO17、GPIO18、GPIO19、GPIO28、GPIO29、GPIO36、GPIO37

6.5 功耗摘要

6.5.1 TMS320F2803x 在 60MHz SYSCLKOUT 下的电流消耗

模式	测试条件	VREG 启用				VREG 禁用					
		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾		I _{DD}		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾	
		典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值	典型值 ⁽³⁾	最大值
工作 (闪存)	启用下列外设时钟： • ePWM1/2/3/4/5/6/7 • eCAP1 • eQEP1 • eCAN • LIN • CLA • HRPWM • SCI-A • SPI-A/B • ADC • I2C • COMP1/2/3 • CPU-TIMER0/1/2 所有 PWM 引脚在 60kHz 下切 换。 所有 I/O 引脚保持未连接状态。 (4) (6) 代码即将耗尽 2 个等待状态 的闪存。 XCLKOUT 关闭。	114mA ⁽⁷⁾	135mA ⁽⁷⁾	14mA	18mA	101mA ⁽⁷⁾	120mA ⁽⁷⁾	14mA	18mA	14mA	18mA
空闲	闪存断电。 XCLKOUT 关闭。 所有外设时钟关闭。	13mA	23mA	10 μA	15 μA	13mA	24mA	120 μA	400 μA	10 μA	15 μA
待机	闪存断电。 外设时钟关闭。	4mA	9mA	10 μA	15 μA	4mA	7mA	120 μA	400 μA	10 μA	15 μA
停机	闪存断电。 外设时钟关闭。 输入时钟禁用。(5)	46 μA		10 μA	15 μA	30 μA		24 μA		10 μA	15 μA

- (1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
- (2) 要实现空闲、待机、停机模式下的 I_{DDA} 电流，必须通过写入 PCLKCR0 寄存器来显式关闭 ADC 模块的时钟。
- (3) 典型值数字适用于室温和标称电压下。
- (4) 在循环中完成以下操作：
 - 数据持续从 SPI-A/B、SCI-A、eCAN、LIN 和 I2C 端口中发出。
 - 使用硬件乘法器。
 - 复位看门狗。
 - ADC 执行连续转换。
 - COMP1/2 是连续开关电压。
 - 切换 GPIO17。
- (5) 如果使用石英晶振或者陶瓷谐振器作为时钟源，停机模式将关闭片上晶体振荡器。
- (6) CLA 连续执行多项式计算。
- (7) 对于没有 CLA 的 F2803x 器件，从节 6.5.1 中显示的工作模式的 I_{DD} (VREG 禁用) / I_{DDIO} (VREG 启用) 电流数字中减去 CLA 的 I_{DD} 电流数字 (参阅表 6-1)。

备注

器件中实现的外设 I/O 多路复用可防止同时使用所有可用外设。这是因为多个外设功能可能共享一个 I/O 引脚。然而，可同时打开所有外设的时钟，不过此配置并无用处。如果这么做，器件消耗的电流将大于电流消耗表中指定的数值。

6.5.2 减少电流消耗

2803x 器件采用一种可降低器件电流消耗的方法。由于每个外设单元都有单独的时钟启用位，可通过关闭任何未在指定应用中使用的模块的时钟来大幅度减少电流消耗。此外，可利用这三个低功耗模式中的任何一个来进一步减少电流消耗。表 6-1 表明了通过关闭时钟所实现的电流消耗减少的典型值。

表 6-1. 各种外设的典型电流消耗 (60MHz 时)

外设模块 ^{(1) (3)}	I _{DD} 电流减少 (mA)
ADC	2 ⁽²⁾
I2C	3
ePWM	2
eCAP	2
eQEP	2
SCI	2
SPI	2
COMP/DAC	1
HRPWM	3
HRCAP	3
CPU - 计时器	1
内部零引脚振荡器	0.5
CAN	2.5
LIN	1.5
CLA	20

- (1) 复位时，所有外设时钟均被禁用（除了 CPU 计时器时钟）。只有在打开外设时钟后，才可进行对外设寄存器的写入/读取操作。
- (2) 这个数字代表了 ADC 模块数字部分汲取的电流。关闭 ADC 模块的时钟也将消除 ADC (I_{DDA}) 模拟部分汲取的电流。
- (3) 对于具有多个实例的外设，依照模块引出电流。例如，为 ePWM 所引出的 2mA 电流用于一个 ePWM 模块。

备注

当关闭 XCLKOUT 时，I_{DDIO} 电流消耗减少了 15mA (典型值)。

备注

基线 I_{DD} 电流 (当内核在无外设启用的情况下执行虚拟回路时的电流) 为 40mA (典型值)。为了达到一个指定应用所需的 I_{DD} 电流，必须将外设 (由应用启用) 汲取的电流增加到基线 I_{DD} 电流上。

下面是进一步减少功耗的其它方法：

- 如果代码运行出 SARAM，闪存模块可能会断电。这将使 V_{DD} 电源轨内的电流消耗减少 18mA (典型值)， V_{DDIO} 电源轨内的电流消耗减少 13mA (典型值)。
- 通过禁用负责输出功能的引脚上的上拉电阻，可实现 V_{DDIO} 电流节省。
- 若要在低功耗模式下实现最低 V_{DDA} 电流消耗，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#)中相应的模拟章节，以确保也将每个模块断电。

6.5.3 流耗图 (VREG 启用)

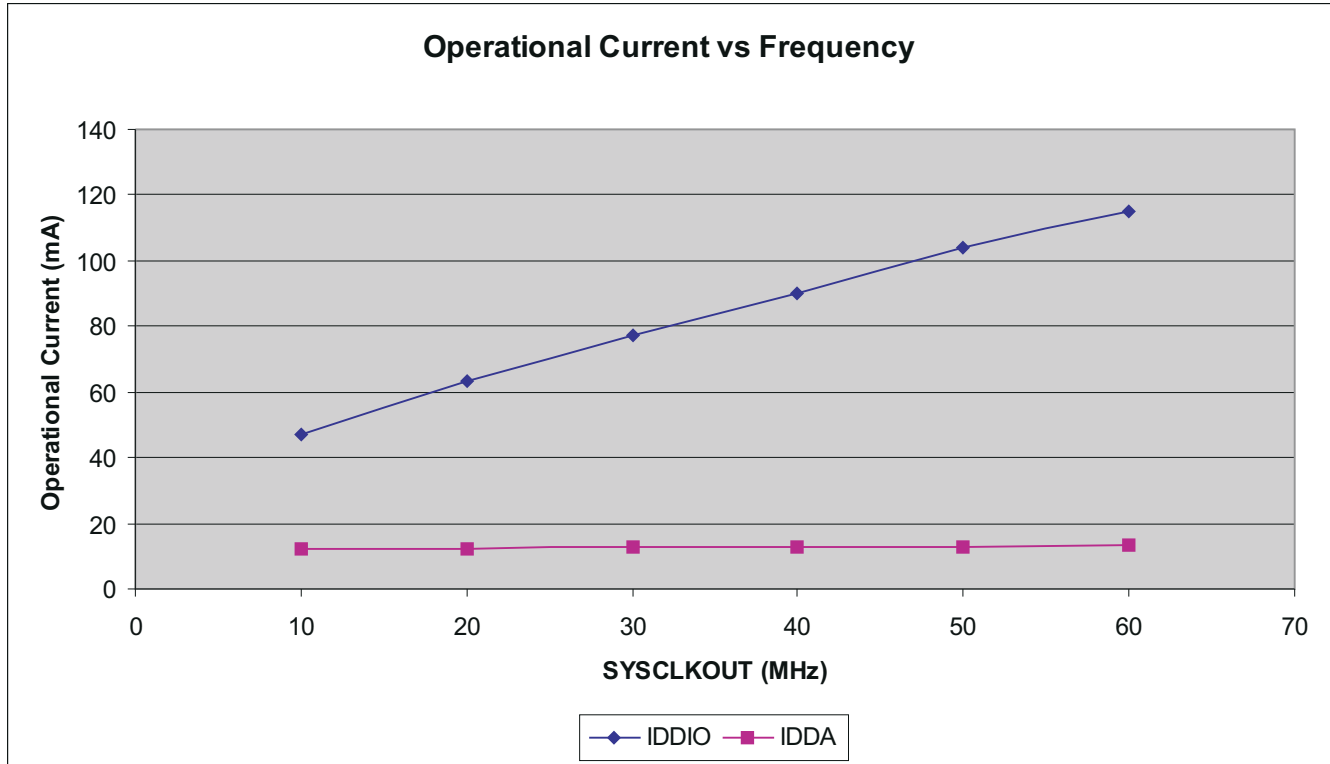


图 6-1. 典型运行电流与频率间的关系 (F2803x)

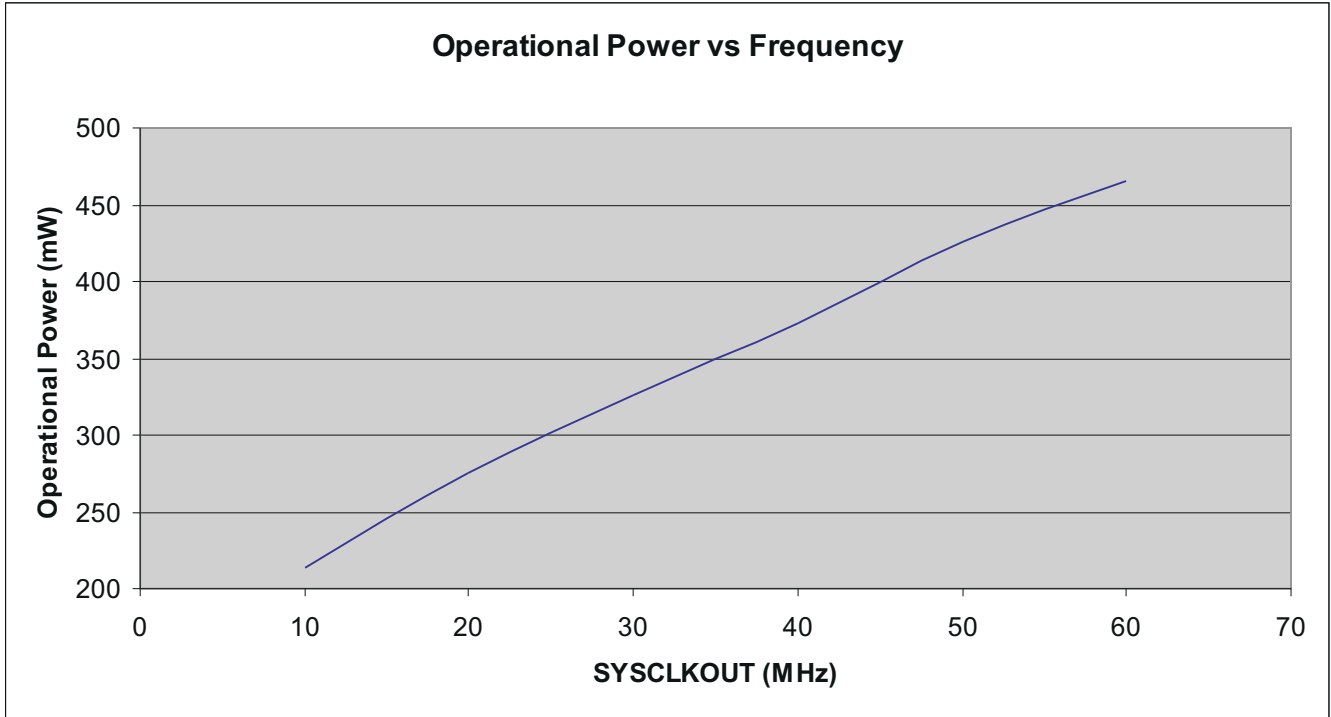


图 6-2. 典型运行功率与频率间的关系 (F2803x)

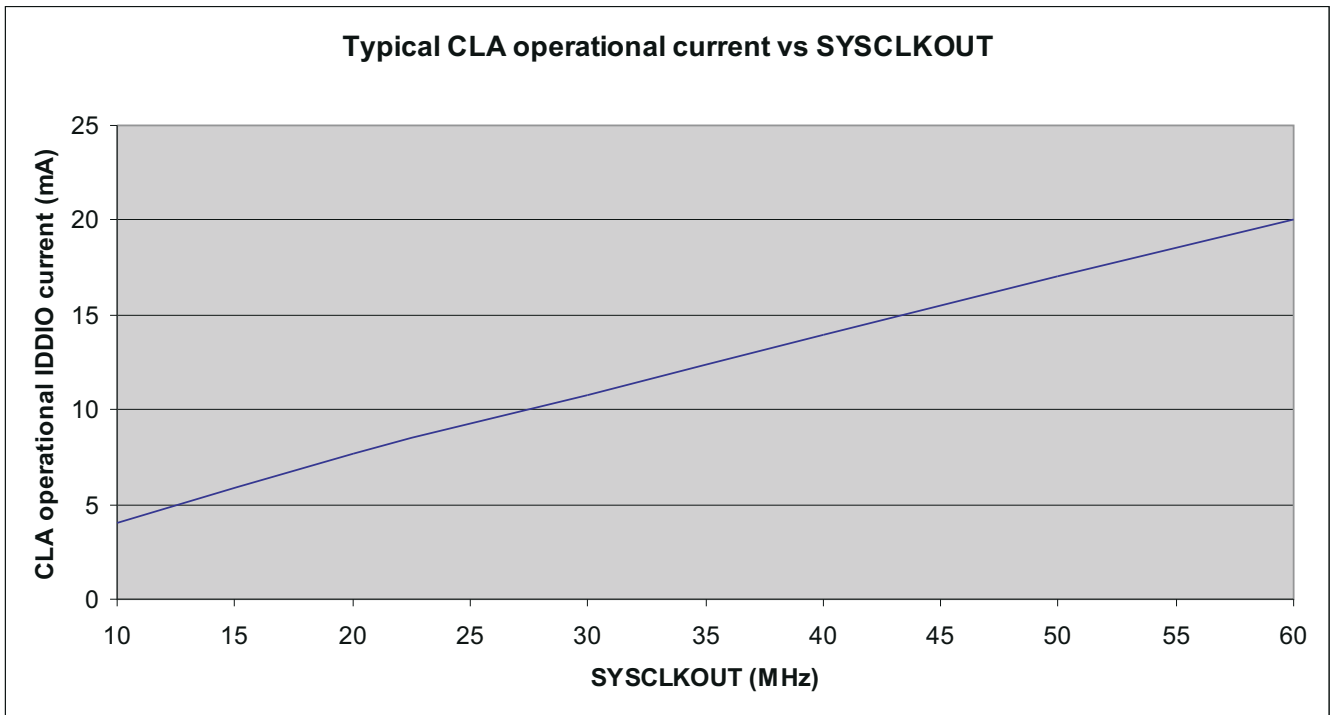


图 6-3. 典型 CLA 运行电流与 SYSCLKOUT 间的关系

6.6 电气特性

在推荐的运行条件下 (除非另有说明) ⁽¹⁾

参数		测试条件		最小值	典型值	最大值	单位	
V _{OH}	高电平输出电压	I _{OH} =I _{OH} 最大值		2.4			V	
		I _{OH} =50 μA		V _{DDIO} -0.2				
V _{OL}	低电平输出电压	I _{OL} =I _{OL} 最大值		0.4			V	
I _{IL}	输入电流 (低电平)	启用上拉的引脚	V _{DDIO} =3.3V, V _{IN} =0V	所有 GPIO	-80	-140	-205	μA
				$\overline{\text{XRS}}$ 引脚	-230	-300	-375	
		启用下拉的引脚	V _{DDIO} =3.3V, V _{IN} =0V	±2				
I _{IH}	输入电流 (高电平)	启用上拉的引脚	V _{DDIO} =3.3V, V _{IN} =V _{DDIO}	±2			μA	
		启用下拉的引脚	V _{DDIO} =3.3V, V _{IN} =V _{DDIO}	28	50	80		
I _{OZ}	输出电流, 上拉电阻器或者下拉电阻器被禁用	V _O = V _{DDIO} 或 0V		±2			μA	
C _I	输入电容			2			pF	
	V _{DDIO} BOR 触发点	下降的 V _{DDIO}		2.50	2.78	2.96	V	
	V _{DDIO} BOR 滞后			35			mV	
	监视器复位延迟时间	延迟时间过后, BOR/POR/OVR 事件被移除以释放 $\overline{\text{XRS}}$		400		800	μs	
	VREG V _{DD} 输出	内部 VREG 打开		1.9			V	

(1) 当片上 VREG 被使用时, 它的输出由 POR/BOR 电路监控, 如果内核电压 (V_{DD}) 超出范围, 此电路将复位器件。

6.7 热阻特性

6.7.1 PN 封装

		°C/W ⁽¹⁾	气流 (lfm) ⁽²⁾
R ^θ _{JC}	结至外壳热阻	14.2	不适用
R ^θ _{JB}	结至电路板热阻	21.9	不适用
R ^θ _{JA} (高 k PCB)	结至大气热阻	49.9	0
		38.3	150
		36.7	250
		34.4	500
Psi _{JT}	结至封装顶部	0.8	0
		1.18	150
		1.34	250
		1.62	500
Psi _{JB}	结至电路板	21.6	0
		20.7	150
		20.5	250
		20.1	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta_{JC} [R^θ_{JC}] 值除外) , 将随环境和应用的变化而更改。如需更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

6.7.2 PAG 封装

		°C/W ⁽¹⁾	气流 (lfm) ⁽²⁾
R ^θ _{JC}	结至外壳热阻	7.6	不适用
R ^θ _{JB}	结至电路板热阻	31.3	不适用
R ^θ _{JA} (高 k PCB)	结至大气热阻	56.5	0
		44.7	150
		42.9	250
		40.3	500
Psi _{JT}	结至封装顶部	0.15	0
		0.42	150
		0.51	250
Psi _{JB}	结至电路板	0.67	500
		31.1	0
		29.7	150
		29.2	250
		28.4	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta JC [R^θ_{JC}] 值除外) , 将随环境和应用的变化而更改。如需更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

6.7.3 RSH 封装

		°C/W ⁽¹⁾	气流 (lfm) ⁽²⁾
R ^θ _{JC}	结至外壳热阻	14.7	不适用
R ^θ _{JB}	结至电路板热阻	9.2	不适用
R ^θ _{JA} (高 k PCB)	结至大气热阻	34.8	0
		23.6	150
		22.3	250
		20.5	500
Psi _{JT}	结至封装顶部	0.24	0
		0.36	150
		0.43	250
		0.56	500
Psi _{JB}	结至电路板	9.2	0
		8.8	150
		8.9	250
		8.8	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta JC [R^θ_{JC}] 值除外) , 将随环境和应用的变化而更改。如需更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

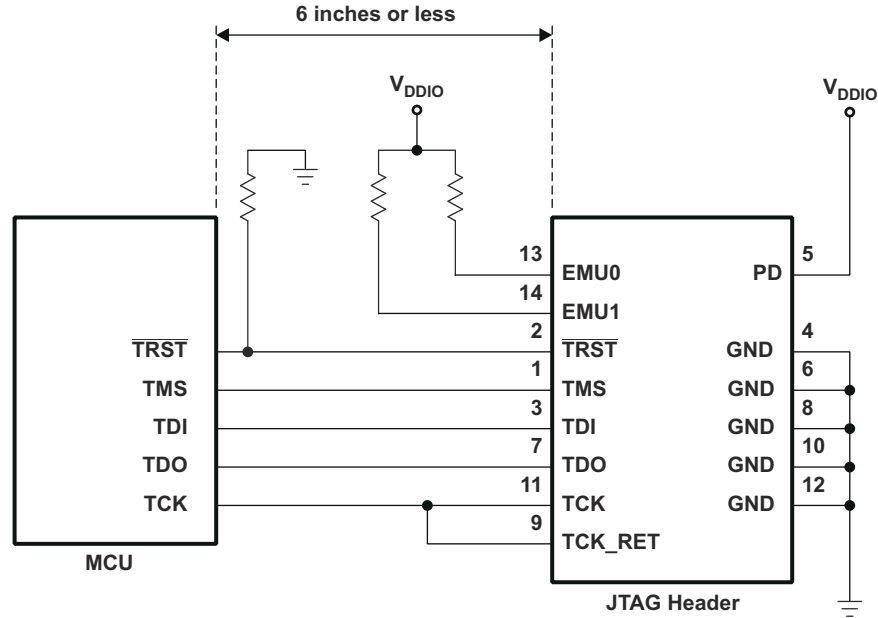
(2) lfm = 线性英尺/分钟

6.8 散热设计注意事项

根据最终应用设计和运行情况, I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J, 而不是环境温度。因此, 应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估运行结温 T_J。通常在封装顶部表面的中心测量 T_{case}。热应用报告 [半导体和 IC 封装热指标](#) 可帮助您了解各项热指标和相关定义。

6.9 无信号缓冲情况下 MCU 与 JTAG 调试探针的连接

图 6-4 显示了采用单处理器配置时 MCU 和 JTAG 接头之间的连接。如果 JTAG 接头和 MCU 之间的距离大于 6 英寸，那么仿真信号必须被缓冲。如果距离小于 6 英寸，通常无需缓冲。图 6-4 显示了较简单、无缓冲的情况。对于上拉/下拉电阻器的值，请参阅节 5.2，信号说明。



A. 有关 JTAG/GPIO 多路复用的信息，请参阅图 7-44。

图 6-4. 无信号缓冲情况下 MCU 与 JTAG 调试探针的连接

备注

2803x 器件无 EMU0/EMU1 引脚。对于具有板载 JTAG 接头的设计，接头上的 EMU0/EMU1 引脚必须通过一个 4.7kΩ (典型值) 电阻连接至 V_{DDIO}。

6.10 参数信息

6.10.1 时序参数符号

所用的时序参数符号是按照 JEDEC 标准 100 创建的。为了缩短符号，有些引脚名称和其他相关术语已如下缩写：

小写下标及其意义：	字母和符号及其意义：
a 访问时间	H 高
c 周期时间 (周期)	L 低
d 延迟时间	V 有效
f 下降时间	X 未知、改变或者不关心级别
h 保持时间	Z 高阻抗
r 上升时间	
su 建立时间	
t 转换时间	
v 有效时间	
w 脉冲持续时间 (宽度)	

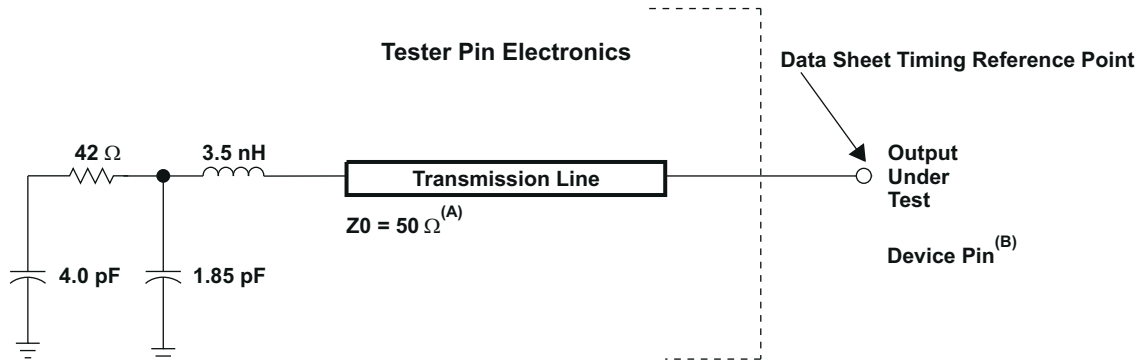
6.10.2 定时参数的通用注释

所有 28x 器件的输出信号 (包括 XCLKOUT) 取自一个内部时钟，这样，对于一个指定半周期的所有输出转换在一个互相之间相对最小转换率时发生。

这个显示在下面时序图中的信号组合也许不一定代表真实的周期。对于真实周期范例，请参见本文档的合适周期说明部分。

6.11 测试负载电路

此测试负载电路用于测量本文中提供的所有开关特性。

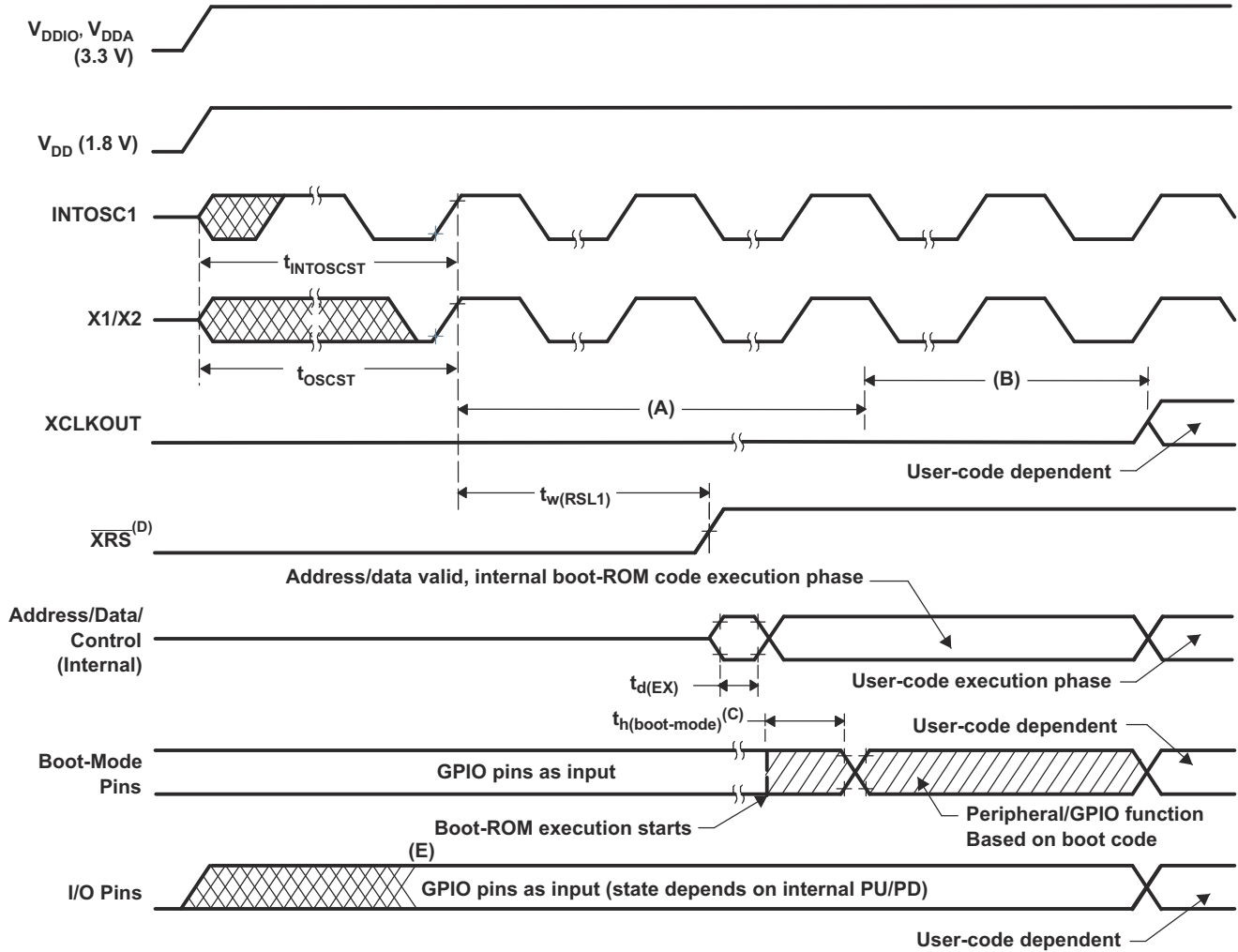


- A. 此数据表中的输入要求是在器件引脚上以小于每纳秒 4 伏 (4V/ns) 的输入转换率测试得出的。
- B. 此数据表提供器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。可使用具有 2ns 或更长延迟时间的传输线路实现所需的传输线路效果。传输线路只用作负载。无需从数据表时序中增加或者减去传输线路延迟 (2ns 或者更长)。

图 6-5. 3.3V 测试负载电路

6.12 电源时序

复位后无需电源时序来确保器件处于正常状态或者防止上电/下电期间的 I/O 上的毛刺脉冲 (GPIO19、GPIO34 - 38 上没有无毛刺脉冲 I/O)。在器件上电之前, 不应将 V_{DDIO} 之上大于二极管压降 (0.7V) 的电压应用于任何数字引脚 (对于模拟引脚, 此值是高于 V_{DDA} 0.7V 的电压值)。应用于未加电器件的引脚上的电压会以一种无意的的方式偏置内部 p-n 接头并产生无法预料的结果。



- 上电时, SYSCLOCKOUT 为 OSCCLK/4。由于 XCLK 寄存器内的 XCLKOUTDIV 位出现复位状态 0, SYSCLOCKOUT 在出现在 XCLKOUT 上之前会进一步除以 4。这个状态期间, XCLKOUT=OSCCLK/16。
- 引导 ROM 将 DIVSEL 位配置为 /1 运行。在这个状态期间, XCLKOUT=OSCCLK/4。XCLKOUT 只有通过用户代码明确配置, 才会显示在引脚上。
- 复位后, 引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLOCKOUT 的速度而定。SYSCLOCKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。
- 由于片上加电复位 (POR) 电路, 使用 \overline{XRS} 引脚是可选的。
- 当 BOR 被驱动为高电平, 内部上拉/下拉将起作用。

图 6-6. 加电复位

6.12.1 复位 ($\overline{\text{XRS}}$) 时序要求

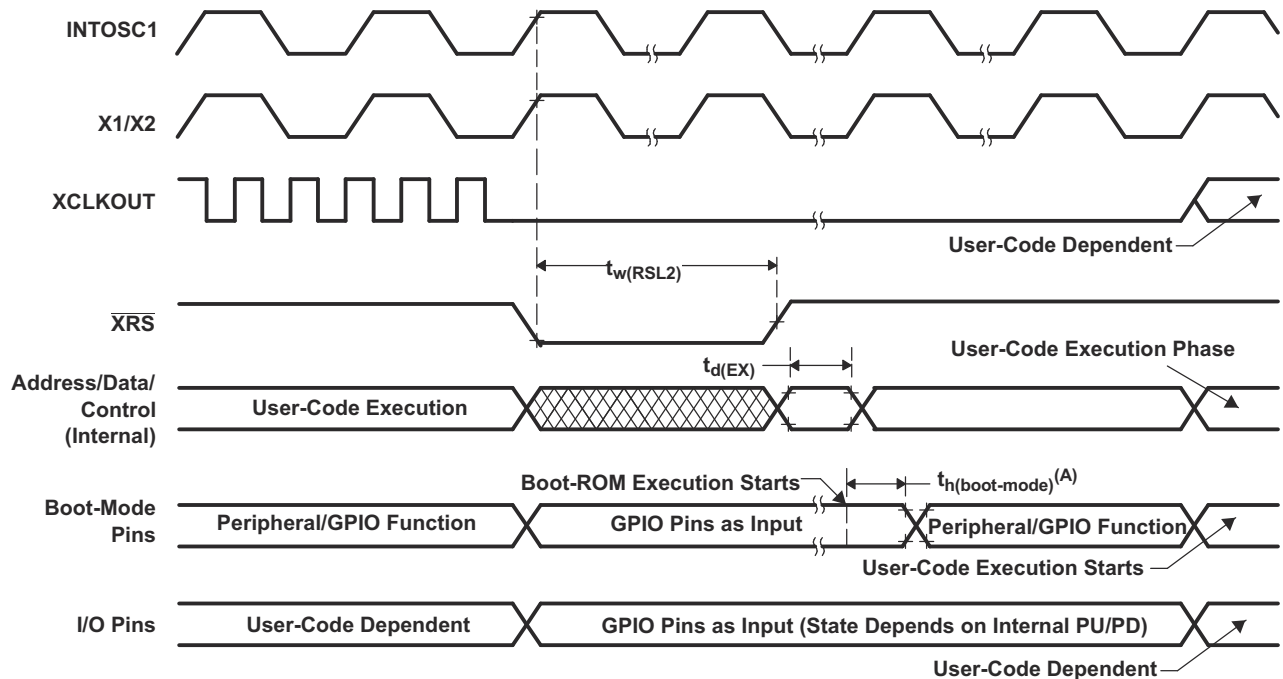
		最小值	最大值	单位
t_h (引导模式)	引导模式引脚的保持时间	$1000t_{c(SCO)}$		周期
$t_w(RSL2)$	脉冲持续时间, 热复位时 $\overline{\text{XRS}}$ 处于低电平	$32t_{c(OSCCLK)}$		周期

6.12.2 复位 ($\overline{\text{XRS}}$) 开关特征

在推荐的工作条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$t_w(RSL1)$	脉冲持续时间, $\overline{\text{XRS}}$ 由器件驱动		600		μs
$t_w(WDRS)$	脉冲持续时间, 由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期
$t_d(EX)$	延迟时间, $\overline{\text{XRS}}$ 高电平后, 地址/数据有效		$32t_{c(OSCCLK)}$		周期
$t_{INTOSCST}$	启动时间, 内部零引脚振荡器		3		μs
$t_{OSCST}^{(1)}$	片上晶体振荡器启动时间	1	10		ms

(1) 取决于晶体/谐振器和电路板设计。



A. 复位后, 引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

图 6-7. 热复位

图 6-8 显示了写入 PLLCR 寄存器所产生的效果的一个示例。在第一个阶段， $PLLCR = 0x0004$ 且 $SYSCCLKOUT = OSCCLK \times 2$ 。然后写入 $0x0008$ 到 PLLCR。就在 PLLCR 寄存器被写入后，PLL 锁存阶段开始。在此阶段， $SYSCCLKOUT = OSCCLK/2$ 。在 PLL 锁存完成后，SYSCCLKOUT 表示新的运行频率， $OSCCLK \times 4$ 。

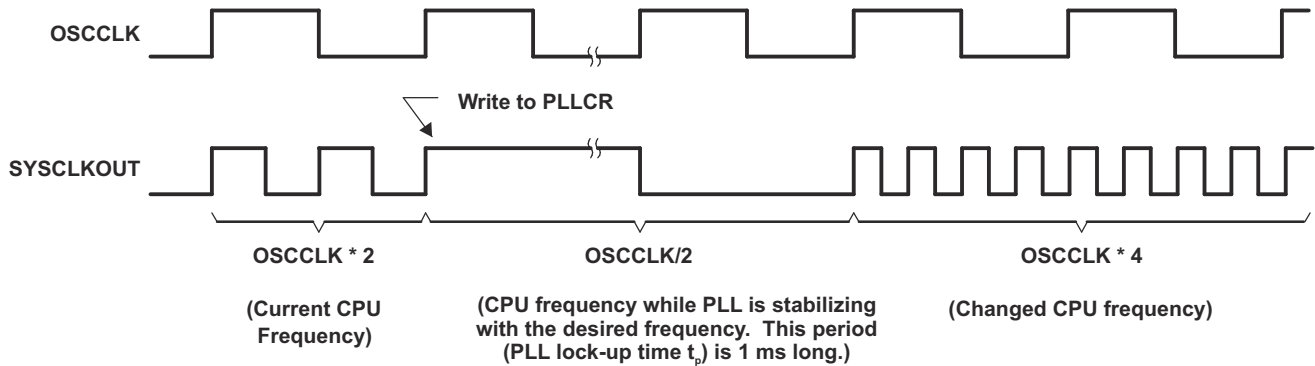


图 6-8. 写入 PLLCR 寄存器所产生的结果的示例

6.13 时钟规范

6.13.1 器件时钟表

此部分介绍 2803x MCU 上可用的不同时钟选项的定时要求和开关特性。节 6.13.1.1 列出了不同时钟的周期时间。

6.13.1.1 2803x 时钟表和命名规则 (60MHz 器件)

		最小值	标称值	最大值	单位
SYSCLKOUT	$t_{c(SCO)}$, 周期时间	16.67		500	ns
	频率	2		60	MHz
LSPCLK ⁽¹⁾	$t_{c(LCO)}$, 周期时间	16.67	66.67 ⁽²⁾		ns
	频率		15 ⁽²⁾	60	MHz
ADC 时钟	$t_{c(ADCCLK)}$, 周期时间	16.67			ns
	频率			60	MHz

(1) 更低的 LSPCLK 将减少器件功耗。

(2) 如果 SYSCLKOUT=60MHz, 这个值为缺省复位值。

6.13.1.2 器件计时要求/特性

		最小值	标称值	最大值	单位
片上振荡器 (X1/X2 引脚) (晶振/谐振器)	$t_{c(OSC)}$, 周期时间	50		200	ns
	频率	5		20	MHz
外部振荡器/时钟源 (XCLKIN 引脚) — PLL 启用	$t_{c(CI)}$, 周期时间 (C8)	33.3		200	ns
	频率	5		30	MHz
外部振荡器/时钟源 (XCLKIN 引脚) — PLL 禁用	$t_{c(CI)}$, 周期时间 (C8)	33.33		250	ns
	频率	4		30	MHz
跛行模式 SYSCLKOUT (/2 启用)	频率范围		1 至 5		MHz
XCLKOUT	$t_{c(XCO)}$, 周期时间 (C1)	66.67		2000	ns
	频率	0.5		15	MHz
PLL 锁定时间 ⁽¹⁾	t_p			1	ms

(1) PLLLOCKPRD 寄存器必须按照 OSCCLK 周期的数量进行更新。如果内部零引脚振荡器 (10MHz) 被用作时钟源, 那么必须将值 10,000 (最小值) 写入 PLLLOCKPRD 寄存器。

6.13.1.3 内部零引脚振荡器 (INTOSC1/INTOSC2) 特性

参数		最小值	典型值	最大值	单位
30°C 下的内部零引脚振荡器 1 (INTOSC1) ^{(1) (2)}	频率		10.000		MHz
30°C 下的内部零引脚振荡器 2 (INTOSC2) ^{(1) (2)}	频率		10.000		MHz
步长尺寸 (粗调)			55		kHz
步长尺寸 (微调)			14		kHz
温度漂移 ⁽³⁾			3.03	4.85	kHz/°C
电压 (V _{DD}) 漂移 ⁽³⁾			175		Hz/mV

- (1) 振荡器频率将随温度变化, 请参阅图 6-9。要补偿振荡器温度漂移, 请参阅 [振荡器补偿指南](#) 和 C2000Ware。
 (2) 只有当 VREG 被启用时, 才能确保频率范围, VREGENZ=V_{SS}。
 (3) 内部振荡器的输出频率由温度梯度和电压 (V_{DD}) 梯度确定。例如:
- 温度的上升将引起输出频率按照温度系数增加。
 - 电压的下降 (V_{DD}) 将引起输出频率按照电压系数下降。

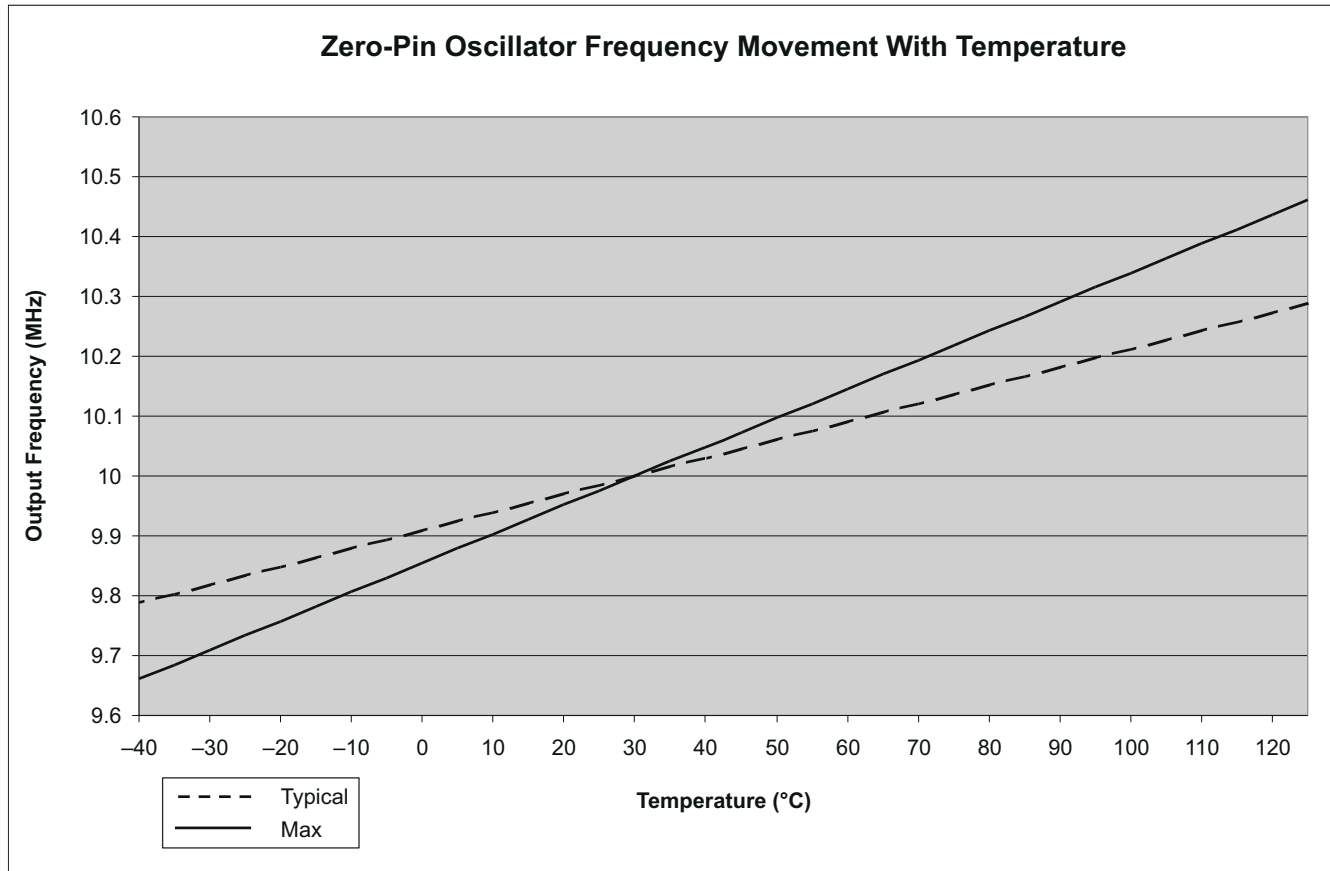


图 6-9. 随温度变化而变化的零引脚振荡器频率

6.13.2 时钟要求和特性

6.13.2.1 XCLKIN 定时要求 - PLL 已启用

编号	参数	描述	最小值	最大值	单位
C9	$t_{f(CI)}$	下降时间, XCLKIN		6	ns
C10	$t_{r(CI)}$	上升时间, XCLKIN		6	ns
C11	$t_{w(CIL)}$	脉冲持续时间, XCLKIN 低电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	
C12	$t_{w(CIH)}$	脉冲持续时间, XCLKIN 高电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	

6.13.2.2 XCLKIN 时序要求 - PLL 已禁用

编号	参数	描述	最小值	最大值	单位
C9	$t_{f(CI)}$	下降时间, XCLKIN	高达 20MHz	6	ns
			20MHz 至 30MHz	2	
C10	$t_{r(CI)}$	上升时间, XCLKIN	高达 20MHz	6	ns
			20MHz 至 30MHz	2	
C11	$t_{w(CIL)}$	脉冲持续时间, XCLKIN 低电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	
C12	$t_{w(CIH)}$	脉冲持续时间, XCLKIN 高电平为 $t_{c(OSCCLK)}$ 的一个百分比	45%	55%	

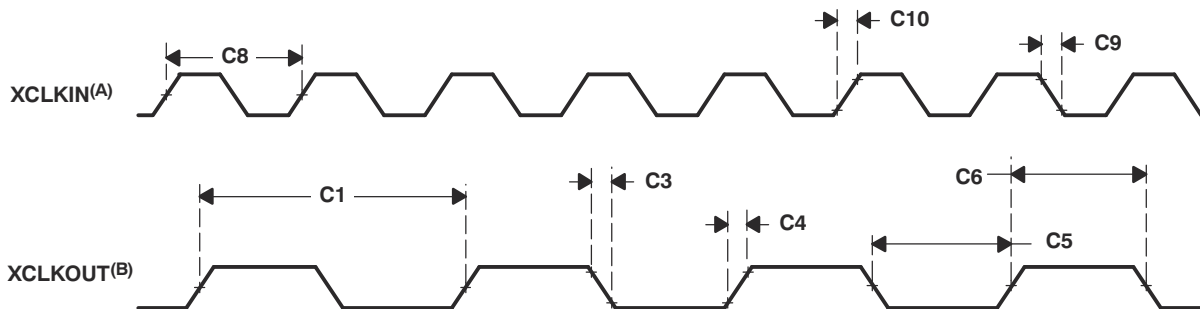
表 7-17 中显示了可能的配置模式。

6.13.2.3 XCLKOUT 开关特性 (旁路或启用 PLL)

在推荐的运行条件下 (除非另有说明) ⁽¹⁾ ⁽²⁾

编号	参数	描述	最小值	最大值	单位
C3	$t_{f(XCO)}$	下降时间, XCLKOUT		5	ns
C4	$t_{r(XCO)}$	上升时间, XCLKOUT		5	ns
C5	$t_{w(XCOL)}$	脉冲持续时间, XCLKOUT 低电平	H - 2	H + 2	ns
C6	$t_{w(XCOH)}$	脉冲持续时间, XCLKOUT 高电平	H - 2	H + 2	ns

- (1) 假定这些参数的负载为 40pF。
(2) $H = 0.5t_{c(XCO)}$



- A. XCLKIN 与 XCLKOUT 的关系取决于所选择的分频系数。所示波形关系仅用于说明时序参数, 可能因实际配置而异。
B. 已配置 XCLKOUT 以反映 SYSCLKOUT。

图 6-10. 时钟时序

6.14 闪存定时

6.14.1 T 温度材料的闪存/OTP 耐久性

		温度 擦除/编程 ⁽¹⁾	最小值	典型值	最大值	单位
N_f	闪存对于阵列的耐受度 (写入/擦除周期)	0°C 至 105°C (环境温度)	20000	50000		周期
N_{OTP}	OTP 对于阵列的耐受度 (写入周期)	0°C 至 30°C (环境温度)			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明, 有可能影响耐受数。

6.14.2 S 温度材料的闪存/OTP 耐久性

		温度 擦除/编程 ⁽¹⁾	最小值	典型值	最大值	单位
N_f	闪存对于阵列的耐受度 (写入/擦除周期)	0°C 至 125°C (环境温度)	20000	50000		周期
N_{OTP}	OTP 对于阵列的耐受度 (写入周期)	0°C 至 30°C (环境温度)			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明, 有可能影响耐受数。

6.14.3 Q 温度材料的闪存/OTP 耐久性

		温度 擦除/编程 ⁽¹⁾	最小值	典型值	最大值	单位
N_f	闪存对于阵列的耐受度 (写入/擦除周期)	-40°C 至 125°C (环境温度)	20000	50000		周期
N_{OTP}	OTP 对于阵列的耐受度 (写入周期)	-40°C 至 30°C (环境温度)			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明, 有可能影响耐受数。

6.14.4 60MHz SYSCLKOUT 下的闪存参数

参数		测试条件	最小值	典型值	最大值	单位
编程时间 ⁽¹⁾	8K 扇区			250	2000 ⁽²⁾	ms
	4K 扇区			125	2000 ⁽²⁾	ms
	16 位字			50		μs
擦除时间 ⁽³⁾	8K 扇区			2	12 ⁽²⁾	s
	4K 扇区			2	12 ⁽²⁾	s
I_{DDP} ⁽⁴⁾	擦除/编程周期内的 V_{DD} 流耗	VREG 禁用		80		mA
I_{DDIOP} ⁽⁴⁾	擦除/编程周期内的 V_{DDIO} 流耗			60		mA
I_{DDIOP} ⁽⁴⁾	擦除/编程周期内的 V_{DDIO} 流耗	VREG 启用		120		mA

- (1) 编程时间是最大器件频率下的值。此表中指示的编程时间仅适用于器件 RAM 中的所有必需代码/数据都可用并准备好进行编程的情况。编程时间包括闪存状态机的开销, 但不包括将以下项传输到 RAM 的时间:
- 使用闪存 API 对闪存进行编程的代码
 - 闪存 API 本身
 - 要进行编程的闪存数据
- (2) 所提到的最大闪存参数对应于前 100 个编程和擦除周期。
- (3) 当器件从 TI 出货时, 片上闪存存储器处于一个被擦除状态。这样, 当首次编辑器件时, 在编程前无需擦除闪存存储器。然而, 对于所有随后的编程操作, 需要执行擦除操作。
- (4) 室温下包括函数调用开销在内的典型参数, 是在所有外设关闭时的参数。在整个闪存编程过程中保持电源稳定很重要。可想而知, 闪存编程期间的器件电流消耗可能高于正常工作条件。如数据表“建议工作条件”中所述, 使用的电源应始终确保 V_{MIN} 位于电源轨上。擦除/编程过程中发生任何欠压保护或电源中断, 都可能会损坏密码位置并永久锁定器件。不建议通过 USB 端口为目标板供电 (在闪存编程期间), 因为该端口可能无法响应编程过程中设置的电源需求。

6.14.5 闪存 / OTP 访问时序

参数		最小值	最大值	单位
$t_{a(fp)}$	页式闪存访问时间	40		ns
$t_{a(fr)}$	随机闪存访问时间	40		ns
$t_{a(OTP)}$	OTP 访问时间	60		ns

6.14.6 闪存数据保持持续时间

参数		测试条件	最小值	最大值	单位
$t_{retention}$	数据保持持续时间	$T_J=55^\circ\text{C}$	15		年

表 6-2. 不同频率下所需的最小闪存/OTP 等待状态

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	页 等待状态 ⁽¹⁾	随机 等待状态 ⁽¹⁾	OTP 等待状态
60	16.67	2	2	3
55	18.18	2	2	3
50	20	1	1	2
45	22.22	1	1	2
40	25	1	1	2
35	28.57	1	1	2
30	33.33	1	1	1
25	40	0	1	1

(1) 随机等待状态必须 ≥ 1 。

计算表 6-2 中闪存页等待状态和随机等待状态的方程如下所示：

$$\text{Flash Page Wait State} = \left\lceil \left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer}$$

$$\text{Flash Random Wait State} = \left\lceil \left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer, or 1, whichever is larger}$$

计算表 6-2 中 OTP 等待状态的方程如下所示：

$$\text{OTP Wait State} = \left\lceil \left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer, or 1, whichever is larger}$$

7 详细说明

7.1 概述

7.1.1 CPU

2803x (C28x) 系列是 TMS320C2000™ 微控制器 (MCU) 平台的成员。基于 C28x 的控制器具有与现有 C28x MCU 一样的 32 位定点架构。它是一款高效的 C/C++ 引擎，不仅支持用户使用高级语言开发控制软件，还支持使用 C/C++ 开发数学算法。此器件在处理 MCU 算术任务时与处理系统控制任务时同样有效，而系统控制任务通常由微控制器器件处理。鉴于此器件具有高效率，无需像很多系统一样使用第二个处理器。利用 32 x 32 位 MAC 64 位处理能力，控制器能够高效地处理更高的数值分辨率问题。添加了带有关键寄存器自动环境保存的快速中断响应，使得一个器件能够用最小的延迟处理很多异步事件。此器件有一个具有流水线式存储器访问的 8 级深受保护流水线。这个流水线式操作使得此器件能够在高速执行而无需求助于昂贵的高速存储器。特别分支超前硬件大大减少了条件不连续而带来的延迟。特别存储条件操作进一步提升了性能。

7.1.2 控制律加速器 (CLA)

C28x 控制律加速器是一款单精度 (32 位) 浮点单元，此单元通过添加并行处理能力扩展了 C28x CPU 的处理能力。CLA 是一款独立的处理器，具有其自己的总线结构、获取机制和流水线。可指定 8 个独立的 CLA 任务、或者例程。每个任务由软件或外设启动，如 ADC、ePWM 或 CPU 计时器 0。CLA 每次完整执行一个任务。当一个任务完成时，主 CPU 被告知一个到 PIE 的中断，而 CLA 自动开始下一个高优先级待处理的任務。CLA 能够直接访问 ADC 结果寄存器和 ePWM+HRPWM 寄存器。专用消息 RAM 提供了一个在主 CPU 和 CLA 之间传递附加数据的方法。

7.1.3 内存总线 (哈佛总线架构)

与很多 MCU 类型器件一样，多总线用于在内存、外设和 CPU 之间移动数据。内存总线架构包括程序读取总线、数据读取总线和数据写入总线。程序读取总线包含 22 条地址线和 32 条数据线。数据读取总线和数据写入总线各由 32 条地址线和 32 条数据线组成。32 位宽数据总线可实现单周期 32 位运行。多总线结构，通常称为哈佛总线，使得 C28x 能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存对内存访问进行优先级设定。总的来说，内存总线访问的优先级可概括如下：

最高级：	数据写入	(内存总线上不能同时进行数据和程序写入。)
	程序写入	(内存总线上不能同时进行数据和程序写入。)
	数据读取	
	程序读取	(内存总线上不能同时进行程序读取和取指令。)
最低级：	取指令	(内存总线上不能同时进行程序读取和取指令。)

7.1.4 外设总线

为了在多种德州仪器 (TI) MCU 器件系列间实现外设迁移，此器件采用一个针对外设互连的外设总线标准。外设总线桥对各个总线进行多路复用，使处理器内存总线成为包含 16 条地址线和 16 条或 32 条数据线及关联控制信号的单个总线。支持外设总线的三个版本。一个版本只支持 16 位访问 (被称为外设帧 2)。另外版本支持 16 位和 32 位访问 (被称为外设帧 1)。第三个版本支持 CLA 访问以及 16 位和 32 位访问 (称为外设帧 3)。

7.1.5 实时 JTAG 和分析

器件对电路内调试实施标准 IEEE 1149.1 (IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构) JTAG 接口。此外, 此器件支持实时模式运行, 此运行模式可在处理器正在运行和执行代码且处理中断的同时允许修改存储器内容、外设、和寄存器位置。用户也可以通过非时间关键代码进行单步操作, 同时可在没有干扰的情况下启用将被处理的时间关键中断。此器件在 CPU 的硬件内执行实时模式。这是 28x 系列器件的独特特性, 无需软件监控。此外, 还提供了专门的分析硬件, 可实现硬件断点或者数据/地址观察点的设置, 并且可在出现匹配时生成不同的用户可选中断事件。

7.1.6 闪存

F28035/34 器件包含 64K x 16 的嵌入式闪存, 分隔成 8 个 8K x 16 扇区。F28033/32/31 器件包含 32K x 16 的嵌入式闪存, 分隔成 8 个 4K x 16 扇区。F28030 器件包含 16K x 16 的嵌入式闪存, 分隔成 4 个 4K x 16 扇区。所有器件还包含一个 1K x 16 的 OTP 内存, 地址范围为 0x3D 7800 至 0x3D 7BFF。用户能够在不改变其它扇区的同时单独对一个闪存扇区进行擦除、编程和验证。然而, 不能使用闪存的一个扇区或者这个 OTP 来执行对其它扇区进行擦除/编程的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存/OTP 被映射到程序和空间; 因此, 它可被用于执行代码或者存储数据信息。地址 0x3F 7FF0 至 0x3F 7FF5 为数据变量而保留, 不应包含程序代码。

备注

闪存和 OTP 等待状态可由应用来配置。这使得在较低频率下运行的应用能够将闪存配置为使用较少的等待状态。

可通过在闪存选项寄存器中启用闪存流水线操作模式来提升闪存的效能。这个模式被启用时, 线性代码执行的效能将远远快于只由等待状态配置所表示的原始性能。使用闪存流水线模式时确切的性能增加依应用而定。

有关闪存选项、闪存等待状态和 OTP 等待状态寄存器的更多信息, 请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“系统控制”一章。

7.1.7 M0 , M1 SARAM

所有器件包含这两块单周期访问内存, 每一个的大小为 1K x 16。复位时, 堆栈指针指向块 M1 的开始位置。M0 和 M1 块, 与所有其它 C28x 器件上的内存块一样, 被映射到程序和空间。因此, 用户能够使用 M0 和 M1 来执行代码或者用于数据变量。分区在连接器内执行。C28x 器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

7.1.8 L0 SARAM , 和 L1 , L2 , 和 L3 DPSARAM

此器件包含高达 8K x 16 的单周期访问 RAM。为了确定一个指定器件的准确大小, 请参阅节 7.2 中的器件专用内存映射图表。这个块被映射到程序和空间。块 L0 的大小为 2K 并且双映射至程序和空间。块 L1 和 L2 大小均为 1K 并且与 CLA 共用, CLA 可将这些块用于其数据空间。块 L3 大小为 4K (在 28031 器件上为 2K) 并且与 CLA 共用, CLA 可将此块用于其程序空间。DPSARAM 是指这些块的双端口配置。

7.1.9 引导 ROM

引导 ROM 通过引导加载程序软件进行了出厂编程。引导 ROM 使用引导模式选择 GPIO 引脚，确定上电时要使用的引导模式。用户可以选择正常引导至应用程序代码、从外部连接下载新软件，或者选择在内部闪存/ROM 中进行编程的引导软件。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。由于器件版本不同，引导 ROM 内容以及校验和值可能有所差异。详细信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“引导 BOM”一章。

表 7-1. 引导模式选择

模式	GPIO37/TDO	GPIO34/COMP2OUT/ COMP3OUT	TRST	模式
3	1	1	0	GetMode
2	1	0	0	等待 (说明请参阅节 7.1.10)
1	0	1	0	SCI
0	0	0	0	并行 IO
EMU	x	x	1	仿真引导

7.1.9.1 仿真引导

连接 JTAG 调试探针时，无法使用 GPIO37/TDO 引脚进行引导模式选择。在这种情况下，引导 ROM 会检测已连接 JTAG 调试探针，并使用 PIE 向量表中的两个保留 SARAM 位置内容来确定引导模式。如果两个位置内的内容均无效，那么使用等待引导选项。可在仿真引导中访问所有引导模式选项。

7.1.9.2 GetMode

GetMode 的缺省运行状态选项为引导至闪存。通过在 OTP 中设定两个位置，这个运行状态能够被改变为其它的引导选项。如果两个 OTP 位置的内容均为无效，那么引导至闪存。可以指定以下加载程序之一：SCI、SPI、I2C、CAN 或 OTP。

7.1.9.3 引导加载器使用的外设引脚

表 7-2 显示了每一个外设引导加载器所使用的 GPIO 引脚。请参阅 GPIO 多路复用器表以检查这些引脚是否与您希望在应用中使用的任一外设冲突。

表 7-2. 外设引导加载器引脚

引导加载器	外设加载器引脚
SCI	SCIRXDA (GPIO28) SCITXDA (GPIO29)
并行引导	数据 (GPIO31,30,5:0) 28x 控制 (AIO6) 主机控制 (AIO12)
SPI	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA (GPIO19)
I2C	SDAA (GPIO32) SCLA (GPIO33)
CAN	CANRXA (GPIO30) CANTXA (GPIO31)

7.1.10 安全

此器件支持高级安全性以保护用户固件不受反向工程的损坏。这种安全性特有一个由用户编程到闪存的 128 位密码 (针对 16 个等待状态的硬编码) 。一个代码安全模块 (CSM) 用于保护闪存/OTP 和 L0/L1 SARAM 块。该安全特性防止未经授权的用户通过 JTAG 端口检查内存内容, 或者试图引导加载一些将会输出安全内存内容的不良软件。为了启用对安全块的访问, 用户必须写入与存储在闪存密码位置内的值相匹配的正确的 128 位 KEY (密钥) 值。

除了 CSM, 还实现了仿真代码安全逻辑 (ECSL), 从而防止未经授权的用户逐步访问安全代码。在连接 JTAG 调试探针时, 对闪存、用户 OTP 或 Lx 内存的任何代码或数据访问都将让 ECSL 跳闸并中断调试探针连接。为了能够调试安全代码, 同时保持 CSM 对安全内存读取的防护, 用户必须向 KEY 寄存器 (KEY0 - KEY3) 的低 64 位写入正确的值, 这个值与存储在闪存密码位置 (PWL0 - PWL3) 的低 64 位的值相符。仍须执行闪存内所有 128 位密码的虚拟读取。如果密码位置的低 64 位为全 1 (未编程), 那么无需符合 KEY 值。在安全代码调试期间, 单步执行之类的操作是可行的。但是, 在 CCS 窗口中看不到安全内存的实际内容。

给连接到 JTAG 调试探针的安全器件供电时, CPU 将开始执行并可能执行一个指令来访问受保护区域。如果这一情况发生, ECSL 将跳闸, 导致 JTAG 电路停用。在这种情况下, 主机 (例如运行 CCS 或闪存编程软件的计算机) 将无法与器件建立连接。

该解决方案要使用等待引导选项。在此模式下, 代码回路绕过软件断点, 可在不触动安全系统的情况下保持 JTAG 调试探针的连接。然后, 用户可在使用 [TMS320F2803x 实时微控制器技术参考手册](#) 中“引导 ROM”一章所述的仿真引导选项之一连接 JTAG 调试探针后退出此模式。这些器件不支持硬件复位中等待模式。

如果需要通过 JTAG 对安全器件重新编程, 则务必在电路板设计中放入所需的挂钩, 以便在上电后将器件置于等待引导模式。否则, 如前所述, ECSL 可能停用 JTAG 电路并阻止连接到器件。

备注

- 对代码安全密码进行编程时, 0x3F7F80 至 0x3F7FF5 之间的所有地址无法用作程序代码或数据。这些位置必须编程为 0x0000。
- 如果未来可能需要通过 JTAG 对安全器件重新编程, 则务必在电路板设计中使得器件可在上电后置于等待引导模式 (有必要重新编程时) 。否则, 如前所述, ECSL 可能停用 JTAG 电路并阻止连接到器件。如果现场将器件重新配置为等待引导模式不现实, 那么必须在固件中实施某种机制来检测何时需要进行固件更新。然后, 可以在 bootROM 中将代码分支到所需的引导加载程序。它还可以分支到等待引导模式, 此时可以连接 JTAG 调试探针, 解除器件保护并通过 JTAG 完成编程。
- 如果未使用代码安全特性, 地址 0x3F7F80 至 0x3F7FEF 可用于代码或数据。地址 0x3F7FF0 至 0x3F7FF5 为数据而保留, 不应包含程序代码。

128 位密码 (地址为 0x3F 7FF8 至 0x3F 7FFF) 不能编程为 0。否则将永久锁定器件。

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关内存 (ROM 或者闪存) 中的数据进行密码保护, 并且由德州仪器 (TI) 根据其标准条款和条件提供保证, 确保符合 TI 发布的适用于本器件的保修期规范。

然而, TI 不保证或承诺 CSM 不会受到损坏或破坏, 也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外, 除上述内容外, TI 也未对本器件的 CSM 或运行做任何保证或表示, 包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下, TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责, 无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

7.1.11 外设中断扩展 (PIE) 块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。在 F2803x 上，外设使用 96 个可能中断中的 56 个。96 个中断被分成 8 组，每组被提供 12 个 CPU 中断线 (INT1 或者 INT12) 中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时，这个矢量由 CPU 自动抽取。抽取这个矢量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用/禁用。

7.1.12 外部中断 (XINT1-XINT3)

此器件支持 3 个被屏蔽的外部中断 (XINT1-XINT3)。每一个中断可被选择成负边沿、正边沿、或者二者触发并能够被启用/禁用。这些中断还包含一个 16 位自由运行的上数计数器，当检测到一个有效的中断边沿时，该计数器复位为 0。这个计数器可被用于为中断精确计时。没有用于外部引脚的专用引脚。XINT1, XINT2, 和 XINT3 中断可接受来自 GPIO0-GPIO3 引脚的输入。

7.1.13 内部零引脚振荡器、振荡器和 PLL

此器件可由两个内部零引脚振荡器、一个外部振荡器或者一个连接至片上振荡器电路的晶体中的任一个计时。一个提供的 PLL 支持高达 12 个输入时钟缩放比。PLL 比率可用软件中在器件运行时更改，这使得用户在需要低功耗运行时能够按比例降低运行频率。请参阅节 6，电气规格，了解时序详细信息。PLL 块可被设定为旁路模式。

7.1.14 看门狗

每个器件包含两个看门狗：一个是监视内核的 CPU 看门狗，一个是 NMI 看门狗，后者是时钟丢失检测电路。用户软件必须在特定的时间范围内定期复位 CPU 看门狗计数器；否则，CPU 看门狗将生成对处理器的复位。必要时可禁用 CPU 看门狗。NMI 看门狗仅在发生时钟故障时才起作用，可生成一个中断或者器件复位。

7.1.15 外设时钟

在外设闲置时，到每一个独立外设的时钟可被启用/禁用以减少功耗。此外，到串行端口 (除了 I2C) 的系统时钟可按照 CPU 时钟进行缩放。

7.1.16 低功耗模式

此器件是完全静态 CMOS 器件。提供三个低功耗模式：

- 空闲：将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在空闲模式期间必须运行的外设保持运行状态。来自激活外设或者看门狗计时器的已启用的中断将把处理器从空闲模式中唤醒。
- 待机：关闭到 CPU 和外设的时钟。在这个模式下，振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。在检测到中断事件之后的下一个有效周期上，执行开始。
- 停机：基本上，这个模式使器件关闭并将其置于尽可能低的功耗模式中。如果内部零引脚振荡器被用作时钟源，默认情况下，停机模式会将它们关闭。为了防止这些振荡器被关闭，可使用 CLKCTL 寄存器内的 INTOSCnHALTI 位。这样，零引脚振荡器可在此模式下用于为 CPU 看门狗计时。如果片上晶体振荡器被用作时钟源，在这个模式中，它将被关闭。复位或外部信号 (通过 GPIO 引脚) 或者 CPU 看门狗能够将器件从这个模式唤醒。

在尝试将器件置于停机或待机模式前，CPU 时钟 (OSCCLK) 和安全狗时钟源应源自同一时钟源。

7.1.17 外设帧 0, 1, 2, 3 (PFn)

此器件将外设分成四个部分。外设映射如下：

PF0 :	PIE :	PIE 中断启用和控制寄存器加上 PIE 矢量表
	闪存 :	闪存等待状态寄存器
	计时器 :	CPU - 计时器 0, 1, 2 寄存器
	CSM :	代码安全模块 KEY 寄存器
	ADC :	ADC 结果寄存器
	CLA	控制律加速器寄存器和消息 RAM
PF1 :	GPIO :	GPIO 复用配置和控制寄存器
	eCAN :	增强型控制局域网配置和控制寄存器
	LIN:	本地互连网络配置和控制寄存器
	eCAP :	增强型捕捉模块和寄存器
	eQEP:	增强型正交解码器脉冲模块和寄存器
	HRCAP :	高分辨率捕捉模块和寄存器
PF2 :	SYS :	系统控制寄存器
	SCI :	串行通信接口 (SCI) 控制和 RX/TX 寄存器
	SPI :	串行端口接口 (SPI) 和 RX/TX 寄存器
	ADC :	ADC 状态、控制、和配置寄存器
	IC2 :	集成电路间模块和寄存器
	XINT :	外部中断寄存器
PF3 :	ePWM :	增强型脉冲宽度调制器模块和寄存器
	HRPWM:	高分辨率脉宽调制器寄存器
	比较器 :	比较器模块 :

7.1.18 通用输入/输出 (GPIO) 复用器

大多数的外设信号与通用输入/输出 (GPIO) 信号复用。这使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时，GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式，用户能够独立设定每一个引脚。对于特定的输入，用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO 信号也可被用于使器件脱离特定低功耗模式。

7.1.19 32 位 CPU 计时器 (0, 1, 2)

CPU 定时器 0, 1, 和 2 是完全一样的 32 位定时器，这些定时器带有可预先设定的周期和 16 位时钟预分频。此定时器有一个 32 位倒计时寄存器，此寄存器在计数器达到 0 时生成一个中断。这个计数器的减量为被预分频值设置所分频的 CPU 时钟速度的值。当计数器达到 0 时，则自动重新加载 32 位周期值。

CPU 定时器 0 为通用定时器并被连接至 PIE 块。CPU 定时器 1 为通用定时器并被连接至 CPU 的 INT13。CPU 定时器 2 为 DSP/BIOS 保留。它被连接至 CPU 的 INT14。如果 DSP/BIOS 未被使用，CPU 定时器 2 也可称为通用定时器。

CPU 定时器 2 可由下列任一器件计时：

- SYSCLKOUT (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- 外部时钟源

7.1.20 控制外设

此器件支持下列用于嵌入式控制和通信的外设：

- ePWM :** 增强型 PWM 外设支持针对前缘/后缘边沿、被锁存的/逐周期机制的独立的/互补的 PWM 生成，可调节死区生成。一些 PWM 引脚支持 HRPWM 高分辨率占空比和周期特性。2803x 器件上的类型 1 模块也支持增加的死区分辨率、增强型片上系统 (SOC) 和中断生成以及包括基于比较器输出的触发功能的高级触发。
- eCAP :** 这个增强型捕捉外设使用一个 32 位时基并在连续/单次捕捉模式中记录多达四个可编程事件。
此外设还可配置为生成辅助 PWM 信号。
- eQEP :** 增强型 QEP 外设使用一个 32 位位置计数器，使用捕捉单元和一个 32 位单元计时器分别支持低速测量和高速测量。这个外设具有一个看门狗计时器来检测电机停转，并通过输入错误检测逻辑电路来识别 QEP 信号中的同步边沿转换。
- ADC :** ADC 块是一个 12 位转换器。根据器件的不同，它具有多达 16 个单端通道输出引脚。它包含两个用于同步采样的采样保持单元。
- 比较器 :** 每个比较器块由一个模拟比较器连同为一个为比较器的一个输入供电的内部 10 位基准组成。
- HRCAP :** 高分辨率捕捉外设通过一个以 HCCAPCLK 为时钟的 16 位计数器在正常捕捉模式下运行，或者通过利用内置校准逻辑，配合 TI 提供的校准库一同在高分辨率捕捉模式下运行。

7.1.21 串行端口外设

此器件支持下列的串行通信外设：

- SPI :** SPI 是一个高速同步串行 I/O 端口，此端口允许已经过长度编程 (1 至 16 位) 的串行位流以可编程的位传输速率移入和移出器件。通常，SPI 用于 MCU 和外部外设或者其他处理器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。SPI 包含用于减少中断服务开销的 4 级接收和发送 FIFO。
- SCI :** 串行通信接口是一种双线制异步串行端口，通常称为 UART。SCI 包含用于减少中断服务开销的 4 级接收和发送 FIFO。
- I2C :** 内部集成电路 (I2C) 模块在 MCU 与符合 Philips Semiconductors 内部集成电路总线 (I2C 总线®) 规范版本 2.1 并通过 I²C 总线连接的其他器件之间提供一个接口。该双线串行总线上连接的外部元件可以通过 I2C 模块向 MCU 发送/从 MCU 接收多达 8 位数据。I2C 包含用于减少中断服务开销的 4 级接收和发送 FIFO。
- eCAN :** 这是 CAN 外设的增强型版本。它支持 32 个邮箱、消息时间戳并符合 ISO11898-1 (CAN 2.0B) 标准。
- LIN :** 兼容 LIN 1.3 或者 2.0 的外设。也可配置为额外的 SCI 端口

7.2 内存映射

从图 7-1 到图 7-4，以下规则适用：

- 内存块不可扩展。
- 外设帧 0，外设帧 1，外设帧 2，和外设帧 3 内存映射只限于数据内存。一个用户程序不能访问这些处于程序空间内的内存映射。
- 受保护意味着“写后读”操作的顺序被保存，而不是流水线顺序。
- 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- 位置 0x3D7C80 至 0x3D7CC0 包含内部振荡器和 ADC 校准例程。这些位置不可由用户设计。

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 1400	CLA Registers	
0x00 1480	CLA-to-CPU Message RAM	
0x00 1500	CPU-to-CLA Message RAM	
0x00 1580	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	L3 DPSARAM (4K × 16) (0-Wait, Secure Zone + ECSL, CLA Prog RAM)	
0x00 A000	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3E 8000	FLASH (64K × 16, 8 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	<i>Vector (32 Vectors, Enabled if VMAP = 1)</i>	

- A. CLA 专用寄存器和 RAM 只适用于 28035 器件。
- B. 内存位置 0x3D7E80 至 0x3D7EAF 保留在 TMX 器件内。

图 7-1. 28034/28035 内存映射

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 1400	CLA Registers	
0x00 1480	CLA-to-CPU Message RAM	
0x00 1500	CPU-to-CLA Message RAM	
0x00 1580	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	L3 DPSARAM (4K × 16) (0-Wait, Secure Zone + ECSL, CLA Prog RAM)	
0x00 A000	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3F 0000	FLASH (32K × 16, 8 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	<i>Vector (32 Vectors, Enabled if VMAP = 1)</i>	

- A. CLA 专用寄存器和 RAM 只适用于 28033 器件。
- B. 内存位置 0x3D7E80 至 0x3D7EAF 保留在 TMX 器件内。

图 7-2. 28032/28033 内存映射

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	L3 DPSARAM (2K × 16) (0-Wait, Secure Zone + ECSL, CLA Prog RAM)	
0x00 9800	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3F 0000	FLASH (32K × 16, 8 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	<i>Vector (32 Vectors, Enabled if VMAP = 1)</i>	

A. 内存位置 0x3D7E80 至 0x3D7EAF 保留在 TMX 器件内。

图 7-3. 28031 内存映射

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	Reserved	
0x00 A000	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3F 4000	FLASH (16K × 16, 4 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	<i>Vector (32 Vectors, Enabled if VMAP = 1)</i>	

A. 内存位置 0x3D7E80 至 0x3D7EAF 保留在 TMX 器件内。

图 7-4. 28030 内存映射

表 7-3. F28034/28035 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 8000 至 0x3F 9FFF	扇区 H (8K x 16)
0x3E A000 至 0x3E BFFF	扇区 G (8K x 16)
0x3E C000 至 0x3E DFFF	扇区 F (8K x 16)
0x3E E000 至 0x3E FFFF	扇区 E (8K x 16)
0x3F 0000 至 0x3F 1FFF	扇区 D (8K x 16)
0x3F 2000 至 0x3F 3FFF	扇区 C (8K x 16)
0x3F 4000 至 0x3F 5FFF	扇区 B (8K x 16)
0x3F 6000 至 0x3F 7F7F	扇区 A (8K x 16)
0x3F 7F80 至 0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000
0x3F 7FF6 至 0x3F 7FF7	引导至闪存入口点 (编程分支指令所在位置)
0x3F 7FF8 至 0x3F 7FFF	安全密码 (128 位) (不要编程为全零)

表 7-4. F28031/28032/28033 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 0000 至 0x3F 0FFF	扇区 H (4K x 16)
0x3F 1000 至 0x3F 1FFF	扇区 G (4K x 16)
0x3F 2000 至 0x3F 2FFF	扇区 F (4K x 16)
0x3F 3000 至 0x3F 3FFF	扇区 E (4K x 16)
0x3F 4000 至 0x3F 4FFF	扇区 D (4K x 16)
0x3F 5000 至 0x3F 5FFF	扇区 C (4K x 16)
0x3F 6000 至 0x3F 6FFF	扇区 B (4K x 16)
0x3F 7000 至 0x3F 7F7F	扇区 A (4K x 16)
0x3F 7F80 至 0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000
0x3F 7FF6 至 0x3F 7FF7	引导至闪存入口点 (编程分支指令所在位置)
0x3F 7FF8 至 0x3F 7FFF	安全密码 (128 位) (不要编程为全零)

表 7-5. F28030 中闪存扇区的地址

地址范围	程序和数据空间
0x3F 4000 至 0x3F 4FFF	扇区 D (4K x 16)
0x3F 5000 至 0x3F 5FFF	扇区 C (4K x 16)
0x3F 6000 至 0x3F 6FFF	扇区 B (4K x 16)
0x3F 7000 至 0x3F 7F7F	扇区 A (4K x 16)
0x3F 7F80 至 0x3F 7FF5	当使用 代码安全模块时, 编程至 0x0000
0x3F 7FF6 至 0x3F 7FF7	引导至闪存入口点 (编程分支指令所在位置)
0x3F 7FF8 至 0x3F 7FFF	安全密码 (128 位) (不要编程为全零)

备注

- 对代码安全密码进行编程时，0x3F 7F80 至 0x3F 7FF5 之间的所有地址无法用作程序代码或数据。这些位置必须编程为 0x0000。
- 如果未使用代码安全特性，地址 0x3F 7F80 至 0x3F 7FEF 可用于代码或数据。地址 0x3F 7FF0 至 0x3F 7FF5 为数据而保留，不应包含程序代码。

表 7-6 显示如何处理这些内存地址。

表 7-6. 使用安全代码模块的影响

地址	闪存	
	代码安全启用	代码安全禁用
0x3F 7F80 至 0x3F 7FEF	用 0x0000 填充	应用代码和数据
0x3F 7FF0 至 0x3F 7FF5		只为数据而保留。

外设帧 1，外设帧 2，以及外设帧 3 被编成一组以使这些块成为受保护的写入/读取外设块。受保护模式确保所有到这些块的访问如文档中所描述的一样。由于此流水线，在对不同内存位置读取之前的写入操作将在 CPU 内存总线上以相反的顺序出现。这会导致特定外设应用中的问题，在此类应用中，用户认为写入会首先发生（如文档所描述的那样）。CPU 支持一个块保护模式，在这个模式中，可对一个内存区域进行保护，这样操作按照本文档所描述的那样发生（代价是增加了额外的周期以校正运行）。可对这个模式进行编程，并且默认情况下，它会保护所选的区域。

表 7-7 列出了内存映射区域中各种空间的等待状态。

表 7-7. 等待状态

区域 (AREA)	等待状态 (CPU)	注释
M0 和 M1 SARAM	0 - 等待	固定
外设帧 0	0 - 等待	
外设帧 1	0 - 等待 (写入) 2 - 等待 (读取)	周期可由已生成的外设扩展。 到外设帧 1 寄存器的背靠背写入操作将生成一个 1 周期停止 (1 周期延迟)。
外设帧 2	0 - 等待 (写入) 2 - 等待 (读取)	固定的周期不可由外设扩展。
外设帧 3	0 - 等待 (写入) 2 - 等待 (读取)	假定 CPU 和 CLA 间无冲突。 周期可由已生成的外设扩展。
L0 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L1 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L2 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
L3 SARAM	0 - 等待数据和程序	假定没有 CPU 冲突
OTP	可编程 1 - 等待最小	通过闪存寄存器进行编程。 1 - 等待是等待状态所允许的最小值。
闪存	可编程 0 - 页式等待最小值 1 - 随机等待最小值 随机等待 ≥ 页式等待	通过闪存寄存器进行编程。
闪存密码	16 - 等待固定	密码位置的等待状态是固定的。
引导 - ROM	0 - 等待	

7.3 寄存器映射

此器件包含 4 个外设寄存器空间。这些空间分类如下：

- 外设帧 0： 这些是直接映射到 CPU 存储器总线的外设。具体请参阅表 7-8。
- 外设帧 1： 这些是映射到 32 位外设总线的外设。具体请参阅表 7-9。
- 外设帧 2： 这些是映射到 16 位外设总线的外设。具体请参阅表 7-10。
- 外设帧 3： 这些是映射到 32 位外设总线并可由 CLA 访问的外设。具体请参阅表 7-11。

表 7-8. 外设帧 0 寄存器

名称 ⁽¹⁾	地址范围	大小 (x16)	受 EALLOW 保护 ⁽²⁾
器件仿真寄存器	0x00 0880 至 0x00 0984	261	是
系统功率控制寄存器	0x00 0985 至 0x00 0987	3	是
闪存寄存器 ⁽³⁾	0x00 0A80 至 0x00 0ADF	96	是
代码安全模块寄存器	0x00 0AE0 至 0x00 0AEF	16	是
ADC 寄存器 (0 等待只读)	0x00 0B00 至 0x00 0B0F	16	否
CPU - 计时器 0/1/2 寄存器	0x00 0C00 至 0x00 0C3F	64	否
PIE 寄存器	0x00 0CE0 至 0x00 0CFF	32	否
PIE 矢量表	0x00 0D00 至 0x00 0DFF	256	否
CLA 寄存器	0x00 1400 至 0x00 147F	128	是
CLA 到 CPU 消息 RAM (CPU 写入被忽略)	0x00 1480 至 0x00 14FF	128	不适用
CPU 到 CLA 消息 RAM (CLA 写入被忽略)	0x00 1500 至 0x00 157F	128	不适用

- (1) 帧 0 中的寄存器支持 16 位和 32 位访问。
- (2) 如果寄存器是受 EALLOW 保护的，那么在 EALLOW 指令被执行前写入不能被执行。EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。
- (3) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 7-9. 外设帧 1 寄存器

名称	地址范围	大小 (x16)	受 EALLOW 保护
eCAN-A 寄存器	0x00 6000 至 0x00 61FF	512	(1)
eCAP1 寄存器	0x00 6A00 至 0x00 6A1F	32	否
HRCAP1 寄存器	0x00 6AC0 至 0x00 6ADF	32	(1)
HRCAP2 寄存器	0x00 6AE0 至 0x00 6AFF	32	(1)
eQEP1 寄存器	0x00 6B00 至 0x00 6B3F	64	(1)
LIN-A 寄存器	0x00 6C00 至 0x00 6C7F	128	(1)
GPIO 寄存器	0x00 6F80 至 0x00 6FFF	128	(1)

- (1) 一些寄存器是受 EALLOW 保护的。更多详细信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#)。

表 7-10. 外设帧 2 寄存器

名称	地址范围	大小 (x16)	受 EALLOW 保护
系统控制寄存器	0x00 7010 至 0x00 702F	32	是
SPI-A 寄存器	0x00 7040 至 0x00 704F	16	否
SCI-A 寄存器	0x00 7050 至 0x00 705F	16	否
NMI 看门狗中断寄存器	0x00 7060 至 0x00 706F	16	是
外部中断寄存器	0x00 7070 至 0x00 707F	16	是
ADC 寄存器	0x00 7100 至 0x00 717F	128	(1)
I2C-A 寄存器	0x00 7900 至 0x00 793F	64	(1)
SPI-B 寄存器	0x00 7740 至 0x00 774F	16	否

(1) 一些寄存器是受 EALLOW 保护的。更多详细信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#)。

表 7-11. 外设帧 3 寄存器

名称	地址范围	大小 (x16)	受 EALLOW 保护
比较器 1 寄存器	0x00 6400 至 0x00 641F	32	(1)
比较器 2 寄存器	0x00 6420 至 0x00 643F	32	(1)
比较器 3 寄存器	0x00 6440 至 0x00 645F	32	(1)
ePWM1 + HRPWM1 寄存器	0x00 6800 至 0x00 683F	64	(1)
ePWM2 + HRPWM2 寄存器	0x00 6840 至 0x00 687F	64	(1)
ePWM3 + HRPWM3 寄存器	0x00 6880 至 0x00 68BF	64	(1)
ePWM4 + HRPWM4 寄存器	0x00 68C0 至 0x00 68FF	64	(1)
ePWM5 + HRPWM5 寄存器	0x00 6900 至 0x00 693F	64	(1)
ePWM6 + HRPWM6 寄存器	0x00 6940 至 0x00 697F	64	(1)
ePWM7 + HRPWM7 寄存器	0x00 6980 至 0x00 69BF	64	(1)

(1) 一些寄存器是受 EALLOW 保护的。更多详细信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#)。

7.4 器件仿真寄存器

这些寄存器用于控制 C28x CPU 的保护模式和监视某些关键器件信号。表 7-12 中定义了这些寄存器。

表 7-12. 器件仿真寄存器

名称	地址范围	大小 (x 16)	说明		受 EALLOW 保护
DEVICECNF	0x0880 0x0881	2	器件配置寄存器		是
PARTID ⁽¹⁾	0x3D 7E80	1	器件 ID 寄存器	TMS320F28035PN 0x00BF TMS320F28035PAG 0x00BE TMS320F28035RSH 0x00BD TMS320F28034PN 0x00BB TMS320F28034PAG 0x00BA TMS320F28034RSH 0x00B9 TMS320F28033PN 0x00B7 TMS320F28033PAG 0x00B6 TMS320F28033RSH 0x00B5 TMS320F28032PN 0x00B3 TMS320F28032PAG 0x00B2 TMS320F28032RSH 0x00B1 TMS320F28031PN 0x00AF TMS320F28031PAG 0x00AE TMS320F28031RSH 0x00AD TMS320F28030PN 0x00AB TMS320F28030PAG 0x00AA TMS320F28030RSH 0x00A9	否
CLASSID	0x0882	1	类别 ID 寄存器	TMS320F28035 0x00BF TMS320F28034 0x00BB TMS320F28033 0x00B7 TMS320F28032 0x00B3 TMS320F28031 0x00AF TMS320F28030 0x00AB	否
REVID	0x0883	1	修订版本 ID 寄存器	0x0000 - 器件版本 0 - TMS 0x0001 - 器件版本 A - TMS	否

(1) 对于 TMS320F2803x 器件，PARTID 寄存器位置与 TMS320F2802x 器件的位置 0x3D7FFF 不同。

7.5 VREG/BOR/POR

虽然内核和 I/O 电路运行在两个不同的电压上，这些器件有一个片载电压稳压器 (VREG) 来生成 V_{DD} 电压，此电压由 V_{DDIO} 电源提供。这在应用板上免除了第二个外部稳压器的成本和空间的需要。此外，在加电和运行模式期间，内部加电复位 (POR) 和欠压复位 (BOR) 电力路监控 V_{DD} 和 V_{DDIO} 电源轨。

7.5.1 片载电压稳压器 (VREG)

一个线性稳压器生成内核电压 (V_{DD})，此电压由 V_{DDIO} 电源提供。因此，虽然在每一个 V_{DD} 引脚上都需要电容器来稳定生成的电压，但是运行此器件并不需要为这些引脚供电。相反地，如果功率或者冗余是应用关心的首要问题，那么可将 VREG 禁用。

7.5.1.1 使用片上 VREG

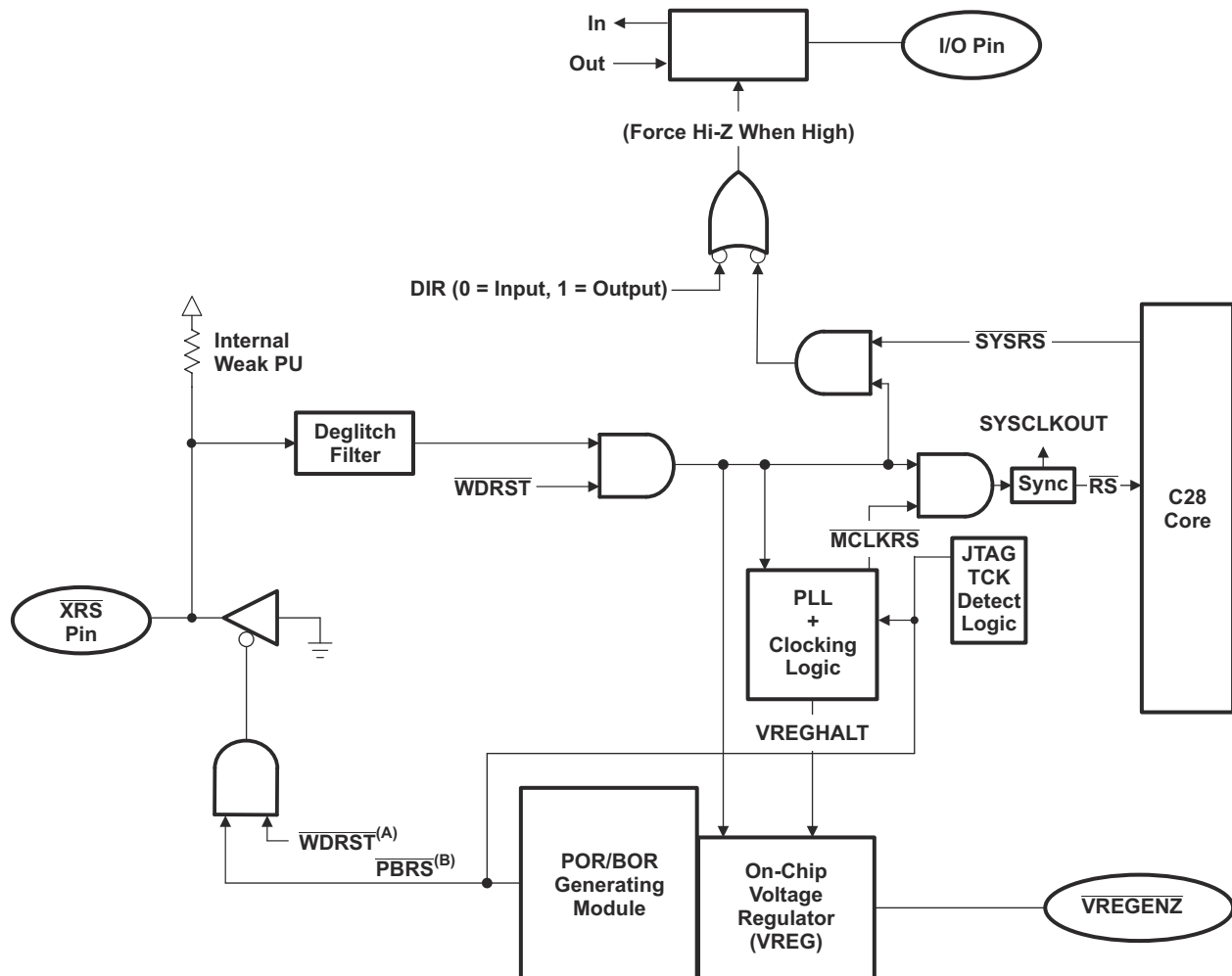
要使用片上 VREG， $\overline{VREGENZ}$ 引脚应连接至低电平并且将建议的适当工作电压应用于 V_{DDIO} 和 V_{DDA} 引脚。在这种情况下，内核逻辑所需的 V_{DD} 电压将由 VREG 生成。每个 V_{DD} 引脚需要 $1.2 \mu F$ (最小值) 级别的电容，以正确调节 VREG。这些电容器应尽可能靠近 V_{DD} 引脚。不支持使用内部 VREG 驱动外部负载。

7.5.1.2 禁用片载 VREG

为了节约能源，也可禁用片载 VREG 并使用一个效率更高的外部稳压器将内核逻辑电压提供给 V_{DD} 引脚。为了启用这个选项， \overline{VREGNZ} 引脚必须被接至高电平。

7.5.2 片上加电复位 (POR) 和欠压复位 (BOR) 电路

两个片上监视电路 (加电复位 (POR) 和欠压复位 (BOR)) 使应用板不再需要监控 V_{DD} 和 V_{DDIO} 电源轨。POR 的目的是在整个上电过程中, 在整个器件上创建一个洁净的复位。此跳闸点是一个非固定的、比 BOR 更低的跳闸点, 将在器件运行期间观察 V_{DD} 或者 V_{DDIO} 电源轨的骤减。POR 功能总是出现在 V_{DD} 和 V_{DDIO} 电源轨上。在器件首次上电后, BOR 功能总是出现在 V_{DD} 上, 并且当内部 VREG 启用时, 也出现在 V_{DD} 上 ($V_{REGEN\bar{Z}}$ 引脚连接至低电平)。当其中一个电压低于它们各自的跳闸点时, 两个功能连接至 \bar{XRS} 引脚低电平。 V_{DD} BOR 和过压跳闸点在建议工作电压范围之外。无法确保器件正常运行。如果影响系统的过压或欠压条件是应用的重要因素, 则应添加外部电压监控器。图 7-5 显示了 VREG, POR 和 BOR。为了禁用 V_{DD} 和 V_{DDIO} BOR 功能, 在 BORCFG 寄存器中提供了一个位。有关详细信息, 请参阅 *TMS320F2803x 实时微控制器技术参考手册* 中的“系统控制”一章。



- A. \bar{WDRST} 是来自 CPU 看门狗的复位信号。
 B. $\bar{PBR\bar{S}}$ 是来自 POR/BOR 模块的复位信号。

图 7-5. VREG + POR + BOR + Reset 信号连接性

7.6 系统控制

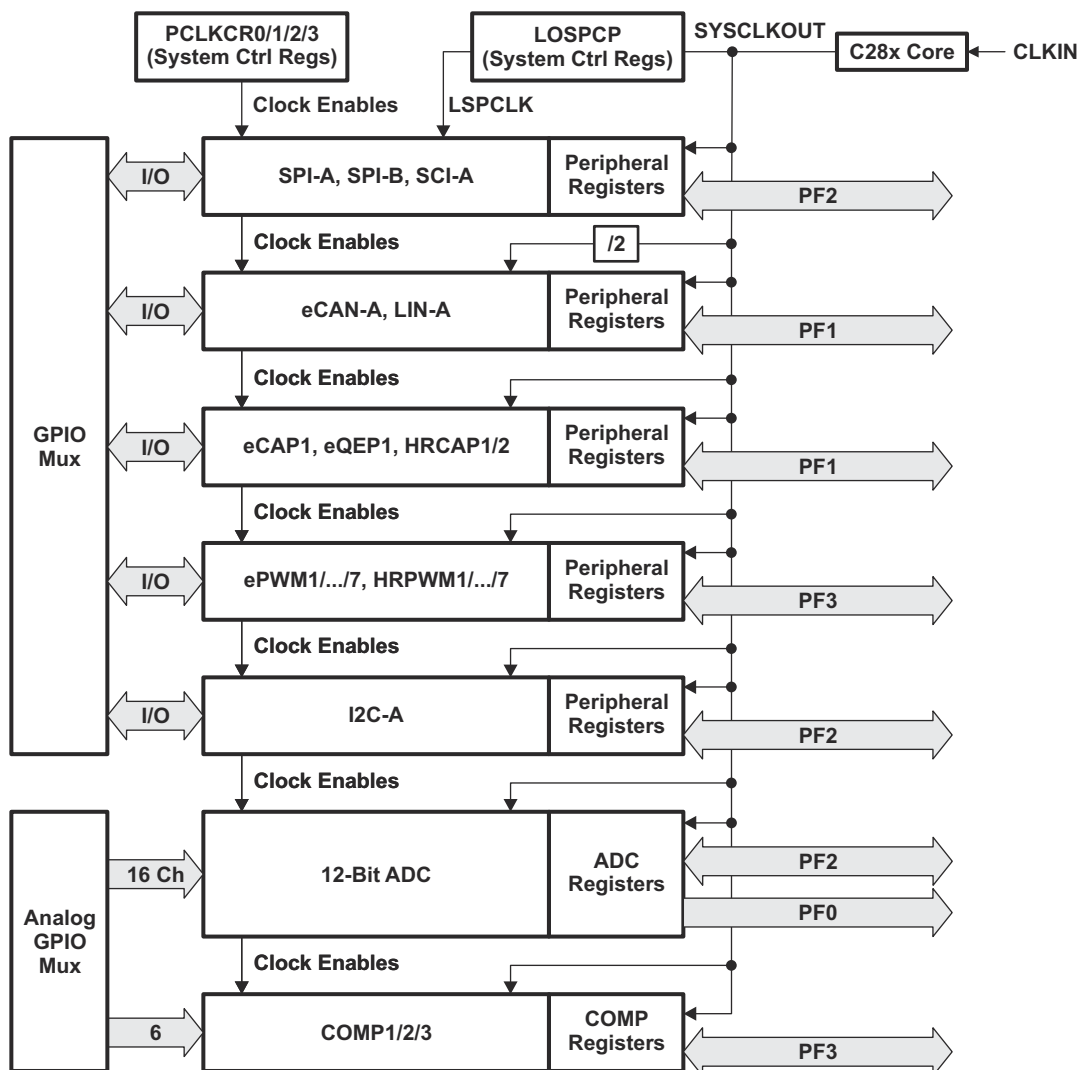
本部分介绍振荡器和时钟机制、看门狗功能以及低功率模式。

表 7-13. PLL、时钟、看门狗和低功率模式寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
BORCFG	0x00 0985	1	BOR 配置寄存器
XCLK	0x00 7010	1	XCLKOUT 控制
PLLSTS	0x00 7011	1	PLL 状态寄存器
CLKCTL	0x00 7012	1	时钟控制寄存器
PLLLOCKPRD	0x00 7013	1	PLL 锁周期
INTOSC1TRIM	0x00 7014	1	内部振荡器 1 调整寄存器
INTOSC2TRIM	0x00 7016	1	内部振荡器 2 调整寄存器
PCLKCR2	0x00 7019	1	外设时钟控制寄存器 2
LOSPCP	0x00 701B	1	低速外设时钟预分频器寄存器
PCLKCR0	0x00 701C	1	外设时钟控制寄存器 0
PCLKCR1	0x00 701D	1	外设时钟控制寄存器 1
LPMCR0	0x00 701E	1	低功耗模式控制寄存器 0
PCLKCR3	0x00 7020	1	外设时钟控制寄存器 3
PLLCR	0x00 7021	1	PLL 控制寄存器
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	看门狗计数器寄存器
WDKEY	0x00 7025	1	看门狗复位密钥寄存器
WDCR	0x00 7029	1	看门狗控制寄存器

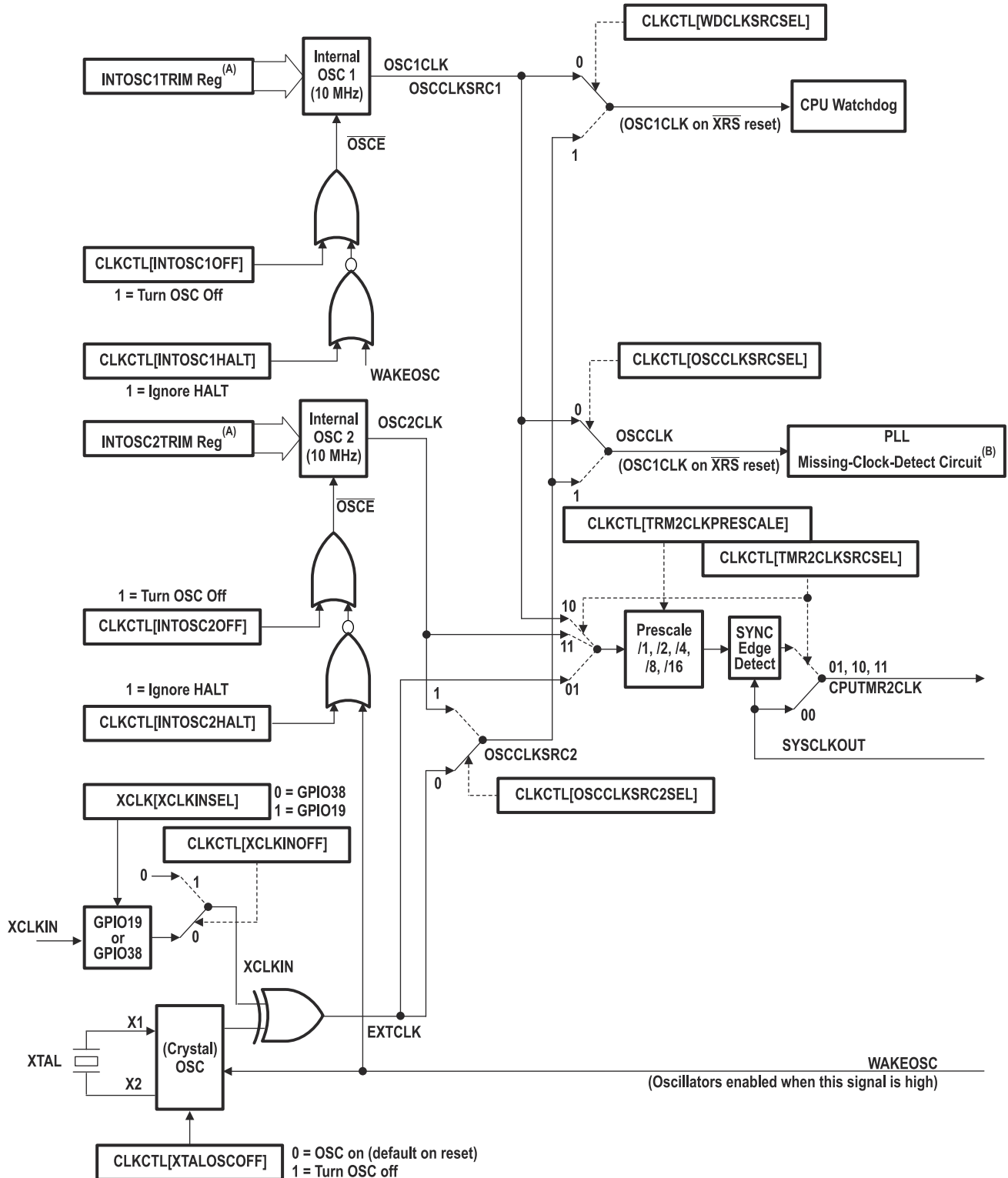
(1) 此表中的所有寄存器都受 EALLOW 保护。

图 7-6 显示了讨论的各种时钟域。图 7-7 显示了能够为器件运行提供时钟的各种时钟源（内部和外部）。



A. CLKIN 为 CPU 提供时钟。它作为 SYSCLKOUT 从 CPU 传出（也就是说，CLKIN 与 SYSCLKOUT 频率相同）。

图 7-6. 时钟和复位域



- A. 从 TI 基于 OTP 的校准功能载入的寄存器。
B. 请参阅节 7.6.4 了解有关时钟缺失检测的详情。

图 7-7. 时钟树

7.6.1 内部零引脚振荡器

F2803x 器件包含两个独立的内部零引脚振荡器。缺省情况下，两个振荡器在加电时全都打开，此时，内部振荡器 1 是默认时钟源。为了节能，用户可将不使用的振荡器断电。这些振荡器的中心频率由它们各自的振荡器调整寄存器决定，此寄存器在校准例程中被写入作为引导 ROM 执行的一部分。有关这些振荡器的更多信息，请见节 6，电气规范。

7.6.2 晶体振荡器选项

片上晶体振荡器 X1 和 X2 引脚是 1.8V 电平信号，切勿施加 3.3V 电平信号。如果要使用系统 3.3V 外部振荡器作为时钟源，则应将其仅连接到 XCLKIN 引脚。X1 引脚并非用作单端时钟输入，它应该与 X2 和晶体一同使用。

表 7-14 中列出了外部石英晶体（基本模式，并行共振）的典型技术规范。此外，ESR 范围 = 30 至 150Ω。对于表 7-14， C_{shunt} 应小于或等于 5pF。

表 7-14. 外部石英晶振的典型规格

频率 (MHz)	$R_d(\Omega)$	$C_{L1}(pF)$	$C_{L2}(pF)$
5	2200	18	18
10	470	15	15
15	0	15	15
20	0	12	12

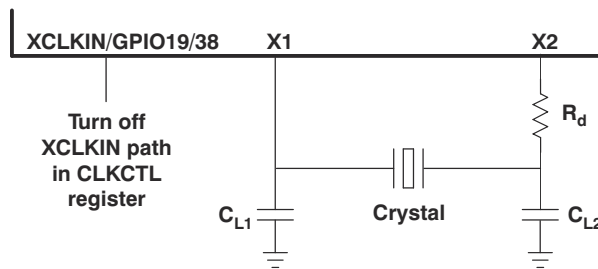


图 7-8. 片上晶体振荡器的使用

备注

1. C_{L1} 和 C_{L2} 是电路板和包括 IC 和晶振在内的组件的总电容值。这个值通常约为晶振负载电容值的两倍。
2. 制造商的晶振技术规格中对晶振的负载电容值进行了说明。
3. TI 建议用户让谐振器/晶振销售商对他们销售的器件与 MCU 一同工作的特性进行说明。谐振器/晶体供应商具有调谐谐振电路的设备并掌握了相关专业技术。供应商还可以建议客户使用正确的谐振回路元件值，以便在整个运行范围内实现适当的启动和稳定性。

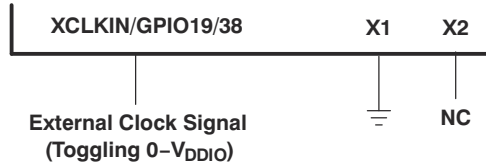


图 7-9. 使用一个 3.3V 外部振荡器

7.6.3 基于 PLL 的时钟模块

此器件具有一个基于 PLL 的片上时钟模块。这个模块为器件提供所有需要的时钟信号，以及对低功耗模式进入的控制。PLL 通过一个 4 位比率控制 PLLCR[DIV] 来选择不同的 CPU 时钟速率。在写入 PLLCR 寄存器之前，看门狗模块应被禁用。在 PLL 模式稳定后，可将其重新启用（如果需要），重新启用的时间为 1ms。输入时钟和 PLLCR[DIV] 位应该在 PLL(VCOCLK)的输出频率下降到 400MHz 至 50 MHz 之间时选定。

表 7-15. PLL 设置

PLLCR[DIV] 值 ^{(2) (3)}	SYSCLKOUT (CLKIN)		
	PLLSTS[DIVSEL]=0 或 1 ⁽¹⁾	PLLSTS[DIVSEL]=2	PLLSTS[DIVSEL]=3
0000 (PLL 旁路)	OSCCLK/4 (默认) ⁽²⁾	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	(OSCCLK * 1)/1
0010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	(OSCCLK * 2)/1
0011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	(OSCCLK * 3)/1
0100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	(OSCCLK * 4)/1
0101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	(OSCCLK * 5)/1
0110	(OSCCLK * 6)/4	(OSCCLK * 6)/2	(OSCCLK * 6)/1
0111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	(OSCCLK * 7)/1
1000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	(OSCCLK * 8)/1
1001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	(OSCCLK * 9)/1
1010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	(OSCCLK * 10)/1
1011	(OSCCLK * 11)/4	(OSCCLK * 11)/2	(OSCCLK * 11)/1
1100	(OSCCLK * 12)/4	(OSCCLK * 12)/2	(OSCCLK * 12)/1

- (1) 默认情况下，将 PLLSTS[DIVSEL] 配置为 /4。（引导 ROM 将这个配置更改为 /1。）在写入 PLLCR 前，PLLSTS[DIVSEL] 必须为 0，而只有当 PLLSTS[PLLOCKS]=1 时才应被改变。
- (2) PLL 控制寄存器 (PLLCR) 和 PLL 状态寄存器 (PLLSTS) 只能通过 $\overline{\text{XRS}}$ 信号或者一个看门狗复位被复位为其默认值。一个调试器发出的复位或者丢失时钟检测逻辑无效。
- (3) 此寄存器受 EALLOW 保护。有关详细信息，请参阅 *TMS320F2803x 实时微控制器技术参考手册* 中的“系统控制”一章。

表 7-16. CLKIN 分频选项

PLLSTS [DIVSEL]	CLKIN 分频
0	/4
1	/4
2	/2
3	/1

基于 PLL 的时钟模块提供四种运行模式：

- **INTOSC1 (内部零引脚振荡器 1)**：这是片上内部振荡器 1。此振荡器可为看门狗块、内核和 CPU 计时器 2 提供时钟。
- **内部零引脚振荡器 2 (INTOSC2)**：这是片上内部振荡器 2。此振荡器可为看门狗块、内核和 CPU 计时器 2 提供时钟。INTOSC1 和 INTOSC2 都可被独立选择用于看门狗块、内核和 CPU 计时器 2。
- **晶体/谐振器运行**：片上 (晶体) 振荡器允许使用连接到器件的外部晶体/谐振器来提供时基。晶体/谐振器连接至 X1/X2 引脚。一些器件也许没有 X1/X2 引脚。详细信息，请参阅表 5-1。
- **外部时钟源运行**：如果未使用片上 (晶体) 振荡器，此模式允许对它进行旁路。此器件时钟从 XCLKIN 引脚上的外部时钟源输入生成。XCLKIN 与 GPIO19 或 GPIO38 引脚进行多路复用。可通过 XCLK 寄存器中的 XCLKINSEL 位，将 XCLKIN 输入选择为 GPIO19 或 GPIO38。CLKCTL[XCLKINOFF] 位禁用这个时钟输入 (强制低电平)。如果时钟源未被使用或者各自的引脚被用作 GPIO，用户应该在启用时将其禁用。

在改变时钟源前，请确保目标时钟存在。如果时钟不存在，那么该时钟源必须在开关时钟前被禁用 (使用 CLKCTL 寄存器)。

表 7-17. 可能的 PLL 配置模式

PLL 模式	注释	PLLSTS[DIVSEL]	CLKIN 和 SYSCLKOUT
PLL 关闭	由在 PLLSTS 寄存器中设置 PLLOFF 位的用户调用。在此模式中，PLL 块被禁用。这对降低系统噪声和低功率操作非常有用。在进入此模式之前，必须先将 PLLCR 寄存器设置为 0x0000 (PLL 旁路)。CPU 时钟 (CLKIN) 直接源自 X1/X2, X1 或者 XCLKIN 上的输入时钟。	0、1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL 旁路	PLL 旁路是上电时或外部复位 (XRS) 后的默认 PLL 配置。当 PLLCR 寄存器设置为 0x0000 时或在 PLLCR 寄存器已经被修改之后 PLL 锁定至新频率时，选择此模式。在此模式中，PLL 进行旁路，但未关闭。	0、1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL 启用	通过将非零值 n 写入 PLLCR 寄存器来实现。在写入 PLLCR 时，此器件将在 PLL 锁定之前切换至 PLL 旁路模式。	0、1 2 3	OSCCLK * n/4 OSCCLK * n/2 OSCCLK * n/1

7.6.4 输入时钟的损耗 (NMI 看门狗功能)

2803x 器件可由两个内部零引脚振荡器 (INTOSC1/INTOSC2) 的其中任一个、片上晶体振荡器、或者一个外部时钟输入提供时钟信号。无论时钟源是什么，在 PLL 启用和 PLL 旁路模式中，如果到 PLL 的输入时钟消失，PLL 将在其输出上发出一个跛行模式时钟。这个跛行模式时钟持续为 CPU 和外设提供一个典型值为 1-5MHz 的时钟。

当跛行模式被激活时，一个被锁存为 NMI 中断的 $\overline{\text{CLOCLFAIL}}$ 信号被生成。根据 NMIRESETSEL 位的配置方式，器件复位可能会被立即触发或者 NMI 看门狗计数器溢出时发出复位。除此之外，会设置丢失时钟状态 (MCLKSTS) 位。应用可使用 NMI 中断来检测输入时钟故障并启动所需的校正操作，例如切换到另一个时钟源 (如果有的话) 或者为系统启动一个关断过程。

如果软件对于时钟故障情况没有响应，NMI 看门狗将在一个预编程的时间间隔后触发复位。图 7-10 显示了涉及的中断机制。

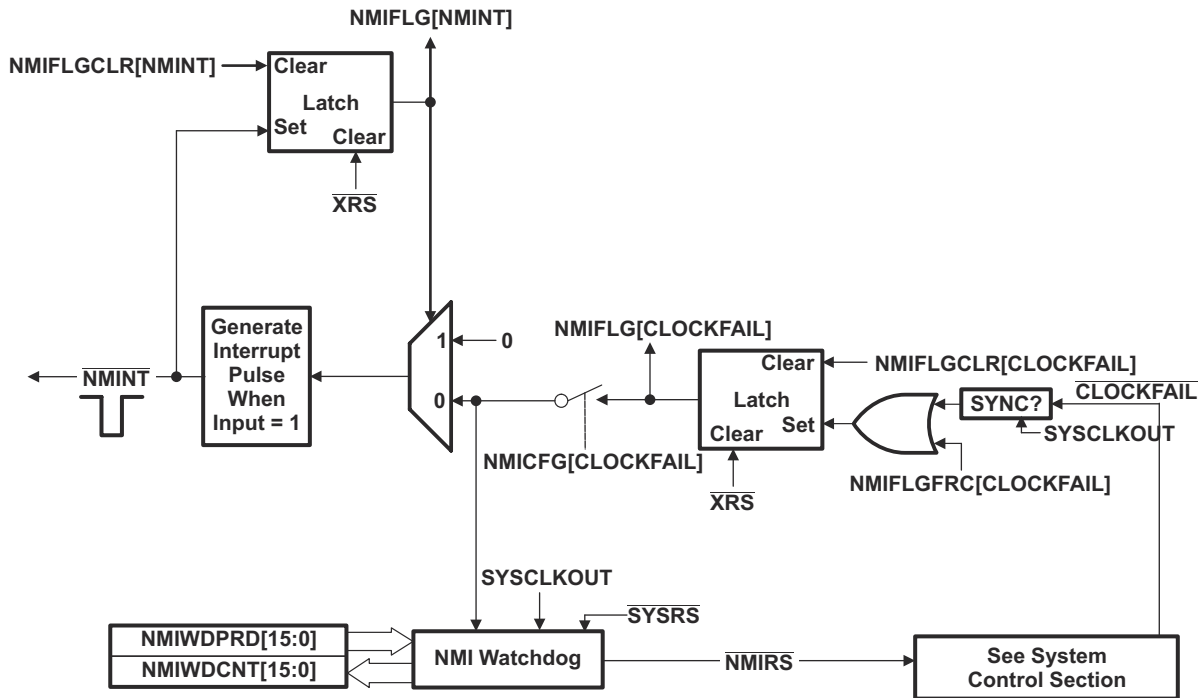


图 7-10. NMI 看门狗

7.6.5 CPU 看门狗模块

2803x 器件上的 CPU 看门狗模块与 281x/280x/283x 器件上所使用的类似。只要 8 位看门狗递增计数器达到了它的最大值，这个模块就生成一个输出脉冲，512 振荡器时钟宽度 (OSCCLK)。为防止这一情况，用户必须禁用计数器，或者软件必须定期向看门狗键值寄存器写入一个 0x55 + 0xAA 序列，用于复位看门狗计数器。图 7-11 显示了看门狗模块内的各种功能块。

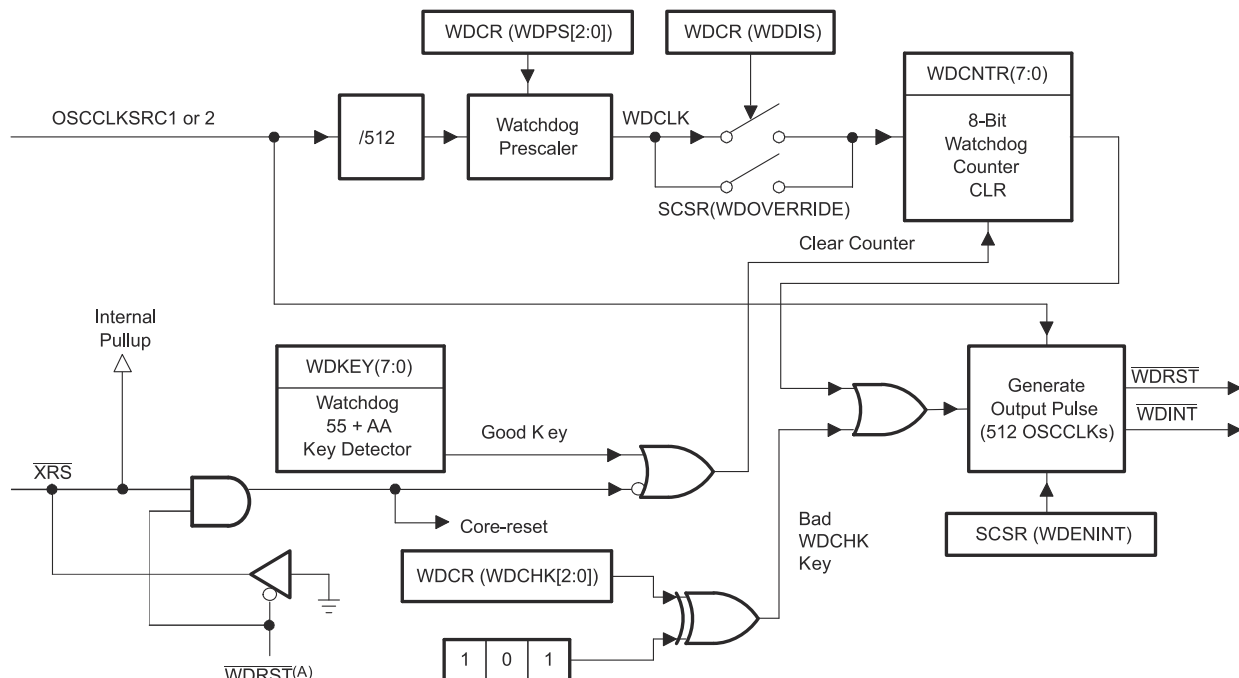
通常情况下，当输入时钟出现时，CPU 看门狗计数器会递减，以便启动 CPU 看门狗复位或 WDINT 中断。但是，当外部输入时钟故障时，CPU 看门狗计数器会停止递减（即看门狗计数器不随跛行模式时钟而变化）。

备注

CPU 看门狗与 NMI 看门狗不同。它是出现在所有 28x 器件中的老版看门狗。

备注

在正确 CPU 运行频率绝对关键的应用中应该执行一个机制，通过这个机制，只要输入时钟出现故障，MCU 就被保持在复位状态。例如，只要电容器充满电，一个 R-C 电路可被用于触发 MCU 的 XRS 引脚。一个 I/O 引脚可被用于定期为电容器放电以防止其被完全充满。这样一个电路也有助于检测闪存存储器的故障。



A. $\overline{\text{WDRST}}$ 信号在 512 个 OSCCLK 周期内被驱动为低电平。

图 7-11. CPU 看门狗模块

$\overline{\text{WDINT}}$ 信号支持使用看门狗从空闲/待机模式唤醒。

在待机模式中，器件上的所有外设关闭。唯一保持正常运行的外设是 CPU 看门狗。这个模块将关闭 OSCCLK。 $\overline{\text{WDINT}}$ 信号被馈送到 LPM 块以便它可以将器件从待机唤醒（如已启用）。请参阅节 7.7 低功耗模式块，了解更多信息。

在空闲模式下， $\overline{\text{WDINT}}$ 信号可通过 PIE 对 CPU 生成一个中断，以便使 CPU 退出空闲模式。

在停机模式下，CPU 看门狗可用来通过器件复位唤醒器件。

7.7 低功耗模式块

表 7-18 总结了各种模式。

表 7-18. 低功耗模式

模式	LPMCR0 (1:0)	OSCCLK	CLKIN	SYSCLKOUT	退出 ⁽¹⁾
空闲	00	打开	打开	打开	\overline{XRS} , CPU 看门狗中断, 任一已启用的中断
待机	01	打开 (看门狗仍在运行)	关闭	关闭	\overline{XRS} , CPU 看门狗中断, GPIO 端口 A 信号, 调试器 ⁽²⁾
停机 ⁽³⁾	1X	关闭 (片上晶体振荡器和 PLL 关闭, 零引脚振荡器和 CPU 看门狗状态取决于用户代码。)	关闭	关闭	\overline{XRS} , GPIO 端口 A 信号, 调试器 ⁽²⁾ , CPU 看门狗

- (1) 退出列中列出了低功耗模式退出的信号或条件。低电平信号, 有其中任何信号时, 退出低功耗状态。此信号必须保持低电平足够长时间以便器件识别中断。否则, 将不会退出低功耗模式, 并且器件将返回指示的低功耗模式。
- (2) 即使 CPU 时钟 (CLKIN) 被关闭, JTAG 端口仍能运行。
- (3) 为了使器件进入停机模式, WDCLK 必须处于有效活动状态。

不同的低功耗模式运行状态如下:

- 空闲模式: 通过启用由处理器识别的中断来退出此模式。在这个模式期间, 在 LPMCR0 (LPM) 位被设定为 0,0 时, LPM 块不执行任何任务。
- 待机模式: 任一 GPIO 端口 A 信号 (GPIO[31:0]) 能够将器件从待机模式中唤醒。用户必须在 GPIOLPMSEL 寄存器中选择哪一个信号将唤醒器件。在唤醒器件前, 所选的信号也由 OSCCLK 限定。在 LPMCR0 寄存器中指定了 OSCCLK 的数量。
- 停机模式: CPU 看门狗、 \overline{XRS} 和任何 GPIO 端口 A 信号 (GPIO[31:0]) 可以将器件从停机模式中唤醒。用户在 GPIOLPMSEL 寄存器中选择信号。

备注

低功耗模式并不会影响输出引脚的状态 (包括 PWM 引脚在内)。当 IDLE 指令被执行时, 它们将保持在代码指定的状态中。更多详细信息, 请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“系统控制”一章。

7.8 中断

图 7-12 显示了各种中断源是如何被多路复用的。

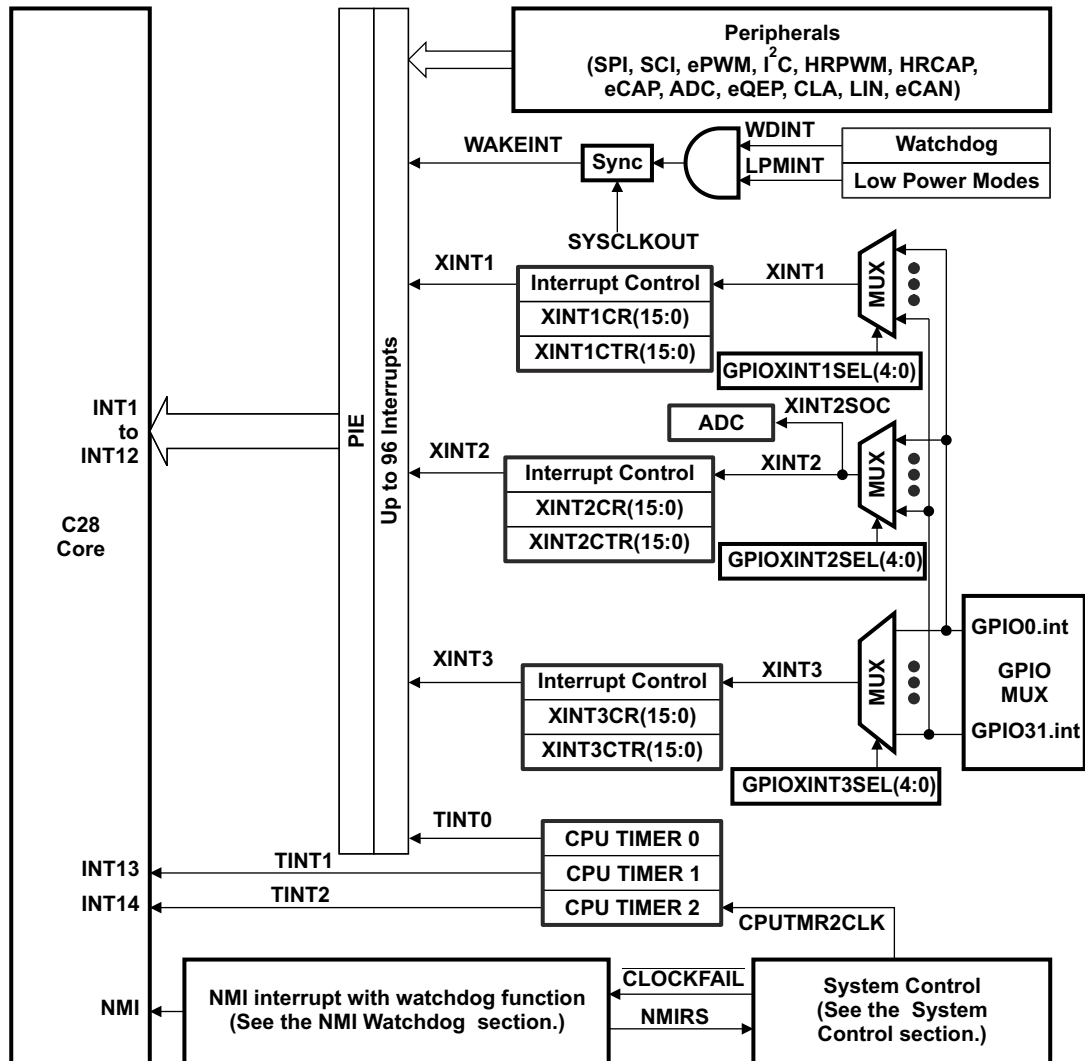


图 7-12. 外部和 PIE 中断源

8 个 PIE 块中断组合成了一个 CPU 中断。共有 12 个 CPU 中断组，每组 8 个中断，等于 96 个可能中断。表 7-19 显示了 2803x 器件所用的中断。

TRAP #Vectornumber (矢量号) 指令将程序控制发送至与指定的矢量相对应的中断处理例程。TRAP #0 指令尝试将程序控制传送到复位矢量所指向的地址。然而，PIE 矢量表不含复位矢量。因此，当启用 PIE 时，不应使用 TRAP #0 指令。这样做将导致未定义的行为。

当启用 PIE 时，TRAP #1 至 TRAP #12 指令会将程序控制传送到与 PIE 组内第一个矢量相对应的中断服务例程。例如，TRAP#1 指令从 INT1.1 中获取矢量，TRAP#2 从 INT2.1 中获取矢量，以此类推。

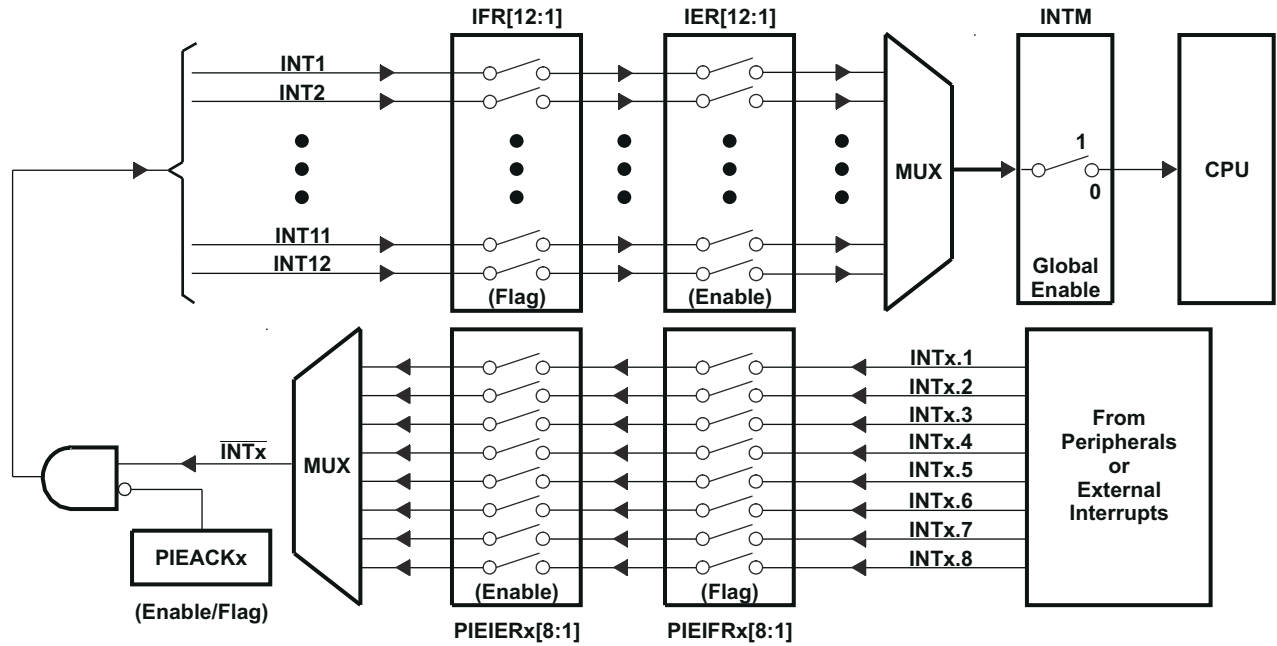


图 7-13. 使用 PIE 块的中断多路复用

在表 7-19 中，在 96 个可能中断中，部分中断未被使用。这些中断是为以后的器件保留的。如果它们在 PIEIFR_x 级被启用并且这个组中的中断均未被外设使用，则这些中断可被用作软件中断。否则，在意外地清除它们的标志同时修改 PIEIFR 的情况下，来自外设的中断也许会丢失。总的来说，在两种安全情况下，保留的中断可用作软件中断：

1. 组内没有外设使中断有效。
2. 没有将外设中断分配给组（如 PIE 组 7）。

表 7-19. PIE 多路复用的外设中断矢量表

	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1.y	WAKEINT (LPM/WVD) 0xD4E	TINT0 (计时器 0) 0xD4C	ADCINT9 (ADC) 0xD4A	XINT2 Ext. int.2 0xD48	XINT1 Ext. int.1 0xD46	保留 - 0xD44	ADCINT2 (ADC) 0xD42	ADCINT1 (ADC) 0xD40
INT2.y	保留 - 0xD5E	EPWM7_TZINT (ePWM7) 0xD5C	EPWM6_TZINT (ePWM6) 0xD5A	EPWM5_TZINT (ePWM5) 0xD58	EPWM4_TZINT (ePWM4) 0xD56	EPWM3_TZINT (ePWM3) 0xD54	EPWM2_TZINT (ePWM2) 0xD52	EPWM1_TZINT (ePWM1) 0xD50
INT3.y	保留 - 0xD6E	EPWM7_INT (ePWM7) 0xD6C	EPWM6_INT (ePWM6) 0xD6A	EPWM5_INT (ePWM5) 0xD68	EPWM4_INT (ePWM4) 0xD66	EPWM3_INT (ePWM3) 0xD64	EPWM2_INT (ePWM2) 0xD62	EPWM1_INT (ePWM1) 0xD60
INT4.y	HRCAP2_INT (HRCAP2) 0xD7E	HRCAP1_INT (HRCAP1) 0xD7C	保留 - 0xD7A	保留 - 0xD78	保留 - 0xD76	保留 - 0xD74	保留 - 0xD72	ECAP1_INT (eCAP1) 0xD70
INT5.y	保留 - 0xD8E	保留 - 0xD8C	保留 - 0xD8A	保留 - 0xD88	保留 - 0xD86	保留 - 0xD84	保留 - 0xD82	EQEP1_INT (eQEP1) 0xD80
INT6.y	保留 - 0xD9E	保留 - 0xD9C	保留 - 0xD9A	保留 - 0xD98	SPITXINTB (SPI-B) 0xD96	SPIRXINTB (SPI-B) 0xD94	SPITXINTA (SPI-A) 0xD92	SPIRXINTA (SPI-A) 0xD90
INT7.y	保留 - 0xDAE	保留 - 0xDAC	保留 - 0xDAA	保留 - 0xDA8	保留 - 0xDA6	保留 - 0xDA4	保留 - 0xDA2	保留 - 0xDA0
INT8.y	保留 - 0xDBE	保留 - 0xDBC	保留 - 0xDBA	保留 - 0xDB8	保留 - 0xDB6	保留 - 0xDB4	I2CINT2A (I2C-A) 0xDB2	I2CINT1A (I2C-A) 0xDB0
INT9.y	保留 - 0xDCE	保留 - 0xDCC	ECAN1_INTA (CAN-A) 0xDCA	ECAN0_INTA (CAN-A) 0xDC8	LIN1_INTA (LIN-A) 0xDC6	LIN0_INTA (LIN-A) 0xDC4	SCITXINTA (SCI-A) 0xDC2	SCIRXINTA (SCI-A) 0xDC0
INT10.y	ADCINT8 (ADC) 0xDDE	ADCINT7 (ADC) 0xDDC	ADCINT6 (ADC) 0xDDA	ADCINT5 (ADC) 0xDD8	ADCINT4 (ADC) 0xDD6	ADCINT3 (ADC) 0xDD4	ADCINT2 (ADC) 0xDD2	ADCINT1 (ADC) 0xDD0
INT11.y	CLA1_INT8 (CLA) 0xDEE	CLA1_INT7 (CLA) 0xDEC	CLA1_INT6 (CLA) 0xDEA	CLA1_INT5 (CLA) 0xDE8	CLA1_INT4 (CLA) 0xDE6	CLA1_INT3 (CLA) 0xDE4	CLA1_INT2 (CLA) 0xDE2	CLA1_INT1 (CLA) 0xDE0
INT12.y	LUF (CLA) 0xDFE	LVF (CLA) 0xDFC	保留 - 0xDFA	保留 - 0xDF8	保留 - 0xDF6	保留 - 0xDF4	保留 - 0xDF2	XINT3 Ext.Int. 3 0xDF0

表 7-20. PIE 配置和控制寄存器

名称	地址	大小 (x 16)	说明 ⁽¹⁾
PIECTRL	0x0CE0	1	PIE, 控制寄存器
PIEACK	0x0CE1	1	PIE, 应答寄存器
PIEIER1	0x0CE2	1	PIE, INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE, INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE, INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE, INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE, INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE, INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE, INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE, INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE, INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE, INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE, INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE, INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE, INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE, INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE, INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE, INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE, INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE, INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE, INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE, INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE, INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE, INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE, INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE, INT12 组标志寄存器
保留	0x0CFA - 0x0CFF	6	保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 矢量表受保护。

7.8.1 外部中断

表 7-21. 外部中断寄存器

名称	地址	大小 (x16)	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
XINT3CTR	0x00 707A	1	XINT3 计数器寄存器

使用正、负、或者正负边沿可启用/禁用或者限定每一个外部中断。更多信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“系统控制”一章。

7.8.1.1 外部中断电子数据/定时

7.8.1.1.1 外部中断时序要求

		最小值	最大值	单位
$t_{w(INT)}$ ^{(1) (2)} 脉冲持续时间，INT 输入低电平/高电平的时间	同步	$1t_{c(SCO)}$		周期
	带限定器	$1t_{c(SCO)} + t_{w(IQSW)}$		周期

- (1) 有关输入限定符参数的说明，请参阅节 7.9.15.1.2.1。
 (2) 这个时序适用于为 ADCSOC 功能性所配置的任一 GPIO 引脚。

7.8.1.1.2 外部中断开关特性

在建议运行条件下测得（除非另有说明）

参数	最小值	最大值	单位
$t_{d(INT)}$ ⁽¹⁾ 延迟时间，INT 低电平/高电平到中断矢量提取的时间		$t_{w(IQSW)} + 12t_{c(SCO)}$	周期

- (1) 有关输入限定器参数的说明，请参阅节 7.9.15.1.2.1。

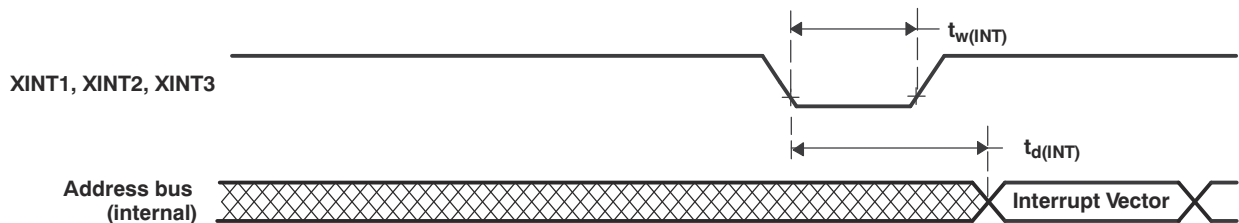


图 7-14. 外部中断时序

7.9 外设

7.9.1 控制律加速器 (CLA) 概述

控制律加速器通过添加并行处理来扩展 C28x CPU 的功能。CLA 处理的时间关键控制环路可实现低 ADC 采样输出延迟。因此，CLA 支持更快速的系统响应和可高频率的控制环路。将 CLA 用于时间关键任务可释放 CPU，同时执行其他系统和通信功能。以下是 CLA 主要特性列表。

- 时钟速率与主 CPU 一致 (SYSCLKOUT)。
- 一个独立的架构使得 CLA 能够独立于主 C28x CPU 之外执行算法。
 - 完整的总线架构：
 - 程序地址总线和程序数据总线
 - 数据地址总线、数据读取总线、和数据写入总线
 - 独立的 8 级流水线。
 - 12 位程序计数器 (MPC)
 - 4 个 32 位结果寄存器 (MR0-MR3)
 - 两个 16 位辅助寄存器 (MAR0、MAR1)
 - 状态寄存器 (MSTF)
- 指令集包括：
 - IEEE 单精度 (32 位) 浮点数学运算
 - 涉及并行载入或者存储的浮点数学
 - 涉及并行加法或者减法的浮点乘法
 - 1/X 和 1/sqrt(X) 估值
 - 数据类型转换。
 - 条件分支指令和调用
 - 数据载入/存储操作
- CLA 程序代码能够包含多达 8 个任务或者中断处理例程。
 - 每一个任务的开始地址由 MVECT 寄存器指定。
 - 只要任务符合 CLA 内的程序内存空间，对任务大小就没有限制。
 - 每次处理并完成一个任务。无任务嵌套。
 - 任务完成时，在 PIE 内标志一个任务专用中断。
 - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始。
- 任务触发机制：
 - 借助于 IACK 指令的 C28x CPU
 - 任务 1 至任务 7：相应的 ADC 或 ePWM 模块中断。例如：
 - 任务 1：ADCINT1 或 EPWM1_INT
 - 任务 2：ADCINT2 或 EPWM2_INT
 - 任务 7：ADCINT7 或 EPWM7_INT
 - 任务 8：ADCINT8 或通过 CPU 计时器 0。
- 内存和共用外设：
 - 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信。
 - C28x CPU 能够将 CLA 程序和数据内存映射到主 CPU 空间或者 CLA 空间。
 - CLA 可直接访问 ADC 结果寄存器、比较器寄存器、和 ePWM+HRPWM 寄存器。

有关 CLA 的更多信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“控制律加速器”一章。

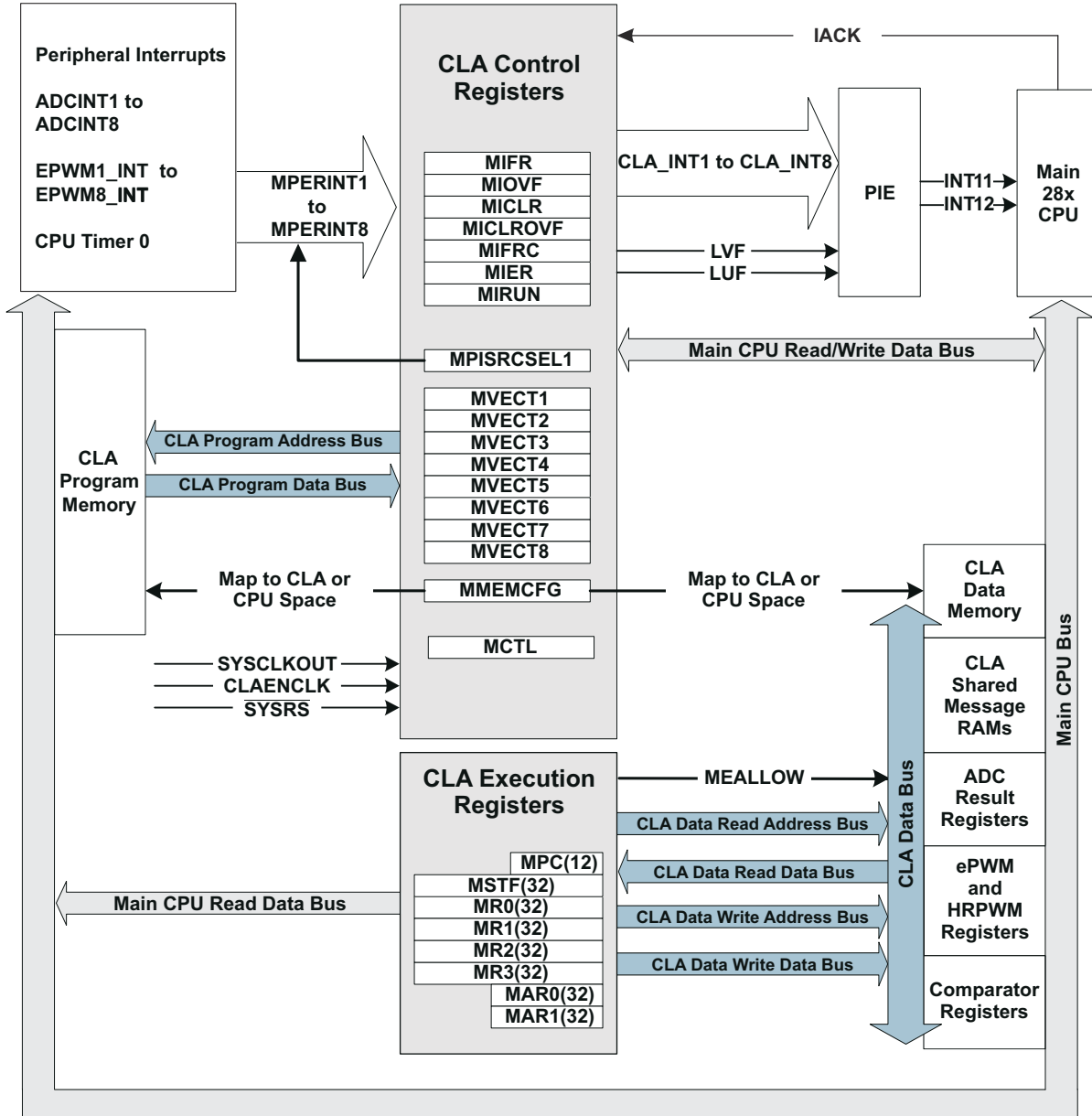


图 7-15. CLA 方框图

表 7-22. CLA 控制寄存器

寄存器名称	CLA1 地址	大小 (x 16)	受 EALLOW 保护	说明 ⁽¹⁾
MVECT1	0x1400	1	是	CLA 中断/任务 1 起始地址
MVECT2	0x1401	1	是	CLA 中断/任务 2 起始地址
MVECT3	0x1402	1	是	CLA 中断/任务 3 起始地址
MVECT4	0x1403	1	是	CLA 中断/任务 4 起始地址
MVECT5	0x1404	1	是	CLA 中断/任务 5 起始地址
MVECT6	0x1405	1	是	CLA 中断/任务 6 起始地址
MVECT7	0x1406	1	是	CLA 中断/任务 7 起始地址
MVECT8	0x1407	1	是	CLA 中断/任务 8 起始地址
MCTL	0x1410	1	是	CLA 控制寄存器
MMEMCFG	0x1411	1	是	CLA 内存配置寄存器
MPISRCSEL1	0x1414	2	是	外设中断源选择寄存器 1
MIFR	0x1420	1	是	中断标志寄存器
MIOVF	0x1421	1	是	中断溢出寄存器
MIFRC	0x1422	1	是	中断强制寄存器
MICLR	0x1423	1	是	中断清除寄存器
MICLROVF	0x1424	1	是	中断溢出清除寄存器
MIER	0x1425	1	是	中断使能寄存器
MIRUN	0x1426	1	是	中断 RUN (运行) 寄存器
MIPCTL	0x1427	1	是	中断优先级控制寄存器
MPC ⁽²⁾	0x1428	1	-	CLA 程序计数器
MAR0 ⁽²⁾	0x142A	1	-	CLA 辅助寄存器 0
MAR1 ⁽²⁾	0x142B	1	-	CLA 辅助寄存器 1
MSTF ⁽²⁾	0x142E	2	-	CLA STF 寄存器
MR0 ⁽²⁾	0x1430	2	-	CLA R0H 寄存器
MR1 ⁽²⁾	0x1434	2	-	CLA R1H 寄存器
MR2 ⁽²⁾	0x1438	2	-	CLA R2H 寄存器
MR3 ⁽²⁾	0x143C	2	-	CLA R3H 寄存器

(1) 这个表中的所有寄存器都受 CSM 保护。

(2) 主 C28x CPU 对于这些寄存器只有用于调试目的的只读权限。主 CPU 不能执行到这个寄存器的 CPU 或者调试器写入。

表 7-23. CLA 消息 RAM

地址范围	大小 (x 16)	说明
0x1480-0x14FF	128	CLA 到 CPU 消息 RAM
0x1500-0x157F	128	CPU 到 CLA 消息 RAM

7.9.2 模拟模块

实现了一个 12 位 ADC 内核，它的时序与 F280x/F2833x 上使用的 12 位 ADC 不同。ADC 包装器经过修改，包含了新的时序以及其它改进，以便改善对转换启动的时序控制。图 7-16 显示了模拟模块与 F2803x 系统其余部分的交互。

有关 ADC 的更多信息，请参阅 *TMS320F2803x 实时微控制器技术参考手册* 中的“模数转换器和比较器”一章。

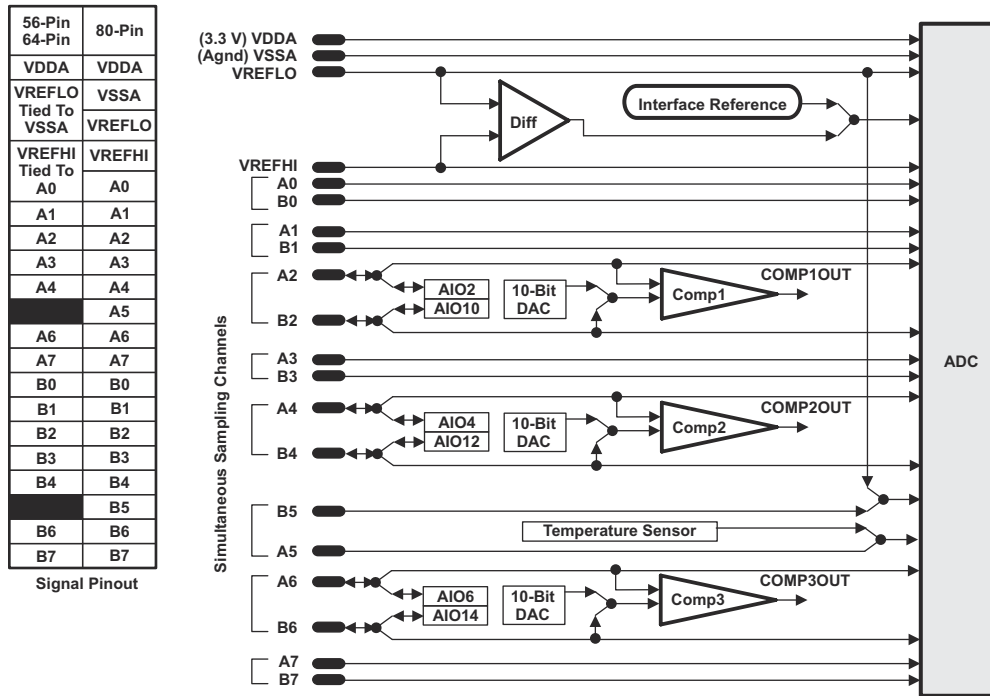


图 7-16. 模拟引脚配置

7.9.2.1 模数转换器 (ADC)

7.9.2.1.1 特性

ADC 的内核包含有一个单一 12 位转换器，此转换器由两个采样保持电路供源。可以对这两个采样保持电路进行同步采样或顺序采样。按顺序，这些电路由总共高达 16 个模拟输入通道供源。此转换器可配置为采用内部带隙基准运行，以便形成基于实际电压的转换，或者采用一对外部电压基准 (V_{REFHI}/V_{REFLO}) 运行，形成基于比率的转换。

与之前的 ADC 类型不同，此 ADC 并非基于序列发生器。对于用户来讲，他们可以很容易地从单触发来创建一系列的转换。然而，操作的基本原则是以单个转换的配置为中心，被称为 SOC，或者转换启动。

ADC 模块的功能包括：

- 具有内置双采样保持 (S/H) 的 12 位 ADC 内核
- 同步采样模式或顺序采样模式
- 全范围模拟输入：0V 至 3.3V 固定电压，或 V_{REFHI}/V_{REFLO} 比率。输入模拟电压的数值源自：
 - 内部基准 ($V_{REFLO}=V_{SSA}$ 。当使用内部或者外部基准模式时， V_{REFHI} 不得超过 V_{DDA} 。)

$$\text{Digital Value} = 0, \quad \text{when input} \leq 0 \text{ V}$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{3.3} \quad \text{when } 0 \text{ V} < \text{input} < 3.3 \text{ V}$$

$$\text{Digital Value} = 4095, \quad \text{when input} \geq 3.3 \text{ V}$$

- 外部基准 (V_{REFHI}/V_{REFLO} 被连接至外部基准。当使用内部或者外部基准模式时， V_{REFHI} 不得超过 V_{DDA} 。)

$$\text{Digital Value} = 0, \quad \text{when input} \leq 0 \text{ V}$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{V_{REFHI} - V_{REFLO}} \quad \text{when } 0 \text{ V} < \text{input} < V_{REFHI}$$

$$\text{Digital Value} = 4095, \quad \text{when input} \geq V_{REFHI}$$

- 多达 16 个通道，多路复用输入
- 16 个 SOC，可针对触发、采样窗口和通道进行配置
- 用于存储转换值的 16 个结果寄存器 (可单独寻址)
- 多个触发源
 - S/W - 软件立即启动
 - ePWM 1-7
 - GPIO XINT2
 - CPU 计时器 0/1/2
 - ADCINT1/2
- 9 个灵活的 PIE 中断，可在任一个转换后配置中断请求

表 7-24. ADC 配置和控制寄存器

寄存器名称	地址	大小 (x16)	受 EALLOW 保护	说明
ADCCTL1	0x7100	1	是	控制 1 寄存器
ADCCTL2	0x7101	1	是	控制 2 寄存器
ADCINTFLG	0x7104	1	否	中断标志寄存器
ADCINTFLGCLR	0x7105	1	否	中断标志清除寄存器
ADCINTOVF	0x7106	1	否	中断溢出寄存器
ADCINTOVFCLR	0x7107	1	否	中断溢出清除寄存器
INTSEL1N2	0x7108	1	是	中断 1 和 2 选择寄存器
INTSEL3N4	0x7109	1	是	中断 3 和 4 选择寄存器
INTSEL5N6	0x710A	1	是	中断 5 和 6 选择寄存器
INTSEL7N8	0x710B	1	是	中断 7 和 8 选择寄存器
INTSEL9N10	0x710C	1	是	中断 9 选择寄存器 (被保留的中断 10 选择)
SOCPRCTL	0x7110	1	是	SOC 优先级控制寄存器
ADCSAMPLEMODE	0x7112	1	是	采样模式寄存器
ADCINTSOCSEL1	0x7114	1	是	中断 SOC 选择 1 寄存器 (用于 8 个通道)
ADCINTSOCSEL2	0x7115	1	是	中断 SOC 选择 2 寄存器 (用于 8 个通道)
ADCSOCFLG1	0x7118	1	否	SOC 标志 1 寄存器 (用于 16 个通道)
ADCSOCFRC1	0x711A	1	否	SOC 强制 1 寄存器 (用于 16 个通道)
ADCSOCOVF1	0x711C	1	否	SOC 溢出 1 寄存器 (用于 16 个通道)
ADCSOCOVFCLR1	0x711E	1	否	SOC 溢出清除 1 寄存器 (用于 16 个通道)
ADCSOC0CTL 至 ADCSOC15CTL	0x7120-0x712F	1	是	SOC0 控制寄存器至 SOC15 控制寄存器
ADCREFRIM	0x7140	1	是	基准调整寄存器
ADCOFFRIM	0x7141	1	是	偏移调整寄存器
COMPHYSTCTL	0x714C	1	是	比较器滞后控制寄存器
ADCREV	0x714F	1	否	修订版本寄存器

表 7-25. ADC 结果寄存器 (被映射至 PF0)

寄存器名称	地址	大小 (x16)	受 EALLOW 保护	说明
ADCRESULT0 至 ADCRESULT15	0xB00 至 0xB0F	1	否	ADC 结果 0 寄存器至 ADC 结果 15 寄存器

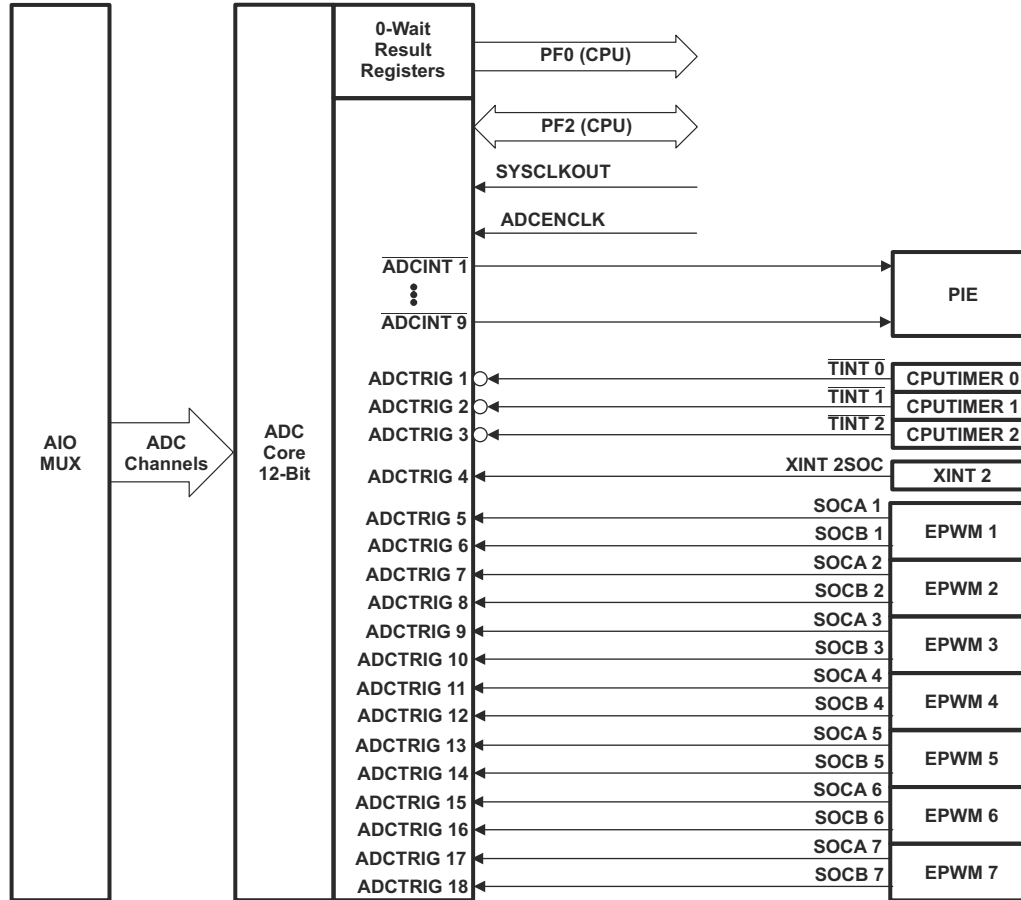


图 7-17. ADC 连接

不使用 ADC 时的 ADC 连接

TI 建议即使不使用 ADC，也应保持模拟电源引脚的连接。下面总结了如果 ADC 未应用中使用，应该如何连接 ADC 引脚：

- V_{DDA} - 连接到 V_{DDIO}
- V_{SSA} - 连接到 V_{SS}
- V_{REFLO} - 连接到 V_{SS}
- $ADCINAn$, $ADCINBn$, V_{REFHI} - 连接到 V_{SSA}

当在一个应用中使用 ADC 模块时，未使用的 ADC 输入引脚应被连接至模拟接地 (V_{SSA})。

备注

与 AIO 功能复用的未使用 ADCIN 引脚不应直接连接到模拟地。它们应该通过一个 $1k\Omega$ 电阻器接地。这是为了防止一个错误代码将这些引脚配置为 AIO 输出并将接地的引脚驱动至一个逻辑高电平状态。

当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开。

7.9.2.1.2 ADC 转换开始电子数据/定时

7.9.2.1.2.1 外部 ADC 转换启动开关特性

在建议运行条件下测得 (除非另有说明)

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间, $\overline{ADCSOCxO}$ 低电平的时间	$32t_{c(HCO)}$		周期

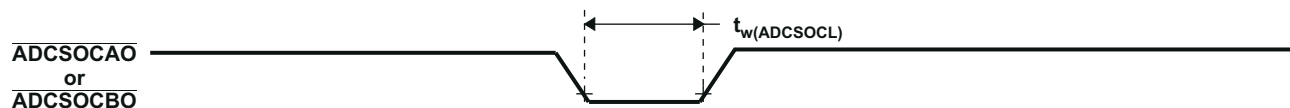


图 7-18. $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

7.9.2.1.3 片载模数转换器 (ADC) 电子数据/定时

7.9.2.1.3.1 ADC 电气特性

参数		最小值	典型值	最大值	单位
直流规格					
分辨率		12			位
ADC 时钟	60MHz 器件	0.001		60	MHz
采样窗口	28035/34/33/32	7		64	ADC 时钟
	28031/30	24		64	
精度					
ADC 时钟 ≤ 30MHz 时的 INL (积分非线性) ⁽¹⁾		-4		4	LSB
ADC 时钟 ≤ 30MHz 时的 DNL (微分非线性), 无丢码		-1		1	LSB
偏移误差 ⁽²⁾	执行单次自我校准 ⁽³⁾	-20	0	20	LSB
	执行定期自我校准 ⁽⁴⁾	-4	0	4	
内部基准总增益误差		-60		60	LSB
外部基准总增益误差		-40		40	LSB
通道间偏移变化		-4		4	LSB
通道间增益变化		-4		4	LSB
内部基准 ADC 温度系数			-50		ppm/°C
外部基准 ADC 温度系数			-20		ppm/°C
V _{REFLO}			-100		μA
V _{REFHI}			100		μA
模拟输入					
内部基准模拟输入电压		0		3.3	V
外部基准模拟输入电压		V _{REFLO}		V _{REFHI}	V
V _{REFLO} 输入电压 ⁽⁵⁾		V _{SSA}		0.66	V
V _{REFHI} 输入电压 ⁽⁶⁾		2.64		V _{DDA}	V
	其中 V _{REFLO} = V _{SSA}	1.98		V _{DDA}	
输入电容			5		pF
输入漏电流			±2		μA

(1) 当 ADC 输入电压上升到高于 V_{DDA} 时, INL 将会降低。

(2) 1 LSB 具有满量程 (FSR)/4096 的加权值。FSR 为内部基准 3.3V, 以及外部基准 V_{REFHI} - V_{REFLO}。

(3) 更多详细信息, 请参阅 [TMS320F2803x 实时 MCU 器件勘误表](#)。

(4) 定期自我校准将去除对 ADC 零偏移误差系统级和温度的依赖性。这可以在应用中根据需要来执行, 为此请使用在 [TMS320F2803x 实时微控制器技术参考手册](#) “模数转换器和比较器”一章的“ADC 零偏移校准”一节中列出的步骤。

(5) V_{REFLO} 始终连接至 64 引脚 PAG 器件上的 V_{SSA}。

(6) 当使用内部或者外部基准模式时, V_{REFHI} 不得超过 V_{DDA}。V_{REFHI} 被连接至 64 引脚 PAG 器件上的 ADCINA0, 因此 ADCINA0 上的输入信号不得超过 V_{DDA}。

7.9.2.1.3.2 ADC 电源模式

ADC 工作模式	条件	I _{DDA}	单位
模式 A - 工作模式	ADC 时钟启用 带隙开启 (ADCBGPWD = 1) 基准开启 (ADCREFPWD = 1) ADC 加电 (ADCPWDN = 1)	13	mA
模式 B - 快速唤醒模式	ADC 时钟启用 带隙开启 (ADCBGPWD = 1) 基准开启 (ADCREFPWD = 1) ADC 加电 (ADCPWDN = 0)	4	mA
模式 C - 仅比较器模式	ADC 时钟启用 带隙开启 (ADCBGPWD = 1) 基准开启 (ADCREFPWD = 0) ADC 加电 (ADCPWDN = 0)	1.5	mA
模式 D - 关闭模式	ADC 时钟启用 带隙开启 (ADCBGPWD = 0) 基准开启 (ADCREFPWD = 0) ADC 加电 (ADCPWDN = 0)	0.075	mA

7.9.2.1.3.3 内部温度传感器

7.9.2.1.3.3.1 温度传感器系数

参数 ⁽¹⁾	描述	最小值	典型值	最大值	单位
T _{SLOPE}	温度按照温度传感器的测得的 ADC LSB 变化而变动		0.18 ^{(2) (3)}		°C/LSB
T _{偏移}	在温度传感器读数为 0°C 时的 ADC 输出		1750		LSB

- (1) 温度传感器斜坡和偏移根据使用 ADC 内部基准的 ADC LSB 指定。必须按照外部基准电压调整外部基准模式中的电压值。
- (2) 温度传感器的输出 (根据 LSB) 与温度运动的方向符号一致。上升的温度将使得 ADC 值相对于初始值增加; 温度的下降将使得 ADC 的值相对于初始值下降。
- (3) 此规格已考量 ADC 温度系数

7.9.2.1.3.4 ADC 加电控制位时序

7.9.2.1.3.4.1 ADC 加电延迟

参数 ⁽¹⁾	描述	最小值	最大值	单位
t _{d(PWD)}	加电后, ADC 的延迟时间将稳定		1	ms

- (1) 时序保持与 ADC 模块的兼容性。在首次转换前 t_{d(PWD)} ms, 2803x ADC 支持同时驱动所有 3 个位。

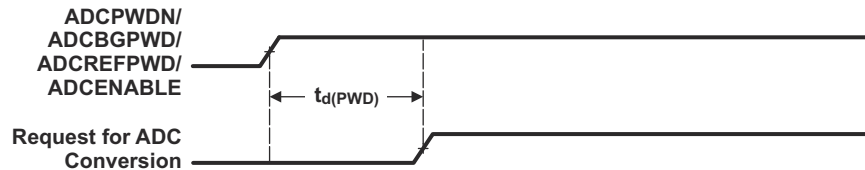
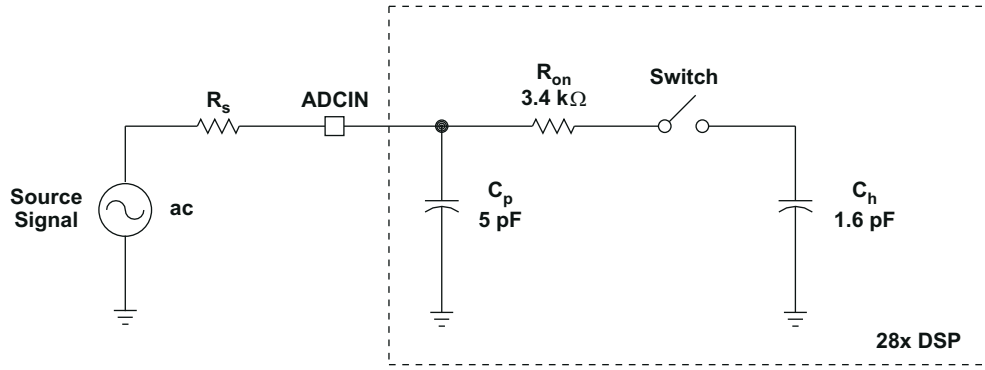


图 7-19. ADC 转换时序



Typical Values of the Input Circuit Components:

- Switch Resistance (R_{on}): 3.4 k Ω
- Sampling Capacitor (C_h): 1.6 pF
- Parasitic Capacitance (C_p): 5 pF
- Source Resistance (R_s): 50 Ω

图 7-20. ADC 输入阻抗模型

7.9.2.1.3.5 ADC 顺序模式时序和同步模式时序

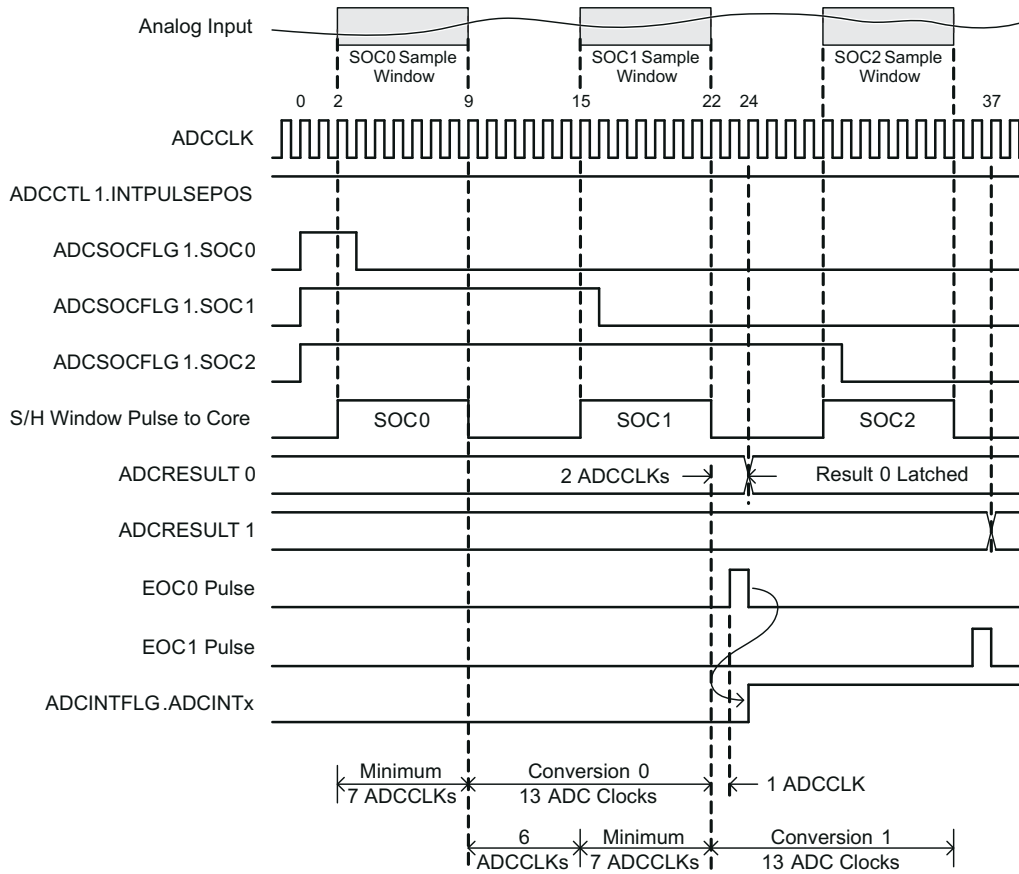


图 7-21. 顺序模式/后期中断脉冲的时序示例

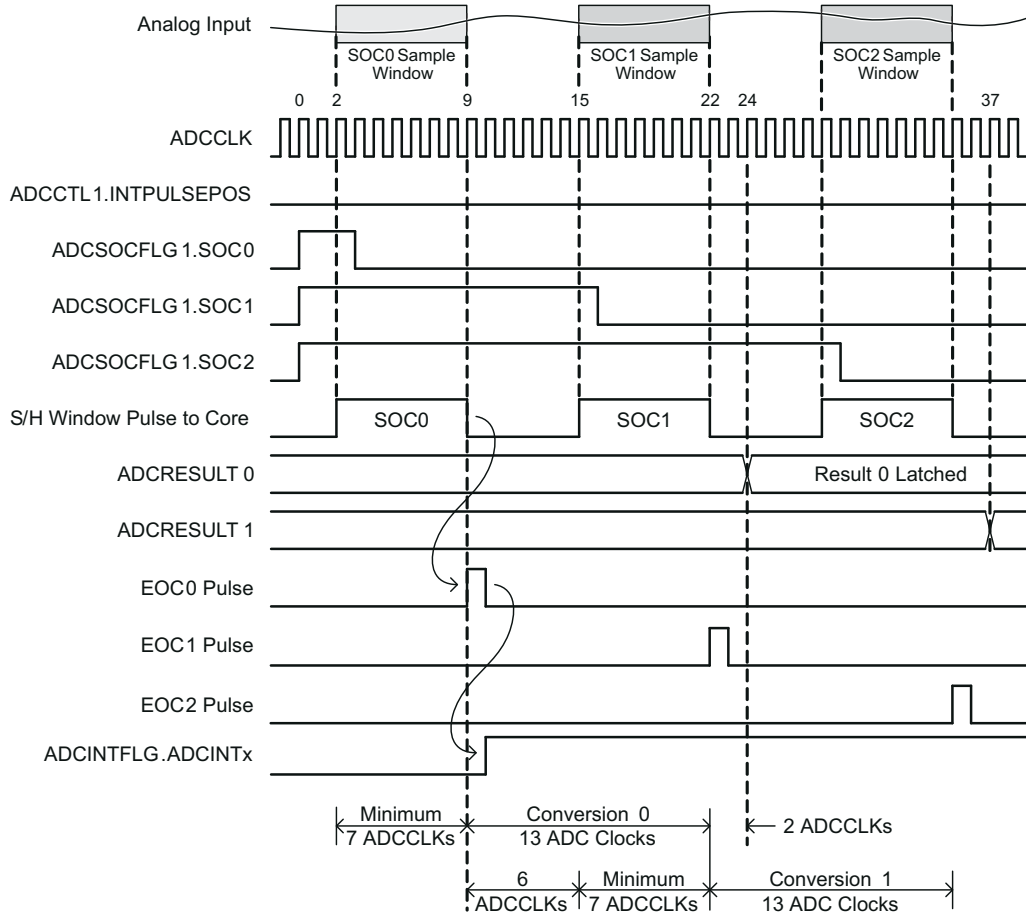


图 7-22. 顺序模式/提前中断脉冲的时序示例

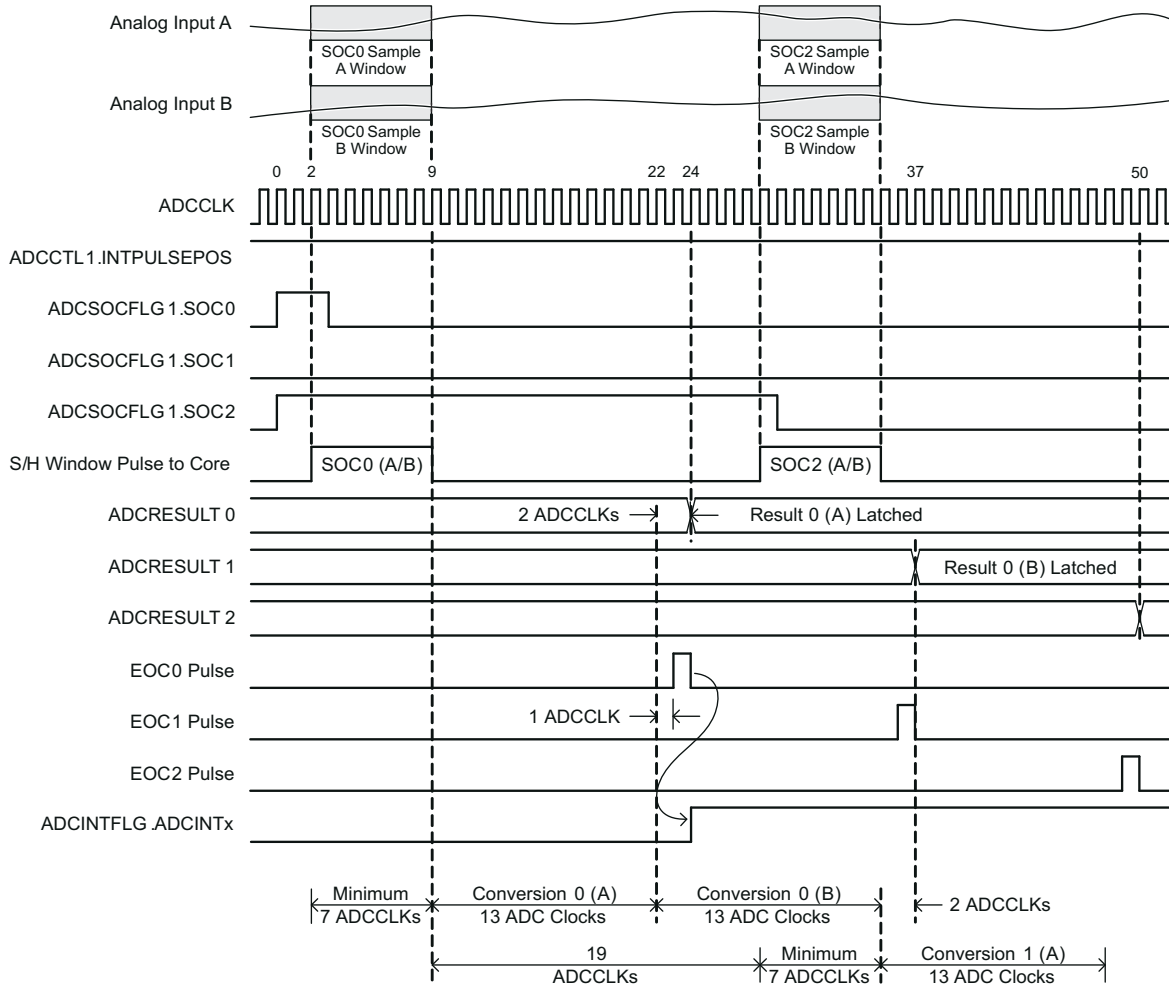


图 7-23. 同步模式/后期中断脉冲的时序示例

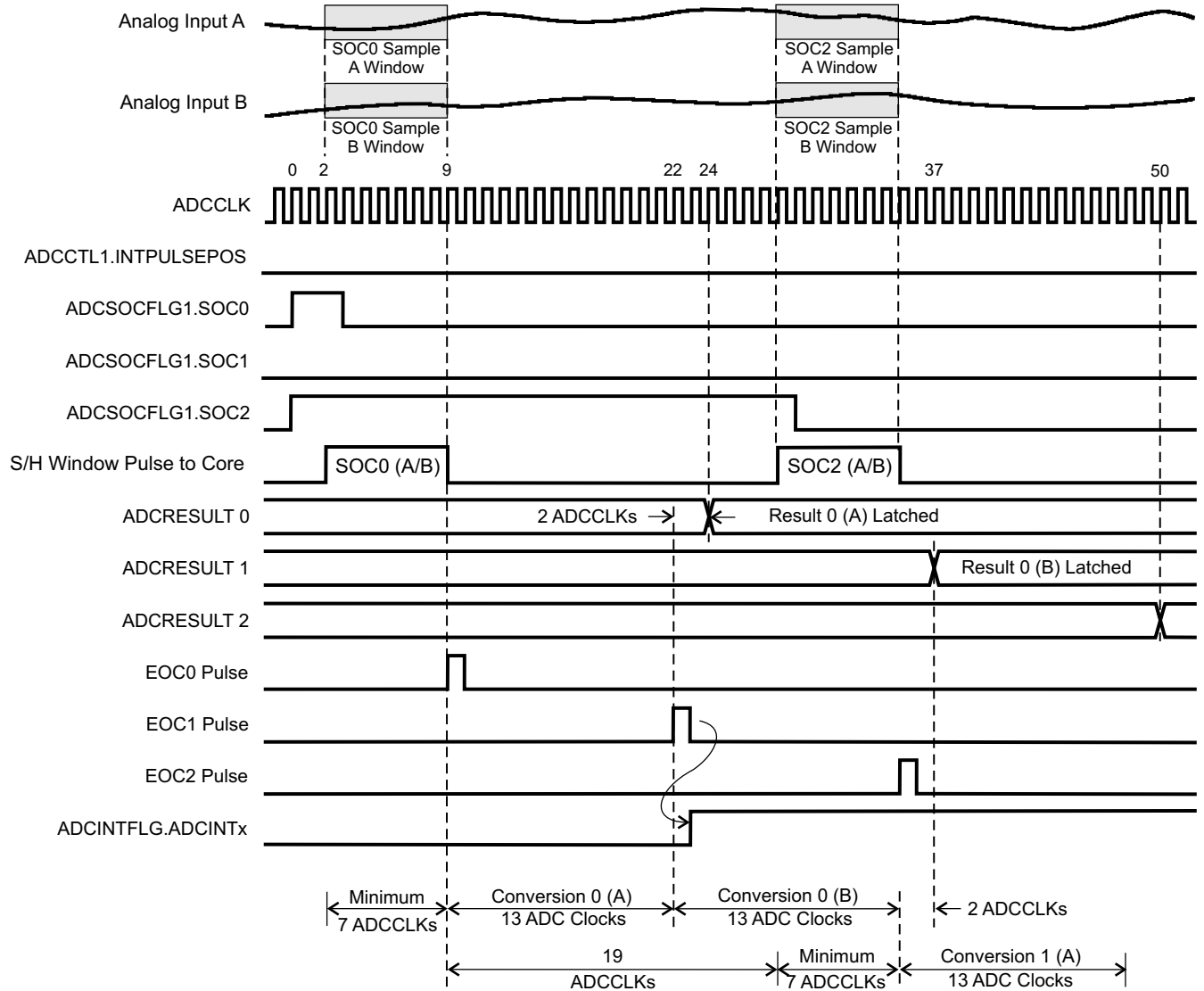


图 7-24. 同步模式/提前中断脉冲的时序示例

7.9.2.2 ADC 多路复用器

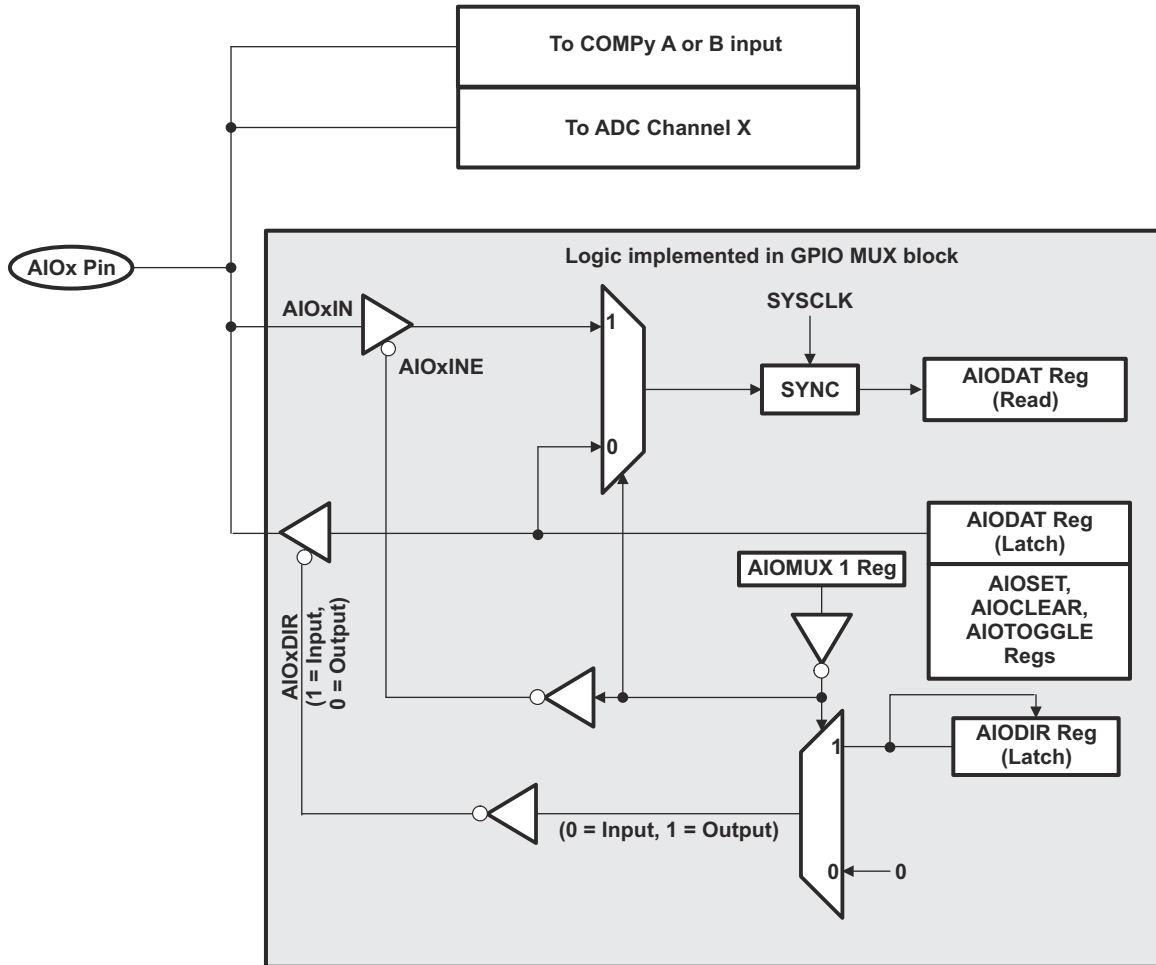


图 7-25. AIOx 引脚多路复用

ADC 通道和比较器功能始终可用。数字 I/O 功能只有当 AIOMUX1 寄存器中的相应位为 0 时可用。在此模式下，读取 AIODAT 寄存器会反映实际引脚状态。

数字 I/O 功能在 AIOMUX1 寄存器中的相应位为 1 时停用。在此模式下，读取 AIODAT 寄存器会反映 AIODAT 寄存器的输出锁存器，并且输入数字 I/O 缓冲器将会停用以防止模拟信号生成噪声。

复位时，数字功能会停用。如果此引脚用作模拟输入，则用户应该确保该引脚持续停用 AIO 功能。

7.9.2.3 比较器块

图 7-26 显示了比较器，模块与系统其余部分的相互作用。

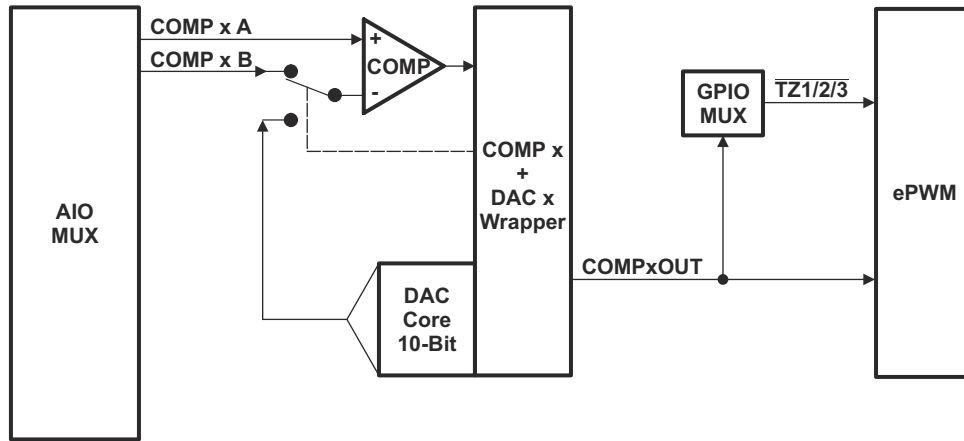


图 7-26. 比较器块图

表 7-26. 比较器控制寄存器

寄存器名称	COMP1 地址	COMP2 地址	COMP3 地址	大小 (x16)	受 EALLOW 保护	说明
COMPCTL	0x6400	0x6420	0x6440	1	是	比较器控制寄存器
COMPSTS	0x6402	0x6422	0x6442	1	否	比较器状态寄存器
DACCTL	0x6404	0x6424	0x6444	1	是	DAC 控制寄存器
DACVAL	0x6406	0x6426	0x6446	1	否	DAC 值寄存器
RAMPMAXREF_ACTIVE	0x6408	0x6428	0x6448	1	否	斜坡发生器最大基准 (有效) 寄存器
RAMPMAXREF_SHDW	0x640A	0x642A	0x644A	1	否	斜坡发生器最大基准 (阴影) 寄存器
RAMPDECVAL_ACTIVE	0x640C	0x642C	0x644C	1	否	斜坡发生器减量值 (有效) 寄存器
RAMPDECVAL_SHDW	0x640E	0x642E	0x644E	1	否	斜坡发生器减量值 (阴影) 寄存器
RAMPSTS	0x6410	0x6430	0x6450	1	否	斜坡发生器状态寄存器

7.9.2.3.1 片载比较器 / DAC 电子数据/定时

7.9.2.3.1.1 比较器/DAC 的电气特性

参数	最小值	典型值	最大值	单位
比较器				
比较器输入范围		$V_{SSA}-V_{DDA}$		V
比较器对 PWM 跳闸区的响应时间 (异步)		30		ns
输入偏移		± 5		mV
输入迟滞 ⁽¹⁾		35		mV
DAC				
DAC 输出范围		$V_{SSA}-V_{DDA}$		V
DAC 分辨率		10		位
DAC 稳定时间		请参阅 图 7-27		
DAC 增益		-1.5%		
DAC 偏移		10		mV
单片		是		
INL		± 3		LSB

(1) 比较器输入上的迟滞由一个施密特触发器配置实现。这将在比较器输出与比较器同相输入间产生一个有效的 100k Ω 反馈电阻。有一个选项可以禁用迟滞以及伴随的反馈电阻；如果您的系统中需要此选项，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“模数转换器和比较器”一章，了解更多信息。

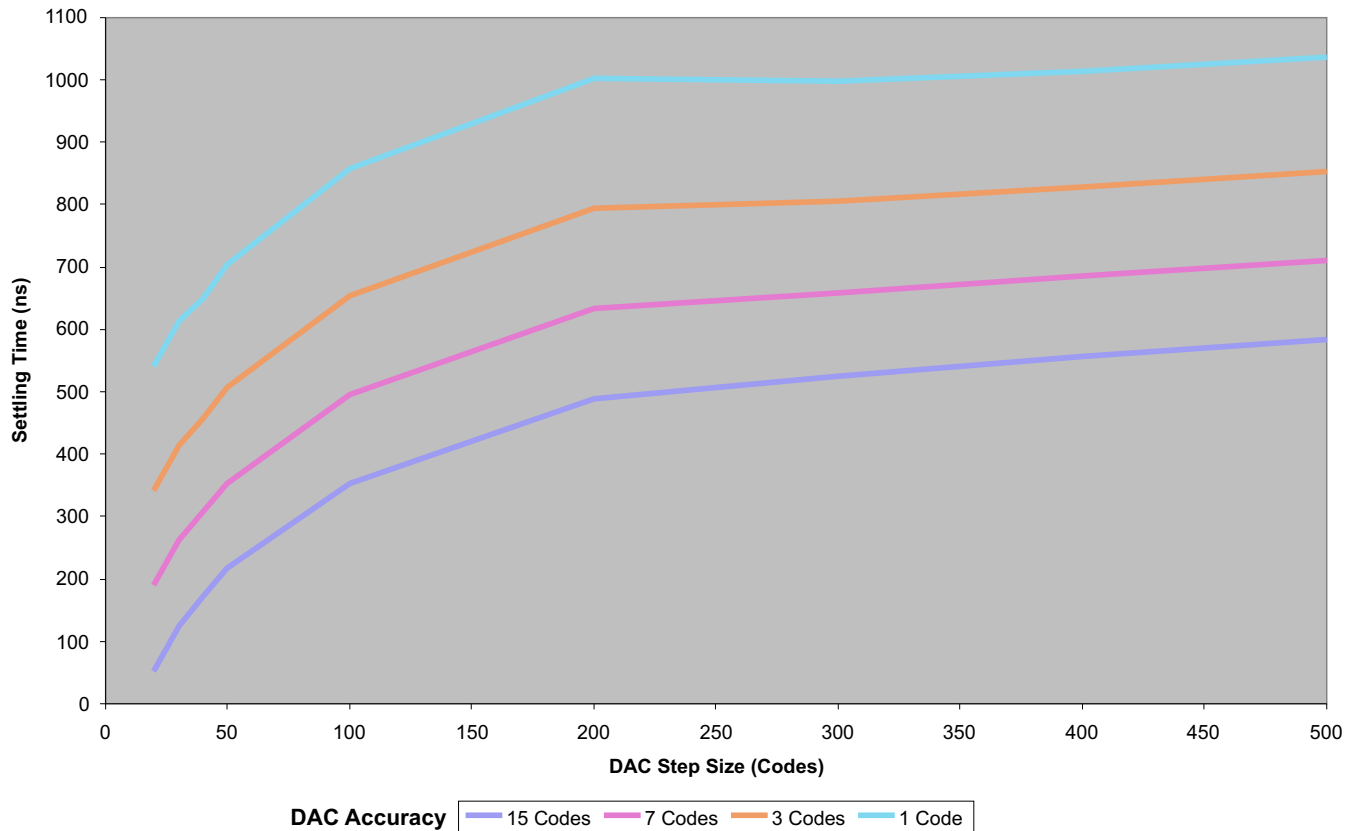


图 7-27. DAC 稳定时间

7.9.3 详细说明

积分非线性

积分非线性是指各个代码与从零到满量程绘制的直线的偏差。在首次代码转换前，作为零点的点出现一半 LSB。满刻度点被定义为超过最后一次代码转换的级别一半 LSB。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想 ADC 显示分开距离恰好为 1 个 LSB 的代码转换。DNL 是从这个理想值的偏离。一个少于 ± 1 LSB 的微分非线性误差可确保无丢码。

零偏移

当模拟输入为零伏时，应当发生主进位转换。零误差被定义为实际转换到那个点的偏离。

增益误差

第一个代码转换应该出现在高于负满刻度的一个模拟值一半 LSB 上。最后一次转换应该出现在低于标称满刻度的一个模拟值一倍半 LSB 上。增益误差是首次和末次代码转换间的实际差异以及它们之间的理想差异。

信噪比 + 失真 (SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量 (包括谐波但不包括 dc) 的均方根总和的比。SINAD 的值用分贝表示。

有效位数 (ENOB)

对于一个正弦波，SINAD 可用位的数量表示。使用下面的公式，
$$N = \frac{(\text{SINAD} - 1.76)}{6.02}$$
有可能获得一个用 N (位的有效数) 表达的性能测量值。因此，对于在给定输入频率上用于正弦波输入的器件的有效位数量可从这个测得的 SINAD 直接计算。

总谐波失真 (THD)

THD 是头九个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为一个百分比或者分贝值。

无伪波动态范围 (SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差异。

7.9.4 串行外设接口 (SPI) 模块

此器件包括四引脚串行外设接口 (SPI) 模块。多达两个 SPI 模块可用。SPI 是一个高速同步串行 I/O 端口，此端口允许已经过长度编程 (1 至 16 位) 的串行位流以可编程的位传输速率移入和移出器件。通常，SPI 用于 MCU 和外部外设或者其他处理器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。

SPI 模块的功能包括：

- 四个外部引脚：
 - SPISOMI：SPI 从器件输出/主器件输入引脚
 - SPISIMO：SPI 从器件输入/主器件输出引脚
 - $\overline{\text{SPISTE}}$ ：SPI 从器件发送使能引脚
 - SPICLK：SPI 串行时钟引脚

备注

如果 SPI 模块未使用，所有四个引脚可用作 GPIO。

- 两个运行模式：主模式和从模式

波特率：125 个不同的可编程速率。

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \quad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \quad \text{when SPIBRR} = 0, 1, 2$$

- 数据字长度：1 至 16 数据位
- 四种时钟方案 (由时钟极性和时钟相位的位控制) 包含：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作 (可在软件中禁用发送功能)
- 发送器和接收器操作通过中断驱动或轮询算法完成。
- 9 个 SPI 模块控制寄存器：在始于地址 7040h 的控制寄存器帧中。

备注

此模块中的所有寄存器都是连接至外设帧 2 的 16 位寄存器。当访问寄存器时，寄存器数据位于低字节 (7 - 0)，高字节 (15 - 8) 读取为零。对高字节的写入无效。

增强型特性：

- 4 级发送/接收 FIFO
- 延迟的发送控制
- 支持双向 3 线 SPI 模式
- 通过 `SPISTE` 反转支持音频数据接收

通过表 7-27 和表 7-28 中列出的寄存器来配置和控制 SPI 端口操作。

表 7-27. SPI-A 寄存器

名称	地址	大小 (x 16)	受 EALLOW 保护	说明 ⁽¹⁾
SPICCR	0x7040	1	否	SPI-A 配置控制寄存器
SPICTL	0x7041	1	否	SPI-A 运行控制寄存器
SPISTS	0x7042	1	否	SPI-A 状态寄存器
SPIBRR	0x7044	1	否	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	否	SPI-A 接收仿真缓冲寄存器
SPIRXBUF	0x7047	1	否	SPI-A 串行输入缓冲寄存器
SPITXBUF	0x7048	1	否	SPI-A 串行输出缓冲寄存器
SPIDAT	0x7049	1	否	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	否	SPI-A FIFO 发送寄存器
SPIFFRX	0x704B	1	否	SPI-A FIFO 接收寄存器
SPIFFCT	0x704C	1	否	SPI-A FIFO 控制寄存器
SPIPRI	0x704F	1	否	SPI-A 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2。此空间只允许 16 位访问。32 位访问会生成未定义的后果。

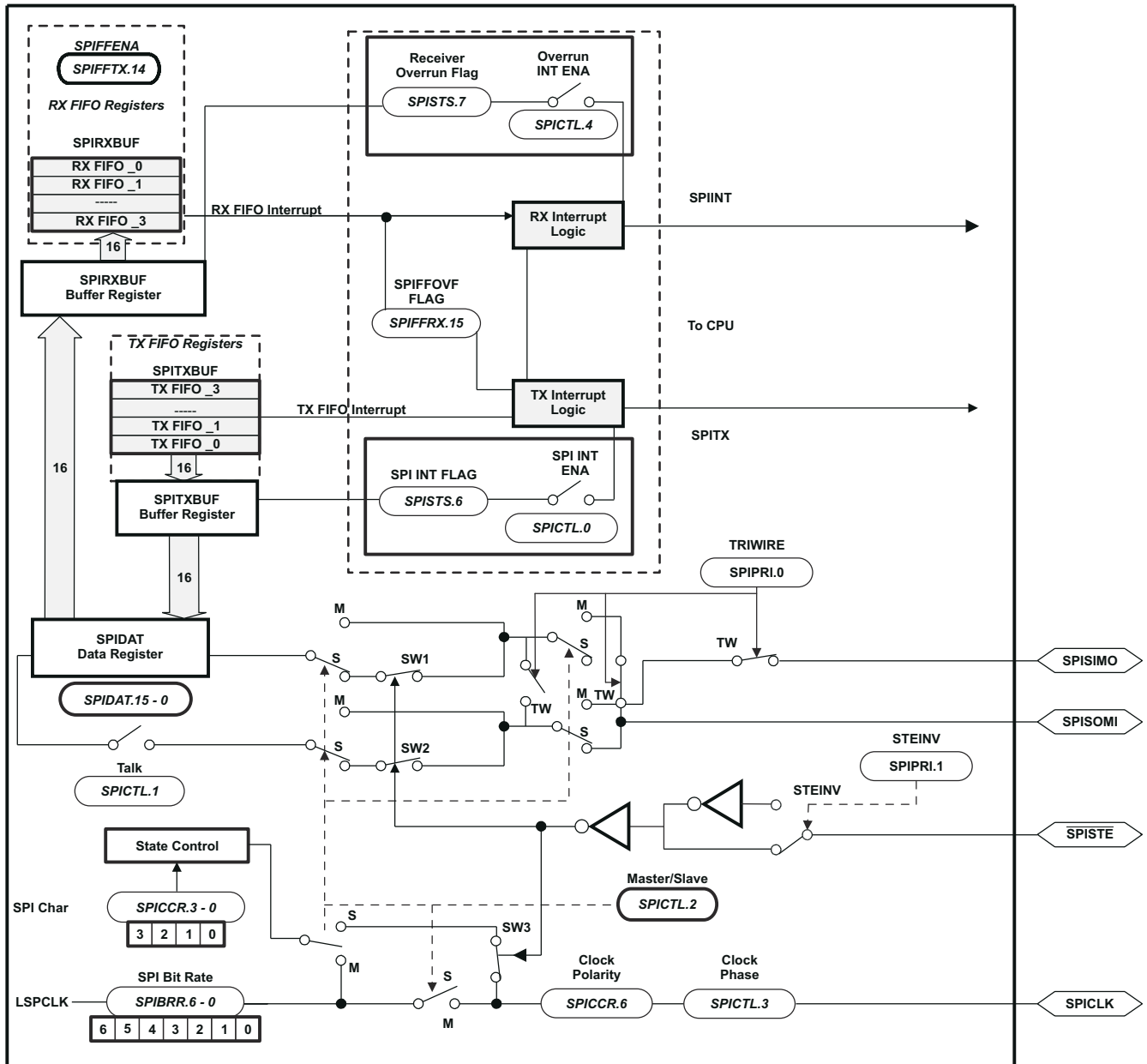
表 7-28. SPI-B 寄存器

名称	地址	大小 (x 16)	受 EALLOW 保护	说明 ⁽¹⁾
SPICCR	0x7740	1	否	SPI-B 配置控制寄存器
SPICTL	0x7741	1	否	SPI-B 运行控制寄存器
SPISTS	0x7742	1	否	SPI-B 状态寄存器
SPIBRR	0x7744	1	否	SPI-B 波特率寄存器
SPIRXEMU	0x7746	1	否	SPI-B 接收仿真缓冲寄存器
SPIRXBUF	0x7747	1	否	SPI-B 串行输入缓冲寄存器
SPITXBUF	0x7748	1	否	SPI-B 串行输出缓冲寄存器
SPIDAT	0x7749	1	否	SPI-B 串行数据寄存器
SPIFFTX	0x774A	1	否	SPI-B FIFO 发送寄存器
SPIFFRX	0x774B	1	否	SPI-B FIFO 接收寄存器
SPIFFCT	0x774C	1	否	SPI-B FIFO 控制寄存器
SPIPRI	0x774F	1	否	SPI-B 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2。此空间只允许 16 位访问。32 位访问会生成未定义的后果。

有关 SPI 的详细信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“串行外设接口 (SPI)”一章。

图 7-28 是从模式下的 SPI 方框图。



A. SPISTE 被主器件驱动为用于从器件的低电平。

图 7-28. SPI 模块方框图 (从模式)

7.9.4.1 SPI 主模式电气数据/时序

节 7.9.4.1.1 列出了主模式时序 (时钟相位 = 0)，节 7.9.4.1.2 列出了主模式时序 (时钟相位 = 1)。图 7-29 和图 7-30 显示了时序波形。

7.9.4.1.1 SPI 主模式外部时序 (时钟相位 = 0)

编号	参数 ^{(1) (2) (3) (4) (5)}	BRR EVEN		BRR ODD		单位
		最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$ 周期时间, SPICLK 的时间	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK 第一个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK 第二个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
4	$t_{d(SIMO)M}$ 延迟时间, SPICLK 至 SPISIMO 有效的时间		10		10	ns
5	$t_{v(SIMO)M}$ 有效时间, SPICLK 之后 SPISIMO 有效的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
8	$t_{su(SOMI)M}$ 设置时间, SPICLK 之前 SPISOMI 的时间	26		26		ns
9	$t_{h(SOMI)M}$ 保持时间, SPICLK 之后 SPISOMI 有效的时间	0		0		ns
23	$t_{d(SPC)M}$ 延迟时间, \overline{SPISTE} 有效至 SPICLK 的时间	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$ 延迟时间, SPICLK 至 \overline{SPISTE} 无效的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns

- (1) 主/从位 (SPICTL.2) 已设定, 时钟相位的位 (SPICTL.3) 已清除。
- (2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) $t_{c(LCO)} = \text{LSPCLK 周期时间}$
- (4) 必须调节内部时钟预分频器, 以将 SPI 时钟速度限制在以下 SPI 时钟速率:
主模式发送频率最大 25MHz, 主模式接收频率最大 12.5MHz
从模式发送频率最大 12.5MHz, 从模式接收频率最大 12.5MHz。
- (5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

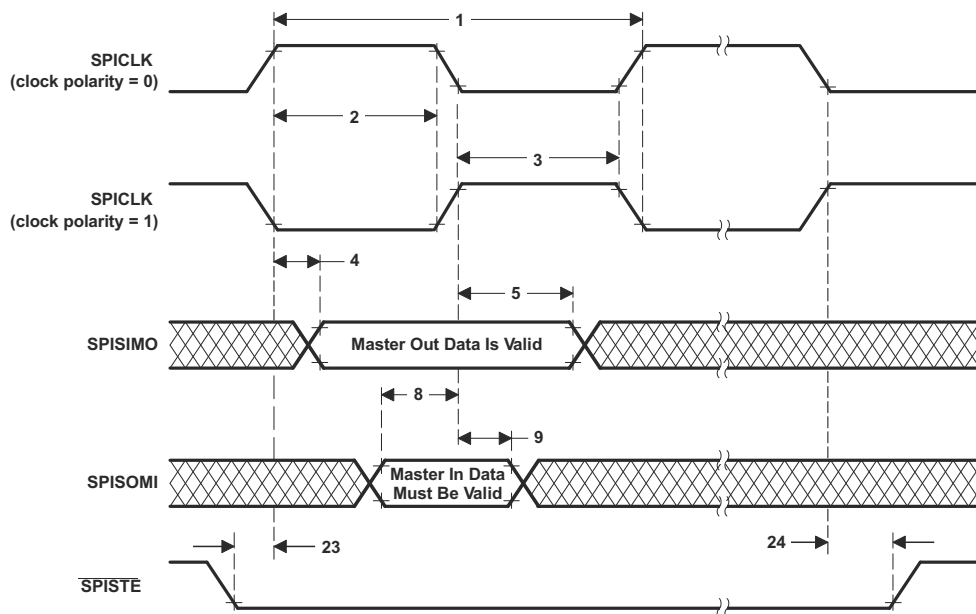


图 7-29. SPI 主模式外部时序 (时钟相位 = 0)

7.9.4.1.2 SPI 主模式外部时序 (时钟相位 = 1)

编号	参数 ^{(1) (2) (3) (4) (5)}	BRR EVEN		BRR ODD		单位
		最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$ 周期时间, SPICLK 的时间	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ 脉冲持续时间, SPICLK 第一个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ 脉冲持续时间, SPICLK 第二个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$ 延迟时间, SPISIMO 有效至 SPICLK 的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$		ns
7	$t_{v(SIMO)M}$ 有效时间, SPICLK 之后 SPISIMO 有效的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
10	$t_{su(SOMI)M}$ 设置时间, SPICLK 之前 SPISOMI 的时间	26		26		ns
11	$t_{h(SOMI)M}$ 保持时间, SPICLK 之后 SPISOMI 有效的时间	0		0		ns
23	$t_{d(SPC)M}$ 延迟时间, SPISTE 有效至 SPICLK 的时间	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$ 延迟时间, SPICLK 至 SPISTE 无效的时间	$0.5t_{c(SPC)} - 10$		$0.5t_{c(SPC)} - 0.5t_{c(LSPCLK)} - 10$		ns

- (1) 主/从位 (SPICTL.2) 已设定, 时钟相位的位 (SPICTL.3) 已设定。
- (2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) 必须调节内部时钟预分频器, 以将 SPI 时钟速度限制在以下 SPI 时钟速率:
 主模式发送频率最大 25MHz, 主模式接收频率最大 12.5MHz
 从模式发送频率最大 12.5MHz, 从模式接收频率最大 12.5MHz。
- (4) $t_{c(LCO)} = \text{LSPCLK 周期时间}$
- (5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

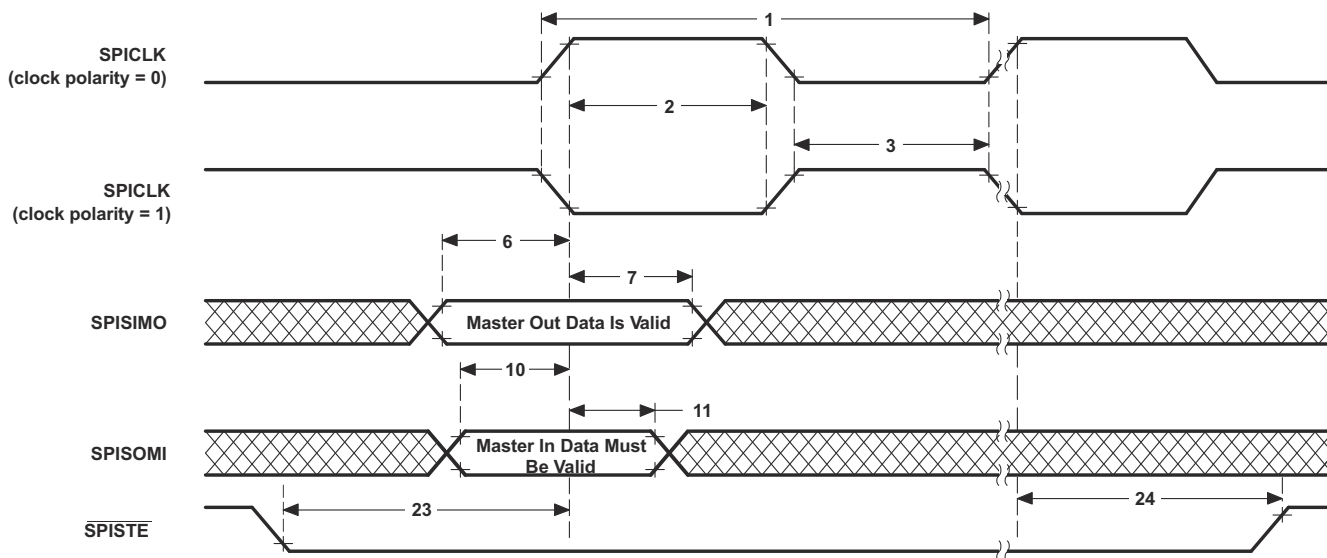


图 7-30. SPI 主模式外部时序 (时钟相位 = 1)

7.9.4.2 SPI 从模式电气数据/时序

节 7.9.4.2.1 列出了从模式时序 (时钟相位 = 0)，节 7.9.4.2.2 列出了从模式时序 (时钟相位 = 1)。图 7-31 和图 7-32 显示了时序波形。

7.9.4.2.1 SPI 从模式外部时序 (时钟相位 = 0)

编号	参数 ^{(1) (2) (4) (3) (5)}		最小值	最大值	单位
12	$t_{c(SPC)}$ S	周期时间, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)}$ S	脉冲持续时间, SPICLK 第一个脉冲的时间	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)}$ S	脉冲持续时间, SPICLK 第二个脉冲的时间	$2t_{c(SYSCLK)} - 1$		ns
15	$t_d(SOMI)$ S	延迟时间, SPICLK 至 SPISOMI 有效的的时间		21	ns
16	$t_v(SOMI)$ S	有效时间, SPICLK 之后 SPISOMI 数据有效的的时间	0		ns
19	$t_{su(SIMO)}$ S	SPICLK 之前 SPISIMO 有效的的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_h(SIMO)$ S	保持时间, SPICLK 之后 SPISIMO 数据有效的的时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)}$ S	设置时间, SPICLK 之前 \overline{SPISTE} 活动的时间	$1.5t_{c(SYSCLK)}$		ns
26	$t_h(STE)$ S	保持时间, SPICLK 之后 \overline{SPISTE} 非活动的时间	$1.5t_{c(SYSCLK)}$		ns

- (1) 主/从位 (SPICTL.2) 已清除, 时钟相位的位 (SPICTL.3) 已清除。
- (2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) $t_{c(LCO)} = \text{LSPCLK 周期时间}$
- (4) 必须调节内部时钟预分频器, 以将 SPI 时钟速度限制在以下 SPI 时钟速率:
主模式发送频率最大 25MHz, 主模式接收频率最大 12.5MHz
从模式发送频率最大 12.5MHz, 从模式接收频率最大 12.5MHz。
- (5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

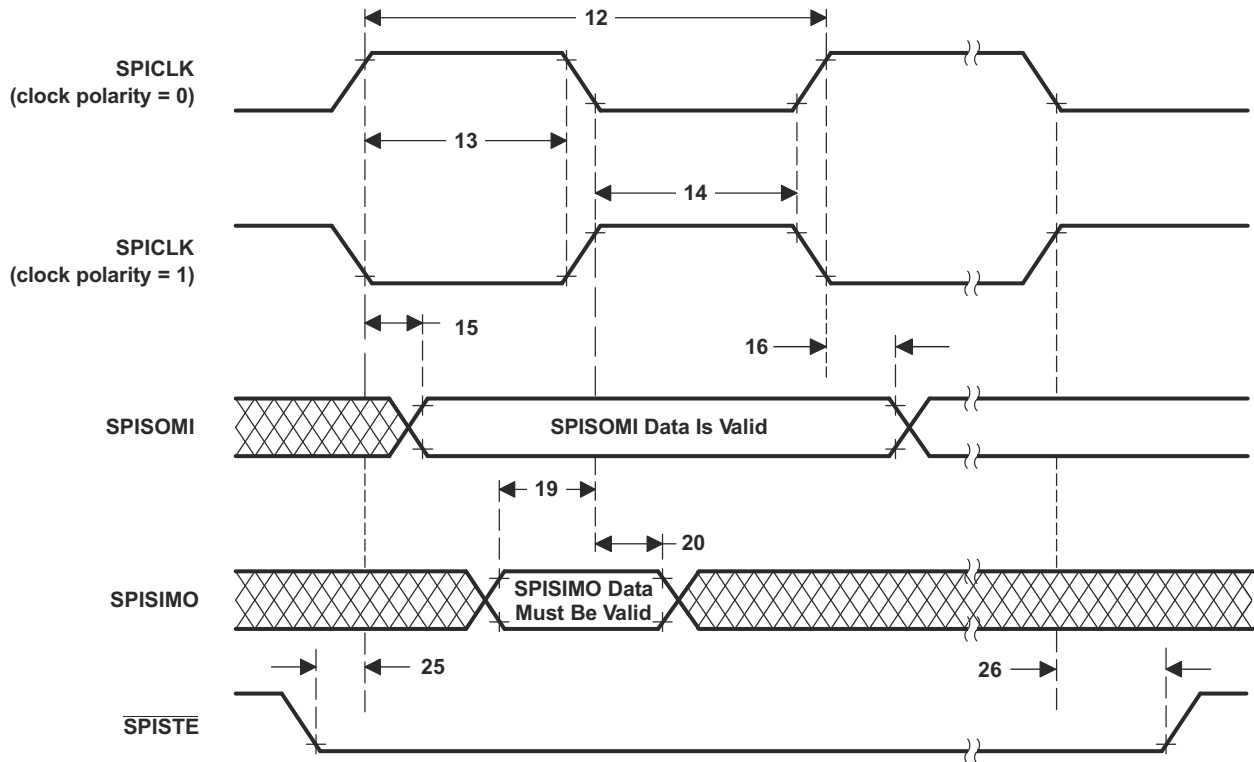


图 7-31. SPI 从模式外部时序 (时钟相位 = 0)

7.9.4.2.2 SPI 从模式外部时序 (时钟相位 = 1)

编号	参数 ^{(1) (2) (3) (4)}	最小值	最大值	单位
12	$t_{c(SPC)S}$ 周期时间, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$ 脉冲持续时间, SPICLK 第一个脉冲的时间	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$ 脉冲持续时间, SPICLK 第二个脉冲的时间	$2t_{c(SYSCLK)} - 1$		ns
17	$t_{d(SOMI)S}$ 延迟时间, SPICLK 至 SPISOMI 有效的的时间		21	ns
18	$t_{v(SOMI)S}$ 有效时间, SPICLK 之后 SPISOMI 数据有效的的时间	0		ns
21	$t_{su(SIMO)S}$ SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
22	$t_{h(SIMO)S}$ 保持时间, SPICLK 之后 SPISIMO 数据有效的的时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$ 设置时间, SPICLK 之前 \overline{SPISTE} 活动的时间	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$ 保持时间, SPICLK 之后 \overline{SPISTE} 非活动的时间	$1.5t_{c(SYSCLK)}$		ns

- (1) 主/从位 (SPICTL.2) 已清除, 时钟相位的位 (SPICTL.3) 已清除。
- (2) $t_{c(SPC)} = \text{SPI 时钟周期时间} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) 必须调节内部时钟预分频器, 以将 SPI 时钟速度限制在以下 SPI 时钟速率:
主模式发送频率最大 25MHz, 主模式接收频率最大 12.5MHz
从模式发送频率最大 12.5MHz, 从模式接收频率最大 12.5MHz。
- (4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

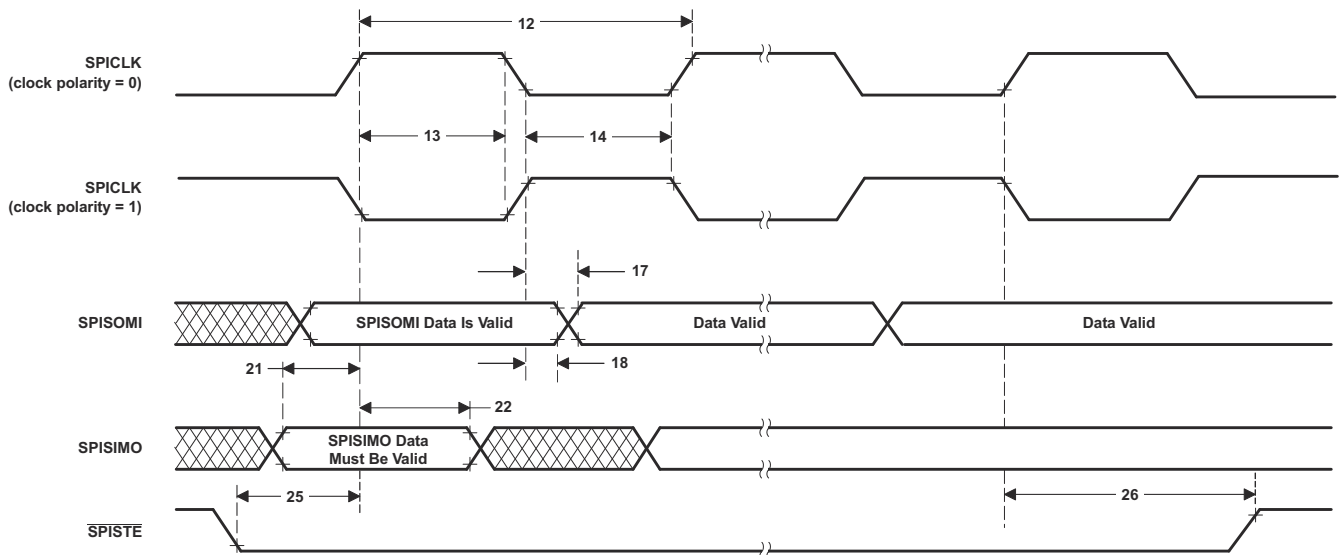


图 7-32. SPI 从模式外部时序 (时钟相位 = 1)

7.9.5 串行通信接口 (SCI) 模块

器件包含一个串行通信接口 (SCI) 模块 (SCI-A)。SCI 模块支持在 CPU 和其他异步外设之间使用标准不归零码 (NRZ) 格式进行数字通信。SCI 发送器和接收器是双缓冲的，各自具有独立的使能位和中断位。两者可独立运行或在全双工模式下同时运行。为了确保数据完整性，SCI 会检查接收到的数据是否存在中断检测、奇偶校验、超限和成帧错误。通过一个 16 位波特率选择寄存器，可将比特率编程为超过 65000 种不同的速度。

每个 SCI 模块的特性包括：

- 两个外部引脚：
 - SCITXD：SCI 发送-输出引脚
 - SCIRXD：SCI 接收-输入引脚

备注

如果不用于 SCI，则两个引脚都可以用作 GPIO。

- 波特率可编程为 64000 种不同速率：

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} \quad \text{when BRR} \neq 0$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \quad \text{when BRR} = 0$$

- 数据字格式
 - 一个开始位
 - 数据字长度可编程为 1 至 8 位
 - 可选偶数/奇数/无奇偶校验位
 - 一个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
 - 发送器：TXRDY 标志 (发送器缓冲寄存器已准备好接收另一个字符) 和 TX EMPTY 标志 (发送器移位寄存器为空)
 - 接收器：RXRDY 标志 (接收器缓冲寄存器已准备好接收另一个字符)、BRKDT 标志 (发生了中断条件) 和 RX ERROR 标志 (监测四个中断条件)
- 发送器和接收器中断的独立使能位 (BRKDT 除外)
- NRZ (不归零码) 格式

备注

此模块中的所有寄存器都是连接至外设帧 2 的 8 位寄存器。当访问寄存器时，寄存器数据位于低字节 (7 - 0)，高字节 (15 - 8) 读取为零。对高字节的写入无效。

增强型特性：

- 自动波特检测硬件逻辑
- 4 级发送/接收 FIFO

通过表 7-29 中列出的寄存器来配置和控制 SCI 端口操作。

表 7-29. SCI-A 寄存器

名称 ⁽¹⁾	地址	大小 (x 16)	受 EALLOW 保护	说明
SCICCRRA	0x7050	1	否	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	否	SCI-A 控制寄存器 1
SCIHBAUDA	0x7052	1	否	SCI-A 波特率寄存器, 高位
SCILBAUDA	0x7053	1	否	SCI-A 波特率寄存器, 低位
SCICTL2A	0x7054	1	否	SCI-A 控制寄存器 2
SCIRXSTA	0x7055	1	否	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	否	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	否	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	否	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽²⁾	0x705A	1	否	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽²⁾	0x705B	1	否	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽²⁾	0x705C	1	否	SCI-A FIFO 控制寄存器
SCIPRIA	0x705F	1	否	SCI-A 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2 空间。此空间只允许 16 位访问。32 位访问会生成未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

有关 SCI 的详细信息, 请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“串行通信接口 (SCI)”一章。

图 7-33 显示了 SCI 模块方框图。

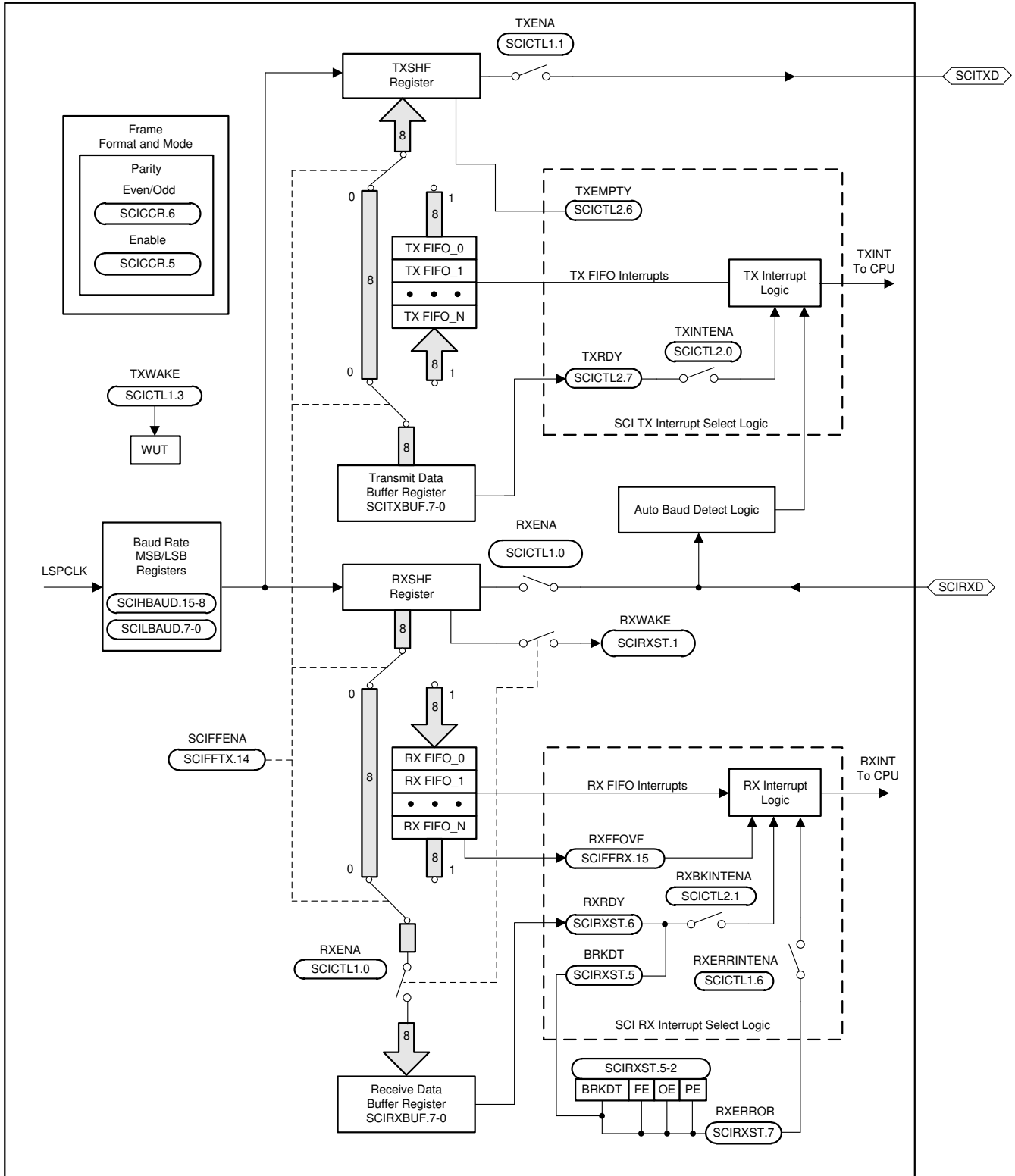


图 7-33. 串行通信接口 (SCI) 模块方框图

7.9.6 本地互连网络 (LIN)

此器件包含一个 LIN 控制器。LIN 标准基于 SCI (UART) 串行数据连接格式。LIN 模块也可被配置成作为一个 SCI 运行。

LIN 模块具有以下特性：

- 与 LIN 1.3 或者 2.0 协议兼容
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动主器件头文件生成
 - 可编程同步中断域
 - 同步域
 - 标识符域
- 从器件自动同步
 - 同步中断检测
 - 可选波特率更新
 - 同步验证
- 带有 7 个分数位的 2^{31} 个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
 - 唤醒信号生成
 - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
 - 位错误
 - 总线错误
 - 无响应错误
 - 校验和错误
 - 同步域错误
 - 奇偶校验错误
- 带有优先级编码的 2 个中断线路：
 - 接收
 - 发送
 - ID、错误和状态

备注

2803x 器件已经通过了 LIN 2.0 符合性测试 (主器件和从器件)。如需详细信息，请联系 TI。

有关 LIN 的详细信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“本地互连网络 (LIN) 模块”一章。

表 7-30 中的寄存器配置和控制 LIN 模块的运行。

表 7-30. LIN-A 寄存器

名称 ⁽¹⁾	地址	大小 (x16)	说明
SCIGCR0	0x6C00	2	全局控制寄存器 0
SCIGCR1	0x6C02	2	全局控制寄存器 1
SCIGCR2	0x6C04	2	全局控制寄存器 2
SCISSETINT	0x6C06	2	中断使能寄存器
SCICLEARINT	0x6C08	2	中断禁用寄存器
SCISSETINTLVL	0x6C0A	2	设置中断级别寄存器
SCICLEARINTLVL	0x6C0C	2	清除中断级别寄存器
SCIFLR	0x6C0E	2	标志寄存器
SCIINTVECT0	0x6C10	2	中断矢量偏移寄存器 0
SCIINTVECT1	0x6C12	2	中断矢量偏移寄存器 1
SCIFORMAT	0x6C14	2	长度控制寄存器
BRSR	0x6C16	2	波特率选择寄存器
SCIED	0x6C18	2	仿真缓冲寄存器
SCIRD	0x6C1A	2	接收器数据缓冲寄存器
SCITD	0x6C1C	2	发送数据缓冲寄存器
保留	0x6C1E	4	RSVD
SIPIO2	0x6C22	2	引脚控制寄存器 2
保留	0x6C24	10	RSVD
LINCOMP	0x6C30	2	比较寄存器
LINRD0	0x6C32	2	接收数据寄存器 0
LINRD1	0x6C34	2	接收数据寄存器 1
LINMASK	0x6C36	2	接受屏蔽寄存器
LINID	0x6C38	2	寄存器包含 ID 字节, ID 从任务字节, 和接收到的 ID 域。
LINTD0	0x6C3A	2	发送数据寄存器 0
LINTD1	0x6C3C	2	发送数据寄存器 1
MBSR	0x6C3E	2	波特率选择寄存器
保留	0x6C40	8	RSVD
IODFTCTRL	0x6C48	2	用于 BLIN 的 IODFT

(1) 一些寄存器和其他寄存器中的一些位受 EALLOW 保护。有关详细信息, 请参阅 *TMS320F2803x 实时微控制器技术参考手册* 中的“本地互连网络 (LIN) 模块”一章。

图 7-34 显示了 LIN 模块方框图。

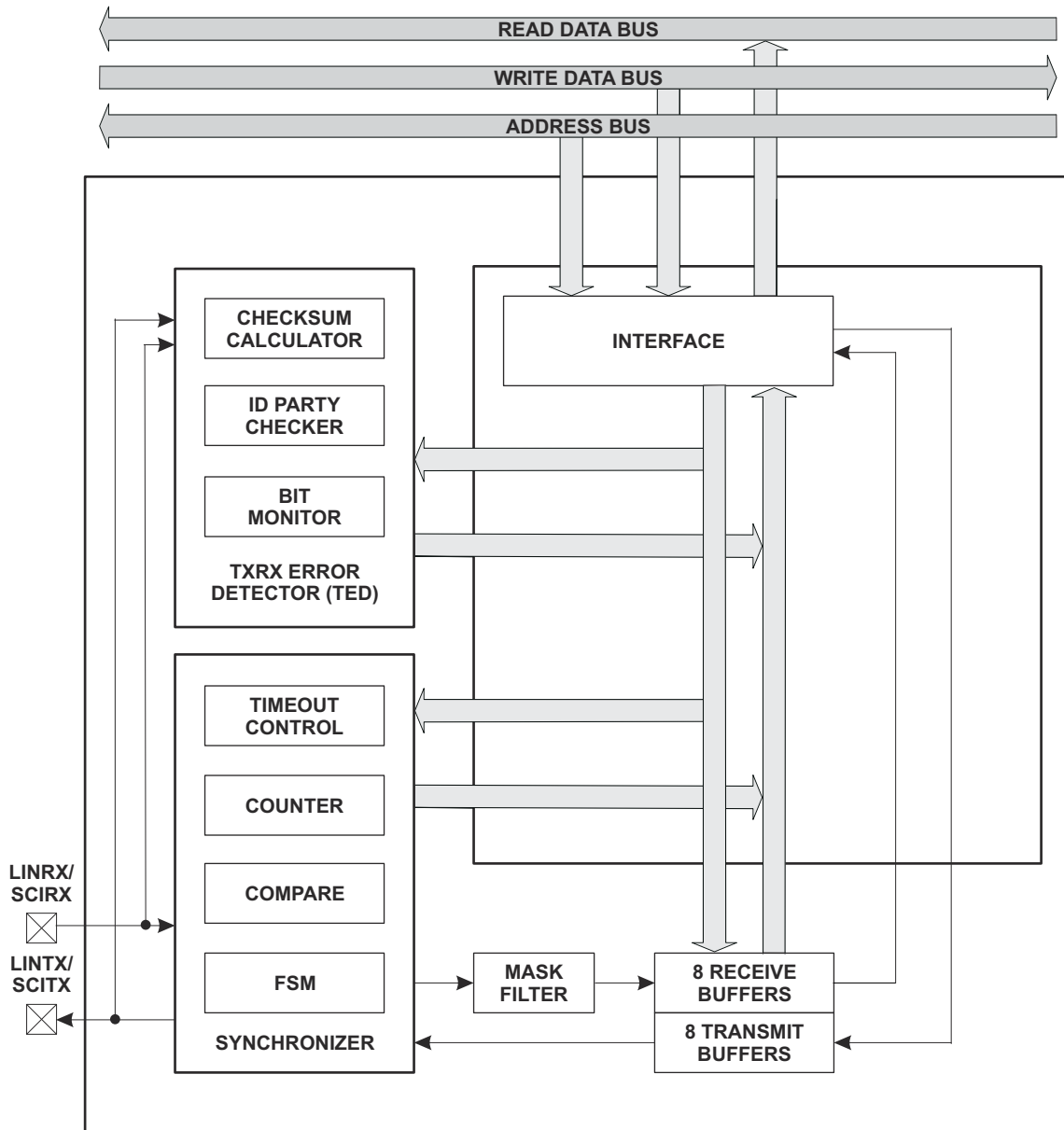


图 7-34. LIN 方框图

7.9.7 增强型控制器局域网 (eCAN) 模块

CAN 模块 (eCAN-A) 具有下列特性：

- 完全符合 ISO11898-1 (CAN 2.0B)
- 支持高达 1Mbps 的数据速率
- 32 个邮箱，每一个邮箱都具有下列属性：
 - 可配置为接收或者发送
 - 可使用标准或者扩展标识符进行配置
 - 具有一个可编程接收掩码
 - 支持数据和远程帧
 - 由 0 至 8 字节数据组成
 - 在接收和发送消息上使用一个 32 位时间戳
 - 防止接收新消息
 - 保持发送消息的动态可编程优先级
 - 采用具有两个中断级别的可编程中断机制
 - 采用针对发送或接收超时的可编程警报
- 低功耗模式
- 总线活动上的可编程唤醒
- 针对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 通过一个特定消息实现同步的 32 位本地网络时间计数器 (与邮箱 16 协同通信)
- 自测模式
 - 在接收其自身消息的回路模式下运行。提供一个“假”应答，从而无需由另外节点提供应答位。

备注

对于 60MHz 的 SYSCLKOUT，可能的最小比特率为 4.6875kbps。

F2803x CAN 已经通过了 ISO/DIS 16845 的符合性测试。有关测试报告和例外情况，请联系 TI。

有关使用配备片上零引脚振荡器的 CAN 模块的信息，请参阅[使用片上零引脚振荡器的 MCU CAN 模块操作](#)。

有关 CAN 的更多信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“控制器局域网”一章。

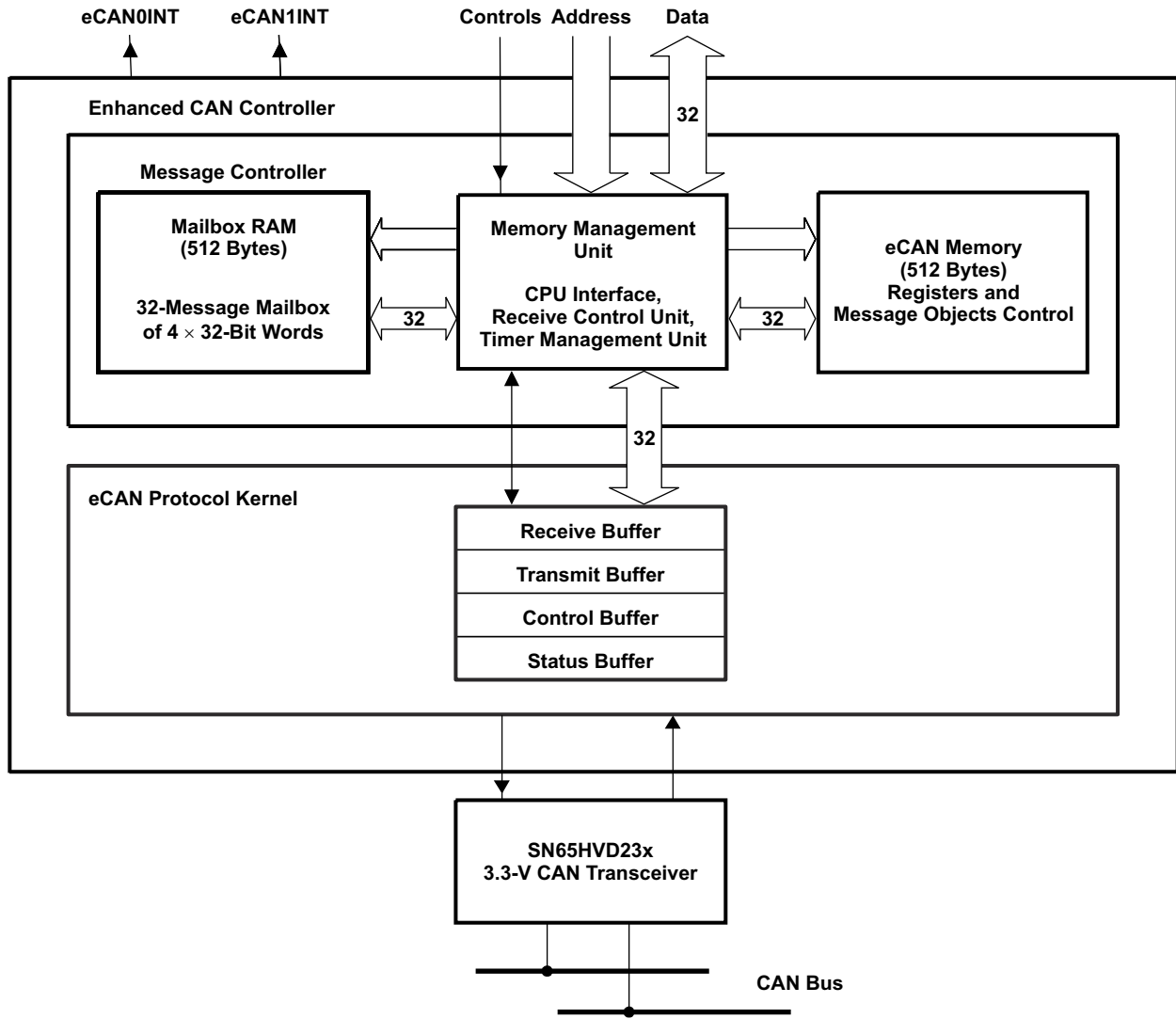


图 7-35. eCAN 方框图和接口电路

表 7-31. 3.3V eCAN 收发器

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	T _A
SN65HVD230	3.3V	待机	可调节	是	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	是	-	-40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	是	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	是	-	-40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	-40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	-40°C 至 125°C
SN65HVD234	3.3V	待机和睡眠	可调节	无	-	-40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	-40°C 至 125°C

表 7-31. 3.3V eCAN 收发器 (续)

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	T _A
ISO1050	3-5.5V	无	无	无	内置隔离 低传播延迟 热关断 无故障运行 显性超时	-55°C 至 105°C

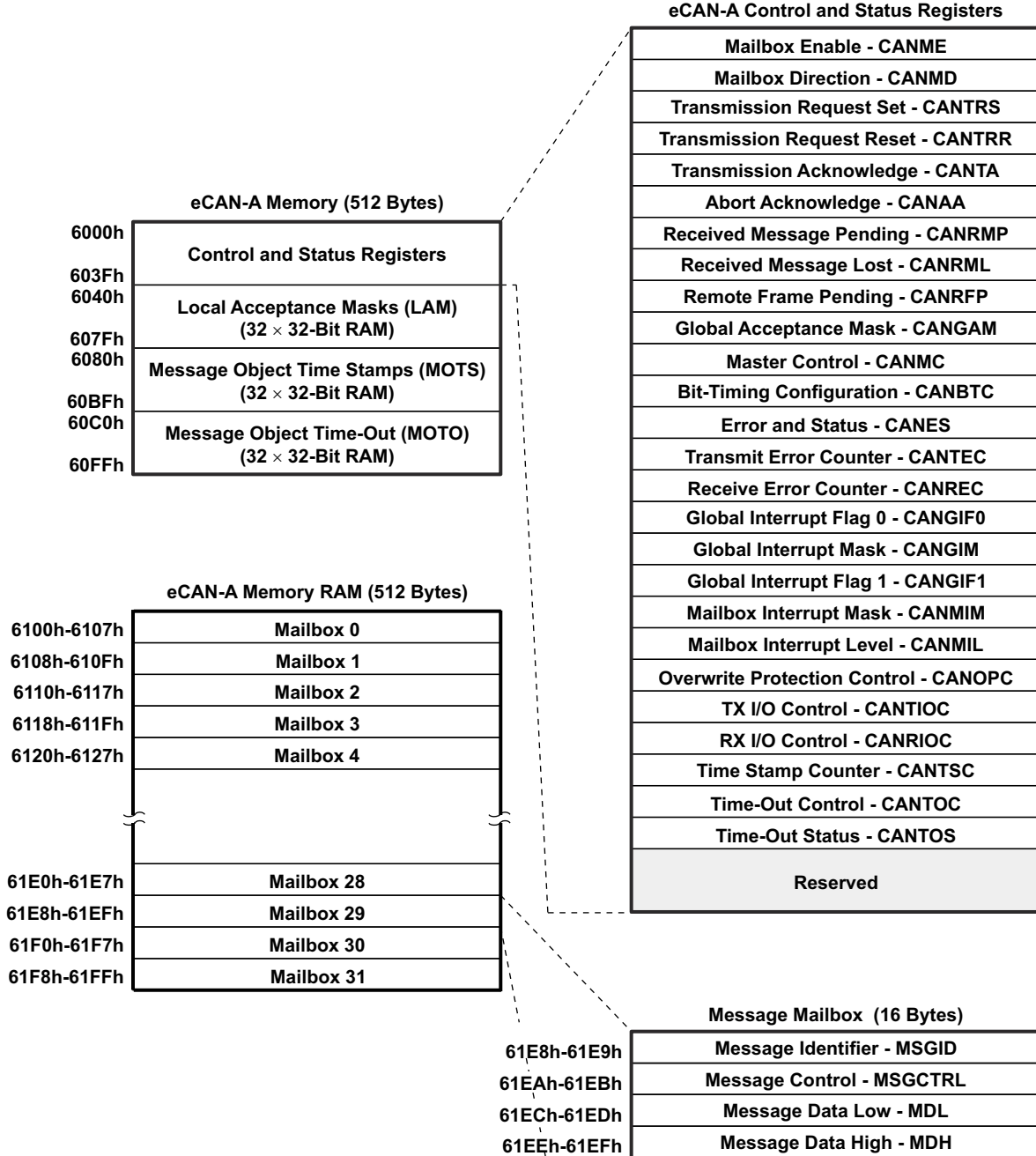


图 7-36. eCAN-A 内存映射

备注

如果 eCAN 模块未在应用中使用，提供的 RAM (LAM、MOTS、MOTO 和邮箱 RAM) 可用作通用 RAM。为实现这一功能，CAN 模块时钟应被启用。

CPU 使用表 7-32 中列出的 CAN 寄存器来配置和控制 CAN 控制器及消息对象。eCAN 控制寄存器仅支持 32 位读/写操作。可对邮箱 RAM 进行 16 位或 32 位访问。32 位访问与一个偶边界对齐。

表 7-32. CAN 寄存器映射

寄存器名称 ⁽¹⁾	eCAN-A 地址	大小 (x 32)	说明
CANME	0x6000	1	邮箱启用
CANMD	0x6002	1	邮箱方向
CANTRS	0x6004	1	发送请求设定
CANTRR	0x6006	1	发送请求复位
CANTA	0x6008	1	传输应答
CANAA	0x600A	1	中止应答
CANRMP	0x600C	1	接收消息等待
CANRML	0x600E	1	接收消息丢失
CANRFP	0x6010	1	远程帧等待
CANGAM	0x6012	1	全局接受屏蔽
CANMC	0x6014	1	主器件控制
CANBTC	0x6016	1	位时序配置
CANES	0x6018	1	错误和状态
CANTEC	0x601A	1	发送错误计数器
CANREC	0x601C	1	接收错误计数器
CANGIF0	0x601E	1	全局中断标志 0
CANGIM	0x6020	1	全局中断屏蔽
CANGIF1	0x6022	1	全局中断标志 1
CANMIM	0x6024	1	邮箱中断屏蔽
CANMIL	0x6026	1	邮箱中断级别
CANOPC	0x6028	1	写覆盖保护控制
CANTIOC	0x602A	1	TX I/O 控制
CANRIOC	0x602C	1	RX I/O 控制
CANTSC	0x602E	1	时间戳计数器 (被保留在 SCC 模式中)
CANTOC	0x6030	1	超时控制 (保留在 SCC 模式中)
CANTOS	0x6032	1	超时状态 (保留在 SCC 模式中)

(1) 这些寄存器被映射至外设帧 1。

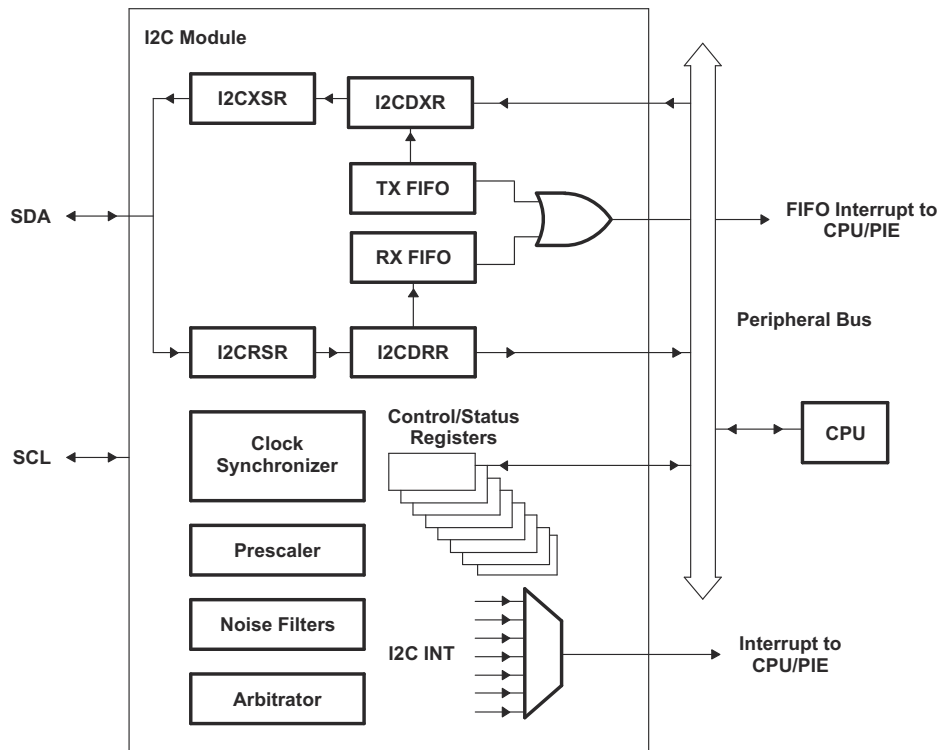
7.9.8 内部集成电路 (I2C)

此器件包含一个 I2C 串行端口。图 7-37 显示了 I2C 外设模块如何在器件内连接。

I2C 模块具有以下特性：

- 符合 Philips 半导体 I²C 总线规格 (版本 2.1) :
 - 支持 1 位至 8 位格式传输
 - 7 位和 10 位寻址模式
 - 常规调用
 - START 字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400kbps (I2C 快速模式速率)
- 一个 4 字接收 FIFO 和一个 4 字发送 FIFO
- 可由 CPU 使用的一个中断。该中断可因下列条件中之一而生成：
 - 发送数据准备就绪
 - 接收数据准备就绪
 - 寄存器访问准备就绪
 - 接收到无应答
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为从器件
- 在 FIFO 模式下, CPU 可以使用附加中断
- 模块启用/禁用能力
- 自由数据格式模式

有关 I2C 的详细信息, 请参阅 *TMS320F2803x 实时微控制器技术参考手册* 中的“内部集成电路模块 (I2C)”一章。



A. 以 SYSCLKOUT 速率对 I2C 寄存器进行访问。I2C 端口的内部时序和信号波形也为 SYSCLKOUT 速率。

B. PCLKCRO 寄存器内的时钟使能位 (I2CAENCLK) 关闭到 I2C 端口的时钟以实现低功耗运行。复位时, I2CAENCLK 被清除, 这表明外设内部时钟被关闭。

图 7-37. I2C 外设模块接口

表 7-33 中的寄存器配置并且控制 I2C 端口操作。

表 7-33. I2C-A 寄存器

名称	地址	受 EALLOW 保护	说明
I2COAR	0x7900	否	I2C 自身的地址寄存器
I2CIER	0x7901	否	I2C 中断使能寄存器
I2CSTR	0x7902	否	I2C 状态寄存器
I2CCLKL	0x7903	否	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	否	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	否	I2C 数据计数寄存器
I2CDRR	0x7906	否	I2C 数据接收寄存器
I2CSAR	0x7907	否	I2C 从器件地址寄存器
I2CDXR	0x7908	否	I2C 数据发送寄存器
I2CMODR	0x7909	否	I2C 模式寄存器
I2CISRC	0x790A	否	I2C 中断源寄存器
I2CPSC	0x790C	否	I2C 预分频器寄存器
I2CFFTX	0x7920	否	I2C FIFO 发送寄存器
I2CFFRX	0x7921	否	I2C FIFO 接收寄存器
I2CRSR	-	否	I2C 接收移位寄存器 (不可访问 CPU)
I2CXSR	-	否	I2C 发送移位寄存器 (不可访问 CPU)

7.9.8.1 I2C 电气数据/时序

节 7.9.8.1.1 显示了 I2C 时序要求。节 7.9.8.1.2 显示了 I2C 开关特性。

7.9.8.1.1 I2C 时序要求

			最小值	最大值	单位
$t_{h(SDA-SCL)START}$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟		0.6		μs
$t_{su(SCL-SDA)START}$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升		0.6		μs
$t_{h(SCL-DAT)}$	保持时间, SCL 下降后的数据		0		μs
$t_{su(DAT-SCL)}$	设置时间, SCL 上升前的数据		100		ns
$t_r(SDA)$	上升时间, SDA	输入容差	20	300	ns
$t_r(SCL)$	上升时间, SCL	输入容差	20	300	ns
$t_f(SDA)$	下降时间, SDA	输入容差	11.4	300	ns
$t_f(SCL)$	下降时间, SCL	输入容差	11.4	300	ns
$t_{su(SCL-SDA)STOP}$	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升		0.6		μs

7.9.8.1.2 I2C 开关特征

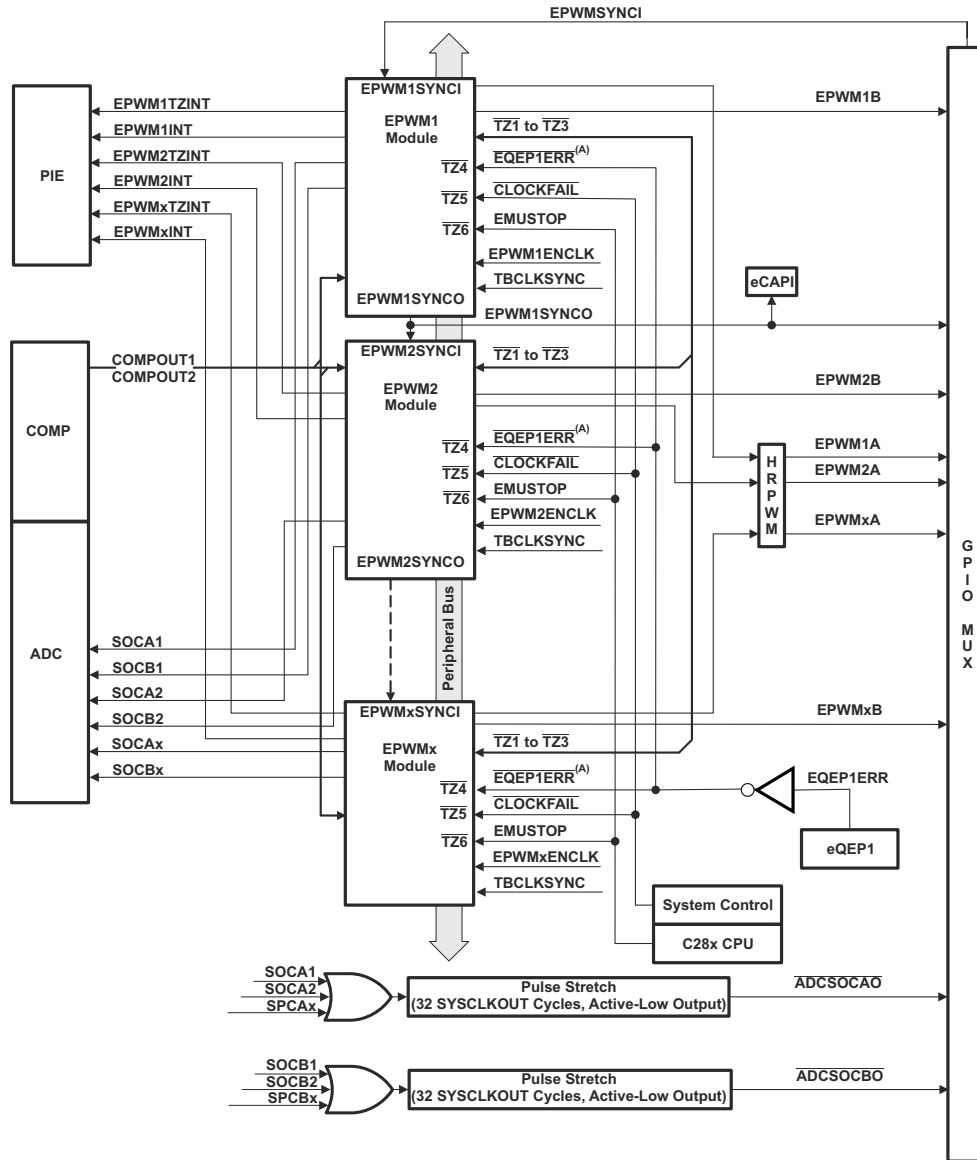
在推荐的运行条件下 (除非另有说明)

参数	测试条件	最小值	最大值	单位
f _{SCL} SCL 时钟频率	I2C 时钟模块频率介于 7MHz 与 12MHz 之间, 并且 I2C 预分频器和时钟分频寄存器进行了适当配置。		400	kHz
V _{il} 低电平输入电压			0.3 V _{DDIO}	V
V _{ih} 高电平输入电压		0.7 V _{DDIO}		V
V _{hys} 输入滞后		0.05 V _{DDIO}		V
V _{ol} 低电平输出电压	3mA 灌电流	0	0.4	V
t _{LOW} SCL 时钟的低周期	I2C 时钟模块频率介于 7MHz 与 12MHz 之间, 并且 I2C 预分频器和时钟分频寄存器进行了适当配置。	1.3		μs
t _{HIGH} SCL 时钟的高周期	I2C 时钟模块频率介于 7MHz 与 12MHz 之间, 并且 I2C 预分频器和时钟分频寄存器进行了适当配置。	0.6		μs
I _I 输入电压介于 0.1 V _{DDIO} 与 0.9 V _{DDIO} (最大值) 之间的输入电流		-10	10	μA

7.9.9 增强型 PWM 模块 (ePWM1/2/3/4/5/6/7)

器件包含高达 7 个增强型 PWM 模块 (ePWM)。图 7-38 显示了多个 ePWM 模块的方框图。图 7-39 显示了与 ePWM 的信号互连情况。有关更多详细信息，请参阅 *TMS320F2803x 实时微控制器技术参考手册* 中的“增强型脉宽调制器 (ePWM)”一章。

表 7-34 和表 7-35 显示了每个模块的完整 ePWM 寄存器组。



Copyright © 2017, Texas Instruments Incorporated

A. 这个信号只在带有 eQEP1 模块的器件内存在。

图 7-38. ePWM

表 7-34. ePWM1-ePWM4 控制和状态寄存器

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小 (x16)/ #SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	1/1	时基周期寄存器组
TBPRDHR	0x6806	0x6846	0x6886	0x68C6	1/1	时基周期高分辨率寄存器 ⁽¹⁾
CMPCTL	0x6807	0x6847	0x6887	0x68C7	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	1/1	计数器比较 A 寄存器组
CMPB	0x680A	0x684A	0x688A	0x68CA	1/1	计数器比较 B 寄存器组
AQCTLA	0x680B	0x684B	0x688B	0x68CB	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	1/0	用于输出 B 的操作限定器控制寄存器
AQSFR	0x680D	0x684D	0x688D	0x68CD	1/0	操作限定器软件强制寄存器
AQCSFR	0x680E	0x684E	0x688E	0x68CE	1/1	操作限定器连续 S/W 强制寄存器组
DBCTL	0x680F	0x684F	0x688F	0x68CF	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	1/0	跳匣区域选择寄存器 ⁽¹⁾
TZDCSEL	0x6813	0x6853	0x6893	0x98D3	1/0	跳匣区域数字比较寄存器
TZCTL	0x6814	0x6854	0x6894	0x68D4	1/0	跳匣区域控制寄存器 ⁽¹⁾
TZEINT	0x6815	0x6855	0x6895	0x68D5	1/0	跳匣区域启用中断寄存器 ⁽¹⁾
TZFLG	0x6816	0x6856	0x6896	0x68D6	1/0	跳匣区域标志寄存器 ⁽¹⁾
TZCLR	0x6817	0x6857	0x6897	0x68D7	1/0	跳匣区域清除寄存器 ⁽¹⁾
TZFRC	0x6818	0x6858	0x6898	0x68D8	1/0	跳匣区域强制寄存器 ⁽¹⁾
ETSEL	0x6819	0x6859	0x6899	0x68D9	1/0	事件触发选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	1/0	事件触发预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	1/0	事件触发标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	1/0	事件触发清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	1/0	事件触发强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	1/0	HRPWM 配置寄存器 ⁽¹⁾
HRPWR	0x6821	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	0x6826	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6828	0x6868	0x68A8	0x68E8	1/0	高分辨率周期控制寄存器 ⁽¹⁾
TBPRDHRM	0x682A	0x686A	0x68AA	0x68EA	1/W ⁽²⁾	时基周期 HRPWM 寄存器镜像
TBPRDM	0x682B	0x686B	0x68AB	0x68EB	1/W ⁽²⁾	时基周期寄存器镜像
CMPAHRM	0x682C	0x686C	0x68AC	0x68EC	1/W ⁽²⁾	比较 A HRPWM 寄存器镜像
CMPAM	0x682D	0x686D	0x68AD	0x68ED	1/W ⁽²⁾	比较 A 寄存器镜像
DCTRISEL	0x6830	0x6870	0x68B0	0x68F0	1/0	数字比较跳匣选择寄存器 ⁽¹⁾
DCACTL	0x6831	0x6871	0x68B1	0x68F1	1/0	数字比较 A 控制寄存器 ⁽¹⁾
DCBCTL	0x6832	0x6872	0x68B2	0x68F2	1/0	数字比较 B 控制寄存器 ⁽¹⁾

表 7-34. ePWM1-ePWM4 控制和状态寄存器 (续)

名称	ePWM1	ePWM2	ePWM3	ePWM4	大小 (x16)/ #SHADOW	说明
DCFCTL	0x6833	0x6873	0x68B3	0x68F3	1/0	数字比较滤波器控制寄存器 ⁽¹⁾
DCCAPCT	0x6834	0x6874	0x68B4	0x68F4	1/0	数字比较捕捉控制寄存器 ⁽¹⁾
DCOFFSET	0x6835	0x6875	0x68B5	0x68F5	1/1	数字比较滤波偏移寄存器
DCOFFSETCNT	0x6836	0x6876	0x68B6	0x68F6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6837	0x6877	0x68B7	0x68F7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6838	0x6878	0x68B8	0x68F8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6839	0x6879	0x68B9	0x68F9	1/1	数字比较计数器捕捉寄存器

(1) 寄存器受 EALLOW 保护。

(2) W = 写入影子寄存器

表 7-35. ePWM5-ePWM7 控制和状态寄存器

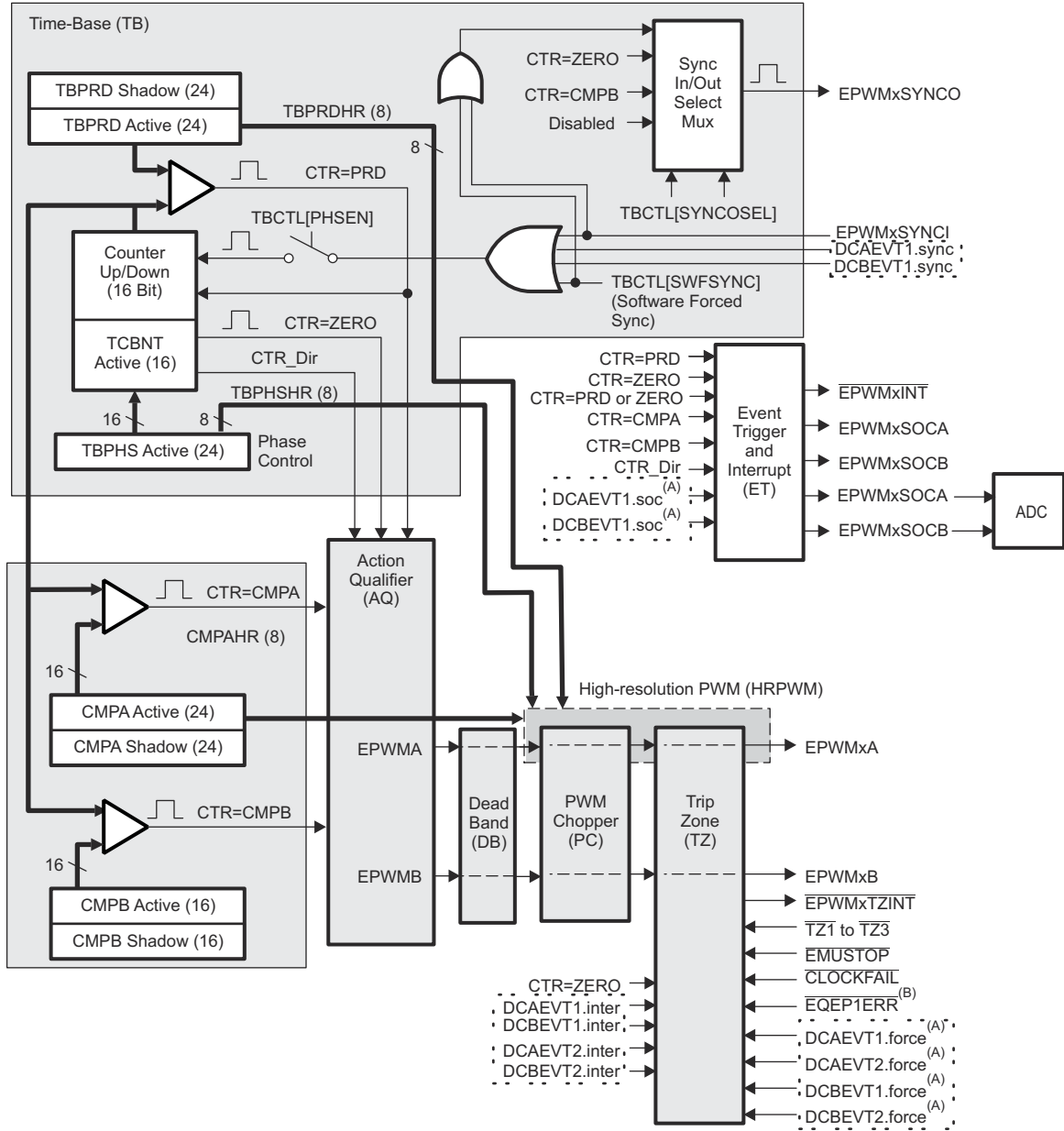
名称	ePWM5	ePWM6	ePWM7	大小 (x16)/ #SHADOW	说明
TBCTL	0x6900	0x6940	0x6980	1/0	时基控制寄存器
TBSTS	0x6901	0x6941	0x6981	1/0	时基状态寄存器
TBPHSHR	0x6902	0x6942	0x6982	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6903	0x6943	0x6983	1/0	时基相位寄存器
TBCTR	0x6904	0x6944	0x6984	1/0	时基计数器寄存器
TBPRD	0x6905	0x6945	0x6985	1/1	时基周期寄存器组
TBPRDHR	0x6906	0x6946	0x6986	1/1	时基周期高分辨率寄存器 ⁽¹⁾
CMPCTL	0x6907	0x6947	0x6987	1/0	计数器比较控制寄存器
CMPAHR	0x6908	0x6948	0x6988	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6909	0x6949	0x6989	1/1	计数器比较 A 寄存器组
CMPB	0x690A	0x694A	0x698A	1/1	计数器比较 B 寄存器组
AQCTLA	0x690B	0x694B	0x698B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x690C	0x694C	0x698C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFR	0x690D	0x694D	0x698D	1/0	操作限定器软件强制寄存器
AQCSFR	0x690E	0x694E	0x698E	1/1	操作限定器连续 S/W 强制寄存器组
DBCTL	0x690F	0x694F	0x698F	1/1	死区生成器控制寄存器
DBRED	0x6910	0x6950	0x6990	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6911	0x6951	0x6991	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6912	0x6952	0x6992	1/0	跳匣区域选择寄存器 ⁽¹⁾
TZDCSEL	0x6913	0x6953	0x6993	1/0	跳匣区域数字比较寄存器
TZCTL	0x6914	0x6954	0x6994	1/0	跳匣区域控制寄存器 ⁽¹⁾
TZEINT	0x6915	0x6955	0x6995	1/0	跳匣区域启用中断寄存器 ⁽¹⁾
TZFLG	0x6916	0x6956	0x6996	1/0	跳匣区域标志寄存器 ⁽¹⁾
TZCLR	0x6917	0x6957	0x6997	1/0	跳匣区域清除寄存器 ⁽¹⁾
TZFRC	0x6918	0x6958	0x6998	1/0	跳匣区域强制寄存器 ⁽¹⁾
ETSEL	0x6919	0x6959	0x6999	1/0	事件触发选择寄存器
ETPS	0x691A	0x695A	0x699A	1/0	事件触发预分频寄存器
ETFLG	0x691B	0x695B	0x699B	1/0	事件触发标志寄存器
ETCLR	0x691C	0x695C	0x699C	1/0	事件触发清除寄存器

表 7-35. ePWM5-ePWM7 控制和状态寄存器 (续)

名称	ePWM5	ePWM6	ePWM7	大小 (x16)/ #SHADOW	说明
ETFRC	0x691D	0x695D	0x699D	1/0	事件触发强制寄存器
PCCTL	0x691E	0x695E	0x699E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6920	0x6960	0x69A0	1/0	HRPWM 配置寄存器 ⁽¹⁾
HRPWR	-	-	-	1/0	HRPWM 功率寄存器
HRMSTEP	-	-	-	1/0	HRPWM MEP 步长寄存器
HRPCTL	0x6928	0x6968	0x69A8	1/0	高分辨率周期控制寄存器 ⁽¹⁾
TBPRDHRM	0x692A	0x696A	0x69AA	1/W ⁽²⁾	时基周期 HRPWM 寄存器镜像
TBPRDM	0x692B	0x696B	0x69AB	1/W ⁽²⁾	时基周期寄存器镜像
CMPAHRM	0x692C	0x696C	0x69AC	1/W ⁽²⁾	比较 A HRPWM 寄存器镜像
CMPAM	0x692D	0x696D	0x69AD	1/W ⁽²⁾	比较 A 寄存器镜像
DCTRIPSEL	0x6930	0x6970	0x69B0	1/0	数字比较跳闸选择寄存器 ⁽¹⁾
DCACTL	0x6931	0x6971	0x69B1	1/0	数字比较 A 控制寄存器 ⁽¹⁾
DCBCTL	0x6932	0x6972	0x69B2	1/0	数字比较 B 控制寄存器 ⁽¹⁾
DCFCTL	0x6933	0x6973	0x69B3	1/0	数字比较滤波器控制寄存器 ⁽¹⁾
DCCAPCT	0x6934	0x6974	0x69B4	1/0	数字比较捕捉控制寄存器 ⁽¹⁾
DCFOFFSET	0x6935	0x6975	0x69B5	1/1	数字比较滤波偏移寄存器
DCFOFFSETCNT	0x6936	0x6976	0x69B6	1/0	数字比较滤波偏移计数器寄存器
DCFWINDOW	0x6937	0x6977	0x69B7	1/0	数字比较滤波窗口寄存器
DCFWINDOWCNT	0x6938	0x6978	0x69B8	1/0	数字比较滤波窗口计数器寄存器
DCCAP	0x6939	0x6979	0x69B9	1/1	数字比较计数器捕捉寄存器

(1) 寄存器受 EALLOW 保护。

(2) W = 写入影子寄存器



- A. 这些事件由基于 COMPxOUT 和 TZ 信号电平的类型 1 ePWM 数字比较 (DC) 子模块生成。
 B. 这个信号只在带有 eQEP1 模块的器件内存在。

图 7-39. ePWM 子模块显示关键内部信号互连

7.9.9.1 ePWM 电气数据/时序

PWM 是指 ePWM1-7 上的 PWM 输出。节 7.9.9.1.1 显示了 PWM 时序要求和节 7.9.9.1.2，开关特性。

7.9.9.1.1 ePWM 时序要求

		最小值	最大值	单位
$t_{w(\text{SYNIN})}^{(1)}$ 同步输入脉宽	异步	$2t_{c(\text{SCO})}$		周期
	同步	$2t_{c(\text{SCO})}$		周期
	带输入限定器	$1t_{c(\text{SCO})} + t_{w(\text{IQSW})}$		周期

(1) 有关输入限定符参数的说明，请参阅节 7.9.15.1.2.1。

7.9.9.1.2 ePWM 开关特性

在建议运行条件下测得（除非另有说明）

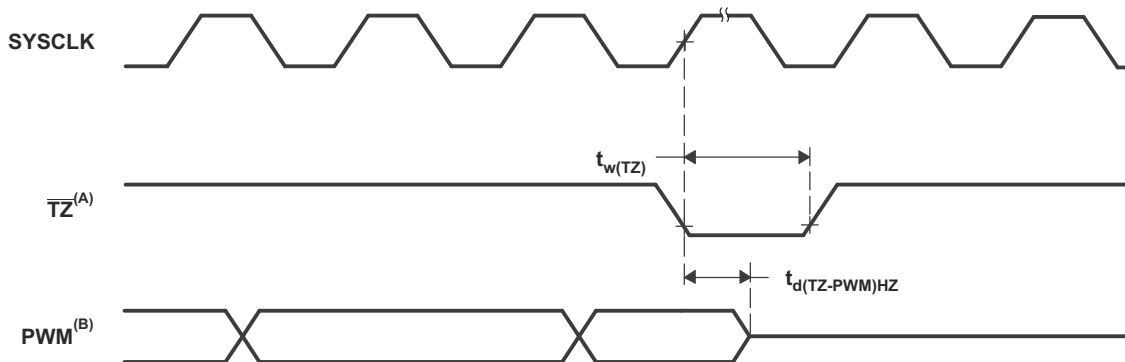
参数	测试条件	最小值	最大值	单位
$t_{w(\text{PWM})}$ 脉冲持续时间，PWMx 输出高电平/低电平的时间		33.33		ns
$t_{w(\text{SYNOUT})}$ 同步输出脉冲宽度		$8t_{c(\text{SCO})}$		周期
$t_{d(\text{PWM})\text{tza}}$ 延迟时间，跳闸有源输入到 PWM 强制高电平 延迟时间，跳闸有源输入到 PWM 强制低电平	无引脚负载		25	ns
$t_{d(\text{TZ-PWM})\text{HZ}}$ 延迟时间，触发输入有效至 PWM 高阻抗 (Hi-Z) 的时间			20	ns

7.9.9.2 跳闸区输入时序

7.9.9.2.1 跳闸区域输入时序要求

		最小值	最大值	单位
$t_{w(\text{TZ})}^{(1)}$ 脉冲持续时间， $\overline{\text{TZ}}\text{x}$ 输入低电平的时间	异步	$2t_{c(\text{TBCLK})}$		周期
	同步	$2t_{c(\text{TBCLK})}$		周期
	带输入限定器	$2t_{c(\text{TBCLK})} + t_{w(\text{IQSW})}$		周期

(1) 有关输入限定符参数的说明，请参阅节 7.9.15.1.2.1。



A. $\overline{\text{TZ}} - \overline{\text{TZ}}1, \overline{\text{TZ}}2, \overline{\text{TZ}}3, \overline{\text{TZ}}4, \overline{\text{TZ}}5, \overline{\text{TZ}}6$

B. PWM 是指器件内的所有 PWM 引脚。 $\overline{\text{TZ}}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 7-40. PWM Hi-Z 特征

7.9.10 高分辨率 PWM (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。每一个 ePWM 模块均有一条 HR 延迟线路。

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可同时在单边沿（占空比和相移控制）以及用于频率/周期调制的双边沿控制中使用。
- 通过对 ePWM 模块的比较 A 和相位寄存器的扩展，实现更加精细的时间粒度控制或边沿定位。
- HRPWM 功能，当在一个特定器件上可用时，只在 ePWM 模块的 A 信号路径上提供（也就是说，在 EPWMxA 输出上提供）。EPWMxB 输出具有传统 PWM 功能。

备注

HRPWM 所能接收的最小 SYSCLKOUT 频率为 60MHz。

备注

当双边沿高分辨率被启用时（高分辨率周期模式），PWMxB 输出不可用。

有关 HRPWM 的更多信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“高分辨率脉宽调制器 (HRPWM)”一章。

7.9.10.1 HRPWM 电气数据/时序

节 7.9.10.1.1 显示了高分辨率 PWM 的开关特性。

7.9.10.1.1 高分辨率 PWM 特性

参数 ⁽¹⁾	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽²⁾		150	310	ps

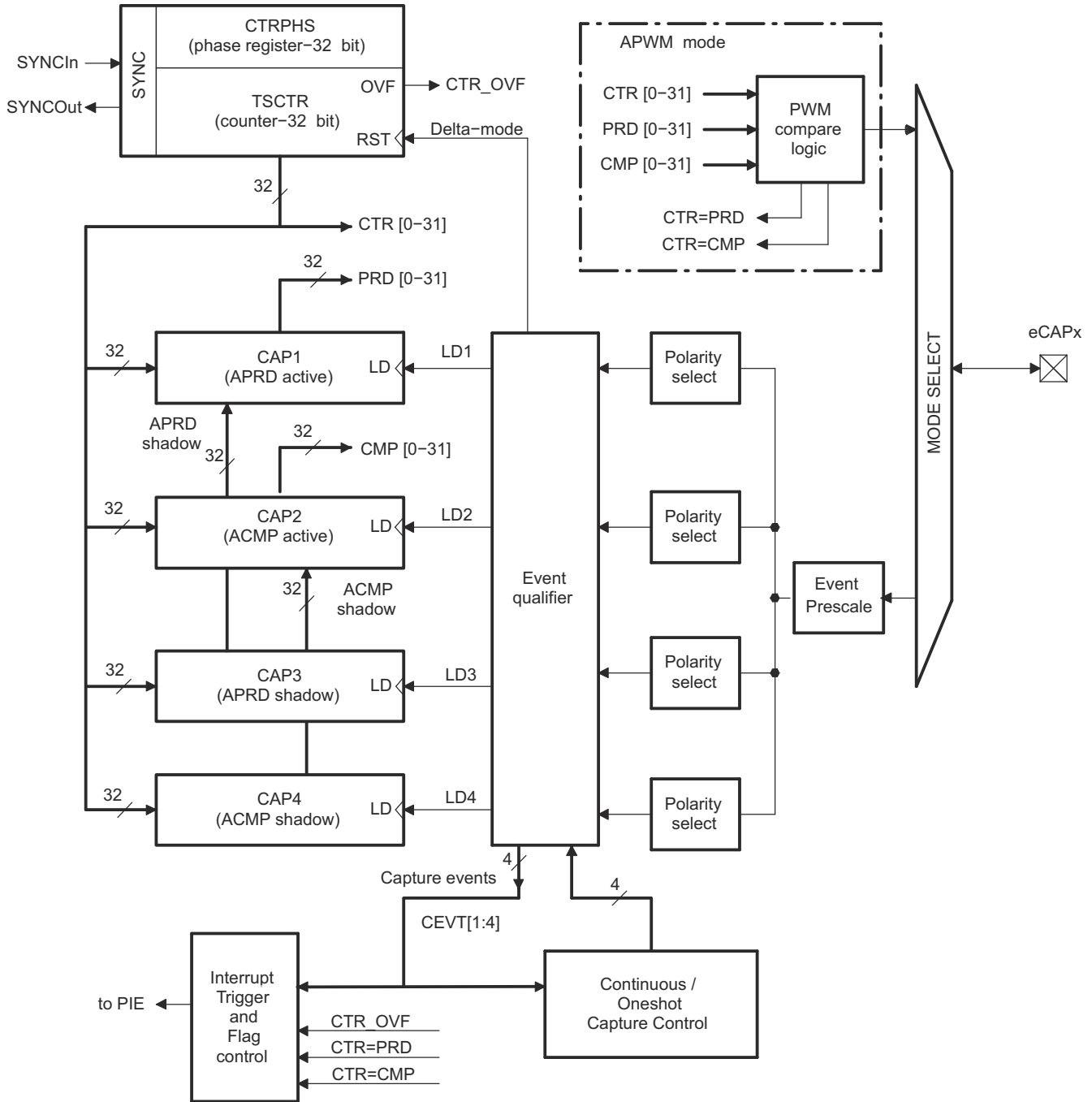
(1) HRPWM 运行在 60MHz 的最小 SYSCLKOUT 频率上。

(2) 在高温和 V_{DD} 上的电压最低时，MEP 步长将达到最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。

使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 函数的详细信息，请参阅 TI 软件库。SFO 函数有助于在 HRPWM 运行时动态地估计每个 SYSCLKOUT 周期内的 MEP 步数量。

7.9.11 增强型捕捉模块 (eCAP1)

此器件包含一个增强型捕捉 (eCAP) 模块。图 7-41 显示了一个模块的功能方框图。



Copyright © 2017, Texas Instruments Incorporated

图 7-41. eCAP 功能方框图

eCAP 模块以 SYSCLKOUT 速率计时。

PCLKCR1 寄存器中的时钟使能位 (ECAP1 ENCLK) 单独关闭 eCAP 模块 (以实现低功耗运行)。复位时, ECAP1ENCLK 被设定为低电平, 表明外设时钟已关闭。

表 7-36. eCAP 控制和状态寄存器

名称	eCAP1	大小 (x 16)	受 EALLOW 保护	说明
TSCTR	0x6A00	2		时间戳计数器
CTRPHS	0x6A02	2		计数器相位偏移值寄存器
CAP1	0x6A04	2		捕捉 1 寄存器
CAP2	0x6A06	2		捕捉 2 寄存器
CAP3	0x6A08	2		捕捉 3 寄存器
CAP4	0x6A0A	2		捕捉 4 寄存器
保留	0x6A0C 至 0x6A12	8		保留
ECCTL1	0x6A14	1		捕捉控制寄存器 1
ECCTL2	0x6A15	1		捕捉控制寄存器 2
ECEINT	0x6A16	1		捕捉中断使能寄存器
ECFLG	0x6A17	1		捕捉中断标志寄存器
ECCLR	0x6A18	1		捕捉中断清除寄存器
ECFRC	0x6A19	1		捕捉中断强制寄存器
保留	0x6A1A 至 0x6A1F	6		保留

有关 eCAP 的更多信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“增强型捕捉 (eCAP) 模块”一章。

7.9.11.1 eCAP 电气数据/时序

节 7.9.11.1.1 显示了 eCAP 时序要求，而节 7.9.11.1.2 显示了 eCAP 开关特性。

7.9.11.1.1 增强型捕捉 (eCAP) 时序要求

		异步	同步	带输入限定器	最小值	最大值	单位
$t_{w(CAP)}$ ⁽¹⁾	捕捉输入脉宽	异步			$2t_{c(SCO)}$		周期
		同步			$2t_{c(SCO)}$		周期
		带输入限定器			$1t_{c(SCO)} + t_{w(IQSW)}$		周期

(1) 有关输入限定符参数的说明，请参阅节 7.9.15.1.2.1。

7.9.11.1.2 eCAP 开关特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间, APWMx 输出高电平/低电平	20		ns

7.9.12 高分辨率捕捉 (HRCAP) 模块

高分辨率捕捉 (HRCAP) 模块测量外部脉冲与一个 300ps 典型分辨率之间的差异。

HRCAP 的用途包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描

HRCAP 模块的特性包括：

- 在非高分辨率或者高分辨率模式中的脉宽捕捉
- 差分 (Δ) 模式脉宽捕捉
- 在每个边沿上 300ps 分辨率的典型高分辨率捕捉
- 下降或者上升边沿上的中断
- 2 深度缓冲器中脉冲宽度的持续模式捕捉
- 针对精准高分辨率捕捉的校准逻辑
- 所有上述资源都专用于单个输入引脚
- 由 TI 提供的 HRCAP 校准软件库用于校准和计算部分脉冲宽度。

除了高分辨率校准块外，HRCAP 模块还包括一个捕捉通道，会在校准时内部连接到最后一个可用的 ePWMxA HRPWM 通道（即如果有八个支持 HRPWM 功能的 ePWM，则是 HRPWM8A）。

每一个 HRCAP 通道都有下列独立的关键资源：

- 专用输入捕捉引脚
- 16 位 HRCAP 时钟等于 PLL 输出频率（与 SYSCLK 异步）或者等于 SYSCLK 频率（与 SYSCLK 同步）
- 在一个 2 深度缓冲器中的高分辨率脉宽捕捉

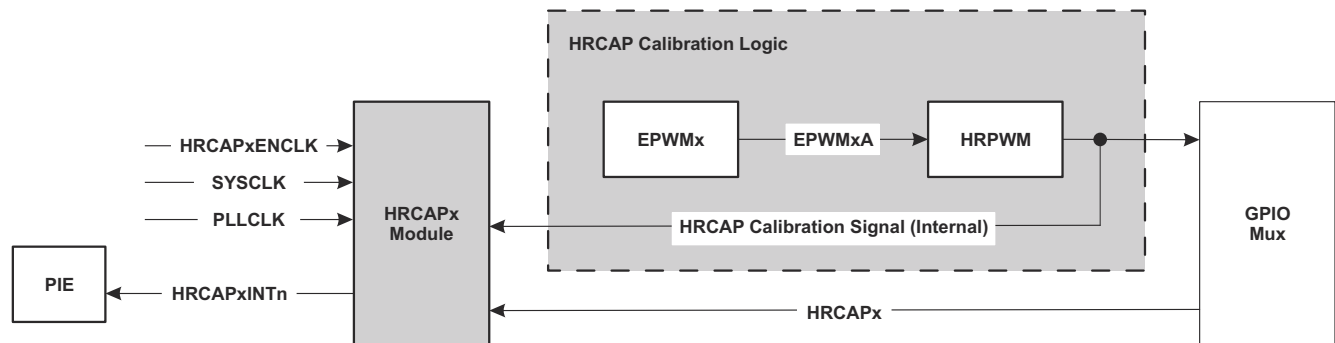


图 7-42. HRCAP 功能方框图

表 7-37. HRCAP 寄存器

名称	HRCAP1	HRCAP2	大小 (x 16)	说明
HCCTL	0x6AC0	0x6AE0	1	HRCAP 控制寄存器 ⁽¹⁾
HCIFR	0x6AC1	0x6AE1	1	HRCAP 中断标志寄存器
HCICLR	0x6AC2	0x6AE2	1	HRCAP 中断清除寄存器
HCIFRC	0x6AC3	0x6AE3	1	HRCAP 中断强制寄存器
HCCOUNTER	0x6AC4	0x6AE4	1	HRCAP 16 位计数器寄存器
HCCAPCNTRISE0	0x6AD0	0x6AF0	1	在上升边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTRFALL0	0x6AD2	0x6AF2	1	在下降边沿 0 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTRISE1	0x6AD8	0x6AF8	1	在上升边沿 1 寄存器上的 HRCAP 捕捉计数器
HCCAPCNTRFALL1	0x6ADA	0x6AFA	1	在下降边沿 1 寄存器上的 HRCAP 捕捉计数器

(1) 受 EALLOW 保护的寄存器。

有关 HRCAP 的更多信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“高分辨率捕捉 (HRCAP)”一章。

7.9.12.1 HRCAP 电气数据/时序

7.9.12.1.1 高分辨率捕捉 (HRCAP) 时序要求

		最小值	标称值	最大值	单位
$t_c(\text{HCCAPCLK})$	周期时间，HRCAP 捕捉时钟的时间	8.333		10.204	ns
$t_w(\text{HRCAP})$	脉冲宽度，HRCAP 捕捉的时间	$7t_c(\text{HCCAPCLK})$ ⁽¹⁾			ns
	HRCAP 步长尺寸 ⁽²⁾	300			ps

- (1) 所列出的最小脉宽并未将所有相关 HCCAP 寄存器必须被读取而且必须将脉宽内的 RISE/FALL (上升/下降) 事件标志清除以确保有效捕捉数据这一限制考虑在内。
- (2) HRCAP 步长将随着低电压和高温度而增加，随着高电压和低温度而降低。在高分辨率模式中使用 HRCAP 的应用应该使用 HRCAP 的校准功能以针对变化的运行条件进行动态校准。

7.9.13 增强型正交编码器脉冲 (eQEP)

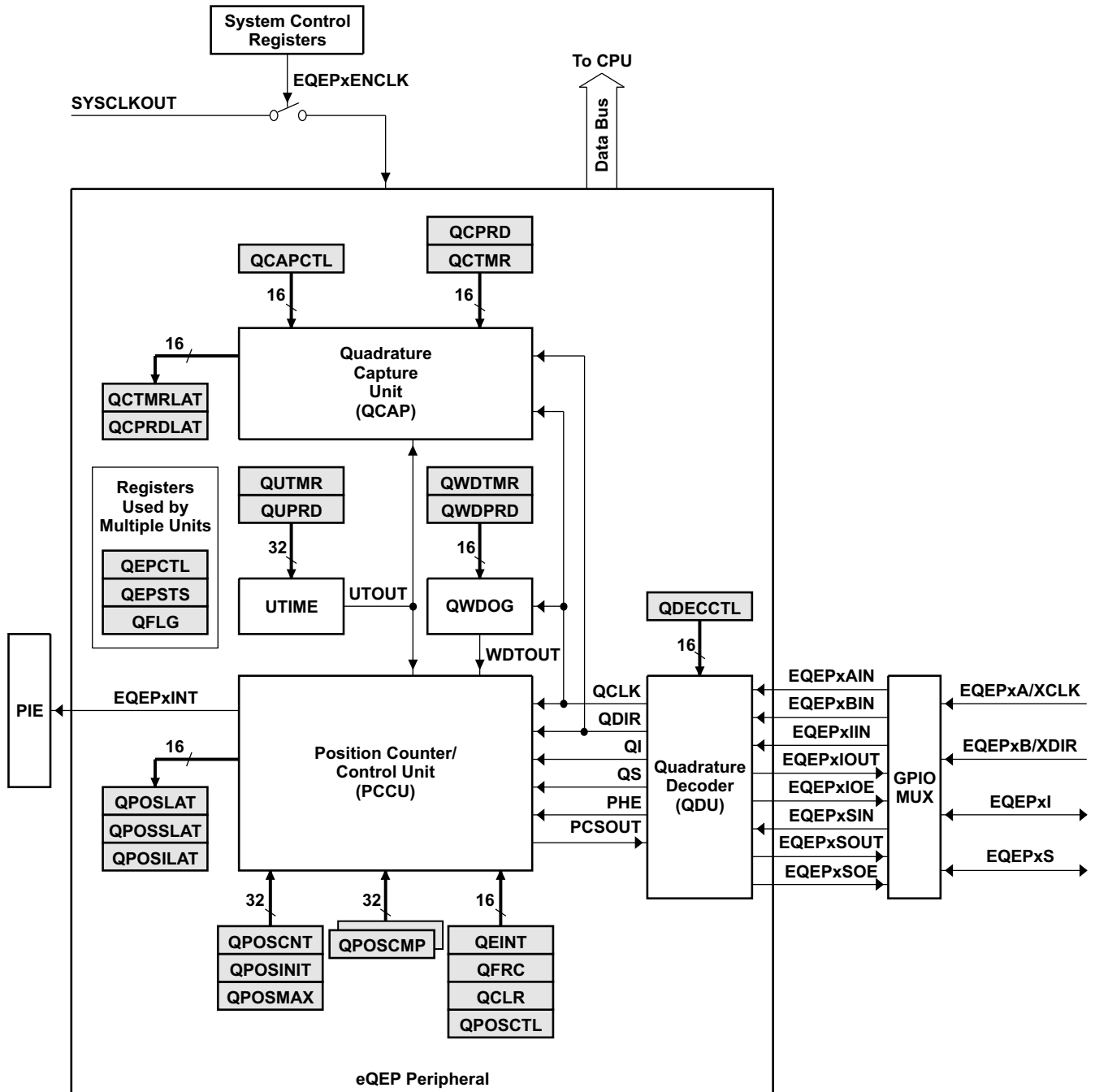
此器件包含一个增强型正交编码器脉冲 (eQEP) 模块。

表 7-38. eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP1 大小 (x16)/ #SHADOW	寄存器说明
QPOSCNT	0x6B00	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	2/0	eQEP 初始化位置计数
QPOSMAX	0x6B04	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	2/1	eQEP 位置比较
QPOSILAT	0x6B08	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	2/0	eQEP 单位计时器
QUPRD	0x6B10	2/0	eQEP 单位周期寄存器
QWDTMR	0x6B12	1/0	eQEP 看门狗计时器
QWDPRD	0x6B13	1/0	eQEP 看门狗周期寄存器
QDECCTL	0x6B14	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	1/0	eQEP 捕捉控制寄存器
QPOSCTL	0x6B17	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	1/0	eQEP 捕捉计时器
QCPRD	0x6B1E	1/0	eQEP 捕捉周期寄存器
QCTMRLAT	0x6B1F	1/0	eQEP 捕捉计时器锁存
QCPRDLAT	0x6B20	1/0	eQEP 捕捉周期锁存
保留	0x6B21-0x6B3F	31/0	

有关 eQEP 的更多信息，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“增强型 QEP (eQEP) 模块”一章。

图 7-43 显示了 eQEP 功能方框图



Copyright © 2017, Texas Instruments Incorporated

图 7-43. eQEP 功能方框图

7.9.13.1 eQEP 电气数据/时序

节 7.9.13.1.1 显示了 eQEP 时序要求，而节 7.9.13.1.2 显示了 eQEP 开关特性。

7.9.13.1.1 增强型正交编码器脉冲 (eQEP) 时序要求

			最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	异步 ⁽¹⁾ /同步		$2t_{c(SCO)}$	周期
		带输入限定器 ⁽²⁾		$2[1t_{c(SCO)} + t_{w(IQSW)}]$	周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	异步 ⁽¹⁾ /同步		$2t_{c(SCO)}$	周期
		带输入限定器 ⁽²⁾		$2t_{c(SCO)} + t_{w(IQSW)}$	周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	异步 ⁽¹⁾ /同步		$2t_{c(SCO)}$	周期
		带输入限定器 ⁽²⁾		$2t_{c(SCO)} + t_{w(IQSW)}$	周期
$t_{w(STROBH)}$	QEP 选通脉冲高电平时间	异步 ⁽¹⁾ /同步		$2t_{c(SCO)}$	周期
		带输入限定器 ⁽²⁾		$2t_{c(SCO)} + t_{w(IQSW)}$	周期
$t_{w(STROBL)}$	QEP 选通脉冲输入低电平时间	异步 ⁽¹⁾ /同步		$2t_{c(SCO)}$	周期
		带输入限定器 ⁽²⁾		$2t_{c(SCO)} + t_{w(IQSW)}$	周期

(1) 有关异步模式的信息，请参阅 [TMS320F2803x 实时 MCU 器件勘误表](#)。

(2) 有关输入限定器参数的说明，请参阅节 7.9.15.1.2.1。

7.9.13.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量的时间			$4t_{c(SCO)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出的时间			$6t_{c(SCO)}$	周期

7.9.14 JTAG 端口

在 2803x 器件上，JTAG 端口减少到 5 个引脚 ($\overline{\text{TRST}}$ 、TCK、TDI、TMS、TDO)。TCK、TDI、TMS 和 TDO 引脚也是 GPIO 引脚。 $\overline{\text{TRST}}$ 信号在图 7-44 中为引脚选择 JTAG 或者 GPIO 运行模式。在仿真/调试期间，这些引脚的 GPIO 功能并不可用。如果 GPIO38/TCK/XCLKIN 引脚用于提供外部时钟，则应使用替代时钟源在仿真/调试期间为器件计时，这是因为 TCK 功能需要此引脚。

备注

在 2803x 器件中，JTAG 引脚也可被用作 GPIO 引脚。在电路板设计时应小心以确保连接到这些引脚的电路不会影响 JTAG 引脚功能的仿真能力。要进行成功调试，连接到这些引脚的任何电路不应导致 JTAG 调试探针无法驱动 JTAG 引脚（或无法受其驱动）。

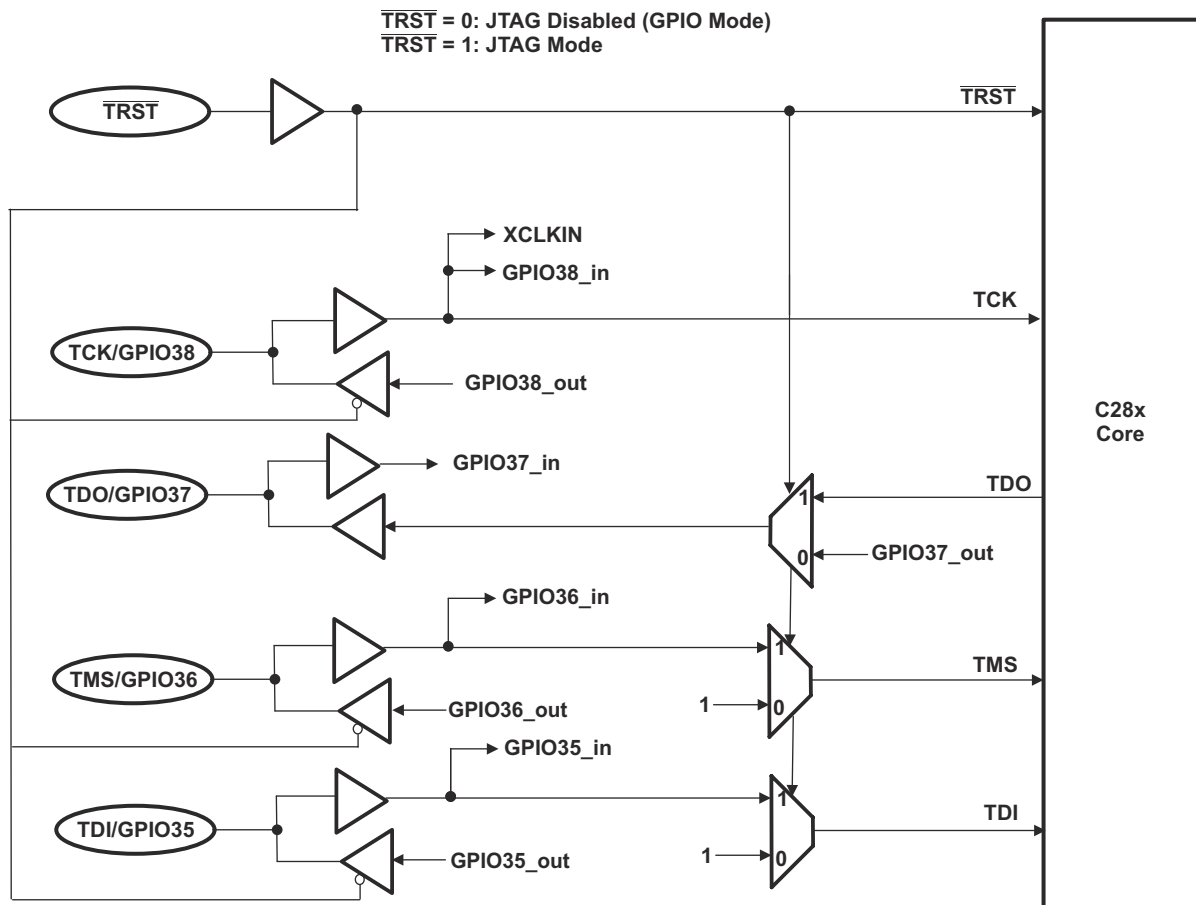


图 7-44. JTAG/GPIO 多路复用

7.9.15 通用输入/输出 (GPIO) 多路复用器

GPIO 多路复用器除了提供独立的引脚位撕裂 I/O 功能外，还可以将最多 3 个独立的外设信号复用在单一的一个 GPIO 引脚上。

器件支持 45 个 GPIO 引脚。GPIO 控制和数据寄存器会映射到外设帧 1，以便在寄存器上实现 32 位运行（连同 16 位运行）。表 7-39 显示了 GPIO 寄存器映射。

表 7-39. GPIO 寄存器

名称	地址	大小 (x16)	说明
GPIO 控制寄存器 (受 EALLOW 保护)			
GPACTRL	0x6F80	2	GPIO A 控制寄存器 (GPIO0 至 31)
GPAQSEL1	0x6F82	2	GPIO A 限定器选择 1 寄存器 (GPIO0 至 15)
GPAQSEL2	0x6F84	2	GPIO A 限定器选择 2 寄存器 (GPIO16 至 31)
GPAMUX1	0x6F86	2	GPIO A 多路复用器 1 寄存器 (GPIO0 至 15)
GPAMUX2	0x6F88	2	GPIO A 多路复用器 2 寄存器 (GPIO16 至 31)
GPADIR	0x6F8A	2	GPIO A 方向寄存器 (GPIO0 至 31)
GPAPUD	0x6F8C	2	GPIO A 上拉禁用寄存器 (GPIO0 至 31)
GPBCTRL	0x6F90	2	GPIO B 控制寄存器 (GPIO32 至 44)
GPBQSEL1	0x6F92	2	GPIO B 限定器选择 1 寄存器 (GPIO32 至 44)
GPBMUX1	0x6F96	2	GPIO B 多路复用器 1 寄存器 (GPIO32 至 44)
GPBDIR	0x6F9A	2	GPIO B 方向寄存器 (GPIO32 至 44)
GPBPUD	0x6F9C	2	GPIO B 上拉禁用寄存器 (GPIO32 至 44)
AIOMUX1	0x6FB6	2	模拟, I/O 多路复用器 1 寄存器 (AIO0 至 AIO15)
AIODIR	0x6FBA	2	模拟, I/O 方向寄存器 (AIO0 至 AIO15)
GPIO 数据寄存器 (不受 EALLOW 保护)			
GPADAT	0x6FC0	2	GPIO A 数据寄存器 (GPIO0 至 31)
GPASET	0x6FC2	2	GPIO A 数据集寄存器 (GPIO0 至 31)
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器 (GPIO0 至 31)
GPATOGGLE	0x6FC6	2	GPIO A 数据切换寄存器 (GPIO0 至 31)
GPBDAT	0x6FC8	2	GPIO B 数据寄存器 (GPIO32 至 44)
GPBSET	0x6FCA	2	GPIO B 数据集寄存器 (GPIO32 至 44)
GPBCLEAR	0x6FCC	2	GPIO B 数据清除寄存器 (GPIO32 至 44)
GPBTOGGLE	0x6FCE	2	GPIO B 数据切换寄存器 (GPIO32 至 44)
AIODAT	0x6FD8	2	模拟 I/O 数据寄存器 (AIO0 至 AIO15)
AIOSET	0x6FDA	2	模拟 I/O 数据集寄存器 (AIO0 至 AIO15)
AIOCLEAR	0x6FDC	2	模拟 I/O 数据清除寄存器 (AIO0 至 AIO15)
AIO TOGGLE	0x6FDE	2	模拟 I/O 数据切换寄存器 (AIO0 至 AIO15)
GPIO 中断和低功耗模式选择寄存器 (受 EALLOW 保护)			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器 (GPIO0 至 31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIOXINT3SEL	0x6FE2	1	XINT3 GPIO 输入选择寄存器 (GPIO0 至 GPIO31)
GPIOLPMSSEL	0x6FE8	2	LPM GPIO 选择寄存器 (GPIO0 至 GPIO31)

备注

从写入 GPxMUXn/AIOMUXn 和 GPxQSELn 寄存器发生到操作生效有两个 SYSCLKOUT 周期延迟。

表 7-40. GPIOA 多路复用器

	复位时默认 主 I/O 功能	外设 选择 1 ⁽¹⁾ (2)	外设 选择 2 ⁽¹⁾ (2)	外设 选择 3 ⁽¹⁾ (2)
GPAMUX1 寄存器位	(GPAMUX1 位 = 00)	(GPAMUX1 位 = 01)	(GPAMUX1 位 = 10)	(GPAMUX1 位 = 11)
1-0	GPIO0	EPWM1A (O)	保留	保留
3-2	GPIO1	EPWM1B (O)	保留	COMP1OUT (O)
5-4	GPIO2	EPWM2A (O)	保留	保留
7-6	GPIO3	EPWM2B (O)	SPISOMIA (I/O)	COMP2OUT (O)
9-8	GPIO4	EPWM3A (O)	保留	保留
11-10	GPIO5	EPWM3B (O)	SPISIMOA (I/O)	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCl (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SCIRXDA (I)	保留
17-16	GPIO8	EPWM5A (O)	保留	ADCSOCAO \bar{O} (O)
19-18	GPIO9	EPWM5B (O)	LINTXA (O)	HRCAP1 (I)
21-20	GPIO10	EPWM6A (O)	保留	ADCSOCBO \bar{O} (O)
23-22	GPIO11	EPWM6B (O)	LINRXA (I)	HRCAP2 (I)
25-24	GPIO12	TZ1(I)	SCITXDA (O)	SPISIMOB (I/O)
27-26	GPIO13 ⁽³⁾	TZ2 (I)	保留	SPISOMIB (I/O)
29-28	GPIO14 ⁽³⁾	TZ3 (I)	LINTXA (O)	SPICLKB (I/O)
31-30	GPIO15 ⁽³⁾	TZ1(I)	LINRXA (I)	SPISTEB (I/O)
GPAMUX2 寄存器位	(GPAMUX2 位 = 00)	(GPAMUX2 位 = 01)	(GPAMUX2 位 = 10)	(GPAMUX2 位 = 11)
1-0	GPIO16	SPISIMOA (I/O)	保留	TZ2 (I)
3-2	GPIO17	SPISOMIA (I/O)	保留	TZ3 (I)
5-4	GPIO18	SPICLKA (I/O)	LINTXA (O)	XCLKOUT (O)
7-6	GPIO19/XCLKIN	SPISTEA (I/O)	LINRXA (I)	ECAP1 (I/O)
9-8	GPIO20	EQEP1A (I)	保留	COMP1OUT (O)
11-10	GPIO21	EQEP1B (I)	保留	COMP2OUT (O)
13-12	GPIO22	EQEP1S (I/O)	保留	LINTXA (O)
15-14	GPIO23	EQEP1I (I/O)	保留	LINRXA (I)
17-16	GPIO24	ECAP1 (I/O)	保留	SPISIMOB (I/O)
19-18	GPIO25 ⁽³⁾	保留	保留	SPISOMIB (I/O)
21-20	GPIO26 ⁽³⁾	HRCAP1 (I)	保留	SPICLKB (I/O)
23-22	GPIO27 ⁽³⁾	HRCAP2 (I)	保留	SPISTEB (I/O)
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OD)	TZ2 (I)
27-26	GPIO29	SCITXDA (O)	SCLA (I/OD)	TZ3 (I)
29-28	GPIO30	CANRXA (I)	保留	保留
31-30	GPIO31	CANTXA (O)	保留	保留

(1) 保留一词意味着没有为这个 GPxMUX1/2 寄存器设置指定外设。如果它被选择，那么引脚的状态将为未定义并且此引脚可被驱动。这个选择是为将来进行扩展而保留的配置。

(2) I = 输入，O = 输出，OD = 开漏

(3) 这些引脚在 64 引脚封装内不可用。

表 7-41. GPIOB 多路复用器

	复位时默认 主 I/O 功能	外设选择 1 ⁽¹⁾	外设选择 2 ⁽¹⁾	外设选择 3 ⁽¹⁾
GPBMUX1 寄存器位	(GPBMUX1 位 = 00)	(GPBMUX1 位 = 01)	(GPBMUX1 位 = 10)	(GPBMUX1 位 = 11)
1-0	GPIO32	SDAA (I/OD)	EPWMSYNCl (I)	ADCSOCAO (O)
3-2	GPIO33	SCLA (I/OD)	EPWMSYNCO (O)	ADCSOCBO (O)
5-4	GPIO34	COMP2OUT (O)	保留	COMP3OUT (O)
7-6	GPIO35 (TDI)	保留	保留	保留
9-8	GPIO36 (TMS)	保留	保留	保留
11-10	GPIO37 (TDO)	保留	保留	保留
13-12	GPIO38/XCLKIN (TCK)	保留	保留	保留
15-14	GPIO39 ⁽²⁾	保留	保留	保留
17-16	GPIO40 ⁽²⁾	EPWM7A (O)	保留	保留
19-18	GPIO41 ⁽²⁾	EPWM7B (O)	保留	保留
21-20	GPIO42 ⁽²⁾	保留	保留	COMP1OUT (O)
23-22	GPIO43 ⁽²⁾	保留	保留	COMP2OUT (O)
25-24	GPIO44 ⁽²⁾	保留	保留	保留
27-26	保留	保留	保留	保留
29-28	保留	保留	保留	保留
31-30	保留	保留	保留	保留

(1) I = 输入, O = 输出, OD = 开漏

(2) 这些引脚在 64 引脚封装内不可用。

表 7-42. 用于 80 引脚 PN 封装的模拟多路复用器

	复位时默认
	外设选择 2 和外设选择 3 ⁽¹⁾
AIOMUX1 寄存器位	AIOMUX1 位 = 0,x
1-0	ADCINA0 (I)
3-2	ADCINA1 (I)
5-4	AIO2 (I/O)
7-6	ADCINA3 (I)
9-8	AIO4 (I/O)
11-10	ADCINA5 (I)
13-12	AIO6 (I/O)
15-14	ADCINA7 (I)
17-16	ADCINB0 (I)
19-18	ADCINB1 (I)
21-20	AIO10 (I/O)
23-22	ADCINB3 (I)
25-24	AIO12 (I/O)
27-26	ADCINB5 (I)
29-28	AIO14 (I/O)
31-30	ADCINB7 (I)

(1) I = 输入, O = 输出

表 7-43. 用于 56 引脚 RSH 和 64 引脚 PAG 封装的模拟多路复用器

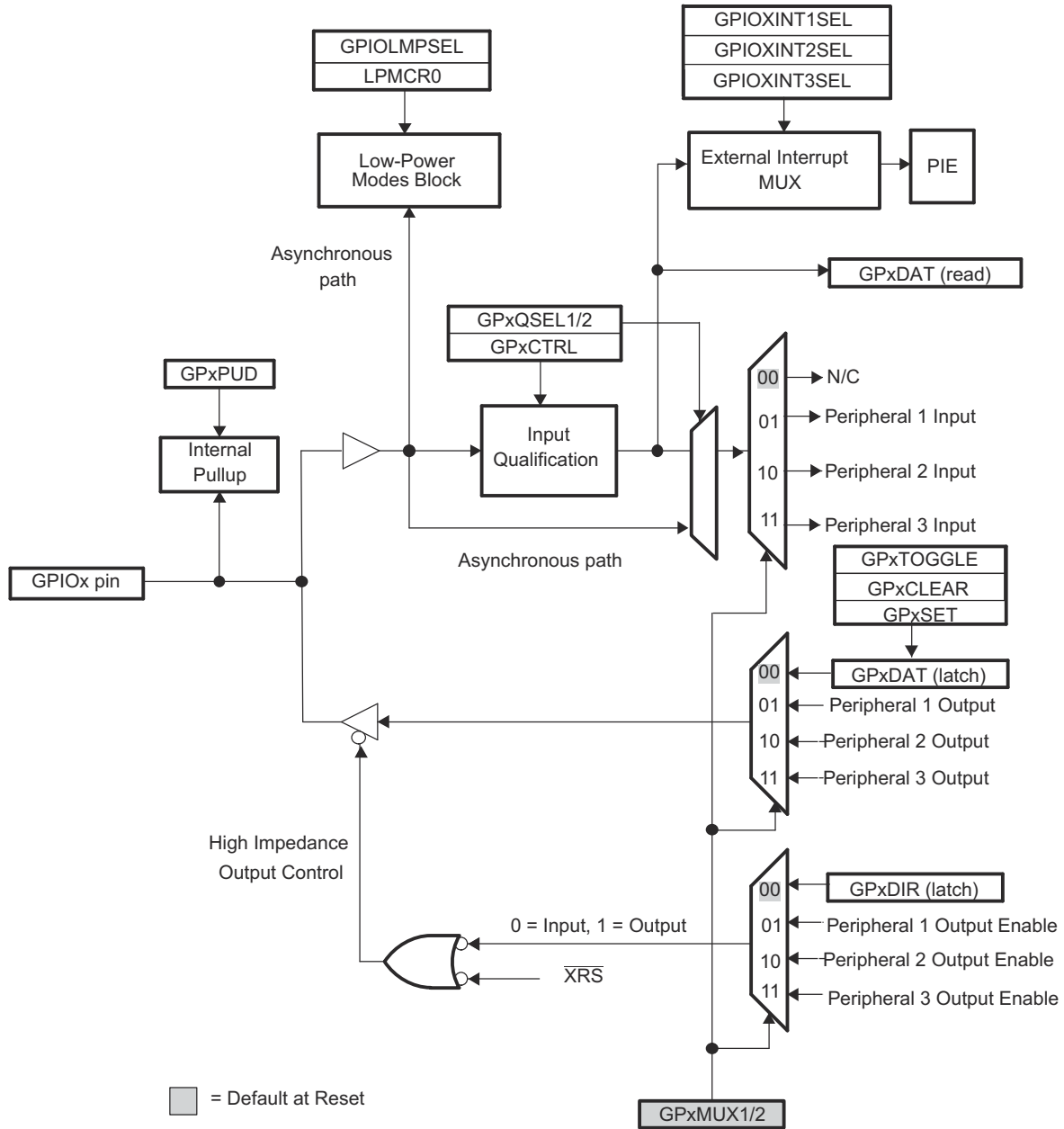
AIOMUX1 寄存器位	复位时默认	
	AIOx 和外设选择 1 ⁽¹⁾	外设选择 2 和外设选择 3 ⁽¹⁾
	AIOMUX1 位 = 0,x	AIOMUX1 位 = 1,x
1-0	ADCINA0 (I), V _{REFHI} (I)	ADCINA0 (I), V _{REFHI} (I)
3-2	ADCINA1 (I)	ADCINA1 (I)
5-4	AIO2 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	ADCINA3 (I)	ADCINA3 (I)
9-8	AIO4 (I/O)	ADCINA4 (I), COMP2A (I)
11-10	-	-
13-12	AIO6 (I/O)	ADCINA6 (I), COMP3A (I)
15-14	ADCINA7 (I)	ADCINA7 (I)
17-16	ADCINB0 (I)	ADCINB0 (I)
19-18	ADCINB1 (I)	ADCINB1 (I)
21-20	AIO10 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	ADCINB3 (I)	ADCINB3 (I)
25-24	AIO12 (I/O)	ADCINB4 (I), COMP2B (I)
27-26	-	-
29-28	AIO14 (I/O)	ADCINB6 (I), COMP3B (I)
31-30	ADCINB7 (I)	ADCINB7 (I)

(1) I = 输入, O = 输出

通过 GPxQSEL1/2 寄存器, 用户可从四个选项中为每一个 GPIO 引脚选择输入限定的类型:

- 仅同步到 SYSCLKOUT (GPxQSEL1/2 = 0, 0); 这是复位时所有 GPIO 引脚的默认模式, 它只会将输入信号同步至系统时钟 (SYSCLKOUT)。
- 使用采样窗口的限定 (GPxQSEL1/2 = 0, 1 和 1, 0): 在此模式下, 输入信号会在同步到系统时钟 (SYSCLKOUT) 后, 通过指定数量的周期进行限定, 然后才允许输入发生变化。
- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位指定并且可在一组 8 个信号中进行配置。它为采样输入信号指定了多个 SYSCLKOUT 周期。采样窗口为 3 个样本或 6 个样本宽, 只有当所有样本如图 7-47 所示全部相同时 (全为 0 或全为 1) (6 样本模式), 输出才会发生变化。
- 不同步 (GPxQSEL1/2 = 1,1): 此模式在无需同步的情况下用于外设 (在外设内执行同步)。

器件上需要多级多路复用, 因此在某些情况下, 可以将外设输入信号映射到多个 GPIO 引脚。此外, 当一个输入信号未被选择时, 此输入信号将缺省为一个 0 或者 1 状态, 依外设而定。



- A. x 代表端口，A 或 B。例如，GPxDIR 是指 GPADIR 或者 GPBDIR 寄存器，至于是哪一个是寄存器，则取决于所选择的特定 GPIO 引脚。
- B. 在相同的存储器位置访问 GPxDAT 锁存/读取。
- C. 这是一个通用 GPIO 多路复用器方框图。并非所有选项都可用于所有 GPIO 引脚。有关引脚特定的变化，请参阅 [TMS320F2803x 实时微控制器技术参考手册](#) 中的“系统控制”一章。

图 7-45. GPIO 复用

7.9.15.1 GPIO 电气数据/时序

7.9.15.1.1 GPIO - 输出时序

7.9.15.1.1.1 通用输出开关特征

在推荐的工作条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{r(GPO)}$	上升时间, GPIO 从低电平切换至高电平		13 ⁽¹⁾	ns
$t_{f(GPO)}$	下降时间, GPIO 从高电平切换至低电平		13 ⁽¹⁾	ns
f_{GPO}	切换频率		15	MHz

(1) 上升时间和下降时间随着 I/O 引脚上的电力负荷变化。节 7.9.15.1.1.1 中指定的值适用于一个 I/O 引脚上的 40pF 负载。

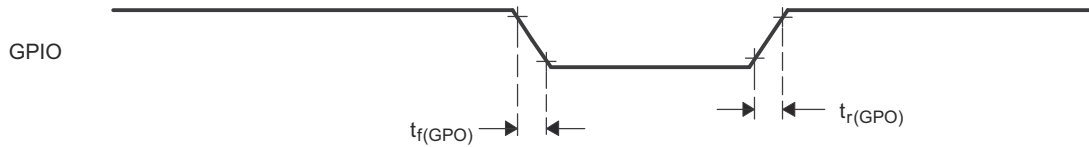


图 7-46. 通用输出定时

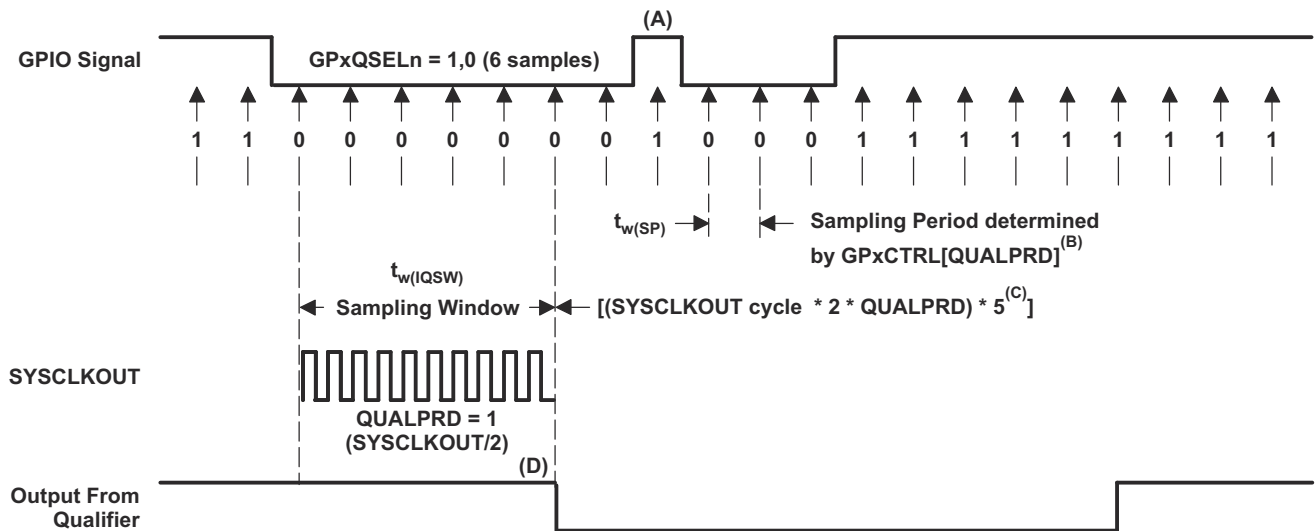
7.9.15.1.2 GPIO - 输入时序

7.9.15.1.2.1 通用输入时序要求

		最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SCO)}$	周期
		QUALPRD≠0	$2t_{c(SCO)} * QUALPRD$	周期
$t_{w(IQSW)}$	输入限定符采样窗口	$t_{w(SP)} * (n^{(1)} - 1)$		周期
$t_{w(GPI)}^{(2)}$	脉冲持续时间, GPIO 低电平/高电平	同步模式	$2t_{c(SCO)}$	周期
		带输入限定器	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$	周期

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。

(2) 对于 $t_{w(GPI)}$, 对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽, 而高电平有效信号, 在 V_{IH} 至 V_{IH} 之间测量脉宽。



- 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。它可在 00 至 0xFF 间变化。如果 QUALPRD=00, 那么采样周期为 1 个 SYSCLKOUT 周期。对于任何其它的 "n" 值, 限定采样周期为 2n SYSCLKOUT 周期 (也就是说, 在每一个 SYSCLKOUT 周期上, GPIO 引脚将被采样)。
- 通过 GPxCTRL 寄存器选择的限定期会应用于 8 个 GPIO 引脚的组。
- 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用的采样模式。
- 在所示的示例中, 为了使限定器检测到变化, 输入应该在 10 个 SYSCLKOUT 周期或者更长的时间内保持稳定。换句话说, 输入应该在 $(5 \times QUALPRD \times 2)$ SYSCLKOUT 周期内保持稳定。这将确保发生 5 个用于检测的采样周期。由于外部信号是异步驱动的, 因此一个 13 SYSCLKOUT 宽的脉冲将会确保可靠识别。

图 7-47. 采样模式

7.9.15.1.3 输入信号的采样窗口宽度

下面的部分总结了不同的输入限定器配置下用于输入信号的采样窗口宽度。

采样频率表明相对于 SYCLKOUT 的信号采样频率。

如果 QUALPRD ≠ 0 的话，采样频率 = SYCLKOUT / (2 * QUALPRD)

如果 QUALPRD = 0 的话，采样频率 = SYCLKOUT

如果 QUALPRD ≠ 0 的话，采样周期 = SYCLKOUT 周期 × 2 × QUALPRD

在上面的等式中，SYCLKOUT 周期表明 SYCLKOUT 的时间周期。

如果 QUALPRD = 0 的话，采样周期 = SYCLKOUT 周期

在指定的采样窗口中，采取输入信号的 3 个样本或者 6 个样本来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样本限定

如果 QUALPRD ≠ 0 的话，采样窗口宽度 = (SYCLKOUT 周期 × 2 × QUALPRD) × 2

如果 QUALPRD = 0 的话，采样窗口宽度 = (SYCLKOUT 周期) × 2

情况 2：

使用 6 个样本限定

如果 QUALPRD ≠ 0 的话，采样窗口宽度 = (SYCLKOUT 周期 × 2 × QUALPRD) × 5

如果 QUALPRD = 0 的话，采样窗口宽度 = (SYCLKOUT 周期) × 5

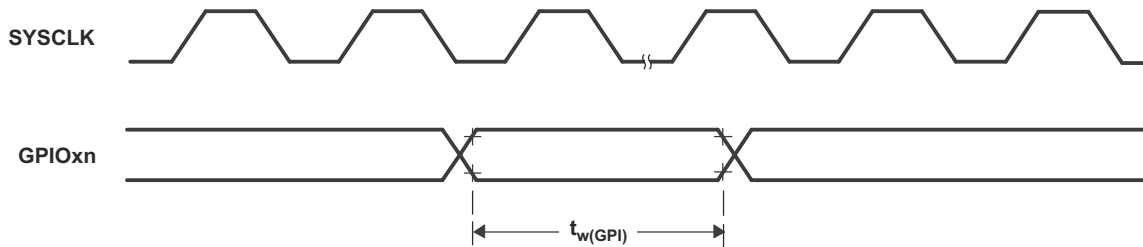


图 7-48. 通用输入时序

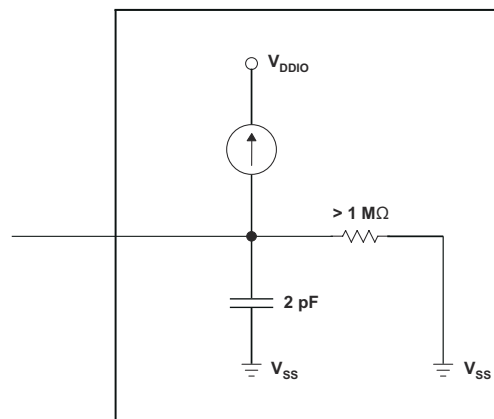


图 7-49. 针对带有内部上拉电阻的 GPIO 引脚的输入电阻模型

7.9.15.1.4 低功耗唤醒时序

节 7.9.15.1.4.1 显示时序要求，节 7.9.15.1.4.2 显示了开关特性，而图 7-50 显示了 IDLE 模式下的时序图

7.9.15.1.4.1 空闲模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号的时间	无输入限定器	$2t_{c(SCO)}$	周期
		带输入限定器 ⁽¹⁾	$5t_{c(SCO)} + t_{w(IQSW)}$	

(1) 有关输入限定器参数的说明，请参阅节 7.9.15.1.2.1。

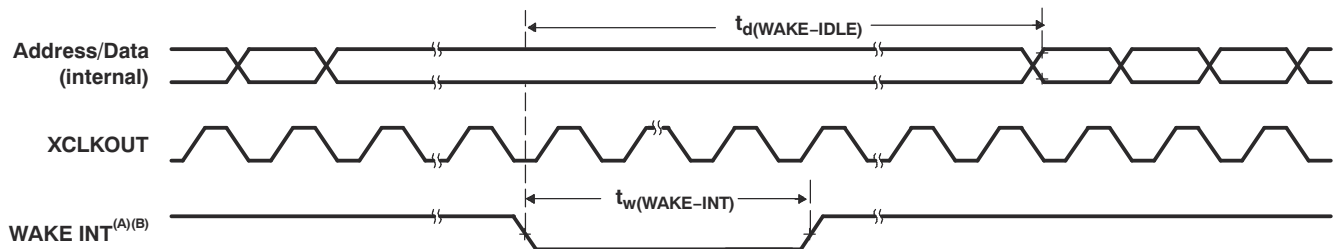
7.9.15.1.4.2 空闲模式开关特性

在推荐的运行条件下测得（除非另有说明）

参数	测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	外部唤醒信号到程序恢复执行的延迟时间 ⁽¹⁾			周期
	<ul style="list-style-type: none"> 从闪存唤醒 <ul style="list-style-type: none"> 处于有效活动状态的闪存模块 	无输入限定器	$20t_{c(SCO)}$	周期
		带输入限定器 ⁽²⁾	$20t_{c(SCO)} + t_{w(IQSW)}$	
	<ul style="list-style-type: none"> 从闪存唤醒 <ul style="list-style-type: none"> 处于睡眠状态的闪存模块 	无输入限定器	$1050t_{c(SCO)}$	周期
带输入限定器 ⁽²⁾		$1050t_{c(SCO)} + t_{w(IQSW)}$		
<ul style="list-style-type: none"> 从 SARAM 唤醒 	无输入限定器	$20t_{c(SCO)}$	周期	
	带输入限定器 ⁽²⁾	$20t_{c(SCO)} + t_{w(IQSW)}$		

(1) 这个时间是指在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

(2) 有关输入限定器参数的说明，请参阅节 7.9.15.1.2.1。



- A. WAKE INT 可以是任一被启用的中断， \overline{WDINT} 或者 \overline{XRS} 。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
- B. 自执行将器件置于低功耗模式 (LPM) 的 IDLE 指令开始，至少经历 4 个 OSCCLK 周期后才启动唤醒。

图 7-50. 空闲模式进入和退出时序

7.9.15.1.4.3 待机模式时序要求

			最小值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号的时间	无输入限定	$3t_{c(OSCCLK)}$		周期
		带输入限定 ⁽¹⁾	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$		

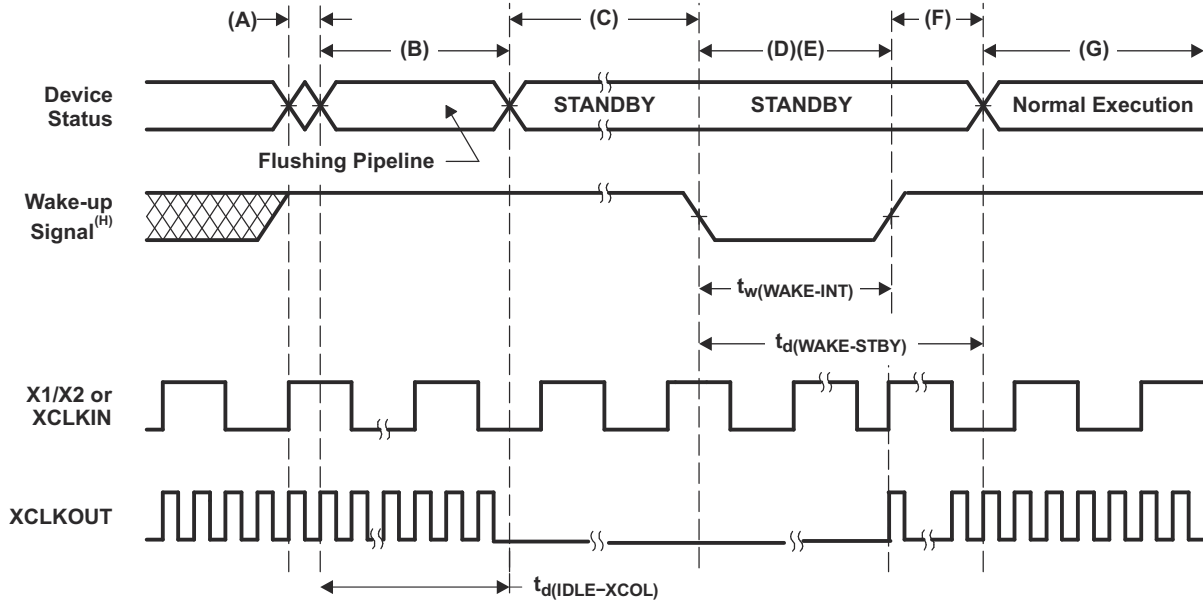
(1) QUALSTDBY 是 LPMCR0 寄存器中的一个 6 位字段。

7.9.15.1.4.4 待机模式开关特征

在推荐的工作条件下 (除非另有说明)

参数		测试条件	最小值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间，IDLE 指令执行到 XCLKOUT 低电平的时间		$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾				周期
	• 从闪存唤醒 - 激活状态中的闪存模块	无输入限定器		$100t_{c(SCO)}$	周期
		带输入限定器		$100t_{c(SCO)} + t_{w(WAKE-INT)}$	
	• 从闪存唤醒 - 睡眠状态中的闪存模块	无输入限定器		$1125t_{c(SCO)}$	周期
		带输入限定器		$1125t_{c(SCO)} + t_{w(WAKE-INT)}$	
	• 从 SARAM 中唤醒	无输入限定器		$100t_{c(SCO)}$	周期
带输入限定器			$100t_{c(SCO)} + t_{w(WAKE-INT)}$		

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR (由唤醒信号触发) 的执行需要额外延迟。



- A. 执行 IDLE 指令将器件置于待机模式。
- B. PLL 块响应待机信号。SYSCLKOUT 在关闭之前保持以下所示数量的周期：
- 当 DIVSEL=00 或 01 时，16 个周期
 - 当 DIVSEL=10 时，32 个周期
 - 当 DIVSEL=11 时，64 个周期
- 此延迟使得 CPU 流水线和其他待定操作适当清除。
- C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
- D. 外部唤醒信号驱动为有效。
- E. 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- F. 在延迟周期后，退出待机模式。
- G. 正常执行重新开始。器件将响应中断（如果启用）。
- H. 自执行将器件置于低功耗模式（LPM）的 IDLE 指令开始，至少经历 4 个 OSCCLK 周期后才启动唤醒。

图 7-51. 待机进入和退出时序图

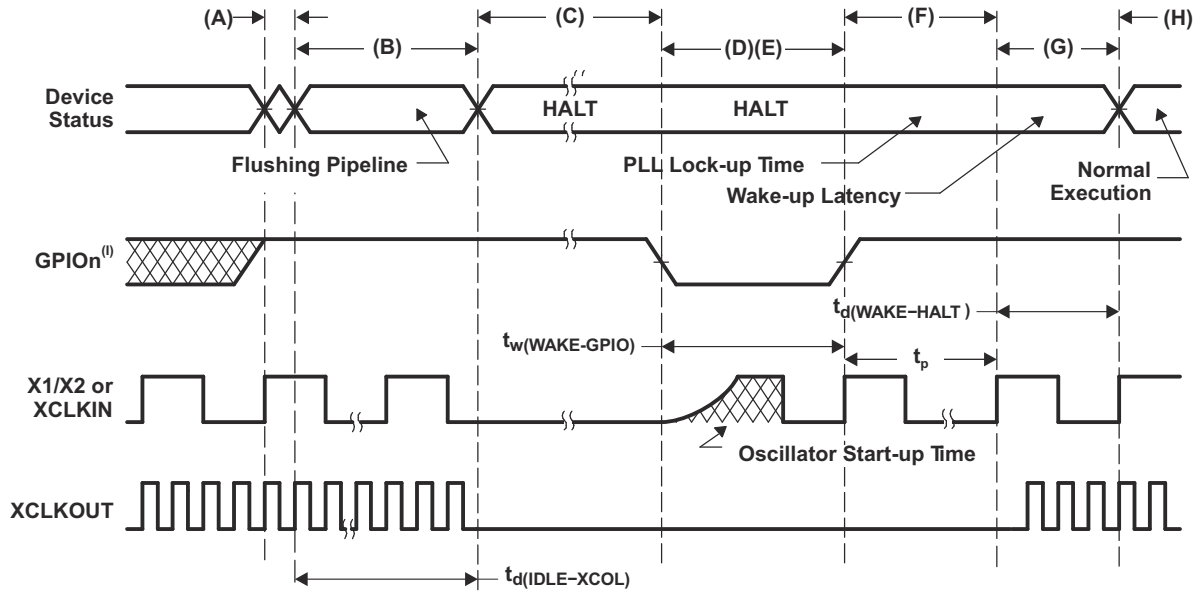
7.9.15.1.4.5 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间, GPIO 唤醒信号的时间	$t_{oscst}+2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间, \overline{XRS} 唤醒信号的时间	$t_{oscst}+8t_{c(OSCCLK)}$		周期

7.9.15.1.4.6 停机模式开关特征

在建议运行条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间, IDLE 指令执行到 XCLKOUT 低电平的时间	$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
t_p	PLL 锁存时间		1	ms
$t_{d(WAKE-HALT)}$	延迟时间, PLL 锁存到程序执行重新开始的时间		$1125t_{c(SCO)}$	周期
	<ul style="list-style-type: none"> • 从闪存唤醒 <ul style="list-style-type: none"> - 睡眠状态中的闪存模块 • 从 SARAM 中唤醒 			



- A. IDLE 指令被执行以将器件置于停机模式。
- B. PLL 块响应停机信号。在振荡器被关闭并且到内核的 CLKIN 被停止前 SYSCLKOUT 在下面所示的一定数量的周期内保持：
- 当 DIVSEL=00 或 01 时，16 个周期
 - 当 DIVSEL=10 时，32 个周期
 - 当 DIVSEL=11 时，64 个周期

此延迟使得 CPU 流水线和其待定操作适当清除。

- C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，消耗绝对最小功率。可在停机模式中保持零引脚内部振荡器 (INTOSC1 和 INTOSC2) 以及看门狗可用。可通过对 CLKCTL 寄存器中的适当位进行写入操作来实现此功能。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期 (最小值) 的延迟。
- D. 当 GPIO n 引脚 (用于使器件脱离停机模式) 被驱动为低电平时，振荡器开启并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这样可在 PLL 锁序列期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降边沿会以异步方式开始唤醒过程，因此在进入停机模式之前和在此模式期间，应该注意保持低噪声环境。
- E. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- F. 一旦振荡器已经稳定，PLL 锁序列被启动 (耗时 1ms)。
- G. 当到内核的 CLKIN 被启用时，在一个延迟后，此器件响应此中断 (如果被启用)。现在退出停机模式。
- H. 正常运行重新开始。
- I. 自执行将器件置于低功耗模式 (LPM) 的 IDLE 指令开始，至少经历 4 个 OSCCLK 周期后才启动唤醒。

图 7-52. 使用 GPIO n 唤醒停机模式

8 应用、实施和布局

备注

以下部分中的信息不属于 TI 器件规范，TI 不保证其准确性和完整性。TI 客户应负责确定这些元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 TI 参考设计

TI 参考设计库是一个涵盖模拟、嵌入式处理器和连接等内容的强大参考设计资源库。所有参考设计均由 TI 专家构建，旨在帮助您着手进行系统设计，其中包括原理图或方框图、BOM 和设计文件，助您加快产品上市步伐。在[精选 TI 参考设计](#)页面上搜索并下载设计。

[适用于汽车前照灯应用的高密度多通道 LED 控制](#)

此设计采用 TMS320F2803x 微控制器，实现适用于典型汽车照明系统的高效多通道直流/直流 LED 控制系统。此设计支持多达六个 LED 控制通道，每个通道具有最高 1.2A 的电流驱动能力。凭借升压和降压 2 级电源拓扑，此系统可在 8V 至 20V 的宽输入直流电压范围内运行，非常适合汽车应用。

[汽车数字化控制升压电源](#)

此 TI 参考设计是一个汽车类升压转换器模块。此模块的作用是通过在电压下降事件（例如发动机启动）期间实现升压，为车辆电子元件提供稳定的电压。此设计基于 C2000 实时微控制器，将从 12V 汽车电池系统提供高达 400 瓦的功率。此解决方案支持 6V 至 16V 的连续工作输入电压，可预防 36V 负载突降，从而提供稳定的 12V 输出电源和反向电池保护。

9 器件和文档支持

9.1 器件和开发支持工具命名规则

为了指明产品开发周期所处的阶段，TI 为所有 TMS320™ MCU 器件和支持工具的器件型号分配了前缀。每个 TMS320 MCU 商用系列产品都具有以下三个前缀之一：TMX、TMP 或 TMS（例如，**TMS320F28032**）。德州仪器 (TI) 建议为其支持的工具使用三个可用前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

器件开发演变流程：

TMX 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

TMP 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

TMS 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

TMX 和 TMP 器件和 TMDX 开发支持工具供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

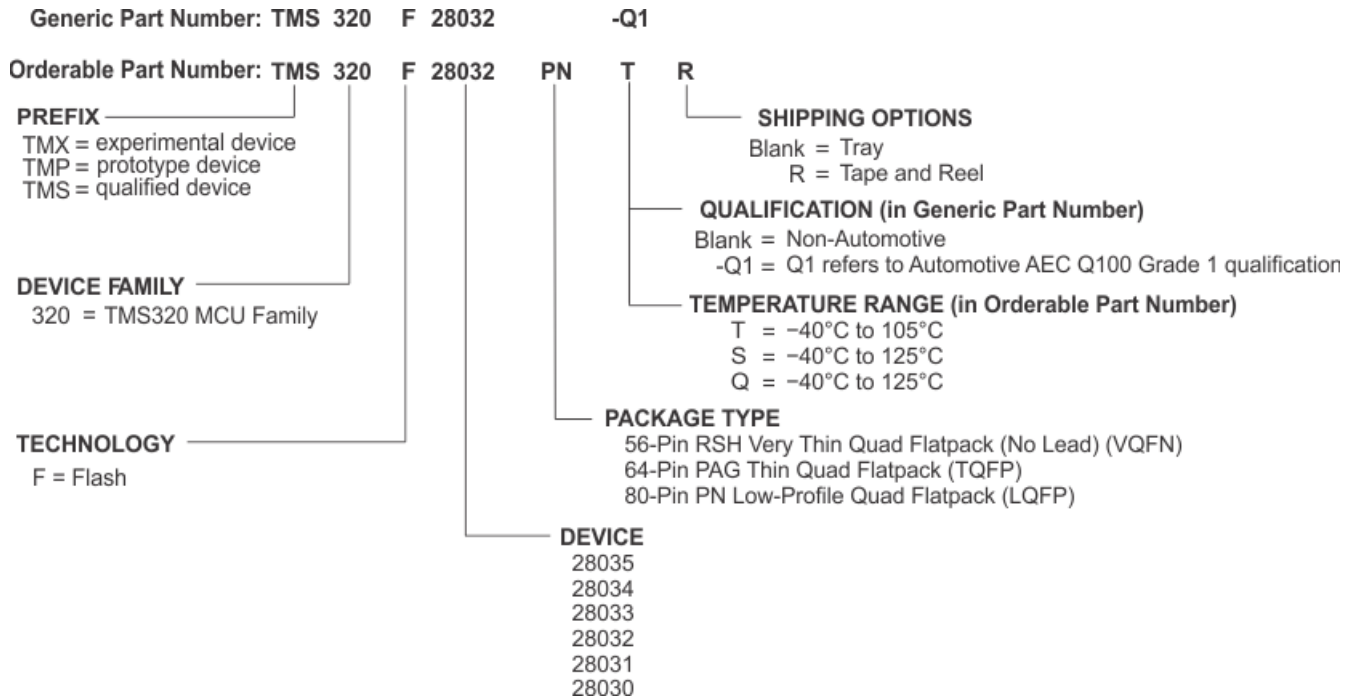
生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 器件的命名规则还包括一个带有器件系列名称的后缀。这个后缀表示封装类型 (例如，PN) 和温度范围 (例如，T)。图 9-1 提供了解读任一系列产品成员完整器件名称的图例。

若要获取器件型号以及更多订购信息，请访问 TI 网站 (www.ti.com.cn) 或者联系您的 TI 销售代表。

有关芯片上器件命名规则标记的更多说明，请参阅 [TMS320F2803x 实时 MCU 器件勘误表](#)。



A. 有关特定器件的外设、温度和封装可用性的更多信息，请参阅表 4-1。

图 9-1. 器件命名规则

9.2 工具与软件

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的部分工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 [C2000 实时控制 MCU - 设计和开发](#) 页面。

开发工具

用于 C2000 微控制器的 Code Composer Studio (CCS) 集成开发环境 (IDE)

Code Composer Studio 是支持 TI 微控制器和嵌入式处理器产品系列的集成开发环境 (IDE)。CCS 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面使用户能够比以往更快地上手。CCS 将 Eclipse 软件框架的优点和 TI 先进的嵌入式调试功能相结合，为嵌入式开发人员提供了一种功能丰富的优异开发环境。

软件工具

powerSUITE - 用于 C2000™ MCU 的数字电源设计软件工具

powerSUITE 是一套用于德州仪器 (TI) C2000 实时微控制器 (MCU) 系列的数字电源设计软件工具。电源工程师在设计基于 C2000 实时控制 MCU 的数控电源时，powerSUITE 可帮助他们大幅缩短开发时间。

用于 C2000 MCU 的 C2000Ware

用于 C2000™ 微控制器的 C2000Ware 是一系列紧密结合的开发软件和文档，旨在最大限度地缩短软件开发时间。从特定于器件的驱动程序和库到器件外设示例，C2000Ware 能够为您提供坚实的基础，以便您开始开发和评估相关产品。

UniFlash 独立闪存工具

UniFlash 是一个独立工具，用于通过 GUI、命令行或脚本接口对片上闪存进行编程。

C2000 第三方搜索工具

TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

模型

可以从产品的“工具与软件”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的“工具与软件”页面的“模型”部分。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 [C2000™ 实时控制 MCU - 支持和培训站点](#)。

具体的 TMS320F2803x 实践技术培训资源可在 [TI Resource Explorer](#) 的 [C2000 Academy](#) 中找到。

9.3 文档支持

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

勘误

[TMS320F2803x 实时 MCU 器件勘误表](#)介绍了器件上的已知问题，并给出了解决办法。

技术参考手册

[TMS320F2803x 实时微控制器技术参考手册](#)详述了器件中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

[TMS320C28x CPU 和指令集参考指南](#)描述了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。此外，它还描述了这些 DSP 上可用的仿真特性。

外设指南

[C2000 实时控制外设参考指南](#)介绍了 28x 数字信号处理器 (DSP) 的外设参考信息。

工具指南

[TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南](#)介绍了用于 TMS320C28x 器件的汇编语言工具 (用于开发汇编语言代码的汇编器和其他工具)、汇编器指令、宏、通用目标文件格式和符号调试指令。

[TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南](#)介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

应用报告

[半导体封装方法](#)介绍了准备半导体器件以发货给最终用户时所用的封装方法。

[计算嵌入式处理器的有效使用寿命](#)介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

[半导体和 IC 封装热指标](#)介绍了以前采用的和更新的热指标，并将它们应用于系统级结温估算。

[计算任务剖面的 FIT](#)说明了如何使用 TI 的可靠性降额工具计算系统任务剖面在上电条件下的元件级 FIT。

[振荡器补偿指南](#)介绍了一种工厂方法，用于补偿 内部振荡器因温度引起的频率漂移。

[使用片上零引脚振荡器的 MCU CAN 模块操作](#)。

TMS320F2803x/TMS320F2805x/TMS320F2806x 系列微控制器配有无需外部元件的片上零引脚振荡器。此应用报告介绍了如何使用配备此振荡器的 CAN 模块，以便在最大位速率和总线长度下运行，而不会增加外部时钟源成本。

[IBIS \(I/O 缓冲器信息规范 \) 建模简介](#)讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

[C2000™ 微控制器的串行闪存编程](#)介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

9.4 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.5 商标

TMS320C2000™, TMS320™, and TI E2E™ are trademarks of Texas Instruments.

I2C 总线® is a registered trademark of NXP B.V. Corporation.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from JUNE 12, 2021 to JANUARY 31, 2024 (from Revision P (June 2021) to Revision Q (January 2024))

	Page
• 器件比较表：更新了 SPI 和 SCI 行.....	6
• 60MHz SYSCLKOUT 上的闪存参数表：更新了编程时间和擦除时间单元.....	38
• 工具与软件 部分：更新了培训链接.....	144

11 机械、封装和可订购信息

11.1 封装信息

下述页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的基于浏览器的版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28030PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PAGQ TMS320
TMS320F28030PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PAGS TMS320
TMS320F28030PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28030PAGT TMS320
TMS320F28030PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PNQ TMS320
TMS320F28030PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PNS TMS320
TMS320F28030PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28030PNT TMS320
TMS320F28030RSHS	Last Time Buy	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030RSHS S320 980
TMS320F28030RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28030RSHT S320 980
TMS320F28031PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PAGQ TMS320
TMS320F28031PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PAGS TMS320
TMS320F28031PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28031PAGT TMS320
TMS320F28031PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PNQ TMS320
TMS320F28031PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PNS TMS320
TMS320F28031PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28031PNT TMS320
TMS320F28031RSHS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031RSHS S320 980
TMS320F28032PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PAGQ TMS320

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28032PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PAGS TMS320
TMS320F28032PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032PAGT TMS320
TMS320F28032PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PNQ TMS320
TMS320F28032PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PNS TMS320
TMS320F28032PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032PNT TMS320
TMS320F28032PNTR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032PNT TMS320
TMS320F28032RSHS	Last Time Buy	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032RSHS S320 980
TMS320F28032RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032RSHT S320 980
TMS320F28033PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PAGQ TMS320
TMS320F28033PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PAGS TMS320
TMS320F28033PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28033PAGT TMS320
TMS320F28033PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PNQ TMS320
TMS320F28033PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PNS TMS320
TMS320F28033PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28033PNT TMS320
TMS320F28033RSHS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033RSHS S320 980
TMS320F28034PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PAGQ TMS320
TMS320F28034PAGQR	Active	Production	TQFP (PAG) 64	1500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PAGQ TMS320

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28034PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PAGS TMS320
TMS320F28034PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034PAGT TMS320
TMS320F28034PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PNQ TMS320
TMS320F28034PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PNS TMS320
TMS320F28034PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034PNT TMS320
TMS320F28034PNTR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034PNT TMS320
TMS320F28034RSHS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034RSHS S320 980
TMS320F28034RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034RSHT S320 980
TMS320F28035PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PAGQ TMS320
TMS320F28035PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PAGS TMS320
TMS320F28035PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PAGT TMS320
TMS320F28035PAGTR	Active	Production	TQFP (PAG) 64	1500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PAGT TMS320
TMS320F28035PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PNQ TMS320
TMS320F28035PNQR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PNQ TMS320
TMS320F28035PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PNS TMS320
TMS320F28035PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PNT TMS320
TMS320F28035PNTR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PNT TMS320

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28035RSHS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035RSHS S320 980
TMS320F28035RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035RSHT S320 980

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F28030, TMS320F28030-Q1, TMS320F28031, TMS320F28031-Q1, TMS320F28032, TMS320F28032-Q1, TMS320F28033, TMS320F28033-Q1, TMS320F28034, TMS320F28034-Q1, TMS320F28035, TMS320F28035-Q1 :

● Catalog : [TMS320F28030](#), [TMS320F28031](#), [TMS320F28032](#), [TMS320F28033](#), [TMS320F28034](#), [TMS320F28035](#)

- Automotive : [TMS320F28030-Q1](#), [TMS320F28031-Q1](#), [TMS320F28032-Q1](#), [TMS320F28033-Q1](#), [TMS320F28034-Q1](#), [TMS320F28035-Q1](#)
- Enhanced Product : [TMS320F28035-EP](#), [TMS320F28035-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

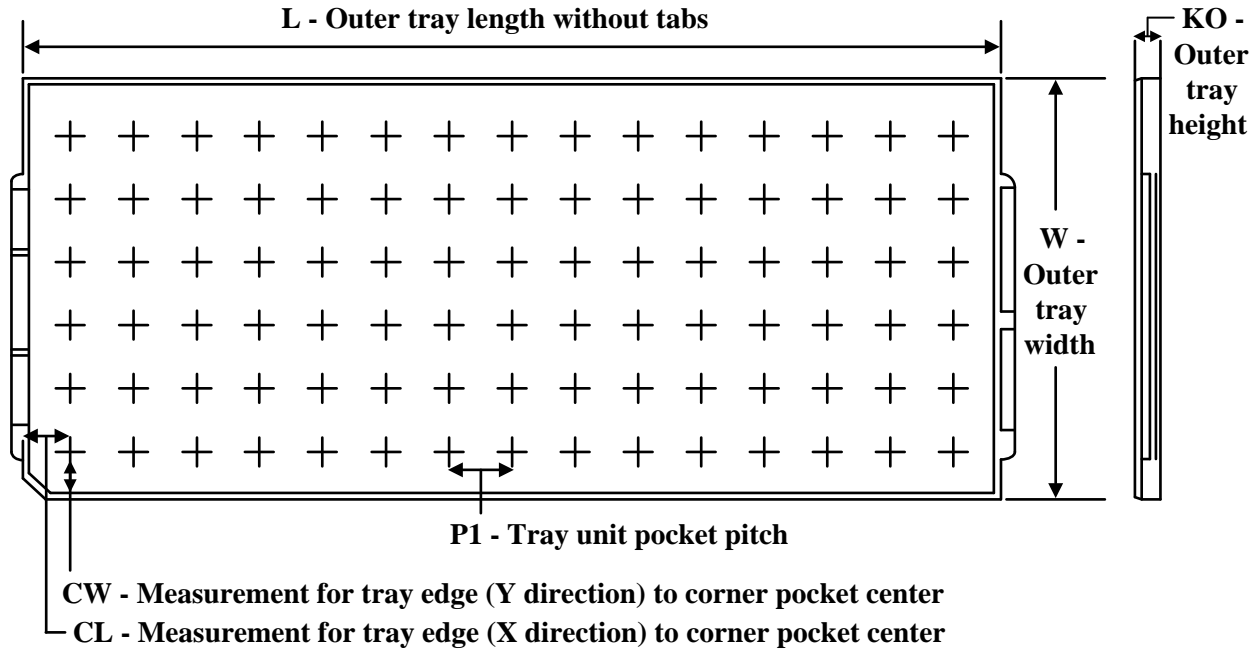
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMS320F28032PNTR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
TMS320F28034PAGQR	TQFP	PAG	64	1500	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TMS320F28035PAGTR	TQFP	PAG	64	1500	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TMS320F28035PNQR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMS320F28032PNTR	LQFP	PN	80	1000	367.0	367.0	55.0
TMS320F28034PAGQR	TQFP	PAG	64	1500	367.0	367.0	55.0
TMS320F28035PAGTR	TQFP	PAG	64	1500	367.0	367.0	55.0
TMS320F28035PNQR	LQFP	PN	80	1000	367.0	367.0	55.0

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

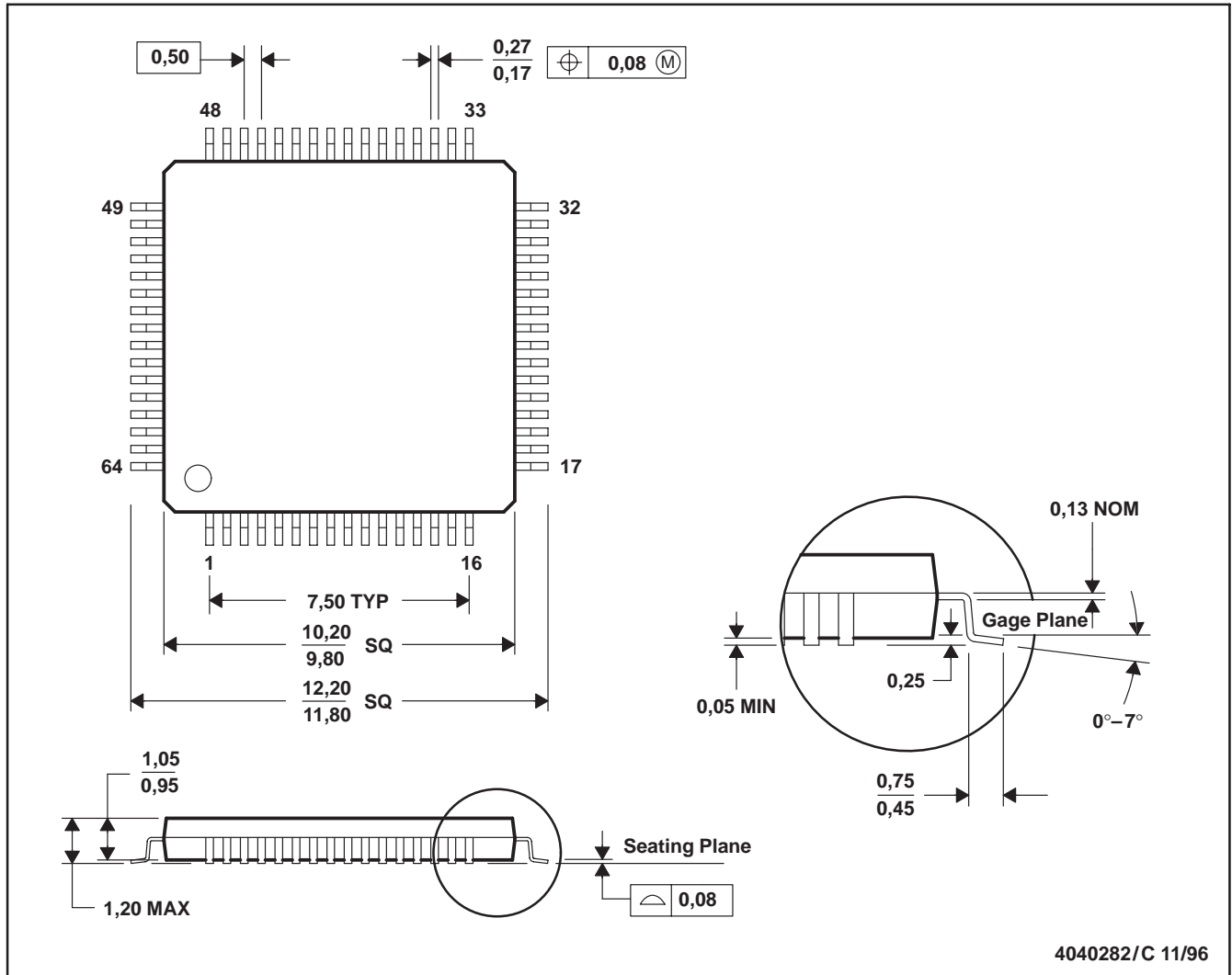
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28030PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28030PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28030PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28030PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28030PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28030PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28030RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28030RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28031PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28031PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28031PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28031PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28031PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28031PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28031RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28032PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28032PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13

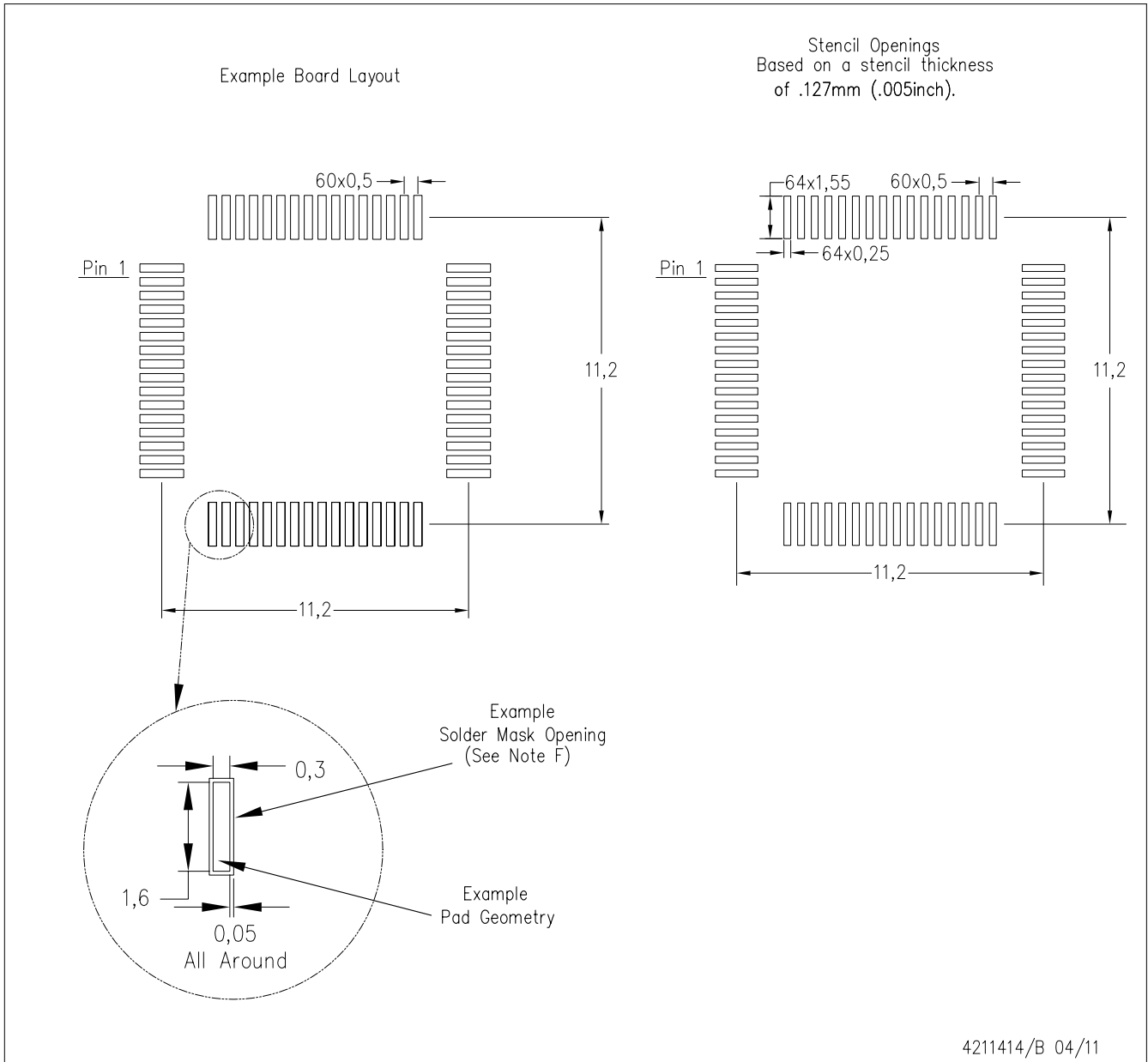
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28032PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28032PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28032PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28032PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28032RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28032RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28033P1PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28033PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28033PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28033RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28034PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28034PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28034PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28034PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28034PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28034PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28034RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28034RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28035PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28035PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28035PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28035PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28035PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28035PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28035RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28035RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35

PAG (S-PQFP-G64)

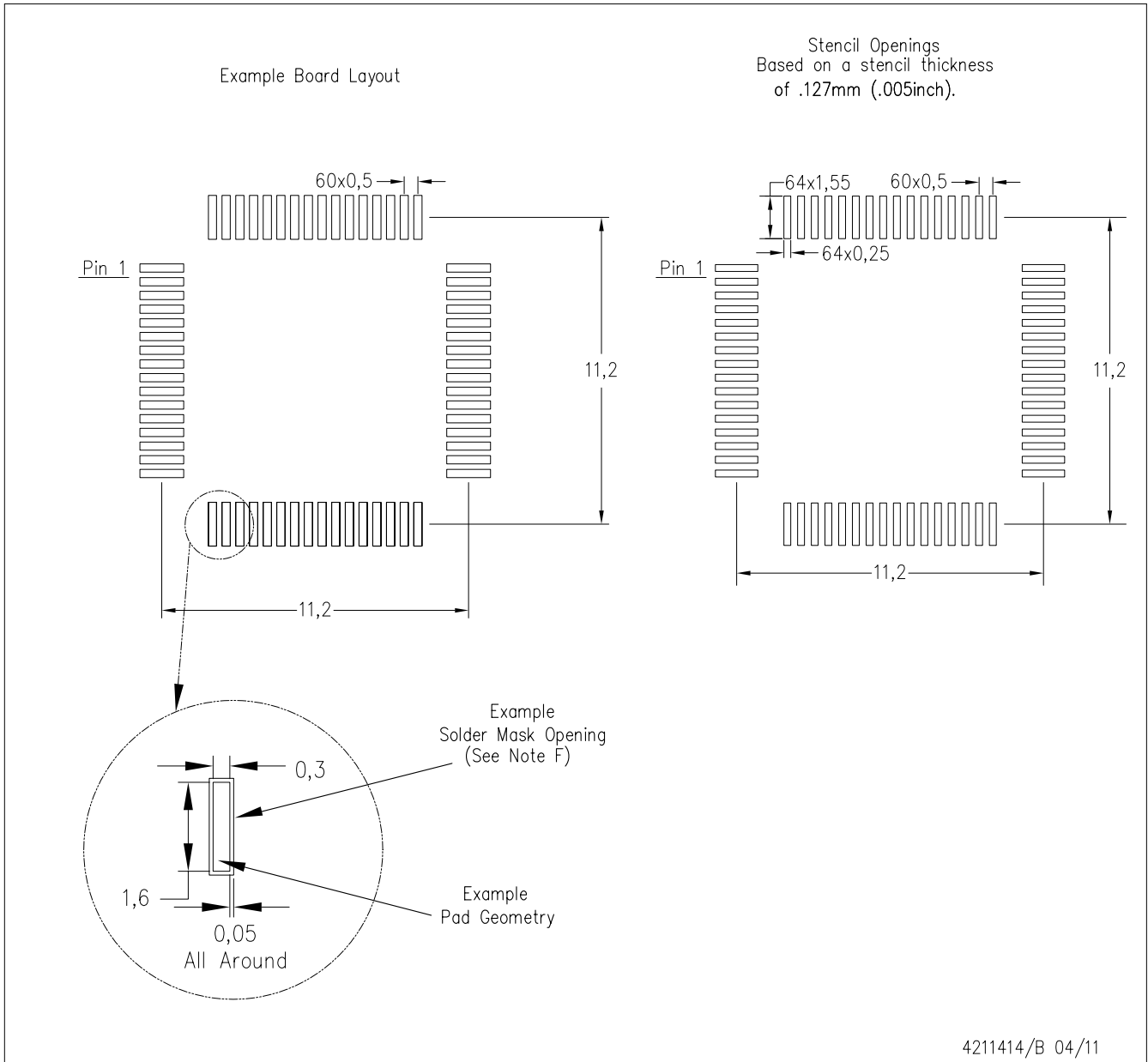
PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



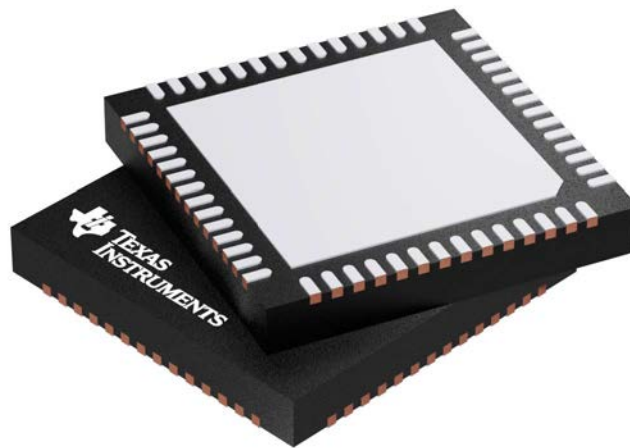
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

RSH 56

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

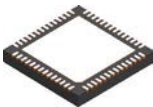
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

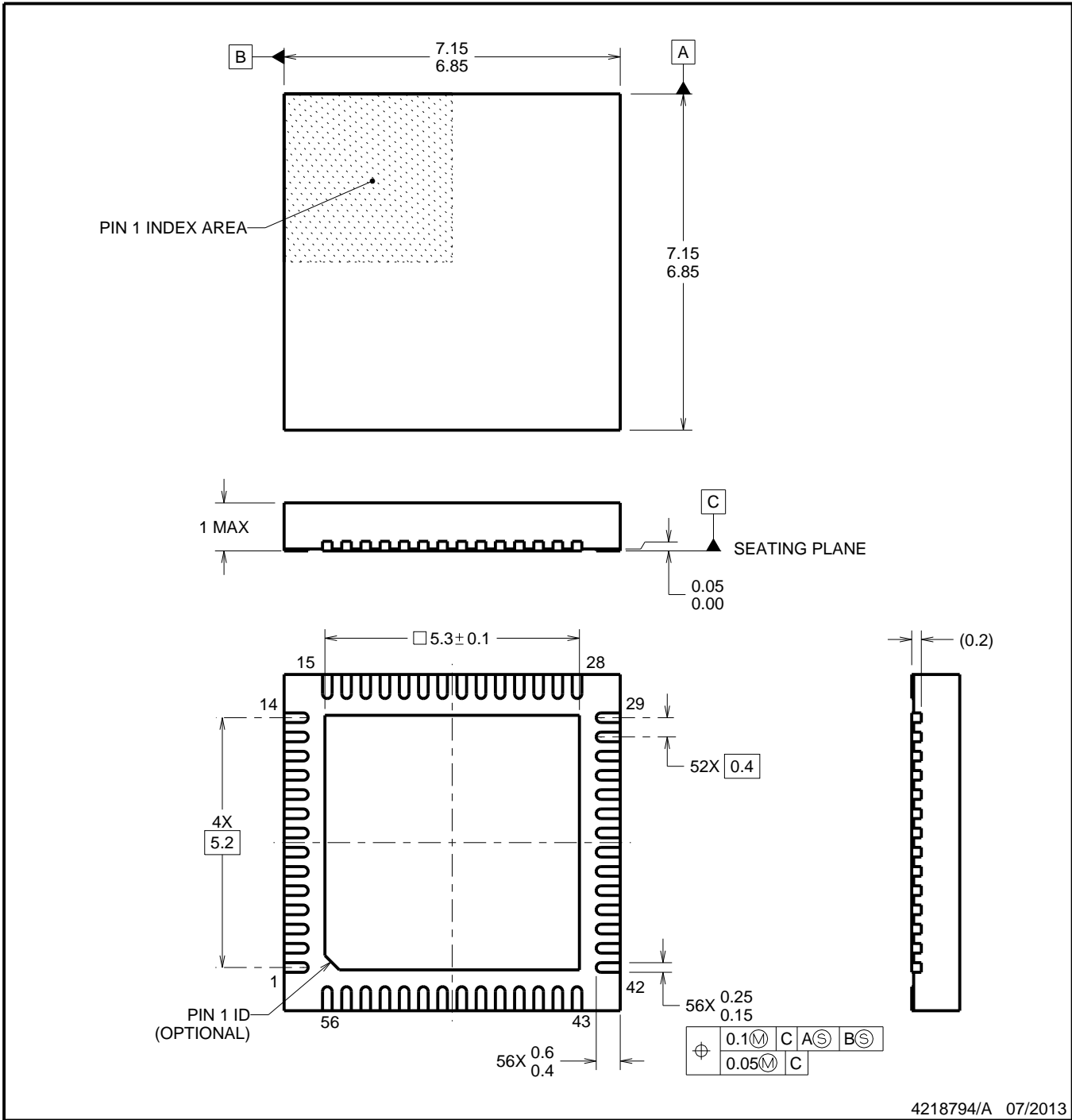
4207513/D

RSH0056D



VQFN - 1 mm max height

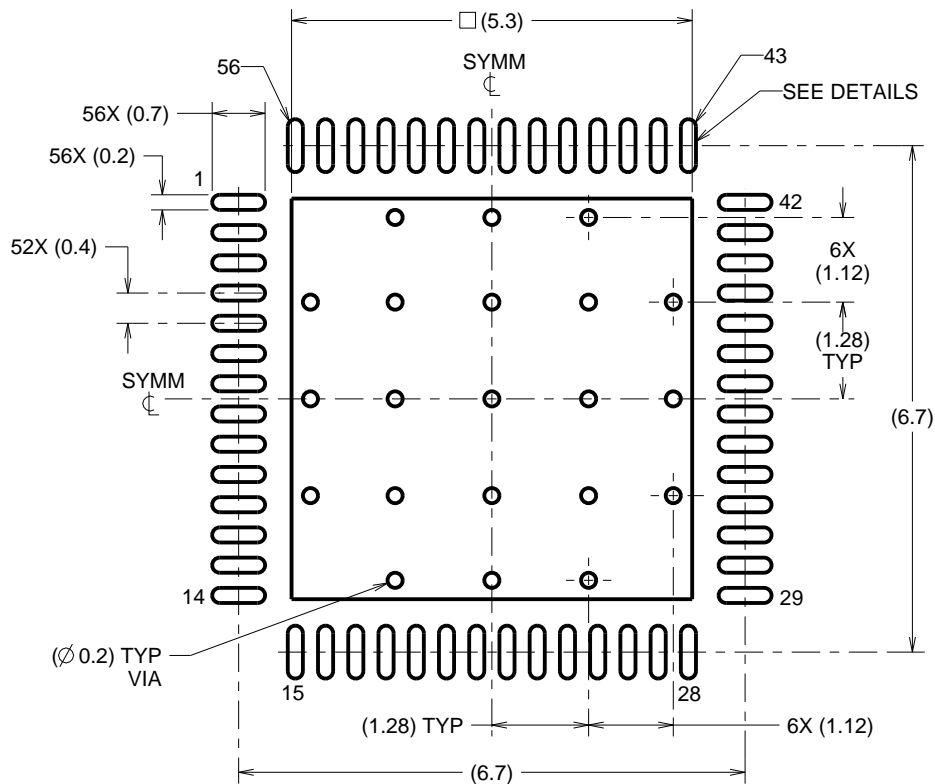
VQFN



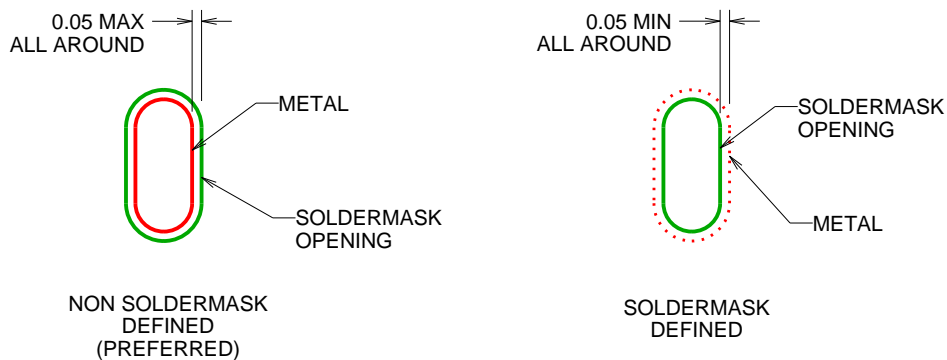
4218794/A 07/2013

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:10X

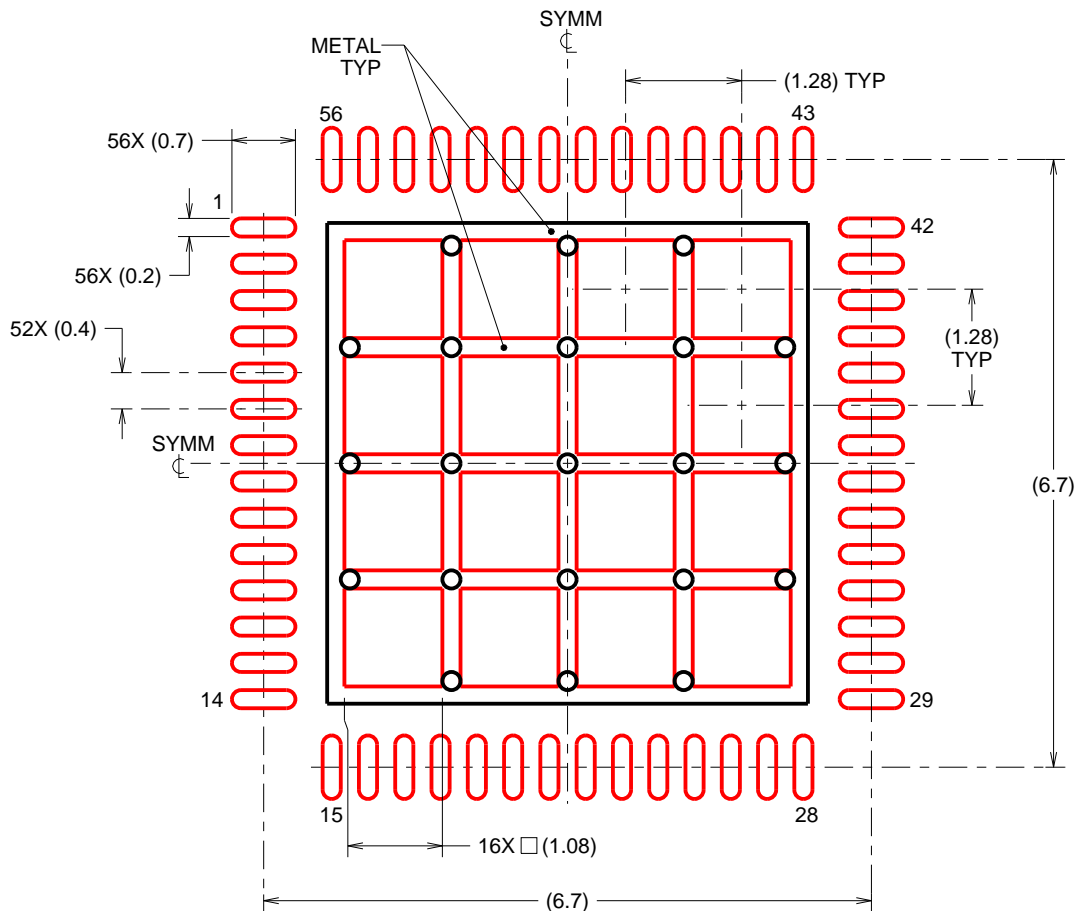


SOLDERMASK DETAILS

4218794/A 07/2013

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDERPASTE EXAMPLE
 BASED ON 0.1mm THICK STENCIL

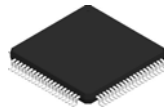
EXPOSED PAD
 67% PRINTED SOLDER COVERAGE BY AREA
 SCALE:12X

4218794/A 07/2013

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

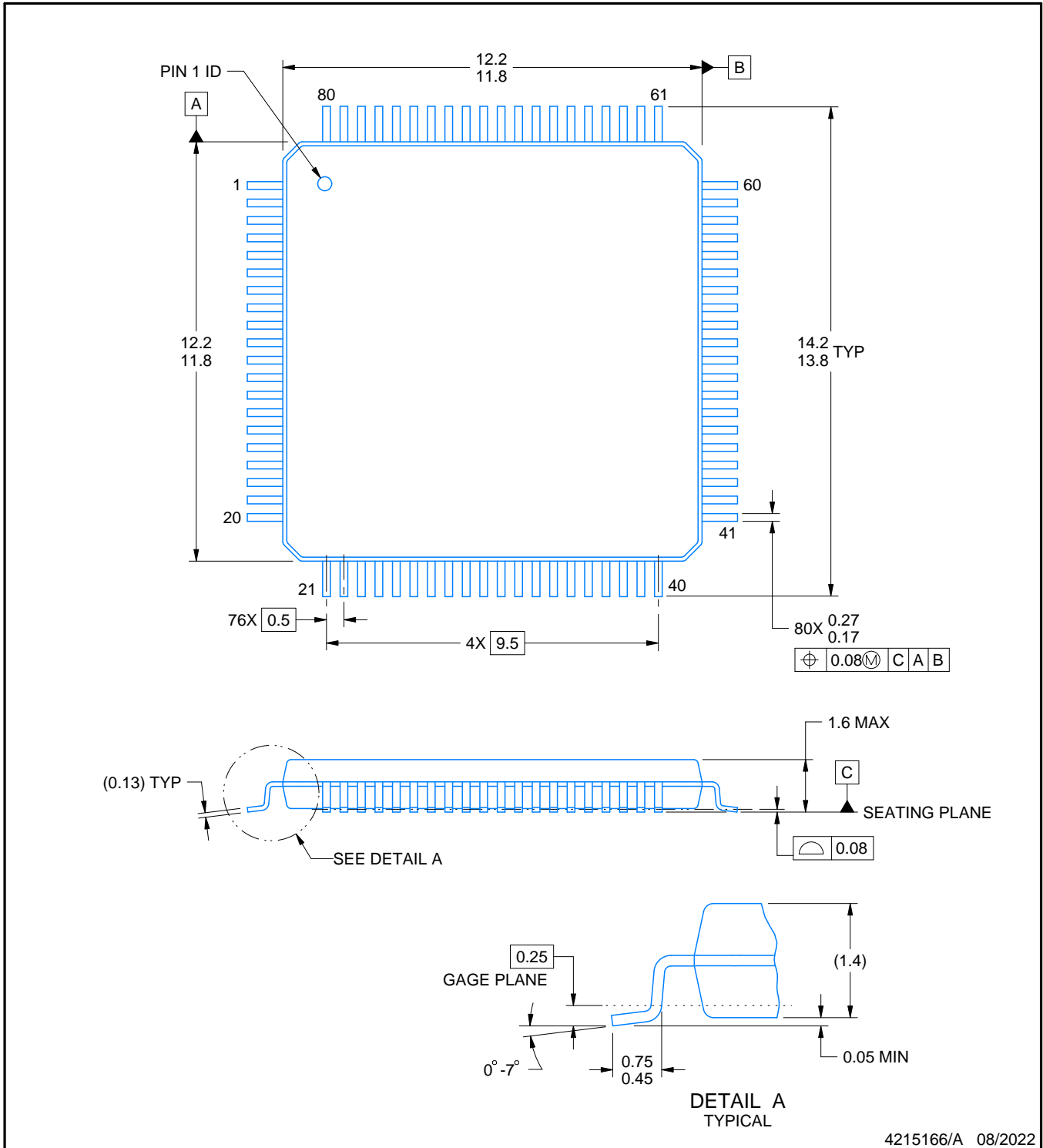
PN0080A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4215166/A 08/2022

NOTES:

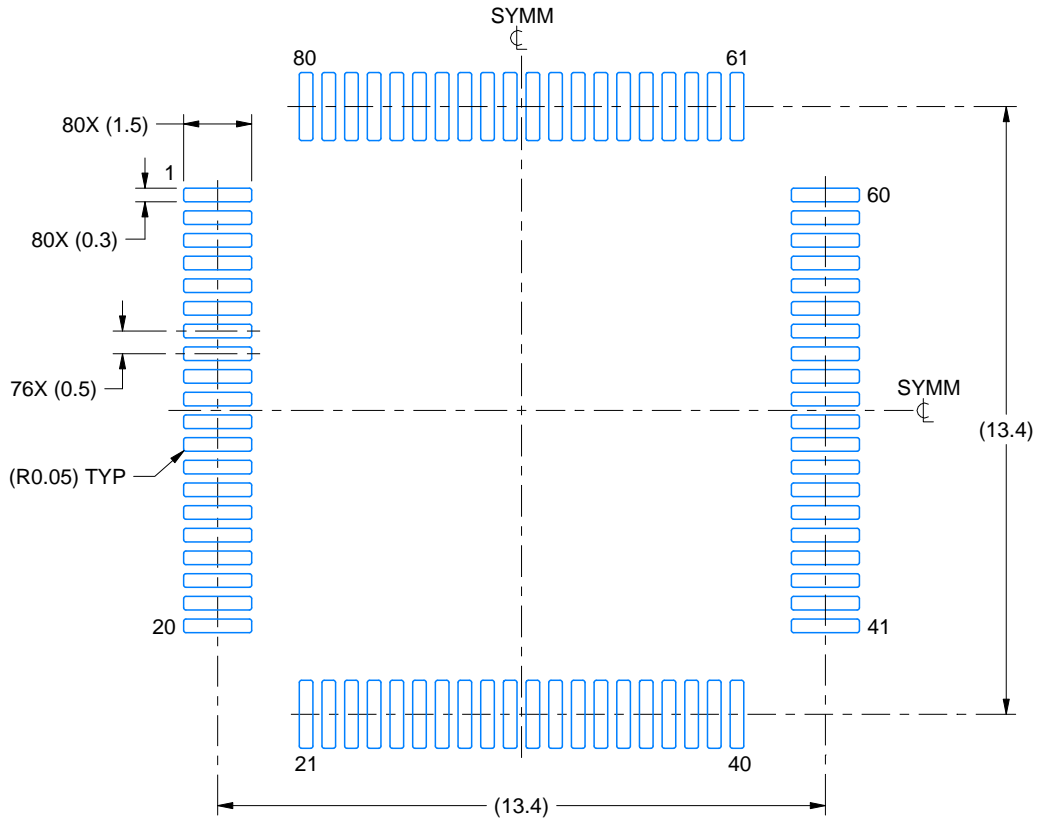
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

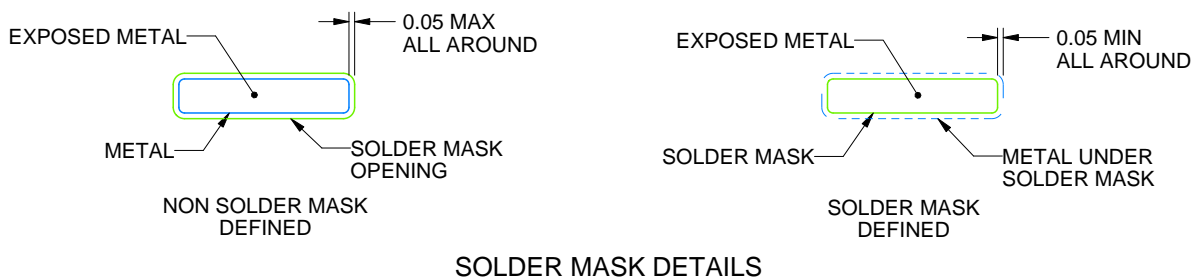
PN0080A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



4215166/A 08/2022

NOTES: (continued)

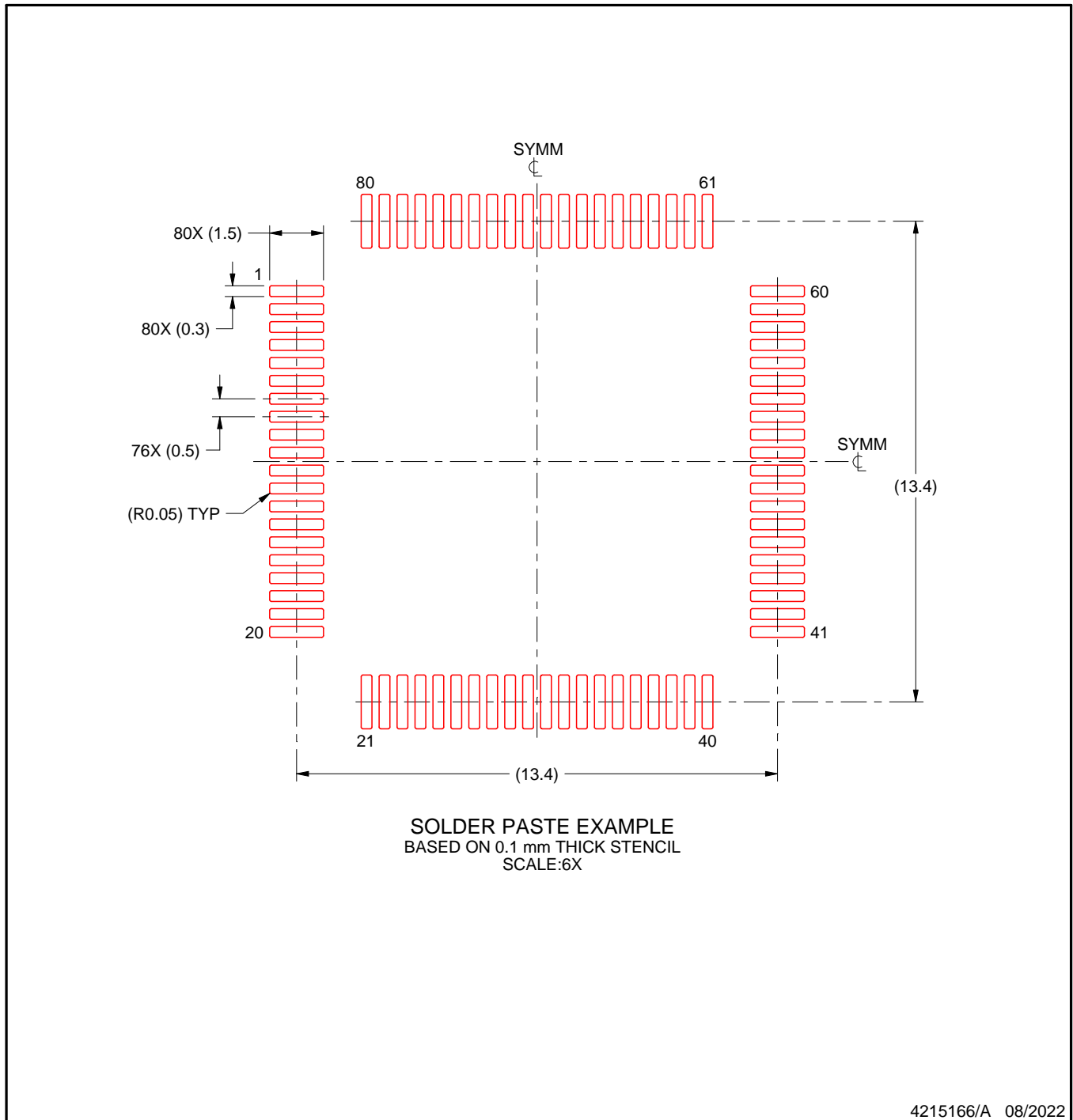
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PN0080A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司