TLC372 双通道差分比较器

1 特性

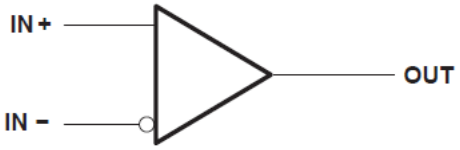
- 单电源或双电源运行
- 宽电源电压范围：3V 至 16V
- 5V 时具有 150μA（典型值）的低电源电流损耗
- 快速响应时间：TTL 电平输入阶跃的典型值为 200ns
- 内置 ESD 保护
- 高输入阻抗：典型值为 $10^{12}\Omega$
- 极低输入偏置电流：5pA（典型值）
- 超稳定的低输入偏移电压
- 共模输入电压范围包括接地
- 输出与 TTL、MOS 和 CMOS 兼容
- 引脚与 LM393 兼容

2 说明

该器件使用 CMOS 技术制造，包含两个独立的电压比较器，每个比较器采用单电源供电设计。如果两个电源之间的电压差在 3V 至 16V 之间，也可由双电源供电运行。每个器件都具有极高的输入阻抗（通常大于 $10^{12}\Omega$），因此可以直接连接高阻抗源。输出为 N 通道漏极开路配置，可连接来实现正逻辑线与关系。

TLC372 具有内部静电放电 (ESD) 保护电路，并根据人体放电模型测试获评 1000V ESD 等级。不过，在处理该器件时应小心，因为接触 ESD 可能导致器件参数性能下降。

TLC372C 的特点是可在 0°C 至 70°C 的温度范围内运行。TLC372I 的特点是可在 −40°C 至 85°C 的温度范围内运行。TLC372M 的特点是可在 −55°C 至 125°C 的整个军用温度范围内运行。TLC372Q 的特点是可在 −40°C 至 125°C 的温度范围内运行。



符号（每个比较器）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 说明.....1
3 器件比较表.....3
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 建议运行条件.....4
5.3 电气特性.....5
5.4 开关特性.....5
5.5 电气特性.....6
6 典型特性.....7
7 详细说明.....9
7.1 概述.....9
7.2 功能方框图.....9
7.3 特性说明.....9
7.4 器件功能模式.....9
8 应用和实施.....13
8.1 应用信息.....13
8.2 典型应用.....14
8.3 电源相关建议.....15
8.4 布局.....15
9 器件和文档支持.....17
9.1 文档支持.....17
9.2 接收文档更新通知.....17
9.3 支持资源.....17
9.4 商标.....17
9.5 静电放电警告.....17
9.6 术语表.....17
10 修订历史记录.....17
11 机械、封装和可订购信息.....17

Copyright © 2025 Texas Instruments Incorporated

3 器件比较表

可用选项 (1)

T_A	25°C 时的 V_{IO} 最大	封装器件					
		小外形 (D)(2)	芯片载体 (FK)	陶瓷 DIP (JG)	塑料 DIP (P)	TSSOP (PW)	陶瓷扁平封装 (U)
0°C 至 70°C	5mV	TLC372CD	—	—	TLC372CP	TLC372CPW	—
-40°C 至 85°C	5mV	TLC372ID	—	—	TLC372IP	—	—
-55°C 至 125°C	5mV	TLC372MD	TLC372MFK	TLC372MJG	TLC372MP	—	TLC372MU
-40°C 至 125°C	5mV	TLC372QD	—	—	TLC372QP	—	—

(1) 有关最新的封装和订购信息，请参阅本文档结尾的封装选项附录，或访问 TI 网站 www.ti.com。
(2) D 封装可采用带卷形式供货。向器件类型添加了 R 后缀（例如 TLC372CDR）。

4 引脚配置和功能

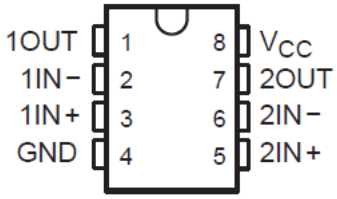
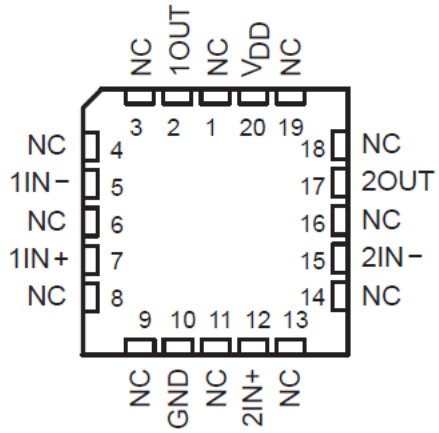


图 4-1. TLC372C、TLC372I、TLC372M、TLC372QD，P 或 PW 封装 TLC372M JG 封装（顶视图）



A. NC = 没有与内部电路连接。

图 4-2. TLC372M FK 封装（顶视图）

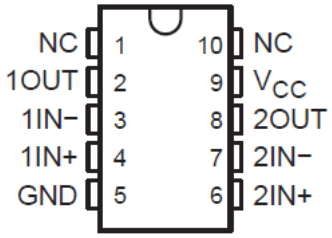


图 4-3. TLC372M U 封装（顶视图）

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{DD}	电源电压(2)			18	V
V_{ID}	差分输入电压(3)			±18	V
V_I	输入电压范围		-0.3	VDD	V
V_O	输出电压			18	V
I_I	输入电流			±5	VmA
I_O	输出电流			20	mA
	输出接地短路的持续时间(4)		无限		
θ_{JA}	封装热阻抗(5) (6)	D 封装		97.1	℃/W
		P 封装		84.6	
		PW 封装		149	
θ_{JC}	封装热阻抗(5) (6)	FK 封装		5.6	℃/W
		JG 封装		14.5	
		U 封装		14.7	
T_A	自然通风条件下的工作温度范围	TLC372C	0	70	℃
		TLC372I	-40	85	
		TLC372M	-55	125	
		TLC372Q	-40	125	
	贮存温度范围		-65	150	℃
	60 秒内的外壳温度	FK 封装		260	℃
	10 秒内距离外壳 1.6mm（1/16 英寸）的引线温度	D 封装		260	℃
		P 封装			
		PW 封装			
	60 秒内距离外壳 1.6mm（1/16 英寸）的引线温度	JG 封装		300	℃
		U 封装			

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除差分电压外的所有电压值都是相对于网络接地而言的。
(3) 差分电压是相对于 IN− 的 IN+ 上的值。
(4) 从输出到 V_{DD} 的短路会导致过热，最终导致器件损坏。
(5) 最大功耗是与 $T_J(max)$、θ_{JA} 和 T_A 相关的函数。在任何允许的环境温度下，允许的最大功率耗散为 $P_D = (T_J(max) - T_A)/\theta_{JA}$。在 150°C 的绝对最大 T_J 下运行可能会影响可靠性。
(6) 封装热阻抗根据 JESD 51-7（塑料）和 MIL-STD-883 方法 1012（陶瓷）计算。

5.2 建议运行条件

			TLC372C		TLC372I		TLC372M		TLC372Q		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
V_{DD}	电源电压		3	16	3	16	4	16	4	16	V
V_{IC}	共模输入电压	V_{DD} = 5V	0	3.5	0	3.5	0	3.5	0	3.5	V
		V_{DD} = 10V	0	8.5	0	8.5	0	8.5	0	8.5	
T_A	自然通风条件下的工作温度，		0	70	-40	85	-55	125	-40	125	°C

Copyright © 2025 Texas Instruments Incorporated

5.3 电气特性

在指定自然通风温度下，V_{DD} = 5V（除非另有说明）

参数		测试条件		T_A (1)	TLC372C			TLC372I			TLC372M、TLC372Q			单位
					最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
V_{IO}	输入失调电压	$V_{IC} = V_{ICR}min$(2)		25°C		1	5		1	5		1	5	mV
				完整范围			6.5			7			10	
I_{IO}	输入失调电流			25°C		1			1			1		pA
				最大值			0.3			1			10	nA
I_{IB}	输入偏置电流			25°C		5			5			5		pA
				最大值			0.6			2			20	nA
V_{ICR}	共模输入电压范围			25°C	0 到 V_{DD} -1			0 到 V_{DD} -1			0 到 V_{DD} -1			V
				完整范围	0 到 V_{DD} -1.5			0 到 V_{DD} -1.5			0 到 V_{DD} -1.5			
I_{OH}	高电平输出电流	V_{ID} = 1V	V_{OH} = 5V	25°C		0.1			0.1			0.1		nA
			V_{OH} = 15V	完整范围			1			1			3	μA
V_{OL}	低电平输出电压	V_{ID} = -1V	I_{OL} = 4mA	25°C		150	400		150	400		150	400	mV
				完整范围			700			700			700	
I_{OL}	低电平输出电流	V_{ID} = -1V	V_{OL} = 1.5V	25°C	6	16		6	16		6	16		mA
I_{DD}	电源电流（两个比较器）	V_{ID} = 1V	无负载	25°C		150	300		150	300		150	300	μA
				完整范围			400			400			400	

(1) 除非另有说明，否则所有特性均在零共模输入电压下测得。对于 TLC372C,，完整范围为 0°C 至 70°C；对于 TLC372I，为 –40°C 至 85°C；而对于 TLC372M，则为 –55°C 至 125°C，对于 TLC372Q，为 −40°C 至 125°C。

(2) 给出的偏移电压限值是在输出与 V_{DD} 之间使用 10kΩ 电阻器将输出驱动至高于 4V 或低于 400mV 所需的最大值。可以对限值进行验证，方法是将限值应用到输入并检查是否有适当的输出状态。

5.4 开关特性

V_{DD} = 5V，T_A = 25°C

参数	测试条件		最小值	典型值	最大值	单位
响应时间	R_L 通过 5.1kΩ 连接到 5V，C_L = 15pF(1) (2)	具有 10mV 过驱的 100mV 输入阶跃		200		ns
		100mV 过驱		100		

(1) C_L 包括探头和夹具电容。

(2) 指定的响应时间是输入阶跃函数与输出超过 1.4V 的那一刻之间的间隔。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

在指定自然通风温度下，V_{DD} = 5V，T_A = 25°C（除非另有说明）

参数		测试条件(1)		TLC372Y			单位
				最小值	典型值	最大值	
V_{IO}	输入失调电压	V_{IC} = V_{ICR}min(2)			1	5	mV
I_{IO}	输入失调电流				1		pA
I_{IB}	输入偏置电流				5		pA
V_{ICR}	共模输入电压范围			0 到 V_{DD} -1			V
I_{OH}	高电平输出电流	V_{ID} = 1V	V_{OH} = 5V		0.1		nA
V_{OL}	低电平输出电压	V_{ID} = -1V	I_{OL} = 4mA		150	400	mV
I_{OL}	低电平输出电流	V_{ID} = -1V	V_{OL} = 1.5V	6	16		mA
I_{DD}	电源电流（两个比较器）	V_{ID} = 1V	无负载		150	300	µA

(1) 除非另有说明，否则所有特性均在零共模输入电压下测得。
(2) 给出的偏移电压限值是在输出与 V_{DD} 之间使用 10kΩ 电阻器将输出驱动至高于 4V 或低于 400mV 所需的最大值。可以对限值进行验证，方法是将限值应用到输入并检查是否有适当的输出状态。

Copyright © 2025 Texas Instruments Incorporated

6 典型特性

在 T_A = 25°C 时，V_S = 12V，V_{CM} = V_S/2V，C_L = 15pF，输入过驱 = 输入欠驱 = 100mV，R_{PU} = 10kΩ，除非另有说明。

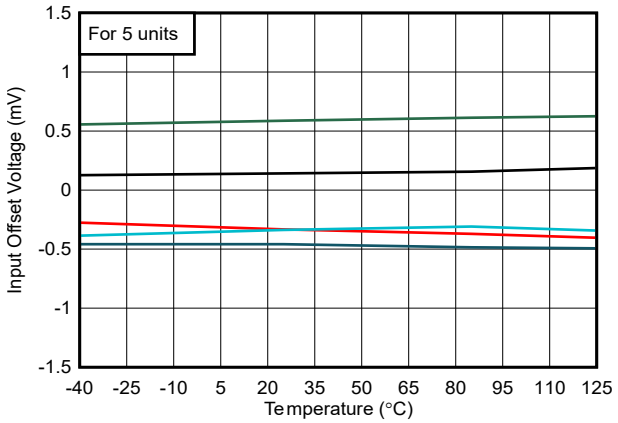


图 6-1. 失调电压与温度间的关系

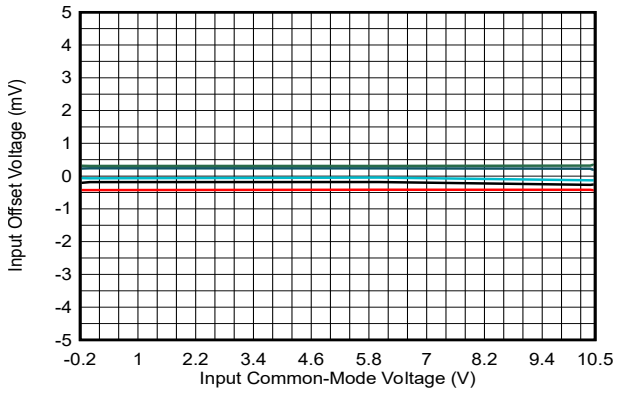


图 6-2. 失调电压与共模电压间的关系，12V

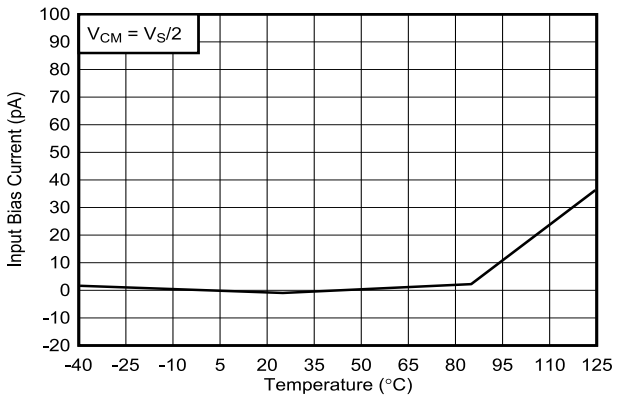


图 6-3. 偏置电流与温度间的关系

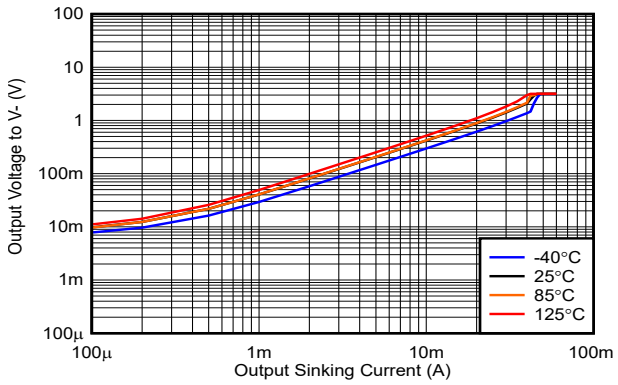


图 6-4. 输出电压与灌电流间的关系，3.3V

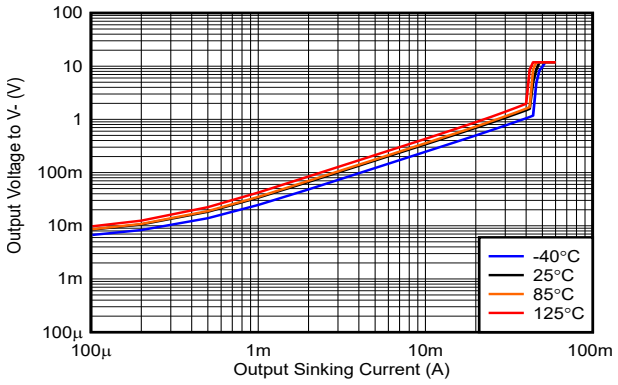


图 6-5. 输出电压与灌电流间的关系，12V

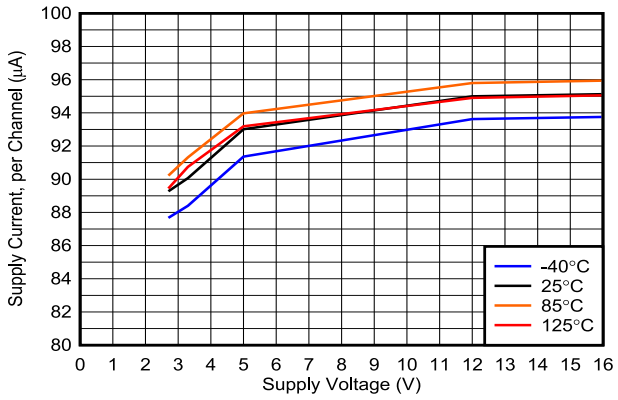


图 6-6. 电源电流与电源电压间的关系，输出低电平，无负载

Copyright © 2025 Texas Instruments Incorporated

6 典型特性（续）

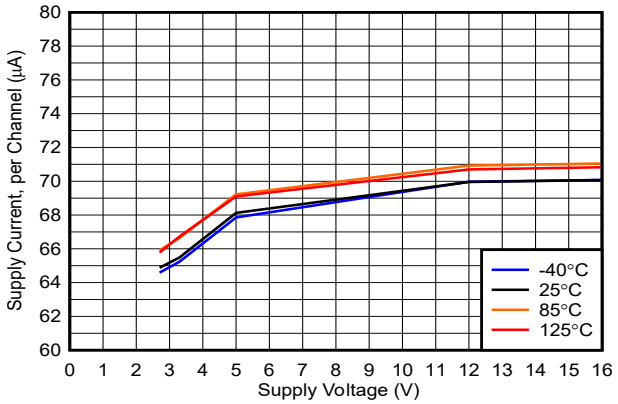


图 6-7. 电源电流与电源电压间的关系，输出高电平，无负载

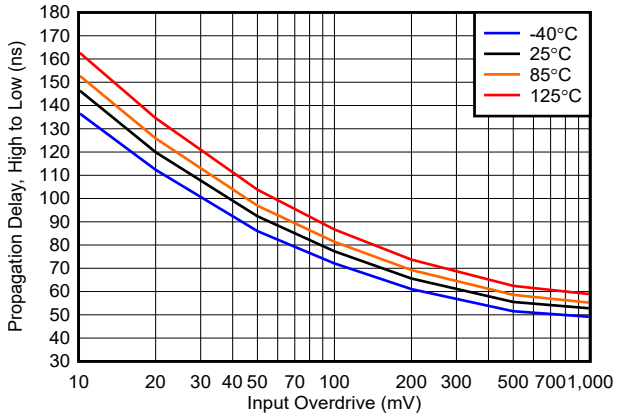


图 6-8. 传播延迟（低电平到高电平）与输入过驱间的关系，3.3V

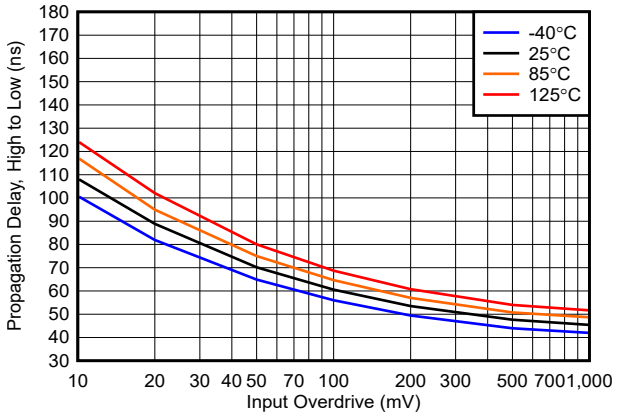


图 6-9. 传播延迟（低电平到高电平）与输入过驱间的关系，12V

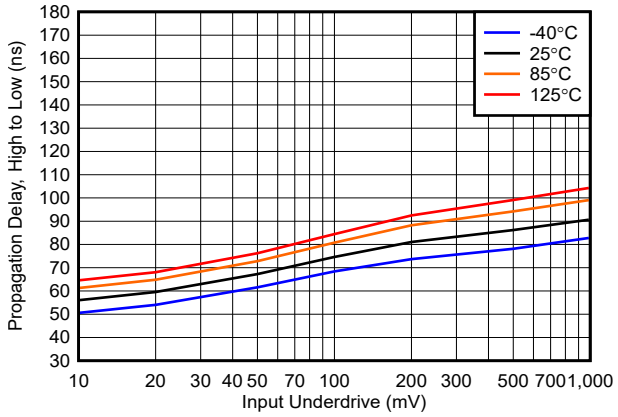


图 6-10. 传播延迟（高电平到低电平）与输入欠驱间的关系，3.3V

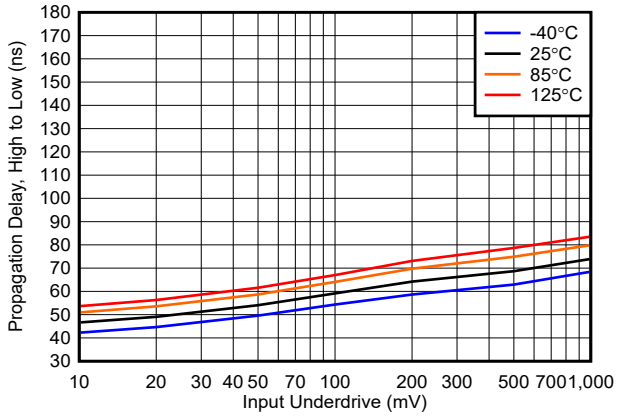


图 6-11. 传播延迟（高电平到低电平）与输入欠驱间的关系，12V

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TLC372 器件是一款具有漏极开路输出的微功耗比较器。TLC372 的工作电压低至 3V，而每通道仅消耗 75μA 电流，因此非常适合功耗敏感型应用。

7.2 功能方框图

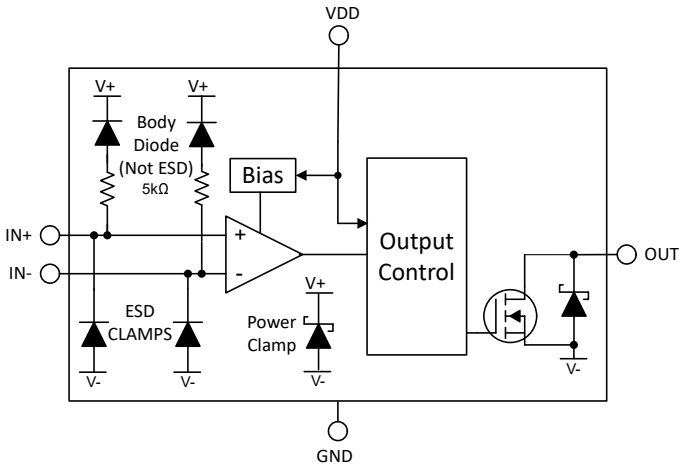


图 7-1. 方框图

7.3 特性说明

TLC372 比较器包含一个 CMOS 差分对输入，使器件能够获得非常高的增益，能快速响应且在最小的输入偏置电流下运行。输出包含出一个漏极开路输出级，能够通过负差分输入电压灌入电流。

7.4 器件功能模式

7.4.1 输入

在全温度范围内，TLC3x2 输入电压范围覆盖 V- 至比 V+ 低 1.5V 的区间。差分输入电压 (V_{ID}) 可以是上述范围内的任何电压。当输入电压保持在指定范围内时，比较器输出不会发生相位转换。

7.4.2 ESD 保护

TLC3x2 输入和输出 ESD 保护电路包含 I/O 引脚与 V+ 之间的传统二极管型“上部”ESD 钳位和 I/O 引脚输出与 V- 之间的“下部”ESD 钳位。输入或输出电压不得比电源轨高出 300mV 以上。TI 建议不要在没有电源电压的情况下向输入施加信号。

当输入端要连接到低阻抗源（例如电源或缓冲参考线）时，请添加一个与输入端串联的限流电阻器，以限制钳位导通时的任何电流。电流必须限制在 10mA 或更小，但 TI 建议将电流限制在 1mA 或更小。该串联电阻可以是任何电阻输入分压器或网络的一部分。

7.4.3 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低偏移电压，将输入端直接连接在一起可导致高频率抖动，因为器件会触发其自身的内部宽带噪声。必须将输入端连接到处于指定输入电压范围内并提供至少 50mV 差分电压的任何可用电压。例如，一个输入可以接地，另一个输入可以连接到基准电压。

7.4.4 开漏输出

TLC3x2 具有一个仅灌入的漏极开路（通常也被称为集电极开路）输出级，可将输出逻辑电平上拉至一个外部电压（0V 至 16V），而不受比较器电源电压 (VDD) 的影响。该开漏输出允许对多个开漏输出进行逻辑或运算和逻辑

Copyright © 2025 Texas Instruments Incorporated

电平转换。TI 建议将上拉电阻器电流设置为 100uA 至 1mA。较低的上拉电阻值有助于增加上升沿的上升时间，但代价是会增加 VOL 和功率耗散。上升时间将取决于总上拉电阻和总负载电容的时间常数。较大的上拉电阻值 (>1MΩ) 由于输出 RC 时间常数而产生指数上升沿，并增加上升时间。

直接将输出短接至 VDD 会导致热失控，并最终在高上拉电压 (>12V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的漏极开路输出可保持悬空，如果不允许使用悬空引脚，也可以连接到 GND 引脚。

7.4.5 迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置可能会出现振荡或产生有噪声的“抖动”输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。

可以通过添加迟滞或正反馈来防止发生该问题。

图 7-2 所示为迟滞传递曲线。该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

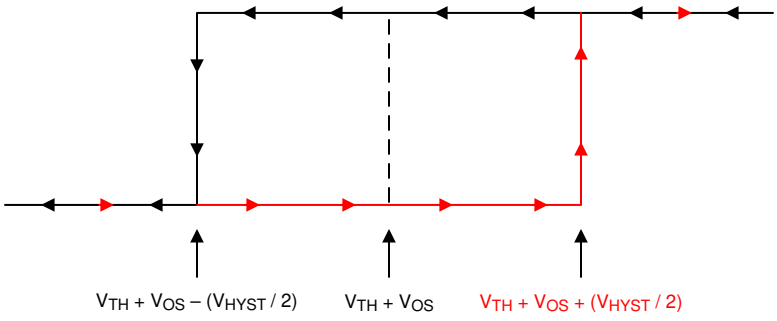


图 7-2. 迟滞传递曲线

更多相关信息，请参阅应用手册 SBOA219“具有/不具有迟滞功能的比较器电路”。

7.4.5.1 具有迟滞功能的反相比较器

具有迟滞功能的反相比较器需要一个以比较器电源电压 (V_{CC}) 为基准的三电阻器网络，如下所示。

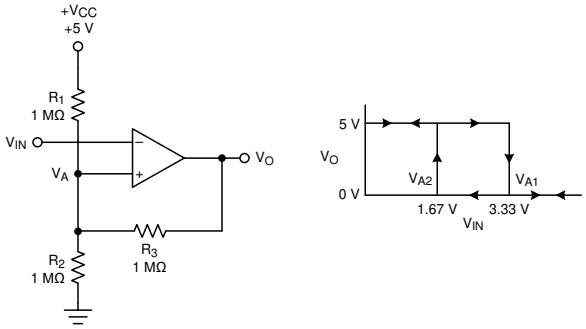


图 7-3. 具有迟滞功能的反相配置

输出为高电平和低电平时的等效电阻器网络如下所示。

Copyright © 2025 Texas Instruments Incorporated

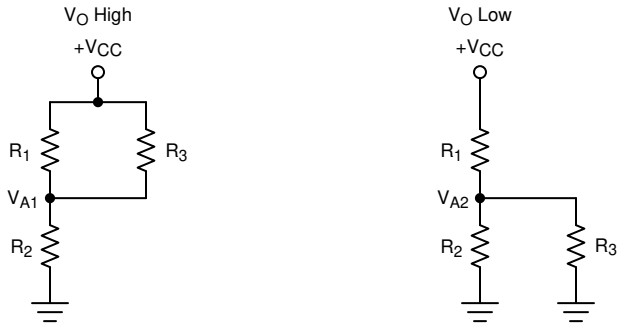


图 7-4. 反相配置电阻器等效网络

当 V_{IN} 小于 V_A 时，输出电压为高电平（为简单起见，假设 V_O 切换至与 V_{CC} 一样高）。三个网络电阻器可以表示为 R1 || R3 与 R2 串联，如左上方所示。

下面的公式定义了从高电平转换到低电平的跳变电压 (V_{A1})。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

当 V_{IN} 大于 V_A 时，输出电压较低。在这种情况下，三个网络电阻器可以表示为 R2 || R3 与 R1 串联，如右上方所示。

使用下面的公式定义从低电平转换到高电平的跳变电压 (V_{A2})。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

此公式定义了网络提供的总迟滞。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

7.4.5.2 具有迟滞功能的同相比较器

具有磁滞功能的非反相比较器需要一个双电阻器网络并在反相输入端需要一个电压基准 (V_{REF})，如图 7-5 所示。

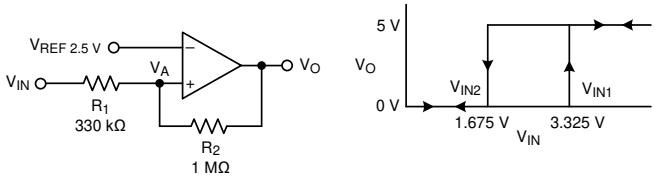


图 7-5. 具有迟滞功能的同相配置

输出为高电平和低电平时的等效电阻器网络如图 7-6 所示。

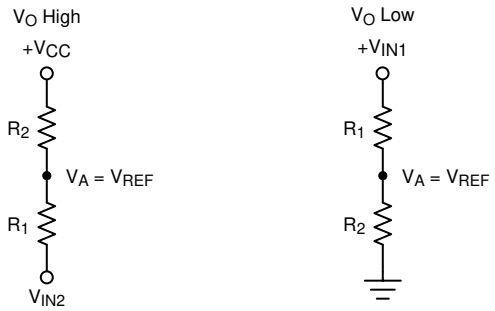


图 7-6. 同相配置电阻器网络

当 V_{IN} 小于 V_{REF} 时，输出为低电平。若要使输出从低电平切换到高电平，V_{IN} 必须高于 V_{IN1} 阈值。请使用方程式 4 来计算 V_{IN1}。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

当 V_{IN} 大于 V_{REF} 时，输出为高电平。若要使比较器切换回低电平状态，V_{IN} 必须降至 V_{IN2} 以下。请使用方程式 5 来计算 V_{IN2}。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

在此电路中，迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，如方程式 6 所示。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

更多相关信息，请参阅应用手册 SNOA997 “具有迟滞功能的反相比较器电路”和 SBOA313 “具有迟滞功能的同相比较器电路”。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

8.1.1 基本的比较器定义

8.1.1.1 运行

基本比较器将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 8-1 示例中，如果 V_{IN} 小于 V_{REF}，则输出电压 (V_O) 为逻辑低电平 (V_{OL})。如果 V_{IN} 大于 V_{REF}，则输出电压 (V_O) 处于高阻态。表 8-1 总结了输出条件。只需交换输入引脚，即可反转输出逻辑。

表 8-1. 输出条件

输入条件	输出
IN+ > IN-	高 (V_{OH})
IN+ = IN-	不确定（抖动 - 请参阅迟滞）
IN+ < IN-	低 (V_{OL})

8.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟，这种延迟称为传播延迟。输入从高电平转换为低电平和从低电平转换为高电平时，传播延迟可能不同。这在 图 8-1 中显示为 t_{pLH} 和 t_{pHL}，从输入的中点到输出的中点进行测量。同样，传播也会随着所谓的过驱 (V_{OD}) 和欠驱 (V_{UD}) 电压电平变化而变化（参见下面部分）。

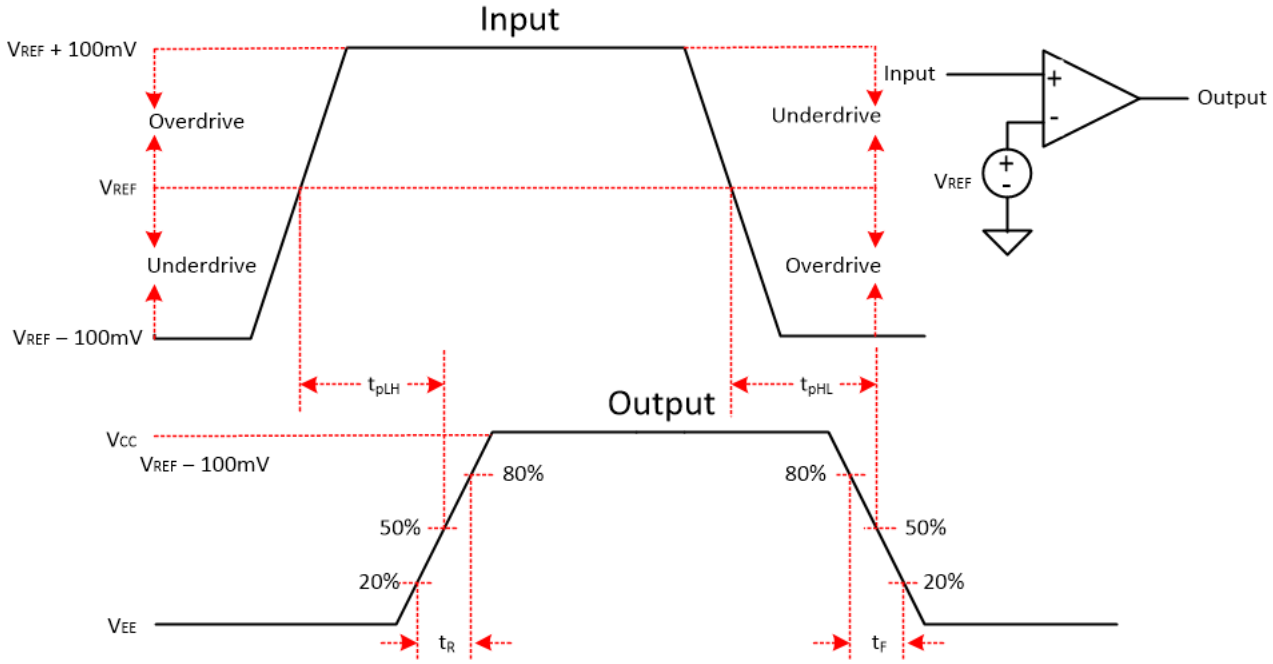


图 8-1. 比较器时序图

8.1.1.3 过驱动和欠驱动电压

过驱电压 V_{OD} 是超出基准电压的输入电压（而不是总输入峰值间电压）。如 图 8-1 示例所示，过驱电压为 100mV。类似地，欠驱电压 V_{UD} 是指输入在开始时低于 REF 的幅度。过驱和欠驱电压会影响传播延迟 (t_p)。有关更多详细信息，请参阅“典型特性”部分中的曲线。过驱电压越小，传播延迟越长，尤其在 < 100mV 时。如果需要非常快的速度，使用尽可能大的过驱电压。与过驱电压相反，更大的欠驱电压会导致传播延迟增加。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

8.2 典型应用

8.2.1 窗口比较器

窗口比较器通常用于检测欠压和过压情况。下图显示了一个用于监视 24V PLC 电源的简单窗口比较器电路。

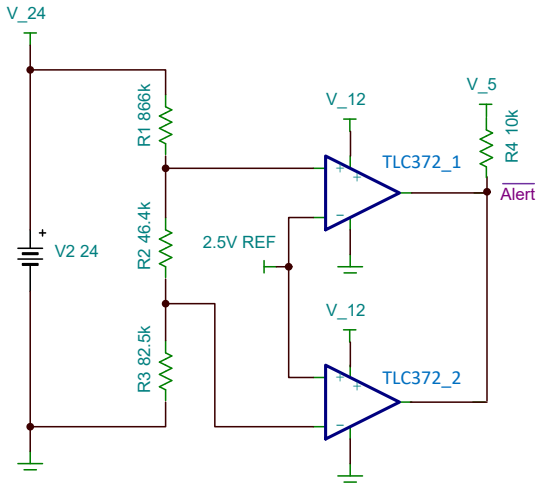


图 8-2. 窗口比较器

8.2.1.1 设计要求

对于此设计，请遵循以下设计要求：

- 当 24V 电源低于 19.2V 时的 UV_Alert（逻辑低电平输出）
- 当 24V 电源高于 30V 时的 OV_Alert（逻辑低电平输出）
- 电阻器串中消耗的电流为 30uA
- 比较器由 5V 电源供电
- 采用 2.5V 外部基准

8.2.1.2 详细设计过程

如上面的电路所示配置电路，其中 TLC372 的 2.5V REF 用作参考电压，R1、R2 和 R3 的电阻器串用于定义 24V PLC 电源的阈值电压上限和下限。当比较器检测到 24V 电源已超过 30V 的最大电压或降至 19.2V 的最小电压以下时，OV_Alert 和 UV_Alert 网络被拉至逻辑低电平状态。

第一步是使用 30uA 的耗散限值来确定电阻器串（R1、R2、R3）的总电阻。在最高工作电压为 30V 的情况下，如果 R1+R2+R3 的总电阻为 1Mohm，则电阻器串的电流消耗为 30uA。

第二步是设置 R3 的值，以便下限比较器在 24V 电源达到 30V 时将输出状态从高电平更改为低电平。当 R2 和 R3 结点处的电压等于 2.5V 的参考电压时，即可实现此目的。由于在 30V 的电压下会有 30uA 通过电阻器串，因此 R3 可以根据 2.5V/30uA 计算得出，约为 83.3kΩ。

第三步是设置 R2 的值，以便上限比较器在 24V 电源达到 19.2V 时将输出状态从高电平更改为低电平。当 R1 和 R2 结点处的电压等于 2.5V 的参考电压时，即可实现此目的。由于在 19.2V 的电压下会有 19.2uA 通过电阻器串，因此 R2 可以根据 (2.5V /19.2uA) - R3 计算得出，约为 46.9kΩ。

Copyright © 2025 Texas Instruments Incorporated

最后，R1 的值根据 1Mohm - (R2 + R3) 计算得出，约为 870kΩ。请注意，为电路选择了标准的 1% 电阻器值

当 24V PLC 电源小于 19.2V 或大于 30V 时，相应的比较器输出（OV_Alert 和 UV_Alert）为低电平。同样，当 24V 电源在 19.2V 至 30V 范围内（在“窗口”内）时，相应的比较器输出为高电平，如下所示。

8.2.1.3 应用曲线

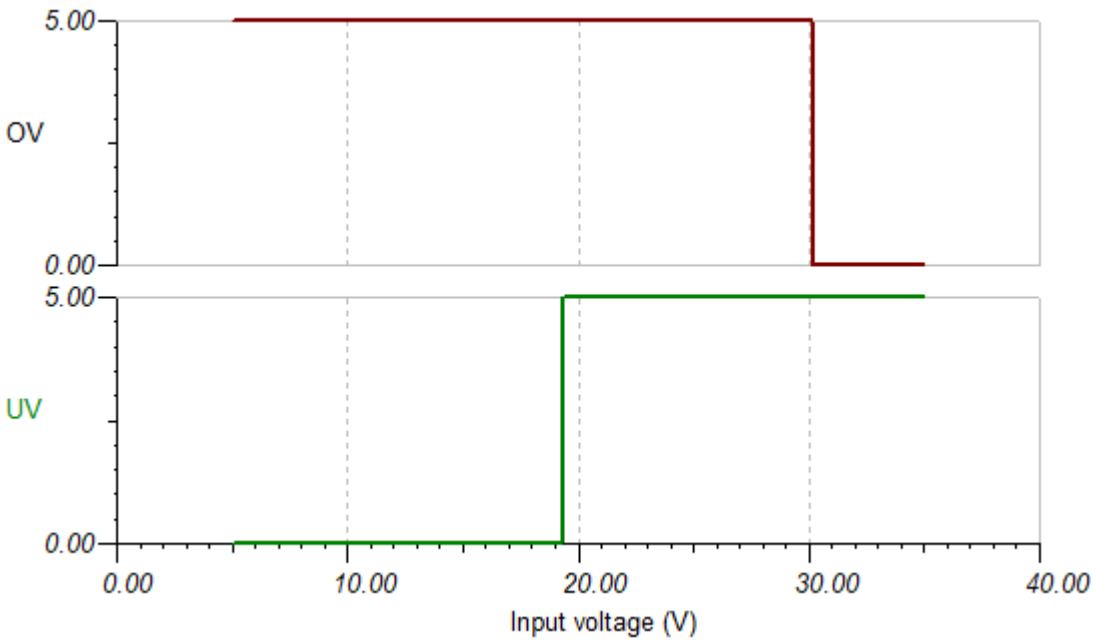


图 8-3. 窗口比较器结果

8.3 电源相关建议

由于输出边沿速率较快，务必在电源引脚上安装旁路电容器以防止电源发生振铃和误触发以及振荡。在 V+ 引脚与接地引脚之间直接放一个低 ESR 0.1µF 陶瓷旁路电容器，直接在*每个*器件上旁路电源。在输出切换期间会汲取窄峰值电流。这些窄脉冲会导致电源线未被旁路和不良的接地振铃，可能会导致输入电压范围发生变化并产生不准确的比较，甚至造成振荡。

该器件可由“双”电源（V+ 和 V-）或“单”电源（V+ 和 GND，GND 连接 V- 引脚）供电。对于任一类型，输入信号必须保持在指定的输入范围内（介于 V+ 和 V- 之间）。请注意，使用“双”电源时，输出可以将“低电平”(V_{OL}) 摆动到 V- 电位而不是摆动到 GND。

8.4 布局

8.4.1 布局指南

在应用精确比较器时，保持电源干净、稳定，对于将输出干扰降至最低至关重要。输出上升和下降时间为几十纳秒，必须被视为高速逻辑器件。旁路电容器必须尽可能靠近电源引脚放置并连接到实心接地层，最好直接放在 V+ 与 GND 引脚之间。

尽量减少输出和输入之间的耦合，以防止输出振荡。除非输出之间存在 V+ 或 GND 布线，否则请勿并联布置输出和输入布线，以减少耦合。向输入端添加串联电阻时，将电阻器放在靠近器件的位置。还可以在输出端串联一个低阻值（≤100 欧姆）电阻器，以抑制非阻抗控制的长迹线上出现任何振铃或反射。为获得理想边沿形状，在进行长距离布线时必须使用带有反向终端的受控阻抗迹线。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例

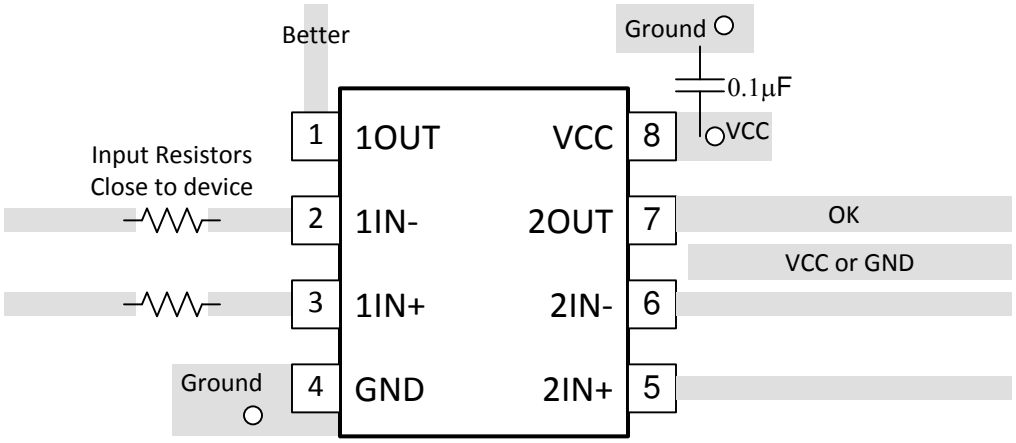


图 8-4. 双通道布局示例

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (July 2008) to Revision F (June 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更新了整个数据表，以反映新裸片的性能	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-87658012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-87658012A TLC372MFKB
5962-8765801PA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8765801PA TLC372M
5962-9554901NXD	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	Q372M
5962-9554901NXDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	Q372M
5962-9554901NXDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	Q372M
TLC372CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	372C
TLC372CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	372C
TLC372CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	372C
TLC372CP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC372CP
TLC372CP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TLC372CP
TLC372CPS	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPS.A	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPSR.A	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	0 to 70	P372
TLC372CPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372CPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	P372
TLC372IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	372I
TLC372IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	372I
TLC372IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
TLC372IP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC372IP
TLC372IP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLC372IP
TLC372MD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-55 to 125	
TLC372MDG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-	
TLC372MDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	372M
TLC372MDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	372M
TLC372MDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	372M

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC372MDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	372M
TLC372MFKB	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-87658012A TLC372MFKB
TLC372MFKB.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-87658012A TLC372MFKB
TLC372MJG	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MJG
TLC372MJG.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MJG
TLC372MJGB	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8765801PA TLC372M
TLC372MJGB.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8765801PA TLC372M
TLC372MP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	TLC372MP
TLC372MP.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	TLC372MP
TLC372MUB	Active	Production	CFP (U) | 10	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MUB
TLC372MUB.A	Active	Production	CFP (U) | 10	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	TLC372MUB
TLC372QD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	
TLC372QDG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	
TLC372QDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	372Q
TLC372QDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	372Q
TLC372QDRG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	372Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLC372, TLC372M :

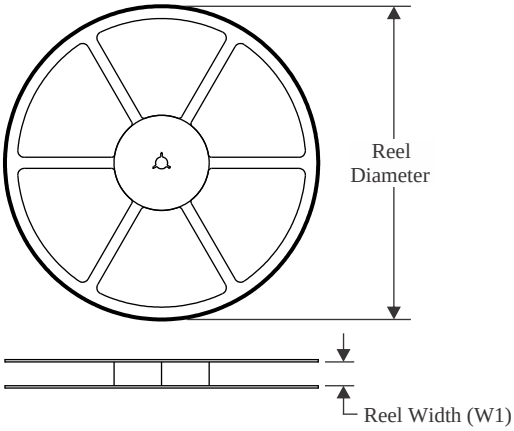
- Catalog : TLC372
- Enhanced Product : TLC372-EP, TLC372-EP
- Military : TLC372M

NOTE: Qualified Version Definitions:

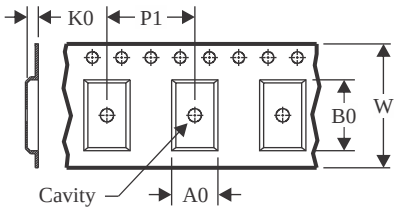
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

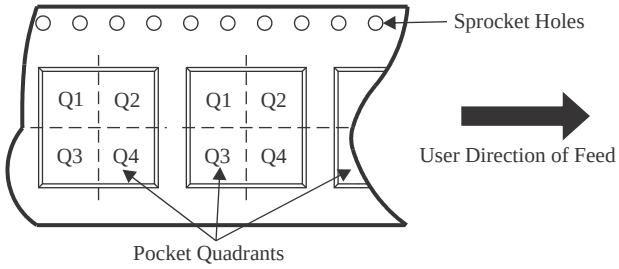


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

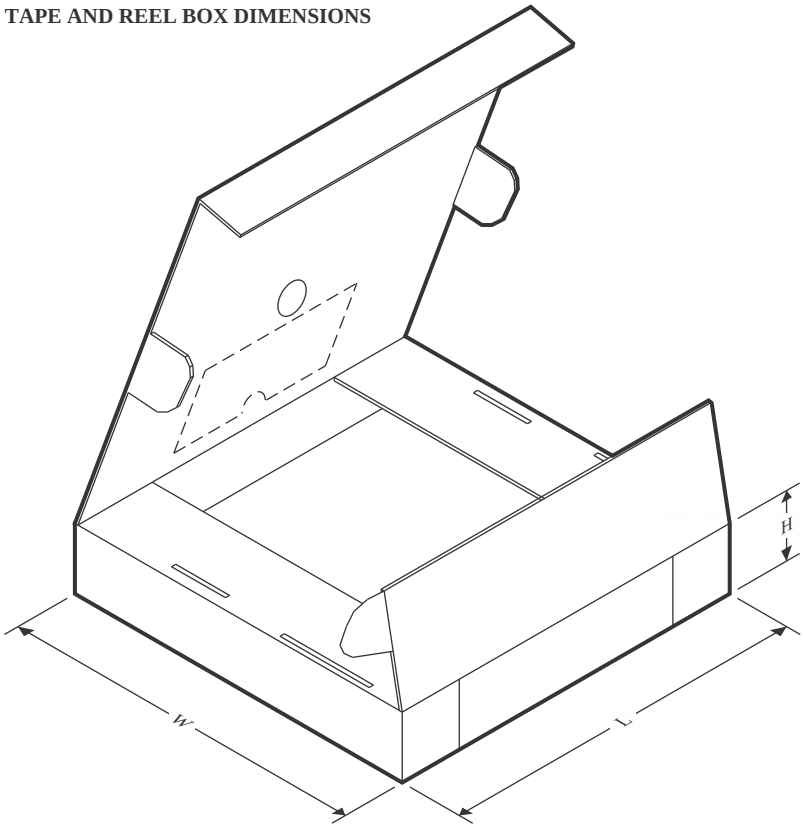
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962-9554901NXDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TLC372CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLC372IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372MDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372MDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLC372QDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

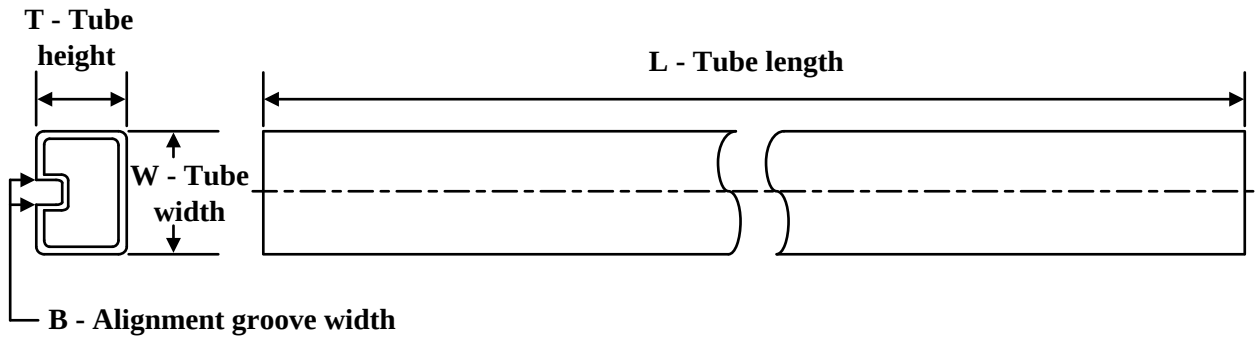
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962-9554901NXDR	SOIC	D	8	2500	350.0	350.0	43.0
TLC372CDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC372CDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC372CPSR	SO	PS	8	2000	353.0	353.0	32.0
TLC372CPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLC372IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLC372IDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC372MDR	SOIC	D	8	2500	340.5	338.1	20.6
TLC372MDRG4	SOIC	D	8	2500	340.5	338.1	20.6
TLC372QDR	SOIC	D	8	2500	340.5	338.1	20.6

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-87658012A	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC372CP	P	PDIP	8	50	506	13.97	11230	4.32
TLC372CP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC372CPS	PS	SOP	8	80	530	10.5	4000	4.1
TLC372CPS.A	PS	SOP	8	80	530	10.5	4000	4.1
TLC372IP	P	PDIP	8	50	506	13.97	11230	4.32
TLC372IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC372MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC372MFKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA
TLC372MP	P	PDIP	8	50	506	13.97	11230	4.32
TLC372MP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLC372MUB	U	CFP	10	25	506.98	26.16	6220	NA
TLC372MUB.A	U	CFP	10	25	506.98	26.16	6220	NA

GENERIC PACKAGE VIEW

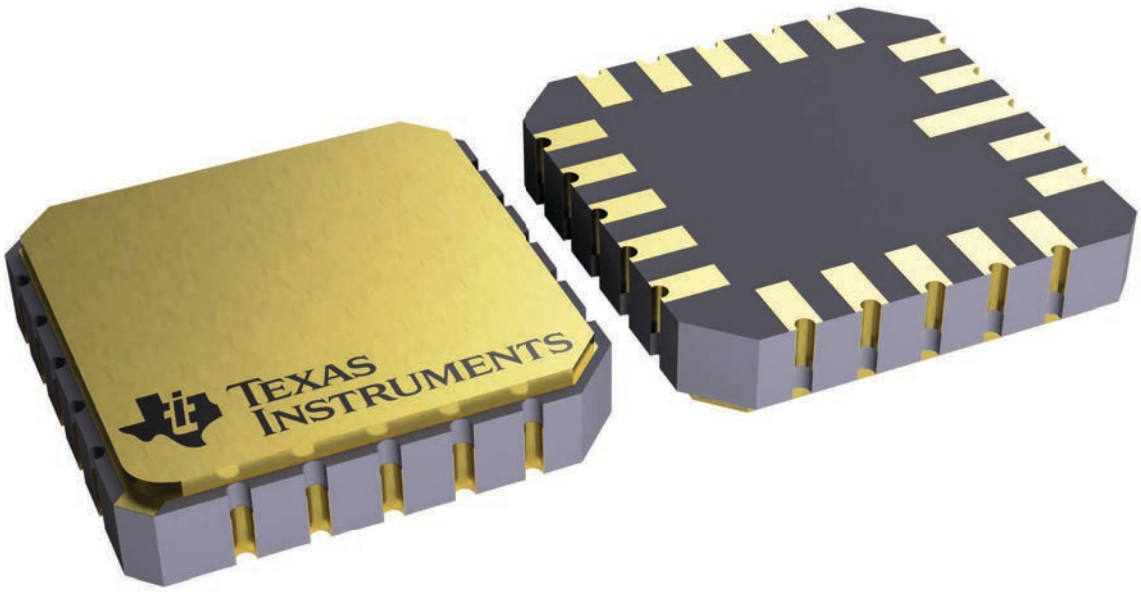
FK 20

LCCC - 2.03 mm max height

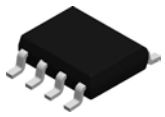
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

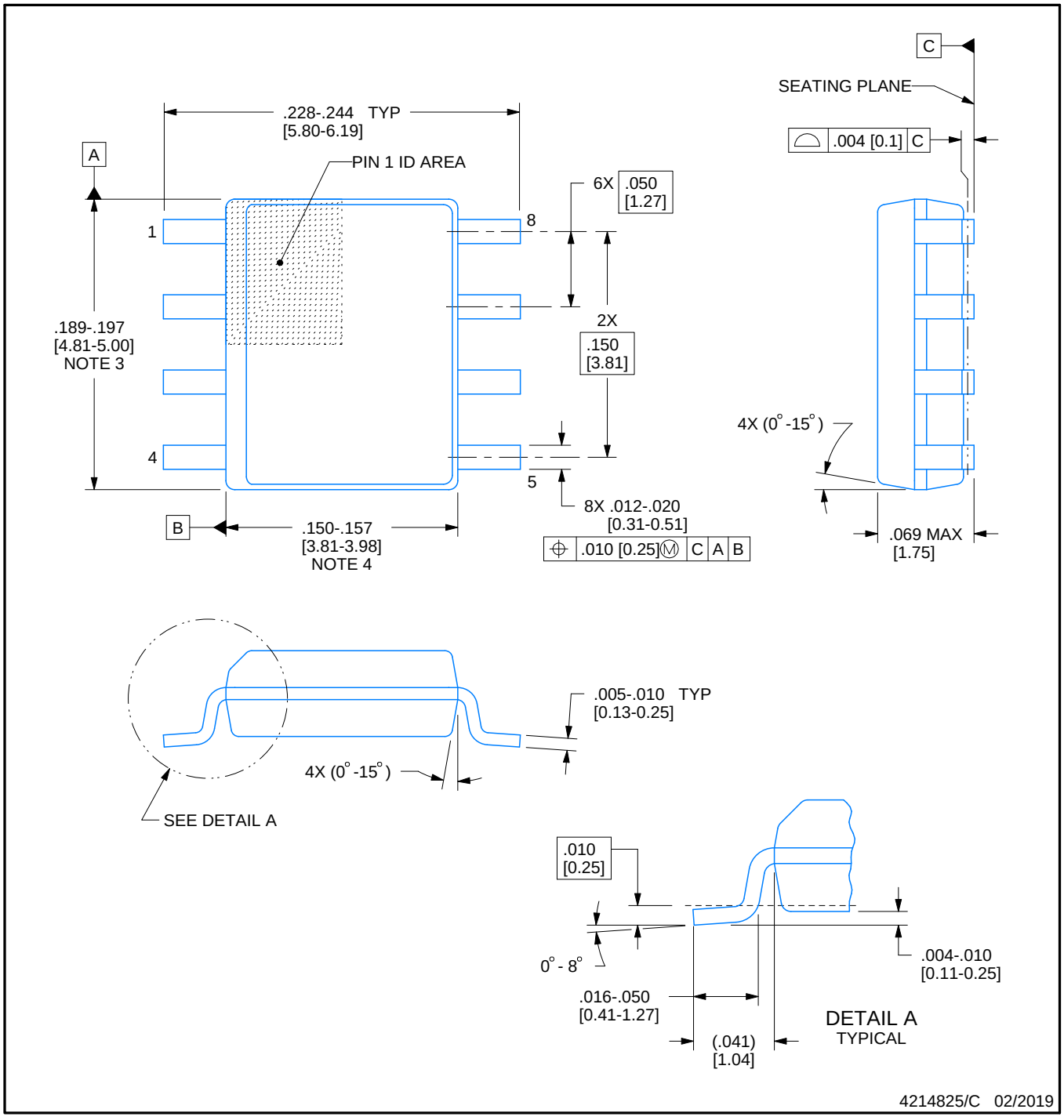


PACKAGE OUTLINE

D0008A

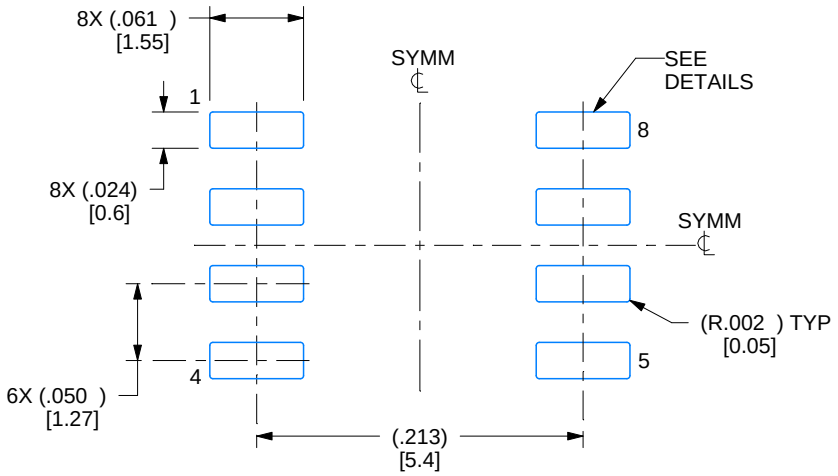
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

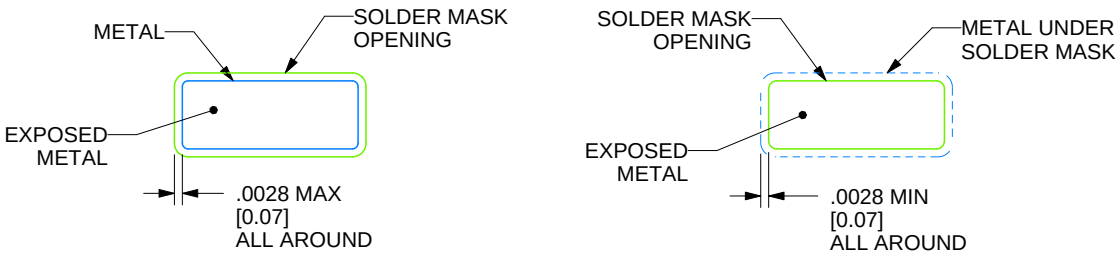


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

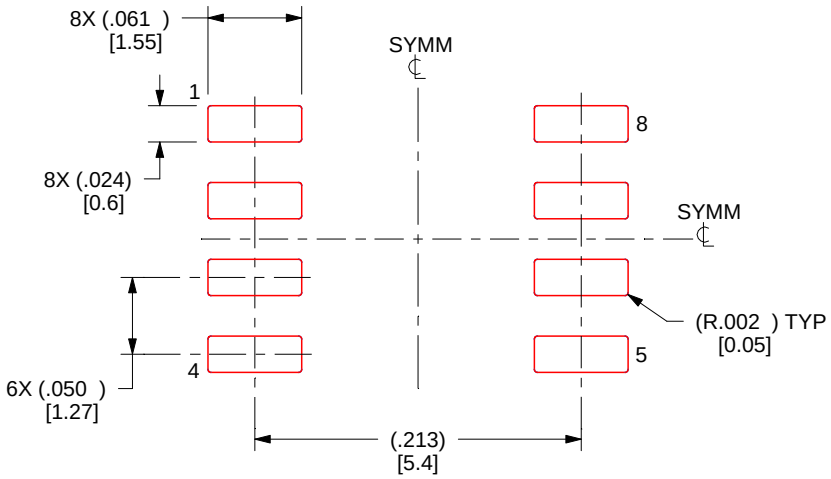
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

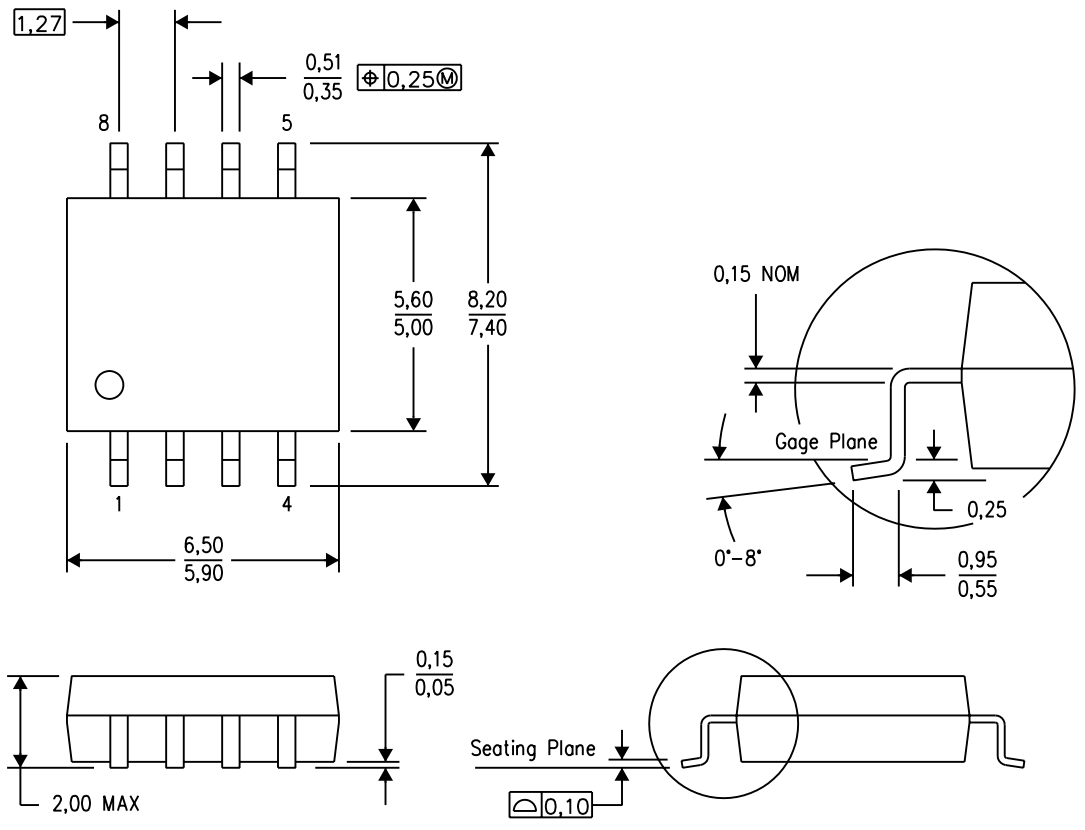
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

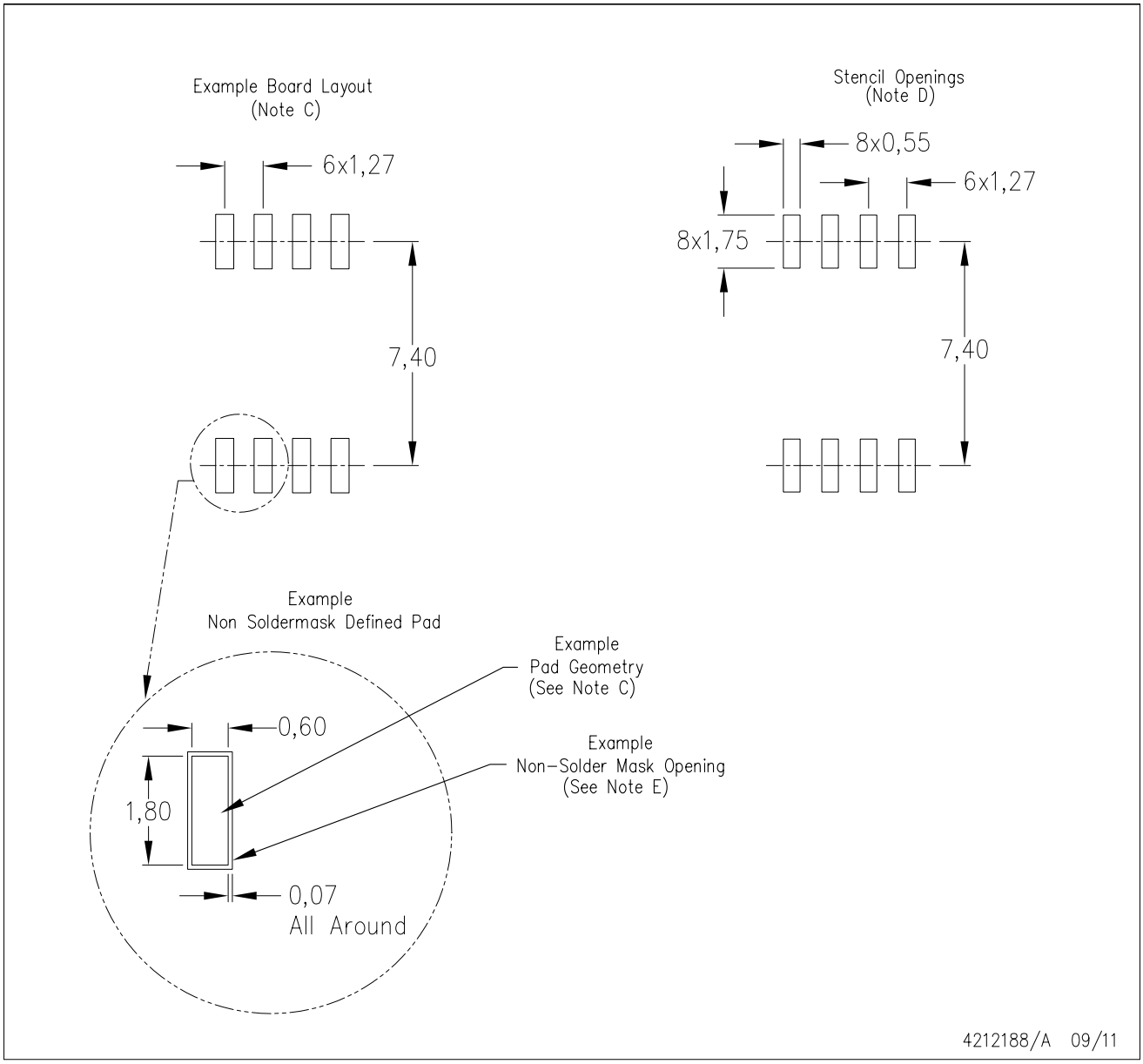
PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



4040063/C 03/03

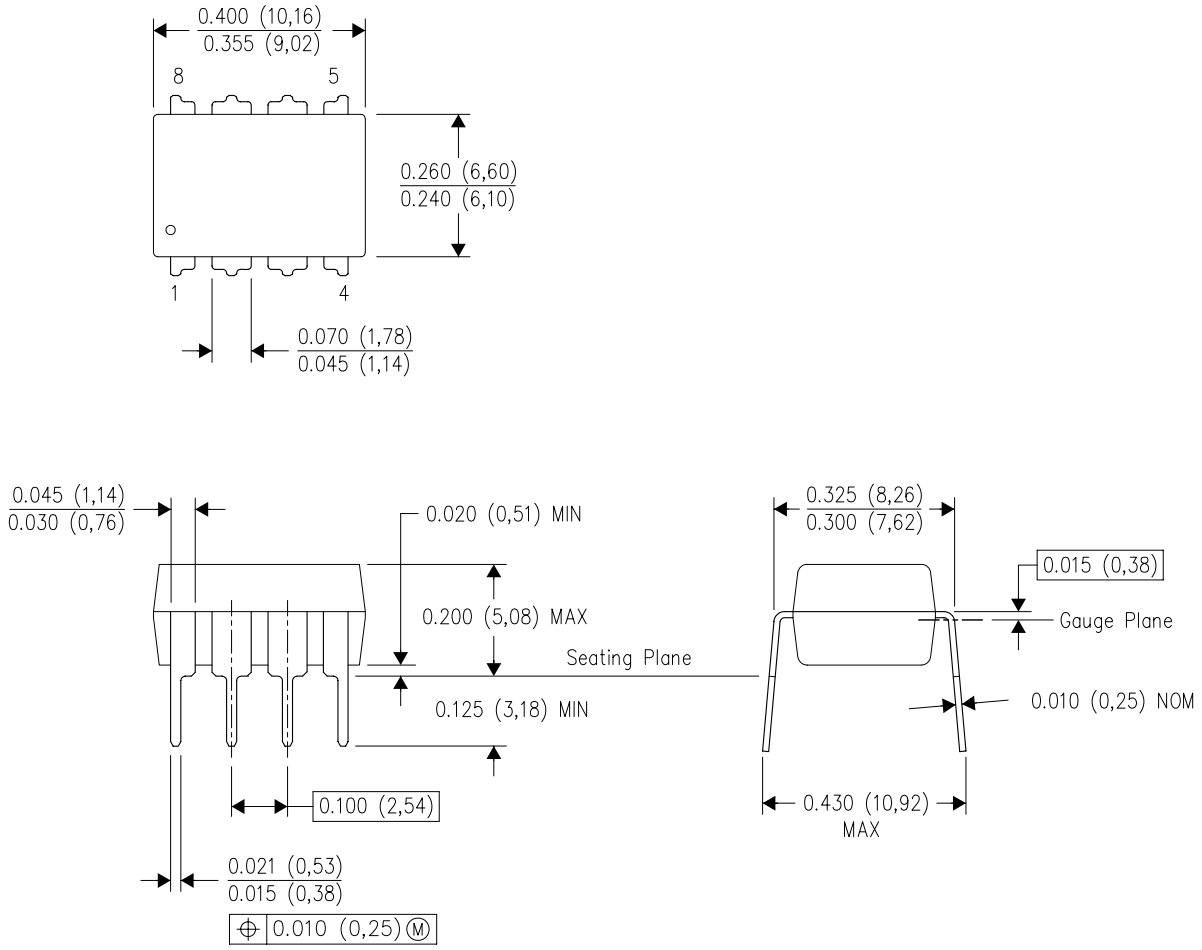
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R–PDSO–G8) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



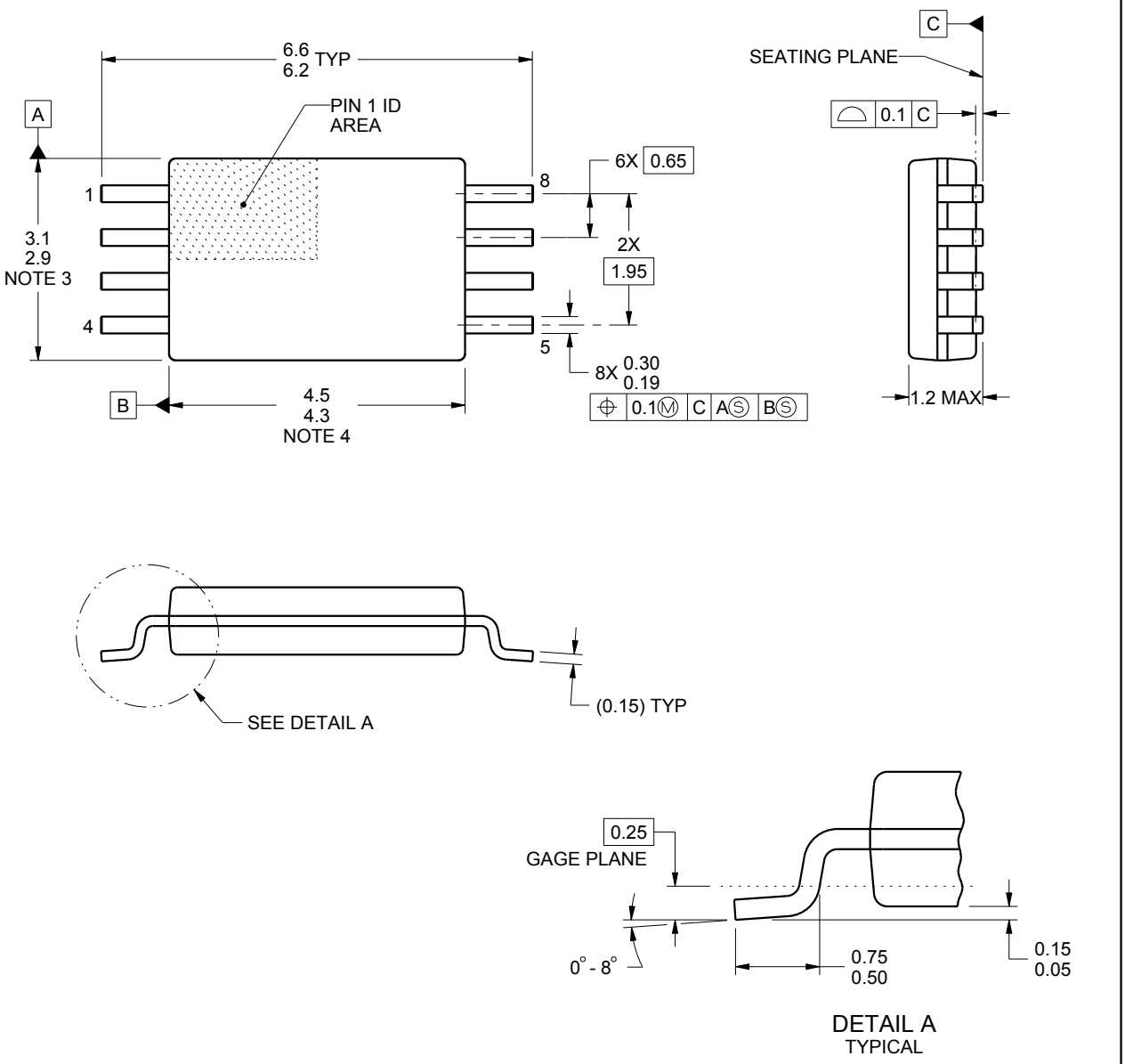
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

PW0008A

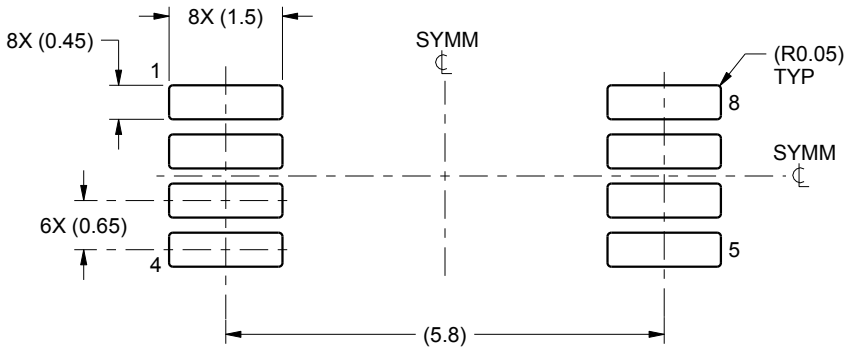
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

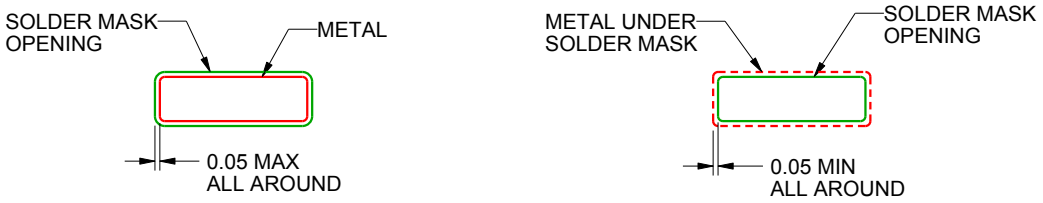


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

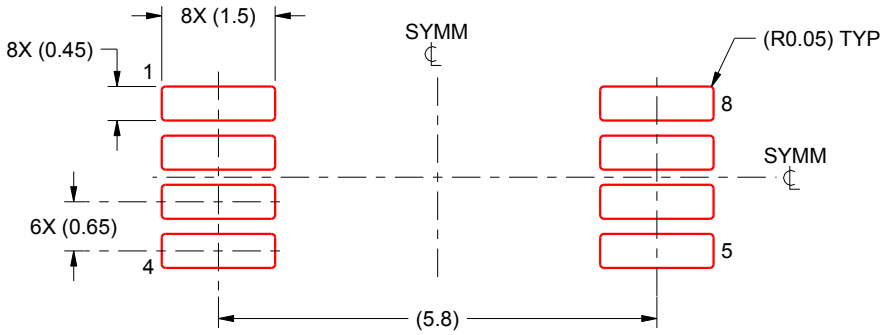


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

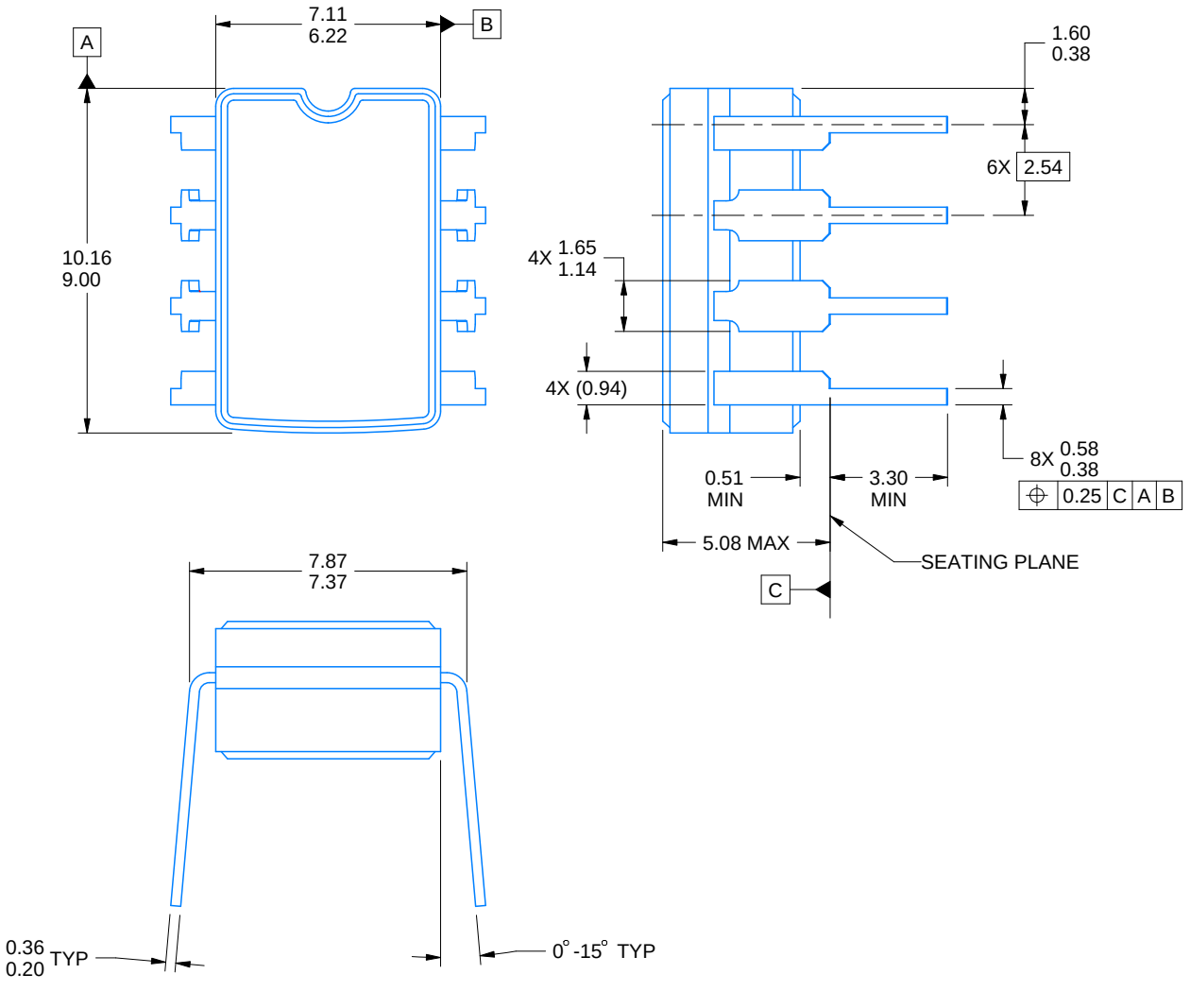
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

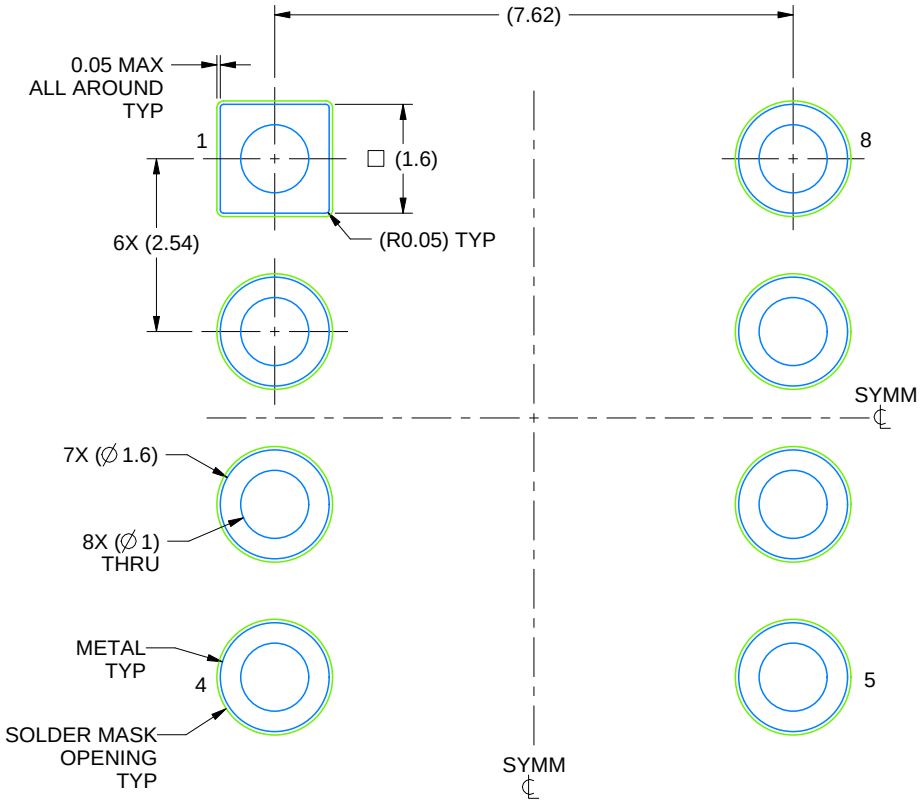
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

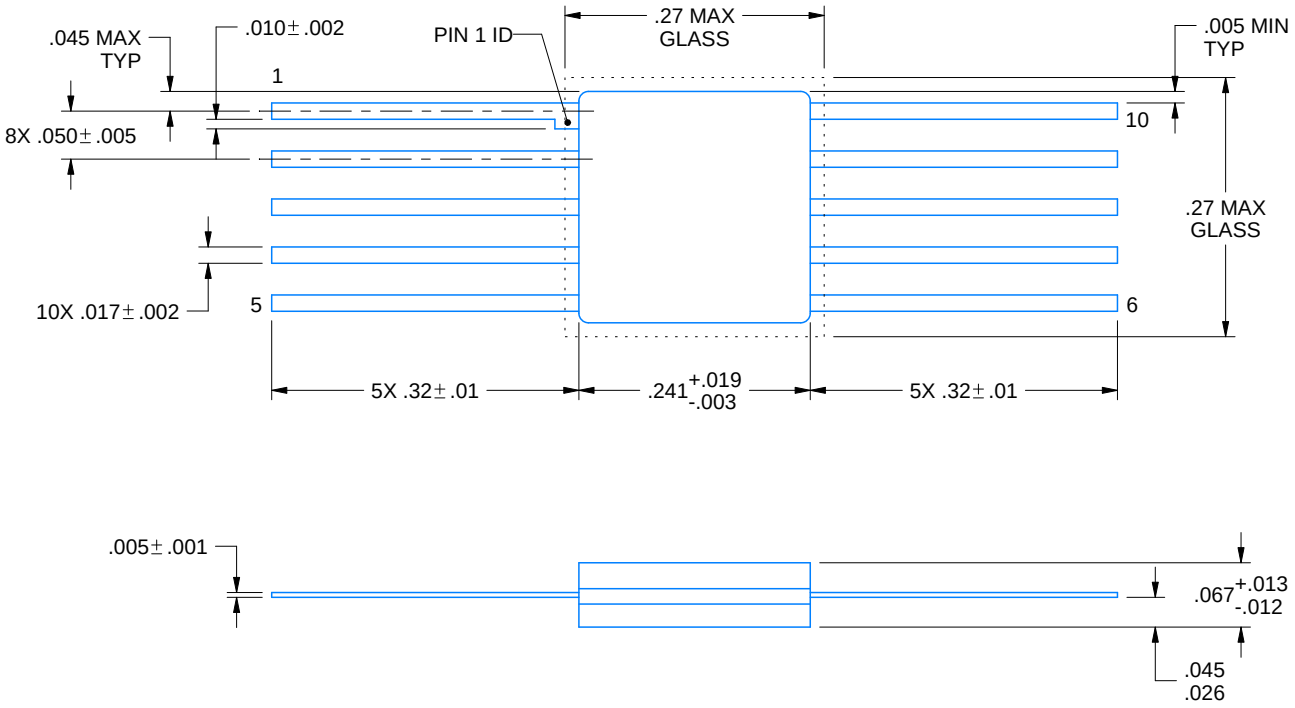
4230036/A 09/2023

U0010A

PACKAGE OUTLINE

CFP - 2.03 mm max height

CERAMIC FLATPACK



4225582/A 01/2020

NOTES:

1. All linear dimensions are in inches. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月