OPAx191 36V 低功耗、CMOS、轨到轨输入/输出、低失调电压、低输入偏置电流精密运算放大器

1 特性

- 低失调电压：±5μV
- 低失调电压漂移：±0.1μV/°C
- 低噪声：1kHz 时为 15nV/√Hz
- 高共模抑制：140 dB
- 低偏置电流：±5pA
- 轨至轨输入和输出
- 宽带宽：2.5MHz GBW
- 高压摆率：5 V/μs
- 低静态电流：每个放大器 140μA
- 宽电源电压：±2.25V 至 ±18V，4.5V 至 36V
- EMI/RFI 滤波输入
- 电源轨的差分输入电压范围
- 高容性负载驱动能力：1nF
- 行业标准封装：
  - SOIC-8、SOT-5 和 VSSOP-8 单体封装
  - SOIC-8 和 VSSOP-8 双列封装
  - SOIC-14、TSSOP-14 和 WQFN-16 四列封装

2 应用

- 模拟输入模块
- 混合模块（AI、AO、DI、DO）
- 数据采集 (DAQ)
- 源测量单元 (SMU)
- 压力变送器
- 列车控制和管理系统
- 实验室和现场仪表

3 说明

OPAx191 系列（OPA191、OPA2191 和 OPA4191）是新一代 36V e-trim™ 运算放大器。

这些器件具有卓越的直流精度和交流性能，包括轨到轨输入/输出、低偏移电压（典型值：±5μV）、低偏移漂移（典型值：±0.2μV/°C）和 2MHz 带宽。

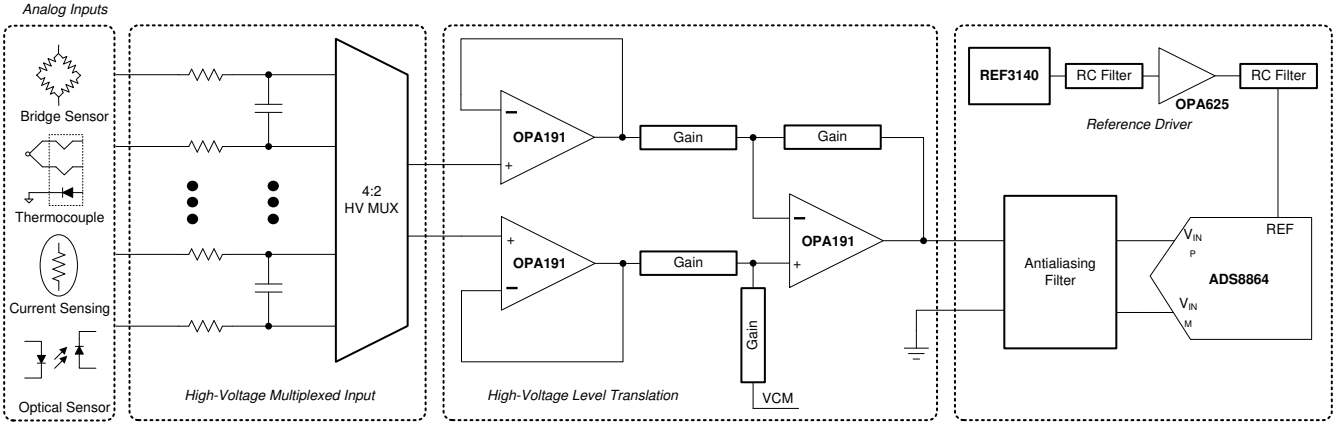
OPAx191 具有独特功能，例如电源轨的差分输入电压范围、高输出电流 (±65mA)、高达 1nF 的高容性负载驱动以及高压摆率 (5V/μs)，是一款稳定可靠的高性能运算放大器，适用于各种高电压工业应用。

OPAx191 系列运算放大器采用标准封装，在 -40°C 至 +125°C 的额定温度范围内工作。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
OPA191	SOIC (8)	4.90mm × 3.90mm
	SOT (5)	2.90mm × 1.60mm
	VSSOP (8)	3.00mm × 3.00mm
OPA2191	SOIC (8)	4.90mm × 3.90mm
	VSSOP (8)	3.00mm × 3.00mm
OPA4191	SOIC (14)	8.65mm x 3.90mm
	TSSOP (14)	5.00mm x 4.40mm
	WQFN (16)	4.00mm x 4.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。



OPA191 应用于高压多路复用数据采集系统

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 3
6 规格 6
6.1 绝对最大额定值 6
6.2 ESD 额定值 6
6.3 建议运行条件 6
6.4 热性能信息：OPA191 7
6.5 热性能信息：OPA2191 7
6.6 热性能信息：OPA4191 7
6.7 电气特性：V_S = ±4V 至 ±18V（V_S = 8V 至 36V） 8
6.8 电气特性：V_S = ±2.25V 至 ±4V（V_S = 4.5V 至 8V） 10
6.9 典型特性 12
7 参数测量信息 21
7.1 输入偏移电压漂移 21
8 详细说明 23
8.1 概述 23
8.2 功能方框图 23
8.3 特性说明 24
8.4 器件功能模式 31
9 应用和实现 32
9.1 应用信息 32
9.2 典型应用 32
10 电源相关建议 36
11 布局 36
11.1 布局指南 36
11.2 布局示例 37
12 器件和文档支持 38
12.1 器件支持 38
12.2 文档支持 38
12.3 接收文档更新通知 38
12.4 支持资源 38
12.5 商标 39
12.6 Electrostatic Discharge Caution 39
12.7 术语表 39
13 机械、封装和可订购信息 39

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (October 2019) to Revision D (August 2021) — **Page**

- 将 OPA4191 PW (TSSOP-14) 封装从预发布更改为量产数据（正在供货） 1

Changes from Revision B (July 2019) to Revision C (October 2019) — **Page**

- 将 OPA4191 RUM 封装从预发布更改为量产数据（正在供货） 1

Changes from Revision A (April 2016) to Revision B (July 2019) — **Page**

- 向数据表添加了 16 引脚 RUM (WQFN) 封装预告信息（预发布）和相关内容 1
- 将图 32 中的条件从 G = –1 更改为 G = 1 12
- 将图 33 中的条件从 G = 1 更改为 G = –1 12

Changes from Revision * (December 2015) to Revision A (April 2016) — **Page**

- 将 DBV 和 DGK 封装从产品预发布更改为量产数据 1
- 将图 23 中的噪声从 0.1Hz 更改为 10Hz 12
- 向*容性负载和稳定性*部分中添加了容性负载驱动相关的文本 27
- 添加了图 56 27

Copyright © 2022 Texas Instruments Incorporated

5 引脚配置和功能

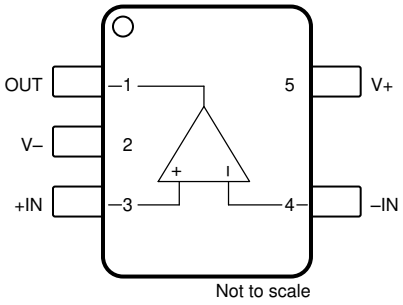


图 5-1. OPA191 DBV (5 引脚 SOT) 封装，顶视图

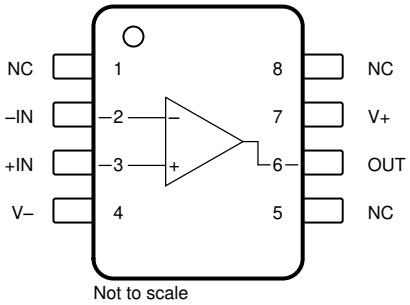


图 5-2. OPA191 D (8 引脚 SOIC) 和 DGK (8 引脚 VSSOP) 封装，顶视图

引脚功能：OPA191

引脚			I/O	说明
名称	OPA191			
	D (SOIC)、DGK (VSSOP)	DBV (SOT)		
+IN	3	3	I	同相输入
–IN	2	4	I	反相输入
NC	1、5、8	—	—	未进行内部电路连接 (可以悬空)
OUT	6	1	O	输出
V+	7	5	—	正 (最高) 电源
V–	4	2	—	负 (最低) 电源

Copyright © 2022 Texas Instruments Incorporated

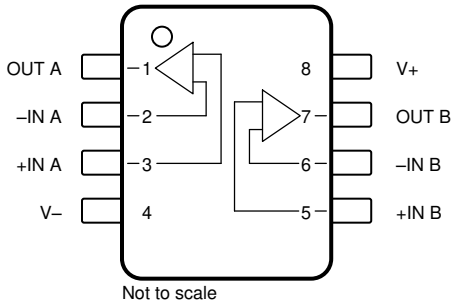


图 5-3. OPA2191 D（8 引脚 SOIC）和 DGK（8 引脚 VSSOP）封装，顶视图

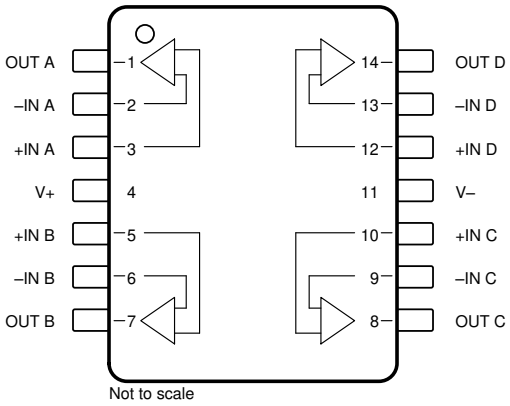


图 5-4. OPA4191 D（14 引脚 SOIC）和 PW（14 引脚 TSSOP）封装，顶视图

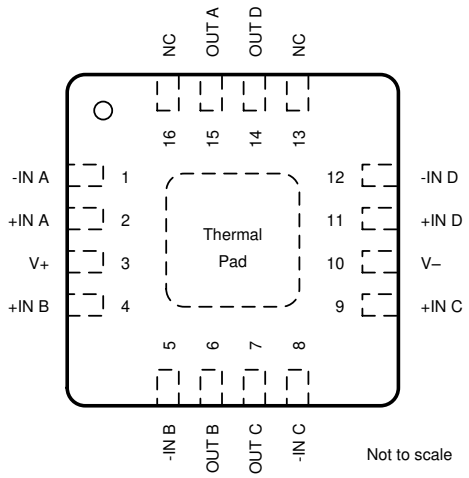


图 5-5. OPA4191 RUM（16 引脚 WQFN，带有外露散热焊盘）封装，顶视图

引脚功能：OPA2191 和 OPA4191

引脚				I/O	说明
名称	OPA2191	OPA4191			
	D (SOIC)、DGK (VSSOP)	D (SOIC)、PW (TSSOP)	RUM (QFN)		
+IN A	3	3	2	I	同相输入，通道 A
+IN B	5	5	4	I	同相输入，通道 B
+IN C	—	10	9	I	同相输入，通道 C
+IN D	—	12	11	I	同相输入，通道 D
–IN A	2	2	1	I	反相输入，通道 A
–IN B	6	6	5	I	反相输入，通道 B
–IN C	—	9	8	I	反相输入，通道 C
–IN D	—	13	12	I	反相输入，通道 D
OUT A	1	1	15	O	输出，通道 A
OUT B	7	7	6	O	输出，通道 B
OUT C	—	8	7	O	输出，通道 C
OUT D	—	14	14	O	输出，通道 D
V+	8	4	3	—	正（最高）电源

Copyright © 2022 Texas Instruments Incorporated

引脚功能：OPA2191 和 OPA4191 (continued)

引脚				I/O	说明
名称	OPA2191	OPA4191			
	D (SOIC)、DGK (VSSOP)	D (SOIC)、PW (TSSOP)	RUM (QFN)		
V–	4	11	10	—	负（最低）电源

Copyright © 2022 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
电源电压，V_S = (V+) – (V–)				±20 （+40，单电源）	V
信号输入引脚	电压	共模	(V–) – 0.5	(V+) + 0.5	V
		差分		(V+) – (V–) + 0.2	
	电流			±10	mA
输出短路(2)			持续	持续	持续
温度	工作温度		-40	150	°C
	结温			150	
	贮存温度，T_{stg}		-65	150	

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间在最大绝对额定条件下运行会影响器件可靠性。
(2) 接地短路，每个封装对应一个放大器。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±3000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)，仅限 OPA4191IPW 封装	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压，V_S = (V+) – (V–)	4.5 (±2.25)		36 (±18)	V
额定温度范围	-40		125	°C

Copyright © 2022 Texas Instruments Incorporated

6.4 热性能信息：OPA191

热指标(1)		OPA191			单位
		D (SOIC)	DGK (VSSOP)	DBV (SOT)	
		8 引脚		5 引脚	
$R_{\theta JA}$	结至环境热阻	115.8	180.4	158.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	60.1	67.9	60.7	°C/W
$R_{\theta JB}$	结至电路板热阻	56.4	102.1	44.8	°C/W
ψ_{JT}	结至顶部特征参数	12.8	10.4	1.6	°C/W
ψ_{JB}	结至电路板特征参数	55.9	100.3	4.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

6.5 热性能信息：OPA2191

热指标(1)		OPA2191		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚		
$R_{\theta JA}$	结至环境热阻	107.9	158	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	53.9	48.6	°C/W
$R_{\theta JB}$	结至电路板热阻	48.9	78.7	°C/W
ψ_{JT}	结至顶部特征参数	6.6	3.9	°C/W
ψ_{JB}	结至电路板特征参数	48.3	77.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

6.6 热性能信息：OPA4191

热指标(1)		OPA4191			单位
		D (SOIC)	PW (TSSOP)	RUM (QFN)	
		14 个引脚		16 个引脚	
$R_{\theta JA}$	结至环境热阻	86.4	108.1	33.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	46.3	26.3	25.1	°C/W
$R_{\theta JB}$	结至电路板热阻	41.0	54.4	11.6	°C/W
ψ_{JT}	结至顶部特征参数	11.3	1.4	0.2	°C/W
ψ_{JB}	结至电路板特征参数	40.7	53.3	11.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	2.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

Copyright © 2022 Texas Instruments Incorporated

6.7 电气特性：V_S = ±4V 至 ±18V（V_S = 8V 至 36V）

在 T_A = +25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_S = ±18V			±5	±25	μV
			T_A = 0°C 至 85°C		±8	±75	
			T_A = -40°C 至 +125°C		±10	±125	
		(V+) – 3.0 V < V_{CM} < (V+) – 1.5 V			请参阅典型特性		
		V_S = ±18V，V_{CM} = (V+) – 1.5V			±10	±50	
			T_A = 0°C 至 85°C		±25	±150	
			T_A = -40°C 至 +125°C		±50	±250	
		OPA4191（RUM、PW），V_S = ±18V VCM = (V+) – 1.5V			±5	±50	
			T_A = 0°C 至 85°C		±10	±475	
			TA = -40°C 至 +125°C		±20	±740	
dV_{OS}/dT	输入失调电压漂移	V_S = ±18V，仅限 D 和 PW 封装	T_A = 0°C 至 85°C		±0.1	±0.8	μV/°C
			T_A = –40°C 至 +125°C		±0.15	±1.2	
		V_S = ±18V，仅限 RUM、DGK 和 DBV 封装	T_A = 0°C 至 85°C		±0.1	±0.9	
			T_A = -40°C 至 +125°C		±0.15	±1.3	
		V_S = ±18V，V_{CM} = (V+) – 1.5V	T_A = –40°C 至 +125°C		±0.5		
PSRR	电源抑制比	T_A = -40°C 至 +125°C			±0.3	±1.0	μV/V
输入偏置电流							
I_B	输入偏置电流				±5	±20	pA
		T_A=-40°C 至 +125°C				±9	nA
I_{OS}	输入失调电流				±2	±20	pA
		T_A=-40°C 至 +125°C				±2	nA
噪声							
E_n	输入电压噪声	(V-)-0.1V<V_{CM}<(V+)-3V	f = 0.1Hz 至 10Hz		1.4		$μV_{PP}$
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V	f = 0.1Hz 至 10Hz		7		
e_n	输入电压噪声密度	(V-)-0.1V<V_{CM}<(V+)-3V	f = 100Hz		18		nV/√Hz
			f = 1kHz		15		
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V	f = 100Hz		53		
			f = 1kHz		24		
i_n	输入电流噪声密度	f = 1kHz			1.5		fA/√Hz
输入电压							
V_{CM}	共模电压范围			(V–) – 0.1		(V+)+0.1	V
CMRR	共模抑制比	V_S = ±18V，(V–) – 0.1V < V_{CM} < (V+) – 3V		120	140		dB
		V_S = ±18V，(V–) < V_{CM} < (V+) – 3V	T_A = -40°C 至 +125°C	114	126		
		V_S = ±18V，(V+) – 1.5V < V_{CM} < (V+)		96	120		
			T_A = -40°C 至 +125°C	86	100		
		(V+) – 3V < V_{CM} < (V+) – 1.5V			请参阅典型特性		
输入阻抗							
Z_{ID}	差分				100 || 1.6		MΩ || pF
Z_{IC}	共模				1 || 6.4		10^{13}Ω || pF

Copyright © 2022 Texas Instruments Incorporated

6.7 电气特性：V_S = ±4V 至 ±18V（V_S = 8V 至 36V）(continued)

在 T_A = +25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	V_S = ±18V，(V–) + 0.6V < V_O < (V+) – 0.6V，R_L = 2kΩ		124	134		dB
		V_S = ±18V，(V–) + 0.8V < V_O < (V+) – 0.8V，R_L = 2kΩ，RUM 封装		124	134		
		V_S = ±18V，(V–) + 0.6V < V_O < (V+) – 0.6V，R_L = 2kΩ	T_A = -40°C 至 +125°C	114	126		
		V_S = ±18V，(V–) + 0.8V < V_O < (V+) – 0.8V，R_L = 2kΩ，RUM 封装	T_A = -40°C 至 +125°C	114	126		
		V_S = ±18V，(V–) + 0.3V < V_O < (V+) – 0.3V，R_L = 10kΩ		126	140		
		V_S = ±18V，(V–) + 0.3V < V_O < (V+) – 0.3V，R_L = 10kΩ	T_A = -40°C 至 +125°C	120	134		
频率响应							
GBW	单位带宽增益积				2.5		MHz
SR	压摆率	V_S = ±18V，G = 1，10V 阶跃	下降		7.5		V/μs
			上升		5.5		
t_s	建立时间	达 0.01%，C_L = 20pF	V_S = ±18V，G = 1，2V 阶跃		0.7		μs
			V_S = ±18V，G = 1，5V 阶跃		1		
		达 0.001%，C_L = 20pF	V_S = ±18V，G = 1，2V 阶跃		1.8		
			V_S = ±18V，G = 1，5V 阶跃		3.7		
t_{OR}	过载恢复时间	V_{IN} × G = V_S	从过载到负电源轨		0.4		μs
			从过载到正电源轨		1		
THD+N	总谐波失真 + 噪声	G = 1，f = 1kHz，V_O = 3.5V_{RMS}			0.0012%		
	串扰	OPA2191 和 OPA4191，在直流下			150		dB
		OPA2191 和 OPA4191，f = 100kHz			130		dB
输出							
V_O	自电源轨的电压输出摆幅	正电源轨	无负载		5	15	mV
			R_L = 10kΩ		50	110	
			R_L = 2kΩ		200	500	
		负电源轨	无负载		5	15	
			R_L = 10kΩ		50	110	
			R_L = 2kΩ		200	500	
I_{SC}	短路电流	V_S = ±18V			±65		mA
C_L	容性负载驱动				请参阅典型特性		
Z_O	开环输出阻抗	f = 1MHz，I_O = 0A，请参阅“典型特性”			700		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			140	200	μA
			T_A = –40°C 至 +125°C			250	
温度							
	过热保护				180		°C
	热迟滞				30		℃

Copyright © 2022 Texas Instruments Incorporated

6.8 电气特性：V_S = ±2.25V 至 ±4V（V_S = 4.5V 至 8V）

在 T_A = 25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_S = ±2.25V，V_{CM} = (V+) – 3V			±5	±25	μV
			T_A = 0°C 至 85°C		±8	±75	
			T_A = -40°C 至 +125°C		±10	±125	
		(V+) – 3.0 V < V_{CM} < (V+) – 1.5 V			请参阅典型特性		
		V_S = ±3V，V_{CM} = (V+) – 1.5V			±10	±50	
			T_A = 0°C 至 85°C		±25	±150	
			T_A = -40°C 至 +125°C		±50	±250	
		OPA4191（RUM、PW），V_S = ±3V，V_{CM} = (V+) – 1.5V			±10	±50	
			T_A = –40°C 至 +85°C		±90	±475	
			T_A = –40°C 至 +125°C		±150	±740	
dV_{OS}/dT	输入失调电压漂移	V_S = ±2.25V，V_{CM} = (V+) – 3V，仅限 D 和 PW 封装	T_A = 0°C 至 85°C		±0.1	±0.8	μV/°C
			T_A = –40°C 至 +125°C		±0.15	±1.2	μV/°C
		V_S = ±2.25V，V_{CM} = (V+) – 3V，仅限 RUM、DGK 和 DBV 封装	T_A = 0°C 至 85°C		±0.1	±0.9	μV/°C
			T_A = -40°C 至 +125°C		±0.15	±1.3	
		V_S = ±2.25V，V_{CM} = (V+) – 1.5V	T_A = –40°C 至 +125°C		±0.5		
PSRR	电源抑制比	T_A = –40°C 至 +125°C，V_{CM} = V_S / 2 – 0.75V			±1		μV/V
输入偏置电流							
I_B	输入偏置电流				±5	±20	pA
		T_A=-40°C 至 +125°C				±9	nA
I_{OS}	输入失调电流				±2	±20	pA
		T_A=-40°C 至 +125°C				±2	nA
噪声							
E_n	输入电压噪声	(V-)-0.1V<V_{CM}<(V+)-3V	f = 0.1Hz 至 10Hz		1.4		$μV_{PP}$
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V	f = 0.1Hz 至 10Hz		7		
e_n	输入电压噪声密度	(V-)-0.1V<V_{CM}<(V+)-3V	f = 100Hz		18		nV/√Hz
			f = 1kHz		15		
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V	f = 100Hz		53		
			f = 1kHz		24		
i_n	输入电流噪声密度		f = 1kHz		1.5		fA/√Hz
输入电压							
V_{CM}	共模电压范围			(V –) – 0.1		(V+)+0.1	V
CMRR	共模抑制比	V_S = ±2.25V，(V –) – 0.1V < V_{CM} < (V+) – 3V		96	110		dB
		V_S = ±2.25V，(V –) < V_{CM} < (V+) – 3V	T_A = -40°C 至 +125°C	90	104		
		V_S = ±2.25V，(V+) – 1.5V < V_{CM} < (V+)		96	120		
			T_A = -40°C 至 +125°C	84	100		
		(V+) – 3V < V_{CM} < (V+) – 1.5V			请参阅典型特性		
输入阻抗							
Z_{ID}	差分				100 || 1.6		MΩ || pF
Z_{IC}	共模				1 || 6.4		10^{13}Ω || pF

Copyright © 2022 Texas Instruments Incorporated

6.8 电气特性：V_S = ±2.25V 至 ±4V（V_S = 4.5V 至 8V）(continued)

在 T_A = 25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	V_S = ±2.25V，(V–) + 0.6V < V_O < (V+) – 0.6V，R_L = 2kΩ		110	120		dB
			T_A = -40°C 至 +125°C	100	114		
		V_S = ±2.25V，(V–) + 0.3V < V_O < (V+) – 0.3V，R_L = 10kΩ		110	126		
			T_A = -40°C 至 +125°C	106	120		
频率响应							
GBW	单位带宽增益积				2.2		MHz
SR	压摆率	V_S = ±2.25V，G = 1，1V 阶跃	下降		6.5		V/μs
			上升		5.5		
t_{OR}	过载恢复时间	V_{IN} × G = V_S	从过载到负电源轨		0.4		μs
			从过载到正电源轨		1		
	串扰	OPA2191 和 OPA4191，在直流下			150		dB
		OPA2191 和 OPA4191，f = 100kHz			130		dB
输出							
V_O	自电源轨的电压输出摆幅	正电源轨	无负载		5	15	mV
			R_L = 10kΩ		15	110	
			R_L = 2kΩ		60	500	
		负电源轨	无负载		5	15	
			R_L = 10kΩ		15	110	
			R_L = 2kΩ		60	500	
I_{SC}	短路电流	V_S = ±2.25V			±30		mA
C_L	容性负载驱动				请参阅典型特性		
Z_O	开环输出阻抗	f = 1MHz，I_O = 0A，请参阅“典型特性”			700		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			140	200	μA
			T_A = –40°C 至 +125°C			250	
温度							
	过热保护				180		°C
	热迟滞				30		℃

Copyright © 2022 Texas Instruments Incorporated

6.9 典型特性

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）

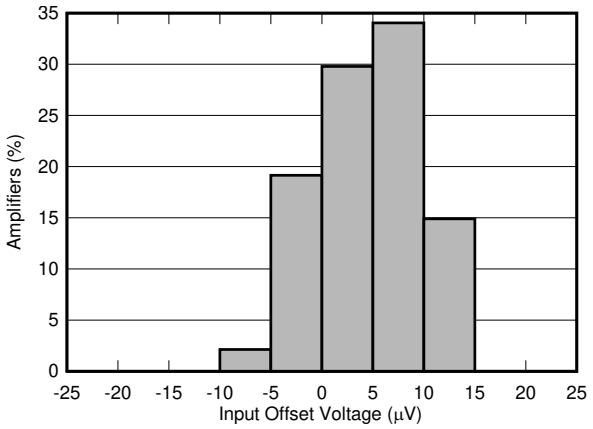
表 6-1. 图形表

说明	图表
失调电压产生分布	图 6-1，图 6-2，图 6-3，图 6-4，图 6-5，图 6-6
失调电压漂移分配	图 6-7、图 6-8，
失调电压与温度间的关系	图 6-9、图 6-10
失调电压与共模电压间的关系	图 6-11、图 6-12
失调电压与电源间的关系	图 6-13
开环增益和相位与频率间的关系	图 6-14
闭环增益和相位与频率间的关系	图 6-15
输入偏置电流与共模电压间的关系	图 6-16
输入偏置电流与温度间的关系	图 6-17
输出电压摆幅与输出电流间的关系（最大电源电压）	图 6-18、图 6-19
CMRR 和 PSRR 与频率间的关系	图 6-20
CMRR 与温度间的关系	图 6-21
PSRR 与温度间的关系	图 6-22
0.1Hz 至 10Hz 噪声	图 6-23
输入电压噪声频谱密度与频率间的关系	图 6-24
THD+N 比与频率间的关系	图 6-25
THD+N 与输出幅度间的关系	图 6-26
静态电流与电源电压间的关系	图 6-27
静态电流与温度间的关系	图 6-28
开环增益与温度间的关系	图 6-29、图 6-30
开环输出阻抗与频率间的关系	图 6-31
小信号过冲与容性负载间的关系（输出阶跃为 100mV）	图 6-32，图 6-33
无相位反转	图 6-34
过载恢复	图 6-35
小信号阶跃响应 (100mV)	图 6-36、图 6-37
大信号阶跃响应	图 6-38, 图 6-39
建立时间	图 6-40、图 6-41、图 6-42、图 6-43
短路电流与温度间的关系	图 6-44
最大输出电压与频率间的关系	图 6-45
传播延迟上升沿	图 6-46
传播延迟下降沿	图 6-47

Copyright © 2022 Texas Instruments Incorporated

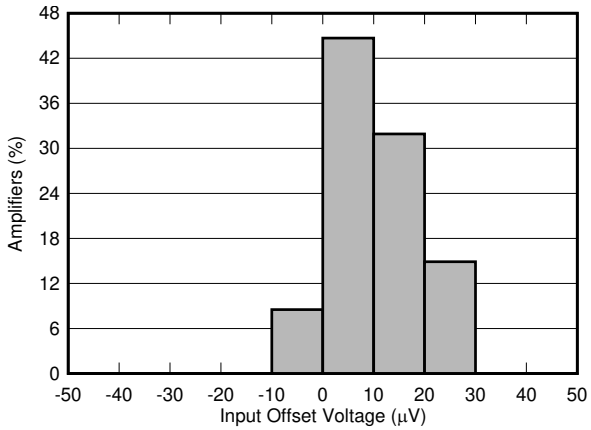
6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）



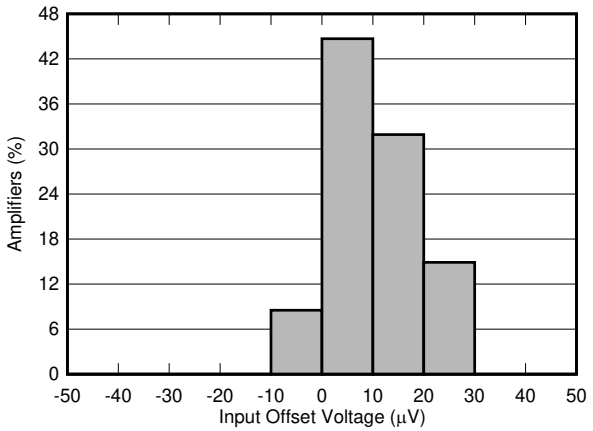
T_A = 25°C

图 6-1. 失调电压生产分配



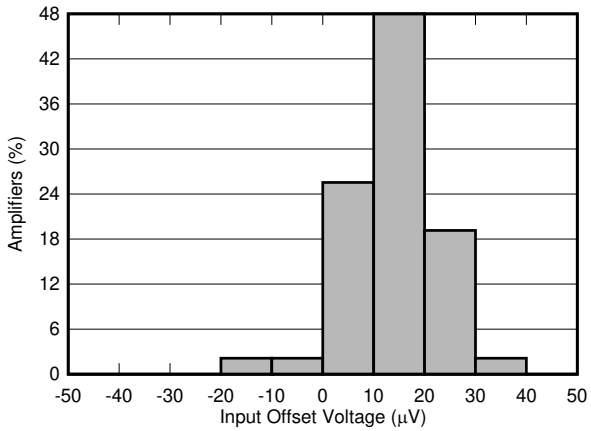
T_A = 125°C

图 6-2. 失调电压生产分配



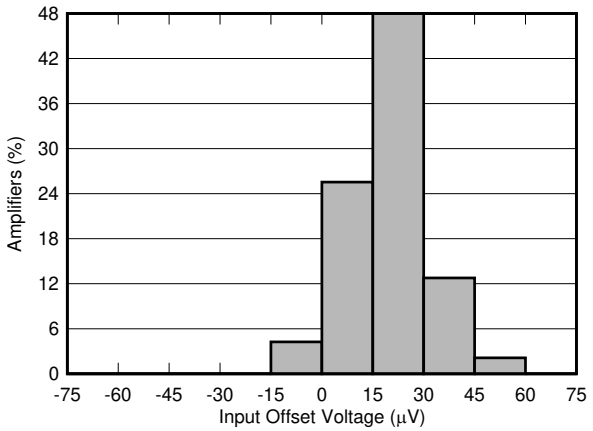
T_A = 85°C

图 6-3. 失调电压生产分配



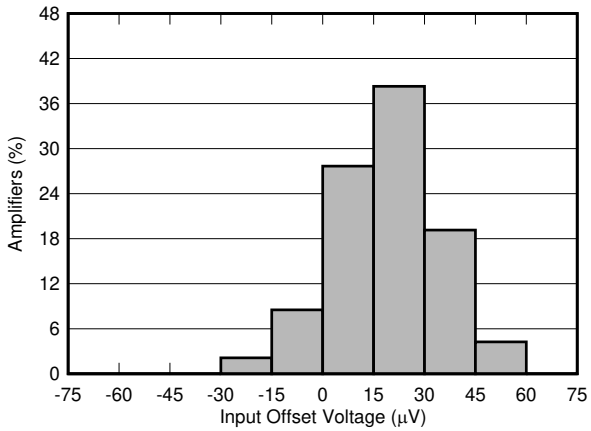
T_A = 0°C

图 6-4. 失调电压生产分配



T_A = -25°C

图 6-5. 失调电压生产分配



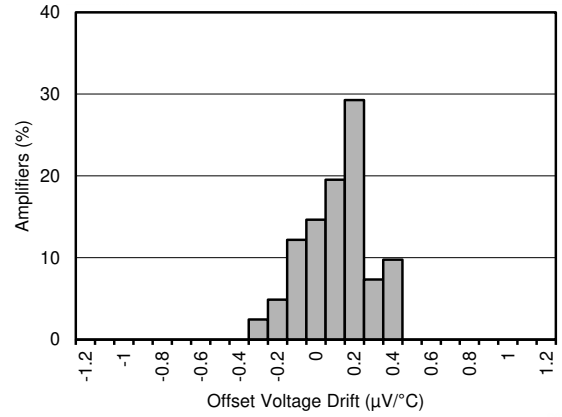
T_A = -40°C

图 6-6. 失调电压生产分配

Copyright © 2022 Texas Instruments Incorporated

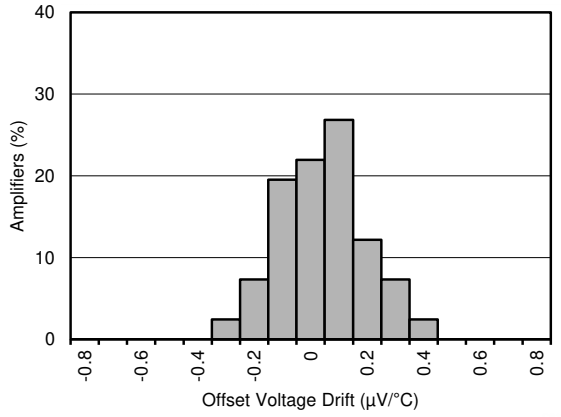
6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）



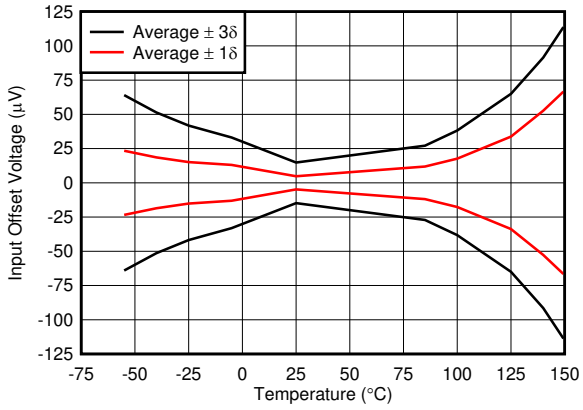
T_A = –40°C 至 +125°C，SOIC 封装

图 6-7. 失调电压漂移分配



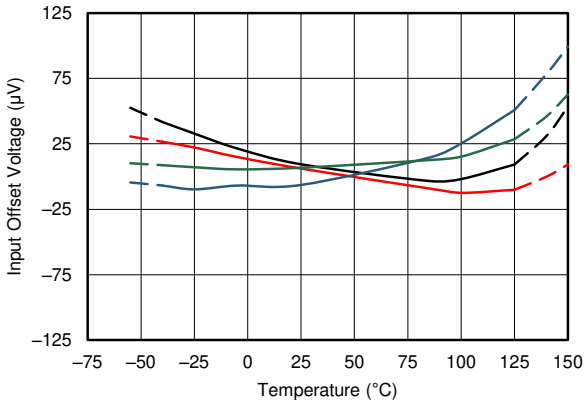
T_A = 0°C 至 85°C，SOIC 封装

图 6-8. 失调电压漂移分配



统计分布

图 6-9. 失调电压与温度间的关系



4 个典型芯片

图 6-10. 失调电压与温度间的关系

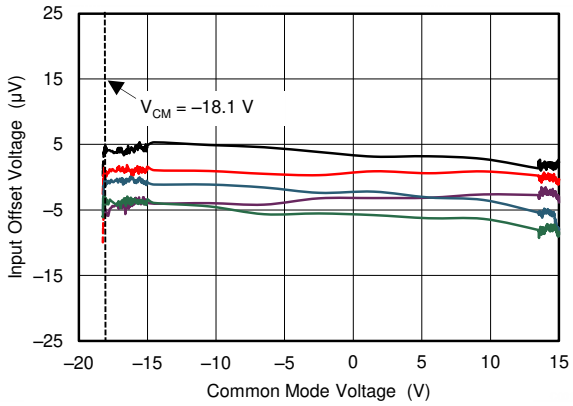


图 6-11. 失调电压与共模电压间的关系

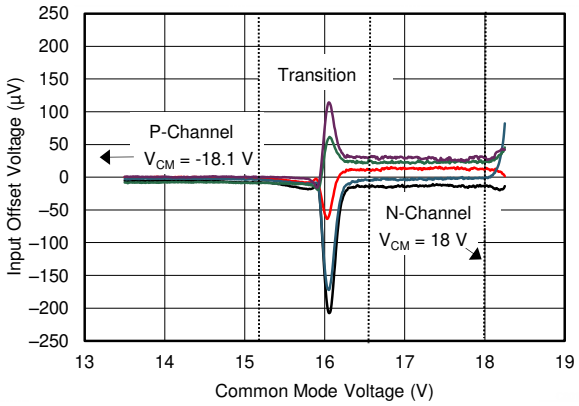
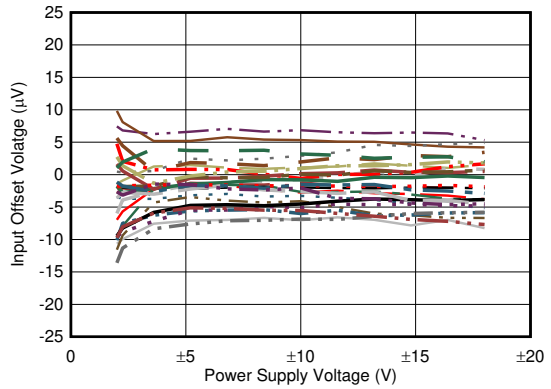


图 6-12. 失调电压与共模电压间的关系（转换区域）

Copyright © 2022 Texas Instruments Incorporated

6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）



30 个典型芯片

图 6-13. 失调电压与电源间的关系

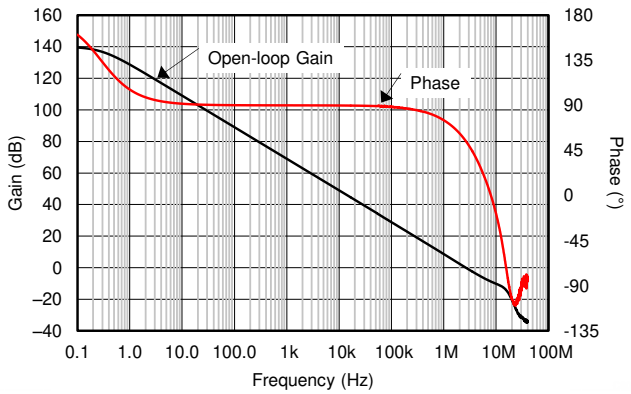


图 6-14. 开环增益和相位与频率间的关系

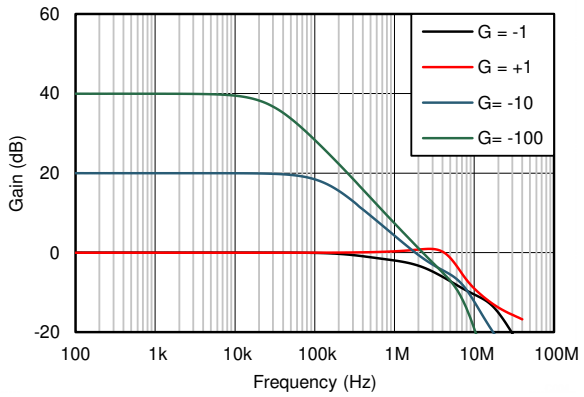


图 6-15. 闭环增益与频率间的关系

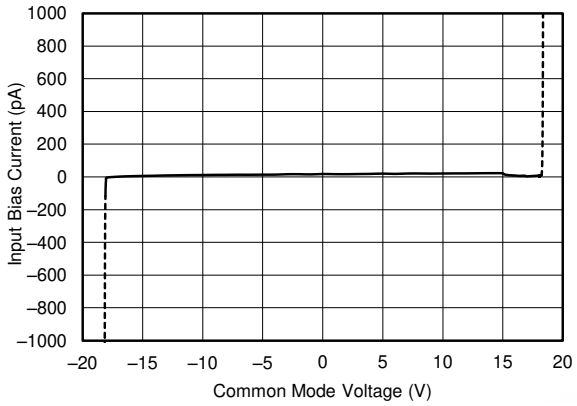


图 6-16. 输入偏置电流与共模电压间的关系

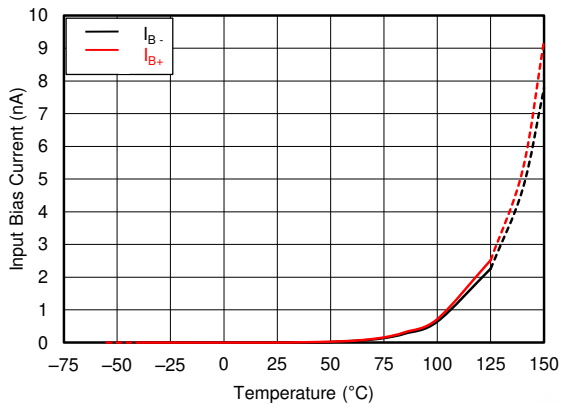
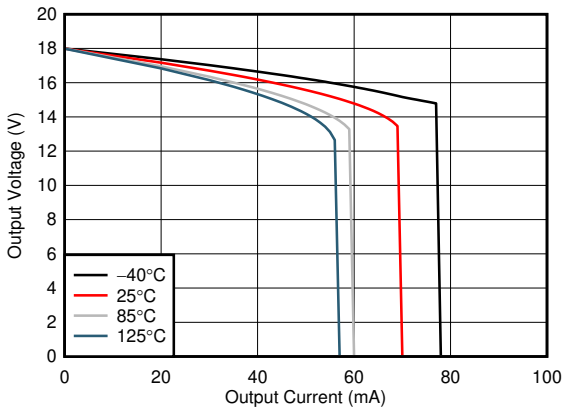


图 6-17. 输入偏置电流与温度间的关系



拉电流

图 6-18. 输出电压摆幅与输出电流间的关系

6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）

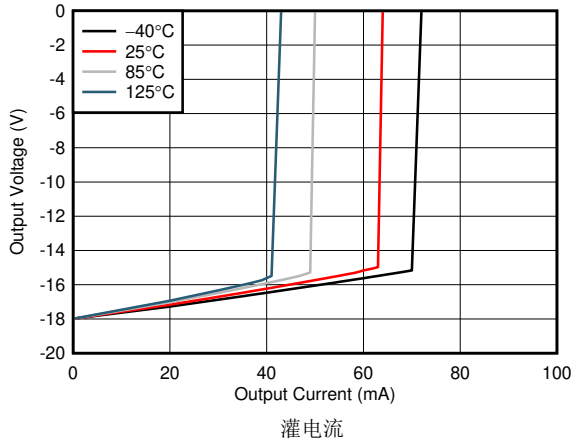


图 6-19. 输出电压摆幅与输出电流间的关系

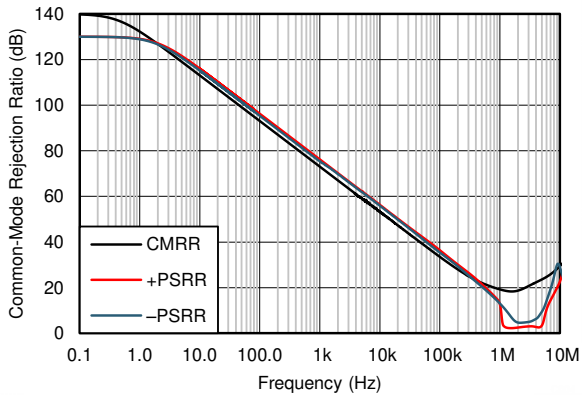


图 6-20. CMRR 和 PSRR 与频率间的关系

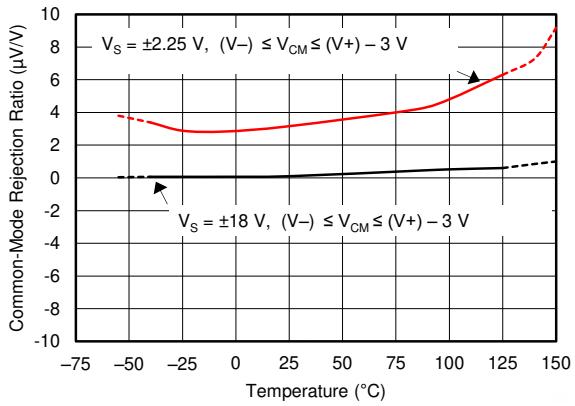


图 6-21. CMRR 与温度间的关系

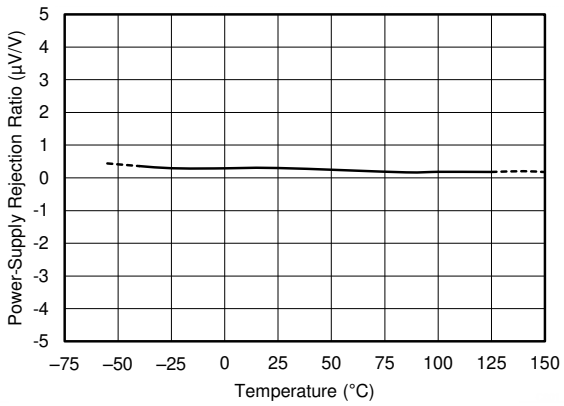


图 6-22. PSRR 与温度间的关系

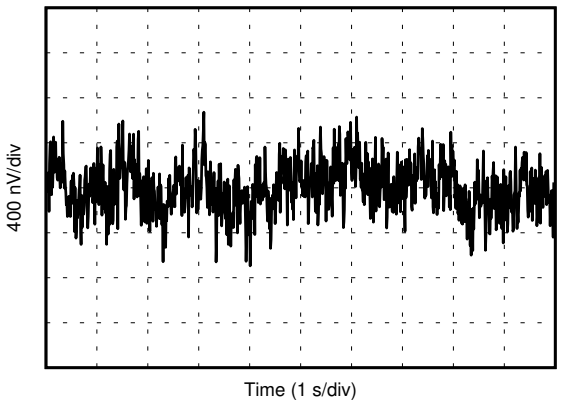


图 6-23. 0.1Hz 至 10Hz 噪声

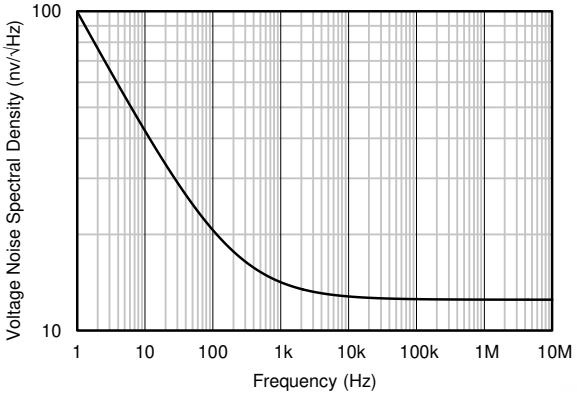


图 6-24. 输入电压噪声频谱密度与频率间的关系

Copyright © 2022 Texas Instruments Incorporated

6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）

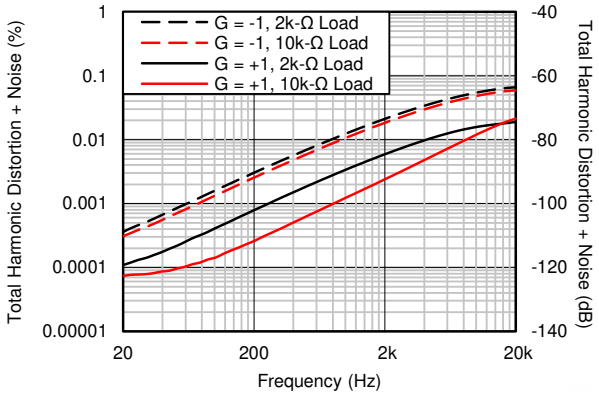


图 6-25. THD+N 与频率间的关系

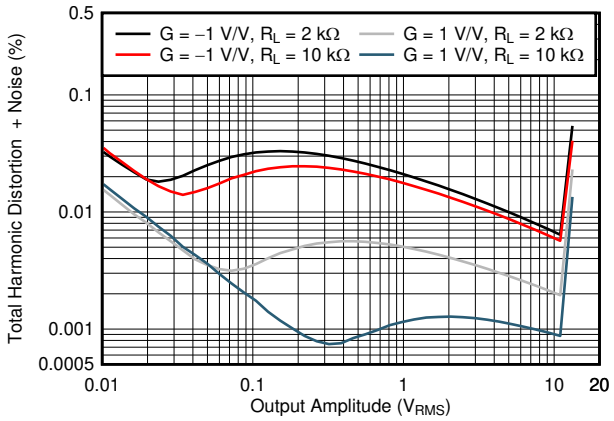


图 6-26. THD+N 与输出幅度间的关系

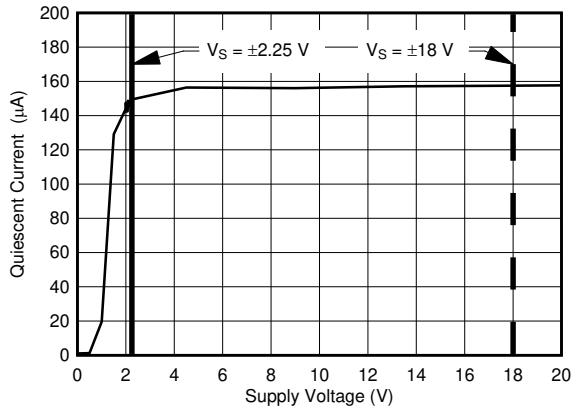


图 6-27. 静态电流与电源电压间的关系

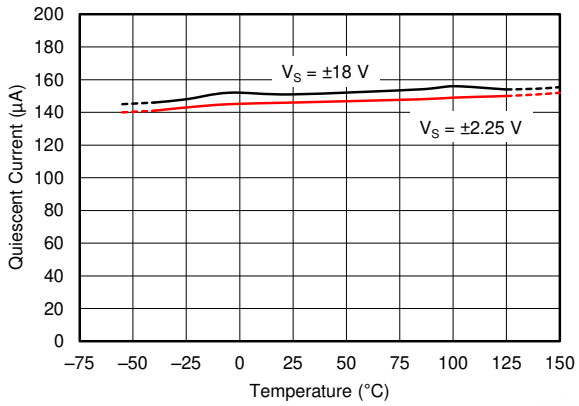
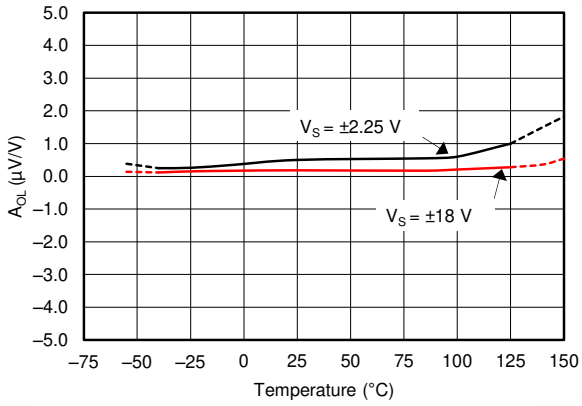
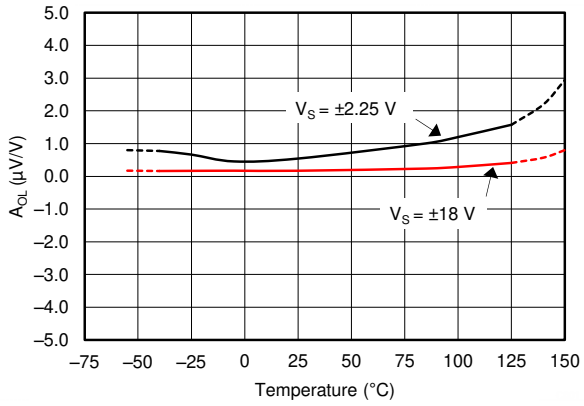


图 6-28. 静态电流与温度间的关系



RL = 10kΩ

图 6-29. 开环增益与温度间的关系



RL = 2kΩ

图 6-30. 开环增益与温度间的关系

Copyright © 2022 Texas Instruments Incorporated

6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）

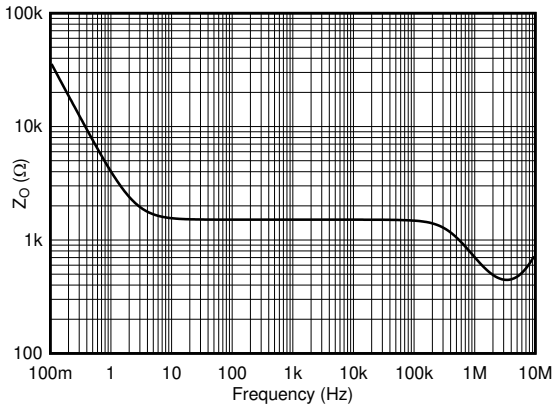
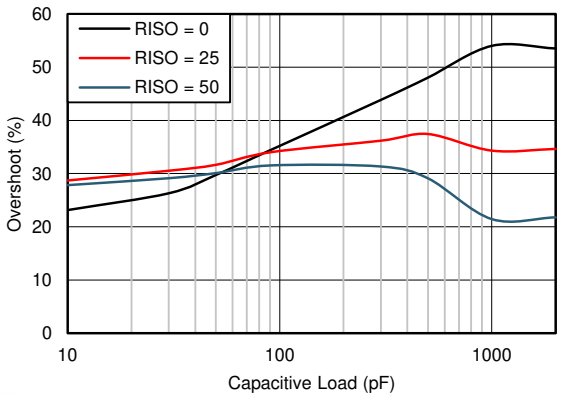
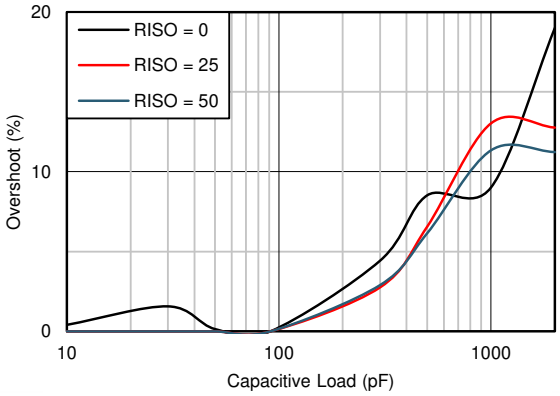


图 6-31. 开环输出阻抗与频率间的关系



G = 1，100mV 输出阶跃

图 6-32. 小信号过冲与容性负载间的关系（100mV 输出阶跃）



G = –1，100mV 输出阶跃

图 6-33. 小信号过冲与容性负载间的关系

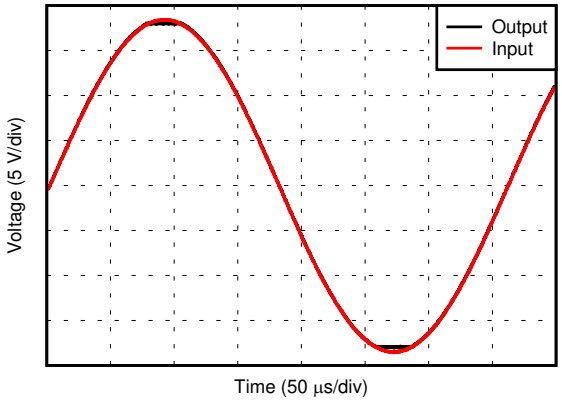
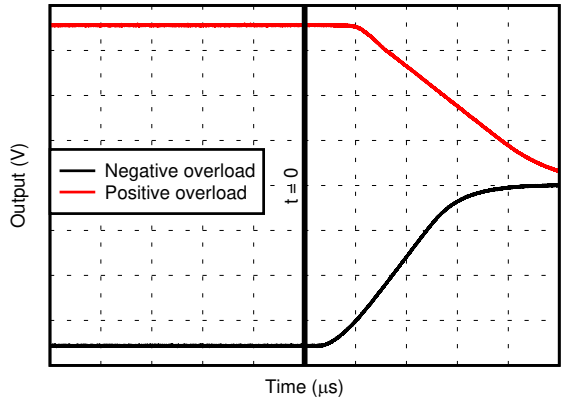
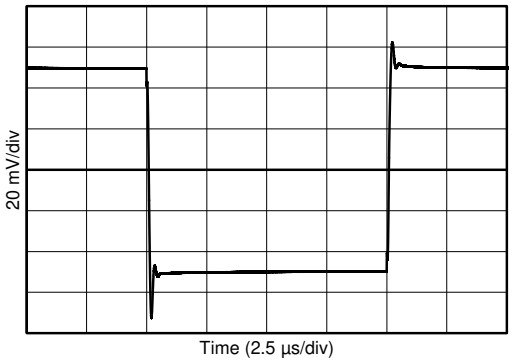


图 6-34. 无相位反转



V_S = ±18V, G = –10V/V

图 6-35. 过载恢复



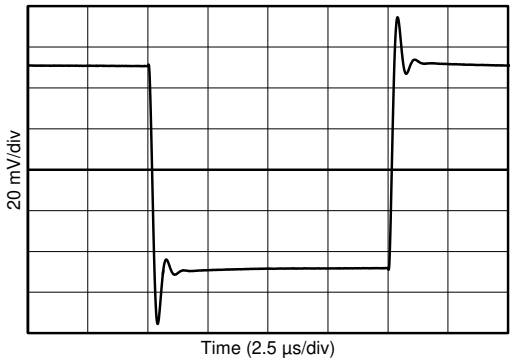
G = 1，C_L = 10pF

图 6-36. 小信号阶跃响应

Copyright © 2022 Texas Instruments Incorporated

6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）

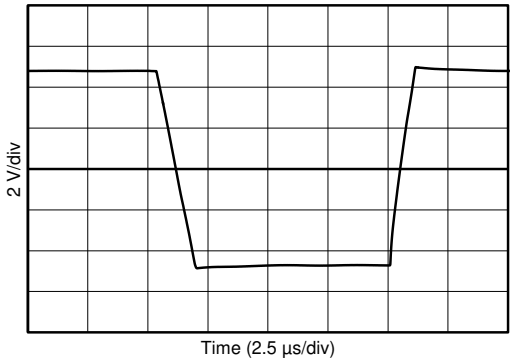


G = –1，R_L = 1kΩ，C_L = 10pF

图 6-37. 小信号阶跃响应

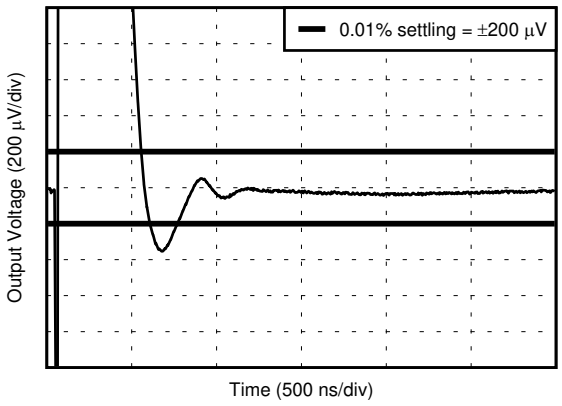
G = 1，C_L = 10pF

图 6-38. 大信号阶跃响应



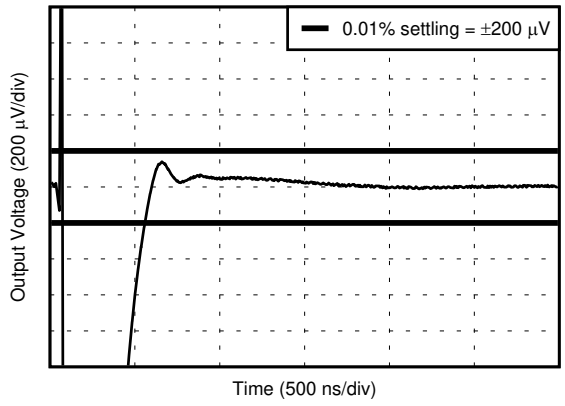
G = –1，R_L = 1kΩ，C_L = 10pF

图 6-39. 大信号阶跃响应



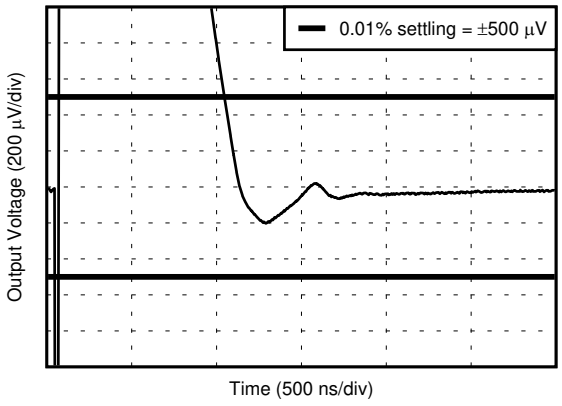
增益 = 1，2V 阶跃，上升，t = 0µs 时施加阶跃

图 6-40. 0.01% 稳定时间



增益 = 1，2V 阶跃，下降，t = 0µs 时施加阶跃

图 6-41. 0.01% 稳定时间



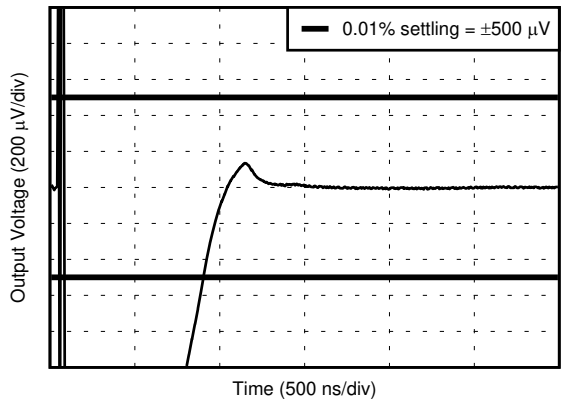
增益 = 1，5V 阶跃，上升，t = 0µs 时施加阶跃

图 6-42. 0.01% 稳定时间

Copyright © 2022 Texas Instruments Incorporated

6.9 典型特性 (continued)

T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_L = 10kΩ 且连接至 V_S/2，且 C_L = 100pF（除非另有说明）



增益 = 1，5V 阶跃，下降，t = 0µs 时施加阶跃

图 6-43. 0.01% 稳定时间

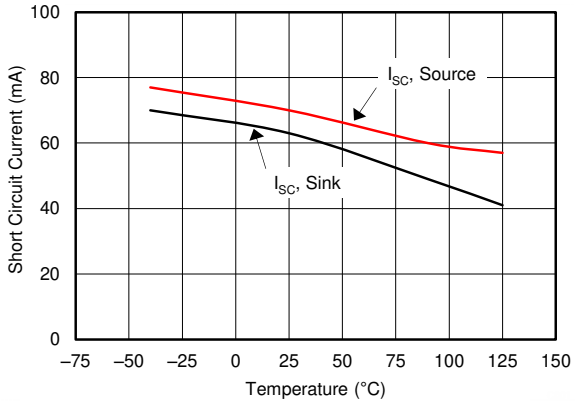


图 6-44. 短路电流与温度间的关系

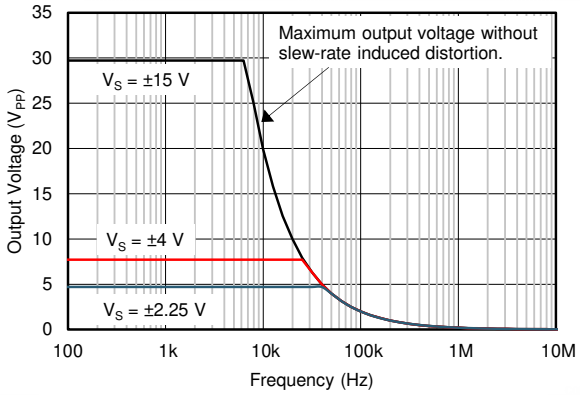


图 6-45. 最大输出电压与频率间的关系

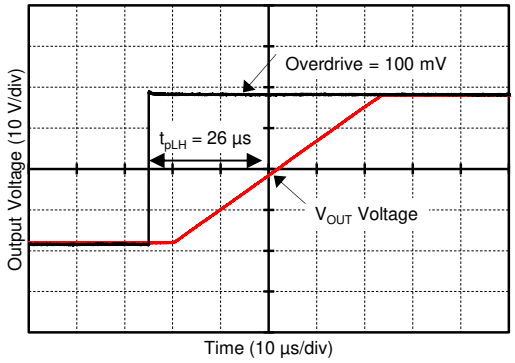


图 6-46. 传播延迟上升沿

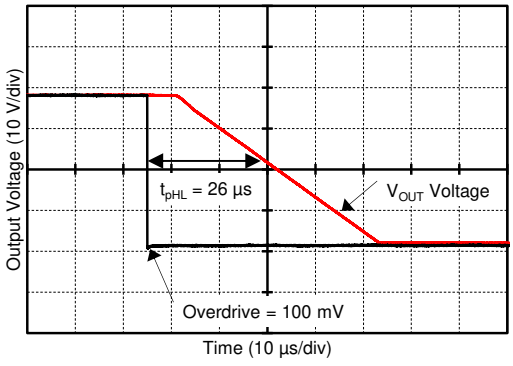


图 6-47. 传播延迟下降沿

Copyright © 2022 Texas Instruments Incorporated

7 参数测量信息

7.1 输入偏移电压漂移

OPAx191 系列运算放大器利用 TI 的 *e-trim* 运算放大器技术制造而成。e-trim 运算放大器技术是 TI 专有的一种在晶圆测试或最终测试阶段微调内部器件参数的方法。每个放大器的输入失调电压和输入失调电压漂移在生产中都经过微调，从而尽可能减小与输入失调电压和输入失调电压漂移相关的误差。在微调输入失调电压漂移时，每个器件上的系统性或线性漂移误差都被微调至零。图 7-1 阐明了这一概念。

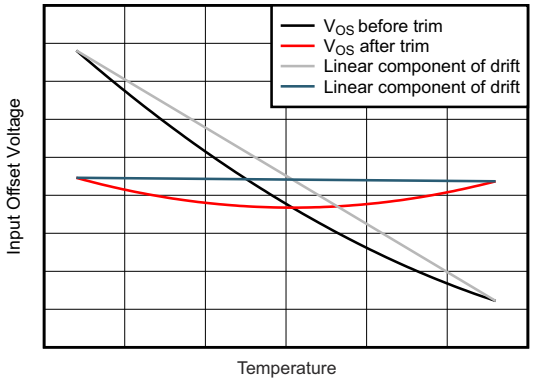


图 7-1. 漂移微调前后的输入失调

确定输入失调电压漂移的一种常用方法是*框方法*。框方法通过给失调电压与温度间关系曲线加框和使用此边界框的角来估算最大输入温漂，从而确定漂移。连接框的对角的连线斜率对应于输入失调电压漂移。图 7-2 阐述了框方法的概念。当输入温漂在线性漂移组成中占主导时，框方法尤其适用，但是，因为 OPA191 系列采用 TI 的 e-trim 运算放大器技术去除输入失调电压漂移的线性成分，所以在精确执行误差分析时框方法并不是特别有用的方法。图 7-2 显示了 30 种典型的 OPAx191 单元，同时叠加了框方法以作说明。框的边界由沿 x 轴的额定温度范围和沿 y 轴的跨同一温度范围的最大确定输入失调电压决定。使用框方法预测的输入失调电压漂移为 0.9μV/°C。如图 7-2 所示，实际输入失调电压与温度间关系曲线的斜率比采用框方法预测出的要小很多。框方法预测的最大输入失调电压漂移值偏高，所以在执行误差分析时不建议采用该方法。

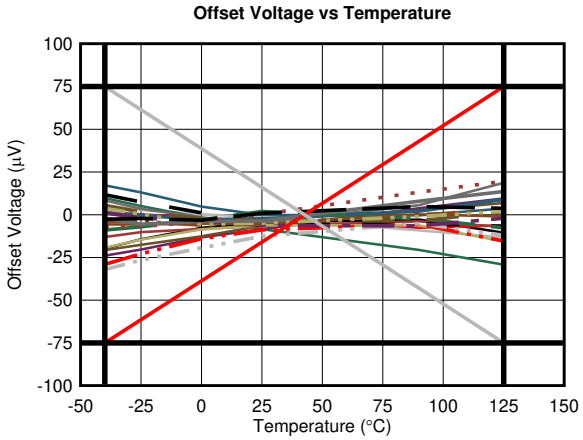


图 7-2. 框方法

有一种便捷的方法可替代框方法来阐明输入零点漂移，那就是计算输入失调电压与温度间关系曲线的斜率。这与计算输入失调电压与温度间关系曲线上每个点的输入零点漂移相同。OPAx191 系列的结果如图 7-3 所示。

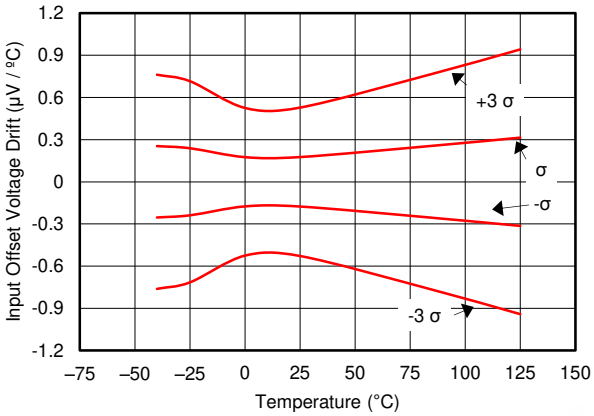


图 7-3. 输入失调电压漂移与温度间的关系（SOIC 封装）

如图 7-3 所示，在 –40°C 至 +125°C 温度范围内，输入温漂通常小于 ±0.3µV/°C。在整个额定温度范围内执行误差分析时，请按照*电气特性*表所述，使用输入失调电压漂移的典型最大值。如果缩小的温度范围适用，则在执行误差分析时，使用图 7-3 中所示信息。要确定输入失调电压变化，请使用方程式 1：

$$\Delta V_{OS} = \Delta T \times dV_{OS}/dT \quad (1)$$

其中

- ΔV_{OS} = 输入失调电压变化
- ΔT = 温度变化
- dV_{OS}/dT = 输入失调电压漂移

例如，确定 25°C 到 75°C 温度范围内 1σ (68%) 单元的 OPA191ID 输入失调电压变化量。如图 7-3 所示，输入温漂通常为 0.25µV/°C。此输入温漂导致典型的输入失调电压变化量为 (75°C – 25°C) × 0.25µV/°C = 12.5µV。

对于 3σ (99.7%) 单元，图 7-3 显示典型的输入温漂约为 0.75µV/°C。此输入温漂导致典型的输入失调电压变化量为 (75°C – 25°C) × 0.75µV/°C = 37.5µV。

Copyright © 2022 Texas Instruments Incorporated

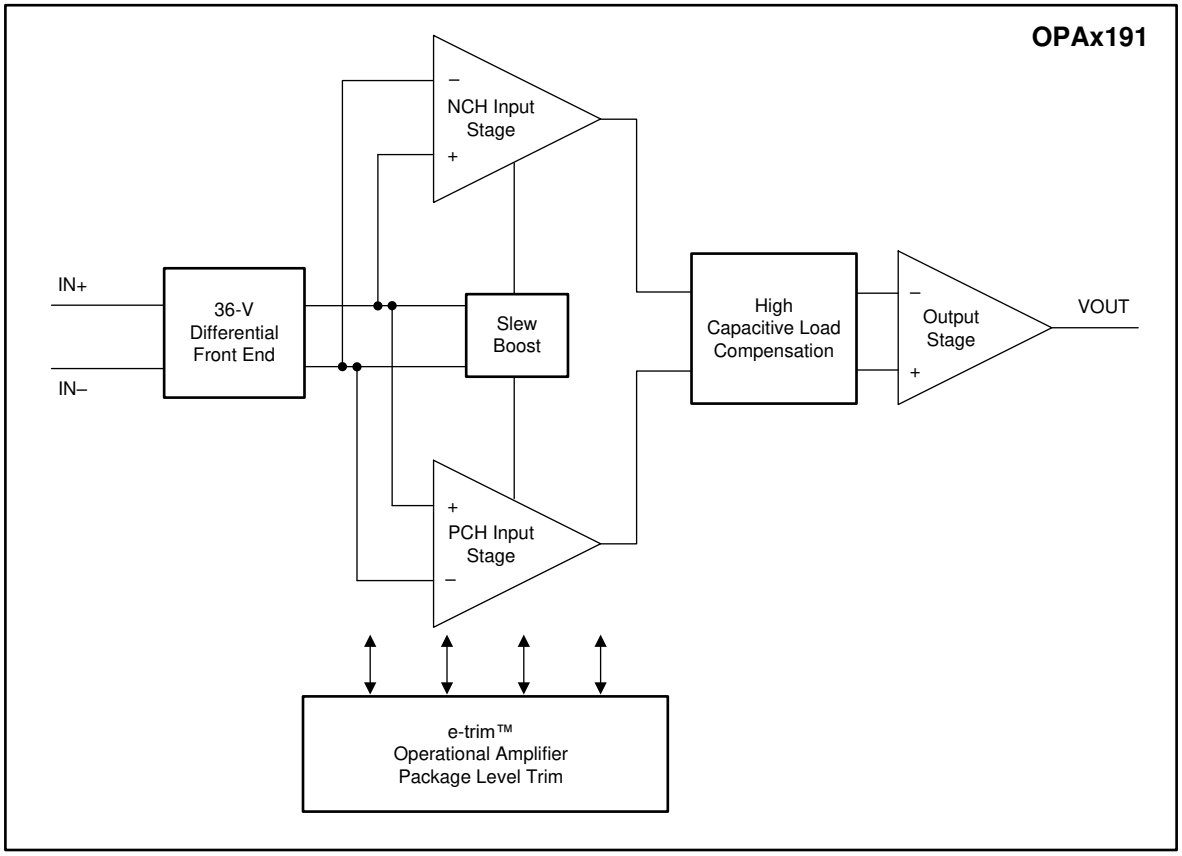
8 详细说明

8.1 概述

OPAx191 系列 e-trim 运算放大器使用封装级微调方法，在塑模成型工艺之后的最后制造步骤中实现失调和失调温度漂移。该方法最大限度地减少了固有的输入晶体管不匹配的影响和在封装成型过程中引入的误差。在器件完成封装后进行器件的稳零调节，这样可以将封装引入的失调也一起校正，当调节完成后会熔断内部调零通信接口。*节 8.2* 显示了 OPAx191 的简单示意图。

与以往的 e-trim 运算放大器不同，OPAx191 使用获得专利的双温度微调体系结构，在整个额定温度范围内获得了非常低的失调电压和低电压温漂。在宽电源电压下的这一精度水平使得这些放大器非常适用于高阻抗工业传感器、滤波器和高电压数据采集。

8.2 功能方框图



8.3 特性说明

8.3.1 输入保护电路

OPAx191 使用独特的输入体系结构来消除对输入保护二极管的需求，但在瞬态情形下仍能提供可靠的输入保护。可以通过快速瞬态阶跃响应来激活图 8-1 中所示的常规输入二极管保护方案，但由于交流电路径，这将引入信号失真和稳定时间延迟，如图 8-2 所示。对于低增益电路，这些快速斜向输入信号前向偏置背对背二极管会导致输入电流增加，进而使稳定时间延长。

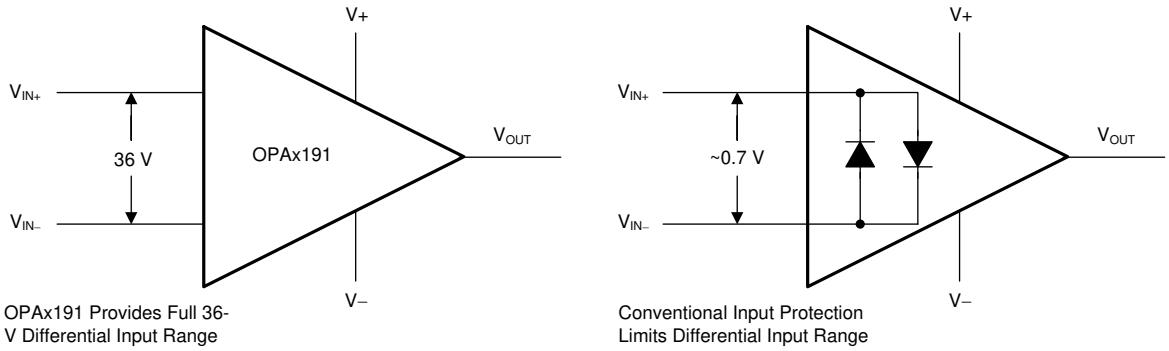


图 8-1. OPA191 输入保护不限制差分输入能力

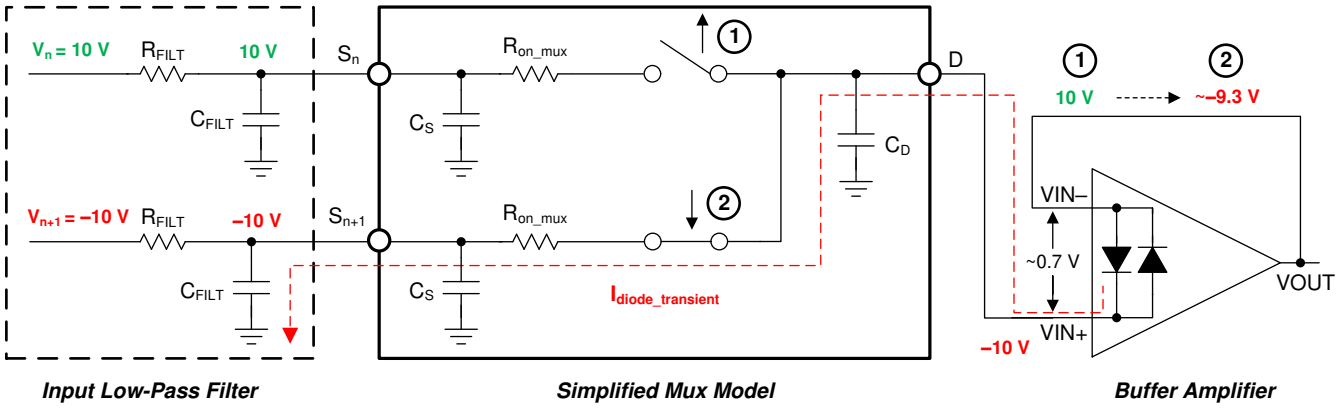


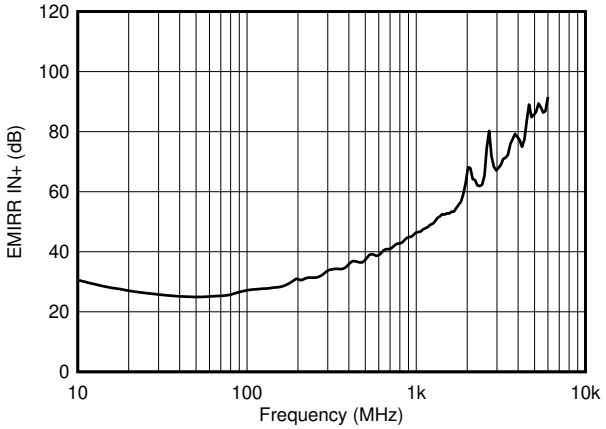
图 8-2. 背对背二极管造成稳定问题

OPAx191 系列运算放大器为高压应用提供真正的高阻抗差分输入能力。这种获得专利的输入保护体系结构不会引入额外的信号失真或延迟稳定时间，使该器件成为最适合于多通道、高开关输入应用的运算放大器。OPAx191 可以承受高达 36V 的最大差分摆幅（运算放大器的反相和非反相引脚之间的电压），使该器件非常适合用作比较器或用于具有快速斜向输入信号的应用（如多路复用数据采集系统）（请参阅 图 9-4）。

Copyright © 2022 Texas Instruments Incorporated

8.3.2 EMI 抑制

OPAx191 采用集成电磁干扰 (EMI) 滤波来减少无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；OPAx191 受益于这些设计改进措施。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 8-3 显示了对 OPAx191 执行此测试的结果。表 8-1 显示了在实际应用中 OPAx191 在常见特定频率下的 EMIRR IN+ 值。表 8-1 中列出的应用可在下图所示的特定频率或其近似频率下运行。相关详细信息也可参见*运算放大器的 EMI 抑制比应用报告*，用户可从 www.ti.com 下载该报告。



P_{RF} = –10dBm，V_S = ±15V，V_{CM} = 0V

图 8-3. EMIRR 测试

表 8-1. OPA191 在目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	36dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	45dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	57dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	62 dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	76 dB
5.0GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	86dB

Copyright © 2022 Texas Instruments Incorporated

8.3.3 反相保护

OPAx191 系列具有内部相位反转保护功能。当输入经驱动超出线性共模范围时，许多运算放大器发生相位反转。这是输入经驱动超出额定共模电压范围后的常见现象，会导致输出反向进入相对的电源轨。OPAx191 是一款轨到轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。图 8-4 中显示了这个特性。

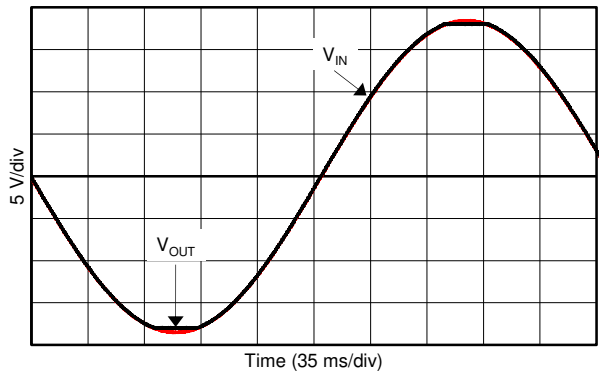


图 8-4. 无相位反转

8.3.4 过热保护

任何放大器的内部功耗都会导致内部温度（结温）升高。这一现象称为*自热*。OPAx191 具有过热保护功能，可防止由自热造成的损坏。

过热保护的具体方式是，监控输出级的温度，一旦温度超过约 180°C，则关闭运算放大器输出驱动。过热保护强制输出进入高阻抗状态。OPAx191 还具有约 30°C 的热迟滞。热迟滞可防止输出级循环进入和退出高阻抗状态。当输出级的温度降至约 150°C 以下时，OPAx191 将恢复正常运行。

OPAx191 的绝对最大结温为 150°C。超过 *节 6.1* 中所示的限值可能会损坏器件。在 180°C 时会因单元到单元差异触发过热保护，但不影响器件以绝对最大额定值运行。过热保护并非设计用于防止器件超出绝对最大额定值，而是防止器件超出热过载。

Copyright © 2022 Texas Instruments Incorporated

8.3.5 容性负载和稳定性

OPAx191 具有获得专利的输出级，能够驱动大容性负载，并且在单位增益配置下，可直接驱动高达 1nF 的纯容性负载。增加增益可增强放大器驱动更大电容负载的能力；请参阅图 8-5。在确定放大器是否将稳定运行时，需要考虑一些因素，如特定的运算放大器电路配置、布局、增益和输出负载等。

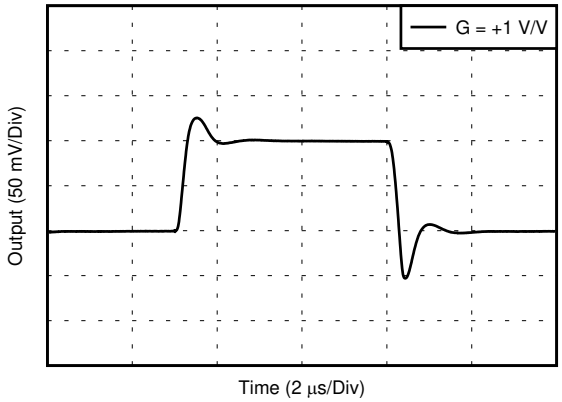


图 8-5. 1nF 纯容性负载下的瞬态响应

和许多低功耗放大器一样，即使在低于 100pF 的容性负载下也会产生一些振铃。在没有负载或具有超轻直流负载的单位增益配置下，在 OPAx191 输出端设置 RC 缓冲电路可减少轻负载应用产生振铃的可能性。图 8-6 显示了推荐的 RC 缓冲电路。

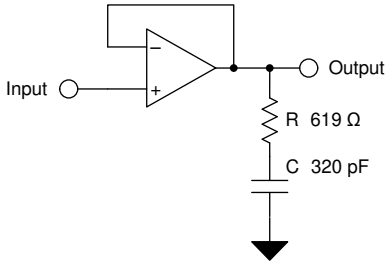


图 8-6. 单位增益下适用于轻负载应用的 RC 缓冲电路

Copyright © 2022 Texas Instruments Incorporated

若要增加单位增益配置下的驱动能力，可与输出串联，插入一个小的（10Ω 至 20Ω）电阻器 R_{ISO}，如图 8-7 中所示，以此来提高容性负载驱动能力。此电阻器可显著减少振铃，同时保持纯电容负载的直流性能。然而，如果有一个与电容负载并联的电阻负载，则会生成一个分压器，从而在输出端引入增益误差并略微减小输出摆幅。引入的误差与 R_{ISO} / R_L 的比率成正比，在低输出电平下通常可忽略不计。高容性负载驱动使 OPA191 非常适合于基准缓冲器、MOSFET 栅极驱动器和电缆屏蔽驱动器等应用。图 8-7 中所示的电路采用 R_{ISO} 来稳定运算放大器的输出。R_{ISO} 修改了系统的开环增益，因而能够带来更高的相位裕度。表 8-2 中总结了使用 OPA191 的结果。有关使用此电路进行优化和设计的技巧的其他信息，TI 精密设计 TIPD128 - *采用隔离电阻器且经验证的容性负载驱动参考设计*详述了完整的设计目标、模拟和测试结果。

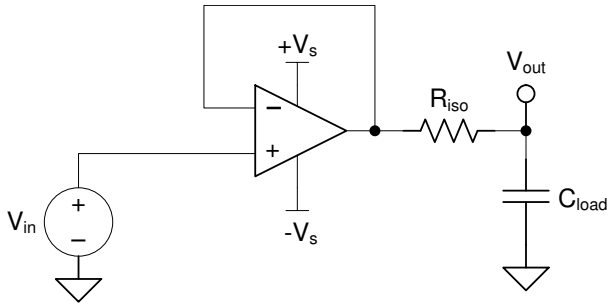


图 8-7. 使用 OPA191 扩展容性负载驱动

表 8-2. 使用隔离电阻器的 OPA191 容性负载驱动解决方案的计算及测量结果比较

参数	值								
容性负载	100pF	1000pF		0.01μF		0.1μF		1μF	
相位裕量	45°	45°	60°	45°	60°	45°	60°	45°	60°
R_{ISO} (Ω)	280	113	432	68	210	17.8	53.6	3.6	10
测量的过冲 (%)	23	23	8	23	8	23	8	23	8

Copyright © 2022 Texas Instruments Incorporated

8.3.6 共模电压范围

OPAx191 是一个 36V 的真正轨到轨输入运算放大器，其输入共模范围在任一电源轨之外扩展了 100mV。此宽范围通过并联互补的 N 通道和 P 通道差分输入对实现的，如图 8-8 所示。N 沟道对接近正电源轨的输入电压有效，通常高于正电源电压(V+) – 3 V 至 100mV 。当输入电压为低于负电源电压 100mV 到大约 (V+) 至 1.5V 时，P 通道对有效。在一个通常介于 (V+) 至 3V 到 (V+) 至 1.5V 之间的小转换区域内， 两个输入对都处于活动状态。此转换区域随工艺不同而略有波动。在此区域内，与在该区域外运行相比，PSRR、CMRR、失调电压、温漂、噪声和 THD 性能可能会下降。

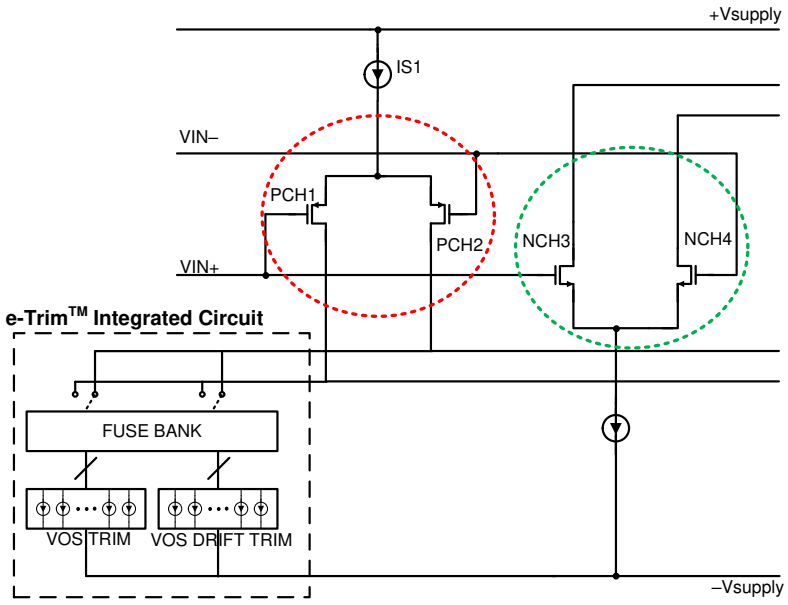


图 8-8. 轨到轨输入级

为实现两级轨到轨输入放大器的最佳性能，应尽可能避免转换区域。OPAx191 对 N 通道和 P 通道区域都使用“精确微调”。此技术使失调电平大大低于前代器件，导致输入级转换区域内的变化幅度相对于整个共模范围内的失调显得比较大，如图 8-9 所示。

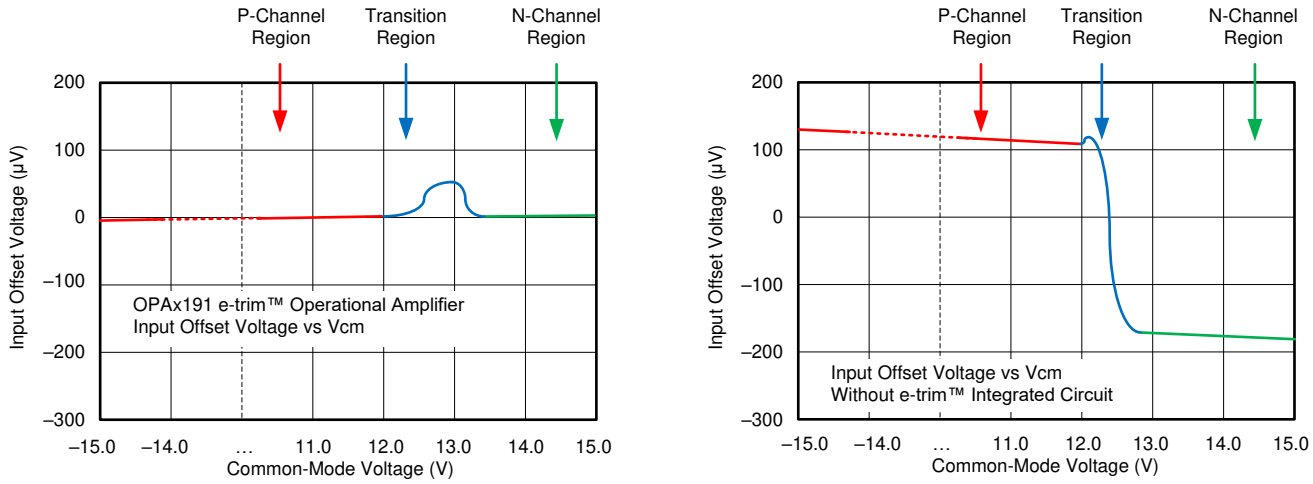


图 8-9. 共模转换与标准轨到轨放大器

8.3.7 电气过载

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过应力事件的关联性会有所帮助。请参阅图 8-10 了解 OPAx191 中包含的 ESD 电路的图示（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未激活状态。

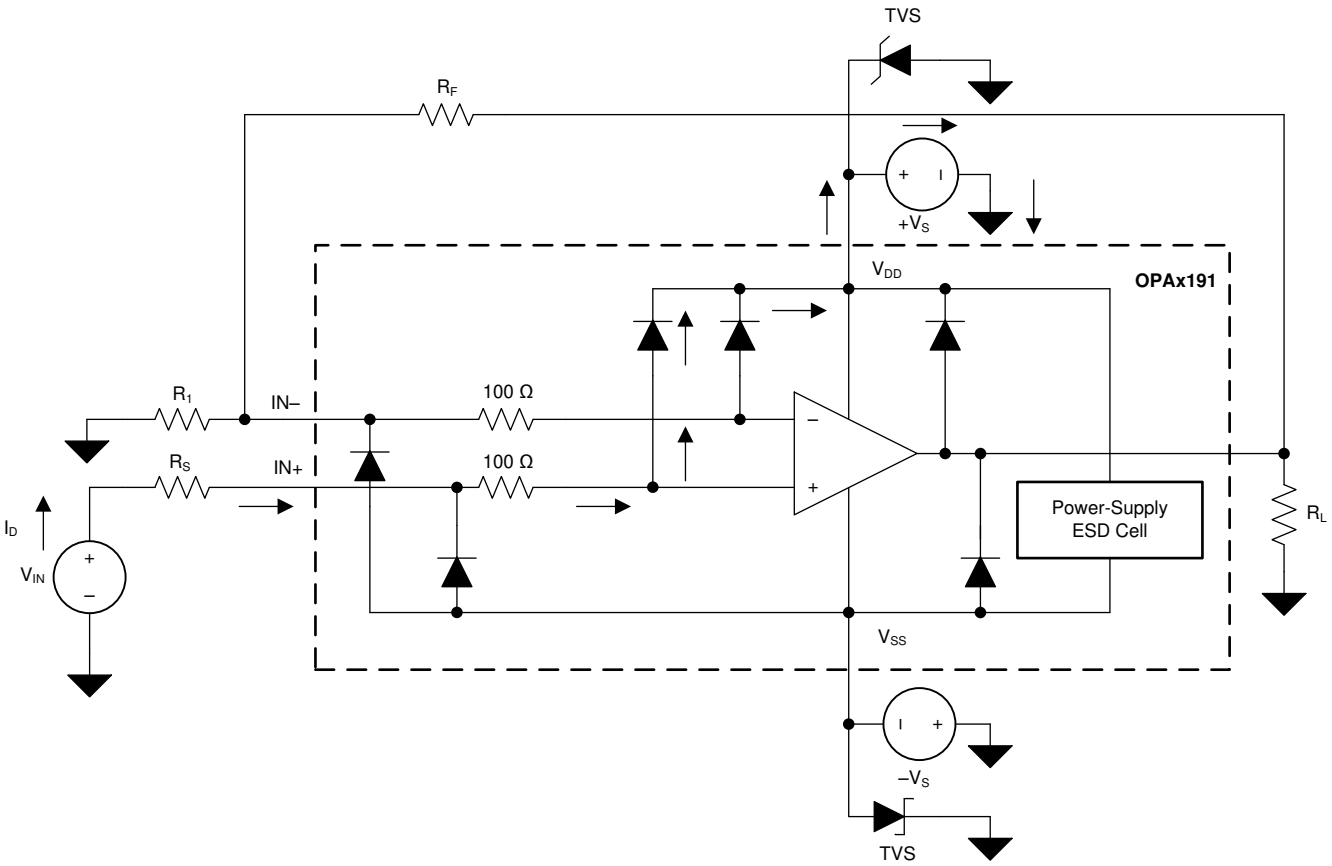


图 8-10. 与典型电路应用相关的等效内部 ESD 电路

Copyright © 2022 Texas Instruments Incorporated

ESD 事件持续时间非常短，电压非常高（例如，1kV，100ns），而 EOS 事件持续时间长，电压较低（例如，50V，100ms）。ESD 二极管设计用于电路外 ESD 保护（即在器件被焊接到 PCB 上之前的组装、测试和贮存阶段）。在 ESD 事件中，ESD 信号通过 ESD 导流二极管传递给吸收电路（列为 ESD 电源电路）。ESD 吸收电路将电源钳制在一个安全的水平。

尽管这种行为对于电路外保护来说是必要的，但如果在电路内激活，则会导致过流和损坏。瞬态电压抑制器 (TVS) 可用于防止电路内 ESD 事件过程中因打开 ESD 吸收电路而导致的损坏。使用适当的限流电阻和 TVS 二极管则允许使用器件 ESD 二极管来防止 EOS 事件。

8.3.8 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。

8.4 器件功能模式

OPAx191 具有单一功能模式，可在电源电压大于
4.5V (±2.25V) 时工作。OPAx191 的最大电源电压为 36V (±18V)。

Copyright © 2022 Texas Instruments Incorporated

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

OPAx191 系列具有出色的直流精度和交流性能。这些器件的工作电压高达 36V，并提供真正的轨到轨输入/输出、超低失调电压、失调电压温漂以及
2MHz 带宽和高容性负载驱动。这些特性使 OPAx191 成为了一款适用于高电压工业应用的稳定而可靠的高性能运算放大器。

9.2 典型应用

9.2.1 低侧电流测量

图 9-1 显示了低侧电流感测应用中配置的 OPA191。有关图 9-1 中所示电路的完整分析，包括理论、计算、模拟和测量数据，请参阅 TI 精密设计 TIPD129 - *0A 至 1A 单电源低侧电流感测解决方案*。

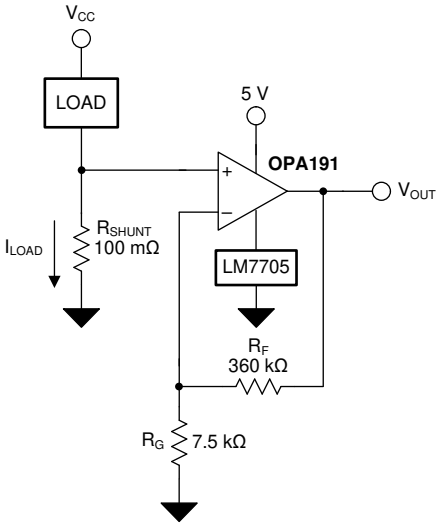


图 9-1. 低侧电流感测应用中的 OPA191

9.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压：4.9V
- 最大分流电压：100mV

Copyright © 2022 Texas Instruments Incorporated

9.2.1.2 详细设计流程

图 9-1 中的传递函数如方程式 2 所示

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{2}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，方程式 3 中定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \tag{3}$$

使用方程式 3 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的电压降由 OPA191 放大，从而产生大约 0V 至 4.9V 的输出电压。OPA191 产生必要输出电压时所需的增益根据 方程式 4 算出：

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \tag{4}$$

使用方程式 4 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 5 用于调整电阻器 R_F 和 R_G 的大小，从而将 OPA191 的增益设置为 49V/V。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \tag{5}$$

将 R_F 选为 360kΩ 时，R_G 计算得出为 7.5kΩ。R_F 和 R_G 被选定为 360kΩ 和 7.5kΩ，因为这两个是标准值电阻器，可产生 49:1 的比率。也可以使用可产生 49:1 的比率的其他电阻器。图 2 显示了 图 9-1 中所示电路的测量传递函数。

9.2.1.3 应用曲线

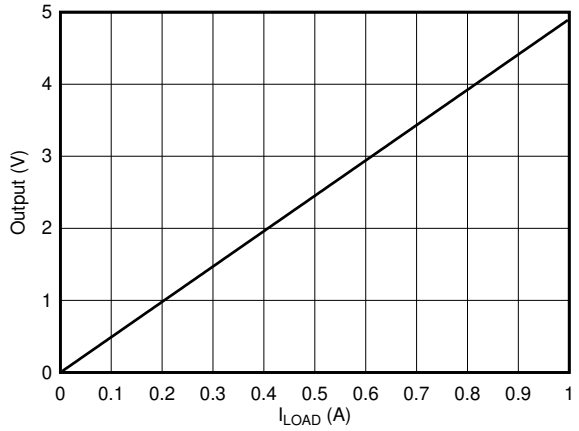


图 9-2. 低侧电流感测传递函数

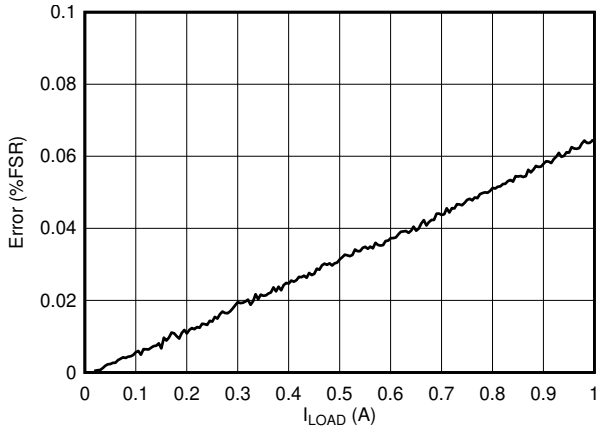


图 9-3. 低侧电流感测满量程误差

Copyright © 2022 Texas Instruments Incorporated

9.2.2 16 位精度多路复用数据采集系统

图 9-4 显示了 16 位、4 通道差分多路复用数据采集系统。该示例常见于需要低失真和高压差分输入的工业应用。电路中使用了一个 16 位的 400kSPS 逐次逼近型电阻 (SAR) 模数转换器 (ADC) ADS8864，还使用了一个精密高压信号调节前端和一个 4 通道差分多路复用器。此应用示例显示了通过使用 OPA191 和 OPA140 来优化精密高压前端驱动电路的过程，并搭配 ADS8864 来实现出色的动态性能和线性度。有关完整设计，请参阅 TI 精密设计 TIPD151 - *适用于高电压输入的 16 位、400kSPS、四通道多路复用数据采集系统*。

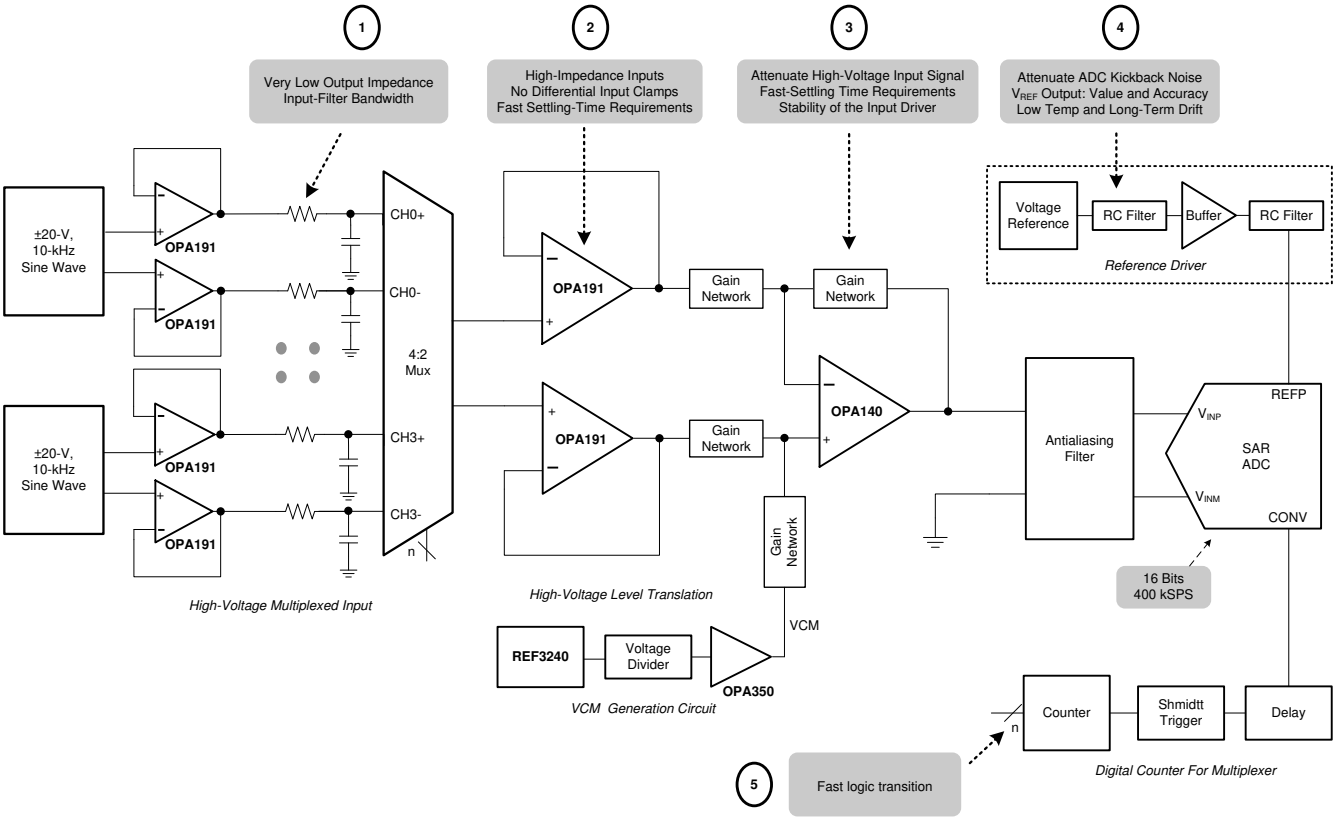


图 9-4. OPA191 用于 16 位 400kSPS 4 通道多路复用数据采集系统，可实现高电压输入和超低失真

9.2.2.1 设计要求

主要目标是将 16 位 400kSPS 吞吐量的 ADS8864 用于满量程 10kHz 纯正弦波输入，设计一个具有超低失真度的 ±20V 差分 4 通道多路复用数据采集系统。针对这个块设计的设计需求为：

- 系统电源电压：±15V
- ADC 电源电压：3.3V
- ADC 采样率：400kSPS
- ADC 基准电压 (REFP)：4.096V
- 系统输入信号：峰值振幅为 10V，频率 (f_{IN}) 为 10kHz 的高压差分输入信号被施加到多路复用器的每个差分输入。

Copyright © 2022 Texas Instruments Incorporated

9.2.2.2 详细设计过程

该应用示例的目的是设计一个优化的高电压多路复用数据采集系统，实现出色的系统线性度和快速稳定时间。图 9-4 中给出了总体系统方框图。该电路是一个多通道数据采集信号链，由输入低通滤波器、多路复用器 (mux)、多路复用器输出缓冲器、衰减 SAR ADC 驱动器、多路复用数字计数器和参考驱动器组成。该体系结构允许使用单个 ADC 对多个通道进行快速采样，从而提供低成本的解决方案。为了最大限度地提高精密多路复用数据采集系统的性能，在设计时主要考虑两个因素，一个是多路复用器输入模拟前端，另一个是高压电平转换 SAR ADC 驱动器设计。但是，只有根据 ADC 性能规范精心设计每个模拟电路块，才能实现在 16 位分辨率下的最快稳定性能和最低失真系统。图 9-4 包含针对每个单独模拟块的最主要的技术规格。

本设计系统地接近每个模拟电路块，以实现满量程输入级电压的 16 位稳定性能以及每个输入通道上 10kHz 正弦输入信号的线性度。设计的第一步是了解多路复用器极低阻抗输入滤波器设计的要求。了解此要求有助于决定适当的输入滤波器和选择多路复用器，以满足系统的稳定要求。下一个重要步骤是设计衰减模拟前端 (AFE)，用于在保持放大器稳定性的同时，将高压输入信号电平转换为低压 ADC 输入。再下一步是设计一个数字接口，以最小的延迟来切换多路复用输入通道。最终的设计挑战是设计一个高精度参考驱动电路，该电路提供所需的 REEP 参考电压，并且偏移、温漂和噪声影响低。

9.2.3 输入保护的压摆率限制

在阀门或马达控制系统中，电压或电流的突变会导致机械损伤。通过控制驱动电路中的电压给定的压摆率，负载电压会以安全的速度上升和下降。对于对称压摆率应用（正压摆率等于负压摆率），一个额外的运算放大器为一个给定的模拟增益电路提供压摆率控制。OPAx191 独特的输入保护和高输出电流及压摆率使该器件成为实现单双电源系统压摆率控制的理想放大器。图 9-5 显示压摆率限制设计中的 OPA191。有关分步设计程序、电路原理图、物料清单、PCB 文件、模拟结果和测试结果，请参阅 TI 精密设计 TIPD140 - *压摆率限制器使用一个运算放大器*。

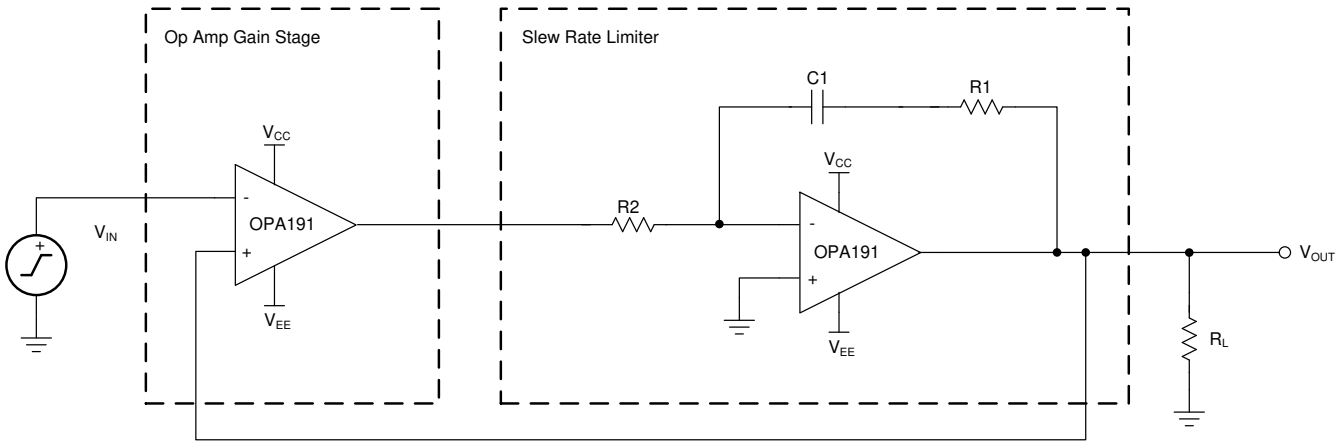


图 9-5. 压摆率限制器使用一个运算放大器

10 电源相关建议

OPAx191 的额定工作电压为 4.5V 至 36V（±2.25V 至 ±18V）；多种规格适用于 –40°C 至 +125°C 的温度范围。*节 6.9* 中介绍了可能会随工作电压或温度而显著变化的参数。

CAUTION

电源电压超过 40V 可能会对器件造成永久损坏；请参阅 *节 6.1*。

将 0.1 µ F 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅 *节 11*。

11 布局

11.1 布局指南

为了实现器件的最佳工作性能，应使用良好的 PCB 布局实践，包括：

- 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
  - 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路中。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
- 确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。通常将多层 PCB 中的一层或多层专门作为接地层。接地平面有助于散热，并减少 EMI 噪声拾取。更多详细信息，请参阅*电路板布局布线技巧*。
- 为了减少寄生耦合，输入走线运行时应尽量远离电源或输出走线。如果这些走线不能保持分开，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如图 11-2 所示，使 RF 和 RG 靠近反相输入可最大限度减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可显著减少附近走线在不同电势下产生的漏电流。
- 在组装 PCB 板之后对其进行清洁，以获得最佳性能。
- 任何精密集成电路都可能由于水分渗入塑料封装中而发生性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

Copyright © 2022 Texas Instruments Incorporated

11.2 布局示例

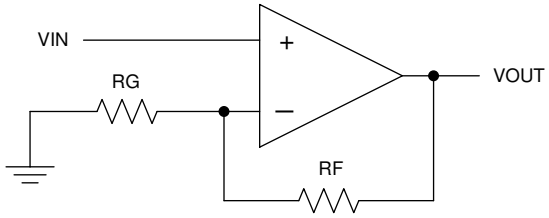


图 11-1. 原理图表示

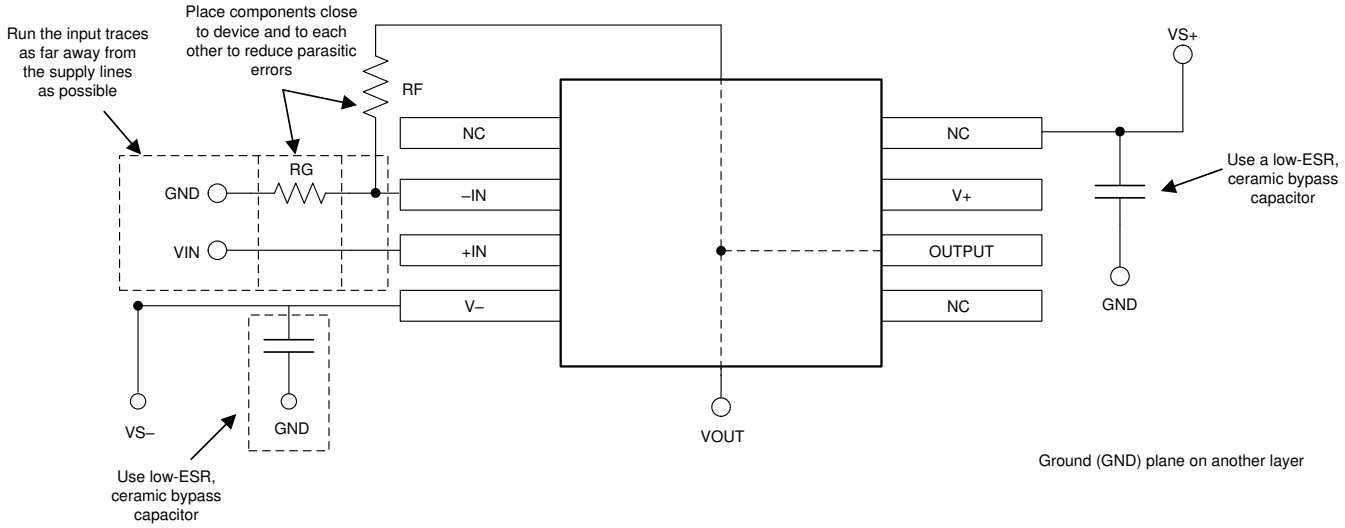


图 11-2. 同相配置的运算放大器电路板布局

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

12.1.1.1 TINA-TI™ 仿真软件（免费下载）

TINA™ 是一款基于 SPICE 引擎、简单、功能强大且易于使用的电路仿真程序。TINA-TI 仿真软件是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从 Analog eLab Design Center（模拟电子实验室设计中心）免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件（网址为 http://www.ti.com.cn/tool/cn/tina-ti）。

12.1.1.2 TI 精密设计

TI 精密设计（请访问 http://www.ti.com/ww/en/analog/precision-designs/）是由 TI 公司精密模拟应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整 PCB 电路原理图和布局、物料清单以及性能测量结果。

12.2 文档支持

12.2.1 相关文档

- 德州仪器 (TI)，*电路板布局技巧*
- 德州仪器 (TI)，*适合所有人的运算放大器设计参考*

12.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

Copyright © 2022 Texas Instruments Incorporated

12.5 商标

e-trim™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
蓝牙® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

12.6 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA191ID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191ID.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKRG4.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA2191ID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191ID.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKTG4	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKTG4.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2191IDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA4191ID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191ID.B	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDG4	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDG4.B	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IPWT	Active	Production	TSSOP (PW) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IPWT.B	Active	Production	TSSOP (PW) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IRUMR	Active	Production	WQFN (RUM) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMR.B	Active	Production	WQFN (RUM) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMRG4	Active	Production	WQFN (RUM) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMRG4.B	Active	Production	WQFN (RUM) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMT	Active	Production	WQFN (RUM) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMT.B	Active	Production	WQFN (RUM) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

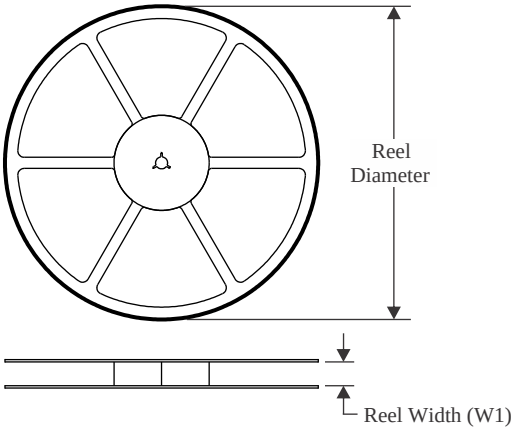
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

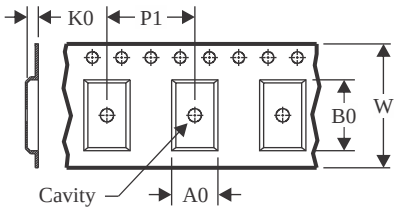
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

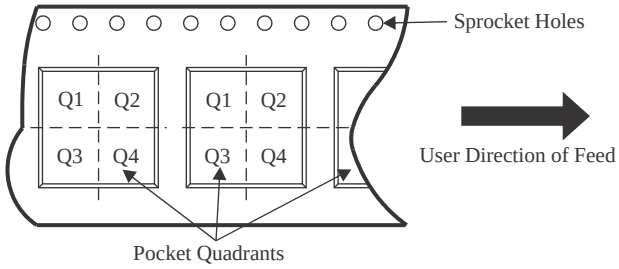


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

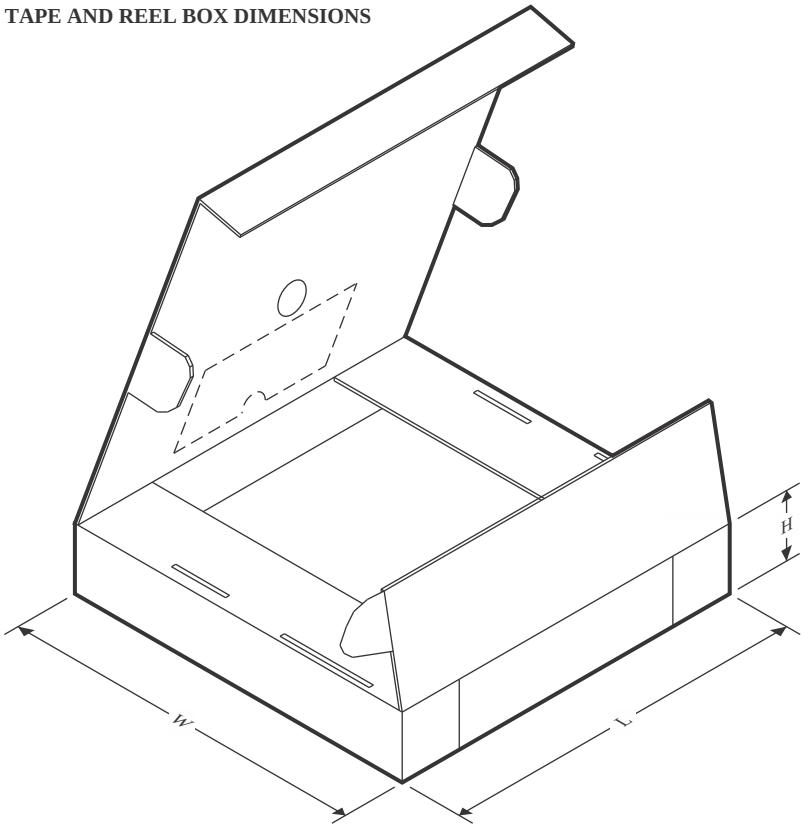


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA191IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA191IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA191IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA191IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA191IDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA191IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA191IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA191IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2191IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2191IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2191IDGKTG4	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2191IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2191IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4191IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4191IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4191IPWT	TSSOP	PW	14	250	180.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA4191IRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA4191IRUMRG4	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA4191IRUMT	WQFN	RUM	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

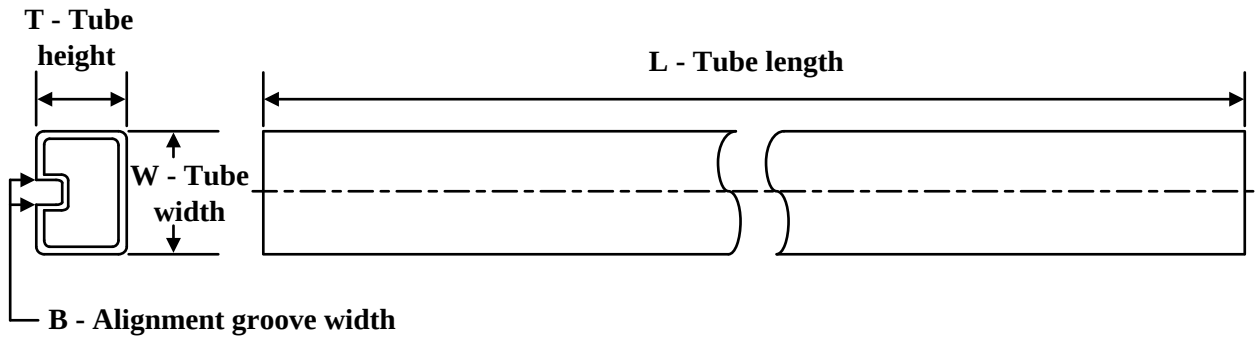


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA191IDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA191IDBVRG4	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA191IDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA191IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA191IDGKRG4	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA191IDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA191IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA191IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA2191IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2191IDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2191IDGKTG4	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2191IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2191IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA4191IDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4191IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4191IPWT	TSSOP	PW	14	250	213.0	191.0	35.0
OPA4191IRUMR	WQFN	RUM	16	3000	367.0	367.0	35.0
OPA4191IRUMRG4	WQFN	RUM	16	3000	367.0	367.0	35.0

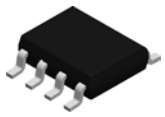
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA4191IRUMT	WQFN	RUM	16	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA191ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA191ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2191ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2191ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA4191ID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4191ID.B	D	SOIC	14	50	506.6	8	3940	4.32
OPA4191IDG4	D	SOIC	14	50	506.6	8	3940	4.32
OPA4191IDG4.B	D	SOIC	14	50	506.6	8	3940	4.32

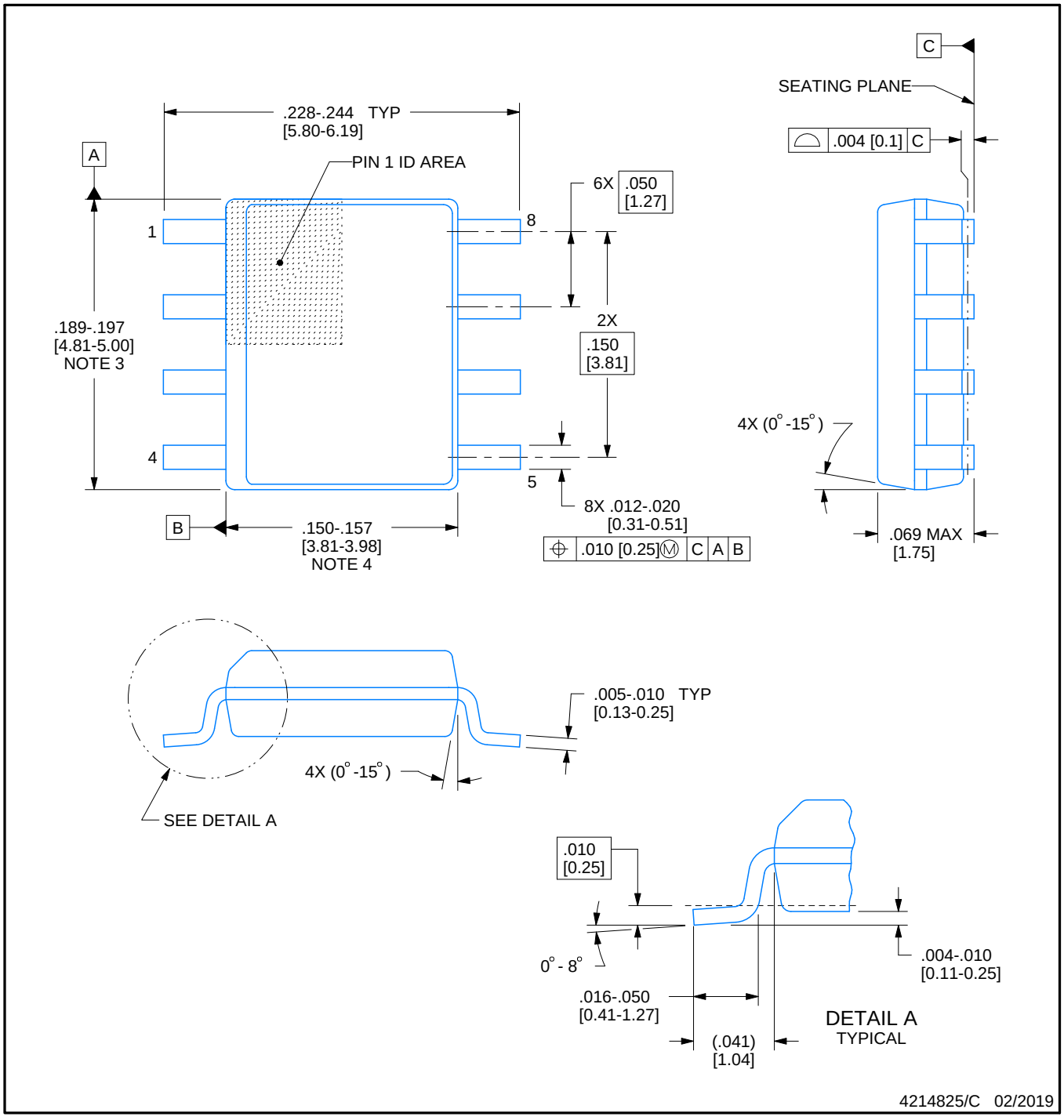


PACKAGE OUTLINE

D0008A

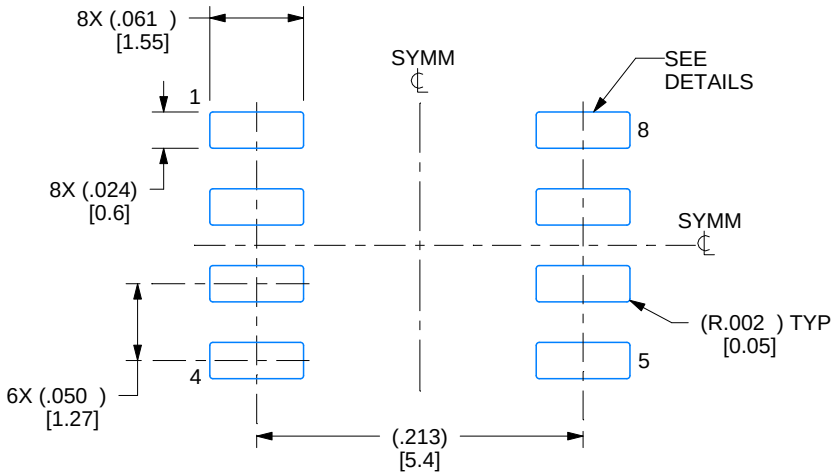
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

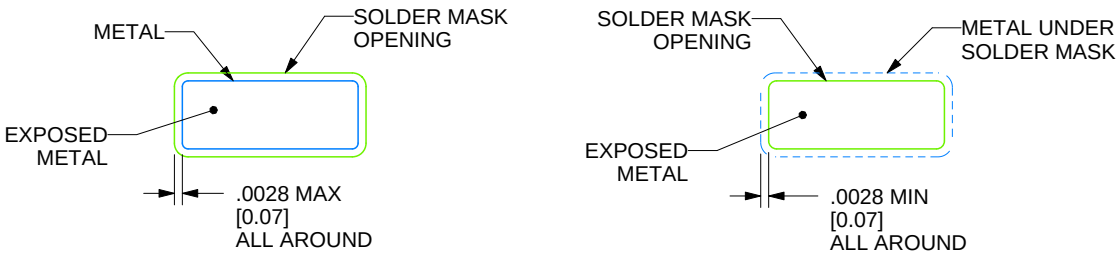


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

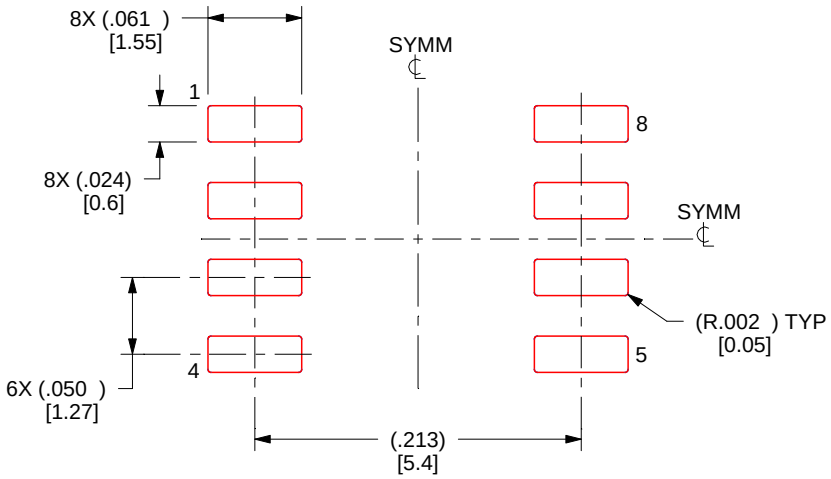
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

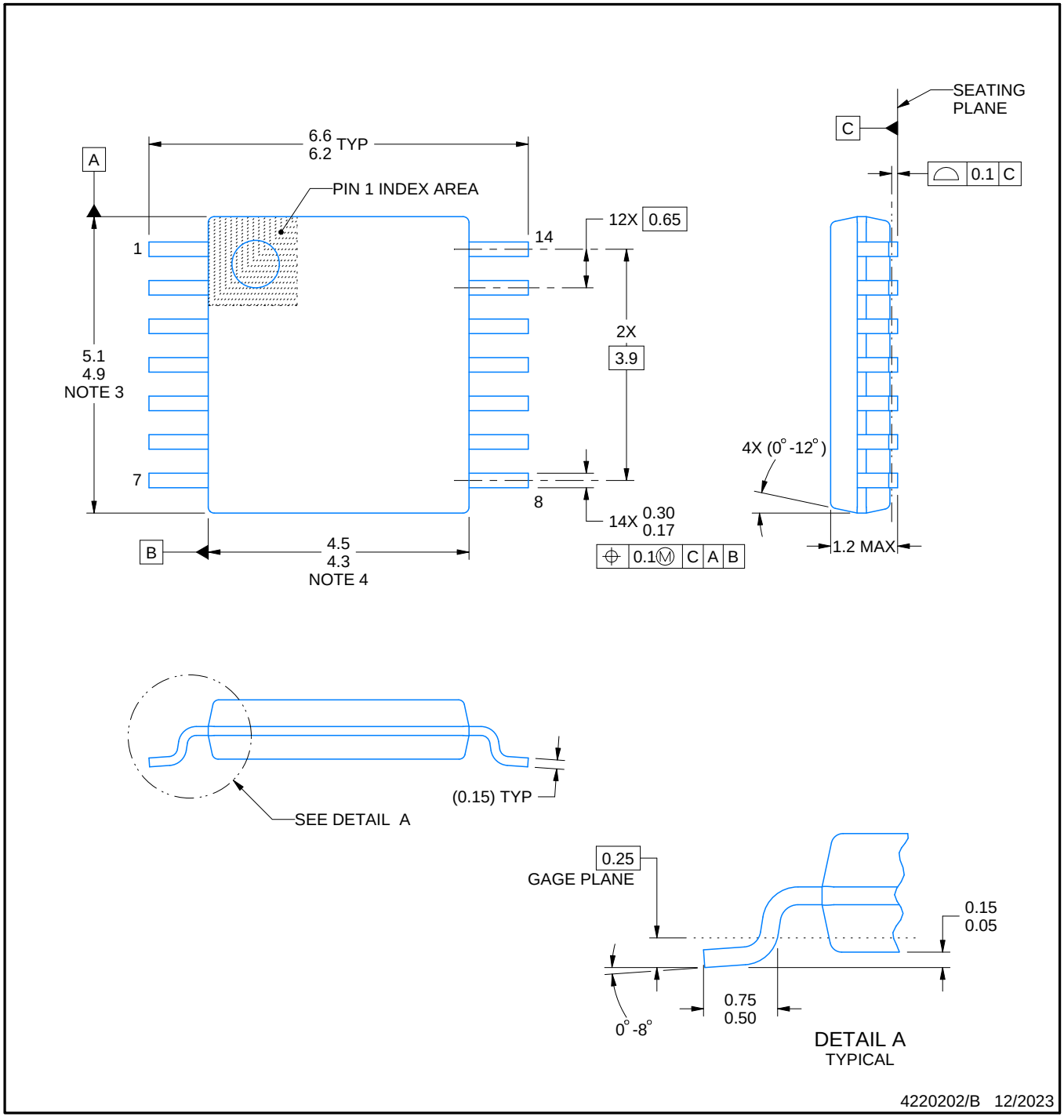
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

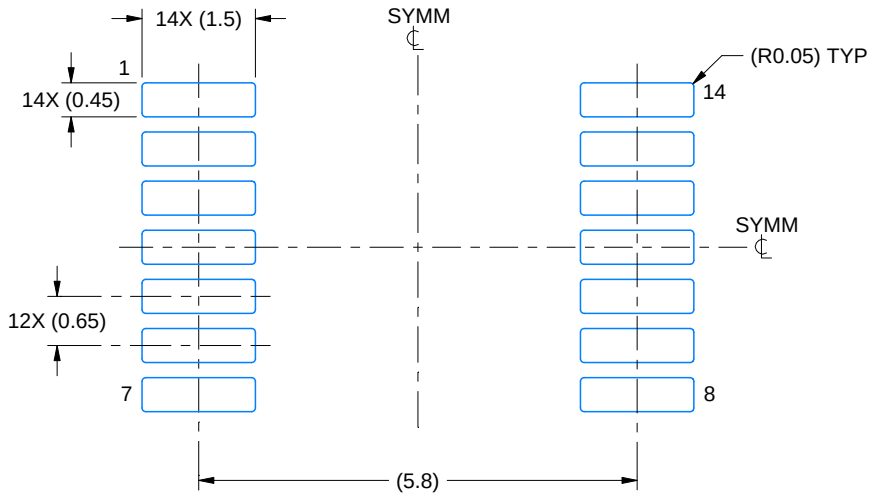
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

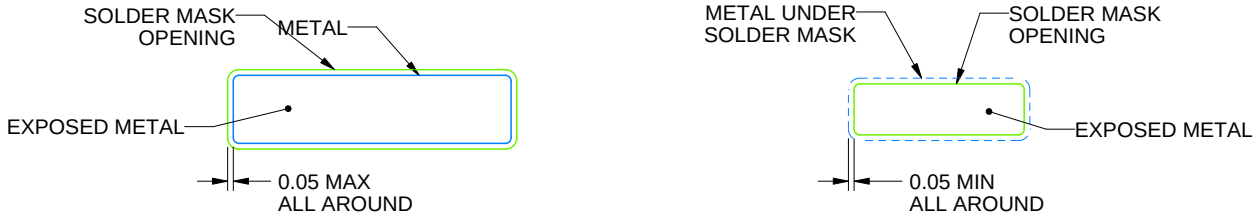


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

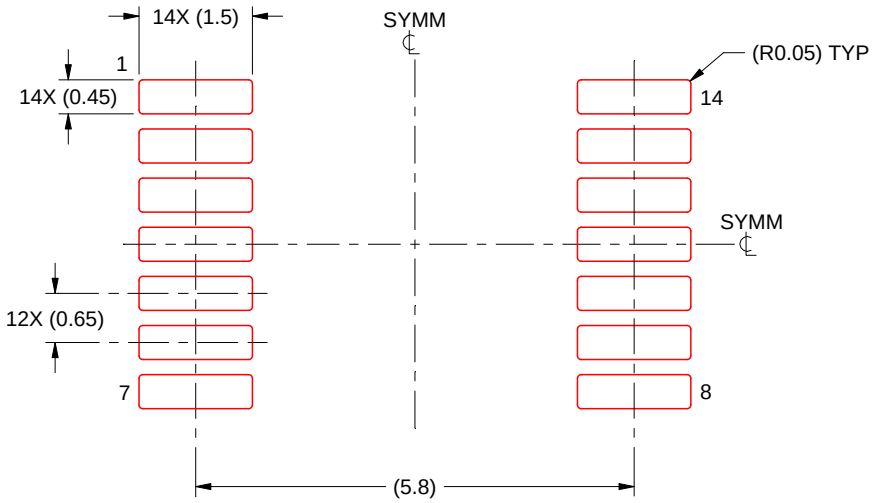


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

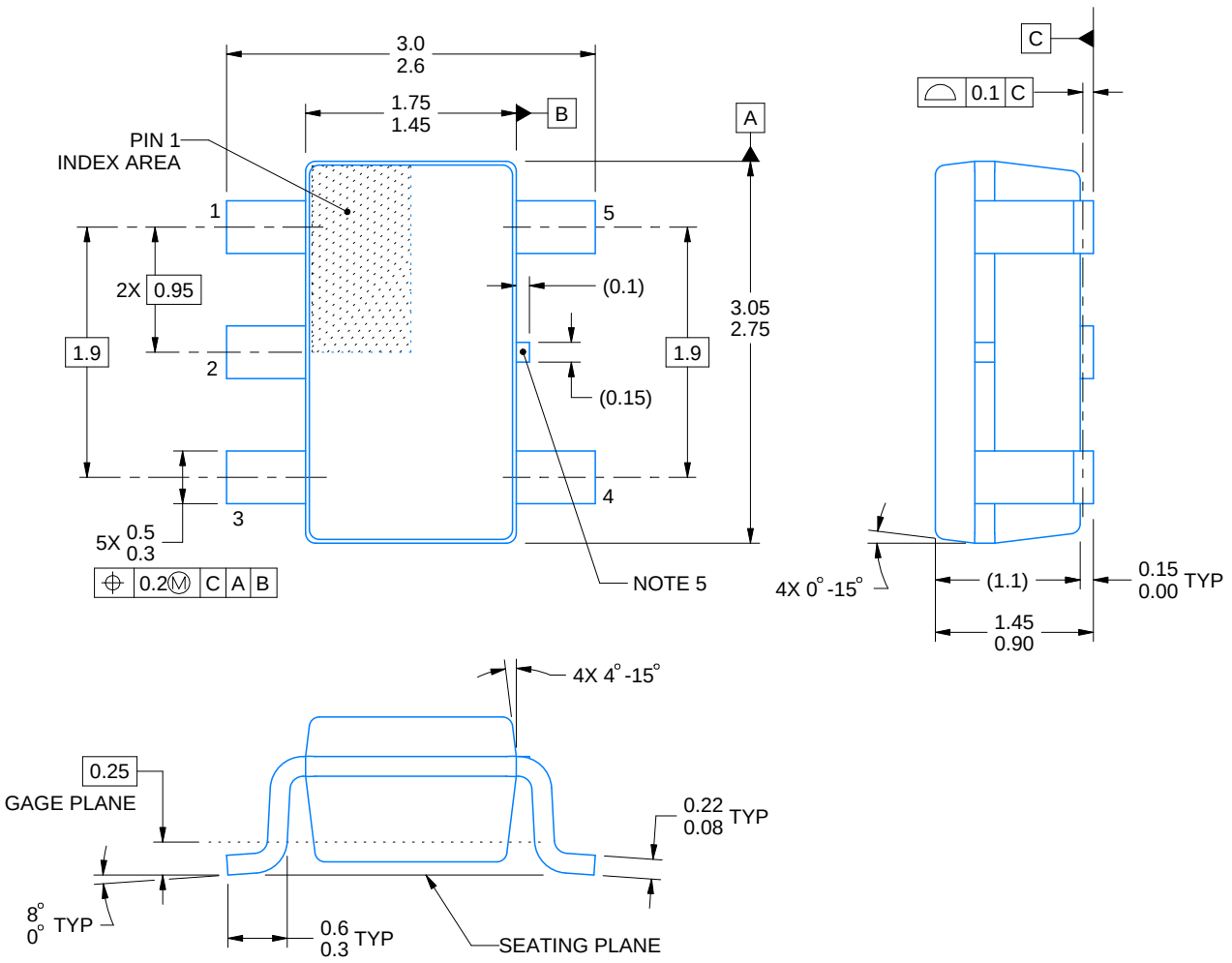
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

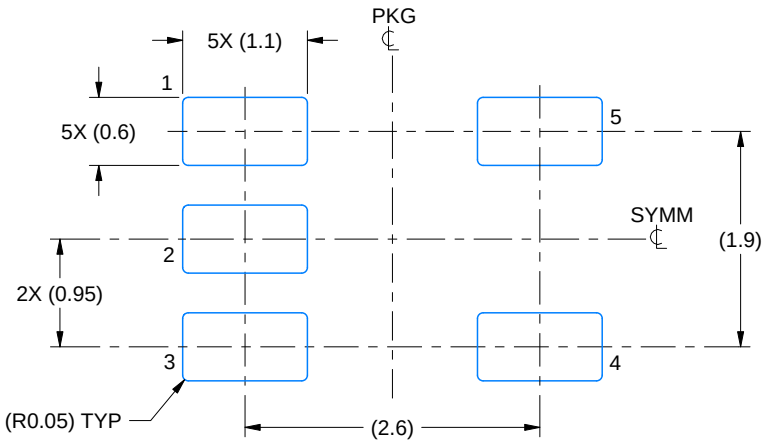
SMALL OUTLINE TRANSISTOR



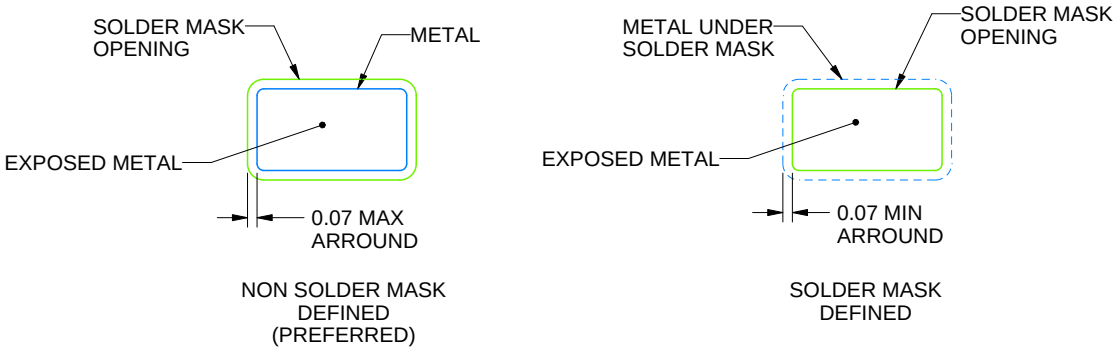
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

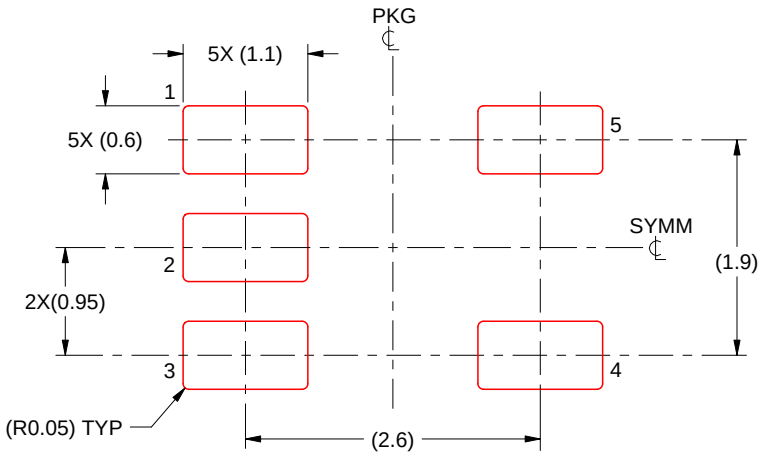


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

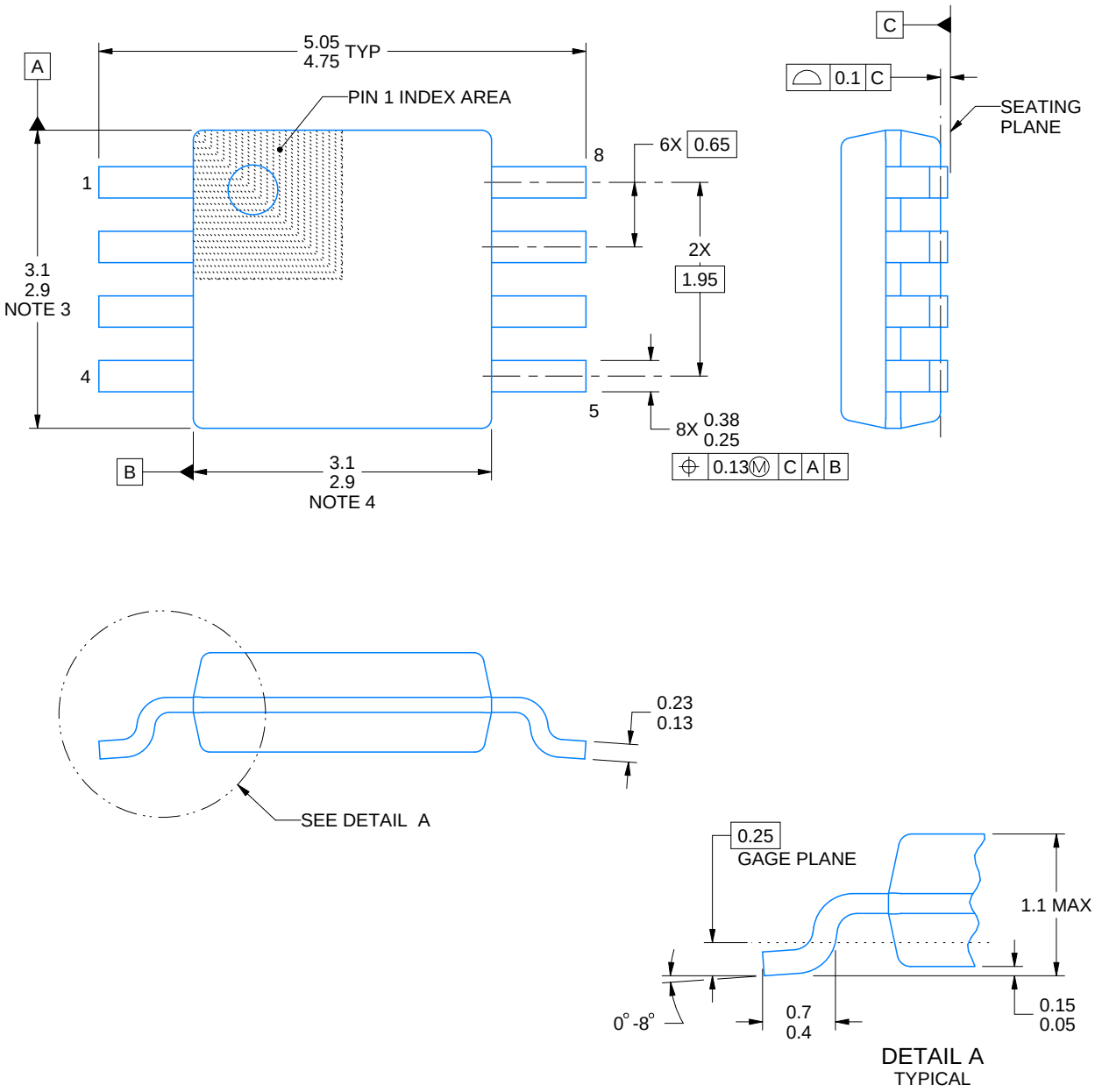
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

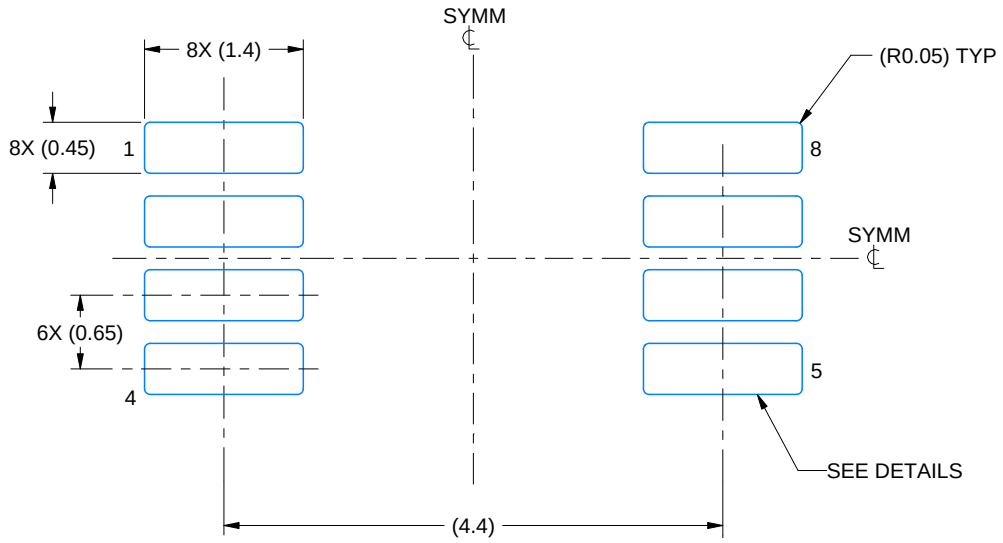
SMALL OUTLINE PACKAGE



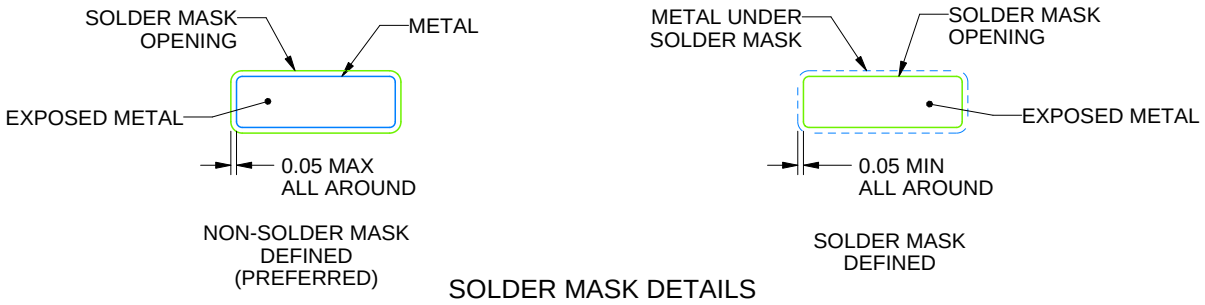
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

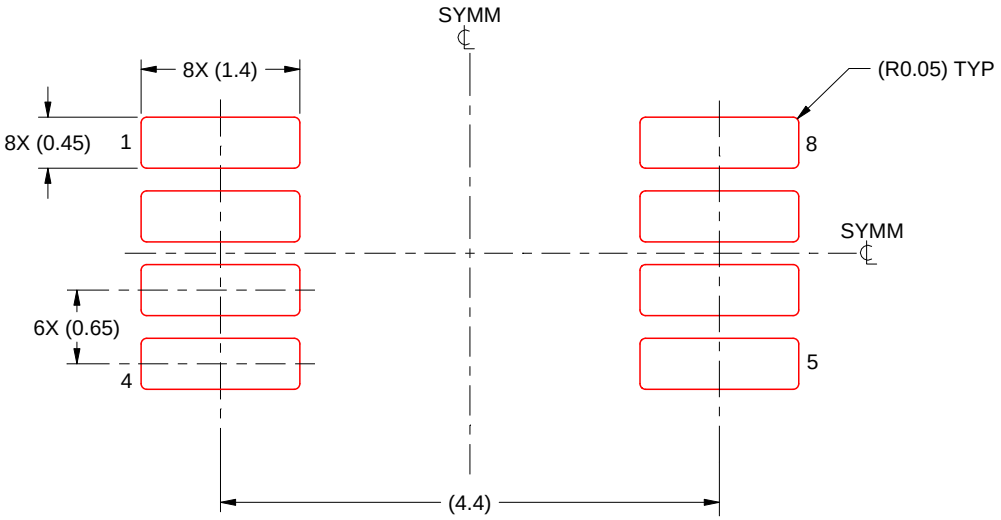


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

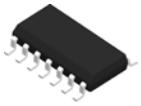


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

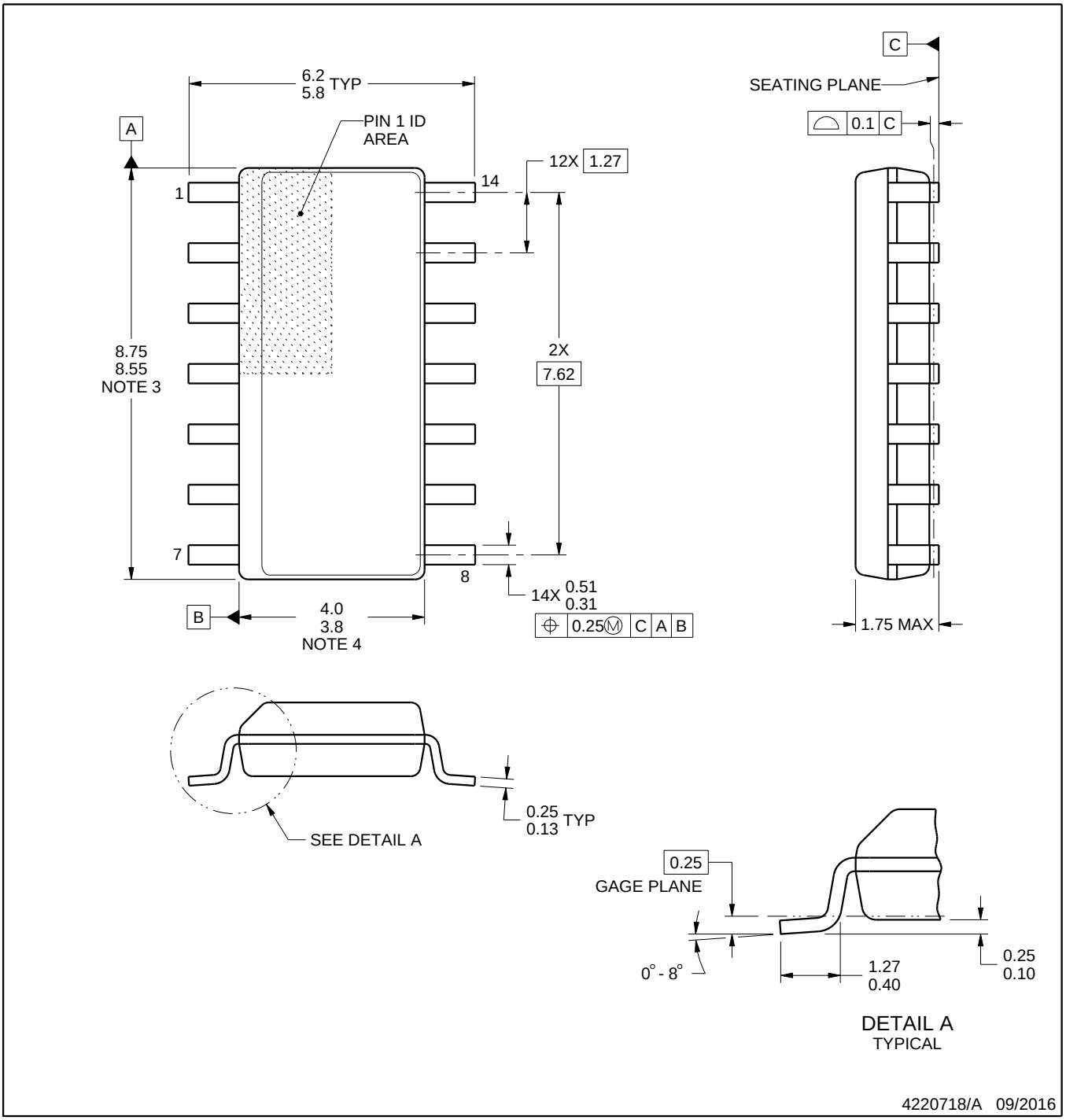


PACKAGE OUTLINE

D0014A

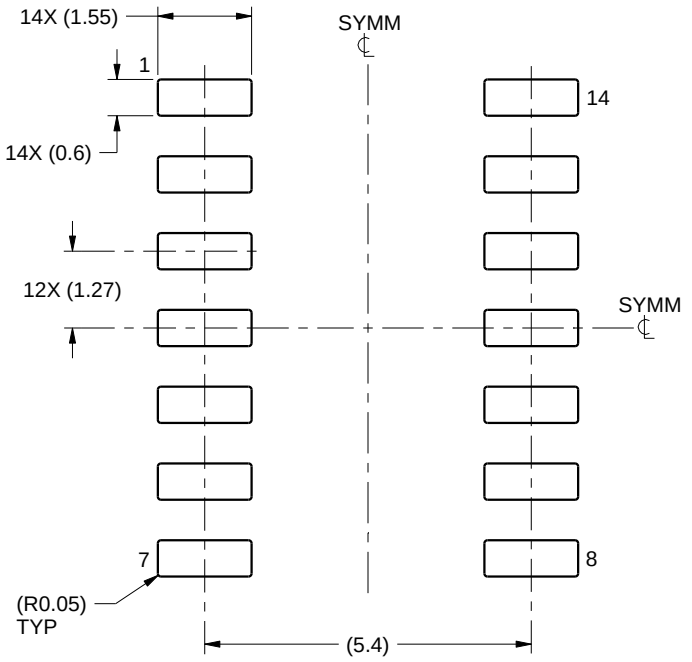
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

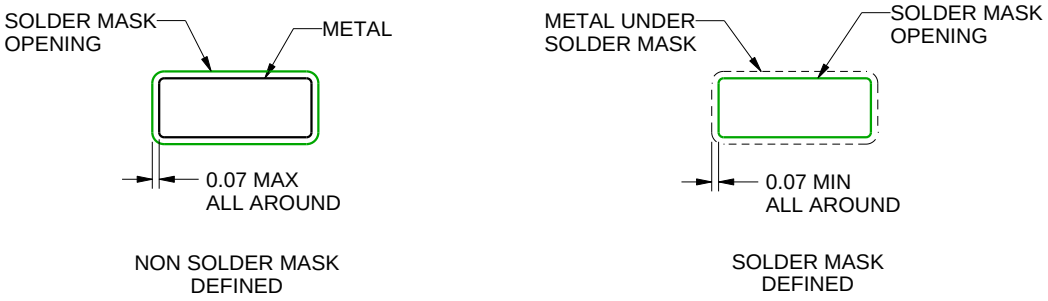


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

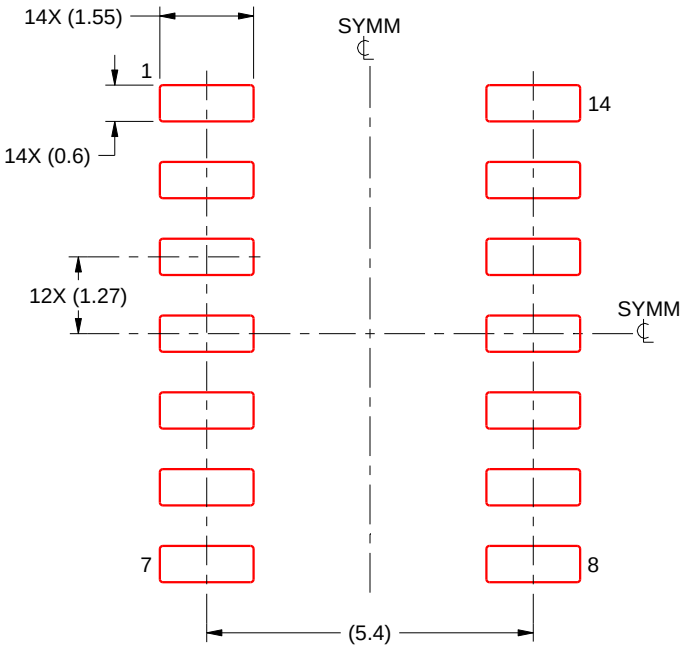
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

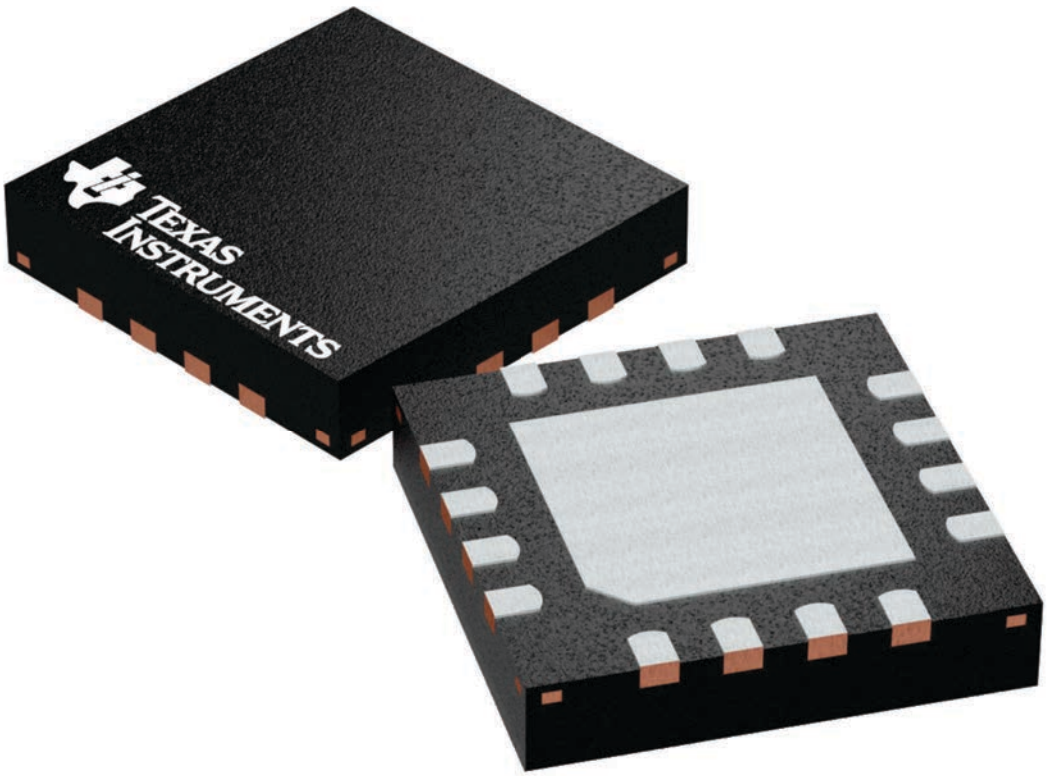
RUM 16

WQFN - 0.8 mm max height

4 x 4, 0.65 mm pitch

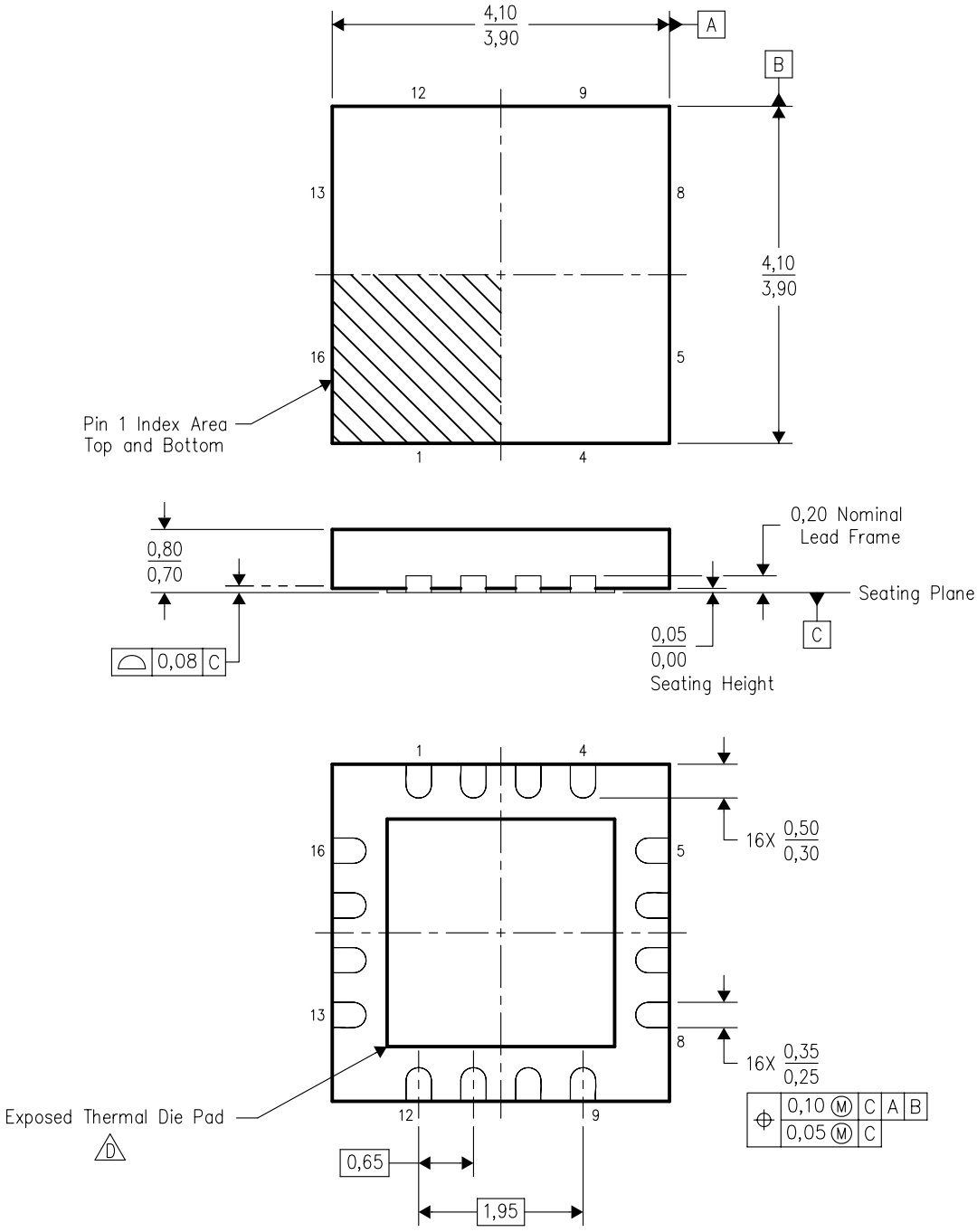
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224843/A

RUM (S–PQFP–N16) PLASTIC QUAD FLATPACK



4209092/A 10/2007

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
E. Package complies to JEDEC MO–220 variation WGGC–3.

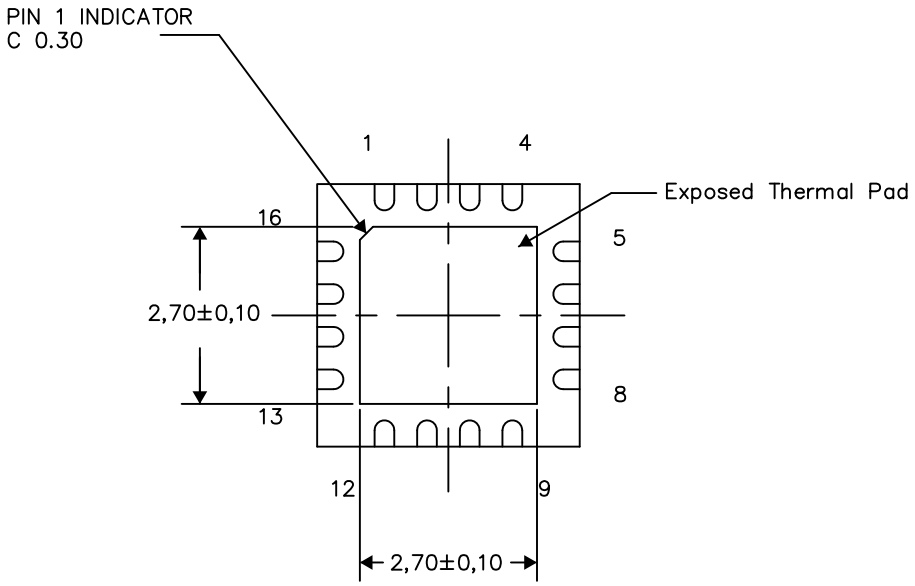
RUM (S–PWQFN–N16) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4209093–2/F 09/15

NOTES: All linear dimensions are in millimeters

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月