LMX1404-EP 低噪声高频 JESD204B/C 缓冲器、倍频器和分频器

1 特性

- VID #V62/24627
- 支持 300MHz 至 15GHz 频率的时钟缓冲器
- 超低噪声
  - 6GHz 输出时的本底噪声为 –159dBc/Hz
  - 6GHz 输出时具有 36fs 附加抖动（100Hz 至 f_{CLK}）
  - 5fs 附加抖动 (100Hz - 100MHz)
- 4 个具有相应 SYSREF 输出的高频时钟
  - 按 1（缓冲器）、2、3、4、5、6、7 和 8 共享分频
  - 共享可编程倍频器 x2、x3 和 x4
- 支持引脚模式选项，以便在没有 SPI 的情况下配置器件
- 带有相应 SYSREF 输出的 LOGICLK 输出
  - 基于单独的分频组
  - 1、2、4 预分频器
  - 1（旁路）、2、⋯、1023 后分频器
- 8 个可编程输出功率级别
- 同步的 SYSREF 时钟输出
  - 在 12.8GHz 下，508 次延迟步长调整，每次小于 2.5ps
  - 发生器和中继器模式
  - SYSREFREQ 引脚的窗口化特性可优化时序
- 针对所有分频和倍频器件的 SYNC 特性
- 2.5V 工作电压
- –55ºC 至 125ºC 工作温度
- 高可靠性
  - 受控基线
  - 一个封测厂
  - 同一制造厂
  - 延长的产品生命周期
  - 产品可追溯性

2 应用

- 雷达成像有效载荷
- 通信有效负载
- 命令和数据处理
- 数据转换器时钟
- 时钟分配/倍频/分频

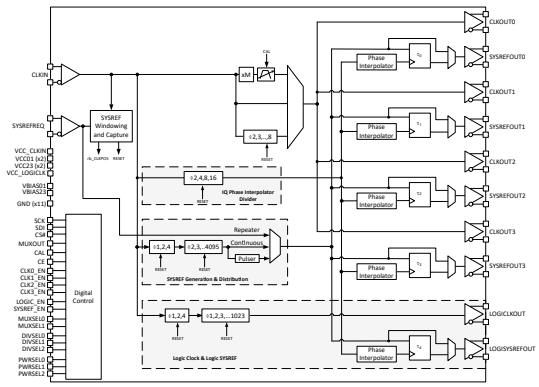
3 说明

LMX1404-EP 是具有高频、超低抖动和 SYSREF 输出的缓冲器、分频器和倍频器。该器件可与超低噪声基准时钟源相结合，是时钟控制型数据转换器的典型设计，尤其是在 3GHz 以上采样时。4 个高频时钟输出中的每一个输出以及附加 LOGICLK 输出都与 SYSREF 输出时钟信号配对。JESD 接口的 SYSREF 信号可以在内部生成，也可以作为输入传入，并重新计时为器件时钟。该器件可通过禁用 SYSREF 输出，将多通道、低偏斜、超低噪声本机振荡器信号分配给多个混频器。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMX1404MPAPTEP	PAP（HTQFP，64）	10.00mm × 10.00mm

(1) 有关所有可用封装，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 热性能信息 6
5.5 电气特性 7
5.6 时序要求 9
5.7 时序图 9
5.8 典型特性 10
6 详细说明 14
6.1 概述 14
6.2 功能方框图 15
6.3 特性说明 16
6.4 器件功能模式配置 28
7 应用和实施 30
7.1 应用信息 31
7.2 典型应用 33
7.3 布局 35
7.4 电源相关建议 36
7.5 寄存器映射 38
8 器件和文档支持 56
8.1 器件支持 56
8.2 文档支持 56
8.3 接收文档更新通知 56
8.4 支持资源 56
8.5 商标 56
8.6 静电放电警告 56
8.7 术语表 56
9 修订历史记录 56
10 机械、封装和可订购信息 57

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

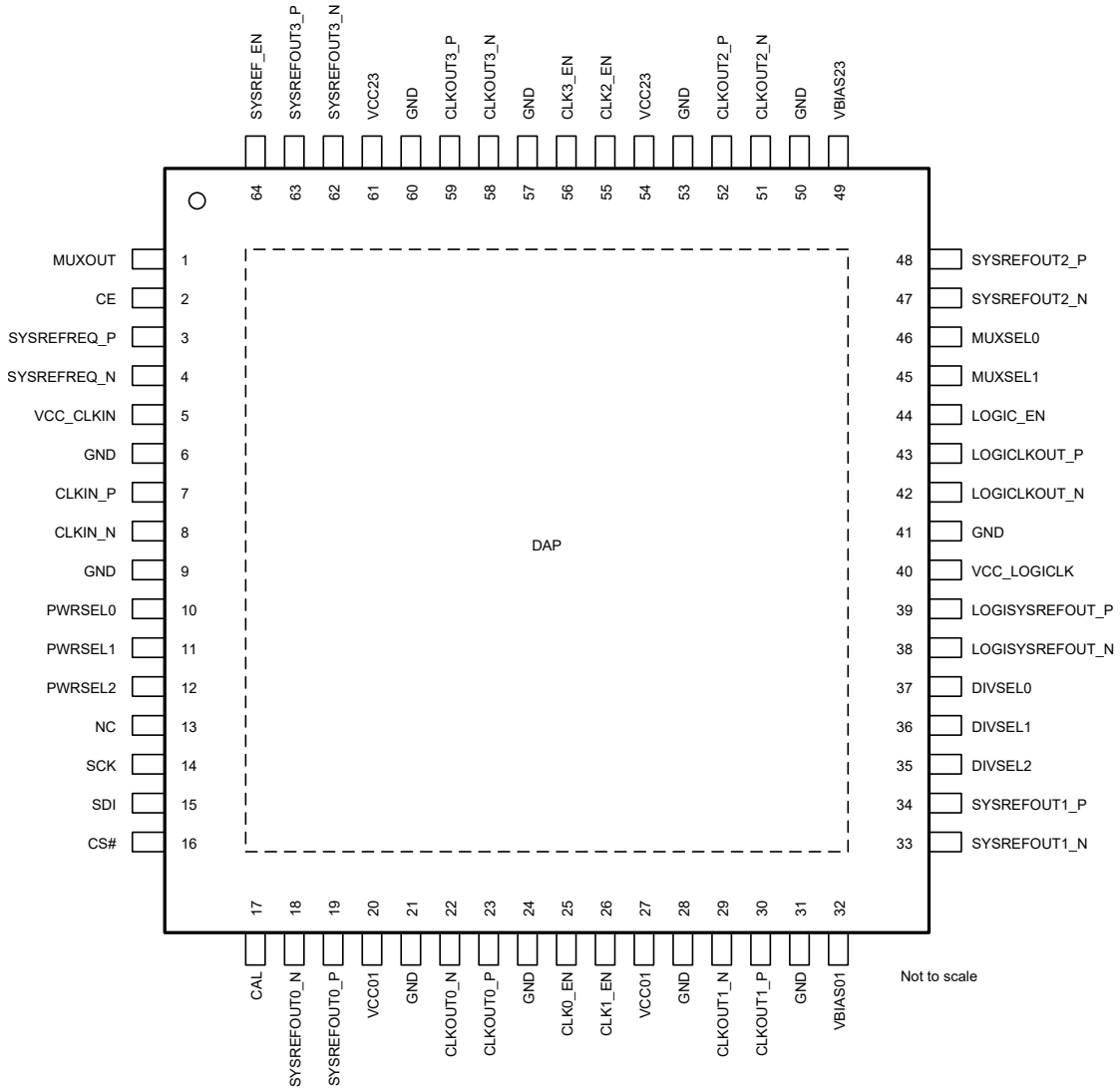


图 4-1. PAP0064E 封装 64 引脚 HTQFP 顶视图

表 4-1. 引脚功能

编号	名称	类型(1)	说明
1	MUXOUT	O	多路复用引脚串行数据回读 (SDO) 和倍频器的锁定状态。
2	CE	I	芯片启用
3	SYSREFREQ_P	I	用于支持 JESD204B/C 的差分 SYSREF 请求输入。内部 50Ω 交流耦合到内部共模电压或电容器连接到 GND。支持交流和直流耦合，可直接接受 1.2V 至 2V 的共模电压。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

编号	名称	类型(1)	说明
4	SYSREFREQ_N	I	用于支持 JESD204B/C 的差分 SYSREF 请求输入。内部 50Ω 交流耦合到内部共模电压或电容器连接到 GND。支持交流和直流耦合，可直接接受 1.2V 至 2V 的共模电压。
5	VCC_CLKIN	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚更远的位置。
6	GND	GND	将这些引脚接地。
7	CLKIN_P	I	差分基准输入时钟。内部 50Ω 端接。使用与输入频率相适应的电容器（通常为 0.1µF 或更小）进行交流耦合。如果使用单端，则通过交流耦合接地的 50Ω 电阻来端接未使用引脚。
8	CLKIN_N		
9	GND	GND	将这些引脚接地。
10	PWRSEL0	I	在引脚模式下选择输出功率级别。
11	PWRSEL1	I	在引脚模式下选择输出功率级别。
12	PWRSEL2	I	在引脚模式下选择输出功率级别。
13	NC	NC	无连接引脚（使用 1kΩ 电阻接地。）
14	SCK	I	SPI 时钟。高阻抗 CMOS 输入。接受高达 3.3V。
15	SDI	I	SPI 数据输入。高阻抗 CMOS 输入。接受高达 3.3V。
16	CS#	I	SPI 芯片选择。高阻抗 CMOS 输入。接受高达 3.3V。
17	CAL	I	倍频器模式下使用的校准引脚。
18	SYSREFOUT0_N	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
19	SYSREFOUT0_P	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
20	VCC01	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚稍远的位置。
21	GND	GND	将这些引脚接地。
22	CLKOUT0_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
23	CLKOUT0_P	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
24	GND	GND	将这些引脚接地。
25	CLK0_EN	I	启用/禁用单个输出通道。
26	CLK1_EN	I	启用/禁用单个输出通道。
27	VCC01	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚稍远的位置。
28	GND	GND	将这些引脚接地。
29	CLKOUT1_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
30	CLKOUT1_P	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
31	GND	GND	将这些引脚接地。
32	VBIAS01	BYP	使用一个 10nF 电容器将此引脚旁路至 GND，以在倍频器模式下实现出色的噪声性能。
33	SYSREFOUT1_N	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
34	SYSREFOUT1_P	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

编号	名称	类型(1)	说明
35	DIVSEL2	I	在引脚配置中的分频器或倍频器模式下选择分频器值或倍频器值。
36	DIVSEL1	I	在引脚配置中的分频器或倍频器模式下选择分频器值或倍频器值。
37	DIVSEL0	I	在引脚配置中的分频器或倍频器模式下选择分频器值或倍频器值。
38	LOGISYSREFOUT_N	O	差分时钟输出对。可选 CML 或 LVDS 格式。可编程共模电压。
39	LOGISYSREFOUT_P	O	差分时钟输出对。可选 CML 或 LVDS 格式。可编程共模电压。
40	VCC_LOGICLK	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1μF 或更小），与较大的电容器（通常为 1μF 和 10μF）并联。大电容器可放置在离引脚稍远的位置。
41	GND	GND	将这些引脚接地。
42	LOGICLKOUT_N	O	差分时钟输出对。可选 CML 或 LVDS 格式。可编程共模电压。
43	LOGICLKOUT_P	O	差分时钟输出对。可选 CML 或 LVDS 格式。可编程共模电压。
44	LOGIC_EN	I	在引脚模式下启用/禁用逻辑通道。
45	MUXSEL1	I	在引脚模式配置中选择缓冲器、分频器或倍频器工作模式。
46	MUXSEL0	I	在引脚模式配置中选择缓冲器、分频器或倍频器工作模式。
47	SYSREFOUT2_N	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
48	SYSREFOUT2_P	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
49	VBIAS23	BYP	使用 10μF 和 0.1μF 电容器将该引脚旁路至 GND，以在倍频器模式下实现出色的噪声性能。
50	GND	GND	将这些引脚接地。
51	CLKOUT2_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
52	CLKOUT2_P	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
53	GND	GND	将这些引脚接地。
54	VCC23	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1μF 或更小），与较大的电容器（通常为 1μF 和 10μF）并联。大电容器可放置在离引脚稍远的位置。
55	CLK2_EN	I	启用/禁用单个输出通道。
56	CLK3_EN	I	启用/禁用单个输出通道。
57	GND	GND	将这些引脚接地。
58	CLKOUT3_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
59	CLKOUT3_P	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
60	GND	GND	将这些引脚接地。
61	VCC23	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1μF 或更小），与较大的电容器（通常为 1μF 和 10μF）并联。大电容器可放置在离引脚稍远的位置。
62	SYSREFOUT3_N	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
63	SYSREFOUT3_P	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
64	SYSREF_EN	I	在引脚模式配置中启用/禁用 SYSREF 部分。
DAP	DAP	GND	将焊盘接地。

(1) I = 输入，O = 输出，GND = 接地，PWR = 电源，BYP = 绕过

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{CC}	电源电压	-0.3	2.75	V
V_{IN}	直流输入电压（SCK、SDI、CSB）	GND	3.6	V
V_{IN}	直流输入电压 (SYSREFREQ)	GND	V_{CC} + 0.3	V
V_{IN}	交流输入电压 (CLKIN)		2.1	Vpp
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	2.4	2.5	2.6	V
T_C	外壳温度	-55		125	°C

5.4 热性能信息

符号	热指标(1)	PAP (HTQFP)	单位
		64 引脚	单位
$R_{\theta JA}$	结至环境热阻	21.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	9.1	°C/W
$R_{\theta JB}$	结至电路板热阻	7.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	7.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

2.4V ≤ V_{CC} ≤ 2.6V，–55°C ≤ T_C ≤ +125°C。典型值是 V_{CC} = 2.5V、25°C 条件下的值（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
电流消耗							
I_{CC}	电源电流 (1)	已上电，所有输出和 SYSREF 均开启			1050		mA
		已上电，所有输出均开启，所有 SYSREF 均关闭			600		
		已上电，所有输出和 SYSREF 均关闭			265		
		已断电(2)			11		
SYSREF							
f_{SYSREF}	SYSREF 输出频率	发生器模式				200	MHz
		中继器模式				100	MHz
Δt	SYSREF 延迟步长	f_{CLKIN} = 12.8GHz			3		ps
t_{RISE}	上升时间（20% 至 80%）	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		120		ps
			LVDS		120		ps
t_{FALL}	下降时间（20% 至 80%）	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		120		ps
			LVDS		120		ps
V_{OD}	差分输出电压	SYSREFOUT			0.85		Vpp
		LOGISYSREFOUT	CML		0.4		Vp
			LVDS		0.4		Vp
$V_{SYSREFCM}$	共模电压	SYSREFOUT	CML SYSREFOUTx_PWR = 4 100Ω 差分负载		0.8		V
SYSREFREQ 引脚							
$V_{SYSREFIN}$	电压输入范围	交流差分电压		0.8		2	Vpp
V_{CM}	输入共模	差分 100Ω 端接，直流耦合在外部设置		1.2	1.3	2	V
时钟输入							
f_{IN}	输入频率	仅缓冲器模式		0.3		15(3)	GHz
P_{IN}	输入功率	CLKIN_P 或 CLKIN_N 处的单端电源		0		10	dBm
时钟输出							
f_{OUT}	输出频率	2 分频		0.15		6.4	GHz
f_{OUT}	输出频率	缓冲器模式		0.3		15(3)	
f_{OUT}	输出频率	x2、x3、x4		3.2		6.4	
f_{OUT}	输出频率	LOGICLK 输出		1		800	MHz
t_{CAL}	校准时间	倍频器校准时间	f_{IN} = 3.2GHz；x2 f_{SMCLK} = 28MHz		750		µs
P_{OUT}	输出功率	单端	f_{CLKOUT} = 6GHz OUTx_PWR = 7		6		dBm
			f_{CLKOUT} = 12.8GHz OUTx_PWR = 7		0		
			f_{CLKOUT} = 15GHz OUTx_PWR = 7		-3		
t_{RISE}	上升时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps
t_{FALL}	下降时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps

Copyright © 2025 Texas Instruments Incorporated

2.4V ≤ V_{CC} ≤ 2.6V，–55°C ≤ T_C ≤ +125°C。典型值是 V_{CC} = 2.5V、25°C 条件下的值（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
t_{MUTE}	输出静音时间	OE 引脚的下降沿				30	µs
t_{UNMUTE}	输出取消静音时间	OE 引脚的上升沿				30	µs
传播延迟和偏移							
| t_{SKEW} |	输出间的偏移幅度	T_A = -55°C 至 +125°C			2.5	10	ps
$\Delta t_{DLY}/\Delta T$	传播延迟随温度的变化	缓冲器模式		0.02	0.06	0.1	ps/C
t_{DLY}	传播延迟	缓冲器模式	T_A = 25°C		180		ps
		分频器模式			182		
		倍频器模式			185		
噪声、抖动和杂散							
J_{CKx}	附加抖动	附加抖动。12kHz 至 100MHz 积分带宽。	缓冲器模式		5		fs、rms
			x2 倍频器		16		
			x3 倍频器		21		
			x4 倍频器		26		
闪烁	1/f 闪烁噪声	压摆率 > 8V/ns，f_{CLK}=6GHz	缓冲器模式		-155		dBc/Hz
NFL	本底噪声	f_{OUT} = 6GHz；f_{Offset} = 100MHz	缓冲器模式		-159		dBc/Hz
			2 分频		-158.5		
			倍频器（x2、x3、x4）		-159.5		
	本底噪声	LOGICLK 输出，300MHz	CML		-150.5		dBc/Hz
			LVDS		-151.5		
H2	二次谐波	f_{OUT} = 6GHz（差分），缓冲器模式			-25		dBc
		f_{OUT} = 6GHz（单端），缓冲器模式			-13		
		f_{OUT} = 6GHz，单端，2 分频			-16		
H1/2	输入时钟泄漏杂散	f_{OUT} = 6GHz（单端）	x2 (f_{SPUR} = 3GHz)		-40		dBc
H1/3			x3 (f_{SPUR} = 2GHz)		-50		
H1/4			x4 (f_{SPUR} = 1.5GHz)		-54		dBc
I_{SPUR}	LOGICLK 至 CLKOUT	f_{SPUR} = 300MHz（差分）			-70		dBc
数字接口（SCK、SDI、CS#、MUXOUT、CLKx_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE）							
V_{IH}	高电平输入电压	SCK、SDI、CS#		1.4		3.3	V
	高电平输入电压	CLKX_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		1.4		3.3	V
V_{IL}	低电平输入电压	SCK、SDI、CS#		0		0.4	V
	低电平输入电压	CLKX_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		0		0.4	V
I_{IH}	高电平输入电流	SCK、SDI、CS#		-42		42	µA
	高电平输入电流	CLKX_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		-42		42	µA
I_{IL}	低电平输入电流	SCK、SDI、CS#		-25		25	µA
	低电平输入电流	CLKX_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		-25		25	µA

Copyright © 2025 Texas Instruments Incorporated

2.4V ≤ V_{CC} ≤ 2.6V，–55°C ≤ T_C ≤ +125°C。典型值是 V_{CC} = 2.5V、25°C 条件下的值（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	MUXOUT	I_{OH} = 5mA	1.4		2.2	V
	高电平输出电压		I_{OH} = 0.1mA	2.2		2.5	V
V_{OL}	低电平输出电压	MUXOUT	I_{OL} = 5mA			0.45	V

(1) 除非另有说明，否则 f_{CLKIN}=6GHz，CLK_MUX=缓冲器，所有时钟均开启且 OUTx_PWR=7、SYSREFREQ_MODE=1。
(2) 用于断电模式。
(3) 支持 SYNC、分频器、SYSREF 和 SYSREF 窗口化，频率高达 12.8GHz。

5.6 时序要求

		最小值	标称值	最大值	单位
时序要求					
f_{SPI}	SPI 读取/写入速度			2	MHz
t_{CE}	时钟到使能低电平时间	20			ns
t_{CS}	时钟到数据等待时间	20			ns
t_{CH}	时钟到数据保持时间	20			ns
t_{CWH}	时钟脉冲宽度高电平	100			ns
t_{CWL}	时钟脉冲宽度低电平	100			ns
t_{CES}	使能到时钟设置时间	20			ns
t_{EWH}	使能脉冲宽度高电平	50			ns
t_{CD}	时钟下降沿到数据等待时间	0		100	ns

5.7 时序图

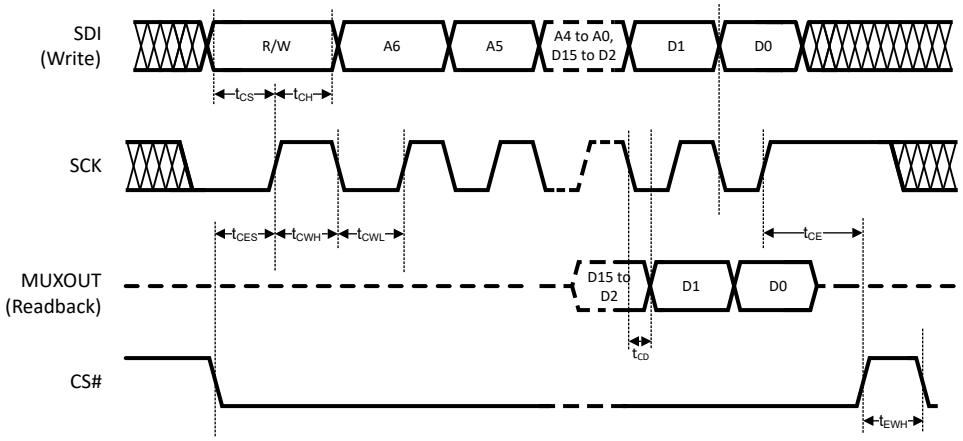


图 5-1. 串行数据输入时序图

在 SPI 上写入时，还有其他几个注意事项：

- R/W 位必须设置为 0。
- SDI 引脚上的数据在 SCK 引脚的每个上升沿被时钟输入到移位寄存器中。
- CS# 必须保持低电平，才能对数据进行时钟输入。如果 CS# 保持高电平，器件将忽略时钟脉冲。
- 该器件的建议 SPI 设置为 CPOL=0 和 CPHA=0。
- 如果在器件之间共享 SCK 和 SDI 线路，TI 建议在不进行时钟输入的器件上将 CS# 线路保持高电平。

SPI 回读还有其他几个注意事项：

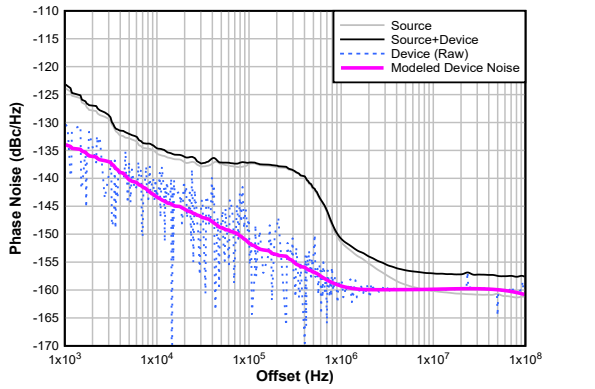
- R/W 位必须设置为 1。

Copyright © 2025 Texas Instruments Incorporated

- 对于事务的地址部分，MUXOUT 引脚将始终为低电平。
- MUXOUT 上的数据在 SCK 的下降沿随时钟输出。也就是说，在时钟下降沿后的 t_{CD} 时，MUXOUT 引脚将提供回读数据。
- 始终忽略 SDI 线路上转换的数据部分。
- 回读事务完成后，MUXOUT 引脚不会自动进入三态。当与其他器件共享 SPI 总线回读引脚时，请在器件的所有回读事务完成后设置 MUXOUT_EN=0，以便手动将 MUXOUT 引脚置于三态，从而允许其他器件控制回读线路。
- 即使对于 R/W 位，回读值也并非总是写入的值，而是考虑了编程值以及其他因素（例如引脚状态）的内部器件状态。

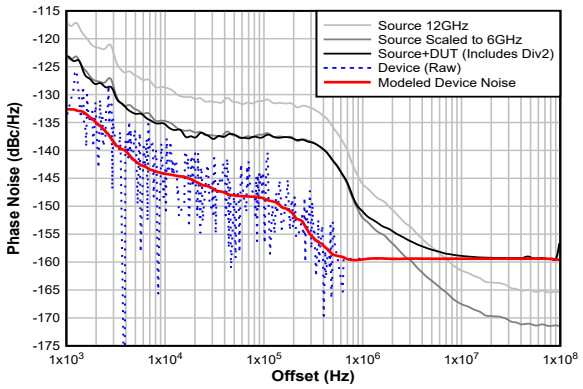
5.8 典型特性

如果没有其他情况，可假设满足以下条件：温度 = 25°C，V_{CC} = 2.5V，OUTx_PWR = 5，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 Rohde & Schwarz® SMA100B。



本底噪声 = -160dBc/Hz

图 5-2. 6GHz 输出时的缓冲器相位噪声图



本底噪声 = -159.8dBc/Hz

图 5-3. 6GHz 输出时的分频器相位噪声图（2 分频）

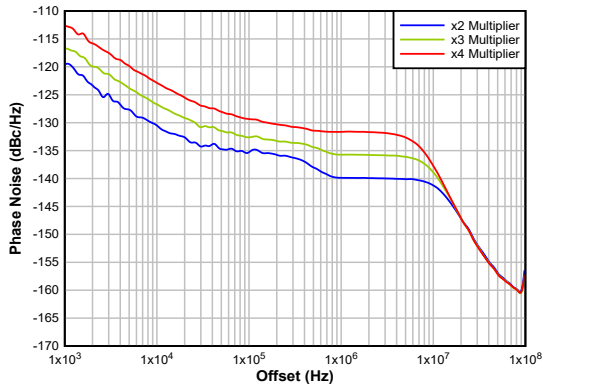
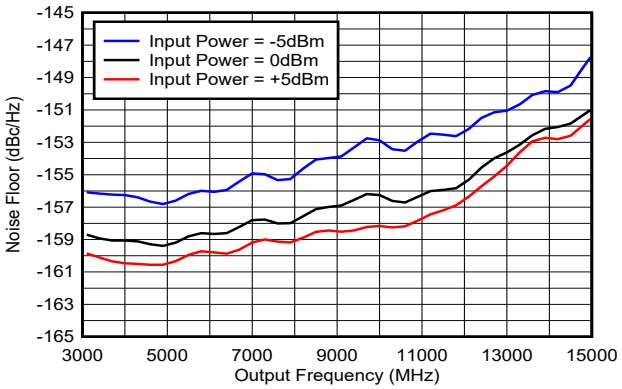


图 5-4. 6GHz 输出时的倍频器相位噪声图



在每个引脚上施加规定的输入功率

图 5-5. 缓冲器模式下的本底噪声

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

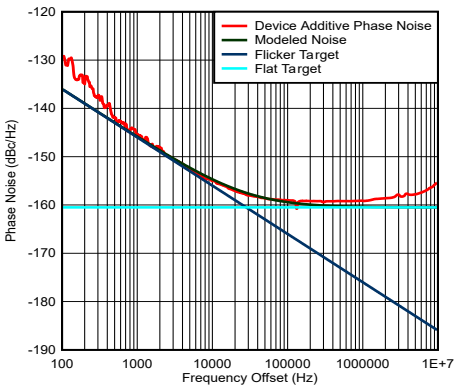


图 5-6. 闪烁噪声

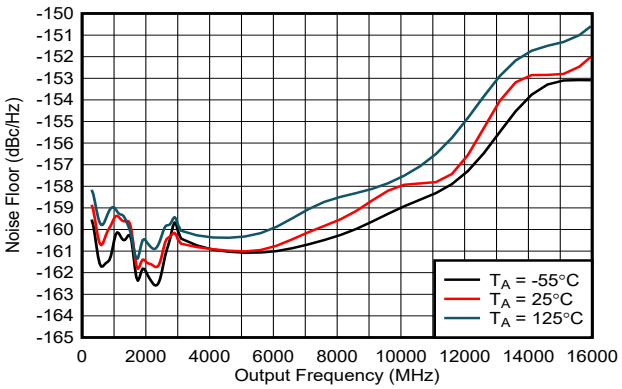
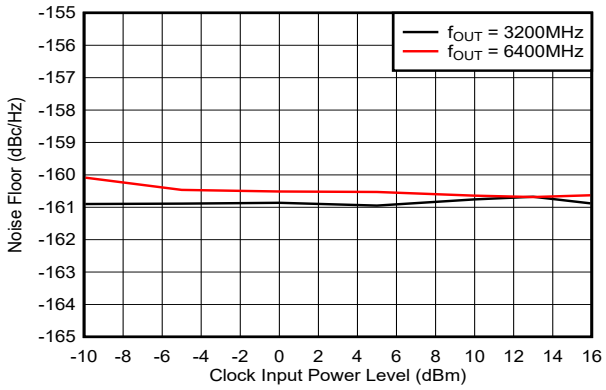
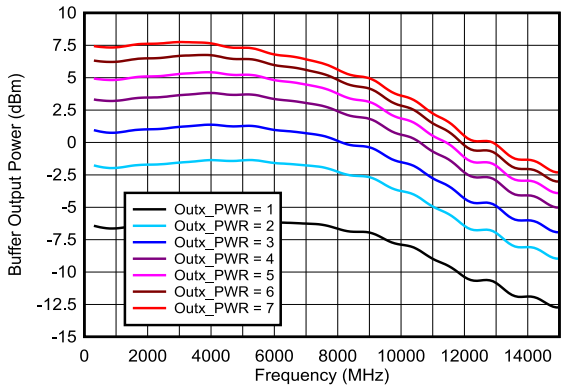


图 5-7. 缓冲器模式下的本底噪声



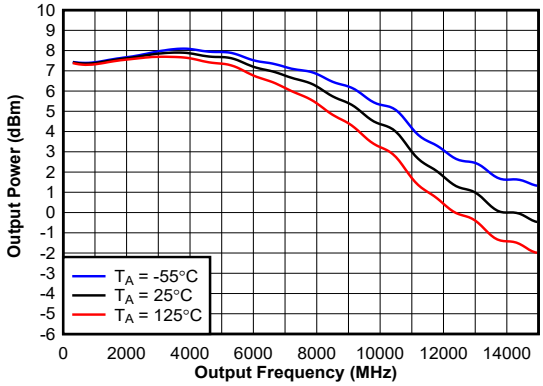
输入功率为差分功率

图 5-8. 倍频 x2 模式下的本底噪声



适用于除奇数分频的分频器模式（其功率稍低）之外的所有模式。

图 5-9. 缓冲器模式单端输出功率



CLKOUTx_PWR = 7

图 5-10. 缓冲器模式单端输出功率

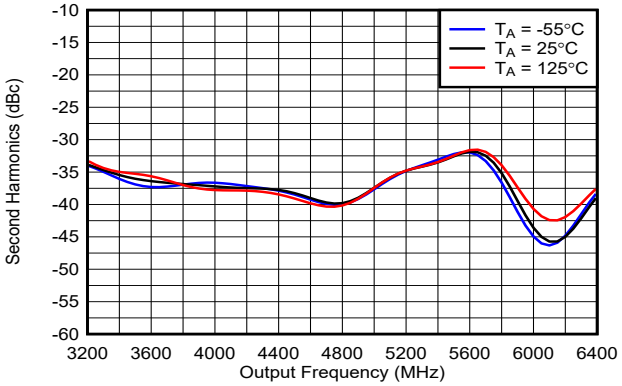


图 5-11. 倍频 X2 模式下的二次谐波（差分输出）

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

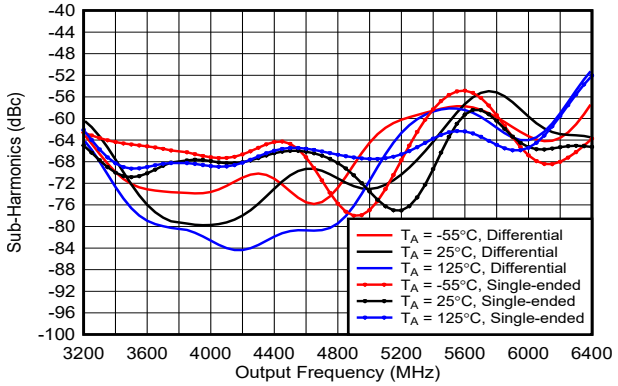


图 5-12. X2 模式下的倍频器 1/2 次谐波

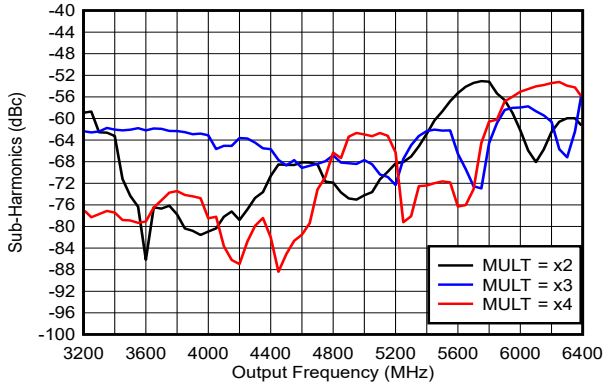


图 5-13. 倍频器次谐波（谐波频率 = 输出频率/M）

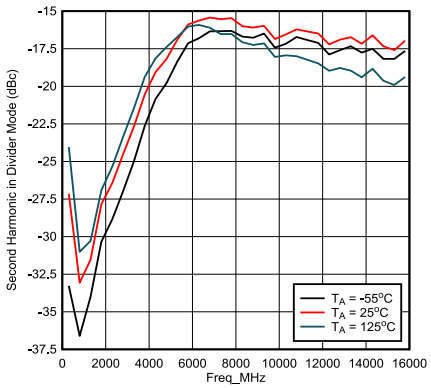


图 5-14. 分频器模式下的二次谐波（单端输入）

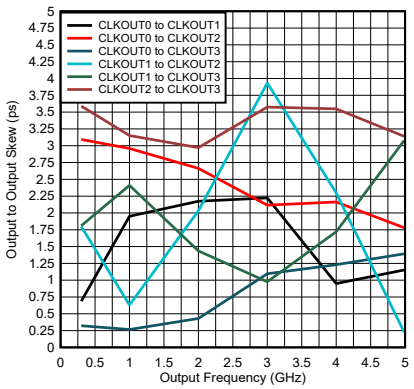


图 5-15. 输出到输出偏斜 (ps)

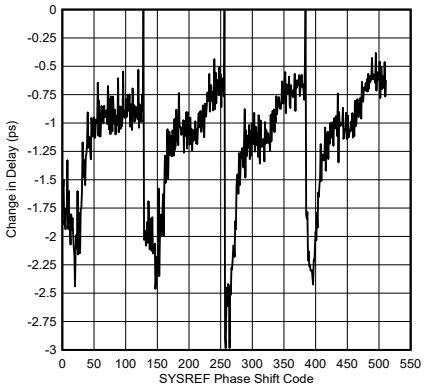
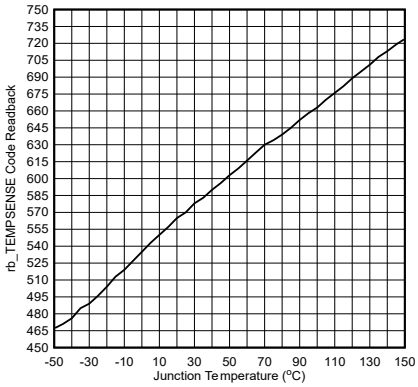


图 5-16. SYSREF 增量延迟与代码间的关系



在断电模式下测量，使结温 = 环境温度。

图 5-17. 温度传感器回读

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

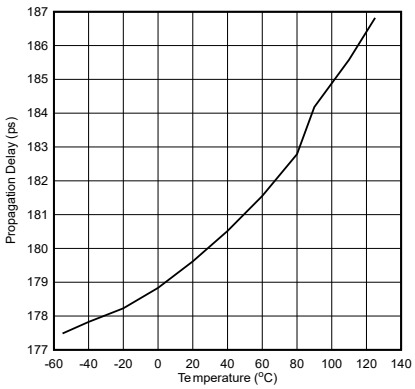


图 5-18. 传播延迟

图 5-19. 通道启用设置时间

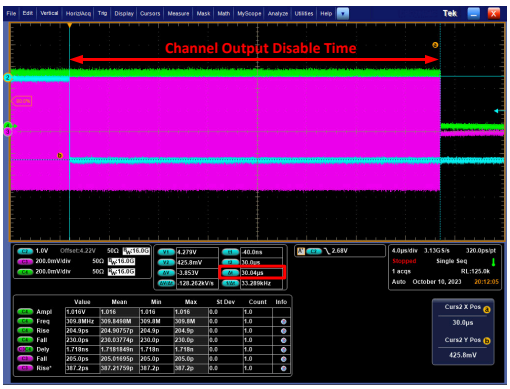


图 5-20. 通道禁用设置时间

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

该器件有四个主时钟输出，还有一个 LOGICLK 输出。主时钟输出的频率均相同。该频率可以与输入时钟相同，也可以相对于输入时钟进行分频或倍频。每个时钟输出都具有可编程功率级别。LOGICLK 输出频率是独立的，通常低于其他四个主时钟的频率，并具有可编程输出格式（CML 和 LVDS）和功率级别。

SYSREF 可通过重复 SYSREFREQ 引脚的输入生成，也可在内部生成。内部 SYSREF 窗口化特性可调整器件的内部时序，以优化 SYSREFREQ 输入相对于 CLKIN 输入的设置时间和保持时间。该特性假设 SYSREF 边沿与下一个上升时钟沿之间的延迟一致。五个输出中的每一个都具有相应的 SYSREF 输出，该输出具有独立的延迟和可编程共模。对于 LOGISYSREF 输出，输出格式可编程为 CML 或 LVDS。

6.1.1 分频器和倍频器范围

分频器允许主输出和 LOGICLK 输出使用输入时钟的分频值。主时钟输出也可以使用倍频器。除此之外，分频器用于在发生器模式下生成 SYSREF 以及用于生成延迟块。

表 6-1. 分频器和倍频器范围

类别			范围	注释
主时钟	缓冲器			
	分频器		2、3、4、...8	奇数分频（1 除外）没有 50% 占空比
	倍频器		2、3、4	
LOGICLK	分频	预分频	1、2、4	总分频 = 预分频 × 分频 奇数分频（1 除外）没有 50% 占空比
		分频	1、2、3、⋯ 1023	
SYSREF	用于生成频率的分频	预分频	1、2、4	用于生成 SYSREF 的预分频时钟。 总分频 = 预分频 × 分频 奇数分频没有 50% 占空比
		分频	2、3、4、⋯ 4095	
	用于生成延迟的分频	分频	2、4、8、16	该分频用于相位内插器，可根据输入频率进行设置。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

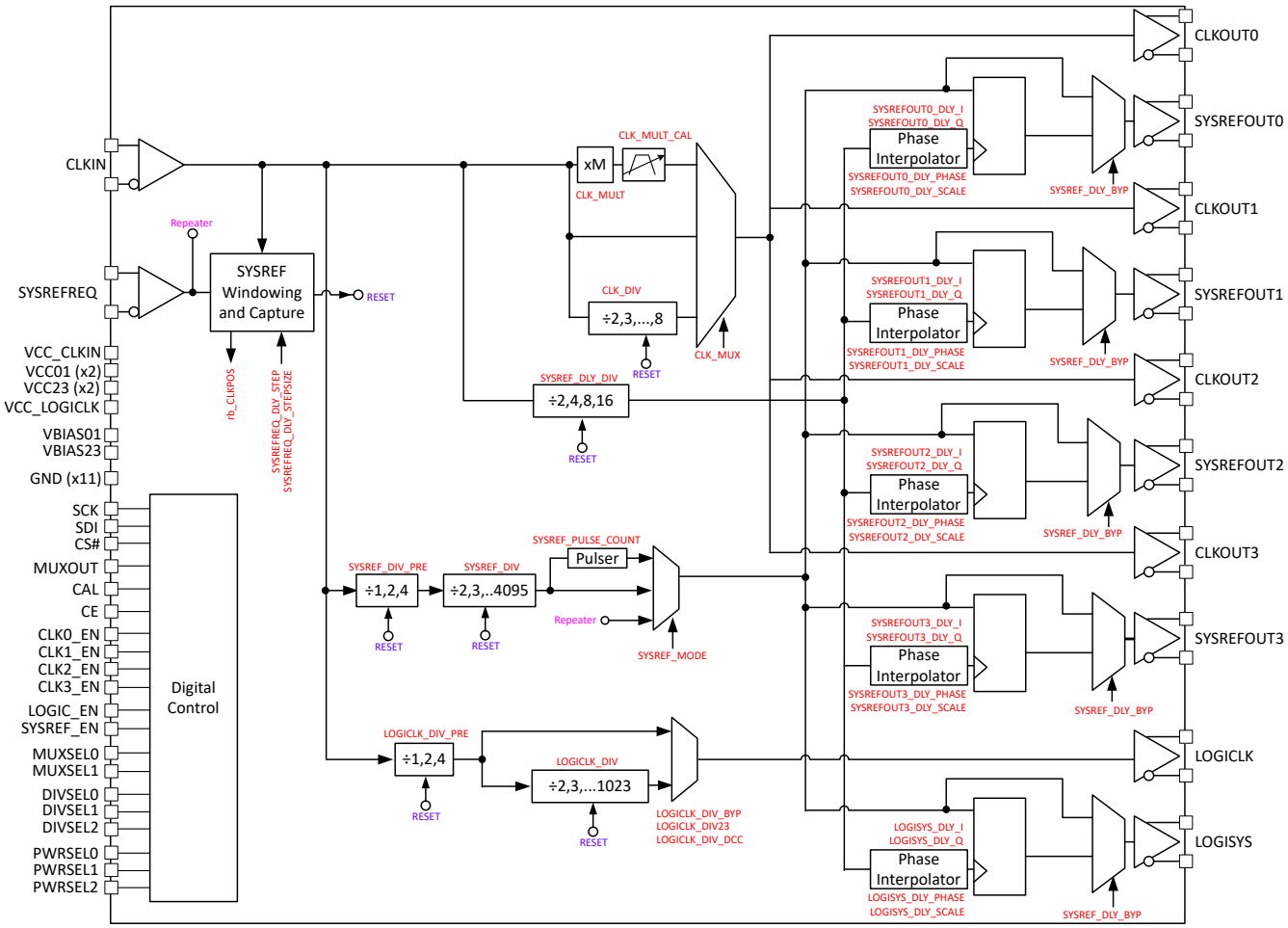


图 6-1. 功能方框图

6.3 特性说明

6.3.1 上电复位

当器件上电时，上电复位 (POR) 会将所有寄存器复位为默认状态，并将所有状态机和分频器复位。在上电复位状态下，将禁用所有 SYSREF 输出，绕过所有分频器，并且该器件用作 4 路输出缓冲器。在电源轨后等待约 100µs，然后再对其他寄存器进行编程，以验证该复位是否完成。如果在没有器件时钟时发生上电复位，器件会正常工作，但在插入输入时钟后，电流会发生变化。

通过在 SPI 总线上写入 RESET = 1 来执行软件上电复位是可行的，而且通常是一种很好的做法。当用户对任何其他寄存器进行写入时，RESET 位会自行清除。SPI 总线可用于将这些状态覆盖到所需的设置。

尽管该器件具有自动上电复位功能，但可能会受到不同电源引脚上不同斜升速率的影响，尤其是在存在强输入时钟信号的情况下。因此，TI 建议在 POR 后进行软件复位。这可通过编程 RESET = 1 来实现。可通过对任何其他寄存器进行编程或将 RESET 设置回 0 来清除复位位。即使在允许的最大 SPI 总线速度下，软件复位事件也始终在后续 SPI 写入之前完成。

6.3.2 温度传感器

可以回读结温，以便进行表征或根据温度进行调整。此类调整可能包括调整 CLKOUTx_PWR 以使输出功率更稳定，或使用外部或数字延迟来补偿传播延迟随温度的变化。

由于器件输出和其他功能的功率耗散，结温通常高于环境温度。方程式 1 展示了代码回读与结温间的关系。

$$\text{Temperature} = 0.65 \times \text{Code} - 351 \quad (1)$$

方程式 1 是根据慢、标称和快工艺角批次的器件（每批次三个器件，共九个器件）创建的最佳拟合线路。实际温度与最佳拟合线路预测温度之间的最坏情况变化为 13°C，相当于 20 个代码。

6.3.3 时钟输出

该器件有四个主输出时钟，这些输出时钟使用相同的频率。这不包括额外的低频 LOGICLK 输出。

6.3.3.1 时钟输出缓冲器

输出缓冲器采用集电极开路形式，带有集成上拉电阻，与 CML 类似。

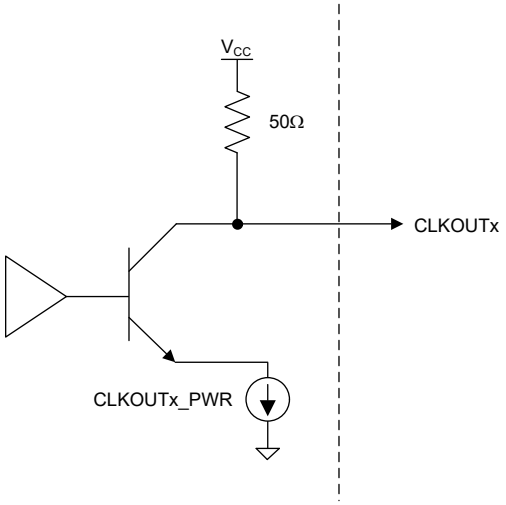


图 6-2. CLKOUT 输出缓冲器

CLKOUTx_EN 位可以启用输出缓冲器。缓冲器的输出功率可通过 CLKOUTx_PWR 字段单独设置。但是，这些字段仅控制输出缓冲器，而不控制驱动该缓冲器的内部通道路径。要关闭整条路径的电源，请禁用 CHx_EN 位。

Copyright © 2025 Texas Instruments Incorporated

表 6-2. 时钟输出功率

CHx_EN	内部通道路径	CLKOUTx_EN	CLKOUTx_PWR	输出缓冲器
0	已断电	不用考虑	不用考虑	已断电
1	已上电	0	不用考虑	已断电
		1	0	最小值
			1	
			...	
			7	最大值

6.3.3.2 时钟多路复用器

四个主时钟必须具有相同的频率，但该频率可被旁路、倍频或分频。这由 CLK_MUX 字决定。

表 6-3. 时钟多路复用器

CLK_MUX	选项	支持的值
0	缓冲器模式	÷1（旁路）
1	分频器模式	÷2、3、4、5、6、7 和 8
2	倍频器模式	x2、x3、x4

6.3.3.3 时钟分频器

将 CLK_MUX 设置为“已分频”，分频值为 2、3、4、5、6、7 或 8。这由 CLK_DIV 字设置。使用时钟分频器时，对输入频率的任何更改都需要将 CLK_DIV_RST 位从 1 切换为 0。

表 6-4. 时钟分频器

CLK_DIV	分频值	占空比
0	保留	不适用
1	2	50%
2	3	33%
3	4	50%
4	5	40%
5	6	50%
6	7	43%
7	8	50%

6.3.3.4 时钟倍频器

6.3.3.4.1 时钟倍频器基本信息

使用时钟倍频器将输入时钟频率乘以系数 x2、x3 或 x4。所乘的值由 CLK_MULT 字段设置。由于倍频器基于 PLL 并包含一个集成的 VCO，因此倍频器具有状态机时钟，需要进行校准并具有锁定检测特性。

6.3.3.4.2 时钟倍频器的状态机时钟

通过将输入时钟频率除以编程分频值，可得出状态机时钟频率 (f_{SMCLK})。倍频器校准和锁定检测也需要状态机时钟。

6.3.3.4.2.1 状态机时钟

在所有工作模式（缓冲器、分频器和倍频器）下必须启用状态机时钟。器件有上电复位默认设置 SMCLK_EN = 1，并且该字段不能更改为任何其他状态。SMCLK_EN 的状态可通过寄存器 R2[5] 位回读。为了正确配置器件，CLKIN 引脚上必须存在输入时钟。

状态机时钟需要小于 30MHz，频率如下：

$f_{SMCLK} = f_{CLKIN} / (SMCLK_DIV_PRE \times SMCLK_DIV)$

6.3.3.4.3 时钟倍频器校准

为获得理想的相位噪声，倍频器中的 VCO 将频率范围划分为许多不同的频段和内核，并且每个频段和内核都具有进行了优化的振幅设置。因此，在初次使用时或每当频率发生变化时，用户必须运行校准例程，以确定正确的内核、频段和幅度设置。使用有效的输入信号对 R0 寄存器进行编程，以执行校准。为提供可靠的倍频器校准，状态机时钟频率必须至少为 SPI 写入速度的两倍，但不能超过 30MHz。每当更改 CLK_MUX 模式或首次校准倍频器时，校准时间都会显著延长，约为 5ms。

6.3.3.4.4 时钟倍频器锁定检测

可通过 rb_LOCK_DETECT 字段或从 MUXOUT 引脚读回倍频器的锁定检测状态。状态机时钟必须处于运行状态，锁定检测才能正常工作。

6.3.3.4.5 看门狗计时器

当 VCO 校准期间的辐射导致 VCO 校准在倍频器模式下失败时，会使用看门狗功能。看门狗计时器在 VCO 校准期间运行。如果该计时器在 VCO 校准完成前结束，则会重新启动 VCO 校准。在看门狗计时器运行期间，必须启用状态机时钟。

6.3.4 LOGICLK 输出

LOGICLK 输出可用于驱动使用低频时钟的器件，如 FPGA。LOGICLK 输出具有可编程输出格式和相应的 SYSREF 输出。

6.3.4.1 LOGICLK 输出格式

LOGICLK 输出格式可编程为 LVDS 和 CML 模式。根据格式的不同，共模可能是可编程的，也可能需要外部元件（请参阅表 6-5）。

表 6-5. LOGICLK 格式和属性

LOGICLKOUT_FMT	格式	所需外部元件	输出电平	共模
0	LVDS	无	固定	可通过 LOGICLKOUT_VCM 进行编程
2	CML	上拉电阻 50Ω，连接至 V_{CC}	可通过 LOGICLKOUT_PWR 进行编程	不可编程

6.3.4.2 LOGICLK_DIV_PRE 和 LOGICLK_DIV 分频器

LOGICLK_DIV_PRE 分频器和 LOGICLK_DIV 分频器用于 LOGICLK 输出。必须使用 LOGICLK_DIV_PRE 分频器进行分频，以确保 LOGICLK_DIV 分频器的输入为 3.2GHz 或更低。当 LOGICLK_DIV 不是偶数且未被旁路时，占空比将不是 50%。两个 LOGICLK 分频器均通过 SYNC 特性进行同步，从而可跨多个器件实现同步。分频器 LOGICLK_DIV_PRE 和 LOGICLK_DIV 的默认分频值分别为 4 和 32。

表 6-6. 最小 N 分频器限制

f_{CLKIN} (MHz)	LOGICLK_DIV_PRE	LOGICLK_DIV	总分频范围
$f_{CLKIN} \leqslant 3.2GHz$	÷1、2、4	÷1、2、3、⋯1023	[1、2、...1023] [2、4、...2046] [4、8、4092]
$3.2GHz < f_{CLKIN} \leqslant 6.4GHz$	÷2、4	÷1、2、3、⋯1023	[4、...2046] [4、8、4092]
$f_{CLKIN} > 6.4GHz$	÷4	1、2、3、⋯1023	[8、4092]

Copyright © 2025 Texas Instruments Incorporated

6.3.5 SYSREF

SYSREF 允许生成符合 JESD204B/C 标准的低频信号，该信号重新计时为主输出或 LOGICLK 输出。CLKOUT 和 SYSREF 输出之间的延迟可通过软件进行调整。SYSREF 输出可使用内部 SYSREF 分频器配置为发生器，也可配置为在 SYSREFREQ 引脚上复制信号的中继器。主时钟的 SYSREF 发生器与 LOGICLK 输出的 SYSREF 发生器相同。

表 6-7. SYSREF 模式

SYSREF_MODE	说明
0	**发生器模式** 内部发生器产生连续的 SYSREF 脉冲流。SYSREFREQ 引脚或 SYSREFREQ_FORCE 位可用于从通道中对 SYSREF 分频器进行门控，从而改善噪声隔离，而不会中断 SYSREF 分频器的同步。SYSREFREQ 引脚或 SYSREFREQ_FORCE 位必须为高电平，SYSREF 输出才能进行输出。
1	**脉冲发生器** 内部发生器生成一个由 1 至 16 个脉冲组成的脉冲群，该脉冲群由 SYSREF_PULSE_CNT 设置，发生在 SYSREFREQ 引脚的上升沿之后或在 SYSREFREQ_FORCE 位从 0 更改为 1 之后（假设 SYSREFREQ 引脚被强制为低电平状态）。
2	**中继器模式** SYSREFREQ 引脚输入重新计时为时钟输出，然后根据 SYSREF_DLY_BYP 字段进行延迟，再发送到 SYSREFOUT 输出引脚。

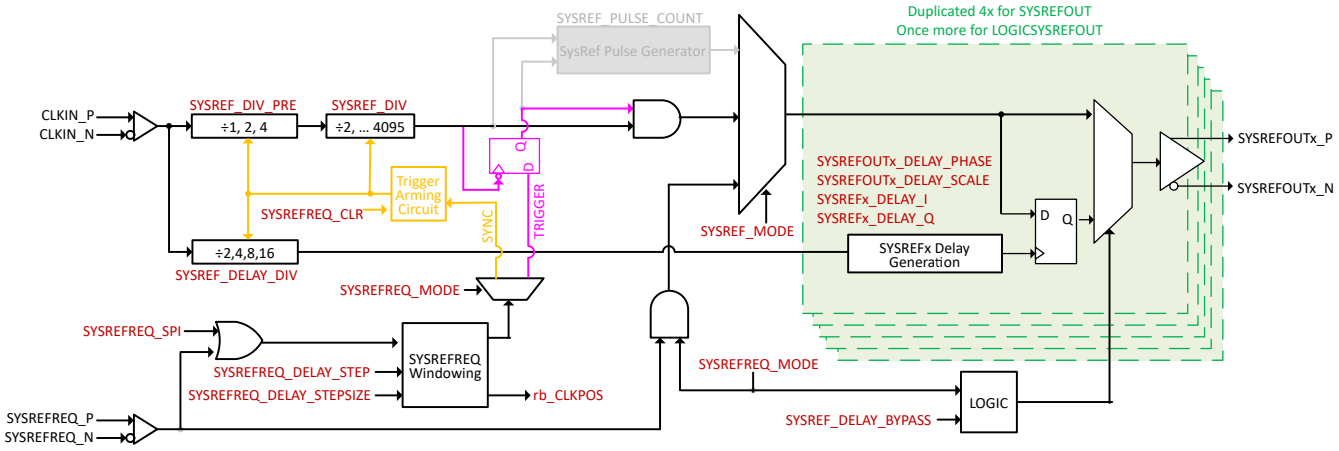


图 6-3. 发生器模式下的 SYSREF 电路功能方框图

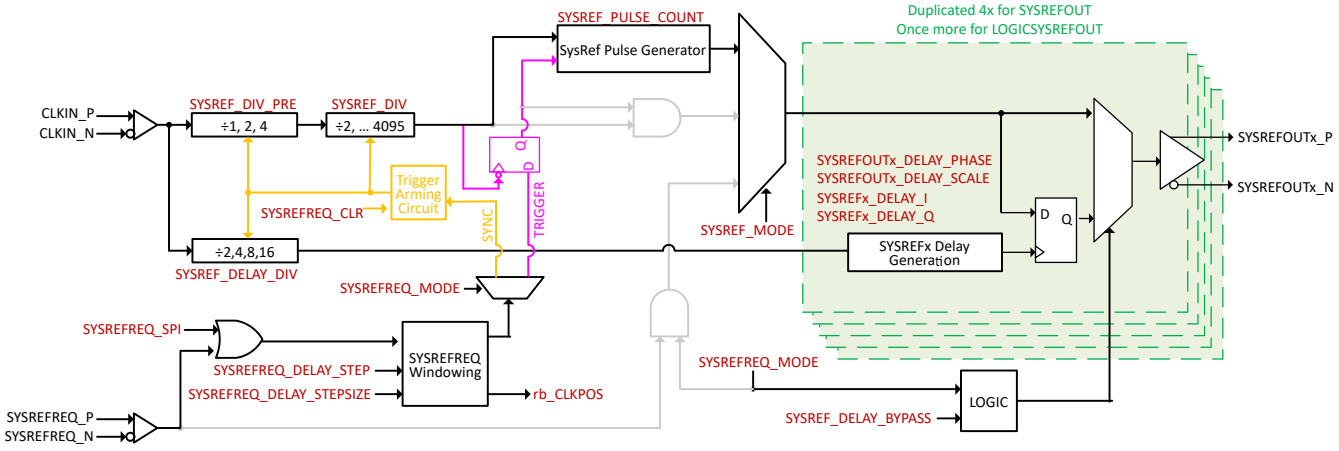


图 6-4. 脉冲发生器模式下的 SYSREF 电路功能方框图

Copyright © 2025 Texas Instruments Incorporated

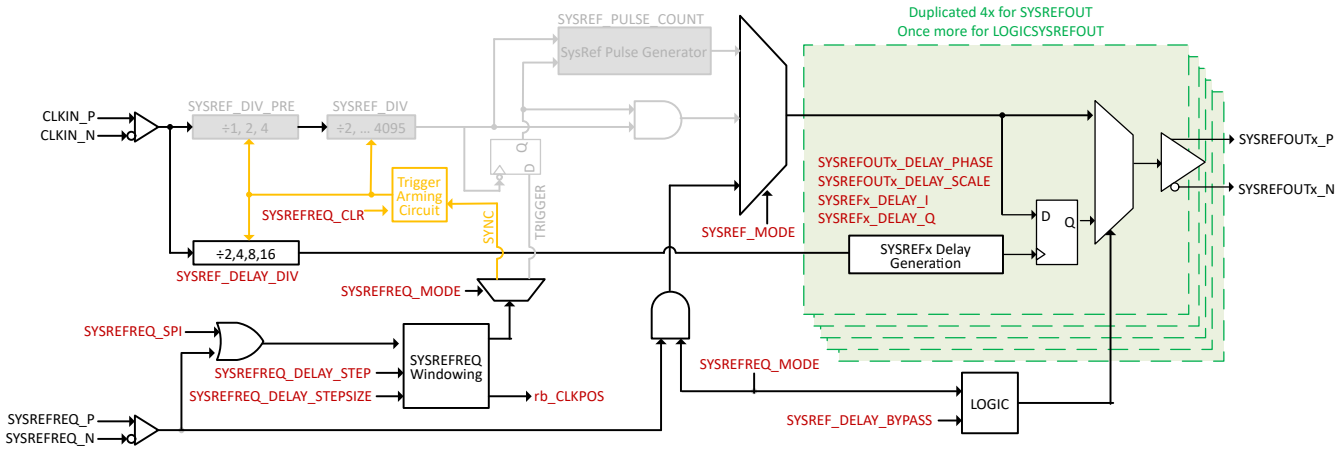


图 6-5. 中继器模式下的 SYSREF 电路功能方框图

要运行 SYSREFREQ_FORCE 位控制的 SYSREF 输出（脉冲发生器）和 SYNC，请从外部将 SYSREFREQ 引脚设置为低逻辑状态。例如，确保 SYSREFREQ_N 引脚的电平 (400mV) 高于 SYSREFREQ_P 引脚的电平，并保持输入共模电压要求。

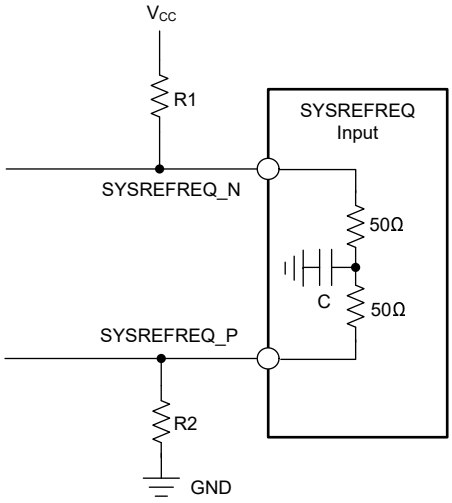


图 6-6. SYSREFREQ 引脚逻辑低电平设置

例如，要在 2.5V 的 VCC 下保持 400mV 的最小电压差，通过 100Ω 消耗的电流将为 4mA。在本例中，将 SYSREFREQ_P 引脚保持在 1.4V 直流电压，将 R2 设置为 350Ω，将 R1 设置为 175Ω，使 SYSREFREQ_N 引脚处的电压为 1.8V。

6.3.5.1 SYSREF 输出缓冲器

6.3.5.1.1 主时钟的 SYSREF 输出缓冲器 (SYSREFOUT)

时钟输出通道内的 SYSREF 输出与时钟输出缓冲器具有相同的输出缓冲器结构，并增加了用于调整共模电压的电路。SYSREF 输出是 CML 输出，其共模电压可通过 SYSREFOUTx_VCM 字段进行调整，并且输出电平可通过 SYSREFOUTx_PWR 字段进行编程。该设计可以实现直流耦合。请注意，CLKOUT 输出没有可调共模电压，必须采用交流耦合，以实现出色的噪声性能。

Copyright © 2025 Texas Instruments Incorporated

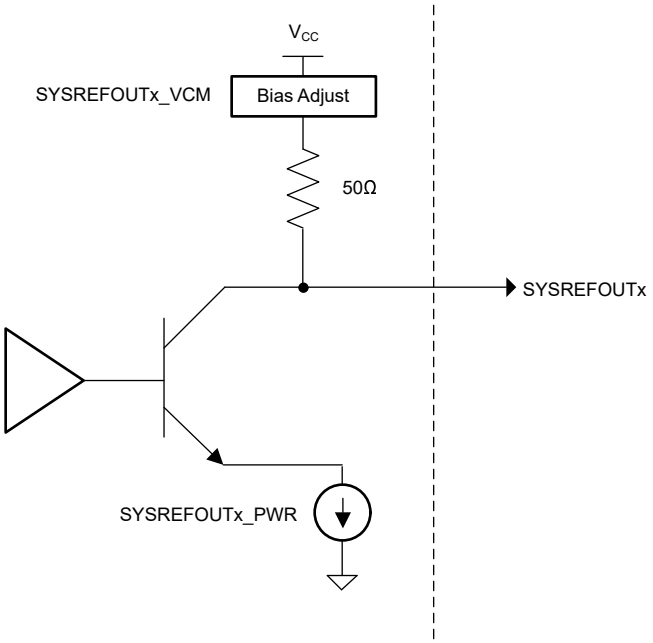


图 6-7. SYSREF 输出缓冲器

共模电压和输出功率相互关联，可在假设存在 100Ω 差分负载且没有直流接地路径的情况下进行仿真。共模电压和输出相互关联，如表 6-8 所示。请注意，为了实现长期可靠性，V_{CM} – $V_{OD}/2 \geq 0.5V$ is required.

表 6-8. 单端电压 (V_{OD}) 和共模电压 (V_{CM})

SYSREFOUT_PWR	检查： V_{CM} - $V_{OL}/2 \geq 0.5V$？	SYSREFOUT_VCM	V_{OD}	V_{CM}
0	有效状态	0	0.27	1.09
		1	0.27	1.22
		2	0.28	1.37
		3	0.28	1.54
		4	0.29	1.69
		5	0.29	1.83
		6	0.29	2.00
		7	0.29	2.16
1		0	0.32	0.79
		1	0.33	0.95
		2	0.33	1.12
		3	0.34	1.33
		4	0.35	1.51
		5	0.35	1.69
		6	0.36	1.89
		7	0.37	2.08

Copyright © 2025 Texas Instruments Incorporated

表 6-8. 单端电压 (V_{OD}) 和共模电压 (V_{CM}) （续）

SYSREFOUT_PWR	检查： V_{CM} - V_{OL}/2 ≥ 0.5V？	SYSREFOUT_VCM	V_{OD}	V_{CM}
2	无效状态	0	0.37	0.52
		1	0.38	0.68
	有效状态	2	0.39	0.89
		3	0.40	1.12
		4	0.41	1.34
		5	0.42	1.54
		6	0.43	1.78
		7	0.44	2.01
3	无效状态	0	0.39	0.43
		1	0.42	0.50
		2	0.45	0.66
	有效状态	3	0.46	0.93
		4	0.47	1.17
		5	0.48	1.41
		6	0.49	1.68
		7	0.51	1.93
4	无效状态	0	0.40	0.40
		1	0.43	0.44
		2	0.48	0.52
		3	0.51	0.73
	有效状态	4	0.52	1.00
		5	0.54	1.27
		6	0.55	1.57
		7	0.57	1.86
5	无效状态	0	0.40	0.38
		1	0.44	0.42
		2	0.49	0.47
		3	0.55	0.59
	有效状态	4	0.58	0.85
		5	0.59	1.14
		6	0.62	1.48
		7	0.63	1.79
6	无效状态	0	0.40	0.36
		1	0.44	0.39
		2	0.49	0.45
		3	0.57	0.54
		4	0.63	0.70
	有效状态	5	0.65	1.01
		6	0.67	1.38
		7	0.70	1.73

Copyright © 2025 Texas Instruments Incorporated

表 6-8. 单端电压 (V_{OD}) 和共模电压 (V_{CM}) （续）

SYSREFOUT_PWR	检查： V_{CM} - V_{OL}/2 ≥ 0.5V？	SYSREFOUT_VCM	V_{OD}	V_{CM}
7	无效状态	0	0.40	0.35
		1	0.44	0.38
		2	0.50	0.43
		3	0.58	0.51
		4	0.66	0.62
	有效状态	5	0.70	0.89
		6	0.73	1.29
		7	0.76	1.66

6.3.5.1.2 用于 LOGICLK 的 SYSREF 输出缓冲器

LOGISYSREFOUT 输出支持 LVDS 和 CML 两种格式。LOGISYSREFOUT_EN 启用输出缓冲器，LOGISYSREF_FMT 设置格式。LVDS 模式允许可编程共模，CML 需要外部元件，CML 允许可编程输出功率（请参阅表 6-9）。

表 6-9. LOGISYSREFOUT 输出缓冲器配置

LOGISYSREFOUT_EN	LOGISYSREF_FMT	LOGISYSREF 格式	需要外部端接	输出功率	输出共模
0	已断电				
1	0	LVDS	无	固定	可使用 LOGISYSREF_VCM 进行编程
	1	保留			
	2	CML	上拉电阻 50Ω，连接至 V_{CC}	由 LOGISYSREF_PWR 控制	LOGISYSREF_VCM 不产生影响，但这会随 LOGISYSREF_PWR 而变化。
	3	保留			

6.3.5.2 SYSREF 频率和延迟生成

对于发生器模式下 SYSREF 输出的频率，必须使用 SYSREF_DIV_PRE 分频器来确保 SYSREF_DIV 分频器的输入不超过 3.2GHz。

表 6-10. SYSREF_DIV_PRE 设置

f_{CLKIN}	SYSREF_DIV_PRE	总 SYSREF 分频范围
3.2GHz 或更低	÷1、2 或 4	÷2、3、4、...16380
3.2GHz < f_{CLKIN} ≤ 6.4GHz	÷2 或 4	÷4、6、8、⋯ 16380
f_{CLKIN} > 6.4GHz	÷4	÷8、12、16、⋯ 16380

对于延迟，输入时钟频率除以 SYSREF_DLY_DIV 以生成 $f_{INTERPOLATOR}$。其范围受限，如表 6-11 所示。另请注意，当 SYSREF_DLY_BYP = 0 或 2（延迟发生器用于发生器模式）并且 SYSREF_MODE = 0 或 1（发生器模式）时，SYSREF 输出频率必须是相位内插器频率的倍数。

$f_{INTERPOLATOR}$ % f_{SYSREF} = 0.

表 6-11. SYSREF 延迟设置

f_{CLKIN}	SYSREF_DLY_DIV	SYSREFx_DLY_SCALE	$f_{INTERPOLATOR}$
6.4GHz < f_{CLKIN} ≤ 12.8GHz	16	0	0.4GHz 至 0.8GHz

Copyright © 2025 Texas Instruments Incorporated

表 6-11. SYSREF 延迟设置（续）

f_{CLKIN}	SYSREF_DLY_DIV	SYSREFx_DLY_SCALE	$f_{INTERPOLATOR}$
3.2GHz < f_{CLKIN} ≤ 6.4GHz	8	0	0.4GHz 至 0.8GHz
1.6GHz < f_{CLKIN} ≤ 3.2GHz	4	0	0.4GHz 至 0.8GHz
0.8GHz < f_{CLKIN} ≤ 1.6GHz	2	0	0.4GHz 至 0.8GHz
0.4GHz < f_{CLKIN} ≤ 0.8GHz	2	1	0.2GHz 至 0.4GHz
0.3GHz < f_{CLKIN} ≤ 0.4GHz	2	2	0.15GHz 至 0.2GHz

最大延迟等于相位内插器周期，并且有 4 × 127 = 508 个不同的延迟步长。根据方程式 2 来计算每个步长的大小。

$$DelayStepSize = 1 / (f_{INTERPOLATOR} \times 508) = SYSREF_DLY_DIV / (f_{CLKIN} \times 508) \quad (2)$$

根据方程式 3 来计算总延迟。

$$TotalDelay = DelayStepSize \times StepNumber \quad (3)$$

表 6-12 展示了每个延迟的步长数。

表 6-12. StepNumber 的计算

SYSREFx_DLY_PHASE	STEPNUMBER
3	127 - SYSREFx_DLY_I
2	254 - SYSREFx_DLY_Q
0	381 - SYSREFx_DLY_I
1	508 - SYSREFx_DLY_Q

SYSREF_DLY_BYP 字段选择 SYSREF 生成输出中的延迟路径和/或中继器模式旁路信号。当 SYSREF_MODE 设置为连续或脉冲发生器模式时，TI 建议将 SYSREF_DLY_BYP 设置为发生器模式。如果 SYSREF_MODE 设置为中继器模式，TI 建议将 SYSREF_DLY_BYP 设置为旁路模式。

6.3.5.3 SYSREFREQ 引脚和 SYSREFREQ_FORCE 字段

SYSREFREQ 引脚是通用引脚，可用于 SYNC、SYSREF 请求和 SYSREF 窗口化。这些引脚可采用直流或交流耦合，并具有独立的 50 Ω 单端端接，支持可编程共模。

除了这些引脚外，还可将 SYSREFREQ_FORCE 字段设置为 1，以模拟与将这些引脚强制为高电平的相同效果，从而在某些情况下简化硬件。

6.3.5.3.1 SYSREFREQ 引脚共模电压

SYSREFREQ_P 和 SYSREFREQ_N 引脚可采用交流或直流耦合驱动。当采用交流耦合驱动时，可通过 SYSREFREQ_VCM 位调整共模电压。

表 6-13. SYSREFREQ 引脚共模电压

SYSREFREQ_VCM	共模电压
0	1.3V 交流耦合
1	1.1V 交流耦合
2	1.5V 交流耦合
3	无偏置（直流耦合）

6.3.5.3.2 SYSREFREQ 窗口化特性

使用 SYSREF 窗口化在内部校准 SYSREFREQ 和 CLKIN 引脚之间的时序，以优化设置和保持时序。SYSREF 窗口化还可以消除 SYSREFREQ 和 CLKIN 路径之间的任何不匹配。该特性要求从 SYSREFREQ 上升沿到

Copyright © 2025 Texas Instruments Incorporated

CLKIN 上升沿的时序保持一致。可通过 rb_CLKPOS 字段跟踪从 SYSREFREQ 上升沿到 CLKIN 上升沿的时序。一旦找到 CLKIN 引脚上升沿的时序，就可以使用 SYSREFREQ_DLY 和 SYSREF_DLY_STEP 字段在内部调整 SYSREFREQ 上升沿，以优化设置和保持时序。

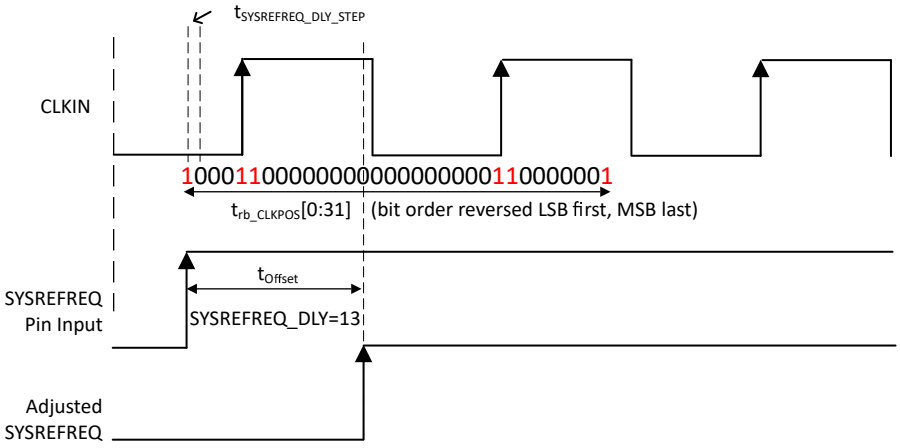


图 6-8. SYSREFREQ 内部时序调整

6.3.5.3.2.1 SYSREF 窗口化操作的一般过程流程图

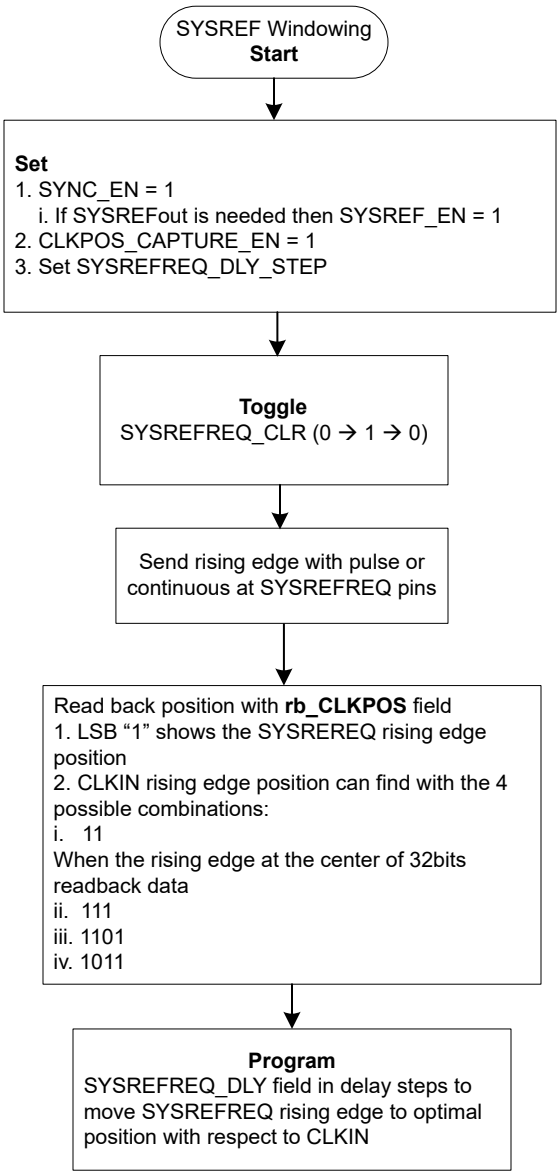


图 6-9. SYSREF 窗口化操作流程图

表 6-14. SYSREFREQ_DLY_STEP

输入频率	建议的 SYSREFREQ_DLY_STEP	延迟 (ps)
1.4GHz < f_{CLKIN} ⩽ 2.7GHz	0	22.25
2.4GHz < f_{CLKIN} ⩽ 4.7GHz	1	13
3.1GHz < f_{CLKIN} ⩽ 5.7GHz	2	10.5
f_{CLKIN} ⩾ 4.5GHz	3	7.75

6.3.5.3.2.2 具有延迟生成功能的 SYSREFREQ 中继器模式（重定时）

通过在 IQ 生成的不同边沿重定时 SYSREFout，可以使用 LMX 到 LMX 扇出器件实现启用延迟的 SYSREF 中继器模式。该重定时可根据 SYSREF_DLY_DIV 值来确定 CLKIN 和 SYSREFREQ 输入之间的延迟裕度。

Copyright © 2025 Texas Instruments Incorporated

表 6-15 展示了 SYSREF 窗口化的总延迟裕度与各种 SYSREF 设置间的关系。

表 6-15. 中继器模式下重定时的 SYSREF 相位调整设置

SYSREF_DLY_DIV	同步期间选择的位置代码	最大裕度的边沿	CLKIN 周期中的总裕度	SYSREFx_DLY_PHASE	SYSREFx_DLY_Q	SYSREFx_DLY_I
/2	第 1 个边沿前	I	-1、+1	“11”	0	127
	第 1 个边沿后	Qz	-1、+1	“01”	127	0
	第 2 个边沿后	Iz	-1、+1	“00”	0	127
/4	第 1 个边沿前	Qz	-2、+2	“01”	127	0
	第 1 个边沿后	Iz	-2、+2	“00”	0	127
	第 2 个边沿后	Q	-2、+2	“10”	127	0
/8	第 1 个边沿前	Qz	-5、+3	“01”	127	0
	第 1 个边沿后	Qz	-4、+4	“01”	127	0
	第 2 个边沿后	Qz	-3、+5	“01”	127	0
/16	第 1 个边沿前	I	-9、+7	“11”	0	127
	第 1 个边沿后	I	-8、+8	“11”	0	127
	第 2 个边沿后	I	-7、+9	“11”	0	127

需要使用中继器重定时模式来在初始阶段执行 SYSREF 窗口化，以同步多个器件中的 SYSREF_DLY_DIV。用户稍后可以为 SYNC 的所选边沿选择 SYSREFx_DLY_PHASE、SYSREF_DLY_Q 和 SYSREFx_DLY_I 设置。

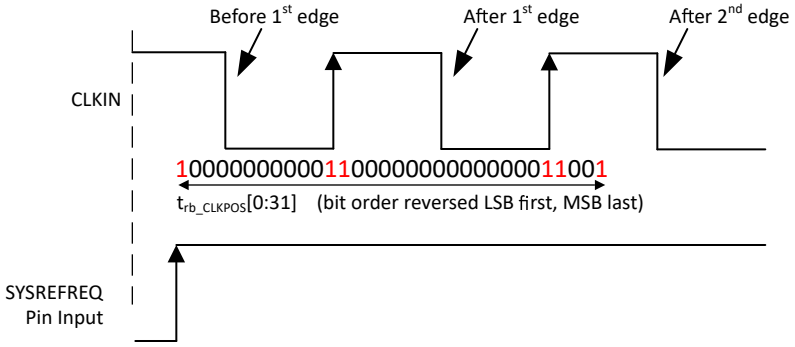


图 6-10. 用于选择 SYNC 边沿位置的 SYSREF 窗口化

该配置必须将器件设置为 **SYSREF_MODE** R17[1:0] 值“2”（中继器模式）和 **SYSREF_DLY_BPY** R72[1:0] 值“2”（在所有模式下启用延迟发生器）。

6.3.5.3.2.3 有关 SYSREF 窗口化的其他指导

- SYSREFREQ 引脚必须保持高电平至少 $3/f_{CLKIN}$ + 1.6ns 的时间，只有在该时间之后，rb_CLKPOS 字段才有效。
- 如果用户从 rb_CLKPOS 寄存器推导出多个有效的 SYSREFREQ_DLY 值来避免违反设置和保持时间，TI 建议选择最小的有效 SYSREFREQ_DLY 值，以便尽量减少温度变化的影响。
- 为优化 SYSREF 窗口化后的设置和保持时间而编程的 SYSREFREQ_DLY 可调整内部 SYSREFREQ_DLY，但 SYSREFREQ_DLY 不会显示 SYSREF 窗口化回读代码中的移动。SYSREF 窗口化始终评估引脚上的信号。

Copyright © 2025 Texas Instruments Incorporated

6.3.5.3.2.4 用于无干扰输出

- 从请求模式切换到窗口模式，再切换回请求模式时，SYSREFREQ 引脚的状态保持不变。例如，如果在窗口模式启动时 SYSREFREQ 引脚为高电平（或低电平），请确保在窗口模式结束后，引脚状态再次为高电平（或低电平），然后才对 CLKPOS_CAPTURE_EN 进行编程。
- 从 SYNC 模式切换到其他模式，或从其他模式切换到 SYNC 模式时，SYSREFREQ 引脚必须设置为低电平。

6.3.5.3.2.5 如果使用 SYNC 特性

- 每 75 个输入时钟周期仅允许 1 个 SYSREFREQ 引脚上升沿
- SYSREFREQ 必须在超过 6 个时钟周期内保持高电平

6.3.5.3.3 SYNC 特性

SYNC 特性允许用户同步 CLK_DIV、LOGICLK_DIV、LOGICLK_DIV_PRE、SYSREF_DIV、SYSREF_DIV_PRE 和 SYSREF_DLY_DIV 分频器，以便在下电上电期间使相位偏移保持一致。这样，用户就可以同步多个器件。该同步分频器只能通过 SYSREFREQ 引脚完成，不能通过软件完成。

6.4 器件功能模式配置

该器件可配置为高频时钟缓冲器模式、分频器模式或倍频器模式。每种模式都需要以下寄存器配置才能运行。

表 6-16. 器件功能模式设置

寄存器地址	位	字段	功能	BUFFER	分频器	倍频器
R25	2:0	CLK_MUX	选择模式	1	2	3
R25	5:3	CLK_DIV/ CLK_MULT	选择分频值或倍频值	x	CLK_DIV 0x1 = ÷2 0x2 = ÷3 0x3 = ÷4 0x4 = ÷5 0x5 = ÷6 0x6 = ÷7 0x7 = ÷8	CLK_MULT 0x2 = ×2 0x3 = ×3 0x4 = ×4
R2	5	SMCLK_EN	启用状态机时钟发生器	1		
R2	9:6	SMCLK_DIV_PRE	为状态机时钟设置预分频器	状态机时钟的预时钟分频器 0x2 = ÷2 0x4 = ÷4 0x8 = ÷8		
R3	2:0	SMCLK_DIV	设置状态机时钟分频器	其他 SMCLK 分频器必须保持输出频率 ≤ 30MHz。 0x0 = ÷1 0x1 = ÷2 0x2 = ÷4 0x3 = ÷8 0x4 = ÷16 0x5 = ÷32 0x6 = ÷64 0x7 = ÷128		
R0	全部	校准倍频器	校准基于 PLL 的倍频器	x	x	写入 R0 以校准倍频器

Copyright © 2025 Texas Instruments Incorporated

6.4.1 引脚模式控制

器件支持引脚模式，可用于对器件模式选择、分频器和倍频器值选择、输出功率控制和通道输出控制（开/关）进行编程。必须启用状态机 (SM) 时钟，才能在引脚模式运行期间获取引脚上更改的任何逻辑状态。

6.4.1.1 芯片使能 (CE)

芯片使能引脚用于启用和禁用器件。当 CE 引脚为高电平 (1) 时，可通过 SPI 控制芯片使能。

表 6-17. 芯片使能控制

CE 逻辑	器件状态	SPI 覆盖控制
0	禁用	否
1	启用	是

6.4.1.2 输出通道控制

每个通道输出都通过 CLKx_EN 引脚进行控制。该引脚启用或禁用特定通道输出的 CLKOUT 和 SYSREFOUT。

表 6-18. 输出通道控制选择

CLKx_EN	通道输出状态	SPI 覆盖控制
0	禁用通道输出	否
1	启用通道输出	是

6.4.1.3 逻辑输出控制

逻辑输出引脚可以启用和禁用逻辑时钟和逻辑 SYSREF 输出。

表 6-19. 逻辑输出使能

LOGIC_EN	逻辑输出状态	SPI 覆盖控制
0	禁用逻辑输出	否
1	启用逻辑输出	是

6.4.1.4 SYSREF 输出控制

SYSREF_EN 引脚可以启用和禁用 SYSREF 部分。

表 6-20. SYSREF 电路使能

SYSREF_EN	SYSREF 电路	SPI 覆盖控制
0	禁用	否
1	启用	是

6.4.1.5 器件模式选择

可通过 MUXSELx 引脚设置选择该器件的功能（如缓冲器模式、分频器模式或倍频器模式）。

表 6-21. 器件运行模式选择

MUXSEL1	MUXSEL0	模式选择
0	0	SPI 控制
0	1	缓冲模式
1	0	分频器模式
1	1	倍频器模式

Copyright © 2025 Texas Instruments Incorporated

6.4.1.6 分频器或倍频器值选择

当 MUXSELx 引脚逻辑选择工作模式（分频器模式或倍频器模式）后，DIVSELx 引脚逻辑将选择分频器值或倍频器值。

表 6-22. 分频器或倍频器值选择

DIVSEL2	DIVSEL1	DIVSEL0	分频器值	倍频器值
0	0	0	SPI 控制	SPI 控制
0	0	1	2	x
0	1	0	3	2
0	1	1	4	3
1	0	0	5	4
1	0	1	6	x
1	1	0	7	x
1	1	1	8	x

6.4.1.7 校准控制引脚

在倍频器模式下运行时，基于 PLL 的倍频器需要进行频率锁定校准，CAL 引脚从低电平转换为高电平会启动校准。

表 6-23. CAL 引脚逻辑

CAL	校准状态
0	SPI 控制的校准
0 → 1	启动校准

6.4.1.8 输出功率控制

通过 PWRSELx 引脚控制所有通道的输出功率。

表 6-24. 通道输出功率控制

PWRSEL2	PWRSEL1	PWRSEL0	输出功率
0	0	0	SPI 控制
0	0	1	最低输出功率
0	1	0	-
0	1	1	-
1	0	0	-
1	0	1	-
1	1	0	-
1	1	1	最高输出功率

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

Copyright © 2025 Texas Instruments Incorporated

7.1 应用信息

7.1.1 SYSREFREQ 输入配置

SYSREFREQ 引脚支持交流或直流耦合模式下的单端或差分输入。SYSREFREQ 引脚具有带电容接地的内部 50Ω 端接，可用作 100Ω 差分端接。

图 7-1 展示了通用 SYSREFREQ 输入电路建议，以支持所有交流/直流、单端或差分输入。图 7-1 中的一些分立式元件只是单个输入信号（单端或差分输入）以及交流或直流耦合输入的占位符。

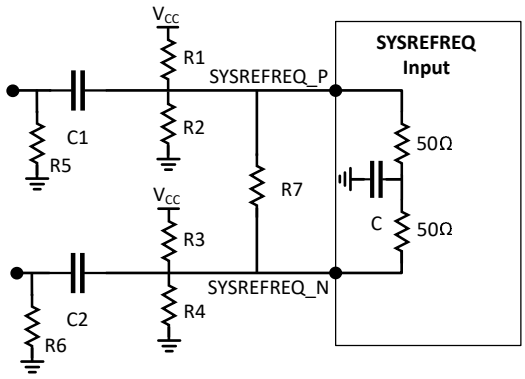


图 7-1. SYSREFREQ 输入电路建议

下图展示了每种配置的电路图：

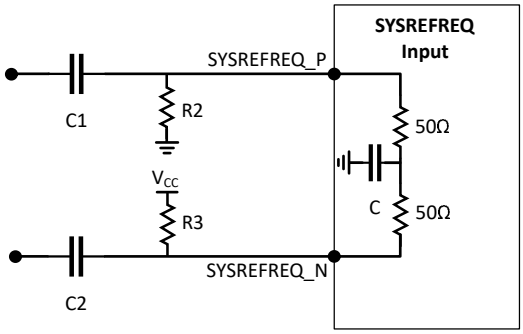


图 7-2. 交流耦合差分输入

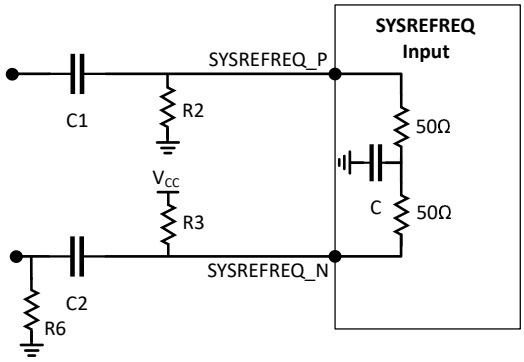


图 7-3. 交流耦合单端输入

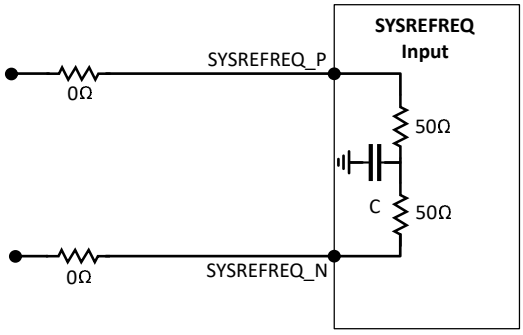


图 7-4. 直流耦合差分输入

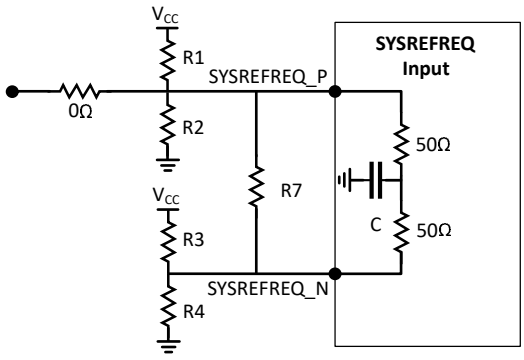


图 7-5. 直流耦合单端输入

Copyright © 2025 Texas Instruments Incorporated

1. 交流耦合差分和单端输入配置需要电阻端接（R2 和 R3）以在每个引脚上产生 VCM，并且必须选择电阻值以保持引脚 P 和引脚 N 之间的电位差大于 150mV。
   a. 例如，要在引脚 P 处产生 1.5V VCM，在引脚 N 处产生 1.65V VCM，并使 VCC 为 2.5V，请将 R3 设置为 550Ω，将 R2 设置为 1kΩ
   b. 对于单端输入配置，请将 R6 设置为 50Ω，以避免在互补输入引脚处发生任何反射。
2. 直流耦合差分和单端输入配置要求源共模电压与器件输入共模规格相匹配。
   a. 对于单端输入配置，请保留 R1、R2、R3 和 R4 电阻。这种方法在两个引脚处产生相同的共模电压，并且电阻分压器在引脚 P 处产生 75Ω 戴维南等效电阻，在引脚 N 处产生 50Ω 戴维南等效电阻。
   b. 例如，要在每个引脚处产生 1.35V 共模电压，请将电阻分压器元件值设置为 R1 = 130Ω，R2 = 165Ω，R3 = 86.6Ω，R4 = 110Ω，并且 VCC 为 2.5V。

7.1.2 处理未使用的引脚

在许多情况下，并非会用到所有引脚。表 7-1 列出了有关如何处理这些未使用引脚的建议。

表 7-1. 处理未使用或部分使用的引脚

引脚	处理
所有 VCC 引脚	这些引脚必须始终与电源相连。如果未使用由这些 VCC 引脚（如引脚名称所暗示）供电的模块，则可更大限度地减少或消除旁路。
SYSREFREQ	1. 如果驱动单端输入，则互补输入引脚将根据节 7.1.1 进行端接。 2. 如果未使用 SYSREFREQ 引脚，则使用 1kΩ 电阻将这些引脚连接到 VCC。
CLKIN 互补输入	如果驱动单端输入，则互补引脚会使用交流耦合接地的 50Ω 电阻进行端接。
VBIAS01 和 VBIAS23	如果未使用倍频器，则将这些引脚电容器 (1µF) 接地。
CLKOUT SYSREFOUT LOGICLKOUT LOGISYSREFOUT	如果未使用，则连接到交流耦合电容器和 50Ω 接地电阻。
CE、CLKx_EN、 LOGIC_EN、SYSREF_EN	1. 如果器件在 SPI 控制模式下运行，则这些引脚必须通过 1kΩ 电阻连接到 VCC。 2. 如果未在 SPI 和引脚模式下运行，则这些引脚必须通过 1kΩ 电阻接地。
CAL、MUXSELx、 DIVSELx、PWRSELx	1. 如果未使用这些引脚，则使用 1kΩ 电阻将这些引脚接地。

7.1.3 电流消耗

电流消耗量随设置条件的变化而变化。通过将表 7-2 中显示的所有块电流相加，用户可以对任何设置条件下的电流进行合理估算。

表 7-2. 每个块的电流消耗

块		条件		电流 (mA)
器件内核		CLK_MUX = 缓冲器模式		294
		CLK_MUX = 分频模式		260
		CLK_MUX = 倍频模式		560
SYSREF SYNC 窗口化	内核	SYSREF_EN=1		80
	延迟发生器	发生器模式（SYSREF_MODE=0、1）		53
		中继器模式 (SYSREF_MODE=2)		40
	窗口化电路	窗口化电路 (CLKPOS_CAPTURE_EN=1)	SYSREF_MODE=0、1	113
			SYSREF_MODE=2	0
	SYSREF 脉冲发生器	SYSREF_MODE=1		7

Copyright © 2025 Texas Instruments Incorporated

表 7-2. 每个块的电流消耗（续）

块		条件		电流 (mA)
CLKOUT（每个有效时钟通道）	内核	SYSREF_EN=0		25
		SYSREF_EN = 1	未使用延迟	30
			使用延迟	40
	输出缓冲器	CHx_EN = CLKOUTx_EN=1		4+6*CLKOUTx_PWR
SYSREFOUT	内核	SYSREFOUT_EN = CHx_EN = 1		74 + SYSREFOUTx_PWR*5
	输出缓冲器	SYSREFOUT_EN = CHx_EN = 1（SYSREFOUTx_PWR 和 SYSREFOUTx_VCM 可以相互作用，在某些情况下会使输出缓冲器电流低于公式预测的电流）		2*SYSREFOUTx_PWR + 2*SYSREFOUTx_VCM
LOGICLKOUT	内核	LOGIC_EN=1 LOGICLKOUT_EN=1	SYSREF_EN=0	49
			SYSREF_EN=1	59
	输出缓冲器		CML(R_P=50Ω)	16+1*LOGICLKOUT_PWR
			LVDS	12
LOGISYSREFOUT	内核	LOGIC_EN=1 LOGISYSREFOUT_EN=1	SYSREF_EN=0	0
			SYSREF_EN=1	55
	输出缓冲器	LOGIC_EN=1 LOGISYSREFOUT_EN=1	CML(R_P=50Ω)	16+1*LOGICLKOUT_PWR
			LVDS	12

7.2 典型应用

7.2.1 本机振荡器分配应用

对于该应用，将 LMX1404-EP 用作 x2 倍频器时产生的附加噪声影响在添加到 LMX2694-EP 3GHz 输出时钟时会被导出。为了简单地将两个 EVM 连接在一起，这种特定设置使用了单端时钟来驱动 LMX1404-EP，但通常建议以差分方式驱动该器件。

图 7-6. 典型应用原理图

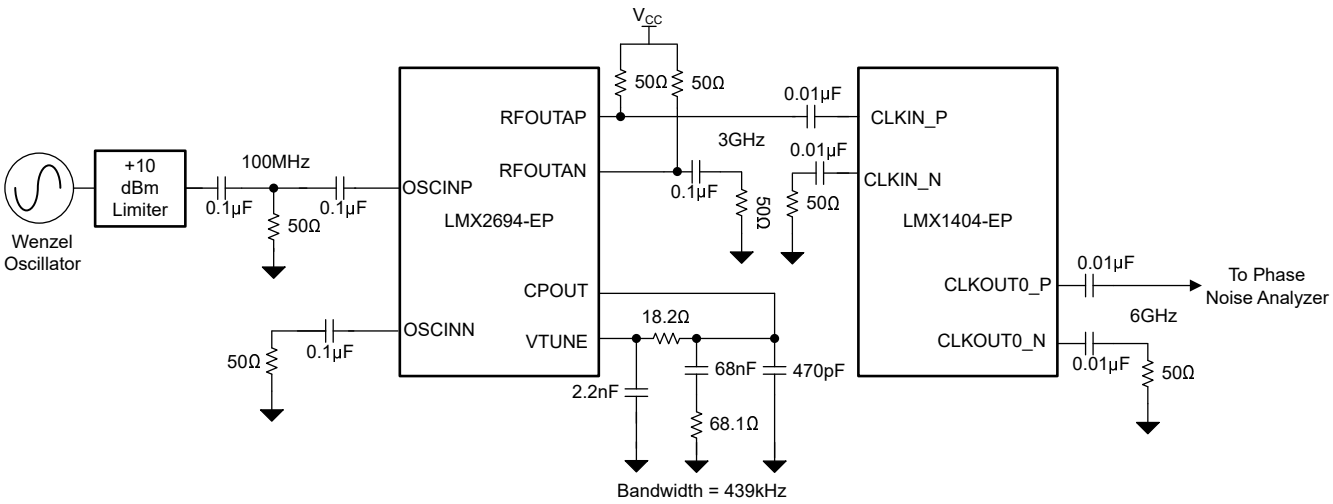


图 7-7. 典型应用原理图

7.2.1.1 设计要求

表 7-3 展示了本示例的设计参数。

如果不会用到所有输出或 SYSREF，TI 建议压缩布局，以尽可能缩短布线长度，特别是输入布线长度。

表 7-3. 设计参数

参数	值
LMX2694-EP 输入频率	100MHz
LMX2694-EP 输出频率	3GHz
LMX1404-EP 时钟输入频率	3GHz
LMX1404-EP 时钟输出频率	6GHz
LMX1404-EP 倍频器值	x2

7.2.1.2 详细设计过程

在本例中，3GHz 输入时钟倍增为 6GHz 输入时钟。外部元件不会因内部配置而发生太大变化。TICS Pro 软件在计算必要的寄存器值和配置器件方面非常有用。

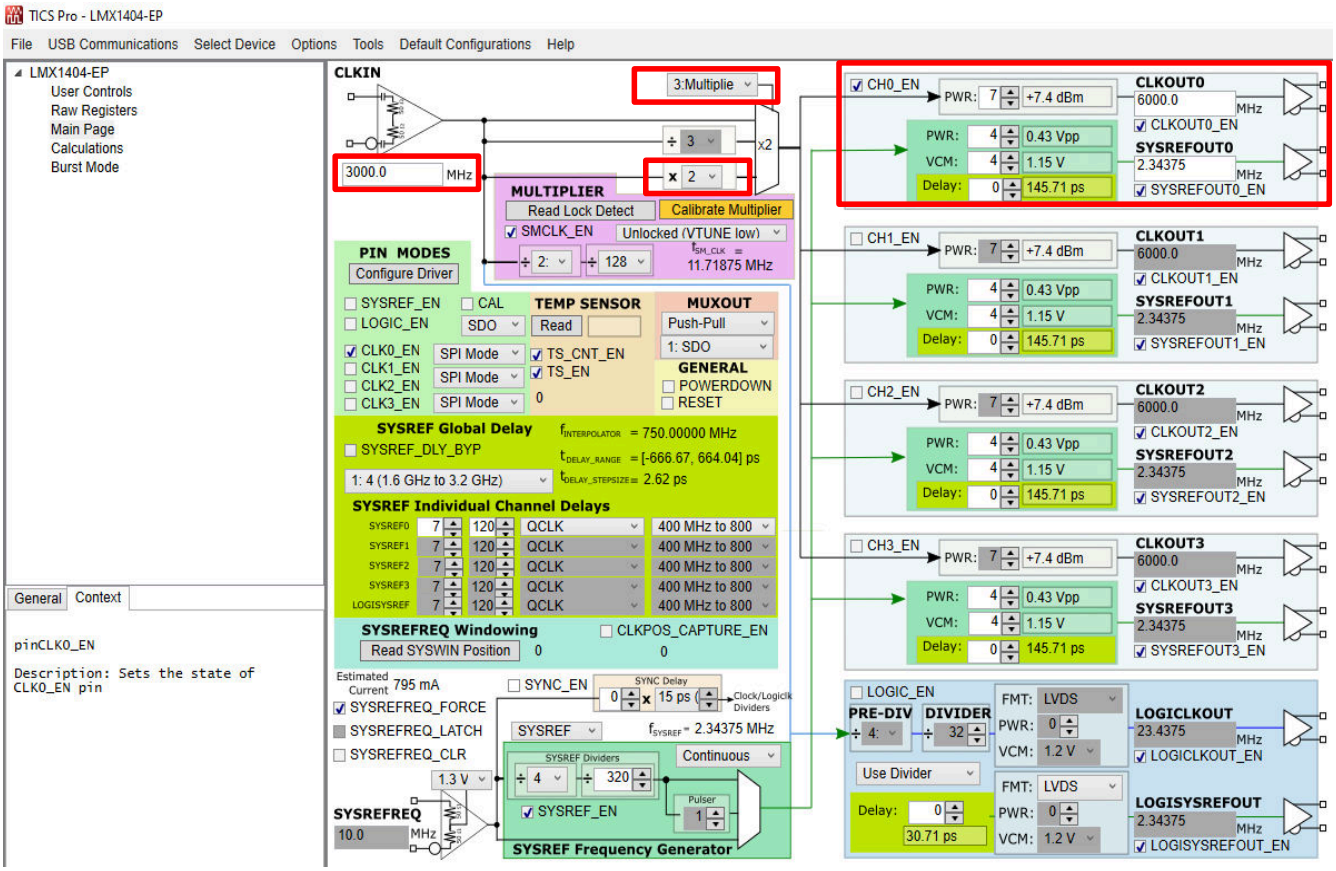


图 7-8. LMX1404-EP TICS Pro 设置

7.2.1.3 应用曲线图

LMX1404-EP 倍频器输出总图是 LMX1404-EP 倍频器噪声与 LMX2694-EP 3GHz 输出噪声（通过增加 6dB 调节至 6GHz）之和。请注意，LMX1404-EP 在 1MHz 至 20MHz 范围内确实会增加相位噪声，但超过 20MHz 后，输入倍频器实际上会滤除输出本底噪声。

Copyright © 2025 Texas Instruments Incorporated

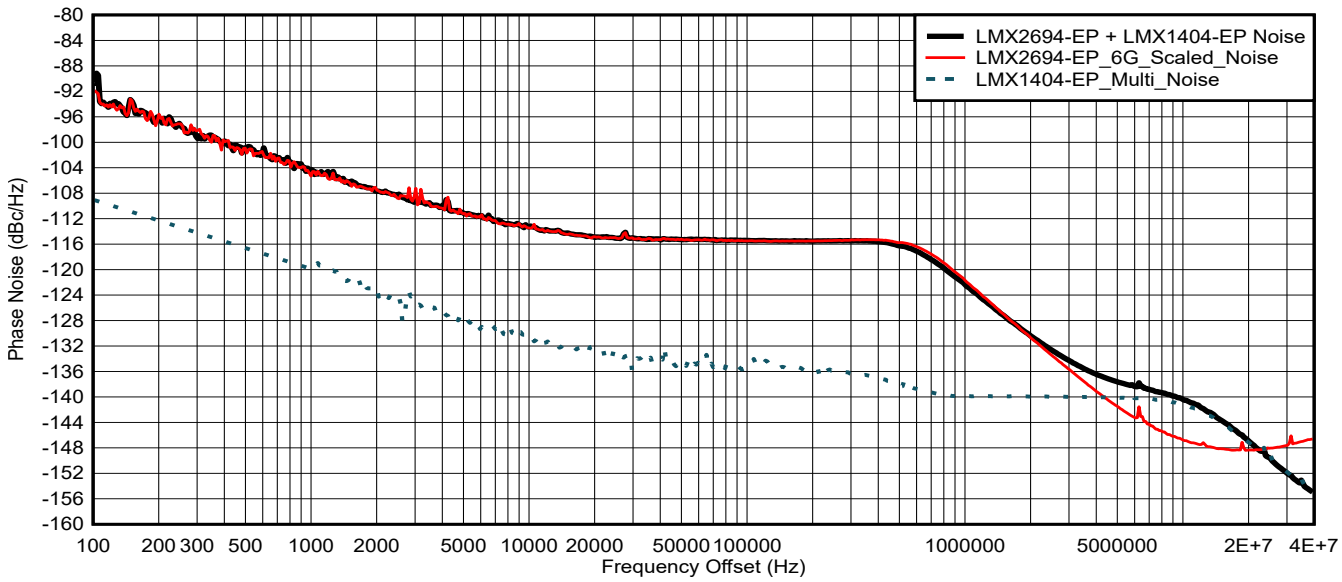


图 7-9. LMX1404-EP 倍频器输出

7.2.2 JESD204B/C 时钟分配应用

该应用展示了使用 LMX1404-EP 的 JESD204B/C 时钟分配电路，该电路可以接收来自 LMX2694-EP 的高频输入，并为数据转换器生成 4 对 JESD 时钟以及为 FPGA 生成时钟。

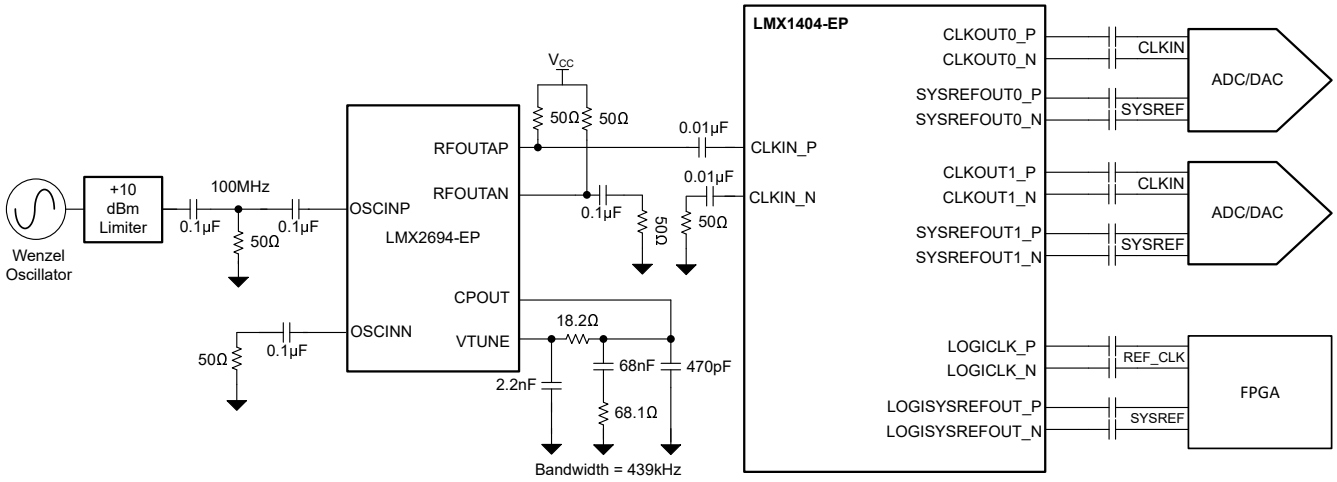


图 7-10. 典型 JESD 时钟方框图

7.3 布局

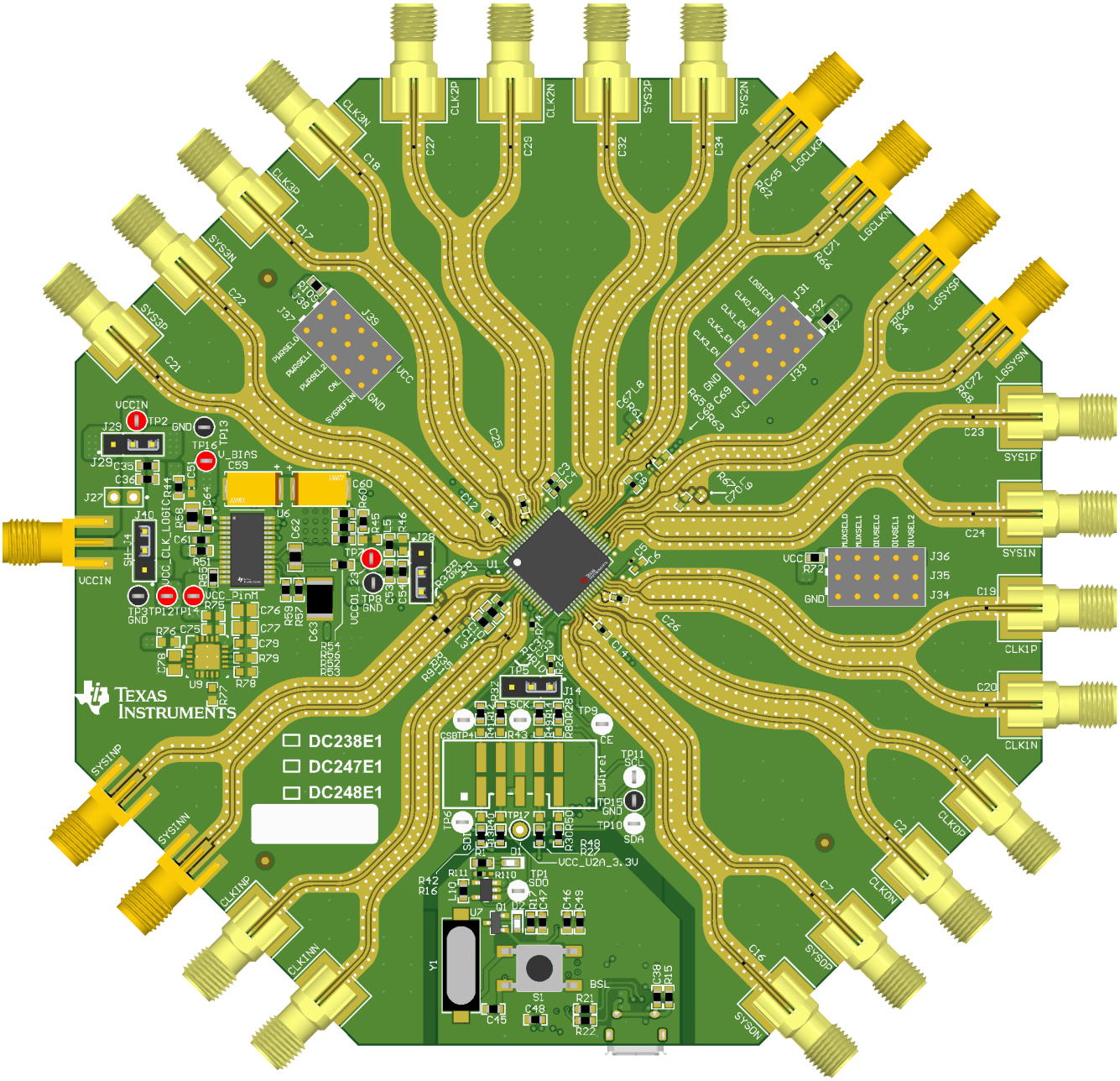
7.3.1 布局指南

- 如果使用单端输出，则用 50Ω 端接互补侧，以便信号输出的阻抗与互补引脚侧相同。
- 封装外围的 GND 引脚在封装上的布线可以接回 DAP。
- 尽可能缩短 CLKIN 布线长度以获得合适的相位噪声。匹配不佳会降低本底噪声。
- 验证器件上的 DAP 是否通过多个过孔良好接地。
- 使用低损耗电介质材料，例如 Rogers 4003C，以获得出色输出功率。
- 请注意，如果所有输出和 SYSREF 均在运行，则电流消耗可能会很高，以至于超过 125°C 的建议内部结温；此时可能需要散热器。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 布局示例

布局示例



7.4 电源相关建议

整个器件使用 2.5V 电源。直接连接到开关电源可能会在输出端产生不必要的杂散。可以在所有电源引脚上单独实现旁路。TI 建议将频率更高且具有最小阻抗的较小电容器与器件放置在同一层上，并尽可能靠近引脚。由于器件中几乎所有信号的频率都是 100MHz 或更高，因此具有低频最小阻抗的较大值旁路电容器仅用于稳定内部 LDO，其与器件的距离（以及旁路路径的环路电感）可以更大。如果同时使用时钟和 LOGICLK，则用一个小电阻或铁氧体磁珠隔离时钟和 LOGICLK 的电源引脚。有关每个引脚的其他建议，请参阅 *引脚配置和功能* 部分。

Copyright © 2025 Texas Instruments Incorporated

备注

该器件具有较低工作电压，并采用 LDO 进行内部滤波，因此 PSRR 非常小。请务必将该器件连接到没有过多杂散噪声的低噪声电源。

7.4.1 上电时序

要为器件上电，需要一些电源时序。

1. 为器件通电，并验证 VCC 引脚是否达到适当的电平。
2. 尽管上电复位会自动发生，但用户可通过将 RESET 位从 1 切换到 0 来执行软件复位。验证对这两条命令进行编程的间隔时间是否至少为 1µs。
3. 根据需要对寄存器进行编程。

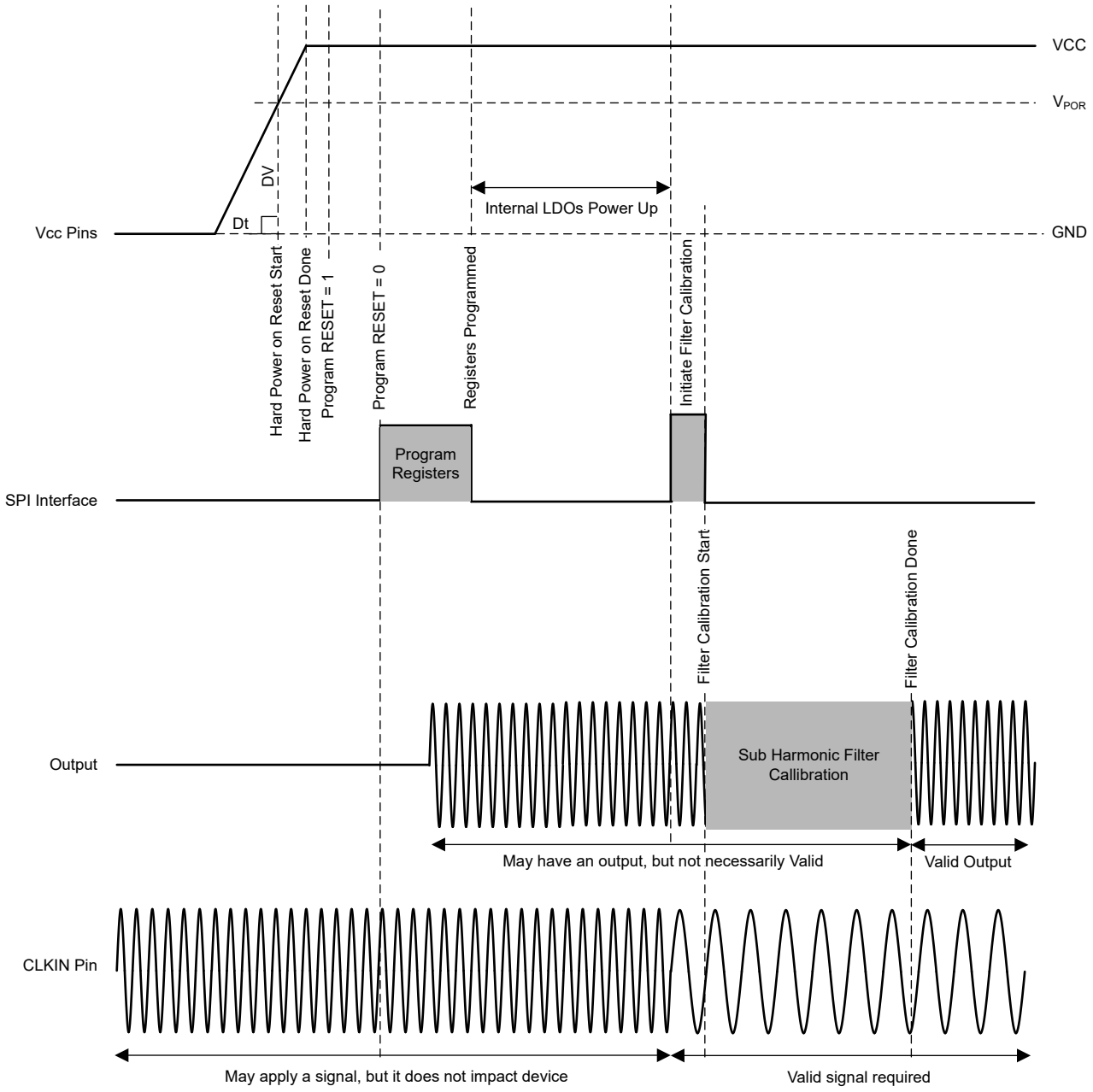


图 7-11. 上电时序

7.5 寄存器映射

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	0	0	0	0	0	0	0	0	0	0	0	0	POWERDOWN	0	复位
R2	0	0	0	0	0	0	SMCLK_DIV_PRE				SMCLK_EN	0	0	0	1	1
R3	CH3_EN	CH2_EN	CH1_EN	CH0_EN	LOGICLK_MUTE_CAL	CH3_MUTE_CAL	CH2_MUTE_CAL	CH1_MUTE_CAL	CH0_MUTE_CAL	0	0	0	0	SMCLK_DIV		
R4	0	0	CLKOUT1_PWR			CLKOUT0_PWR			SYSREFOUT3_EN	SYSREFOUT2_EN	SYSREFOUT1_EN	SYSREFOUT0_EN	CLKOUT3_EN	CLKOUT2_EN	CLKOUT1_EN	CLKOUT0_EN
R5	0	SYSREFOUT2_PWR			SYSREFOUT1_PWR			SYSREFOUT0_PWR			CLKOUT3_PWR			CLKOUT2_PWR		
R6	LOGICLKOUT_EN	SYSREFOUT3_VCM			SYSREFOUT2_VCM			SYSREFOUT1_VCM			SYSREFOUT0_VCM			SYSREFOUT3_PWR		
R7	0	LOGISYSREFOUT_VCM		LOGICLKOUT_VCM		LOGISYSREF_DIV_PWR_PRE		LOGICLK_DIV_PWR_PRE		LOGISYSREFOUT_PWR			LOGICLKOUT_PWR			LOGISYSREFOUT_EN
R8	0	0	0	0	0	0	0	LOGICLK_DIV_PRE			LOGIC_EN	0	LOGISYSREFOUT_FMT	LOGICLKOUT_FMT		
R9	SYSREFREQ_VCM		SYNC_EN	LOGICLK_DIV_PD	LOGICLK_DIV_BYP	0	LOGICLK_DIV									
R11	rb_CLKPOS															
R12	rb_CLKPOS[31:16]															
R13	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SYSREFREQ_DLY_STEP	
R14	0	0	0	0	0	0	0	SYNC_MUTE_PD	0	0	0	0	0	CLKPOS_CAPTURE_EN	SYSREFREQ_MODE	SYSREFREQ_LATCH
R15	0	0	0	0	SYSREF_DIV_PRE		1	SYSREF_EN	0	SYSREFREQ_DLY						SYSREFREQ_CLR
R16	SYSREF_PULSE_CNT				SYSREF_DIV											
R17	0	0	0	0	0	SYSREF0_DLY_I							SYSREF0_DLY_PHASE	SYSREF_MODE		
R18	SYSREF1_DLY_I							SYSREF1_DLY_PHASE	SYSREF0_DLY_Q							
R19	SYSREF2_DLY_I							SYSREF2_DLY_PHASE	SYSREF1_DLY_Q							
R20	SYSREF3_DLY_I							SYSREF3_DLY_PHASE	SYSREF2_DLY_Q							
R21	LOGISYSREF_DLY_I							LOGISYSREF_DLY_PHASE	SYSREF3_DLY_Q							
R22	SYSREF1_DLY_SCALE		SYSREF0_DLY_SCALE		SYSREF_DLY_DIV			0	0	LOGISYSREF_DLY_Q						
R23	TS_EN	1	MUXOUT_EN	0	0	0	0	0	0	MUXOUT_SEL	LOGISYSREF_DLY_SCALE		SYSREF3_DLY_SCALE		SYSREF2_DLY_SCALE	
R24	0	0	0	0	rb_TS											TS_CNT_EN
R25	0	0	0	0	0	0	1	0	0	CLK_DIV_RST	CLK_DIV			CLK_MUX		
R28	0	0	0	VCO_CORE_FORCE	VCO_CORE			0	0	0	0	0	1	0	0	0
R29	0	0	0	0	0	1	0	1	VCO_CAPCTRL							

Copyright © 2025 Texas Instruments Incorporated

R33	0	1	0	1	0	1	1	0	0	1	1	0	0	1	1	0
R34	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R65	0	1	1	0	0	1	0	rb_VCO_CORE					0	0	0	0
R67	0	1	0	1	0	0	0	1	1	1	0	0	1	0	1	1
R72	0	0	0	0	0	0	0	0	0	0	0	0	0	SYSREFREQ_FORCE	SYSREF_DLY_BYP	
R73	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R75	rb_CLK2_EN	rb_CLK1_EN	rb_CLK0_EN	rb_MUXSEL1	rb_MUXSEL0	rb_LOGIC_EN	rb_LD		rb_DIVSEL2	rb_DIVSEL1	rb_DIVSEL0	rb_CE	0	0	1	1
R76	0	0	0	0	0	0	0	0	0	0	0	0	rb_PWRSEL2	rb_PWRSEL1	rb_PWRSEL0	rb_CLK3_EN
R79	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R86	0	0	0	0	0	0	0	0	0	0	0	0	0	MUXOUT_EN_OVRD	0	0
R90	0	0	0	0	0	0	0	0	0	LOGICLK_DIV_BYP3	LOGICLK_DIV_BYP2	0	0	0	0	0

不得对该表中未列出的寄存器进行编程，因为这样做可能会对器件的性能或功能产生不利影响。

不得对以下寄存器进行编程，以避免对器件的性能产生不利影响：R1、R10、R26、R27、R30-R32

如果不使用时钟输出倍频器，则无需对以下寄存器进行编程：R29、R33、R34、R65、R67、R73

如果不使用 LOGICLK，则无需对以下寄存器进行编程：R79、R90

Copyright © 2025 Texas Instruments Incorporated

7.5.1 器件寄存器

表 7-4 列出了器件寄存器的存储器映射寄存器。表 7-4 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 7-4. 器件寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	断电、复位、倍频器模式校准	节 7.5.1.1
2h	R2	倍频器模式（状态机时钟）	节 7.5.1.2
3h	R3	倍频器模式（状态机时钟）、输出使能	节 7.5.1.3
4h	R4	输出使能、CLKOUT 电源	节 7.5.1.4
5h	R5	CLKOUT 电源、SYSREFOUT 电源	节 7.5.1.5
6h	R6	LOGICLK 使能、SYSREFOUT 电源/VCM	节 7.5.1.6
7h	R7	LOGICLK 和 LOGISYSREF	节 7.5.1.7
8h	R8	LOGICLK 和 LOGISYSREF	节 7.5.1.8
9h	R9	LOGICLK 分频器、SYNC、SYSREFREQ	节 7.5.1.9
Bh	R11	SYSREFREQ 窗口化（回读）	节 7.5.1.10
Ch	R12	SYSREFREQ 窗口化（回读）	节 7.5.1.11
Dh	R13	SYSREFREQ 窗口化	节 7.5.1.12
Eh	R14	SYSREFREQ 窗口化、SYNC、SYSREF	节 7.5.1.13
Fh	R15	SYSREFREQ 窗口化、SYNC、SYSREF	节 7.5.1.14
10h	R16	SYSREF	节 7.5.1.15
11h	R17	SYSREF、SYSREFOUT 延迟	节 7.5.1.16
12h	R18	SYSREFOUT 延迟	节 7.5.1.17
13h	R19	SYSREFOUT 延迟	节 7.5.1.18
14h	R20	SYSREFOUT 延迟	节 7.5.1.19
15h	R21	SYSREFOUT 延迟	节 7.5.1.20
16h	R22	SYSREFOUT 延迟	节 7.5.1.21
17h	R23	温度传感器、MUXOUT、SYSREFOUT 延迟	节 7.5.1.22
18h	R24	温度传感器	节 7.5.1.23
19h	R25	倍频器模式、分频器模式	节 7.5.1.24
1Ch	R28	倍频器模式（可选，部分辅助校准）	节 7.5.1.25
1Dh	R29	倍频器模式（可选，部分辅助校准）	节 7.5.1.26
21h	R33	倍频器模式（保留，必须在倍频器模式下写入）	
22h	R34	倍频器模式（保留，必须在倍频器模式下写入）	
41h	R65	倍频器模式（只读，可选，用于部分辅助校准）	节 7.5.1.29
43h	R67	倍频器模式（只读，可选，用于部分辅助校准）	节 7.5.1.30
48h	R72	SYSREF	节 7.5.1.31
49h	R73	保留	
4Bh	R75	倍频器模式（只读，可选，锁定检测）	节 7.5.1.33
4Ch	R76	只读	节 7.5.1.34
56h	R86	MUXOUT（保留，可选，用于三态）	
5Ah	R90	LOGICLK 分频器（保留，可选，用于分频器旁路）	

复杂的位访问类型经过编码可适应小型表单元。表 7-5 展示了适用于此部分中访问类型的代码。

Copyright © 2025 Texas Instruments Incorporated

表 7-5. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.5.1.1 R0 寄存器（偏移 = 0h）[复位 = 0000h]

表 7-6 展示了 R0。

返回到汇总表。

表 7-6. R0 寄存器字段说明

位	字段	类型	复位	说明
15-3	未披露	R/W	0h	将该字段编程为 0x0。
2	POWERDOWN	R/W	0h	将器件设置为低功耗状态。其他寄存器的状态保持不变。
1	未披露	R/W	0h	将该字段编程为 0x0。
0	复位	R/W	0h	软复位。复位整个逻辑和寄存器（相当于上电复位）。下次写入寄存器时自行清除。

7.5.1.2 R2 寄存器（偏移 = 2h）[复位 = 0223h]

表 7-7 展示了 R2。

返回到汇总表。

表 7-7. R2 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R	0h	将该字段编程为 0x0。
10	未披露	R/W	0h	将该字段编程为 0x0。
9-6	SMCLK_DIV_PRE	R/W	8h	状态机时钟预分频器（一个热分频器）。状态机时钟从输入时钟分频。预分频器的输出必须 ≤1600MHz。除所列值以外的值均保留。 2h = /2 4h = /4 8h = /8
5	SMCLK_EN	R/W	1h	启用状态机时钟发生器。仅在用于校准倍频器和执行倍频器锁定检测（包括在 MUXOUT 引脚上检测）时需启用。如果未使用倍频器，或者未使用倍频器锁定检测特性，则可禁用状态机时钟发生器，以更大限度减少串扰。
4-0	未披露	R/W	3h	将该字段编程为 0x3。

7.5.1.3 R3 寄存器（偏移 = 3h）[复位 = FF86h]

表 7-8 展示了 R3。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 7-8. R3 寄存器字段说明

位	字段	类型	复位	说明
15	CH3_EN	R/W	1h	启用 CH3（CLKOUT3、SYSOUT3）。将该位设置为 0 将完全禁用 CH3，从而覆盖其他断电/使能位的状态。
14	CH2_EN	R/W	1h	启用 CH2（CLKOUT2、SYSOUT2）。将该位设置为 0 将完全禁用 CH2，从而覆盖其他断电/使能位的状态。
13	CH1_EN	R/W	1h	启用 CH1（CLKOUT1、SYSOUT1）。将该位设置为 0 将完全禁用 CH1，从而覆盖其他断电/使能位的状态。
12	CH0_EN	R/W	1h	启用 CH0（CLKOUT0、SYSOUT0）。将该位设置为 0 将完全禁用 CH0，从而覆盖其他断电/使能位的状态。
11	LOGICLK_MUTE_CAL	R/W	1h	在倍频器校准期间使 LOGIC 输出 (LOGICLK/LOGISYS) 静音。
10	CH3_MUTE_CAL	R/W	1h	在倍频器校准期间使 CH3 (CLKOUT3/SYSOUT3) 静音。
9	CH2_MUTE_CAL	R/W	1h	在倍频器校准期间使 CH2 (CLKOUT2/SYSOUT2) 静音。
8	CH1_MUTE_CAL	R/W	1h	在倍频器校准期间使 CH1 (CLKOUT1/SYSOUT1) 静音。
7	CH0_MUTE_CAL	R/W	1h	在倍频器校准期间使 CH0 (CLKOUT0/SYSOUT0) 静音。
6-3	未披露	R	0h	将该字段编程为 0x0。
2-0	SMCLK_DIV	R/W	6h	设置状态机时钟分频器。进一步对状态机时钟预分频器的输出进行分频。由 SMCLK_DIV_PRE 提供的输入频率必须 ≤ 1600MHz。输出频率必须 ≤ 30MHz。分频值为 2^{SMCLK_DIV}。 0h = /1 1h = /2 2h = /4 3h = /8 4h = /16 5h = /32 6h = /64 7h = /128

7.5.1.4 R4 寄存器（偏移 = 4h）[复位 = 36FFh]

表 7-9 展示了 R4。

返回到汇总表。

表 7-9. R4 寄存器字段说明

位	字段	类型	复位	说明
15-14	未披露	R	0h	将该字段编程为 0x0。
13-11	CLKOUT1_PWR	R/W	6h	设置 CLKOUT1 的输出功率。值越大，对应的输出功率就越高。
10-8	CLKOUT0_PWR	R/W	6h	设置 CLKOUT0 的输出功率。值越大，对应的输出功率就越高。
7	SYSREFOUT3_EN	R/W	1h	启用 SYSREFOUT3 输出缓冲器。
6	SYSREFOUT2_EN	R/W	1h	启用 SYSREFOUT2 输出缓冲器。
5	SYSREFOUT1_EN	R/W	1h	启用 SYSREFOUT1 输出缓冲器。
4	SYSREFOUT0_EN	R/W	1h	启用 SYSREFOUT0 输出缓冲器。
3	CLKOUT3_EN	R/W	1h	启用 CLKOUT3 输出缓冲器。
2	CLKOUT2_EN	R/W	1h	启用 CLKOUT2 输出缓冲器。
1	CLKOUT1_EN	R/W	1h	启用 CLKOUT1 输出缓冲器。
0	CLKOUT0_EN	R/W	1h	启用 CLKOUT0 输出缓冲器。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.5 R5 寄存器（偏移 = 5h）[复位 = 4936h]

表 7-10 展示了 R5。

返回到汇总表。

表 7-10. R5 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。
14-12	SYSREFOUT2_PWR	R/W	4h	设置 SYSREFOUT2 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT2_VCM，使输出共模电压处于允许的范围内。
11-9	SYSREFOUT1_PWR	R/W	4h	设置 SYSREFOUT1 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT1_VCM，使输出共模电压处于允许的范围内。
8-6	SYSREFOUT0_PWR	R/W	4h	设置 SYSREFOUT0 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT0_VCM，使输出共模电压处于允许的范围内。
5-3	CLKOUT3_PWR	R/W	6h	设置 CLKOUT3 的输出功率。值越大，对应的输出功率就越高。
2-0	CLKOUT2_PWR	R/W	6h	设置 CLKOUT2 的输出功率。值越大，对应的输出功率就越高。

7.5.1.6 R6 寄存器（偏移 = 6h）[复位 = B6DCh]

表 7-11 展示了 R6。

返回到汇总表。

表 7-11. R6 寄存器字段说明

位	字段	类型	复位	说明
15	LOGICLKOUT_EN	R/W	1h	启用逻辑时钟输出缓冲器。
14-12	SYSREFOUT3_VCM	R/W	3h	设置 SYSREFOUT3 的输出共模。必须设置正确 SYSREFOUT3_PWR，使最小和最大输出电压处于允许的范围内。
11-9	SYSREFOUT2_VCM	R/W	3h	设置 SYSREFOUT2 的输出共模。必须设置正确 SYSREFOUT2_PWR，使最小和最大输出电压处于允许的范围内。
8-6	SYSREFOUT1_VCM	R/W	3h	设置 SYSREFOUT1 的输出共模。必须设置正确 SYSREFOUT1_PWR，使最小和最大输出电压处于允许的范围内。
5-3	SYSREFOUT0_VCM	R/W	3h	设置 SYSREFOUT0 的输出共模。必须设置正确 SYSREFOUT0_PWR，使最小和最大输出电压处于允许的范围内。
2-0	SYSREFOUT3_PWR	R/W	4h	设置 SYSREFOUT3 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT3_VCM，使输出共模电压处于允许的范围内。

7.5.1.7 R7 寄存器（偏移 = 7h）[复位 = 0001h]

表 7-12 展示了 R7。

返回到汇总表。

表 7-12. R7 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。

Copyright © 2025 Texas Instruments Incorporated

表 7-12. R7 寄存器字段说明（续）

位	字段	类型	复位	说明
14-13	LOGISYSREFOUT_VCM	R/W	0h	在 LVDS 模式下，设置逻辑 SYSREF 输出的输出共模。其他输出格式忽略该字段。 0h = 1.2V 1h = 1.1V 2h = 1.0V 3h = 0.9V
12-11	LOGICLKOUT_VCM	R/W	0h	在 LVDS 模式下，设置逻辑时钟输出的输出共模。其他输出格式忽略该字段。 0h = 1.2V 1h = 1.1V 2h = 1.0V 3h = 0.9V
10-9	LOGISYSREF_DIV_PWR_PRE	R/W	0h	设置逻辑 SYSREF 前置驱动器的输出功率。值越大，对应的输出功率就越高。
8-7	LOGICLK_DIV_PWR_PRE	R/W	0h	设置逻辑时钟前置驱动器的输出功率。值越大，对应的输出功率就越高。
6-4	LOGISYSREFOUT_PWR	R/W	0h	仅针对 CML 格式设置 LOGISYSREFOUT 的输出功率（其他输出格式忽略该字段）。值越大，对应的输出功率就越高。
3-1	LOGICLKOUT_PWR	R/W	0h	仅针对 CML 格式设置 LOGICLKOUT 的输出功率（其他输出格式忽略该字段）。值越大，对应的输出功率就越高。
0	LOGISYSREFOUT_EN	R/W	1h	启用逻辑 SYSREF 输出缓冲器。

7.5.1.8 R8 寄存器（偏移 = 8h）[复位 = 0120h]

表 7-13 展示了 R8。

返回到汇总表。

表 7-13. R8 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R	0h	将该字段编程为 0x0。
8-6	LOGICLK_DIV_PRE	R/W	4h	设置逻辑时钟分频器的预分频器值。预分频器的输出必须小于或等于 3.2GHz。当 LOGICLK_DIV_PRE=1 时，还需要将寄存器 R79 编程为值 0x0005，将 R90 编程为值 0x0060（LOGICLK_DIV_BYP2=1，LOGICLK_DIV_BYP3=1）。除下列值以外的 LOGICLK_DIV_PRE 值均保留。 1h = /1 2h = /2 4h = /4
5	LOGIC_EN	R/W	1h	启用 LOGICLK 子系统（LOGICLKOUT、LOGISYSREFOUT）。将该位设置为 0x0 会完全禁用所有 LOGICLKOUT 和 LOGISYSREFOUT 电路，从而覆盖其他断电/使能位的状态。
4	未披露	R/W	0h	将该字段编程为 0x0。
3-2	LOGISYSREFOUT_FMT	R/W	0h	选择 LOGISYSREFOUT 输出的输出驱动器格式。 0h = LVDS 1h = 保留 2h = CML 3h = 保留
1-0	LOGICLKOUT_FMT	R/W	0h	选择 LOGICLKOUT 输出的输出驱动器格式。 0h = LVDS 1h = 保留 2h = CML 3h = 保留

Copyright © 2025 Texas Instruments Incorporated

7.5.1.9 R9 寄存器（偏移 = 9h）[复位 = 0020h]

表 7-14 展示了 R9。

返回到汇总表。

表 7-14. R9 寄存器字段说明

位	字段	类型	复位	说明
15-14	SYSREFREQ_VCM	R/W	0h	设置 SYSREFREQ 引脚的内部直流偏置。对于交流耦合输入，必须启用偏置；但对于直流耦合输入，可以启用偏置并过驱动，也可以禁用偏置。SYSREFREQ DC 引脚电压必须在 0.7V 至 VCC 范围内，包括最小和最大信号摆幅。 0h = 1.3V 1h = 1.1V 2h = 1.5V 3h = 已禁用
13	SYNC_EN	R/W	0h	启用分频器的同步路径，并允许启用时钟位置捕获电路。用于多器件同步。如果 SYSREF_EN = 0x1，则为冗余。
12	LOGICLK_DIV_PD	R/W	0h	禁用 LOGICLK 分频器。LOGICLK 预分频器保持启用状态。用于在绕过 LOGICLK 分频器时减少电流消耗。
11	LOGICLK_DIV_BYP	R/W	0h	绕过 LOGICLK_DIV 分频器，以便直接从 LOGICLK_DIV_PRE 分频器获得 LOGICLK 输出。必须仅在 LOGICLK_DIV_PRE=1 时使用，作为实现 LOGICLK 总分频为 1 的步骤之一。要实现 1 分频，需要执行以下步骤。 1.设置 LOGICLK_DIV_PRE=1 2.确保已将寄存器 R79 编程为值 0x0005 3.将 R90 编程为 0x0060（LOGICLK_DIV23=1，LOGICLK_DIV_DCC=1） 4.设置 LOGICLK_DIV_BYP=1 如果不希望 LOGICLK 的总分频为 1，则必须将该位设置为 0。 0h = 启用 LOGICLK 分频器 1h = 绕过 LOGICLK 分频器
10	未披露	R/W	0h	将该字段编程为 0x0。
9-0	LOGICLK_DIV	R/W	20h	设置 LOGICLK 分频器值。由 LOGICLK_DIV_PRE 提供的最大输入频率必须 ≤ 3200MHz。最大 LOGICLKOUT 频率必须 ≤ 800MHz，以避免振幅衰减。 0h = 保留 1h = 保留 2h = /2 3h = /3 3FFh = /1023

7.5.1.10 R11 寄存器（偏移 = Bh）[复位 = 0000h]

表 7-15 展示了 R11。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 7-15. R11 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_CLKPOS	R	0h	存储 CLKIN 信号上升沿位置相对于 SYSREFREQ 上升沿的快照，该快照从 LSB 开始并在 MSB 结束。每个位都代表 CLKIN 信号的一个样片，由 SYSREFREQ_DLY_STEP 字段确定的延迟隔开。 rb_CLKPOS 的第一位和最后一位始终保持置位状态，指示捕获窗口边界条件下的不确定性。CLKIN 上升沿由从 LSB 到 MSB 的两个设置位的每个序列表示，包括边界条件下的位。快照中 CLKIN 上升沿的位置以及 CLKIN 信号周期和延迟步长可用于计算 SYSREFREQ_DLY 的值，从而更大限度地延长 SYSREFREQ 引脚上 SYNC 信号的设置时间和保持时间。

7.5.1.11 R12 寄存器（偏移 = Ch）[复位 = 0000h]

表 7-16 展示了 R12。

返回到汇总表。

表 7-16. R12 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_CLKPOS[31:16]	R	0h	rb_CLKPOS 字段的 MSB。

7.5.1.12 R13 寄存器（偏移 = Dh）[复位 = 0003h]

表 7-17 展示了 R13。

返回到汇总表。

表 7-17. R13 寄存器字段说明

位	字段	类型	复位	说明
15-2	未披露	R	0h	将该字段编程为 0x0。
1-0	SYSREFREQ_DLY_STEP	R/W	3h	设置 SYSREFREQ 路径中使用的延迟元件的步长，用于 SYSREFREQ 输入延迟和时钟位置捕获。每个步长的推荐频率范围创建了给定 CLKIN 频率的最大可用步长数。这些范围包括一些重叠，以考虑工艺和温度变化。如果 CLKIN 频率被重叠范围覆盖，则较大的延迟步长会提高在时钟位置捕获期间检测到 CLKIN 上升沿的可能性。但是，值越大，包含的延迟步长就越多，因此相对于较小的步长，较大的步长在 PVT 上的总延迟变化更大。 0h = 28ps（1.4GHz 至 2.7GHz） 1h = 15ps（2.4GHz 至 4.7GHz） 2h = 11ps（3.1GHz 至 5.7GHz） 3h = 8ps （4.5GHz 至 12.8GHz）

7.5.1.13 R14 寄存器（偏移 = Eh）[复位 = 0002h]

表 7-18 展示了 R14。

返回到汇总表。

表 7-18. R14 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	0h	将该字段编程为 0x0。
8	SYNC_MUTE_PD	R/W	0h	消除 SYNC 模式 (SYSREFREQ_MODE = 0x0) 期间 SYSREFOUT 和 LOGISYSREFOUT 引脚上的静音条件。由于 SYNC 操作也会复位 SYSREF 分频器，因此静音条件通常是可取的，该位可保留为默认值。

Copyright © 2025 Texas Instruments Incorporated

表 7-18. R14 寄存器字段说明（续）

位	字段	类型	复位	说明
7-3	未披露	R/W	0h	将该字段编程为 0x0。
2	CLKPOS_CAPTURE_EN	R/W	0h	启用窗口化电路，该电路可捕获 rb_CLKPOS 寄存器中相对于 SYSREF 边沿的时钟位置。 捕获时钟位置之前，必须通过将 SYSREFREQ_CLR 切换为高电平然后切换为低电平来清除窗口化电路。 清除窗口化电路后，SYSREFREQ 引脚上的第一个上升沿将触发捕获。 捕获电路大大增加了电源电流，在 SYNC 或 SYSREF 模式下无需启用捕获电路即可延迟 SYSREFREQ 信号。确定所需的 SYSREFREQ_DLY 值后，将该位设置为 0x0 以尽可能减少电流消耗。如果 SYNC_EN = 0 且 SYSREF_EN = 0，则会忽略该位的值，并禁用窗口化电路。
1	SYSREFREQ_MODE	R/W	1h	选择 SYSREFREQ 引脚的功能 0h = SYNC 引脚 1h = SYSREFREQ 引脚
0	SYSREFREQ_LATCH	R/W	0h	在 SYSREFREQ 引脚的第一个上升沿，将内部 SYSREFREQ 状态锁存为逻辑高电平。可通过设置 SYSREFREQ_CLR=1 来清除该锁存。

7.5.1.14 R15 寄存器（偏移 = Fh）[复位 = 0B01h]

表 7-19 展示了 R15。

返回到汇总表。

表 7-19. R15 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R	0h	将该字段编程为 0x0。
11-10	SYSREF_DIV_PRE	R/W	2h	设置 SYSREF 预分频器。最大输出频率必须 ≤ 3.2GHz。 0h = /1 1h = /2 2h = /4 3h = 保留
9	未披露	R/W	1h	将该字段编程为 0x1。
8	SYSREF_EN	R/W	1h	启用 SYSREF 子系统（当 SYSREFREQ_MODE = 0x0 时还启用 SYNC 子系统）。将该位设置为 0x0 会完全禁用所有 SYNC、SYSREF 和时钟位置捕获电路，从而覆盖除 SYNC_EN 之外的其他断电/使能位的状态。如果 SYNC_EN = 0x1，则无论 SYSREF_EN 的状态如何，SYNC 路径和时钟位置捕获电路仍处于启用状态。
7	未披露	R/W	0h	将该字段编程为 0x0。
6-1	SYSREFREQ_DLY	R/W	0h	设置外部 SYSREFREQ 信号的延迟线路步长。每个延迟线路步长都会造成一定的 SYSREFREQ 信号延迟，延迟量等于 SYSREFREQ_DELAY_STEP x SYSREFREQ_DLY_STEP。在 SYNC 模式下，可以根据 rb_CLKPOS 值来确定该字段的值，从而满足 SYNC 信号相对于 CLKIN 信号的内部设置时间和保持时间要求。在 SYSREF 中继器模式下，该字段的值可用作粗略全局延迟。大于 0x3F 的值无效。由于较大的值包含更多的延迟步长，因此与较小的值相比，较大的值在整个 PVT 中的总步长变化更大。有关延迟步长计算过程的详细说明，请参阅数据表或器件 TICS Pro 配置文件。
0	SYSREFREQ_CLR	R/W	1h	清除 SYSREFREQ_LATCH 并复位 SYSREFREQ 信号的同步路径时序。在除 SYSREF 中继器模式之外的所有模式下，将该位保持为高电平可将内部 SYSREFREQ 信号保持为低电平，从而覆盖 SYSREFREQ_FORCE 的状态。在执行 SYNC 或时钟位置捕获操作之前，必须设置和清除该位一次。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.15 R16 寄存器（偏移 = 10h）[复位 = 1005h]

表 7-20 展示了 R16。

返回到汇总表。

表 7-20. R16 寄存器字段说明

位	字段	类型	复位	说明
15-12	SYSREF_PULSE_CNT	R/W	1h	对在脉冲发生器模式下生成的脉冲数进行编程。脉冲发生器是对 SYSREF 分频器进行门控的计数器；因此，脉冲持续时间和频率分别等于 SYSREF 分频器输出的占空比和频率。 0h = 保留 1h = 1 个脉冲 2h = 2 个脉冲 Fh = 15 个脉冲
11-0	SYSREF_DIV	R/W	5h	设置 SYSREF 分频器。由 SYSREF_DIV_PRE 提供的最大输入频率必须 ≤ 3200MHz。最大输出频率必须 ≤ 100MHz。仅当绕过延迟发生器时，才允许奇数分频（占空比 < 50%）。 0h = 保留 1h = 保留 2h = /2 3h = /3 FFFh = /4095

7.5.1.16 R17 寄存器（偏移 = 11h）[复位 = 07F0h]

表 7-21 展示了 R17。

返回到汇总表。

表 7-21. R17 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R	0h	将该字段编程为 0x0。
10-4	SYSREF0_DLY_I	R/W	7Fh	设置 SYSREFOUT0 延迟发生器的延迟步长。必须满足 SYSREFOUT0_DLY_I + SYSREFOUT0_DLY_Q = 127
3-2	SYSREF0_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT0 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = ICLK 3h = QCLK
1-0	SYSREF_MODE	R/W	0h	控制 SYSREF 信号的生成方式，也受 SYSREF_DLY_BYP 字段的影响。连续模式可生成源自 SYSREF 分频器和延迟的连续 SYSREF 时钟。在脉冲发生器模式下，SYSREFREQ 引脚上的脉冲会导致为 SYSREF 输出生成特定数量（由 SYSREF_PULSE_CNT 确定）的脉冲。在中继器模式下，SYSREFREQ 引脚上的脉冲在 SYSREF 输出端生成单个脉冲，并且只添加通过该器件的传播延迟。 0h = 连续 1h = 脉冲发生器 2h = 中继器 3h = 保留

7.5.1.17 R18 寄存器（偏移 = 12h）[复位 = FE00h]

表 7-22 展示了 R18。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 7-22. R18 寄存器字段说明

位	字段	类型	复位	说明
15-9	SYSREF1_DLY_I	R/W	7Fh	设置 SYSREFOUT0 延迟发生器的延迟步长。必须满足 SYSREFOUT0_DLY_I + SYSREFOUT0_DLY_Q = 127
8-7	SYSREF1_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT1 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF0_DLY_Q	R/W	0h	确定用于生成延迟的 QCLK 强度。必须满足 SYSREF0_DLY_I + SYSREF0_DLY_Q = 127

7.5.1.18 R19 寄存器 (偏移 = 13h) [复位 = FE00h]

表 7-23 展示了 R19。

返回到汇总表。

表 7-23. R19 寄存器字段说明

位	字段	类型	复位	说明
15-9	SYSREF2_DLY_I	R/W	7Fh	确定用于生成延迟的 ICLK 强度。必须满足 SYSREF2_DLY_I + SYSREF2_DLY_Q = 127
8-7	SYSREF2_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT2 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF1_DLY_Q	R/W	0h	确定用于生成延迟的 QCLK 强度。必须满足 SYSREF1_DLY_I + SYSREF1_DLY_Q = 127

7.5.1.19 R20 寄存器 (偏移 = 14h) [复位 = FE00h]

表 7-24 展示了 R20。

返回到汇总表。

表 7-24. R20 寄存器字段说明

位	字段	类型	复位	说明
15-9	SYSREF3_DLY_I	R/W	7Fh	设置 SYSREFOUT1 延迟发生器的延迟步长。必须满足 SYSREFOUT1_DLY_I + SYSREFOUT1_DLY_Q = 127
8-7	SYSREF3_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT3 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF2_DLY_Q	R/W	0h	确定用于生成延迟的 QCLK 强度。必须满足 SYSREF3_DLY_I + SYSREF3_DLY_Q = 127

7.5.1.20 R21 寄存器 (偏移 = 15h) [复位 = FE00h]

表 7-25 展示了 R21。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 7-25. R21 寄存器字段说明

位	字段	类型	复位	说明
15-9	LOGISYSREF_DLY_I	R/W	7Fh	确定用于生成延迟的逻辑 ICLK 强度。必须满足 LOGISYSREF_DLY_I+LOGISYSREF_DLY_Q = 127
8-7	LOGISYSREF_DLY_PHASE	R/W	0h	设置用于 LOGISYSREFOUT 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF3_DLY_Q	R/W	0h	确定用于生成延迟的 QCLK 强度。必须满足 SYSREFx_DLY_I + SYSREFx_DLY_Q = 127

7.5.1.21 R22 寄存器（偏移 = 16h）[复位 = 0800h]

表 7-26 展示了 R22。

返回到汇总表。

表 7-26. R22 寄存器字段说明

位	字段	类型	复位	说明
15-14	SYSREF1_DLY_SCALE	R/W	0h	设置 SYSREFOUT1 延迟发生器的频率范围。根据相位内插器频率进行设置。 0h = 400MHz 至 800MHz 1h = 200MHz 至 400MHz 2h = 150MHz 至 200MHz 3h = 保留
13-12	SYSREF0_DLY_SCALE	R/W	0h	设置 SYSREFOUT0 延迟发生器的频率范围。根据相位内插器频率进行设置。 0h = 400MHz 至 800MHz 1h = 200MHz 至 400MHz 2h = 150MHz 至 200MHz 3h = 保留
11-9	SYSREF_DLY_DIV	R/W	4h	设置延迟发生器时钟分频，确定相位内插器频率和延迟发生器分辨率。除下列值以外的值均保留。 0h = /1（0GHz 至 1.6GHz） 1h = /2（1.6GHz 至 3.2GHz） 2h = /4（3.2GHz 至 6.4GHz） 4h = /8（6.4GHz 至 12.8GHz）
8-7	未披露	R/W	0h	将该字段编程为 0x0。
6-0	LOGISYSREF_DLY_Q	R/W	0h	设置 LOGISYSREFOUT 延迟发生器的延迟步长。必须满足 LOGISYSREFOUT_DLY_I + LOGISYSREFOUT_DLY_Q = 127。

7.5.1.22 R23 寄存器（偏移 = 17h）[复位 = 4000h]

表 7-27 展示了 R23。

返回到汇总表。

表 7-27. R23 寄存器字段说明

位	字段	类型	复位	说明
15	TS_EN	R/W	0h	启用片上温度传感器。还必须启用温度传感器计数器 (TS_CNT_EN) 以进行回读。
14	未披露	R/W	1h	将该字段编程为 0x1。

Copyright © 2025 Texas Instruments Incorporated

表 7-27. R23 寄存器字段说明（续）

位	字段	类型	复位	说明
13	MUXOUT_EN	R/W	0h	启用 MUXOUT 引脚驱动器或将其置于三态。 0h = 三态 1h = 推挽
12-7	未披露	R/W	0h	将该字段编程为 0x0。
6	MUXOUT_SEL	R/W	0h	选择 MUXOUT 引脚功能。 0h = 锁定检测 1h = 回读
5-4	LOGISYSREF_DLY_SCALE	R/W	0h	设置 LOGISYSREFOUT 延迟发生器的频率范围。根据相位内插器频率进行设置。 0h = 400MHz 至 800MHz 1h = 200MHz 至 400MHz 2h = 150MHz 至 200MHz 3h = 保留
3-2	SYSREF3_DLY_SCALE	R/W	0h	设置 SYSREFOUT3 延迟发生器的频率范围。根据相位内插器频率进行设置。 0h = 400MHz 至 800MHz 1h = 200MHz 至 400MHz 2h = 150MHz 至 200MHz 3h = 保留
1-0	SYSREF2_DLY_SCALE	R/W	0h	设置 SYSREFOUT2 延迟发生器的频率范围。根据相位内插器频率进行设置。 0h = 400MHz 至 800MHz 1h = 200MHz 至 400MHz 2h = 150MHz 至 200MHz 3h = 保留

7.5.1.23 R24 寄存器（偏移 = 18h）[复位 = 0000h]

表 7-28 展示了 R24。

返回到汇总表。

表 7-28. R24 寄存器字段说明

位	字段	类型	复位	说明
15-14	未披露	R	0h	将该字段编程为 0x0。
13-12	未披露	R/W	0h	将该字段编程为 0x0。
11-1	rb_TS	R	0h	片上温度传感器的回读值。
0	TS_CNT_EN	R/W	0h	启用温度传感器计数器。必须启用温度传感器 (EN_TS) 才能获得准确数据。

7.5.1.24 R25 寄存器（偏移 = 19h）[复位 = 0211h]

表 7-29 展示了 R25。

返回到汇总表。

表 7-29. R25 寄存器字段说明

位	字段	类型	复位	说明
15-7	未披露	R/W	4h	将该字段编程为 0x4。

Copyright © 2025 Texas Instruments Incorporated

表 7-29. R25 寄存器字段说明（续）

位	字段	类型	复位	说明
6	CLK_DIV_RST	R/W	0h	复位主时钟分频器。如果在运行过程中更改了时钟分频器值，则在设置新分频器值后将该位设置为高电平，然后再设置为低电平。当 SYSREFREQ_MODE = 0x0 且 SYNC_EN = 0x1 时将器件与 SYSREFREQ 引脚同步也会复位主时钟分频器。该位在分频器模式之外无效。
5-3	CLK_DIV	R/W	2h	CLK_DIV 和 CLK_MULT 是同一字段的别名。 当 CLK_MUX=1（缓冲器模式）时，将忽略该字段。 当 CLK_MUX = 2（分频器模式）时，时钟分频器为 CLK_DIV + 1。CLK_DIV 的有效范围为 1 至 7。将其设置为 0 将禁用主时钟分频器并恢复到缓冲器模式。 当 CLK_MUX = 3（倍频器模式）时，倍频器值为 CLK_MULT。有效范围为 1 至 4。超出此范围的设置将禁用倍频器模式，并恢复到缓冲器模式。有效范围为 0x1 至 0x4。
2-0	CLK_MUX	R/W	1h	选择主时钟输出的功能 0h = 保留 1h = 缓冲器 2h = 分频器 3h = 倍频器

7.5.1.25 R28 寄存器（偏移 = 1Ch）[复位 = 0A08h]

表 7-30 展示了 R28。

返回到汇总表。

表 7-30. R28 寄存器字段说明

位	字段	类型	复位	说明
15-13	未披露	R	0h	将该字段编程为 0x0。
12	VCO_CORE_FORCE	R/W	0h	强制倍频器 PLL 的 VCO 为 VCO_CORE 选择的值。倍频器模式编程不需要该字段，但可以选择用该字段来缩短校准时间。
11-9	VCO_CORE	R/W	5h	当 VCO_CORE_FORCE=0 时，指定用于倍频器校准的起始 VCO。 当 VCO_CORE_FORCE=1 时，强制使用该 VCO 内核。 倍频器模式编程不需要对该字段进行编程，但该字段可用于调试目的或缩短校准时间。
8-0	未披露	R/W	8h	将该字段编程为 0x8。

7.5.1.26 R29 寄存器（偏移 = 1Dh）[复位 = 05FFh]

表 7-31 展示了 R29。

返回到汇总表。

表 7-31. R29 寄存器字段说明

位	字段	类型	复位	说明
15-13	未披露	R	0h	将该字段编程为 0x0。
12-8	未披露	R/W	5h	将该字段编程为 0x5。
7-0	VCO_CAPCTRL	R/W	FFh	设置倍频器校准期间 VCO 调谐电容的起始值。倍频器模式编程不需要该字段，但可以用该字段来缩短校准时间。

7.5.1.27 R33 寄存器（偏移 = 21h）[复位 = 7777h]

表 7-32 展示了 R33。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 7-32. R33 寄存器字段说明

位	字段	类型	复位	说明
15-0	未披露	R/W	7777h	将该字段编程为 0x6666。请注意，这与复位值不同。

7.5.1.28 R34 寄存器（偏移 = 22h）[复位 = 0007h]

表 7-33 展示了 R34。

返回到汇总表。

表 7-33. R34 寄存器字段说明

位	字段	类型	复位	说明
15-14	未披露	R	0h	将该字段编程为 0x0。
13-0	未披露	R/W	7h	将该字段编程为 0x5。请注意，这与复位值不同。

7.5.1.29 R65 寄存器（偏移 = 41h）[复位 = 65F0h]

表 7-34 展示了 R65。

返回到汇总表。

表 7-34. R65 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	32h	将该字段编程为 0x32。
8-4	rb_VCO_CORE	R	1Fh	倍频器 VCO 内核的回读。仅列出有效值，VCO 由低电平位确定。 Fh = VCO1 17h = VCO2 1Bh = VCO3 1Dh = VCO4 1Eh = VCO5
3-0	未披露	R/W	0h	将该字段编程为 0x0。

7.5.1.30 R67 寄存器（偏移 = 43h）[复位 = 50C8h]

表 7-35 展示了 R67。

返回到汇总表。

表 7-35. R67 寄存器字段说明

位	字段	类型	复位	说明
15-0	未披露	R/W	50C8h	将该字段编程为 0x51CB。请注意，这与复位值不同。

7.5.1.31 R72 寄存器（偏移 = 48h）[复位 = 0000h]

表 7-36 展示了 R72。

返回到汇总表。

表 7-36. R72 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。

Copyright © 2025 Texas Instruments Incorporated

表 7-36. R72 寄存器字段说明（续）

位	字段	类型	复位	说明
14-3	未披露	R/W	0h	将该字段编程为 0x0。
2	SYSREFREQ_FORCE	R/W	0h	设置该位可模拟 SYSREFREQ 引脚上逻辑高电平的行为，并导致 SYSREFREQ 引脚上的外部信号被忽略。
1-0	SYSREF_DLY_BYP	R/W	0h	可选择绕过延迟发生器重定时。在正常情况下 (SYSREF_DLY_BYP = 0)，延迟发生器用于连续模式或脉冲发生器模式（发生器模式），并在中继器模式下被旁路。这通常采用不同的延迟机制。在某些情况下，如果可以在 JESD 接收器上补偿 SYSREF 延迟，则通过设置 SYSREF_DLY_BYP = 1 在发生器模式下绕过延迟发生器重定时，可以大幅降低器件电流消耗。在其他情况下，通过设置 SYSREF_DLY_BYP = 2 将 SYSREFREQ 信号重定时到延迟发生器，可以提高 SYSREF 输出相位相对于 CLKIN 相位的精度； 或者只要内插器分频器相位和 SYSREFREQ 相位之间存在相干相位关系，就可以独立地改变各个输出的延迟。 0h = 在发生器模式下接通，在中继器模式下旁路 1h = 在所有模式下旁路 2h = 在所有模式下接通 3h = 保留

7.5.1.32 R73 寄存器（偏移 = 49h）[复位 = 0000h]

表 7-37 展示了 R73。

返回到汇总表。

表 7-37. R73 寄存器字段说明

位	字段	类型	复位	说明
15-13	未披露	R	0h	将该字段编程为 0x0。
12-0	未披露	R/W	0h	将该字段编程为 0x1000。请注意，这与复位值不同。

7.5.1.33 R75 寄存器（偏移 = 4Bh）[复位 = 0006h]

表 7-38 展示了 R75。

返回到汇总表。

表 7-38. R75 寄存器字段说明

位	字段	类型	复位	说明
15	rb_CLK2_EN	R	0h	回读引脚状态
14	rb_CLK1_EN	R	0h	回读引脚状态
13	rb_CLK0_EN	R	0h	回读引脚状态
12	rb_MUXSEL1	R	0h	回读引脚状态
11	rb_MUXSEL0	R	0h	回读引脚状态
10	rb_LOGIC_EN	R	0h	回读引脚状态
9-8	rb_LD	R	0h	倍频器 PLL 锁定检测的回读。 0h = 未锁定（VTUNE 低电平） 1h = 保留 2h = 锁定 3h = 未锁定（VTUNE 高电平）
7	rb_DIVSEL2	R	0h	回读引脚状态
6	rb_DIVSEL1	R	0h	回读引脚状态
5	rb_DIVSEL0	R	0h	回读引脚状态
4	rb_CE	R	0h	回读引脚状态

Copyright © 2025 Texas Instruments Incorporated

表 7-38. R75 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	未披露	R/W	6h	将该字段编程为 0x3。请注意，这与复位值不同。

7.5.1.34 R76 寄存器（偏移 = 4Ch）[复位 = 0000h]

表 7-39 展示了 R76。

返回到汇总表。

表 7-39. R76 寄存器字段说明

位	字段	类型	复位	说明
15-4	未披露	R/W	0h	将该字段编程为 0x0。
3	rb_PWRSEL2	R	0h	回读引脚状态
2	rb_PWRSEL1	R	0h	回读引脚状态
1	rb_PWRSEL0	R	0h	回读引脚状态
0	rb_CLK3_EN	R	0h	回读引脚状态

7.5.1.35 R86 寄存器（偏移 = 56h）[复位 = 0000h]

表 7-40 展示了 R86。

返回到汇总表。

表 7-40. R86 寄存器字段说明

位	字段	类型	复位	说明
15-3	未披露	R/W	0h	将该字段编程为 0x0。
2	MUXOUT_EN_OVRD	R/W	0h	无描述
1-0	未披露	R/W	0h	将该字段编程为 0x0。

7.5.1.36 R90 寄存器（偏移 = 5Ah）[复位 = 0000h]

表 7-41 展示了 R90。

返回到汇总表。

表 7-41. R90 寄存器字段说明

位	字段	类型	复位	说明
15-8	未披露	R	0h	将该字段编程为 0x0。
7	未披露	R/W	0h	将该字段编程为 0x0。
6	LOGICLK_DIV_BYP3	R/W	0h	如果 LOGICLK_DIV_BYP=1，则必须将该位设置为 1，否则设置为 0。
5	LOGICLK_DIV_BYP2	R/W	0h	如果 LOGICLK_DIV_BYP=1，则必须将该位设置为 1，否则设置为 0。
4-0	未披露	R/W	0h	将该字段编程为 0x0。

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

TI 提供大量的开发工具和软件来模拟器件性能并对器件进行编程。

表 8-1. 开发工具和软件

工具	类型	说明
PLLatinum™ Sim	软件	模拟所有模式下的相位噪声
TICS Pro	软件	使用具有交互式反馈和十六进制寄存器导出功能的用户友好型 GUI 对器件进行编程。

8.2 文档支持

8.2.1 相关文档

- 德州仪器 (TI)， LMX1404-EP 评估模块 ，EVM 用户指南

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
Rohde & Schwarz® is a registered trademark of Rohde & Schwarz GmbH & Co KG.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (June 2024) to Revision A (June 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将器件状态从 *高级* 更新为 *量产* 数据	1

Copyright © 2025 Texas Instruments Incorporated

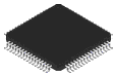
10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

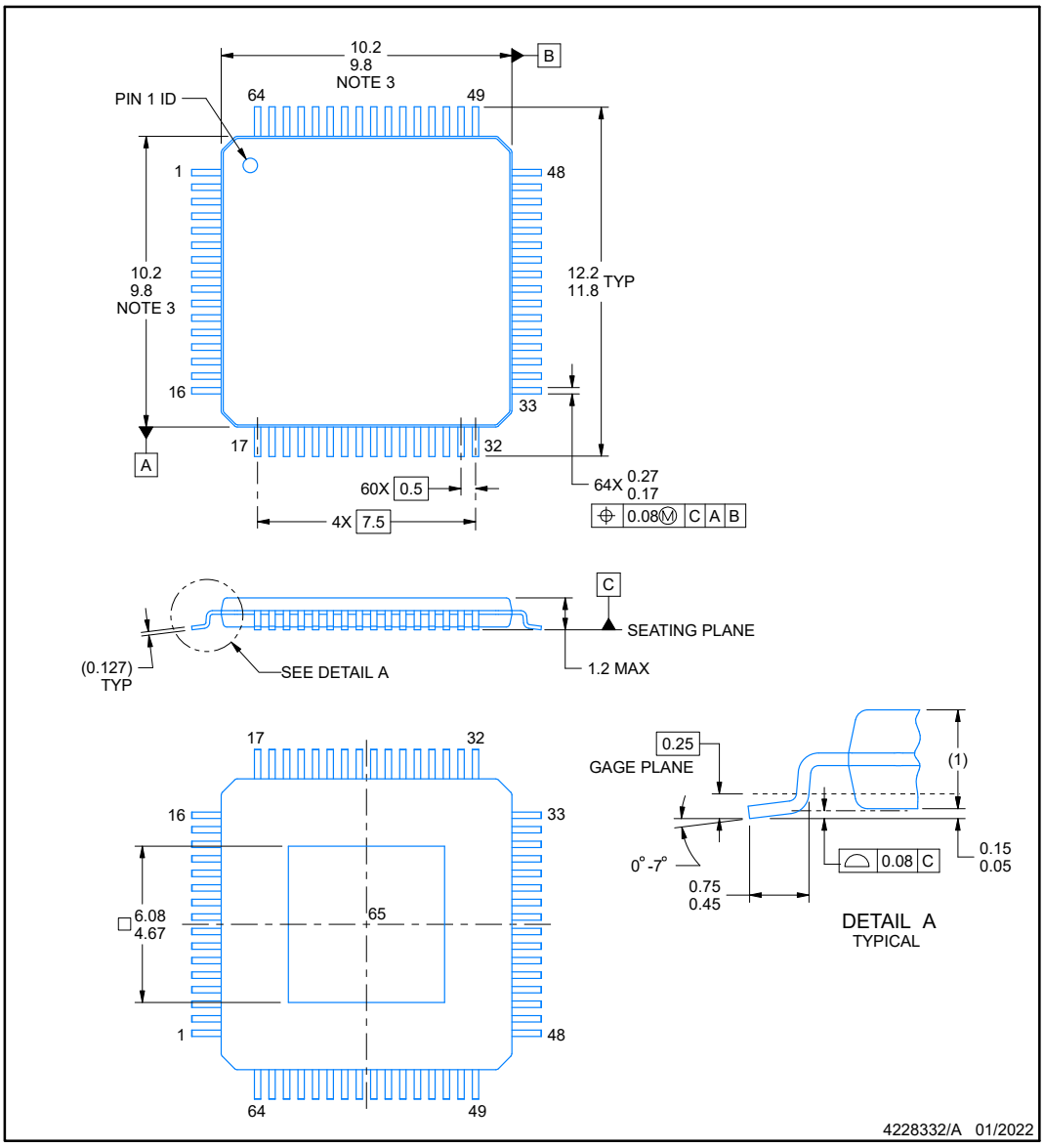
PACKAGE OUTLINE

PAP0064E



PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

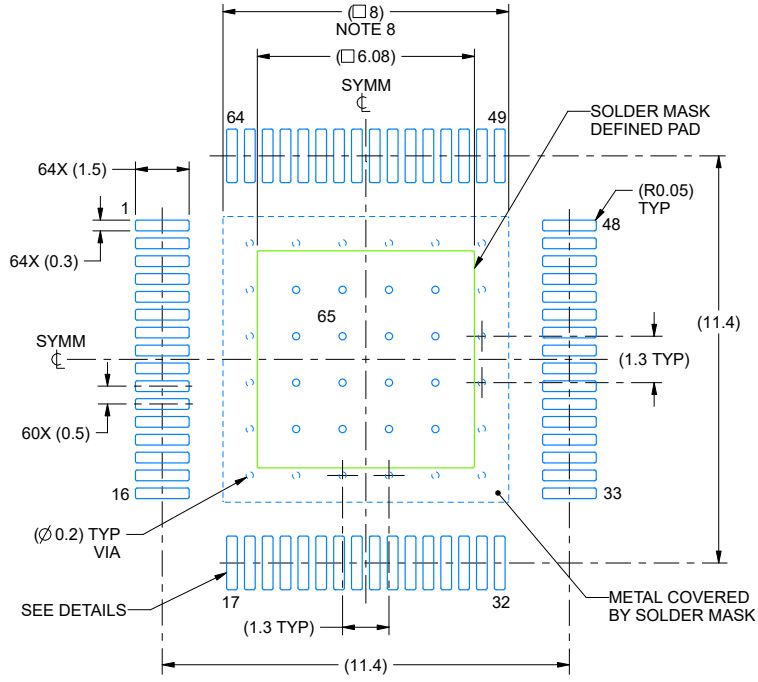
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

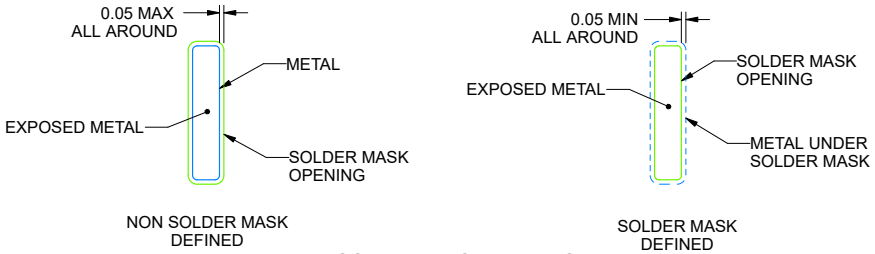
EXAMPLE BOARD LAYOUT

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4228332/A 01/2022

NOTES: (continued)

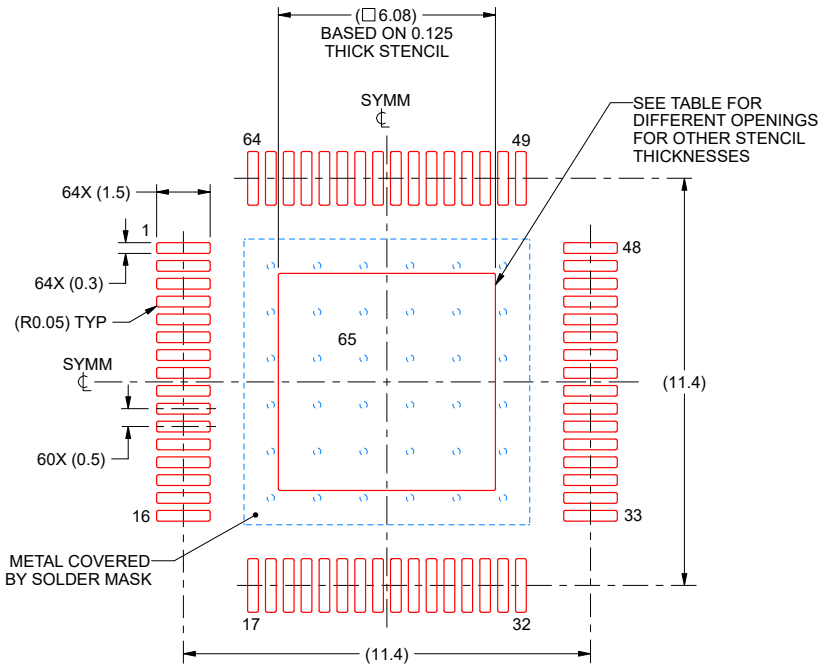
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMX1404MPAPTEP	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LMX1404 (MPAPEP, PAPEP)
V62/24627-01XE	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	See LMX1404MPAPTEP	LMX1404 (MPAPEP, PAPEP)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

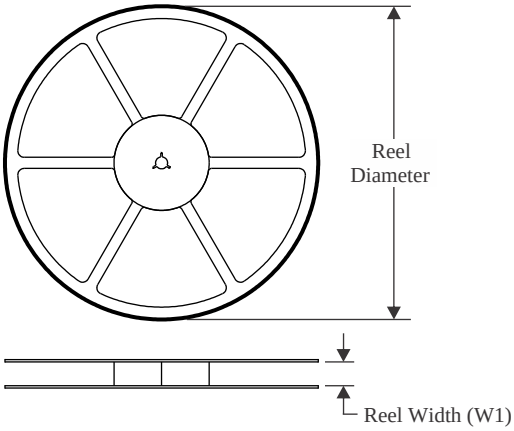
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

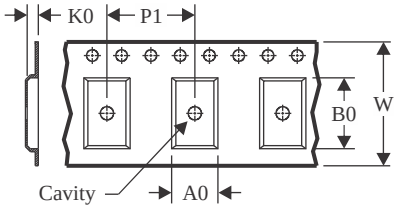
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

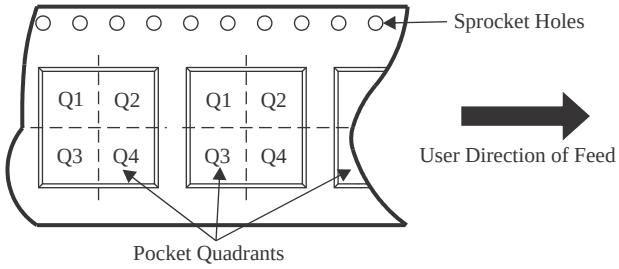


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

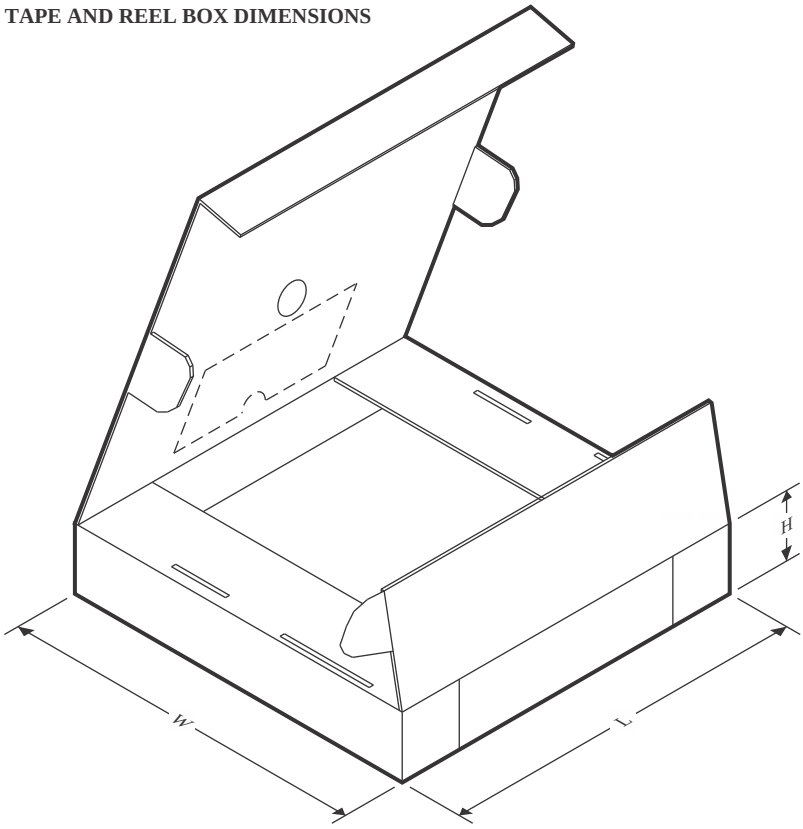
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

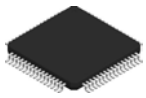
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMX1404MPAPTEP	HTQFP	PAP	64	250	178.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMX1404MPAPTEP	HTQFP	PAP	64	250	213.0	191.0	55.0

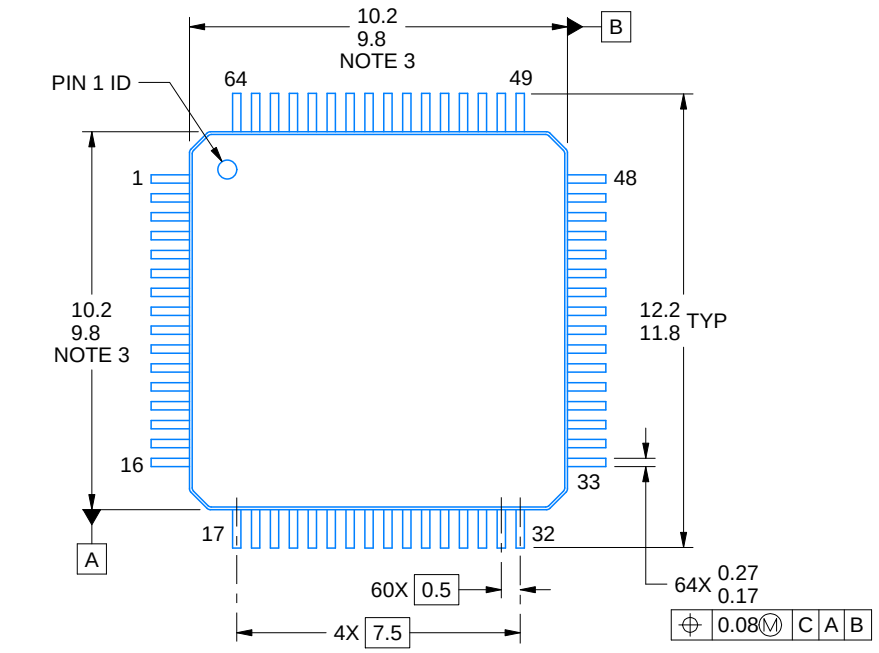


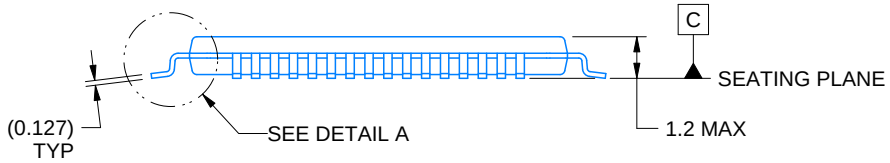
PACKAGE OUTLINE

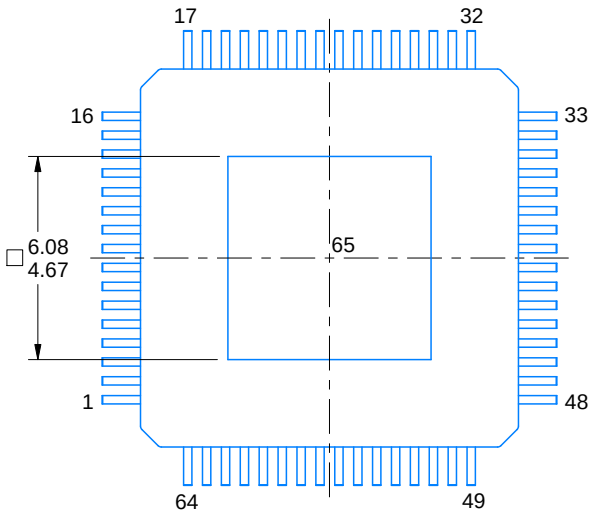
PAP0064E

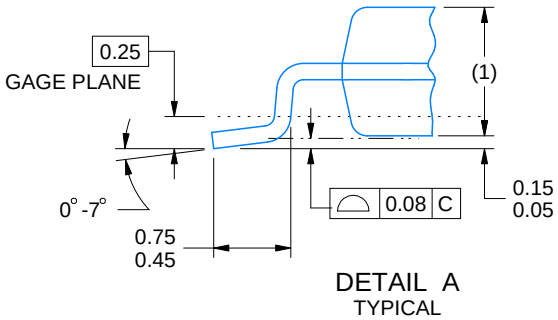
PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK







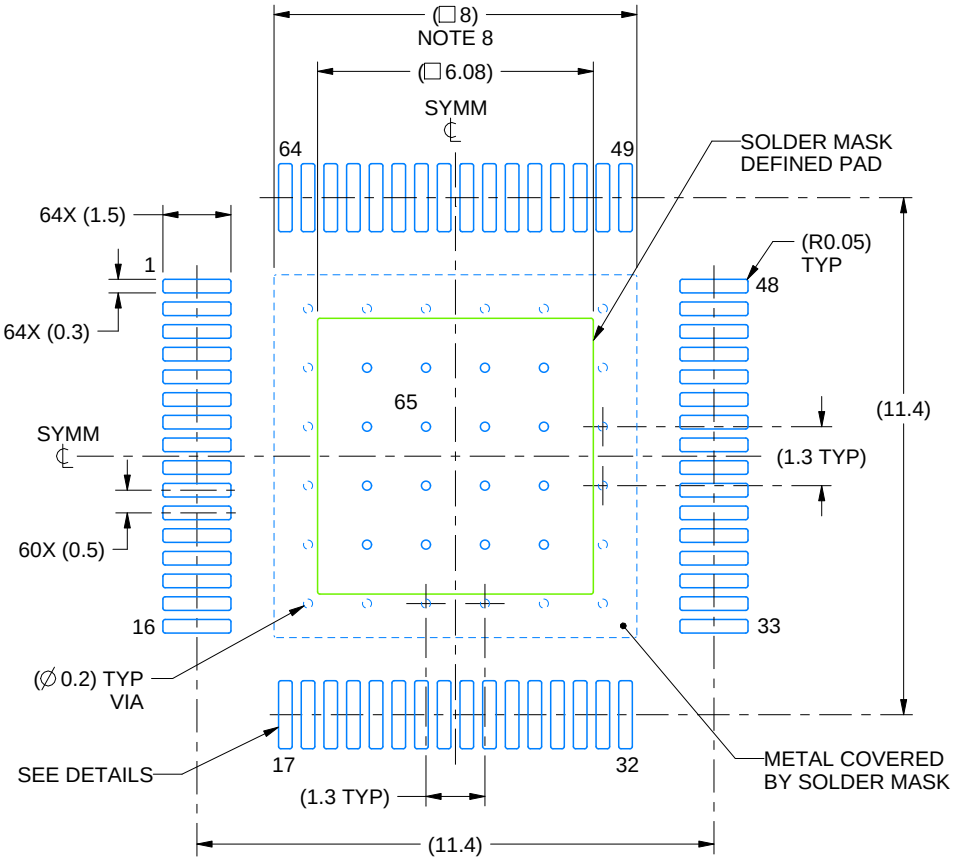


4228332/A 01/2022

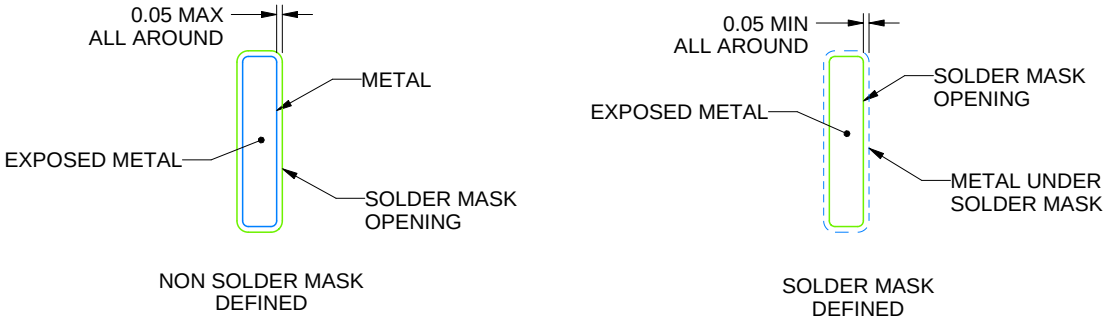
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

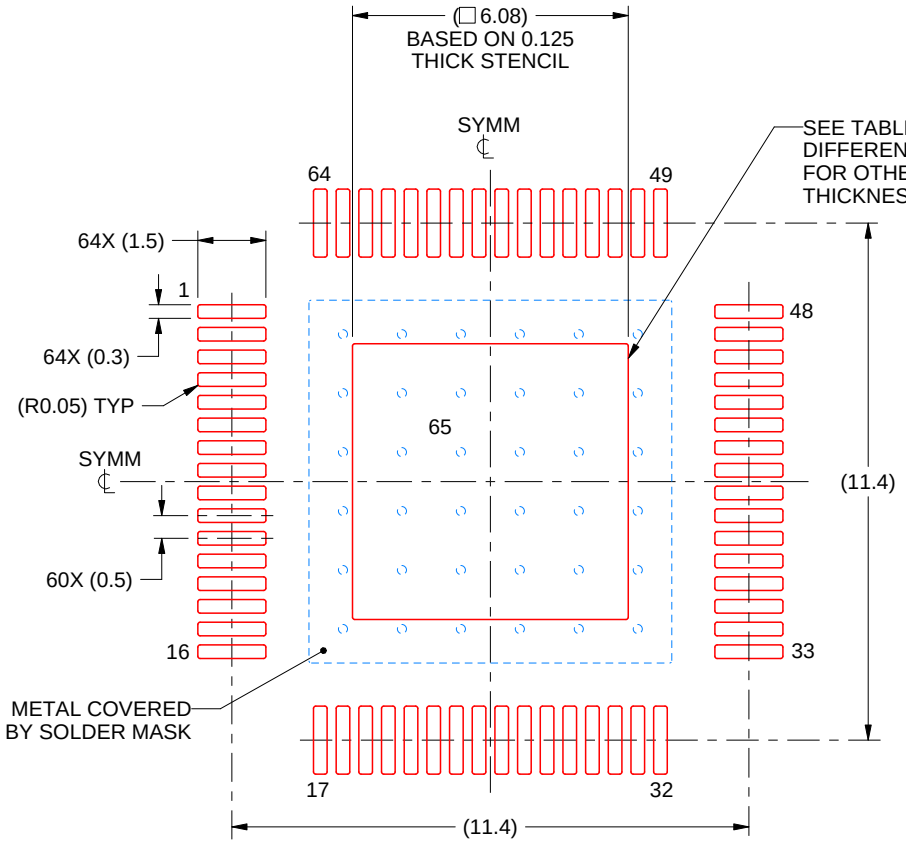


SOLDER MASK DETAILS

4228332/A 01/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月