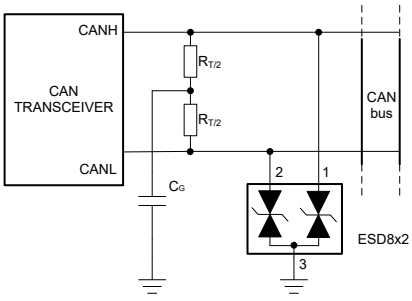
ESD8x2 双通道 36V ESD 保护二极管

1 特性

- 工作电压 36V
- 50nA 低漏电流（最大值）
- IEC 61000-4-2 ESD 保护：
  - ±25kV 接触放电，±25kV 气隙放电 (ESD852 SOT-23)
  - ±20kV 接触放电，±20kV 气隙放电 (ESD852 DFN1110-3)
  - ±18kV 接触放电，±18kV 气隙放电 (ESD862)
- IEC 61000-4-5 (8/20μs) 防护能力：
  - 4.3A (ESD852 SOT-23)
  - 3.8A (ESD852 DFN1110-3)
  - 3.1A (ESD862)
- 双向 ESD 保护
- 低 I/O 电容：
  - 2.8pF 典型 (ESD852 SOT-23)
  - 3.0pF 典型 (ESD852 DFN1110-3)
  - 2.6pF 典型 (ESD862)
- 引线式封装，用于自动光学检测 (AOI)

2 应用

- 工厂自动化
- 通信设备
- USB 电力传输 (USB-PD)：
  - VBUS 保护
  - IO 保护（耐受 VBUS 短路）
- 工业通信：
  - CAN / CAN-FD



ESD8x2 典型应用

3 说明

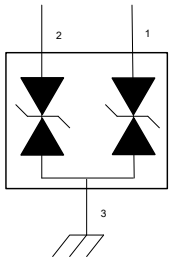
ESD8x2 器件是用于 USB 电力传输 (USB-PD) 和工业接口的双向 ESD 保护二极管。这些器件旨在耗散达到或超过 IEC 61000-4-2 标准所规定最高水平（±25kV 接触放电和气隙放电、±20kV 接触放电和气隙放电，或 ±18kV 接触放电和气隙放电）的 ESD。低动态电阻和低钳位电压支持针对瞬态事件提供系统级保护。这种保护至关重要，因为工业系统对鲁棒性和可靠性的要求很高。

这些器件具有每通道低 IO 电容和提供两条 IO 线路的引脚排列，可防止因静电放电 (ESD) 和其他瞬变造成损坏。ESD852 的 I_{PP} = 4.3A（8/20μs 浪涌波形）能力使其非常适用于保护 USB VBUS 和工业 I/O 线路免受瞬态浪涌事件的影响。此外，ESD8x2 的 2.8pF 或 2.6pF 线路电容适用于保护 USB 电力传输的低速信号和工业应用的 IO 信号。

封装信息

器件型号	通道	封装(1)
ESD852	2 通道	DBZ（SOT-23，3）
		DFN1110-3
ESD862		DBZ（SOT-23，3）

(1) 有关更多信息，请参阅 节 9。



功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 建议运行条件.....4
5.3 热性能信息.....4
5.4 电气特性.....5
5.5 典型特性 - ESD852 (SOT-23).....6
5.6 典型特性 - ESD852 (DFN1110-3).....7
5.7 典型特性 - ESD862.....8
6 应用和实施.....9
6.1 应用信息.....9
7 器件和文档支持.....10
7.1 文档支持.....10
7.2 接收文档更新通知.....10
7.3 支持资源.....10
7.4 商标.....10
7.5 静电放电警告.....10
7.6 术语表.....10
8 修订历史记录.....11
9 机械、封装和可订购信息.....11

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

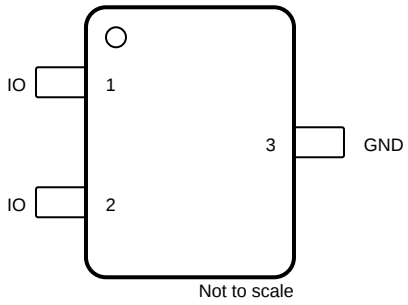


图 4-1. DBZ 封装，SOT-23（顶视图）

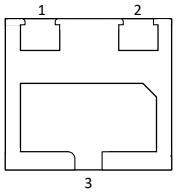


图 4-2. DXA 封装，DFN1110-3（底视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
IO	1、2	I/O	受 ESD 保护的 IO
GND	3	G	接地。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		器件	封装	最小值	最大值	单位
峰值脉冲	25°C 时的 IEC 61000-4-5 功率 (t_p – 8/20μs)	ESD852	SOT-23 和 DFN1110-3		233	W
			SOT-23		4.3	A
			DFN1110-3		3.8	A
		ESD862	SOT-23		175	W
					3.1	A
T_A	自然通风条件下的工作温度	ESD852、ESD862	SOT-23 和 DFN1110-3	-55	150	°C
T_{stg}	贮存温度	ESD852、ESD862	SOT-23 和 DFN1110-3	-65	155	°C

(1) 超出*绝对最大额定值*规定范围的应力可能会对器件造成永久性损坏。这些仅为应力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电压	-36		36	V
T_A	自然通风条件下的工作温度	-55		150	°C

5.3 热性能信息

热指标		ESD852		ESD862	单位
		DBZ (SOT-23)	DXA (DFN1110-3)	DBZ (SOT-23)	
		3 引脚	3 引脚	3 引脚	
$R_{\theta JA}$	结至环境热阻	295.8	284.2	313.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	146.3	147.9	162.8	°C/W
$R_{\theta JB}$	结至电路板热阻	134.0	127.4	151.8	°C/W
Ψ_{JT}	结至顶部特征参数	33.6	12.0	43.5	°C/W
Ψ_{JB}	结至电路板特征参数	133.1	126.3	150.8	°C/W

Copyright © 2026 Texas Instruments Incorporated

5.4 电气特性

在 T_A = 25°C 条件下（除非另有说明）

参数		测试条件	器件	封装	最小值	典型值	最大值	单位
V_{RWM}	反向关断电压		ESD852、ESD862	SOT-23 和 DFN1110-3	-36		36	V
V_{BRF}	正向击穿电压，任意 IO 引脚至 GND(1)	I_{IO} = 1mA	ESD852、ESD862	SOT-23 和 DFN1110-3	37.8	40	44.2	V
V_{BRR}	反向击穿电压，任意 IO 引脚至 GND(1)	I_{IO} = -1mA	ESD852、ESD862	SOT-23 和 DFN1110-3	-44.2	-40	-37.8	V
V_{CLAMP}	钳位电压(2)	I_{PP} = 1A，t_p = 8/20μs，从 IO 到 GND	ESD852	SOT-23		43		V
		I_{PP} = 4.3A，t_p = 8/20μs，从 IO 到 GND				61		V
		I_{PP} = 16A，TLP，从 IO 到 GND，包括正电流和负电流				63		V
		I_{PP} = 1A，t_p = 8/20μs，从 IO 到 GND		DFN1110-3		44		V
		I_{PP} = 3.8A，t_p = 8/20μs，从 IO 到 GND				66		V
		I_{PP} = 16A，TLP，从 IO 到 GND，包括正电流和负电流				65		V
		I_{PP} = 1A，t_p = 8/20μs，从 IO 到 GND	ESD862	SOT-23		47		V
		I_{PP} = 3.1A，t_p = 8/20μs，从 IO 到 GND				61		V
		I_{PP} = 16A，TLP，从 IO 到 GND，包括正电流和负电流				64		V
I_{LEAK}	漏电流，任何 IO 引脚至 GND	V_{IO} = ±36V	ESD852、ESD862	SOT-23 和 DFN1110-3			50	nA
R_{DYN}	动态电阻(3)	IO 至 GND，GND 至 IO	ESD852、ESD862	SOT-23		0.49		Ω
			ESD852	DFN1110-3		0.65		Ω
C_L	输入电容、任何 IO 至 GND	V_{IO} = 0V，f = 1MHz，V_{p-p} = 30mV	ESD852	SOT-23		2.8	3.5	pF
				DFN1110-3		3	4	pF
			ESD862	SOT-23		2.6	2.9	pF

(1) V_{BRF} 和 V_{BRR} 定义为在器件锁存到回扫状态之前，在正向方向上施加 1mA 电流时的电压。
(2) 根据 IEC 61000-4-5 器件承受 8/20 μ s 指数衰减波形的应力。
(3) 非重复电流脉冲、传输线路脉冲 (TLP)；方波脉冲；ANSI / ESD STM5.5.1-2008

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性 - ESD852 (SOT-23)

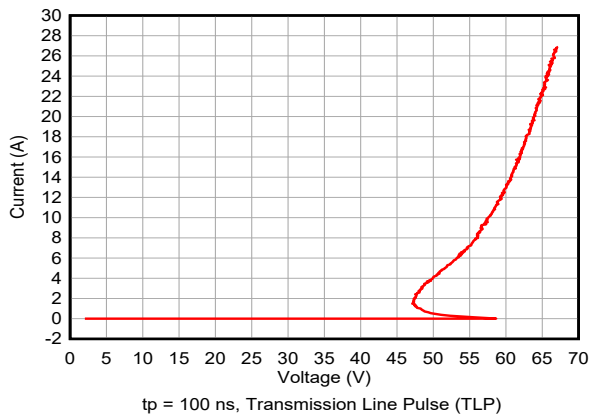


图 5-1. 正 TLP 曲线

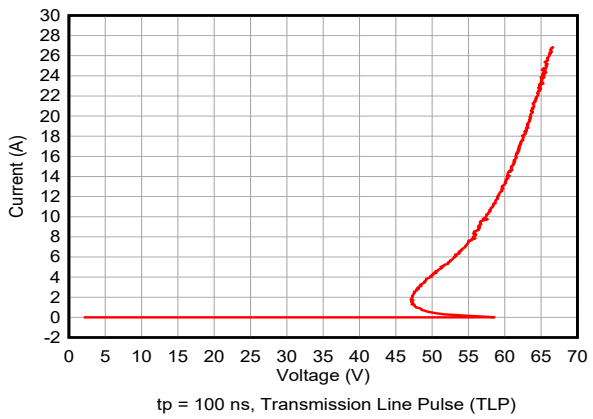


图 5-2. 负 TLP 曲线

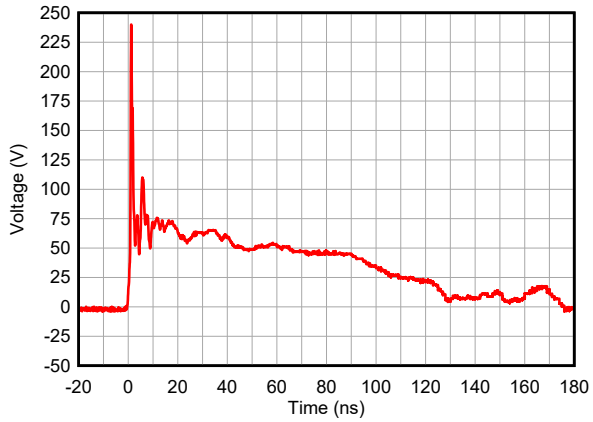


图 5-3. +8kV 钳位 IEC 波形

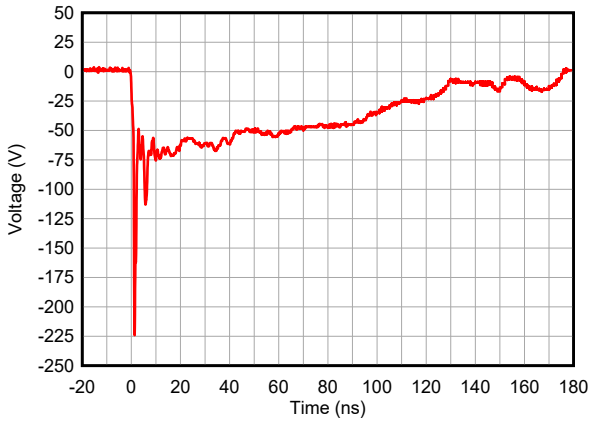


图 5-4. -8kV 钳位 IEC 波形

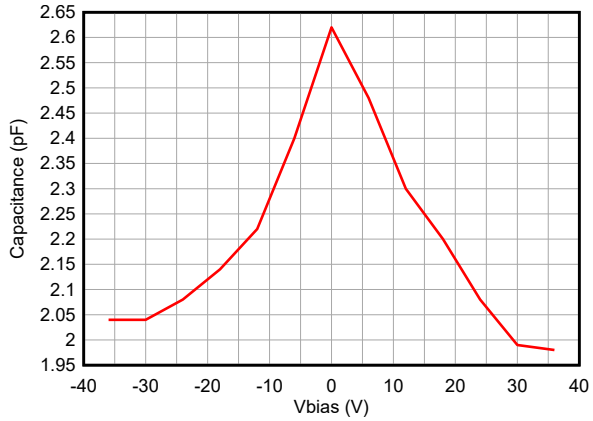


图 5-5. 电容与偏置电压间的关系

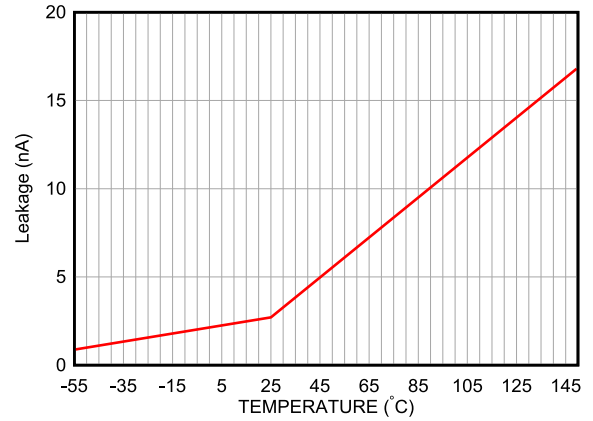


图 5-6. 漏电流与温度之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性 - ESD852 (DFN1110-3)

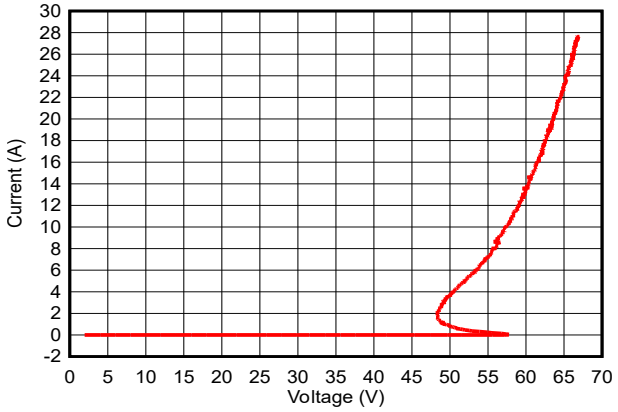


图 5-7. 正 TLP 曲线

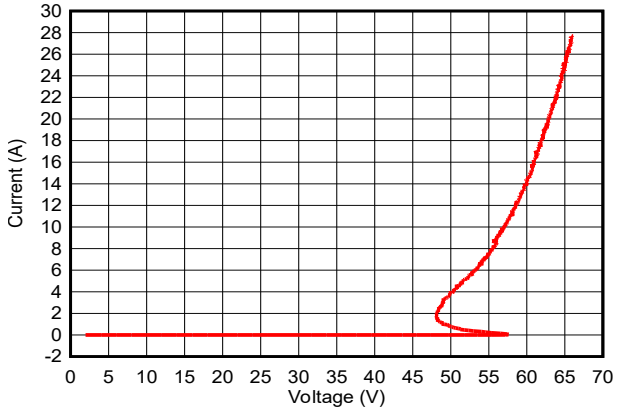


图 5-8. 负 TLP 曲线

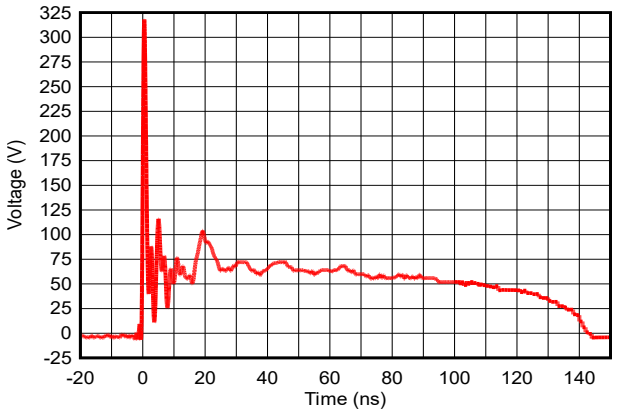


图 5-9. +8kV 钳位 IEC 波形

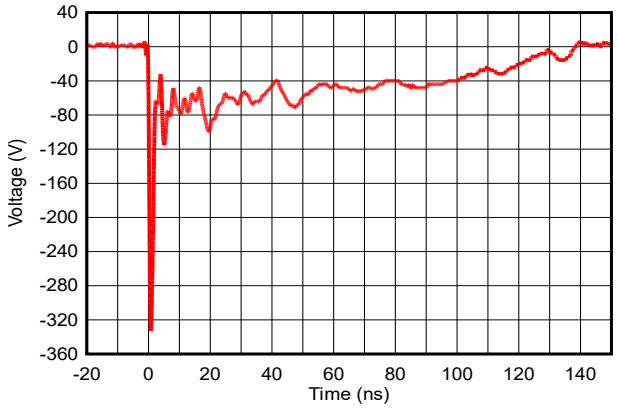


图 5-10. -8kV 钳位 IEC 波形

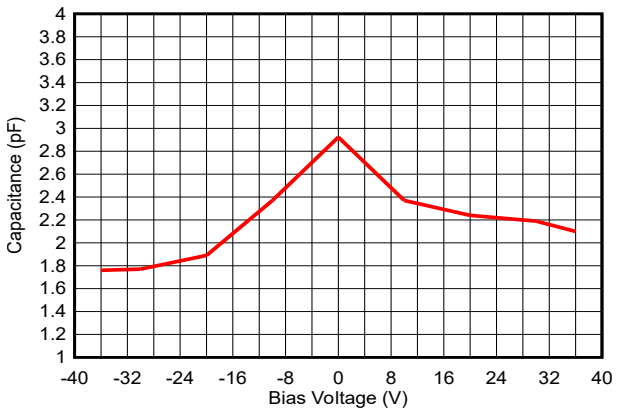


图 5-11. 电容与偏置电压间的关系

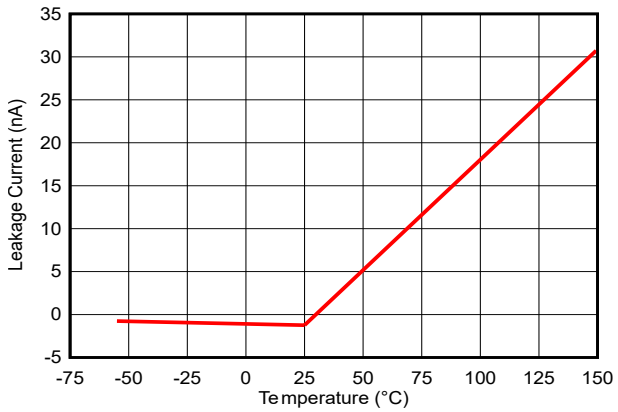


图 5-12. 漏电流与温度之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性 - ESD862

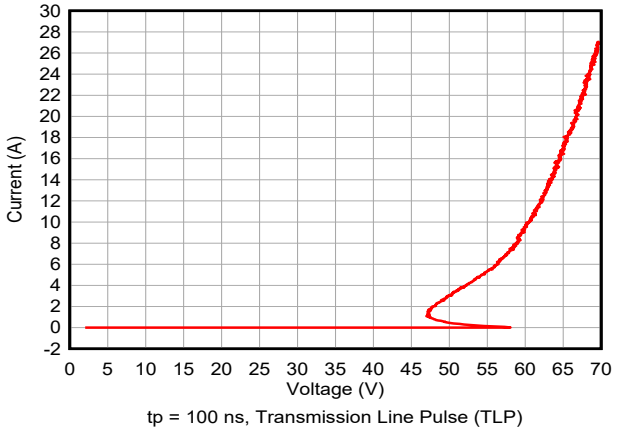


图 5-13. 正 TLP 曲线

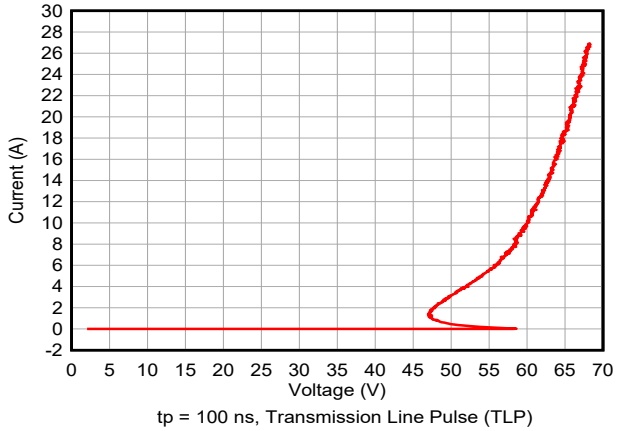


图 5-14. 负 TLP 曲线

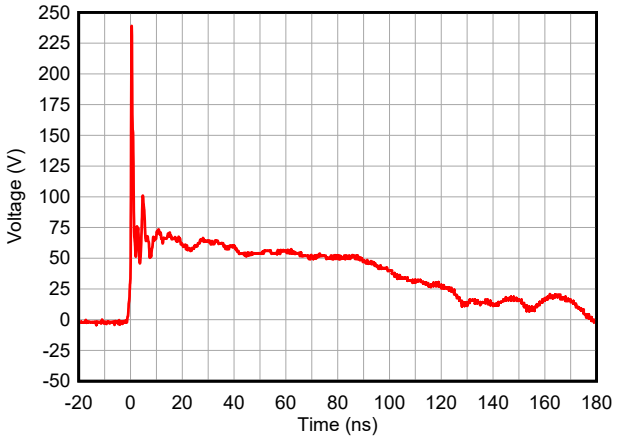


图 5-15. +8kV 钳位 IEC 波形

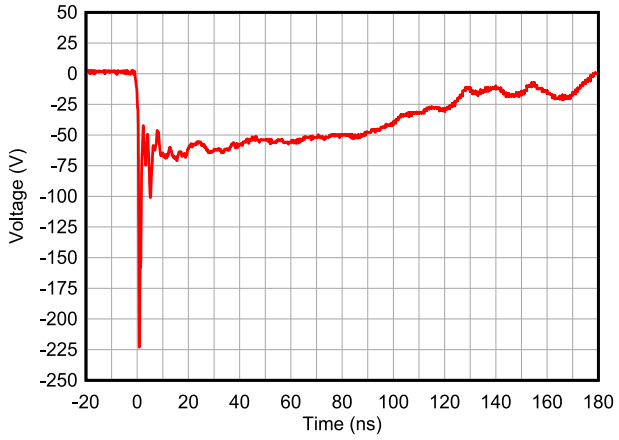


图 5-16. -8kV 钳位 IEC 波形

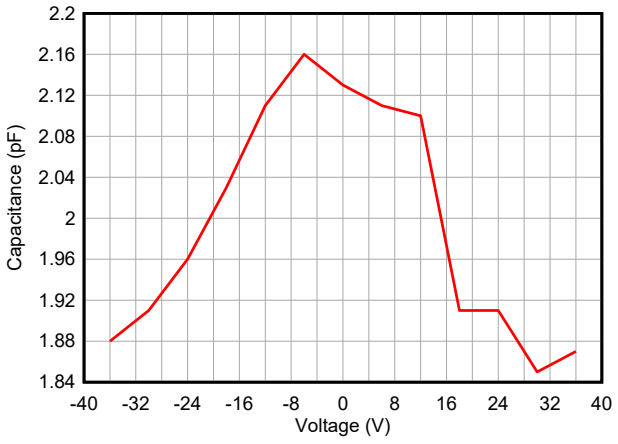


图 5-17. 电容与偏置电压间的关系

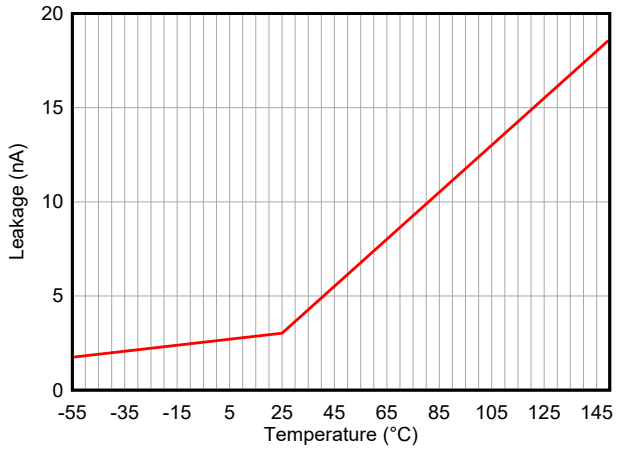


图 5-18. 漏电流与温度之间的关系

Copyright © 2026 Texas Instruments Incorporated

6 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

6.1 应用信息

ESD8x2 器件是 ESD 二极管，可提供一条接地路径，用于耗散信号线和电源线上的瞬态电压尖峰 (例如 ESD 或浪涌) 。将此类器件并联至受其保护的下游电路。当瞬态电流流经 ESD 器件时，二极管上只会出现小压降。这便是提供给受保护 IC 的电压。触发的 ESD 器件的低 R_{DYN} 可将此电压 (V_{CLAMP}) 保持在受保护 IC 的安全水平。更多有关如何正确使用该器件的信息，请参阅 *ESD 封装和布局指南*。

Copyright © 2026 Texas Instruments Incorporated

7 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 文档支持

7.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*ESD 布局指南* 用户指南
- 德州仪器 (TI)，*用于 USB 接口的 ESD 和浪涌保护* 应用手册
- 德州仪器 (TI)，*ESD 保护二极管 EVM* 用户指南
- 德州仪器 (TI)，*通用 ESD 评估模块* 用户指南
- 德州仪器 (TI)，*阅读并了解 ESD 保护* 数据表

7.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

7.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

7.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (June 2025) to Revision B (January 2026) **Page**

- 添加了 DFN 封装 1

Changes from Revision * (November 2023) to Revision A (June 2025) **Page**

- 添加了 DCK 封装 1

日期	修订版本	说明
2023 年 11 月	*	初始发行版

9 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ESD852DBZR	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z38
ESD852DBZR.B	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z38
ESD852DXAR	Active	Production	USON (DXA) | 3	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-55 to 150	1WZ
ESD862DBZR	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z78
ESD862DBZR.B	Active	Production	SOT-23 (DBZ) | 3	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z78

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

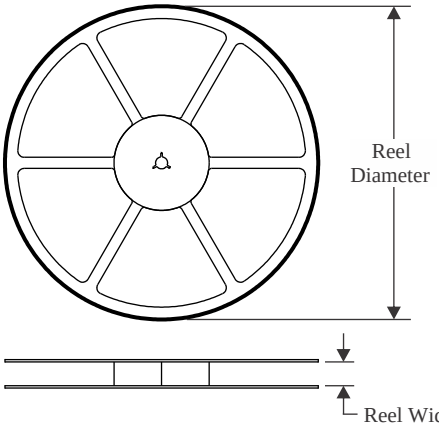
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

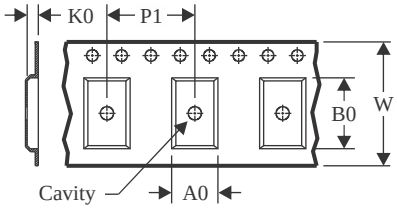
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

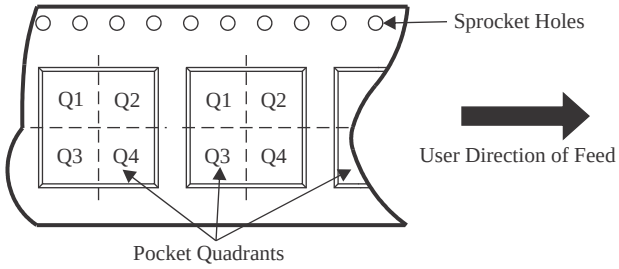


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

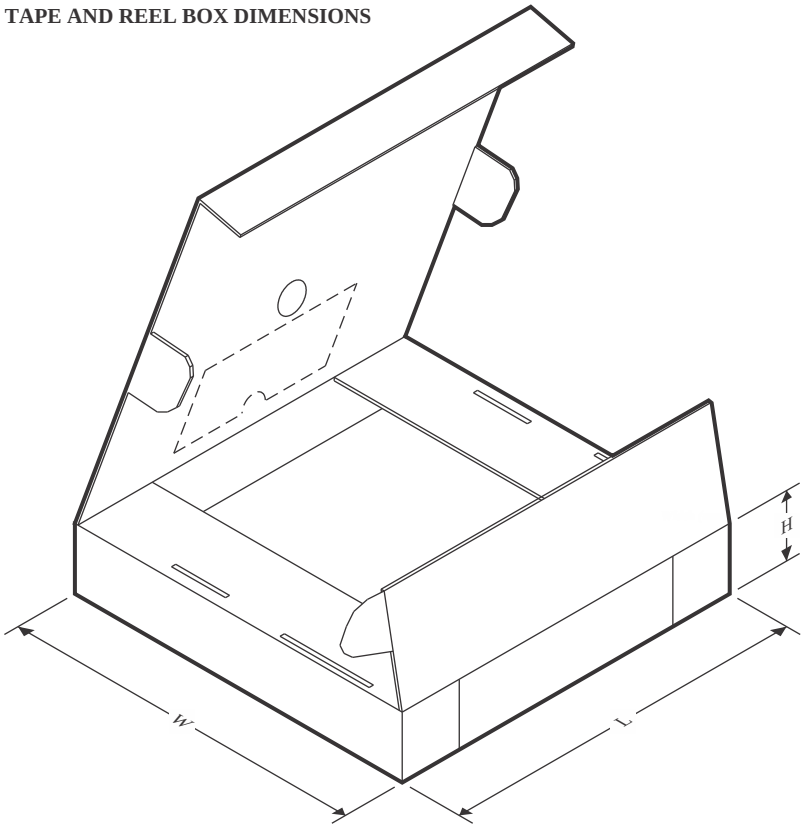
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESD852DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
ESD852DXAR	USON	DXA	3	3000	180.0	8.4	1.2	1.3	0.65	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESD852DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
ESD852DXAR	USON	DXA	3	3000	210.0	185.0	35.0

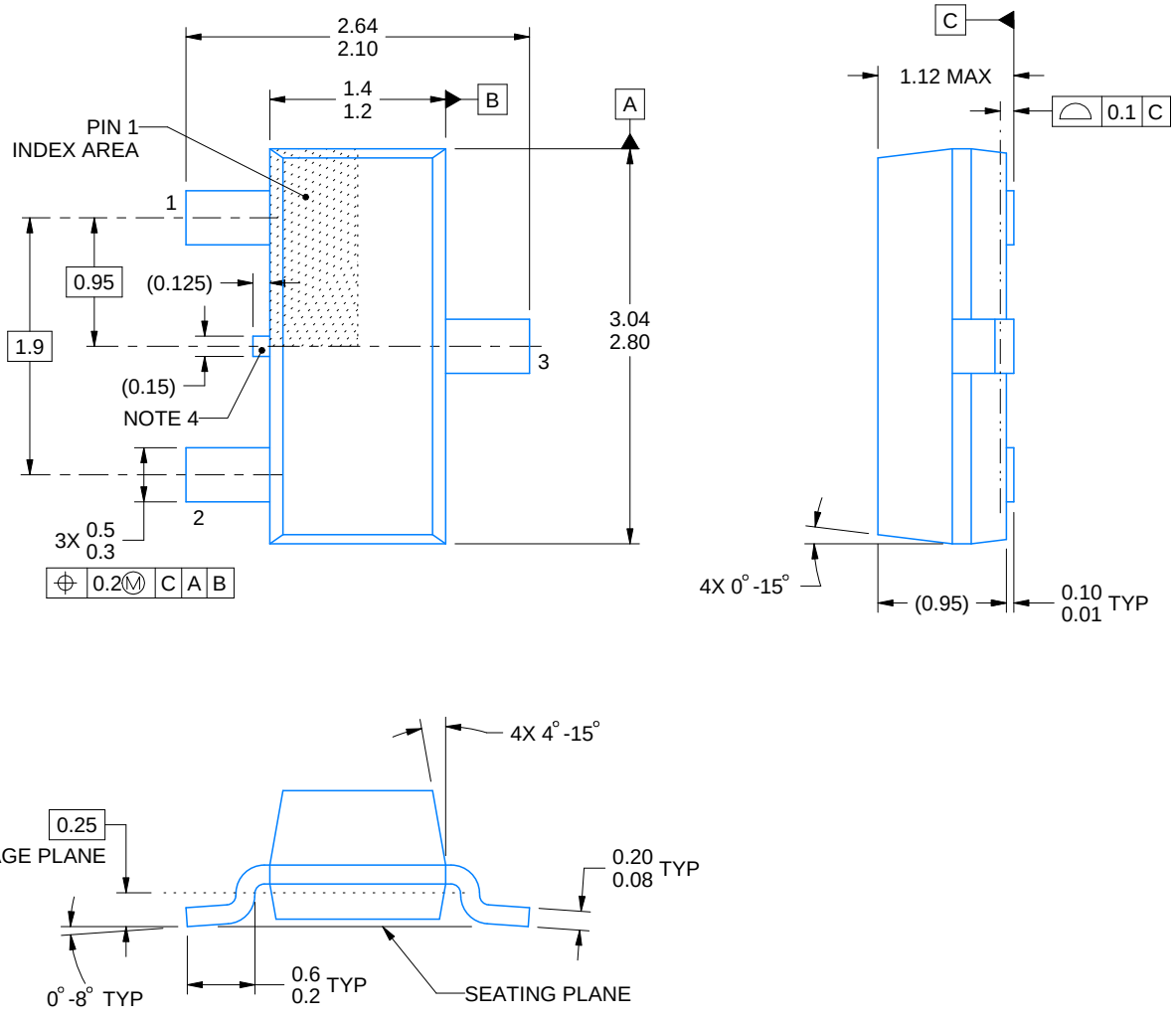
PACKAGE OUTLINE

DBZ0003A



SOT-23 - 1.12 mm max height

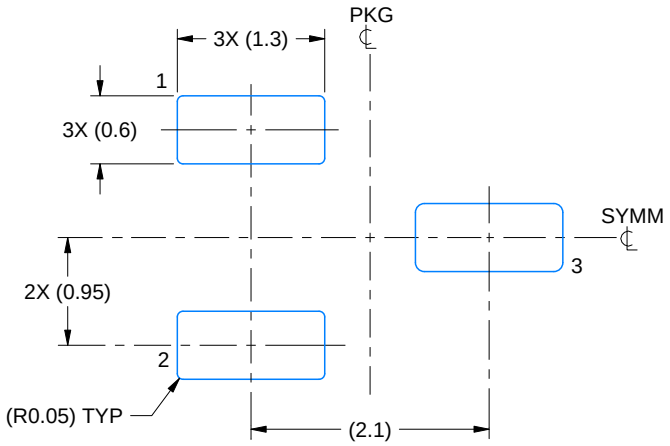
SMALL OUTLINE TRANSISTOR



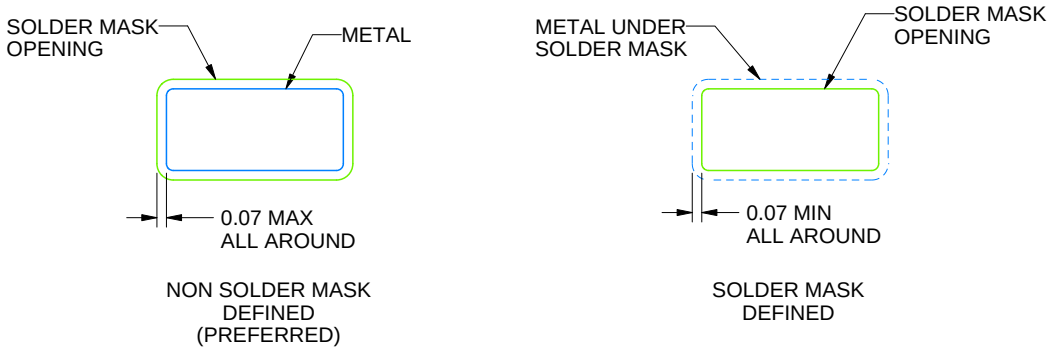
4214838/F 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration TO-236, except minimum foot length.
4. Support pin may differ or may not be present.
5. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
SCALE:15X

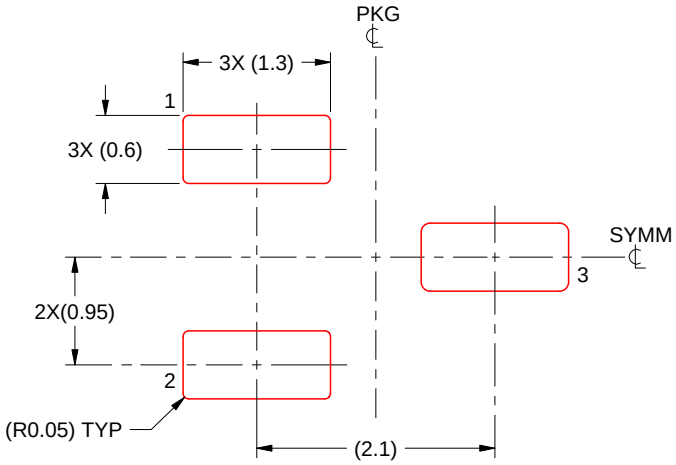


SOLDER MASK DETAILS

4214838/F 08/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



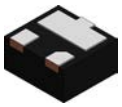
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214838/F 08/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

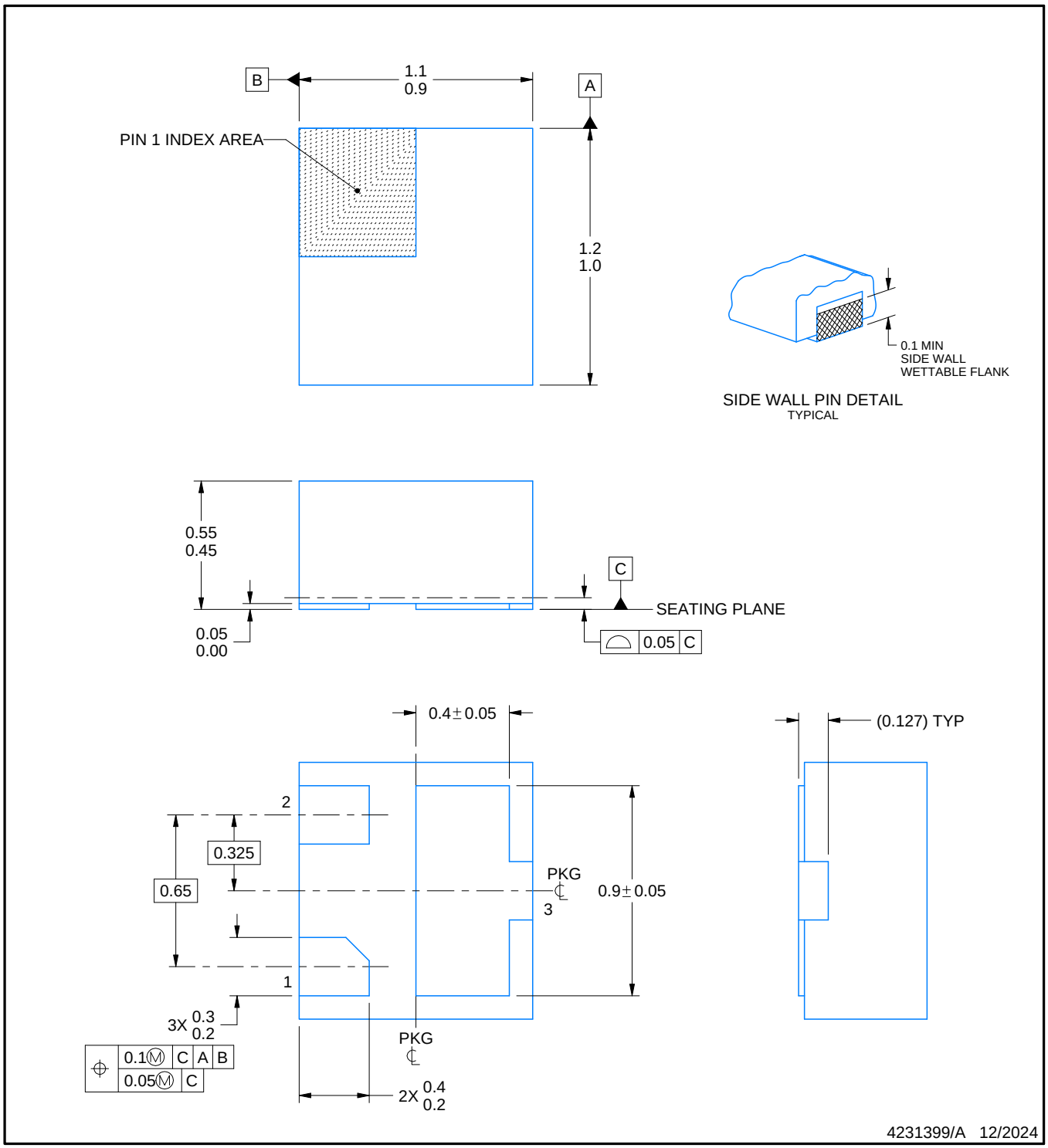
DXA0003A



PACKAGE OUTLINE

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

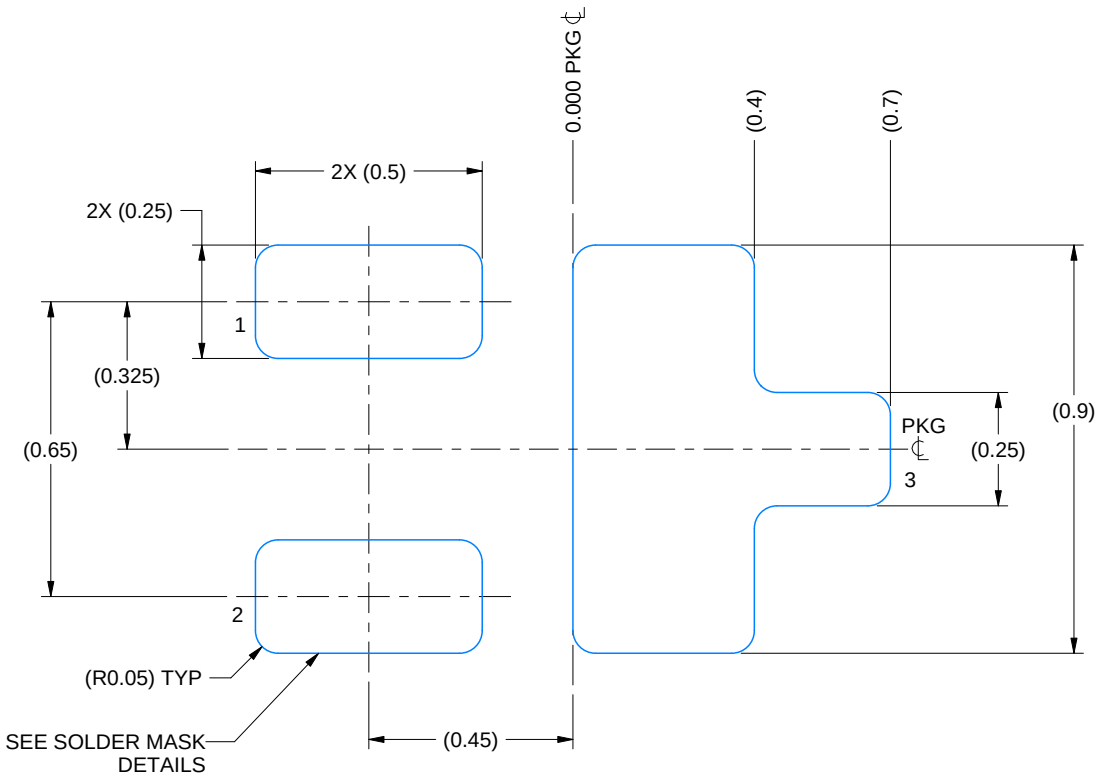
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

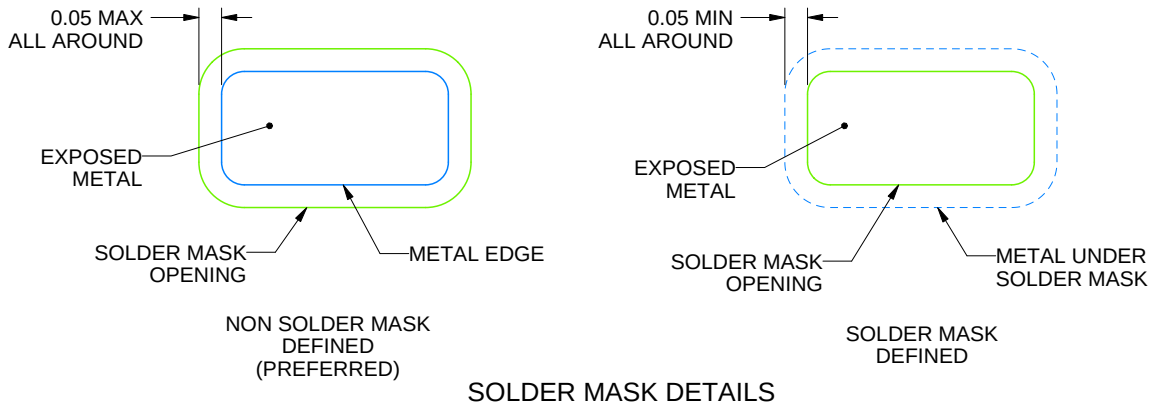
DXA0003A

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 60X



SOLDER MASK DETAILS

4231399/A 12/2024

NOTES: (continued)

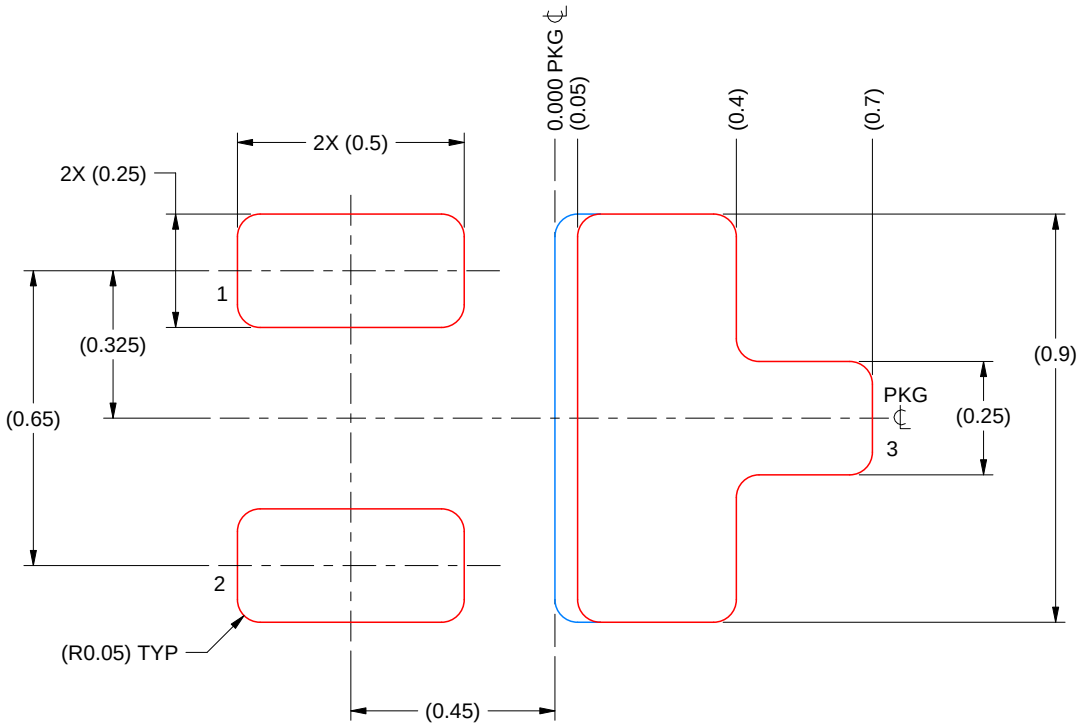
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DXA0003A

USON - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 60X

EXPOSED PAD 3
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231399/A 12/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月