

## ESD851-Q1 采用 SOD-323 封装的 36V 汽车级双向 ESD 保护二极管

### 1 特性

- ISO 10605 ( 330pF , 330 Ω ) ESD 保护 :
  - ±27kV 接触放电
  - ±30kV 空气间隙放电
- IEC 61000-4-5 浪涌保护 :
  - 6.5A (8/20μs)
  - 钳位电压 : 6.5A 时为 71V (8/20μs)
- IO 电容 : 4.3pF ( 典型值 )
- 超低漏电流 : 10nA ( 最大值 )
- ESD 钳位电压 : 16A TLP 时为 56V
- 工业温度范围 : -55°C 至 +150°C
- 符合 AEC-Q101 标准
- 业界通用 SOD-323 引线式封装 (2.65mm × 1.3mm)

### 2 应用

- I/O 保护
- 车身电子装置与照明
- 混合动力、电动和动力总成系统

### 3 说明

ESD851-Q1 是一款双向 ESD 保护二极管，专为钳制 ESD 和浪涌等有害瞬变而设计。ESD851-Q1 的额定 ESD 冲击消散值高达 ±30kV ( 接触放电和空气间隙放电 )，这超过了 IEC 61000-4-2 国际标准中规定的最高级别 ( 4 级 )。对于浪涌，根据 IEC 61000-4-5 标准，该器件可以钳制峰值电流高达 6.5A 的 8/20 μs 浪涌。

该器件还具有 4.3pF ( 典型值 ) IO 电容，因此能够保护数据线路。低动态电阻和低钳位电压支持针对瞬态事件提供系统级保护。

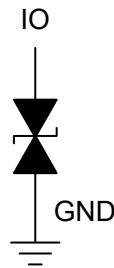
ESD851-Q1 采用业界通用的引线式 SOD-323 封装，可轻松焊接。

#### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
ESD851-Q1	DYF ( SOD-323 , 2 )	2.65mm × 1.3mm

(1) 有关更多信息，请参阅节 8。

(2) 封装尺寸 ( 长 × 宽 ) 为标称值，并包括引脚 ( 如适用 )。



功能方框图



## 内容

<b>1 特性</b> .....	<b>1</b>	<b>5.8 典型特性</b> .....	<b>6</b>
<b>2 应用</b> .....	<b>1</b>	<b>6 器件和文档支持</b> .....	<b>7</b>
<b>3 说明</b> .....	<b>1</b>	6.1 文档支持.....	7
<b>4 引脚配置和功能</b> .....	<b>3</b>	6.2 接收文档更新通知.....	7
<b>5 规格</b> .....	<b>4</b>	6.3 支持资源.....	7
5.1 绝对最大额定值.....	4	6.4 商标.....	7
5.2 ESD 等级 - AEC 规格.....	4	6.5 静电放电警告.....	7
5.3 ESD 等级 - IEC 规格.....	4	6.6 术语表.....	7
5.4 ESD 等级 - ISO 规格.....	4	<b>7 修订历史记录</b> .....	<b>7</b>
5.5 建议运行条件.....	4	<b>8 机械、封装和可订购信息</b> .....	<b>7</b>
5.6 热性能信息.....	5	8.1 卷带包装信息.....	8
5.7 电气特性.....	5	8.2 机械数据.....	10

## 4 引脚配置和功能

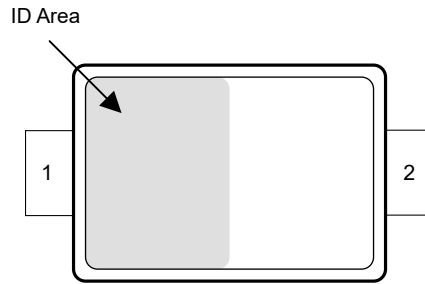


图 4-1. DYF 封装，2 引脚 SOD-323（顶视图）

表 4-1. 引脚功能

引脚		类型 <sup>(1)</sup>	说明
编号	名称		
1	IO	I/O	受保护的通道。如果用作 IO，将引脚 2 接地
2	IO	I/O	受保护的通道。如果用作 IO，将引脚 1 接地

(1) I = 输入，O = 输出。GND = 地

## 5 规格

### 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

参数		最小值	最大值	单位
$P_{PP}$ <sup>(2) (3)</sup>	25°C 时的 IEC 61000-4-5 ( $t_p$ 8/20 $\mu$ s) 峰值脉冲功率		400	W
$I_{PP}$	25°C 时的 IEC 61000-4-5 ( $t_p$ 8/20 $\mu$ s) 峰值脉冲电流		6.5	A
$T_A$	环境运行温度	-55	150	°C
$T_{stg}$	贮存温度	-65	155	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行, 器件可能不会受到损坏, 但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能, 并缩短器件寿命。
- (2) 除非另有说明, 否则电压均以 GND 为基准。
- (3) 在 25°C 时测得

### 5.2 ESD 等级 - AEC 规格

参数		测试条件	值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q101-001 标准 <sup>(1)</sup>	$\pm 2500$	V
		充电器件模型 (CDM), 符合 AEC Q101-005 标准 <sup>(2)</sup>	$\pm 1000$	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

### 5.3 ESD 等级 - IEC 规格

参数		测试条件	值	单位
$V_{(ESD)}$	静电放电	IEC 61000-4-2 接触放电	$\pm 30000$	V
		IEC 61000-4-2 空气间隙放电	$\pm 30000$	

### 5.4 ESD 等级 - ISO 规格

参数		测试条件	值	单位
$V_{(ESD)}$	ISO 10605 静电放电	接触放电, 所有引脚	C = 150pF ; R = 330 $\Omega$	$\pm 30000$
			C = 330pF ; R = 330 $\Omega$	$\pm 27000$
		空气间隙放电, 所有引脚	C = 150pF ; R = 330 $\Omega$	$\pm 30000$
			C = 330pF ; R = 330 $\Omega$	$\pm 30000$

### 5.5 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		最小值	标称值	最大值	单位
$V_{IN}$	输入引脚电压	-36		36	V
$T_A$	自然通风条件下的工作温度范围	-55		150	°C

## 5.6 热性能信息

热指标 <sup>(1)</sup>		ESD851-Q1	
		DYF (SOD-323)	
		2 引脚	
			单位
$R_{\theta JA}$	结至环境热阻	686.1	°C/W
$R_{\theta JC(top)}$	结至外壳 ( 顶部 ) 热阻	267.0	°C/W
$R_{\theta JB}$	结至电路板热阻	560.5	°C/W
$\Psi_{JT}$	结至顶部特征参数	91.4	°C/W
$\Psi_{JB}$	结至电路板特征参数	546.2	°C/W
$R_{\theta JC(bot)}$	结至外壳 ( 底部 ) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

## 5.7 电气特性

TA=25°C ( 除非另有说明 ) <sup>(1)</sup>

参数	测试条件	最小值	典型值	最大值	单位
$V_{RWM}$	反向关断电压 $I_{IO} < 10nA$ ，在工作温度范围内			36	V
$V_{BR}$	击穿电压 $I_{IO} = 10mA$ ，I/O 至 GND 或 GND 至 I/O	37.8			V
$I_{LEAK}$	反向漏电流 $V_{IO} = 36V$ ，IO 至 GND 或 GND 至 IO		5	10	nA
$V_{CLAMP}$	浪涌钳位电压， $t_p = 8/20\mu s$ <sup>(2)</sup>	$I_{PP} = 1A$ ，IO 至 GND 或 GND 至 IO		47	V
		$I_{PP} = 5A$ ，IO 至 GND 或 GND 至 IO		64	V
		$I_{PP} = 6.5A$ ，IO 至 GND 或 GND 至 IO		71	V
$R_{DYN}$	动态电阻 <sup>(3)</sup>	IO 至 GND		0.6	$\Omega$
		GND 至 IO			
$C_L$	线路电容 $V_{IO} = 0V$ ； $f = 1MHz$ ，IO 至 GND		4.3	6	pF

(1) 典型参数在 25°C 时测得

(2) 符合 IEC 61000-4-5 标准的非重复电流脉冲 8  $\mu s$  至 20  $\mu s$  指数衰减波形

(3) 在  $I = 10A$  和  $I = 20A$  之间使用 TLP 特性的最小二乘拟合来提取  $R_{DYN}$

## 5.8 典型特性

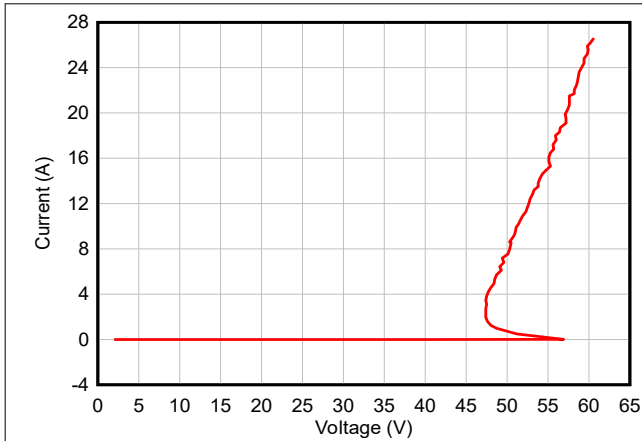


图 5-1. 正 TLP 曲线

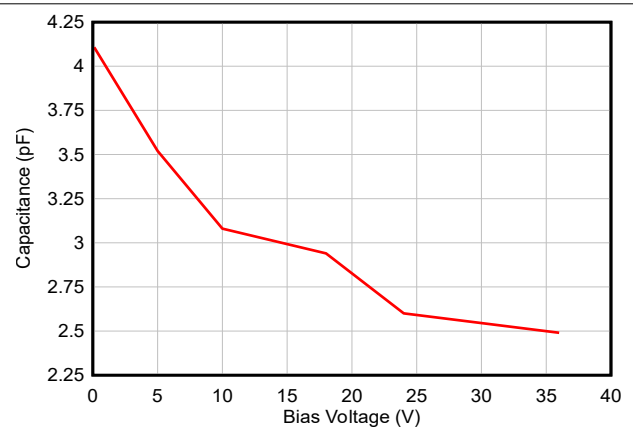


图 5-2. 电容与偏置电压之间的关系

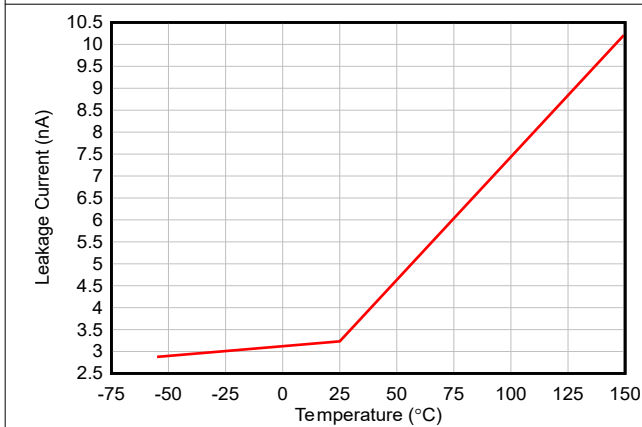


图 5-3. 漏电流与温度间的关系

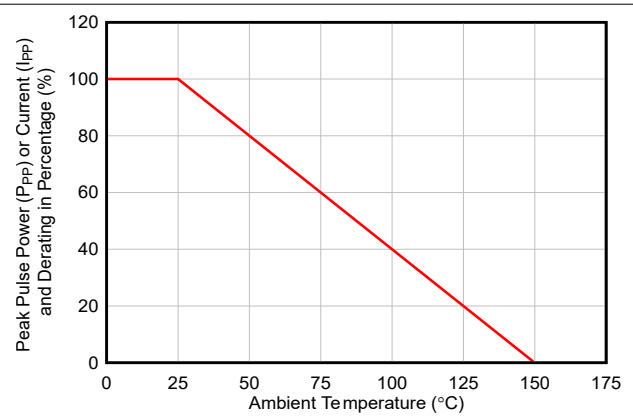


图 5-4. 峰值脉冲功率降额曲线

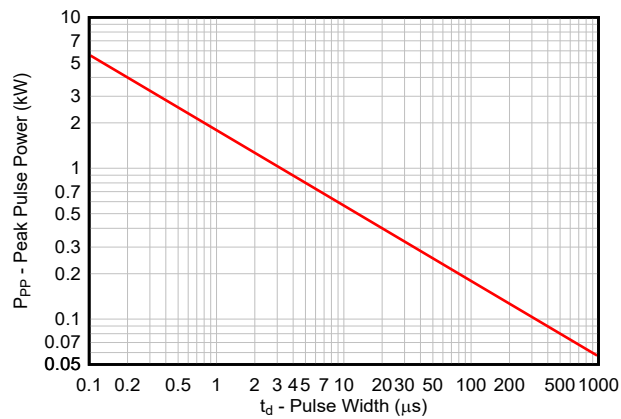


图 5-5. 脉冲额定功率曲线

## 6 器件和文档支持

### 6.1 文档支持

#### 6.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [ESD 布局指南应用报告](#)
- 德州仪器 (TI), [通用 ESD 评估模块用户指南](#)
- 德州仪器 (TI), [阅读并了解 ESD 保护数据表](#)

### 6.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 6.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 6.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 6.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 6.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

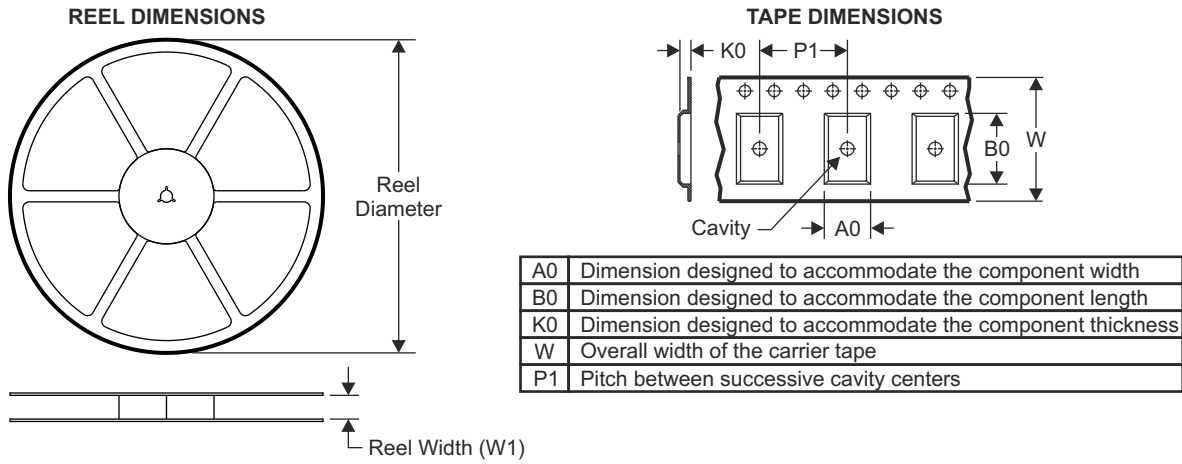
## 7 修订历史记录

日期	修订版本	注释
2024 年 12 月	*	初始发行版

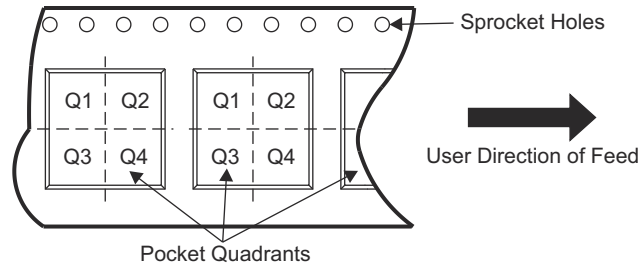
## 8 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

## 8.1 卷带包装信息



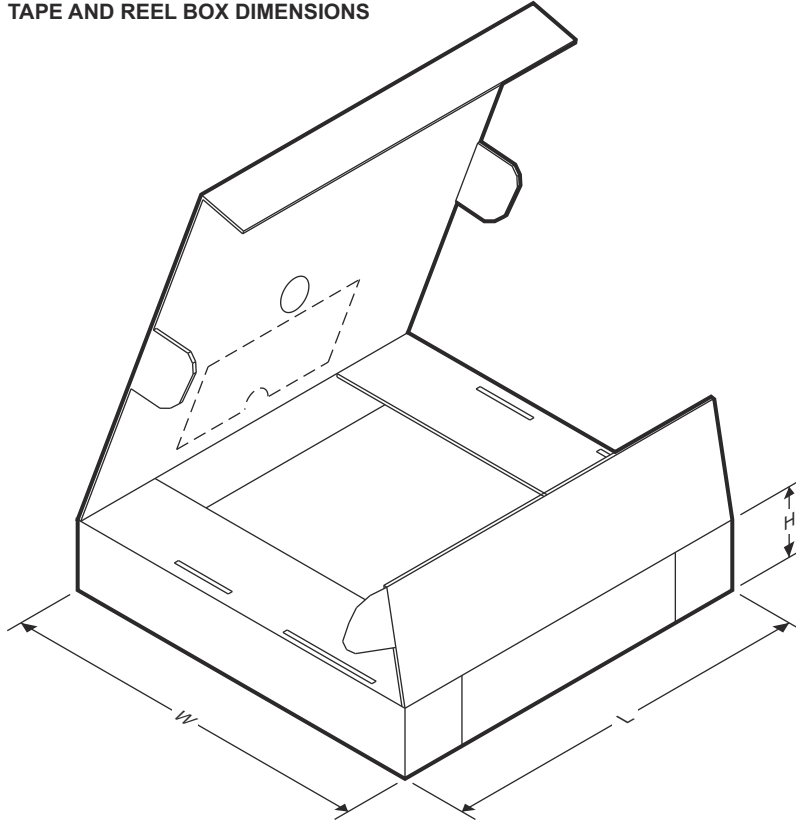
### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷盘直径 (mm)	卷盘宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
ESD851	LARGE T&R	DYF	2	3000	178.000	9.500	1.480	3.300	1.250	4.000	8.000	Q1



TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
ESD851	LARGE T&R	DYF	2	3000	210.000	200.000	42.000

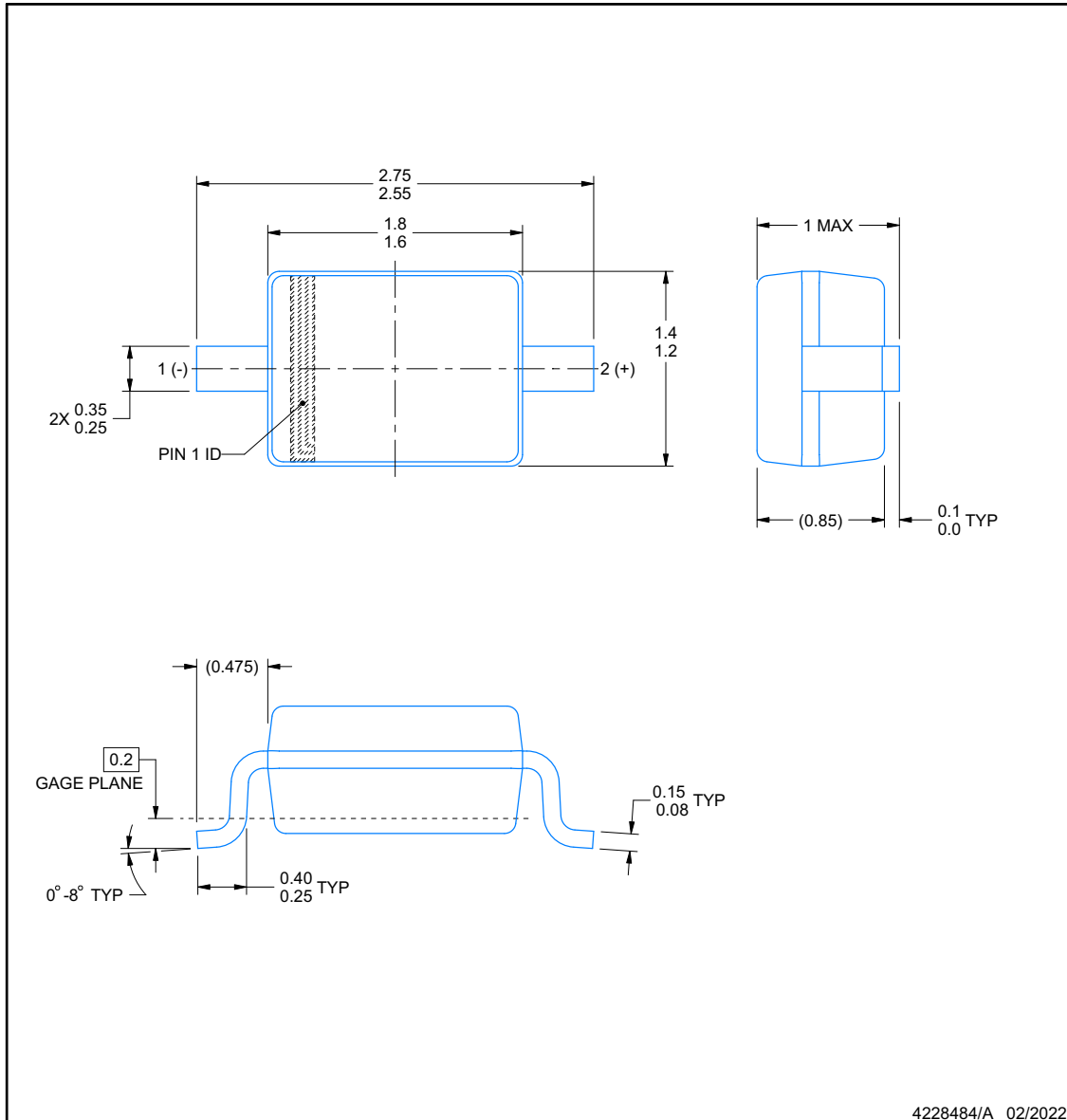
## 8.2 机械数据

**DYF0002A**



**PACKAGE OUTLINE**  
**SOT(SOD-323) - 1 mm max height**

SMALL OUTLINE TRANSISTOR



NOTES:

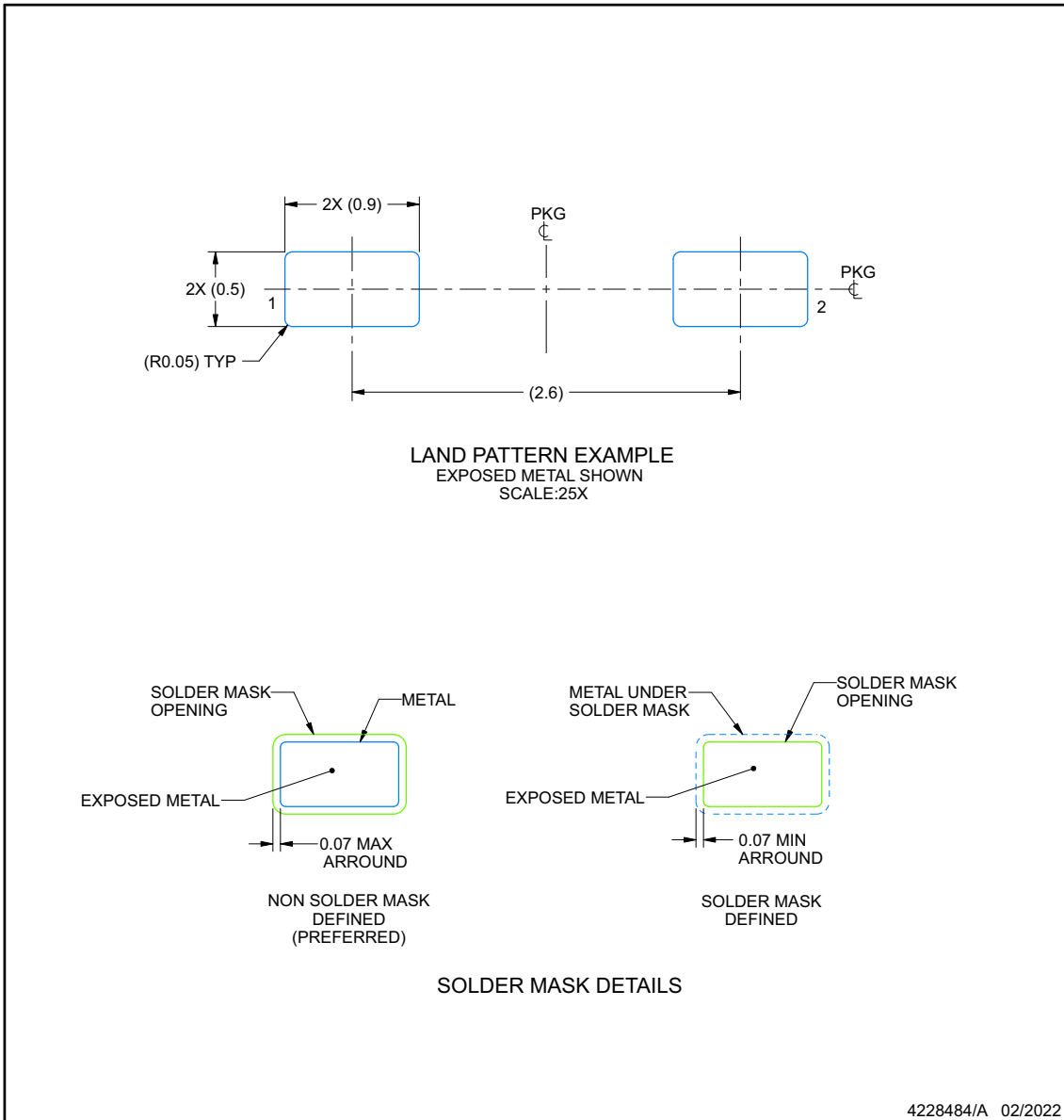
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

## EXAMPLE BOARD LAYOUT

**DYF0002A**

**SOT(SOD-323) - 1 mm max height**

SMALL OUTLINE TRANSISTOR



NOTES: (continued)

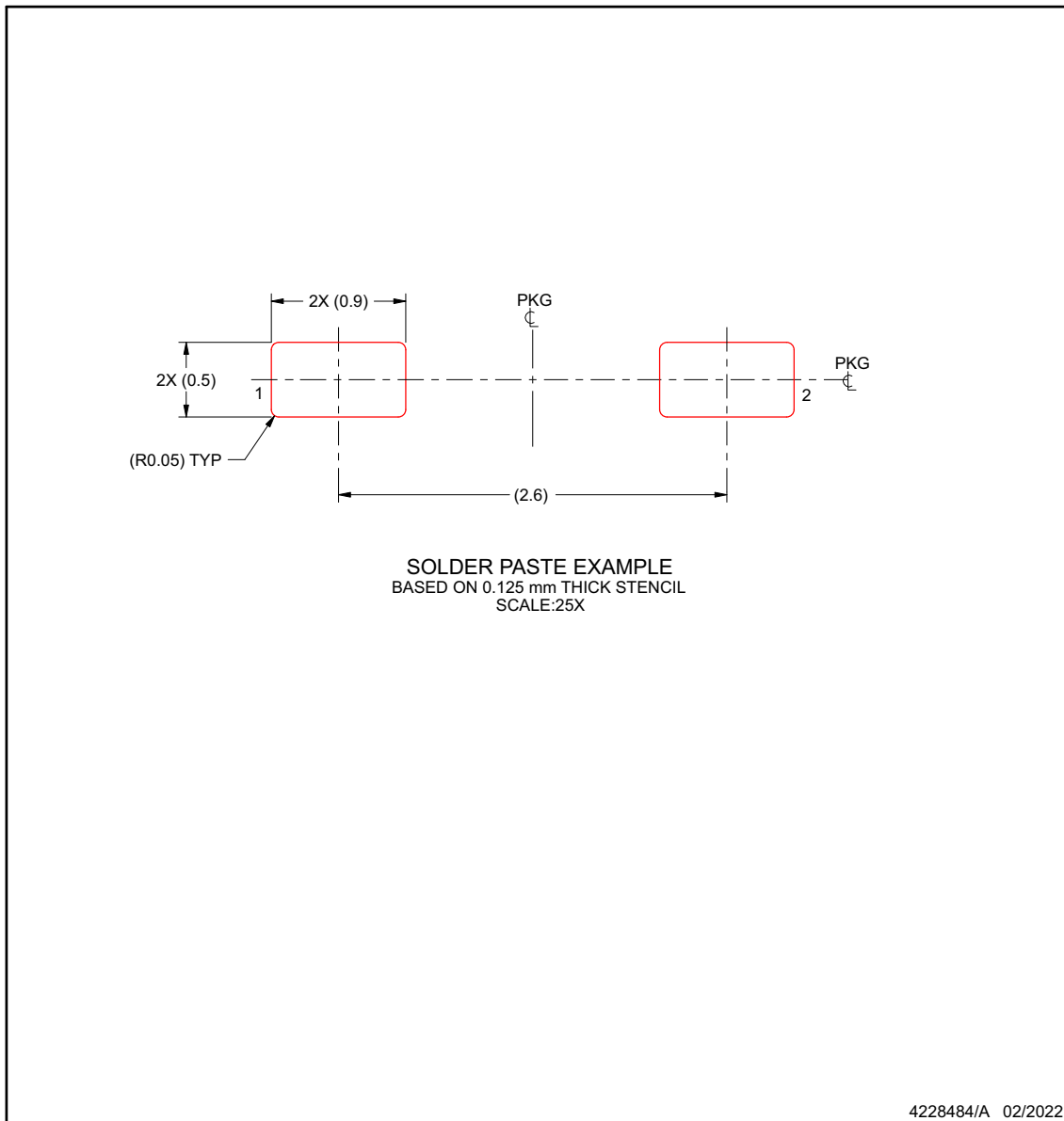
3. Publication IPC-7351 may have alternate designs.
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

**DYF0002A**

**SOT(SOD-323) - 1 mm max height**

SMALL OUTLINE TRANSISTOR



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
6. Board assembly site may have different recommendations for stencil design.

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ESD851DYFRQ1	ACTIVE	SOT	DYF	2	3000	RoHS & Green	SN	Level-3-260C-168 HR	-55 to 150	3H8F	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

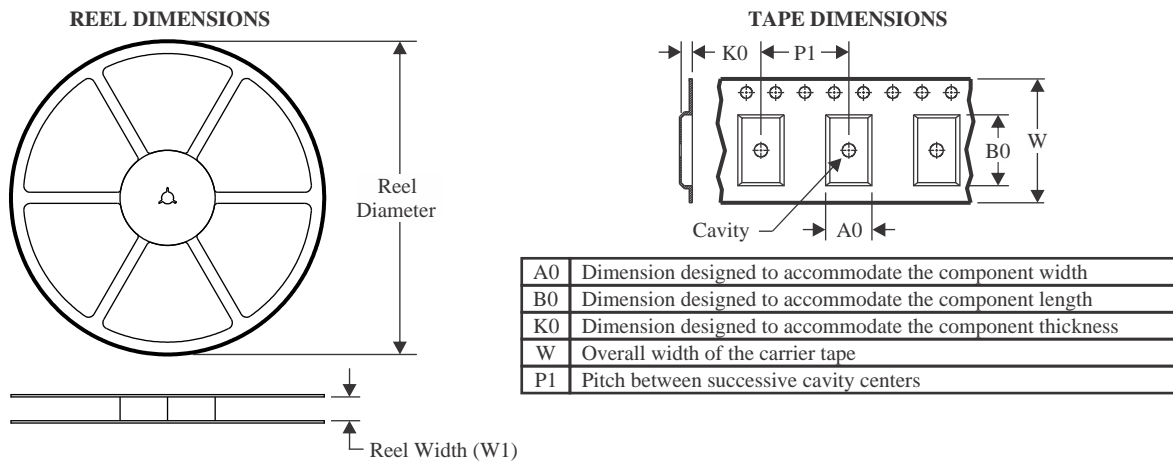
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF ESD851-Q1 :**

- Catalog : [ESD851](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESD851DYFRQ1	SOT	DYF	2	3000	178.0	9.5	1.48	3.3	1.25	4.0	8.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESD851DYFRQ1	SOT	DYF	2	3000	210.0	200.0	42.0



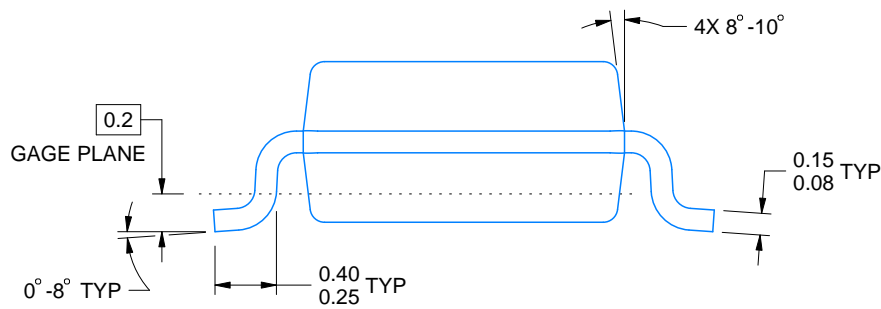
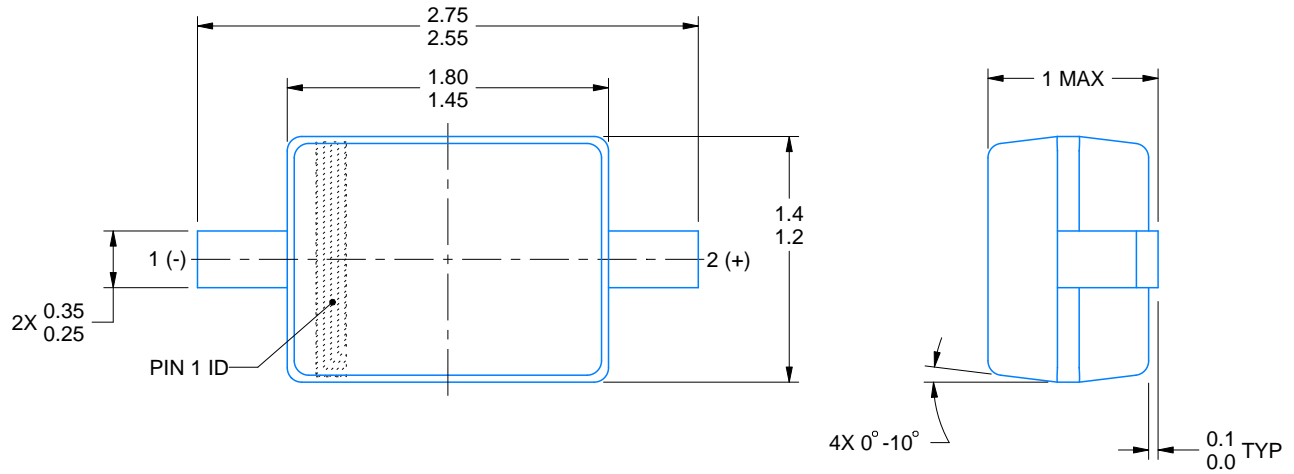
DYF0002A



# PACKAGE OUTLINE

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



4228484/C 12/2024

NOTES:

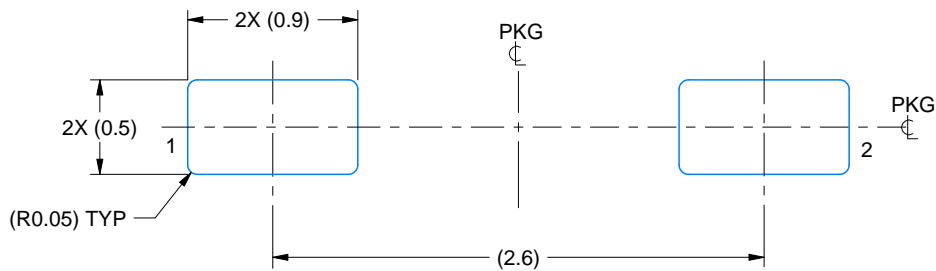
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

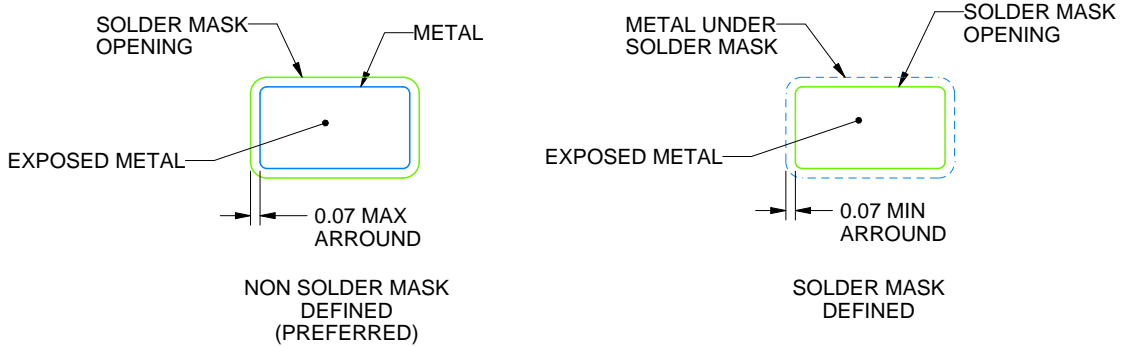
DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:25X



SOLDER MASK DETAILS

4228484/C 12/2024

NOTES: (continued)

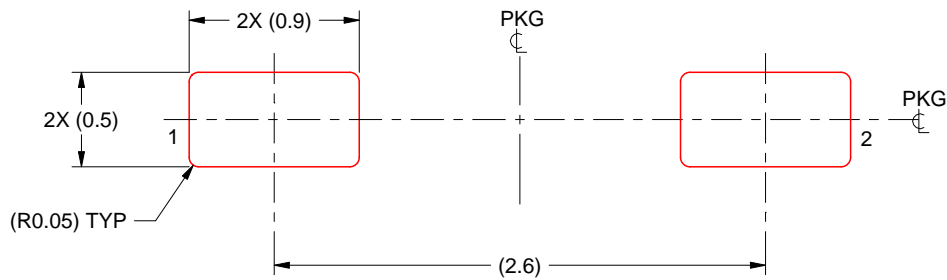
- 3. Publication IPC-7351 may have alternate designs.
- 4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DYF0002A

SOT(SOD-323) - 1 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:25X

4228484/C 12/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
6. Board assembly site may have different recommendations for stencil design.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
版权所有 © 2025，德州仪器 (TI) 公司