

DS90LV012A / DS90LT012A 3V LVDS 单路 CMOS 差分线路接收器

1 特性

- 符合 ANSI TIA/EIA-644-A 标准
- >400Mbps (200MHz) 的开关速率
- 100ps 差分偏斜 (典型值)
- 3.5ns 最大传播延迟
- 集成线路端接电阻 (102Ω 典型值)
- 单 3.3V 电源设计 (2.7V 至 3.6V 范围)
- 在断电模式下, LVDS 输入端具有高阻抗
- 接受小摆幅 (350mV 典型值) 差分信号电平
- LVDS 接收器输入端接受 LVDS/BLVDS/LVPECL 输入
- 支持开路、短路和端接输入失效防护
- 引脚排列简化了 PCB 布局
- 低功率耗散 (3.3V 静态电压下为 10mW 典型值)
- SOT-23 5 引线封装
- 无引线 WSON-8 封装 (3mm x 3mm 主体尺寸)
- 与 DS90LV018A 电气相似
- 采用先进的 CMOS 工艺技术制造
- 工业工作温度范围 (-40°C 至 +85°C)

2 说明

DS90LV012A 和 DS90LT012A 是单路 CMOS 差分线路接收器, 专为需要超低功率损耗、低噪声和高数据速率的应用而设计。器件远近 旨在使用低电压差动摆幅 (LVDS) 技术支持超过 400Mbps (200MHz) 的数据速率。

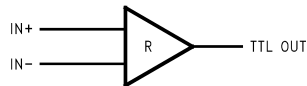
DS90LV012A 和 DS90LT012A 接受低电压 (350mV 典型值) 差动输入信号, 并将其转换为 3V CMOS 输出电平。该接收器还支持开路、短路及端接 (100Ω) 输入失效防护。该接收器的输出在所有失效防护条件下均为高电平。DS90LV012A 采用了引脚排列, 可简化 PCB 布局。DS90LT012A 包含应用于点对点应用的输入线路端接电阻。

DS90LV012A 和 DS90LT012A 和配套的 LVDS 线路驱动器为高速接口应用提供了高功率 PECL/ECL 器件的全新替代。

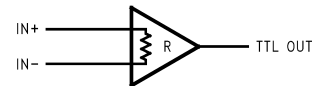
器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值)
DS90LV012A	WSON-8、SOT-23 DBV	3.00mm x 3.00mm
DS90LT012A	WSON-8、SOT-23 DBV	3.00mm x 3.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



DS90LV012A 顶视图



DS90LT012A 顶视图



内容

1 特性	1	7.2 典型应用.....	10
2 说明	1	8 电源相关建议	11
3 引脚配置和功能	3	9 布局	11
4 规格	4	9.1 布局指南.....	11
4.1 绝对最大额定值.....	4	9.2 差分布线.....	11
4.2 建议运行条件.....	4	9.3 电缆和连接器、一般注释.....	11
4.3 电气特性.....	5	10 器件和文档支持	12
4.4 开关特性.....	6	10.1 接收文档更新通知.....	12
5 参数测量信息	7	10.2 支持资源.....	12
6 详细说明	8	10.3 商标.....	12
6.1 功能方框图.....	8	10.4 静电放电警告.....	12
6.2 特性说明.....	8	10.5 术语表.....	12
6.3 器件功能模式.....	9	11 修订历史记录	12
7 应用和实施	10	12 机械、封装和可订购信息	12
7.1 应用信息.....	10		

3 引脚配置和功能

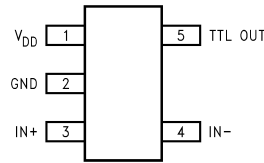


图 3-1. 顶视图请见封装编号 DBV (R-PDSO-G5)

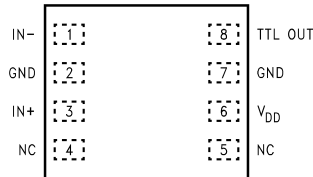


图 3-2. 顶视图请见封装编号 NGK0008A

表 3-1. 引脚功能和说明

封装引脚编号		引脚名称	说明
SOT-23	WSON		
4	1	IN-	反相接收器输入引脚
3	3	IN+	同相接收器输入引脚
5	8	TTL OUT	接收器输出引脚
1	6	V _{DD}	电源引脚, +3.3V ± 0.3V
2	2、7	GND	接地引脚
	4、5	NC	无连接

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
电源电压 (V_{DD})	-0.3	4	V
输入电压 (IN+, IN-)	-0.3	3.9	V
输出电压 (TTL OUT)	-0.3	0.3	V
输出短路电流		-100	mA
封装功率耗散		25	°C
NGK 封装		2.26	W
降额 NGK 封装	18.1	25	mW/°C
热阻 (θ_{JA})		55.3	C/W
DBV 封装		902	mW
降额 DBV 封装	7.22	25	mW/°C
热阻 (θ_{JA})		138.5	°C/W
贮存温度, T_{stg}	-65	150	°C
焊接时引线温度 (4 秒)		260	°C
结温		150	°C
ESD 等级 ⁽²⁾			

(1) “绝对最大额定值”是超出即无法确保器件安全的值。这并不表示器件在这些限值下可以运行。节 4.3 指定了器件运行条件。

(2) ESD 等级：

- DS90LV012A :
 - HBM (1.5k Ω 、100pF) \geq 2kV
 - EIAJ (0 Ω 、200pF) \geq 900V
 - CDM \geq 2000V
 - IEC 直接 (330 Ω 、150pF) \geq 5kV
- DS90LT012A :
 - HBM (1.5k Ω 、100pF) \geq 2kV
 - EIAJ (0 Ω 、200pF) \geq 700V
 - CDM \geq 2000V
 - IEC 直接 (330 Ω 、150pF) \geq 7kV

4.2 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	最小值	标称值	最大值	单位
电源电压 (V_{DD})	+2.7	+3.3	+3.6	V
自然通风工作温度范围 (T_A)	-40	25	+85	°C

4.3 电气特性

在电源电压和工作温度范围内测得，除非另外说明。(1) (2)

参数		测试条件		引脚	最小值	典型值	最大值	单位
V_{TH}	差分输入高阈值	在指定的共模电压 (V_{CM}) 范围内有效。(3)		IN+, IN-		-30	0	mV
V_{TL}	差分输入低阈值				-100	-30	mV	
V_{CM}	共模电压	$V_{DD} = 2.7V, V_{ID} = 100mV$			0.05		2.35	V
		$V_{DD} = 3.0V$ 至 $3.6V, V_{ID} = 100mV$			0.05		$V_{DD} - 0.3V$	V
I_{IN}	输入电流 (DS90LV012A)	$V_{IN} = +2.8V$	$V_{DD} = 3.6V$ 或 $0V$		-10	± 1	+10	μA
		$V_{IN} = 0V$			-10	± 1	+10	μA
		$V_{IN} = +3.6V$	$V_{DD} = 0V$		-20		+20	μA
ΔI_{IN}	I_{IN} 的幅度变化	$V_{IN} = +2.8V$	$V_{DD} = 3.6V$ 或 $0V$			4		μA
		$V_{IN} = 0V$				4		μA
		$V_{IN} = +3.6V$	$V_{DD} = 0V$			4		μA
I_{IND}	差分输入电流 (DS90LT012A)	$V_{IN+} = +0.4V, V_{IN-} = +0V$			3	3.9	4.4	mA
		$V_{IN+} = +2.4V, V_{IN-} = +2.0V$						
R_T	集成端接电阻 (DS90LT012A)					102		Ω
C_{IN}	输入电容	IN+ = IN- = GND				3		pF
V_{OH}	输出高电压	$I_{OH} = -0.4mA, V_{ID} = +200mV$		TTL OUT	2.4	3.1		V
		$I_{OH} = -0.4mA$, 输入端接			2.4	3.1		V
		$I_{OH} = -0.4mA$, 输入短接			2.4	3.1		V
V_{OL}	输出低电压	$I_{OL} = 2mA, V_{ID} = -200mV$				0.3	0.5	V
I_{OS}	输出短路电流	$V_{OUT} = 0V$ (4)			-15	-50	-100	mA
V_{CL}	输入钳位电压	$I_{CL} = -18mA$			-1.5	-0.7		V
I_{DD}	空载电源电流	输入开路		V_{DD}		5.4	9	mA

(1) 流入器件引脚的电流被定义为正。流出器件引脚的电流被定义为负。除非另有说明，否则所有电压均以接地为基准 (例如 V_{ID})。

(2) 给出了以下各项的所有典型值： $V_{DD} = +3.3V$ 且 $T_A = +25^\circ C$ 。

(3) V_{DD} 始终高于 IN+ 和 IN- 电压。当 $V_{DD} = 2.7V$ 时，IN+ 和 IN- 的电压范围允许为 $-0.05V$ 至 $+2.35V$ ；当 $V_{DD} = 3.0V$ 至 $3.6V$ 时，IN+ 和 IN- 的电压范围允许为 $|V_{ID}| / 2$ 至 $V_{DD} - 0.3V$ 。当 $V_{CM} = 0.05V$ 至 $2.35V$ 、 $V_{DD} = 2.7V$ 或者 $V_{CM} = |V_{ID}| / 2$ 至 $V_{DD} - 0.3V$ 、 $V_{DD} = 3.0V$ 至 $3.6V$ 时， V_{ID} 不得大于 $100mV$ 。

(4) 输出短路电流 (I_{OS}) 仅指定为幅值，负号仅表示方向。一次只能短接一个输出，不要超过最大结温规格。

4.4 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

参数		测试条件	最小值	典型值	最大值	单位
t_{PHLD}	从高电平到低电平的差分传播延迟	$C_L = 15\text{pF}$	1.0	1.8	3.5	ns
t_{PLHD}	差分传播延迟低电平到高水平	$V_{ID} = 200\text{mV}$	1.0	1.7	3.5	ns
t_{SKD1}	差分脉冲延迟 $ t_{PHLD} - t_{PLHD} $ (3)	(图 5-1 和图 5-2)	0	100	400	ps
t_{SKD3}	差分器件间延迟 (4)		0	0.3	1.0	ns
t_{SKD4}	差分器件间延迟 (5)		0	0.4	1.5	ns
t_{TLH}	上升时间			350	800	ps
t_{THL}	下降时间			175	800	ps
f_{MAX}	最大工作频率 (6)		200	250		MHz

- (1) C_L 包括探针和夹具电容。
- (2) 除非另有说明, 否则所有测试的发生器波形: $f = 1\text{MHz}$, $Z_O = 50\ \Omega$, 对于 IN_{\pm} , t_r 和 t_f (0% 至 100%) $\leq 3\text{ns}$ 。
- (3) t_{SKD1} 是同一通道的正向边沿和负向边沿之间差分传播延迟时间的幅度差。
- (4) t_{SKD3} , 器件间延迟, 是器件之间任何事件的差分通道间延迟。此规格适用于具有相同 V_{DD} 且工作温度范围内彼此相差 5°C 以内的器件。
- (5) t_{SKD4} , 器件间延迟, 是器件之间任何事件的差分通道间延迟。此规格适用于推荐工作温度和电压以及各种工艺分配范围内的器件。 t_{SKD4} 定义为 $|Max - Min|$ 差分传播延迟。
- (6) f_{MAX} 发生器输入条件: $t_r = t_f < 1\text{ns}$ (0% 至 100%)、50% 占空比、差分 (1.05V 至 1.35V 峰峰值)。输出标准: 60%/40% 占空比, V_{OL} (最大值 0.4V), V_{OH} (最小值 2.4V), 负载 = 15pF (杂散加探头)。该参数由设计确保。该限值是基于对器件在 PVT 范围内转换时间 (t_{TLH} 和 t_{THL}) 的统计分析得出的。

5 参数测量信息

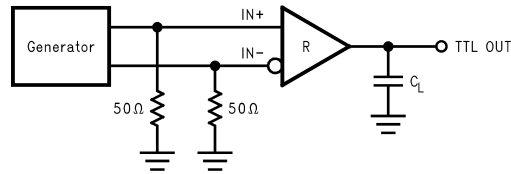


图 5-1. 接收器传播延迟和转换时间测试电路

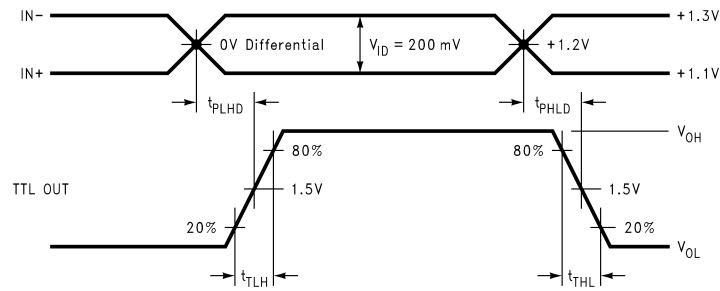


图 5-2. 接收器传播延迟和转换时间波形

6 详细说明

6.1 功能方框图

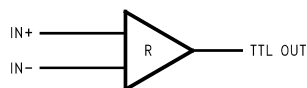


图 6-1. DS90LV012A 顶视图

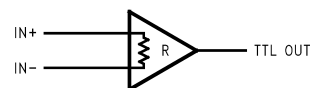


图 6-2. DS90LT012A 顶视图

6.2 特性说明

6.2.1 端接

DS90LV012A :

使用与差分阻抗或传输线路最匹配的端接电阻器。电阻器应在 90Ω 至 130Ω 之间。请记住，电流模式输出需要端接电阻器来生成差分电压。如果没有电阻器端接，LVDS 将无法工作。通常，在接收端的线对上连接一个电阻就足够了。

最好是表面贴装 1% - 2% 电阻器。应尽可能缩短 PCB 残桩、元件引线，以及从终端到接收器输入的距离。端接电阻与接收器之间的距离应 $< 10\text{mm}$ (最大 12mm)。

DS90LT012A :

DS90LT012A 集成了针对点到点应用的端接电阻器。电阻值将介于 90Ω 和 133Ω 之间。

6.2.2 阈值

LVDS 标准 (ANSI/TIA/EIA-644-A) 规定 LVDS 接收器的最大阈值为 $\pm 100\text{mV}$ 。DS90LV012A 和 DS90LT012A 支持 -100mV 至 0V 的增强阈值区域。它仅用于失效防护偏置。阈值区域显示在图 6-3 中的电压传递曲线 (VTC) 中。典型的 DS90LV012A 或 DS90LT012A LVDS 接收器在大约 -30mV 时切换。请注意，当 $V_{\text{ID}} = 0\text{V}$ 时，输出将处于高电平状态。在施加 $+25\text{mV}$ 的外部失效防护偏置后，典型的差分噪声容限现在即为开关点与偏置点之间的差异。在下面的示例中，这将是 55mV 的差分噪声容限 ($+25\text{mV} - (-30\text{mV})$)。借助于 -100mV 至 0V 的增强阈值区域，这个 $+25\text{mV}$ (相对于 0V) 的小型外部失效防护偏置可提供舒适的 55mV DNM。由于标准阈值区域为 $\pm 100\text{mV}$ ，外部失效防护偏置相对于 $+100\text{mV}$ 或 $+125\text{mV}$ 需要 $+25\text{mV}$ ，从而提供 155mV 的 DNM，这是比 DS90LV012A 或 DS90LT012A 所需的更强大的失效防护偏置。如果需要更多的 DNM，则可以通过更改电阻值来设置更强的失效防护偏置点。

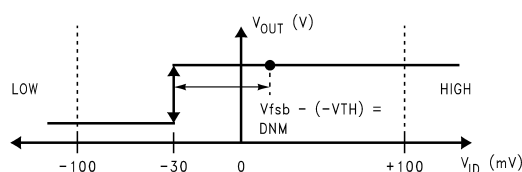


图 6-3. DS90LV012A 和 DS90LT012A LVDS 接收器的 VTC

6.2.3 失效防护特性

LVDS 接收器是一种高增益高速器件，可将小差分信号 (20mV) 放大为 CMOS 逻辑电平。由于接收器具有高增益和严格的阈值，因此应注意防止噪声表现为有效信号。

接收器的内部失效防护电路被设计成拉取/灌入少量电流，从而为悬空、端接或者短接接收器输入提供失效防护保护（高输出电压的稳定已知状态）。

1. **开路输入引脚。** DS90LV012A 和 DS90LT012A 是单接收器器件。无需将接收器输入端接地或连接至任何电源电压。内部失效防护电路将确保开路输入具有稳定的高电平输出状态。
2. **端接输入。** 如果驱动器断开（拔下电缆），或驱动器处于断电状态，则接收器输出将再次处于高电平状态，即使输入引脚上连接了电缆 100Ω 端接电阻器也是如此。拔出的电缆可能会变成悬空天线，从而拾取噪音。如果电缆拾取超过 10mV 的差分噪声，接收器可能会将该噪声视为有效信号和开关。为了确保任何噪声被视为共模而非差分，应该使用平衡互连。双绞线电缆比扁平带状电缆具有更好的平衡性。
3. **短接输入。** 如果发生将接收器输入短接在一起从而产生 0V 差分输入电压的故障情况，接收器输出将保持在高电平状态。器件的共模范围（GND 至 2.4V）内不支持短接输入失效防护。它仅在输入短接且未施加外部共模电压的情况下受支持。

外部较低值上拉和下拉电阻器（用于更强的偏置）可用于在存在较高噪声水平的情况下提高失效防护。上拉电阻器和下拉电阻器应在 5kΩ 至 15kΩ 范围内，以更大限度地减少驱动器的负载和波形失真。将共模偏置点设置为大约 1.2V（小于 1.75V），以便与内部电路兼容。

DS90LV012A 和 DS90LT012A 符合原始的 ANSI EIA/TIA-644 规范，也符合新的 ANSI EIA/TIA-644-A 规范，但新添加的 ΔI_{IN} 规范除外。由于存在内部失效防护电路， ΔI_{IN} 无法满足指定的 6μA 最大值。除非使用的接收器超过 10 个，否则这种例外情况不适用。

有关 LVDS 器件失效防护偏置的更多信息，请参见 AN-1194 (SNLA051)。

6.2.4 探测 LVDS 传输线路

始终使用具有宽带宽 (1GHz) 示波器的高阻抗 (> 100kΩ)、低电容 (< 2pF) 示波器探针。不恰当的探测会产生欺骗性的结果。

6.3 器件功能模式

表 6-1. 真值表

输入	输出
[IN+] - [IN-]	TTL OUT
$V_{ID} \geq 0V$	H
$V_{ID} \leq -0.1V$	L
完全失效防护开路/短路或终止	H

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

LVDS 驱动器和接收器的一般应用指南和提示可在以下应用手册中找到：LVDS 用户手册 (SNLA187)、AN-808 (SNLA028)、AN-977 (SNLA166)、AN-971 (SNLA165)、AN-916 (SNLA219)、AN-805 (SNOA233)、AN-903 (SNLA034)。

LVDS 驱动器和接收器主要用于非复杂的点对点配置，如所示。此配置为驱动器的快速边沿速率提供了干净的环境。接收器通过平衡介质连接到驱动器，平衡介质可以是标准双绞线电缆、并联双绞线电缆或仅仅是 PCB 布线。通常，介质的特性阻抗在 $100\ \Omega$ 范围内。应选择 $100\ \Omega$ 的端接电阻以匹配介质，并使其尽可能靠近接收器输入引脚。终端电阻器将驱动器输出（电流模式）转换为接收器检测到的电压。还可以采用其他配置，例如多接收器配置，但必须考虑中游连接器、电缆残桩和其他阻抗不连续性的影响，以及接地漂移、噪声裕度限制和总端接负载。

DS90LV012A 和 DS90LT012A 差分线路接收器能够在以 $+1.2\text{V}$ 为中心的 $\pm 1\text{V}$ 共模范围内检测低至 100mV 的信号。这与驱动器失调电压有关，通常为 $+1.2\text{V}$ 。驱动的信号以该电压为中心，并可能在该中心点附近漂移 $\pm 1\text{V}$ 。这种 $\pm 1\text{V}$ 偏移可能是驱动器接地参考与接收器接地参考之间的接地电位差、耦合噪声的共模效应或两者组合的结果。两个接收器输入引脚的交流参数均针对 0V 至 $+2.4\text{V}$ 的建议工作输入电压范围（从每个引脚到地测量）进行了优化。此器件将在接收器输入电压高达 V_{DD} 的情况下工作，但超过 V_{DD} 将接通 ESD 保护电路，从而钳制总线电压。

7.2 典型应用

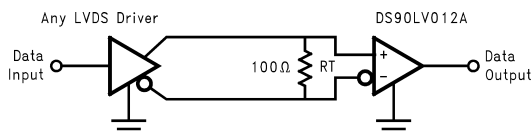


图 7-1. 平衡系统点对点应用 (DS90LV012A)

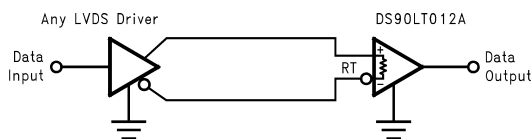


图 7-2. 平衡系统点对点应用 (DS90LT012A)

8 电源相关建议

必须在电源引脚上使用旁路电容器。在电源引脚处并联使用高频陶瓷（建议使用表面贴装） $0.1\ \mu\text{F}$ 和 $0.001\ \mu\text{F}$ 电容器，值最小的电容器最靠近器件电源引脚。印刷电路板上额外的分散电容器可改善去耦性能。应使用多个过孔将去耦电容器连接到电源平面。应将 $10\ \mu\text{F}$ (35V) 或更高的固体钽电容器连接到电源和接地之间的印刷电路板上的电源入口点。

9 布局

9.1 布局指南

至少使用 4 个 PCB 板层（从上到下）：LVDS 信号、地、电源和 TTL 信号。

将 TTL 信号与 LVDS 信号隔离，否则 TTL 信号可能会耦合到 LVDS 线路上。最好将 TTL 和 LVDS 信号放在不同的层上，并通过电源/接地平面进行隔离。

驱动器和接收器应尽可能靠近（LVDS 端口侧）连接器。

有关 WSON 封装的 PC 板注意事项，请参考应用手册 AN-1187 “Leadless Leadframe Package” (SNOA401)。需要注意的是，为了优化信号完整性（更最大限度地减少抖动和噪声耦合），WSON 散热焊盘（一个金属（通常为铜质）矩形区域，位于封装下方）应接地并与 PCB 上外露焊盘的尺寸一致（1:1 比率）。

9.2 差分布线

使用与传输介质（即电缆）和端接电阻器的差分阻抗相匹配的受控阻抗布线。差分对布线一离开 IC 就尽可能靠近（残桩长度应 $< 10\text{mm}$ ）。这将有助于消除反射，并确保噪声作为共模耦合。实际上，我们看到相距 1mm 的差分信号辐射的噪声比相距 3mm 的布线要少得多，因为布线越近，磁场消除效果越好。此外，差分线路上感应的噪声更有可能以共模形式出现，这种噪声被接收器拒绝。

匹配布线之间的电气长度以减少延迟。一对信号之间的延迟意味着信号之间存在相位差，这会破坏差分信号的磁场消除优势，并会产生 EMI。（请注意，传播速度 $v = c/E_r$ ，其中 c （光速）= 0.2997mm/ps 或 0.0118in/ps ）。不要仅依赖差分布线的自动布线功能。仔细检查尺寸以匹配差分阻抗，并为差分线路提供隔离。更最大限度地减少线路上的过孔和其他不连续点的数量。

避免 90° 转弯（这会导致阻抗不连续）。使用圆弧或 45° 斜角。

在一对布线内，应尽量减小两条布线之间的距离，以维持接收器的共模抑制。在印刷电路板上，该距离应保持恒定，以避免差分阻抗不连续。允许连接点轻微违反要求。

9.3 电缆和连接器、一般注释

在为 LVDS 选择电缆和连接器时，务必记住：

使用受控阻抗介质。您使用的电缆和连接器应具有约 $100\ \Omega$ 的匹配差分阻抗。它们不应引入主要的阻抗不连续性。

平衡电缆（例如双绞线）通常优于非平衡电缆（带状电缆、简单同轴电缆），以降低噪声和提高信号质量。由于场抵消效应，平衡电缆往往会产生较低的 EMI，而且往往会接收到电磁辐射，这是一种被接收器拒绝的共模（非差模）噪声。

对于 $< 0.5\text{M}$ 的电缆距离，可以使大多数电缆高效工作。对于 $0.5\text{M} \leq d \leq 10\text{M}$ 的距离，CAT 3（类别 3）双绞线电缆运行良好、现成可用且相对便宜。

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

Changes from Revision D (April 2013) to Revision E (March 2024) Page

- 更新了整个文档中的表格、图和交叉参考的编号格式..... [1](#)

Changes from Revision C (March 2008) to Revision D (April 2013) Page

- 将美国国家通用数据表的版面布局更改为 TI 格式..... [1](#)

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DS90LT012ATMF/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	N03	Samples
DS90LV012ATMF/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	N02	Samples
DS90LV012ATMFX/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	N02	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS90LT012ATMF/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS90LT012ATMF/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
DS90LV012ATMF/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
DS90LV012ATMFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0

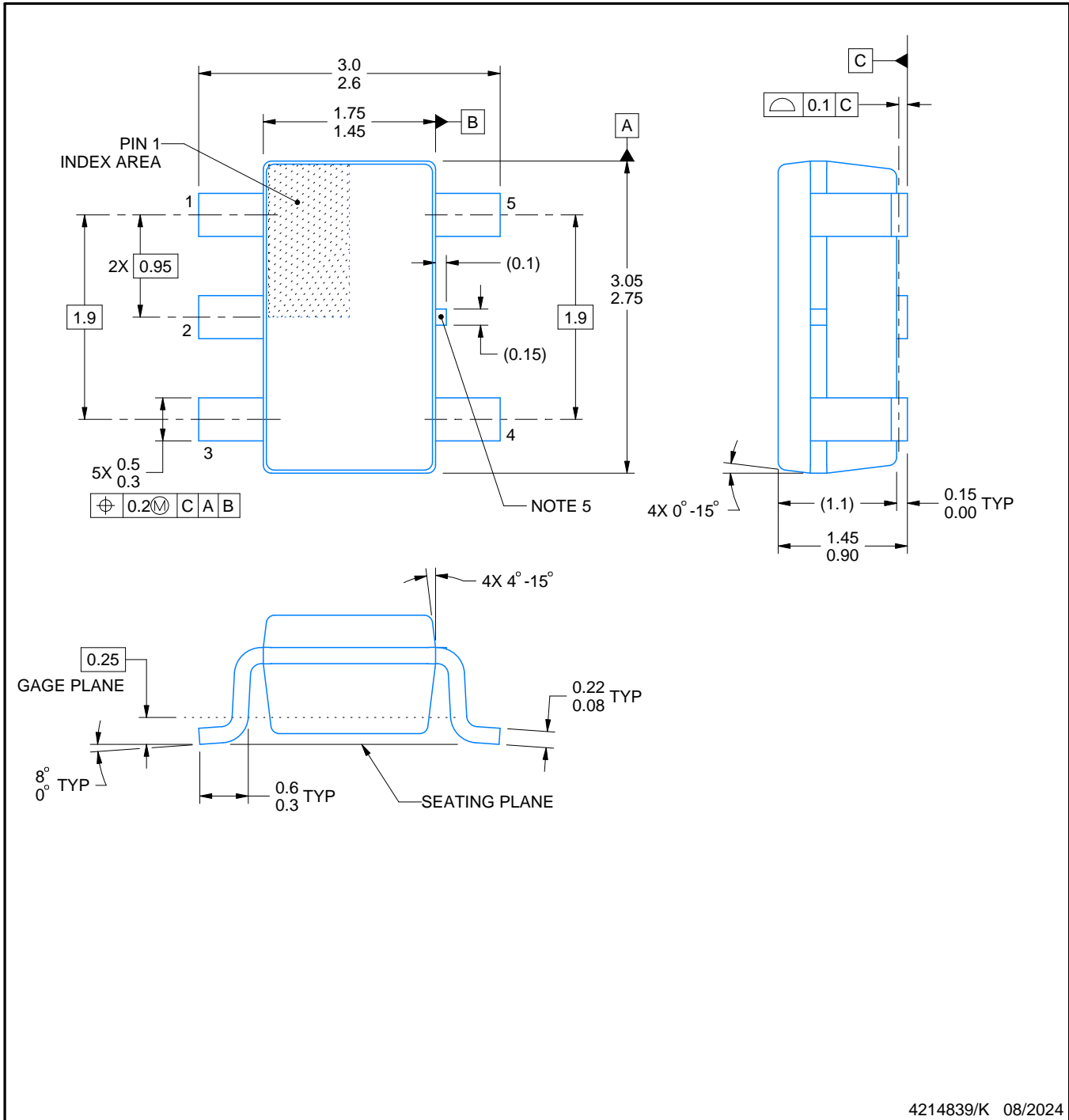


DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

- NOTES:
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司